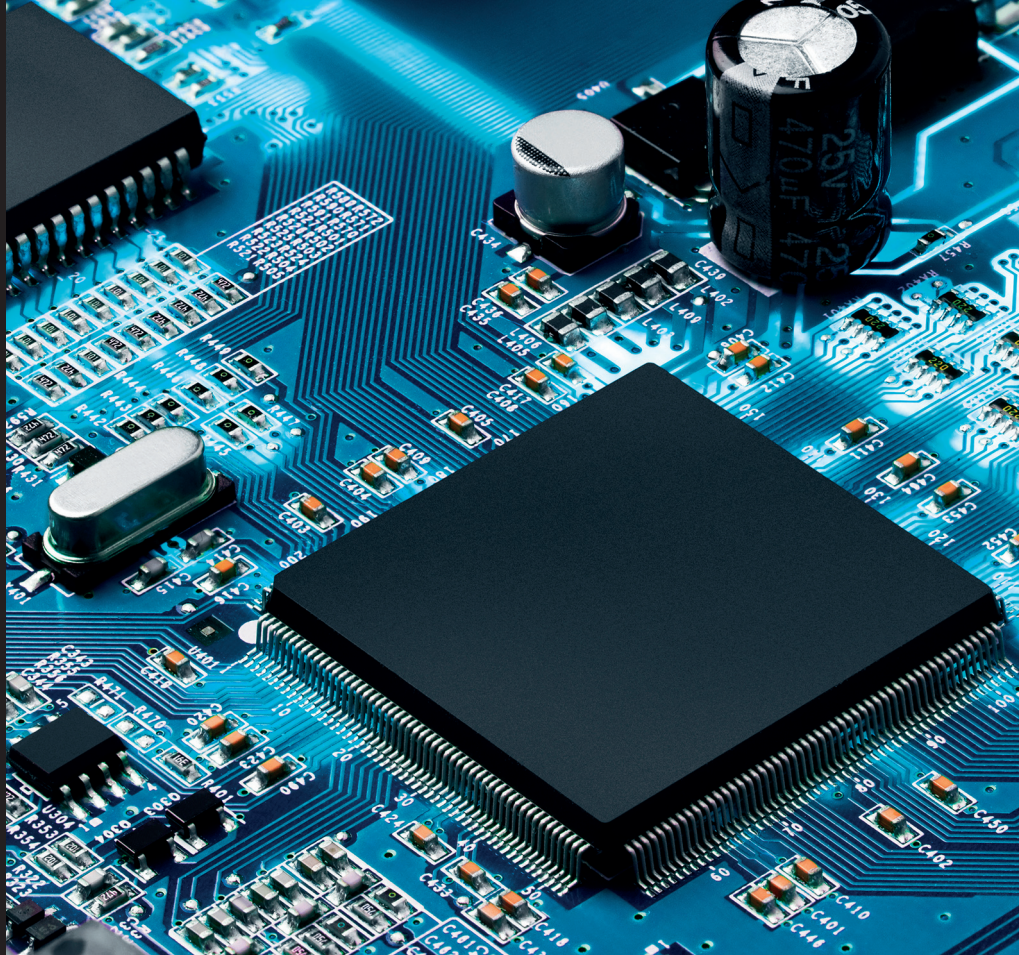




richard c.
jaeger

travis n.
blalock

v edizione

microelettronica

*edizione italiana realizzata con la curatela di
paolo bardella*

**Mc
Graw
Hill**

con **eserciziario**

**Graw
Hill**

collana di istruzione scientifica
serie di elettronica

Richard C. Jaeger
Travis N. Blalock

Microelettronica

Quinta edizione

Edizione italiana realizzata con la curatela di
Paolo Bardella



Titolo originale: *Microelectronic Circuit Design, Fifth Edition*
Copyright © 2016, 2011, 2008, 2004, 1997 The McGraw-Hill Companies, Inc.

Copyright © 2018, 2017, 2013, 2009, 2005, 1998 McGraw-Hill Education
(Italy) S.r.l.
Via Ripamonti, 89
20141 Milano



I diritti di traduzione, di riproduzione, di memorizzazione elettronica e di adattamento totale e parziale con qualsiasi mezzo (compresi i microfilm e le copie fotostatiche) sono riservati per tutti i Paesi.

Le fotocopie per *uso personale* del lettore possono essere effettuate nei limiti del 15% di ciascun volume/fascicolo di periodico dietro pagamento alla SIAE del compenso previsto dall'art. 68, commi 4 e 5, della legge 22 aprile 1941, n. 633.

Le riproduzioni effettuate per finalità di carattere professionale, economico o commerciale o comunque *per uso diverso da quello personale* possono essere effettuate a seguito di specifica autorizzazione rilasciata da CLEARedi, Corso di Porta Romana 108, 20122 Milano, e-mail segreteria@clearedi.org e sito web www.clearedi.org

Date le caratteristiche intrinseche di Internet, l'Editore non è responsabile per eventuali variazioni negli indirizzi e nei contenuti dei siti Internet riportati.

Nomi e marchi citati nel testo sono generalmente depositati o registrati dalle rispettive case produttrici.

Portfolio Lead: Filippo Aroffo
Portfolio Manager: Barbara Ferrario, Tatjana Pauli
Produzione: Donatella Giuliani
Curatela della quarta edizione: Gaudenzio Meneghesso e Andrea Neviani
Realizzazione editoriale: M.T.M. s.n.c., Monza
Redazione: Fotocompos, Gussago, Brescia
Traduzione delle edizioni precedenti: Niccolò Rinaldi, Antonio Strollo, Luigi Zeni
Selezione degli esercizi per la Piattaforma Connect: Professoressa Susanna Reggiani, Alma Mater Studiorum Università di Bologna, Paolo Bardella, Politecnico di Torino
Traduzione degli esercizi per la piattaforma Connect: Beatrice Anderlini, Politecnico di Milano
Grafica di copertina: Feel Italia, Milano
Immagine di copertina: © Volodymyr Krasnyuk/Shutterstock

ISBN 978-88-386-9834-7

Indice breve

Parte I Elettronica dello stato solido e dispositivi

Capitolo 1	Introduzione all'elettronica	1
Capitolo 2	Elettronica dello stato solido	31
Capitolo 3	Diodo a stato solido e circuiti a diodi	55
Capitolo 4	Transistori a effetto di campo	113
Capitolo 5	Il transistor bipolare a giunzione	157

Parte 2 Elettronica digitale

Capitolo 6	Introduzione all'elettronica digitale	213
Capitolo 7	Progetto di circuiti logici MOS complementari (CMOS)	277
Capitolo 8	Memorie MOS e circuiti sequenziali	319
Capitolo 9	Circuiti logici bipolari	355

Parte 3 Elettronica analogica

Capitolo 10	Sistemi analogici e amplificatori operazionali	363
Capitolo 11	Operazionali non ideali e stabilità della retroazione degli amplificatori operazionali	419
Capitolo 12	Applicazioni degli amplificatori operazionali	501
Capitolo 13	Modelli di piccolo segnale e amplificazione lineare	573
Capitolo 14	Amplificatori a singolo transistor e multistadio accoppiati in AC	641
Capitolo 15	Amplificatori differenziali e operazionali	715
Capitolo 16	Tecniche di progetto di circuiti analogici integrati	775
Capitolo 17	Risposta in frequenza	839
Capitolo 18	Amplificatori a transistori retroazionati e oscillatori	923
Appendice A	Valori di componenti discreti standard	983
Appendice B	Modelli dei dispositivi a stato solido e parametri per le simulazioni SPICE	987
Appendice C	Modelli a doppio bipolo	993
Appendice D	Costanti fisiche e fattori di conversione	995
Appendice E	Analisi della retroazione con il metodo di Rosenstark	997
Indice analitico		1005
Eserciziario		

Indice generale

<i>Prefazione</i>	XVI
<i>Prefazione all'edizione americana</i>	XVII
<i>Autori e Curatori</i>	XX
<i>Rigraziamenti dell'Editore</i>	XXI
<i>Indice Elettronica in azione</i>	XXII
<i>Guida alla lettura</i>	XXIV

Parte I Elettronica dello stato solido e dispositivi

Capitolo 1	Introduzione all'elettronica	1
1.1	Breve storia dell'elettronica: dai tubi a vuoto ai sistemi a scala di integrazione gigantesca	2
1.2	Classificazione dei segnali elettronici	6
1.2.1	Segnali digitali	7
1.2.2	Segnali analogici	7
1.2.3	Conversione D/A e A/D: i ponti fra i domini analogico e digitale	8
1.3	Convenzioni sulle notazioni	9
1.4	Metodologia per la soluzione dei problemi	10
1.5	Richiami di teoria dei circuiti	12
1.5.1	Partitore di tensione e di corrente	12
1.5.2	Rappresentazioni circuitali di Thévenin e Norton	14
1.6	Spettro di frequenza dei segnali elettronici	18
1.7	Amplificatori	19
1.7.1	L'Amplificatore operativo ideale	20
1.7.2	Risposta in frequenza degli amplificatori	22
1.8	Variazione dei parametri nella progettazione circuitali	22
1.8.1	Il modello matematico delle tolleranze	23
1.8.2	Analisi del caso peggiore	23
1.8.3	Analisi Monte Carlo	25
1.8.4	Coefficienti di temperatura	28
1.9	Precisione numerica	29
	Riferimenti bibliografici	30
	Lecture addizionali	30

Capitolo 2	Elettronica dello stato solido	31
2.1	Materiali dell'elettronica a stato solido	32
2.2	Modello a legame covalente	33
2.3	Correnti di deriva e mobilità nei semiconduttori	36
2.3.1	Corrente di deriva	36
2.3.2	Mobilità	37
2.3.3	Saturazione della velocità di deriva	37
2.4	Resistività del silicio intrinseco	38
2.5	Impurità nei semiconduttori	39
2.5.1	Impurità di tipo donatore per il silicio	39
2.5.2	Impurità di tipo accettore per il silicio	40

2.6	Concentrazioni degli elettroni e delle lacune nei semiconduttori estrinseci	40
2.6.1	Semiconduttore di tipo n ($N_D > N_A$)	41
2.6.2	Semiconduttore di tipo p ($N_A > N_D$)	41
2.7	Mobilità e resistività nei semiconduttori estrinseci	42
2.8	Corrente di diffusione	46
2.9	Corrente totale	47
2.10	Modello a bande di energia	47
2.10.1	Generazione di coppie elettrone-lacuna in un semiconduttore intrinseco	47
2.10.2	Modello a bande di energia per un semiconduttore estrinseco	48
2.10.3	Semiconduttori compensati	50
2.11	Cenni sulla fabbricazione dei circuiti integrati	50
	Riferimenti bibliografici	53
	Lecture addizionali	53

Capitolo 3	Diodo a stato solido e circuiti a diodi	55
3.1	Il diodo a giunzione pn	56
3.1.1	Analisi elettrostatica della giunzione pn	56
3.1.2	Correnti nel diodo	59
3.2	Caratteristica $i-v$ del diodo	61
3.3	L'equazione del diodo: un modello matematico per il diodo	62
3.4	Diodo in polarizzazione inversa, nulla e diretta	65
3.4.1	Polarizzazione inversa	65
3.4.2	Polarizzazione nulla	66
3.4.3	Polarizzazione diretta	66
3.5	Coefficiente di temperatura del diodo	68
3.6	Il diodo in polarizzazione inversa	70
3.6.1	La corrente di saturazione nei diodi reali	70
3.6.2	Rottura della giunzione	71
3.6.3	Modello del diodo in regione di rottura	72
3.7	Capacità della giunzione pn	72
3.7.1	Polarizzazione inversa	72
3.7.2	Polarizzazione diretta	73
3.8	Diodo a barriera Schottky	73
3.9	Modello SPICE e layout del diodo	75
3.10	Analisi dei circuiti a diodi	76
3.10.1	Analisi grafica con la retta di carico	77
3.10.2	Analisi con il modello matematico del diodo	78
3.10.3	Analisi con il modello del diodo ideale	82
3.10.4	Analisi con il modello a caduta di tensione costante	84
3.10.5	Confronto tra i metodi di analisi	84
3.11	Circuiti a più diodi	85
3.11.1	Un circuito a 3 diodi	85

3.12	Analisi di diodi polarizzati nella regione di rottura	88	4.6	Modello SPICE del MOSFET	135
3.12.1	Analisi grafica con la retta di carico	88	4.7	Riduzione delle dimensioni del transistor MOS	137
3.12.2	Analisi con il modello lineare a tratti	88	4.7.1	Corrente di drain	137
3.12.3	Regolatori di tensione	89	4.7.2	Capacità di gate	137
3.12.4	Analisi in cui si tiene conto della resistenza di Zener	90	4.7.3	Densità di integrazione e di potenza	137
3.12.5	Regolazione di linea e di carico	91	4.7.4	Il prodotto ritardo-potenza	138
3.13	Raddrizzatore a semionda	91	4.7.5	Frequenza di transizione	138
3.13.1	Raddrizzatori a semionda con carico resistivo	92	4.7.6	Limitazioni del funzionamento a campi elevati	139
3.13.2	Raddrizzatore con filtro capacitivo	93	4.7.7	Modello Unificato del MOSFET	140
3.13.3	Raddrizzatore a semionda con carico RC	94	4.7.8	Corrente di sottosoglia	141
3.13.4	Intervallo di conduzione e ondulazione della tensione	94	4.8	Fabbricazione del transistor MOS e regole di progetto	141
3.13.5	Corrente del diodo	97	4.8.1	Dimensione minima e tolleranza di allineamento	142
3.13.6	Corrente di spunto (<i>surge current</i>)	98	4.8.2	Layout del transistor MOS	142
3.13.7	Specifica relativa alla tensione inversa di picco	99	4.9	Polarizzazione del MOSFET	145
3.13.8	Dissipazione di potenza del diodo	99	4.9.1	Caratteristiche della polarizzazione	145
3.13.9	Raddrizzatore a semionda con tensione di uscita negativa	100	4.9.2	Polarizzazione con rete a 4 resistori	147
3.14	Raddrizzatore a doppia semionda	101	4.9.3	Polarizzazione con tensione gate-source costante	150
3.14.1	Raddrizzatore a doppia semionda con tensione di uscita negativa	103	4.9.4	Analisi basata sul metodo della retta di carico	150
3.15	Raddrizzatore a ponte a doppia semionda	103	4.9.5	Analisi con effetto body	151
3.16	Confronto tra i raddrizzatori e criteri di progetto	104	4.9.6	Analisi con il Modello Unificato	153
3.17	Il diodo in commutazione	107	4.10	Polarizzazione dei transistori PMOS	154
3.18	Fotodiodi, celle solari e diodi emettitori di luce	109		Riferimenti bibliografici	156
3.18.1	Fotodiodi e fotorivelatori	109			
3.18.2	Generazione di potenza elettrica con celle solari	110			
3.18.3	Diodi emettitori di luce	111			
	Riferimenti bibliografici	111			
	Lecture addizionali	111			
Capitolo 4	Transistori a effetto di campo	113	Capitolo 5	Il transistor bipolare a giunzione	157
4.1	Il condensatore MOS	114	5.1	Struttura del transistor bipolare a giunzione	158
4.1.1	Regione di accumulazione	114	5.2	Il modello del trasporto del transistor <i>npn</i>	159
4.1.2	Regione di svuotamento	115	5.2.1	Caratteristiche in condizioni di funzionamento diretto	160
4.1.3	Regione di inversione	115	5.2.2	Caratteristiche in condizioni di funzionamento inverso	162
4.2	MOSFET a canale <i>n</i> (NMOS)	116	5.2.3	Il modello del trasporto completo in condizioni arbitrarie di polarizzazione	163
4.2.1	Analisi qualitativa del comportamento <i>i-v</i> del transistor NMOS	117	5.3	Il transistor <i>pnp</i>	165
4.2.2	Regione di triodo del transistor NMOS	118	5.4	Rappresentazioni circuitali del modello del trasporto	166
4.2.3	Resistenza di conduzione	121	5.5	Il modello di Ebers-Moll (argomento avanzato)	167
4.2.4	Transconduttanza	122	5.5.1	Caratteristiche del transistor <i>npn</i> in polarizzazione diretta	167
4.2.5	Regione di saturazione del transistor NMOS	122	5.5.2	Caratteristiche del transistor in polarizzazione inversa	167
4.2.6	Modello matematico della regione di saturazione	124	5.5.3	Il modello di Ebers-Moll del transistor <i>npn</i>	168
4.2.7	Transconduttanza in saturazione	125	5.5.4	Il modello di Ebers-Moll del transistor <i>pnp</i>	168
4.2.8	Modulazione della lunghezza di canale	125	5.5.5	Rappresentazioni circuitali equivalenti per il modello di Ebers-Moll	168
4.2.9	Caratteristiche di trasferimento e transistori a svuotamento	126	5.6	Caratteristiche <i>i-v</i> del transistor bipolare	169
4.2.10	Effetto body	127	5.6.1	Caratteristiche di uscita	169
4.3	MOSFET a canale <i>p</i> (PMOS)	129	5.6.2	Caratteristiche di trasferimento	171
4.4	Simboli circuitali del MOSFET	131	5.7	Regioni di funzionamento del transistor bipolare	172
4.5	Capacità del MOSFET	133	5.8	Forme semplificate del modello del trasporto	173
4.5.1	Capacità del transistor NMOS nella regione di triodo	133	5.8.1	Modello semplificato per la regione di interdizione	173
4.5.2	Capacità nella regione di saturazione	134	5.8.2	Modello semplificato per la regione attiva diretta	174
4.5.3	Capacità nella regione di interdizione	134			

5.8.3	I diodi nei circuiti integrati bipolari	180	6.6.1	Invertitore NMOS con dispositivo di carico in saturazione	232
5.8.4	Modello semplificato per la regione attiva inversa	181	6.6.2	Invertitore NMOS con dispositivo di carico in regione lineare	241
5.8.5	Modello semplificato per la regione di saturazione	183	6.6.3	Invertitore NMOS con dispositivo di carico a svuotamento	242
5.9	Effetti non ideali nel transistor bipolare	186	6.7	Confronto fra gli invertitori NMOS	245
5.9.1	Tensioni di rottura delle giunzioni	186	6.8	Effetto della saturazione della velocità sul progetto statico dell'invertitore	246
5.9.2	Trasporto dei portatori minoritari nella regione di base	186	6.8.1	Progetto del transistor di commutazione	246
5.9.3	Tempo di transito in base	188	6.8.2	Progetto del transistor di carico	247
5.9.4	Capacità di diffusione	189	6.8.3	Riassunto degli effetti della saturazione della velocità	248
5.9.5	Dipendenza del guadagno di corrente a emettitore comune dalla frequenza	190	6.9	Porte logiche NMOS elementari	248
5.9.6	Effetto Early	191	6.9.1	Porte NOR	248
5.9.7	Modelli per l'effetto Early	191	6.9.2	Porte NAND	249
5.9.8	Origine dell'effetto Early	192	6.9.3	Layout delle porte NOR e NAND in tecnologia NMOS con carico a svuotamento	251
5.10	Transconduttanza	192	6.10	Porte logiche NMOS complesse	251
5.11	Tecnologia bipolare e modello SPICE del BJT	193	6.11	Dissipazione di potenza	256
5.11.1	Descrizione qualitativa	193	6.11.1	Dissipazione di potenza statica	256
5.11.2	Equazioni del modello SPICE	194	6.11.2	Dissipazione di potenza dinamica	256
5.11.3	Transistori bipolari avanzati	196	6.11.3	Dimensionamento delle porte logiche NMOS rispetto alla potenza dissipata	257
5.12	Polarizzazione del BJT	196	6.12	Comportamento dinamico delle porte NMOS	258
5.12.1	Rete di polarizzazione a quattro resistori	198	6.12.1	Capacità nei circuiti logici MOS	259
5.12.2	Obiettivi di progetto relativi alla rete di polarizzazione a quattro resistori	200	6.12.2	Risposta dinamica dell'invertitore NMOS con carico resistivo	260
5.12.3	Analisi iterativa della rete di polarizzazione a 4 resistori	204	6.12.3	Risposta dinamica dell'invertitore NMOS con carico a svuotamento	266
5.13	Tolleranze nei circuiti di polarizzazione	205	6.12.4	Invertitore NMOS con carico in saturazione	269
5.13.1	Analisi del caso peggiore	206	6.12.5	Confronto delle risposte dinamiche degli invertitori NMOS	269
5.13.2	Analisi Monte Carlo	207	6.12.6	Effetto della saturazione della velocità sui ritardi di propagazione dell'invertitore	271
Riferimenti bibliografici		211	6.12.7	Dimensionamento basato su simulazioni di un circuito di riferimento	271
			6.12.8	Misura del ritardo intrinseco tramite oscillatore ad anello	272
			6.12.9	Invertitore in assenza di carico	272
			6.13	Porte logiche PMOS	275
			6.13.1	Invertitore PMOS	275
			6.13.2	Porte logiche NOR e NAND	275
			Riferimenti bibliografici		276
			Lecture addizionali		276

Parte II Elettronica digitale

Capitolo 6	Introduzione all'elettronica digitale	213	Capitolo 7	Progetto di circuiti logici MOS complementari (CMOS)	277
6.1	Porte logiche ideali	214	7.1	Tecnologia dell'invertitore CMOS	278
6.2	Definizione dei livelli logici e dei margini di rumore	215	7.1.1	Layout dell'invertitore CMOS	279
6.2.1	Livelli logici	216	7.2	Caratteristiche statiche dell'invertitore CMOS	280
6.2.2	Margini di rumore	217	7.2.1	Caratteristica di trasferimento dell'invertitore CMOS	281
6.2.3	Criteri di progetto per una porta logica	218	7.2.2	Margini di rumore per l'invertitore CMOS	283
6.3	Risposta dinamica di una porta logica	218	7.3	Comportamento dinamico dell'invertitore CMOS	285
6.3.1	Tempi di salita e di discesa	219			
6.3.2	Ritardo di propagazione	219			
6.3.3	Prodotto ritardo-potenza	220			
6.4	Richiami di algebra booleana	221			
6.5	Progetto di circuiti logici NMOS	223			
6.5.1	Invertitore NMOS con carico resistivo	223			
6.5.2	Progetto del rapporto W/L di M_S	224			
6.5.3	Progetto del resistore di carico	225			
6.5.4	Rappresentazione con retta di carico	225			
6.5.5	La resistenza on del MOSFET	227			
6.5.6	Analisi dei margini di rumore	228			
6.5.7	Calcolo di V_{IL} e di V_{OH}	228			
6.5.8	Calcolo di V_{IH} e di V_{OL}	229			
6.5.9	Margine di rumore per l'invertitore con carico resistivo	229			
6.5.9	Il problema del resistore di carico	231			
6.6	Utilizzo di dispositivi attivi in alternativa al resistore di carico	231			

7.3.1	Stima del ritardo di propagazione	285
7.3.2	Tempi di salita e discesa	287
7.3.3	Riscaldamento delle prestazioni	287
7.3.4	Effetto della saturazione della velocità sui ritardi dell'invertitore CMOS	289
7.3.5	Ritardo di una cascata di invertitori	290
7.4	Dissipazione di potenza e prodotto ritardo-potenza nelle logiche CMOS	291
7.4.1	Dissipazione di potenza statica	291
7.4.2	Dissipazione di potenza dinamica	292
7.4.3	Prodotto ritardo-potenza	293
7.5	Porte NOR e NAND CMOS	294
7.5.1	Porte logiche NOR CMOS	295
7.6	Porte logiche CMOS complesse	298
7.7	Progetto e prestazioni di porte logiche ad area minima	303
7.8	Circuiti di buffer	306
7.8.1	Ritardo di un circuito disaccoppiatore (buffer)	306
7.8.2	Numero ottimo di stadi	307
7.9	La porta di trasmissione CMOS	309
7.10	Circuito bistabile	310
7.10.1	Latch bistabile	310
7.10.2	Flip-flop RS	312
7.10.3	Il latch di tipo D a porte di trasmissione	314
7.10.4	Flip-flop D master-slave	314
7.11	Il problema del <i>latchup</i>	315
	Riferimenti bibliografici	317

Capitolo 8 Memorie MOS e circuiti sequenziali 319

8.1	Memorie ad accesso casuale	320
8.1.1	Architettura delle memorie ad accesso casuale (RAM)	320
8.1.2	Un chip di memoria da 256 Mb	321
8.2	Celle di memoria statiche	323
8.2.1	La cella di memoria a sei transistori (6-T)	323
8.2.2	Lettura di un dato nella cella 6-T	324
8.2.3	Scrittura di un dato nella cella 6-T	327
8.3	Celle di memoria dinamiche	329
8.3.1	La cella di memoria a un transistor	330
8.3.2	Scrittura di un dato nella cella 1-T	331
8.3.3	Lettura di un dato nella cella 1-T	332
8.3.4	La cella di memoria a quattro transistori	334
8.4	Amplificatori di lettura	335
8.4.1	Amplificatore di lettura per la cella 6-T	335
8.4.2	Amplificatore di lettura per la cella 1-T	337
8.4.3	Circuiti con tensione più elevata sulla wordline	339
8.4.4	Amplificatori di lettura con segnale di clock	339
8.5	Decodificatori di indirizzo	341
8.5.1	Decodificatori NOR	341
8.5.2	Decodificatori NAND	342
8.5.3	Decodificatori di colonna a pass-transistor	343
8.6	Memorie a sola lettura (ROM)	345

8.7	Memorie flash	348
8.7.1	La tecnologia a gate isolato	348
8.7.2	Realizzazione con porte NOR	350
8.7.3	Realizzazione con porte NAND	351
	Riferimenti bibliografici	353

Capitolo 9 Circuiti logici bipolari 355

9.1	La coppia differenziale	356
9.2	La logica ad accoppiamento di emettitore (ECL)	357
9.2.1	Porta ECL per $v_I = V_H$	357
9.6	L'inseguitore di emettitore	358
9.12	Porte logiche CML	359
9.13	Porte logiche bipolari saturate	360
9.14	La porta logica transistor-transistor (TTL) elementare	360
9.16.2	Porte NAND TTL	361
9.17	La TTL Schottky	361
9.19	Logica BiCMOS	361
9.19.1	Buffer BiCMOS	362

Parte III Elettronica analogica

Capitolo 10 Sistemi analogici e amplificatori operazionali 363

10.1	Un esempio di sistema elettronico analogico	364
10.2	Amplificazione	365
10.2.1	Guadagno di tensione	366
10.2.2	Guadagno di corrente	367
10.2.3	Guadagno di potenza	367
10.2.4	Rappresentazione del guadagno in decibel	367
10.3	Modelli a doppio bipolo	370
10.3.1	I parametri g	370
10.4	Disadattamento delle impedenze del generatore e di carico	374
10.5	Introduzione all'amplificatore operazionale	376
10.5.1	L'amplificatore differenziale	376
10.5.2	Caratteristica di trasferimento di tensione dell'amplificatore differenziale	377
10.5.3	Guadagno di tensione	377
10.6	Distorsione negli amplificatori	379
10.7	Modello dell'amplificatore differenziale	380
10.8	L'amplificatore differenziale e l'amplificatore operazionale ideali	382
10.8.1	Ipotesi per l'analisi con operazionali ideali	383
10.9	Circuiti con amplificatori operazionali ideali	384
10.9.1	L'amplificatore invertente	384
10.9.2	L'amplificatore di transresistenza - un convertitore corrente-tensione	387
10.9.3	L'amplificatore non invertente	389
10.9.4	Buffer a guadagno unitario o inseguitore di tensione	391
10.9.5	L'amplificatore sommatore	393
10.9.6	L'amplificatore sottrattore	395
10.10	Funzione di trasferimento e risposta in frequenza	397
10.10.1	Diagrammi di Bode	398
10.10.2	Amplificatori passa-basso	398
10.10.3	Amplificatori passa-alto	401

10.10.4	Amplificatori passa-banda	404	11.7.2	Calcolo della resistenza di ingresso	448
10.10.5	Amplificatori a banda stretta	407	11.7.3	Calcolo della resistenza di uscita	449
10.10.6	Amplificatori a reiezione di banda	408	11.7.4	Riepilogo dell'amplificatore con retroazione serie-serie	449
10.10.7	Funzione di trasferimento passa-tutto	409	11.8	Retroazione parallelo-serie – amplificatore di corrente	451
10.10.8	Funzioni di trasferimento complesse	409	11.8.1	Calcolo del guadagno ad anello chiuso	452
10.10.9	Calcoli sui diagrammi di Bode	411	11.8.2	Calcolo della resistenza di ingresso	453
10.10.10	Filtro attivo passa-basso	412	11.8.3	Calcolo della resistenza di uscita	453
10.10.11	Filtro attivo passa-alto	415	11.8.4	Riepilogo dell'amplificatore con retroazione parallelo-serie	453
10.10.12	Integratore	416	11.9	Calcolo del guadagno di anello con iniezioni successive di tensione e corrente	456
10.10.13	Derivatore	417	11.9.1	Semplificazioni	459
Riferimenti bibliografici		418	11.10	Riduzione della distorsione per mezzo della retroazione	459
Lecture addizionali		418	11.11	Cause di errore in continua e limitazioni dell'escursione in uscita	460
Capitolo 11	Operazionali non ideali e stabilità della retroazione degli amplificatori operazionali	419	11.11.1	Tensione di offset all'ingresso	460
11.1	Sistemi con retroazione	420	11.11.2	Bilanciamento della tensione di offset	462
11.1.1	Analisi del guadagno ad anello chiuso	420	11.11.3	Correnti di polarizzazione e di offset all'ingresso	462
11.1.2	Errore di Guadagno	421	11.11.4	Limiti della tensione e della corrente di uscita	464
11.2	Analisi di circuiti con amplificatori operazionali non ideali	422	11.12	Reiezione di modo comune e resistenza di ingresso	467
11.2.1	Guadagno finito ad anello aperto	422	11.12.1	Valore finito per il rapporto di reiezione del modo comune	467
11.2.2	Resistenza di uscita diversa da zero	425	11.12.2	Perché è importante il CMRR?	468
11.2.3	Resistenza di ingresso di valore finito	429	11.12.3	Errore nel guadagno dell'inseguitore di tensione dovuto al CMRR	471
11.2.4	Riepilogo delle caratteristiche delle configurazioni non ideali invertente e non invertente	433	11.12.4	Resistenza di ingresso di modo comune	473
11.3	Circuiti con retroazione serie e parallelo	433	11.12.5	Interpretazione alternativa della reiezione di modo comune	474
11.3.1	Categorie di amplificatori con retroazione	433	11.12.6	Rapporto di reiezione della tensione di alimentazione	475
11.3.2	Amplificatore di tensione, retroazione serie-parallelo	434	11.13	Risposta in frequenza e larghezza di banda degli amplificatori operazionali	477
11.3.3	Amplificatore di transimpedenza, retroazione parallelo-parallelo	434	11.13.1	Risposta in frequenza dell'amplificatore non invertente	479
11.3.4	Amplificatore di corrente, retroazione parallelo-serie	435	11.13.2	Risposta in frequenza dell'amplificatore invertente	481
11.3.5	Amplificatore di transconduttanza, retroazione serie-serie	435	11.13.3	Controllo della risposta in frequenza mediante la retroazione	484
11.4	Metodo generale per il calcolo del guadagno di amplificatori retroazionati	435	11.13.4	Funzionamento ad ampi segnali: slew rate e larghezza di banda a piena potenza	485
11.4.1	Analisi del guadagno ad anello chiuso	435	11.13.5	Macromodello per la risposta in frequenza dell'amplificatore operazionale	486
11.4.2	Calcolo della resistenza con il teorema di Blackman	435	11.13.6	Macromodelli completi di amplificatori operazionali in SPICE	487
11.5	Retroazione serie-parallelo – amplificatore di tensione	436	11.13.7	Esempi di amplificatori operazionali commerciali per applicazioni generali	488
11.5.1	Calcolo del guadagno ad anello chiuso	436	11.14	Stabilità degli amplificatori retroazionati	488
11.5.2	Calcolo della resistenza di ingresso	437	11.14.1	Il diagramma di Nyquist	489
11.5.3	Calcolo della resistenza di uscita	438	11.14.2	Sistemi del primo ordine	490
11.5.4	Riepilogo dell'amplificatore con retroazione serie-parallelo	439	11.14.3	Sistemi del secondo ordine e margine di fase	490
11.6	Retroazione parallelo-parallelo – amplificatore di transresistenza	442	11.14.4	Risposta al gradino e margine di fase	492
11.6.1	Calcolo del guadagno ad anello chiuso	443	11.14.5	Sistemi del terzo ordine e margine di guadagno	494
11.6.2	Calcolo della resistenza di ingresso	443			
11.6.3	Calcolo della resistenza di uscita	444			
11.6.4	Riepilogo dell'amplificatore con retroazione parallelo-parallelo	444			
11.7	Retroazione serie-serie – amplificatore di transconduttanza	447			
11.7.1	Calcolo del guadagno ad anello chiuso	448			

11.14.6	Analisi della stabilità mediante i diagrammi di Bode	495
	Riferimenti bibliografici	500
Capitolo 12	Applicazioni degli amplificatori operazionali	501
12.1	Connessione in cascata di amplificatori	502
12.1.1	Rappresentazione a doppio bipolo	502
12.1.2	Osservazioni sulla terminologia relativa agli amplificatori	504
12.1.3	Risposta in frequenza di amplificatori a più stadi	506
12.2	Amplificatore per strumentazione	514
12.3	Filtri attivi	517
12.3.1	Filtro passa-basso	517
12.3.2	Filtro passa-alto con guadagno maggiore di 1	521
12.3.3	Filtro passa-banda	522
12.3.4	Filtro biquadratico Tow-Thomas	524
12.3.5	Sensibilità	528
12.3.6	Variazione delle impedenze e della frequenza secondo un fattore di scala	528
12.4	Circuiti a capacità commutate	530
12.4.1	Integratore a capacità commutate	531
12.4.2	Integratore non invertente	532
12.4.3	Filtri a capacità commutate	534
12.5	Conversione digitale-analogica	537
12.5.1	Aspetti fondamentali dei convertitori D/A	537
12.5.2	Errori nei convertitori D/A	538
12.6	Conversione analogico-digitale	544
12.6.1	Aspetti fondamentali dei convertitori A/D	544
12.6.2	Errori nei convertitori analogico-digitali	545
12.6.3	Tecniche di base per la conversione analogico-digitale	546
12.7	Oscillatori	556
12.7.1	Il criterio di Barkhausen per le oscillazioni	556
12.7.2	Oscillatori con reti RC selettive in frequenza	559
12.8	Applicazioni non lineari	563
12.8.1	Un raddrizzatore di precisione a semionda	563
12.8.2	Circuito raddrizzatore di precisione senza saturazione	564
12.9	Circuiti a retroazione positiva	566
12.9.1	Il comparatore e il trigger di Schmitt	566
12.9.2	Il multivibratore astabile	568
12.9.3	Il multivibratore monostabile (<i>one shot</i>)	570
	Riferimenti bibliografici	572
	Lecture addizionali	572

Capitolo 13	Modelli di piccolo segnale e amplificazione lineare	573
13.1	Il transistor come amplificatore	574
13.1.1	L'amplificatore a BJT	574
13.1.2	L'amplificatore a MOSFET	576

13.2	Condensatori di accoppiamento e di bypass	577
13.3	Utilizzo dei circuiti equivalenti DC e AC	579
13.3.1	Regole per le analisi in DC e in AC	579
13.4	Introduzione ai modelli per piccoli segnali del diodo	583
13.4.1	Interpretazione grafica del comportamento per piccoli segnali del diodo	583
13.4.2	Modello per piccoli segnali del diodo	584
13.5	Modelli per piccoli segnali per i transistori bipolari a giunzione	586
13.5.1	Il modello ibrido a π	588
13.5.2	Interpretazione grafica della transconduttanza	588
13.5.3	Guadagno di corrente per piccoli segnali	589
13.5.4	Il guadagno di tensione intrinseco del BJT	589
13.5.5	Forme equivalenti del modello per piccoli segnali	591
13.5.6	Modello ibrido a π semplificato	591
13.5.7	Definizione di piccolo segnale per un transistor bipolare	592
13.5.8	Modello per piccoli segnali per il transistor <i>pn</i> p	593
13.5.9	Confronto fra analisi AC e analisi in transitorio in SPICE	594
13.6	L'amplificatore a emettitore comune (C-E)	594
13.6.1	Guadagno di tensione dell'amplificatore a emettitore comune	595
13.6.2	Resistenza di ingresso	596
13.6.3	Guadagno di tensione complessivo	596
13.7	Limiti importanti e semplificazioni dei modelli	597
13.7.1	Resistenza di emettitore nulla	597
13.7.2	Guida per il progetto dell'amplificatore a emettitore comune con carico resistivo	597
13.7.3	Guadagno di corrente per l'amplificatore a emettitore comune con elevata resistenza di emettitore	598
13.7.4	Limiti per la condizione di piccolo segnale nell'amplificatore a emettitore comune	599
13.7.5	Resistenza vista guardando nel collettore del BJT	603
13.7.6	Resistenza di uscita dell'amplificatore a emettitore comune complessivo	605
13.7.7	Guadagno di corrente ai terminali per l'amplificatore a emettitore comune	606
13.8	Modello per piccoli segnali per i transistori a effetto di campo	606
13.8.1	Modello per piccoli segnali del MOSFET	606
13.8.2	Guadagno di tensione intrinseco del MOSFET	608
13.8.3	Definizione di piccolo segnale per un MOSFET	609
13.8.4	L'effetto body nel modello per piccoli segnali del MOSFET	610
13.8.5	Modello per piccoli segnali per il transistor PMOS	611
13.9	Confronto fra i modelli per piccoli segnali del BJT e del MOS	611

13.10	L'amplificatore a source comune (C-S)	614	14.2.2	Riepilogo delle caratteristiche degli amplificatori C-E e C-S	652
13.10.1	Guadagno di tensione ai terminali per l'amplificatore a source comune	614	14.2.3	Rappresentazione mediante transistori equivalenti	652
13.10.2	Guadagno di tensione complessivo per l'amplificatore a source comune	615	14.3	Circuiti inseguitori - Amplificatori a collettore comune e a drain comune	653
13.10.3	Guadagno di tensione dell'amplificatore a source comune, per elevati valori di R_S	615	14.3.1	Guadagno di tensione ai terminali	653
13.10.4	Resistenza nulla nel source	616	14.3.2	Resistenza di ingresso	654
13.10.5	Guida per il progetto di amplificatori a source comune con $R_S = 0$	618	14.3.3	Guadagno di tensione complessivo	655
13.10.6	Limiti per la condizione di piccolo segnale nell'amplificatore a source comune	619	14.3.4	Dinamica del segnale di ingresso dell'inseguitore	658
13.10.7	Resistenze di ingresso degli amplificatori a emettitore comune e a source comune	621	14.3.5	Resistenza al terminale di emettitore	658
13.10.8	Resistenze di uscita degli amplificatori a emettitore comune e a source comune	623	14.3.6	Guadagno di corrente	660
13.11	Esempi di amplificatori a emettitore comune e a source comune	625	14.3.7	Riepilogo delle caratteristiche degli amplificatori C-C e C-D	660
13.11.1	Amplificatore a emettitore comune	625	14.4	Amplificatori non invertenti - Circuiti a base comune e a gate comune	661
13.11.2	Differenze fra analisi AC e analisi in transitorio in SPICE: ulteriori osservazioni	629	14.4.1	Guadagno di tensione ai terminali e resistenza di ingresso	661
13.11.3	Amplificatore MOSFET a source comune	629	14.4.2	Guadagno di tensione complessivo	662
13.11.4	Confronto fra i due amplificatori	633	14.4.3	Dinamica del segnale di ingresso	663
13.11.5	Riepilogo e confronto delle caratteristiche degli amplificatori a emettitore comune e a source comune	634	14.4.4	Resistenza ai terminali di collettore e drain	664
13.11.6	Retroazione negli amplificatori invertenti	634	14.4.5	Guadagno di corrente	664
13.11.7	Condizioni in cui è possibile trascurare la resistenza differenziale di uscita del transistor	635	14.4.6	Resistenze di ingresso e di uscita complessive per gli amplificatori non invertenti	665
13.12	Dissipazione di potenza ed escursione del segnale	636	14.4.7	Riepilogo delle caratteristiche degli amplificatori C-B e C-G	668
13.12.1	Dissipazione di potenza	636	14.5	Rassegna e confronto degli amplificatori elementari	669
13.12.2	Escursione massima del segnale di uscita	637	14.5.1	Gli amplificatori a BJT	669
			14.5.2	Gli amplificatori a MOSFET	671
Capitolo 14	Amplificatori a singolo transistor e multistadio accoppiati in AC	641	14.6	Amplificatori a source comune basati su invertitori a MOS	673
14.1	Classificazione degli amplificatori	642	14.6.1	Stima del guadagno di tensione	674
14.1.1	Applicazione e prelievo del segnale - Il BJT	643	14.6.2	Analisi dettagliata	674
14.1.2	Applicazione e prelievo del segnale - Il MOSFET	643	14.6.3	Soluzioni alternative per il carico	675
14.1.3	Amplificatori a emettitore comune (C-E) e a source comune (C-S)	644	14.6.4	Resistenze di ingresso e uscita	676
14.1.4	Amplificatori a collettore comune (C-C) e a drain comune (C-D)	645	14.7	Progetto dei condensatori di accoppiamento e di bypass	679
14.1.5	Amplificatori a base comune (C-B) e a gate comune (C-G)	646	14.7.1	Amplificatori a emettitore comune e a source comune	679
14.1.6	Modello di piccolo segnale	647	14.7.2	Amplificatori a collettore comune e a drain comune	683
14.2	Amplificatori invertenti - Circuiti a emettitore comune e a source comune	647	14.7.3	Amplificatori a base comune e a gate comune	685
14.2.1	Caratteristiche degli amplificatori a emettitore comune e a source comune	648	14.7.4	Fissare la frequenza di taglio inferiore	688
			14.8	Esempi di progetto di amplificatori	689
			14.8.1	Verifica del progetto dell'amplificatore a base comune con il metodo Monte Carlo	697
			14.9	Amplificatori multistadio accoppiati in AC	702
			14.9.1	Amplificatore a tre stadi accoppiato in AC	702
			14.9.2	Guadagno di tensione	704
			14.9.3	Resistenza di ingresso	706
			14.9.4	Guadagno di tensione complessivo	706
			14.9.5	Resistenza di uscita	706
			14.9.6	Guadagno di corrente e di potenza	707
			14.9.7	Dinamica del segnale di ingresso	707
			14.9.8	Come migliorare il guadagno di tensione dell'amplificatore	711

14.9.9	Stima della frequenza di taglio inferiore dell'amplificatore multistadio	711	15.4	Generatori elettronici di corrente	763
Lecture addizionali		713	15.4.1	Generatori di corrente a singolo transistor	764
Capitolo 15	Amplificatori differenziali e operazionali	715	15.4.2	Cifra di merito per i generatori di corrente	764
15.1	Amplificatori differenziali	716	15.4.3	Generatori con elevata resistenza di uscita	765
15.1.1	Amplificatori differenziali a transistori bipolari e a MOS	717	15.4.4	Esempi di progetto di generatori di corrente	766
15.1.2	Analisi in DC dell'amplificatore differenziale a transistori bipolari	717	Riferimenti bibliografici		773
15.1.3	Caratteristica di trasferimento di piccolo segnale dell'amplificatore differenziale a transistori bipolari	719	Lecture addizionali		773
15.1.4	Analisi in AC dell'amplificatore differenziale a transistori bipolari	720	Capitolo 16	Tecniche di progetto di circuiti analogici integrati	775
15.1.5	Guadagno e resistenza di ingresso di modo differenziale	721	16.1	Dispositivi equivalenti	776
15.1.6	Guadagno e resistenza di ingresso di modo comune	723	16.2	Specchi di corrente	777
15.1.7	Rapporto di reiezione di modo comune (CMRR)	725	16.2.1	Analisi DC dello specchio di corrente MOS	778
15.1.8	Analisi del modo differenziale e del modo comune utilizzando metà circuito	726	16.2.2	Modifica del rapporto di riflessione per lo specchio di corrente MOS	779
15.1.9	Polarizzazione con generatori di corrente elettronici	728	16.2.3	Analisi DC dello specchio di corrente BJT	780
15.1.10	Modello SPICE del generatore elettronico di corrente	729	16.2.4	Modifica del rapporto di riflessione per lo specchio di corrente BJT	782
15.1.11	Analisi in DC dell'amplificatore differenziale a MOSFET	730	16.2.5	Generatori di corrente multipli	783
15.1.12	Segnali di ingresso di modo differenziale	732	16.2.6	Specchio di corrente con buffer	784
15.1.13	Caratteristica di trasferimento di piccolo segnale per l'amplificatore differenziale a MOS	733	16.2.7	Resistenza di uscita dello specchio di corrente	785
15.1.14	Segnali di ingresso di modo comune	733	16.2.8	Modello a doppio bipolo dello specchio di corrente	786
15.1.15	Modello a doppio bipolo per la coppia differenziale	734	16.2.9	Il generatore di corrente di Widlar	788
15.2	Gli amplificatori operazionali	738	16.2.10	Il generatore di corrente di Widlar MOS	789
15.2.1	Amplificatore operazionale elementare a due stadi	738	16.3	Specchi di corrente a elevata resistenza di uscita	791
15.2.2	Evoluzione dell'amplificatore operazionale elementare	744	16.3.1	Il generatore di corrente di Wilson	791
15.2.3	Coppia Darlington	745	16.3.2	Resistenza di uscita del generatore di corrente di Wilson	793
15.2.4	Riduzione della resistenza di uscita	746	16.3.3	Il generatore di corrente cascode	794
15.2.5	Amplificatore operazionale elementare CMOS	750	16.3.4	Resistenza di uscita del generatore di corrente cascode	794
15.2.6	Amplificatori BiCMOS	751	16.3.5	Il generatore di corrente cascode regolato	795
15.2.7	Implementazione di amplificatori operazionali a soli transistori	752	16.3.6	Riepilogo delle caratteristiche dei generatori di corrente	796
15.3	Stadi di uscita	753	16.4	Generatore di corrente di riferimento	799
15.3.1	Stadio di uscita in classe A: l'inseguitore di source	753	16.5	Generatori di riferimento indipendenti dalla tensione di alimentazione	799
15.3.2	Rendimento degli amplificatori in classe A	754	16.5.1	Generatore di riferimento basato sulla V_{BE}	800
15.3.3	Stadio di uscita in classe B o push-pull	755	16.5.2	Il generatore di Widlar	800
15.3.4	Amplificatori in classe AB	756	16.5.3	Polarizzazione indipendente dalla tensione di alimentazione	801
15.3.5	Stadi di uscita in classe AB per amplificatori operazionali	758	16.5.4	Polarizzazione indipendente dalla tensione di alimentazione in tecnologia MOS	802
15.3.6	Protezione dal cortocircuito	759	16.6	Riferimento di tensione a bandgap	803
15.3.7	Accoppiamento con trasformatore	760	16.7	Lo specchio di corrente come carico attivo	807
			16.7.1	Amplificatore differenziale CMOS con carico attivo	807

16.7.2	Amplificatore differenziale bipolare con carico attivo	813	17.5.1	Effetto della resistenza di base e di gate sull'amplificazione di centro banda	865
16.8	I carichi attivi negli amplificatori operazionali	817	17.6	Analisi ad alta frequenza degli amplificatori a emettitore comune e a source comune	867
16.8.1	Guadagno di tensione dell'amplificatore operativo CMOS	817	17.6.1	L'effetto Miller	868
16.8.2	Considerazioni sul punto di lavoro	818	17.6.2	Risposta in alta frequenza degli amplificatori a emettitore comune e a source comune	869
16.8.3	Amplificatore operativo bipolare	820	17.6.3	Analisi diretta della caratteristica di trasferimento dell'emettitore comune	871
16.8.4	Rottura dello stadio di ingresso	821	17.6.4	Poli dell'amplificatore C-E	872
16.9	L'amplificatore operativo $\mu A741$	822	17.6.5	Polo dominante dell'amplificatore a source comune	875
16.9.1	Circuito di polarizzazione	823	17.6.6	Stima di ω_H con il metodo delle costanti di tempo a circuito aperto	875
16.9.2	Analisi statica dello stadio di ingresso del $\mu A741$	824	17.6.7	Amplificatore a source comune con resistenza di source	878
16.9.3	Analisi in AC dello stadio di ingresso del $\mu A741$	827	17.6.8	Poli dell'emettitore comune con resistenza sull'emettitore	880
16.9.4	Guadagno di tensione dell'amplificatore completo	829	17.7	Risposta in alta frequenza degli amplificatori a base comune e a gate comune	882
16.9.5	Stadio di uscita del $\mu A741$	832	17.8	Risposta in alta frequenza degli amplificatori a collettore comune e a drain comune	884
16.9.6	Resistenza di uscita	833	17.8.1	Risposta in frequenza dello stadio a simmetria complementare	886
16.9.7	Protezione dal cortocircuito	834	17.9	Riepilogo della risposta in alta frequenza degli amplificatori a singolo stadio	888
16.9.8	Riepilogo delle caratteristiche dell'amplificatore operativo $\mu A741$	834	17.9.1	Limitazioni guadagno-banda degli amplificatori	889
16.10	Il moltiplicatore analogico di Gilbert	834	17.10	Risposta in frequenza degli amplificatori multistadio	890
Riferimenti bibliografici		837	17.10.1	Amplificatore differenziale	890
Capitolo 17	Risposta in frequenza	839	17.10.2	La connessione in cascata collettore-comune/base-comune	891
17.1	Risposta in frequenza degli amplificatori	840	17.10.3	Risposta in alta frequenza dell'amplificatore cascode	893
17.1.1	Risposta alle basse frequenze	841	17.10.4	Frequenza di taglio dello specchio di corrente	894
17.1.2	Stima di ω_L in assenza di polo dominante	841	17.10.5	Esempio di amplificatore a tre stadi	894
17.1.3	Risposta alle alte frequenze	844	17.11	Introduzione ai circuiti a radiofrequenza	901
17.1.4	Stima di ω_H in assenza di polo dominante	844	17.11.1	Amplificatori a radiofrequenza	902
17.2	Determinazione diretta di poli e zeri in bassa frequenza - L'amplificatore a source comune	845	17.11.2	L'amplificatore <i>shunt-peaked</i>	903
17.3	Stima di ω_L con il metodo delle costanti di tempo in cortocircuito	850	17.11.3	Amplificatore accordato a singolo stadio	904
17.3.1	Stima di ω_L per l'amplificatore a emettitore comune	851	17.11.4	Utilizzo dell'induttore a presa intermedia - L'autotrasformatore	907
17.3.2	Stima di ω_L per l'amplificatore a source comune	854	17.11.5	Circuiti accordati multipli - Sintonizzazione sincrona e scalata	908
17.3.3	Stima di ω_L per l'amplificatore a base comune	855	17.11.6	L'amplificatore a source comune a degenerazione induttiva	910
17.3.4	Stima di ω_L per l'amplificatore a gate comune	856	17.12	Mixer e modulatori bilanciati	912
17.3.5	Stima di ω_L per l'amplificatore a collettore comune	856	17.12.1	Principi di funzionamento del mixer	913
17.3.6	Stima di ω_L per l'amplificatore a drain comune	857	17.12.2	Mixer bilanciato (<i>balanced</i>)	914
17.4	Modelli del transistor alle alte frequenze	858	17.12.3	La coppia differenziale come mixer bilanciato	915
17.4.1	Modello ibrido a π dipendente dalla frequenza per il transistor bipolare	858	17.12.4	Mixer doppiamente bilanciato (<i>double-balanced</i>)	916
17.4.2	Modello SPICE per C_π e C_μ	859	17.12.5	Il mixer di Jones - Un modulatore/mixer doppiamente bilanciato	919
17.4.3	Frequenza di transizione f_T	859	Riferimenti bibliografici		922
17.4.4	Modello in alta frequenza per il MOSFET	862			
17.4.5	Modello SPICE per C_{GS} e C_{GD}	862			
17.4.6	Dipendenza di f_T dalla lunghezza di canale	863			
17.4.7	Limitazioni dei modelli ad alta frequenza	864			
17.5	Resistenza di base e di gate nel modello ibrido a π	865			

Capitolo 18	Amplificatori a transistori retroazionati e oscillatori	923		
18.1	Sistema retroazionato classico	924		
18.1.1	Guadagno ad anello chiuso	924		
18.1.2	Impedenze ad anello chiuso	925		
18.1.3	Effetti della retroazione	925		
18.2	Analisi in banda passante di amplificatori retroazionati	927		
18.2.1	Guadagno ad anello chiuso	927		
18.2.2	Resistenza di ingresso	928		
18.2.3	Resistenza di uscita	928		
18.2.4	Calcolo della tensione di offset	929		
18.3	Esempi di circuiti amplificatori con retroazione	930		
18.3.1	Retroazione serie-parallelo - Amplificatore di tensione	930		
18.3.2	Amplificatore differenziale di tensione serie-parallelo	935		
18.3.3	Retroazione parallelo-parallelo - Amplificatore di transresistenza	937		
18.3.4	Retroazione serie-serie - Amplificatore di transconduttanza	943		
18.3.5	Retroazione parallelo-serie - Amplificatore di corrente	946		
18.4	Richiami sulla stabilità dell'amplificatore retroazionato	950		
18.4.1	Risposta ad anello chiuso dell'amplificatore non compensato	950		
18.4.2	Margine di fase	952		
18.4.3	Effetti di secondo ordine	955		
			18.4.4	Risposta dell'amplificatore compensato
			18.4.5	Limiti di piccolo segnale
			18.5	Compensazione a singolo polo dell'amplificatore operazionale
			18.5.1	Analisi dell'amplificatore operazionale a tre stadi
			18.5.2	Zeri negli amplificatori operazionali a MOS
			18.5.3	Compensazione degli amplificatori bipolari
			18.5.4	Slew rate dell'amplificatore operazionale
			18.5.5	Relazione tra slew rate e prodotto guadagno-larghezza di banda
			18.6	Oscillatori ad alta frequenza
			18.6.1	L'oscillatore Colpitts
			18.6.2	L'oscillatore Hartley
			18.6.3	Stabilizzazione dell'ampiezza negli oscillatori LC
			18.6.4	Resistenza negativa negli oscillatori
			18.6.5	Oscillatore a G_m negativo
			18.6.6	Oscillatori a cristallo
				Riferimenti bibliografici
			Appendici	983
			Indice analitico	1005
			Eserciziario	E1

Prefazione

La presente edizione italiana segue in maniera fedele l'impostazione della quinta edizione americana, recependone le molte aggiunte e i numerosi cambiamenti.

In particolare, è stata reintrodotta la trattazione dell'elettronica digitale, che mancava nella precedente edizione italiana. Questa scelta deriva dall'importanza di tale argomento nella formazione degli studenti universitari di elettronica; riteniamo inoltre che sia utile coprire più corsi introduttivi con un singolo testo di riferimento.

Un ulteriore cambiamento riguarda la trattazione della retroazione negativa che è stata condotta, come nel testo americano, con un approccio più moderno che non fa uso della modellazione del circuito con due doppi bipoli. L'approccio seguito, che calcola direttamente il guadagno di anello, è più snello e permette una migliore comprensione del comportamento del circuito.

Rispetto all'edizione americana, la trattazione della retroazione viene completata introducendo il metodo di Rosenstark che ha il vantaggio di rendere più sistematica e completa l'analisi dei sistemi retroazionati; è stata inoltre introdotta una sezione di approfondimento sui calcoli effettuabili direttamente sui diagrammi di Bode. A causa della loro obsolescenza, le logiche bipolari ECL e TTL sono state riassunte brevemente nel testo stampato mentre una loro trattazione completa è disponibile sul sito web dedicato al libro. Per lo stesso motivo, come già nella precedente edizione, è stata esclusa dal testo la trattazione dei JFET.

Ulteriori differenze rilevanti rispetto all'edizione americana riguardano l'uso sistematico delle unità di misura del sistema internazionale e relativi prefissi moltiplicativi nelle formule e negli esempi, a eccezione delle funzioni di trasferimento nel dominio della trasformata di Laplace, dove le unità di misura dei coefficienti non sono indicate. Nella traduzione della parola *ground* si è evitata la parola *massa*, poiché questo termine nella compatibilità elettromagnetica e nella sicurezza elettrica ha significati specifici, diversi da potenziale di riferimento, zero volt... ed è opportuno che futuri professionisti dell'elettronica si abituino a usare una terminologia corretta e condivisa con i loro colleghi. Infine, a causa dell'elevato numero di versioni del simulatore SPICE esistenti, si è scelto di usare la notazione SPICE base in tutti gli esempi, in modo da essere compatibili con il maggior numero possibile di simulatori.

Ringraziamo i precedenti Curatori (Prof. Paolo Spirito, Prof. Gaudenzio Meneghesso e Prof. Andrea Neviani) per i numerosi miglioramenti da loro introdotti, mantenuti in questa nuova edizione.

Ringraziamo infine il team di McGraw-Hill Education Italia, tra cui Filippo Aroffo, Portfolio Lead, Barbara Ferrario e Tatjana Pauli, Portfolio Manager.

Paolo Bardella

Prefazione all'edizione americana

Attraverso lo studio di questo testo, il lettore potrà sviluppare una comprensione completa delle tecniche di base della progettazione di moderni circuiti elettronici, analogici e digitali, a componenti discreti e integrati.

I contenuti presentati integrano la pluriennale esperienza didattica degli autori con la loro grande esperienza in ambito industriale riguardo al design analogico e digitale di precisione. Il testo raccoglie un ampio spettro di argomenti e il materiale può essere facilmente selezionato per coprire diversi corsi di elettronica.

Anche se molti lettori potrebbero non essere coinvolti direttamente nella progettazione di circuiti integrati, una conoscenza approfondita della struttura interna di tali circuiti è tuttavia indispensabile per evitare molte delle insidie che si presentano durante la progettazione di circuiti elettronici con componenti integrati.

In questo testo la parte riguardante i circuiti analogici e quella incentrata sull'elettronica digitale sono presentate in maniera bilanciata. L'elettronica digitale, spesso inclusa di sfuggita in molti testi di elettronica di base, rappresenta oggi un ambito estremamente importante nella progettazione dei circuiti.

In questa edizione, come nelle precedenti, il materiale è stato aggiornato per migliorare la leggibilità e l'accessibilità dello studente. Oltre ad aggiornamenti di carattere più generale, sono state introdotte numerose modifiche specifiche.

Nella Parte I il concetto di saturazione della velocità dei portatori nei MOS è rinforzato con l'aggiunta del Modello Unificato di Rabaey e Chandrakasan; l'impatto delle limitazioni di velocità sui circuiti digitali e analogici è ora un argomento ricorrente nelle Parti II e III, con discussioni, esempi e nuovi problemi.

Per quanto riguarda la Parte II, *flip-flop* e *latch* sono stati inclusi, con altri circuiti logici CMOS di base, nel Capitolo 7. Un'aggiunta significativa al Capitolo 8 è l'introduzione alla tecnologia delle memorie flash, oggi così diffuse, e ai relativi circuiti di controllo. Nel Capitolo 9, è stata aggiunta una breve discussione sulla famiglia ECL positiva (PECL).

Come menzionato sopra, nella Parte III sono introdotte la polarizzazione e la distorsione in regime di saturazione della velocità. Nel Capitolo 15 è stata aggiunta una sezione sulle coppie Darlington. Il Capitolo 16 include esempi migliorati di calcolo della tensione di offset e la revisione del materiale sul riferimento di bandgap. Nel Capitolo 17 è stata aggiunta una discussione sulla resistenza di gate nei MOSFET simile a quella già presente sulla resistenza di base nel BJT. È stata ampliata la discussione sulla risposta in frequenza dell'inseguitore di emettitore. Anche la discussione sul ruolo del guadagno di corrente dipendente dalla frequenza del MOSFET è stata modificata, includendo sia l'impedenza di ingresso sia quella di uscita della configurazione a inseguitore di source. Infine, è stata aggiornata la trattazione del classico mixer di Jones. Un ulteriore esempio di calcolo della tensione di offset è stato aggiunto al capitolo 18 insieme a un'approfondita discussione sulla compensazione dell'amplificatore operazionale a MOS.

Nel testo gli esempi usano costantemente un approccio strutturato alla risoluzione dei problemi; le popolari schede *Elettronica in azione* sono state riviste e ampliate per includere nuovi esempi di applicazioni dell'elettronica analogica e digitale nella vita di tutti i giorni. Ogni capitolo si apre con un inquadramento del te-

ma trattato, con riferimenti agli sviluppi storici dell'elettronica. Le *Note di progettazione* evidenziano importanti idee che il progettista di circuiti dovrebbe ricordare e pongono enfasi sulla progettazione pratica del circuito.

Il materiale della Parte II riguarda principalmente la progettazione di porte logiche e elementi di memoria. Una discussione completa sulla progettazione di porte logiche NMOS e CMOS è presentata nei Capitoli 6 e 7; una discussione sulle celle di memoria è introdotta nel Capitolo 8. Il Capitolo 9 include la discussione di ECL, CML e TTL. Questo testo non contiene alcun progetto sostanziale a livello di blocchi logici, un argomento che è generalmente trattato dai corsi di progettazione digitale.

Le Parti I e II del testo riguardano le caratteristiche di ampio segnale dei transistori. Ciò consente ai lettori di familiarizzare con il comportamento dei dispositivi e con le caratteristiche tensione-corrente prima di imparare a dividere i circuiti in parti diverse (e possibilmente in diverse topologie) per eseguire analisi del punto di lavoro e di piccolo segnale (il concetto di un piccolo segnale è formalmente introdotto nella Parte III, Capitolo 13).

La Parte III riguarda ancora i circuiti analogici tradizionali. La sezione analogica inizia nel Capitolo 10 con una discussione di concetti di amplificatori e circuiti amplificatori operazionali classici ideali. Il Capitolo 11 presenta una discussione dettagliata degli amplificatori operazionali non ideali e introduce le classiche tipologie di retroazione. Il Capitolo 12 presenta una gamma di applicazioni degli amplificatori operazionali. Il Capitolo 13 discute i modelli di piccolo segnale del diodo, del BJT e del MOSFET. Il Capitolo 14 fornisce una discussione approfondita sul design dell'amplificatore a stadio singolo e sugli amplificatori accoppiati a corrente alternata multistadio; nello stesso capitolo è trattato il design del condensatore di disaccoppiamento e di bypass. Il Capitolo 15 tratta gli amplificatori multistadio accoppiati in corrente continua. Il Capitolo 16 continua con la descrizione di circuiti importanti per il progetto di circuiti integrati, tra cui, specchi di corrente, carichi attivi e riferimento di *bandgap*, e studia il classico amplificatore operazionale $\mu A741$. Il Capitolo 17 sviluppa i modelli ad alta frequenza per i transistori e presenta una discussione dettagliata sull'analisi del comportamento dei circuiti ad alta frequenza; le importanti tecniche delle costanti di tempo di cortocircuito e di circuito aperto per la stima dei poli dominanti a bassa e alta frequenza sono introdotte in questo capitolo. Infine, il Capitolo 18 presenta esempi di amplificatori con retroazione a transistori ed esplora la loro stabilità e compensazione; il capitolo si conclude con una discussione sugli oscillatori LC ad alta frequenza, sugli oscillatori a G_m negativa e sugli oscillatori a cristallo di quarzo.

Progettazione dei circuiti

Il progetto è sempre un tema difficile nella formazione degli ingegneri. L'uso di una metodologia di risoluzione dei problemi ben definita, presentata in questo testo, può migliorare significativamente la capacità degli studenti di comprendere le problematiche di progettazione. Gli esempi di progetto aiutano a capire le motivazioni delle scelte e i processi logici da compiere.

Varie opzioni di progettazione sono esplorate nel testo tramite l'uso di strumenti di calcolo informatici, inclusi MATLAB®, fogli di calcolo e linguaggi di programmazione di alto livello.

Gli effetti delle tolleranze dei dispositivi attivi e degli elementi passivi sono discussi in tutto il testo. Le tecniche di analisi di caso peggiore e Monte Carlo sono introdotte alla fine del Capitolo 1. Questi argomenti non sono generalmente trattati nei corsi universitari; tuttavia, la capacità di progettare circuiti tenendo conto di tolleranze e di variazioni anche ampie delle caratteristiche dei componenti ampi è un aspetto fondamentale nella progettazione di circuiti elettronici. Molti esempi e vari problemi trattano il progetto di circuiti con componenti standard e relative tolleranze.

Problemi

Ogni capitolo è completato da problemi specifici di progettazione, problemi SPICE e problemi che richiedono l'uso di fogli di calcolo o la scrittura di programmi. I problemi di progettazione sono indicati dall'icona , i problemi SPICE dall'icona ; gli altri problemi che richiedono l'uso del calcolatore sono indicati dall'icona . I problemi più difficili o lunghi sono indicati da uno (*) o due (**) asterischi.

Uso del calcolatore e di SPICE

Il calcolatore è utilizzato ampiamente nel testo. Gli autori credono fermamente che questo significhi qualcosa di più del semplice utilizzo del programma di analisi del circuito SPICE. Nel mondo dell'ingegneria contemporanea è spesso più opportuno utilizzare il calcolatore per esplorare uno spazio di progettazione complesso piuttosto che cercare di ridurre un complesso insieme di equazioni a una forma analitica più gestibile. Esempi di soluzioni di equazioni con metodi iterativi, basati sull'uso di fogli di calcolo, MATLAB o linguaggi di programmazione di alto livello, sono illustrati in diversi punti del testo. MATLAB è anche usato per la generazione di grafici di Nyquist e Bode ed è molto utile per l'analisi Monte Carlo.

D'altra parte SPICE è uno strumento fondamentale per l'analisi e il progetto di circuiti elettronici ed è usato estensivamente in tutto il testo. I risultati di simulazioni SPICE sono inclusi in molti esempi e numerosi problemi richiedono l'uso di tale programma. Questa edizione continua a sottolineare le differenze e l'utilità delle diverse modalità di analisi disponibili in SPICE. Una discussione sulla modellizzazione dei dispositivi in SPICE è inclusa dopo l'introduzione di ciascun dispositivo a semiconduttore; modelli e parametri tipici sono riassunti in appendice. La maggior parte dei problemi in questo testo può essere facilmente simulata usando SPICE, e questo approccio è sempre consigliato agli studenti.

Richard C. Jaeger
Auburn University

Travis N. Blalock
University of Virginia

Autori e Curatori

Autori

Richard Jaeger ha conseguito il suo Bachelor Degree, Master Degree e Doctoral Degree in Ingegneria Elettronica presso la University of Florida. È stato uno dei primi tre membri di facoltà a essere nominato Distinguished University Professor dalla Auburn University. I suoi premi per l'insegnamento includono il Birdsong Merit Teaching Award ed è stato selezionato come Outstanding Electrical Engineering Faculty Member dagli studenti undergraduate di Electrical and Computer Engineering. Nel 1995 è stato inoltre nominato Distinguished Graduate Faculty Lecturer. Attualmente i suoi interessi di ricerca includono circuiti e dispositivi a stato solido, packaging di componenti elettronici, sensori piezoresistivi, elettronica a basse temperature, progetto di circuiti VLSI e rumore nei dispositivi e circuiti elettronici.

Travis Blalock è Associate Professor presso il Department of Electrical and Computer Engineering della University of Virginia.

Curatore

Paolo Bardella si è laureato con Lode in Ingegneria Elettronica presso il Politecnico di Torino nel 2002 e ha conseguito il Dottorato in Ingegneria Elettronica e delle Comunicazioni presso lo stesso Ateneo nel 2006. È attualmente ricercatore presso il Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino, dove insegna in corsi di elettronica analogica e digitale, optoelettronica e modellistica numerica. La sua attività di ricerca è incentrata sullo studio di materiali a semiconduttore, in particolare nell'ambito della fotonica integrata, ed è documentata da oltre 90 tra pubblicazioni su riviste internazionali e comunicazioni a congressi.

Paolo Bardella ha diretto la realizzazione di questa edizione e ha curato personalmente i Capitoli 1-3, 6-9, 11-16, le Appendici A-D e l'Eserciziario finale.

Ringraziamenti dell'Editore

L'Editore ringrazia i docenti che hanno partecipato alla review del testo e che, con le loro preziose indicazioni, hanno contribuito alla realizzazione della quinta edizione italiana di *Microelettronica*:

Giuseppe Bertuccio, *Politecnico di Milano*
Francesco Corsi, *Università degli Studi di Bari*
Vincenzo Ferrara, *Sapienza Università di Roma*
Antonio Gnudi, *Alma Mater Studiorum - Università di Bologna*
Angelo Gulinatti, *Politecnico di Milano*
Massimo Lanzoni, *Alma Mater Studiorum - Università di Bologna*
Ernesto Limiti, *Università di Roma Tor Vergata*
Giovanni Martines, *Università degli Studi di Cagliari*
Susanna Reggiani, *Alma Mater Studiorum - Università di Bologna*
Bruno Riccò, *Alma Mater Studiorum - Università di Bologna*
Giovanni Saggio, *Università di Roma Tor Vergata*
Marco Sampietro, *Politecnico di Milano*
Luigi Schirone, *Sapienza Università di Roma*

L'Editore ringrazia inoltre i docenti che parteciparono alla review della terza e quarta edizione italiana del volume:

Salvatore Bellone, *Università degli Studi di Salerno*
Mario Roberto Casu, *Politecnico di Torino*
Giuseppe Di Cataldo, *Università degli Studi di Catania*
Francesco Corsi, *Politecnico di Bari*
Stefano D'Amico, *Università del Salento*
Marcello De Matteis, *Università del Salento*
Alberto Fazzi, *Politecnico di Milano*
Gianluca Giustolisi, *Università degli Studi di Catania*
Giovanni Martines, *Università degli Studi di Cagliari*
Rosario Mita, *Università degli Studi di Catania*
Andrea Neviani, *Università degli Studi di Padova*
Simone Orcioni, *Università Politecnica delle Marche*
Fabrizio Palma, *Sapienza Università di Roma*
Giancarlo Ripamonti, *Politecnico di Milano*
Santina Rocchi, *Università degli Studi di Siena*
Luca Selmi, *Università degli Studi di Udine*
Claudio Turchetti, *Università Politecnica delle Marche*
Maurizio Valle, *Università degli Studi di Genova*

Indice Elettronica in azione

Parte I Elettronica dello stato solido e dispositivi

Evoluzione dei telefoni cellulari	6
Caratteristiche di un lettore MP3	17
Amplificatori in un sistema elettronico familiare: un ricevitore FM stereo	21
Le camere CCD	49
Un laboratorio su un chip (lab-on-chip)	52
Termometria elettronica e tensioni PTAT	69
Il programma di simulazione SPICE	74
Demodulazione AM	100
Alimentatori e carica batterie per telefoni cellulari	106
L'energia solare	111
La fotografia digitale	132
Stampanti termiche a getto di inchiostro	144
Termometria elettronica	181
Isolatori ottici	185

Parte 2 Elettronica digitale

CMOS - la chiave per le tecnologie portatili	293
Porte logiche AND-OR-INVERT nelle Librerie di Celle	305
Un'altra definizione del margine di rumore	311
FPGA	329
Diffusione delle memorie flash	352

Parte 3 Elettronica analogica

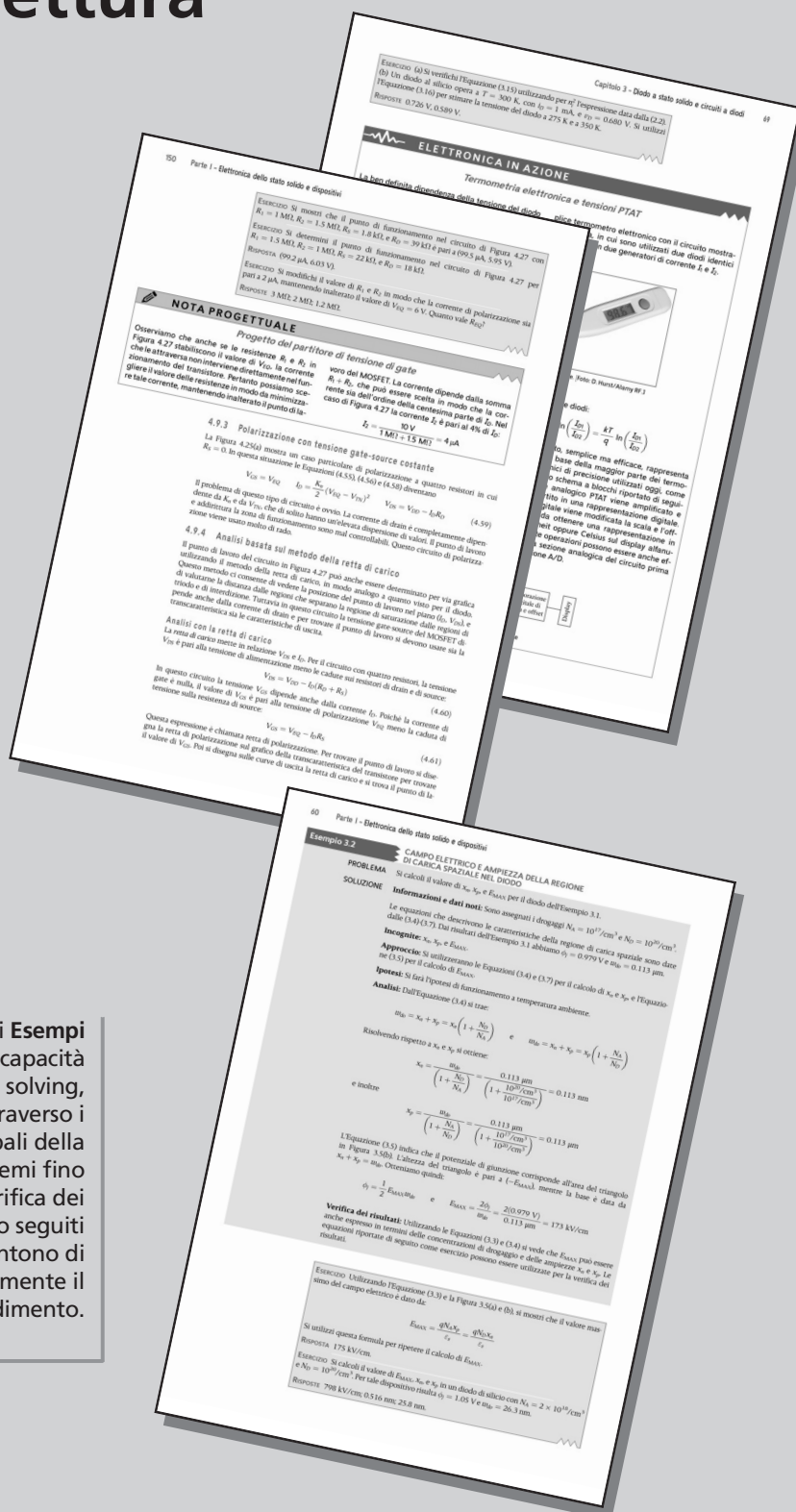
Periferiche touchpad per computer portatili	375
Ricevitori per fibre ottiche	388
Circuiti convertitori digitale-analogico (DAC)	394
Regolatori di tensione a tre terminali	441
Ricevitore per fibre ottiche	446
Segnali differenziali a bassa tensione (LVDS)	469
Misura della tensione di offset, corrente di bias e CMRR	475
Chip di navigazione CMOS per mouse ottici	516
Filtri passa-banda nei ricevitori BFSK	530
Reti di sensori corporei	535
Sample & Hold	555
Un oscillatore MEMS	557
Un voltmetro in alternata	565
Generatori analogici di funzioni	569
Il rumore nei circuiti elettronici	613
Circuiti di distorsione per le chitarre elettroniche	638

Rivisitazione del sensore di immagine CMOS	680
Pickup senza ronzio ("humbucker") per chitarra	712
Amplificatori limitatori per comunicazioni ottiche	735
Amplificatori audio in classe D	762
Ecografia a ultrasuoni	772
Generatore di tensione proporzionale alla temperatura assoluta	790
Termometro digitale basato sul generatore PTAT	790
I filtri G_m -C	812
Equalizzatore grafico	877
Trasformazioni di impedenza	905
Cifra di rumore, fattore di rumore e minimo segnale rivelabile	912
Mixer passivi a diodi	917
Il mixer di Jones	921
Una implementazione di un amplificatore di transresistenza	942
Circuiti completamente differenziali	949

Guida alla lettura

I box **Nota progettuale** forniscono suggerimenti progettuali al lettore. I box **Elettronica in azione** invece propongono esempi applicativi reali.

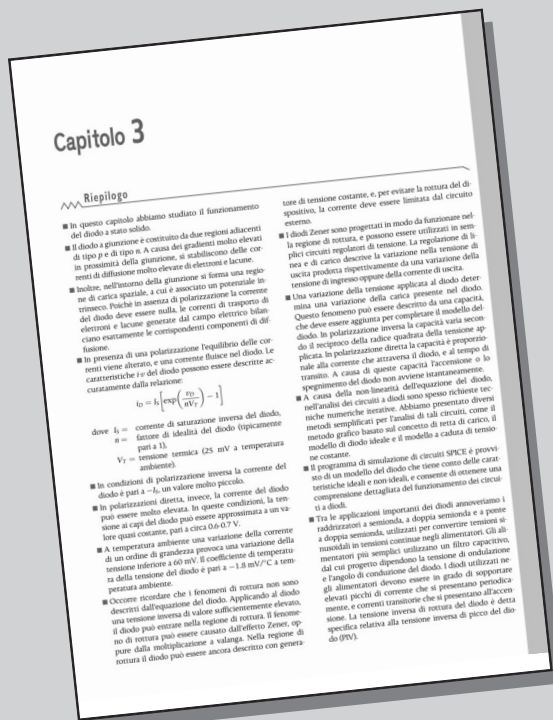
Il gran numero di **Esempi** aiuta a sviluppare le capacità di problem solving, guidandolo attraverso i passaggi principali della risoluzione dei problemi fino all'analisi e alla verifica dei risultati. Spesso sono seguiti da **Esercizi** che consentono di verificare immediatamente il livello di apprendimento.



L'Eserciziario incluso nel testo comprende 1850 problemi di diverso tipo, utili per completare la preparazione in vista dell'esame.



Il **Riepilogo** richiama i concetti cardine, come ripasso prima di affrontare i **Problemi**: tutte le soluzioni si trovano online all'indirizzo www.mheducation.it. I Problemi più complessi sono identificati da uno o più * posti accanto al numero. Completano l'Eserciziario alcuni problemi speciali: problemi di progettazione (🔧), problemi che richiedono l'uso del computer (💻) e problemi che richiedono l'uso del simulatore SPICE (🔌).



Introduzione all'elettronica

Obiettivi

- Presentare una breve storia dell'elettronica.
- Quantificare lo sviluppo esplosivo della tecnologia dei circuiti integrati.
- Discutere la classificazione dei segnali elettronici.
- Richiamare alcune convenzioni e alcuni importanti concetti della teoria dei circuiti.
- Introdurre metodi per includere le tolleranze dei componenti nell'analisi dei circuiti.
- Presentare la tecnica di soluzione dei problemi adottata nel testo.

Nel novembre 2017 è caduto il 70° anniversario della scoperta del transistor bipolare da parte di John Bardeen e Walter Brattain presso i Bell Laboratories, un evento fondamentale che ha segnato l'inizio dell'era dei semiconduttori (Figure 1.1 e 1.2). L'invenzione del transistor e il successivo sviluppo della microelettronica hanno modificato profondamente l'era moderna. Senza lo sviluppo della microelettronica, le transazioni finanziarie, la progettazione delle macchine, il movimento delle informazioni, la bio-ingegneria, il modo con il quale interagiscono fra loro le persone e numerose altre aree di attività non sarebbero quelle che conosciamo oggi.

In questo testo sono sviluppati i principi di funzionamento e le modalità di progetto alla base del comportamento dei dispositivi e dei circuiti che costituiscono l'ossatura della maggior parte delle infrastrutture del nostro mondo. Queste conoscenze permetteranno agli stu-

denti che aspirano a progettare e ideare la nuova generazione di questa rivoluzione tecnologica di dotarsi di una solida conoscenza di base per poter successivamente affrontare aspetti di progettazione più avanzati. Anche per gli studenti che prevedono di dedicarsi ad altre aree tecnologiche la conoscenza di questi principi di base sarà utile a una comprensione della microelettronica, un'area che continua ad avere un grande impatto nello sviluppo dei più diversi campi tecnologici. E ora ritorniamo alla nostra breve storia dell'evoluzione del transistor.

Furono necessari solo pochi mesi dopo la scoperta del transistor perché William Shockley sviluppasse una teoria in grado di descriverne il funzionamento. Dieci anni dopo, nel 1956, Bardeen, Brattain e Shockley ricevettero il premio Nobel in fisica, per i loro studi sui semiconduttori e la scoperta dell'effetto transistor.

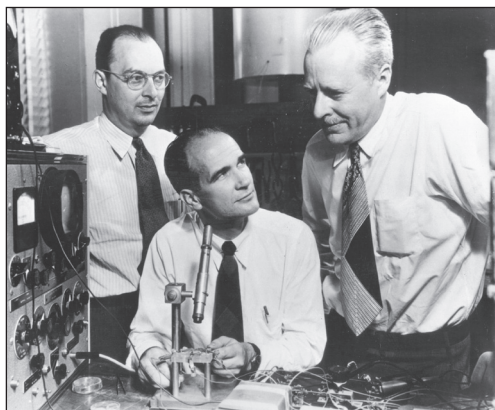


Figura 1.1

John Bardeen, William Shockley e Walter Brattain nel laboratorio di Brattain nel 1948. [Foto riprodotta con autorizzazione di Alcatel-Lucent USA inc.]

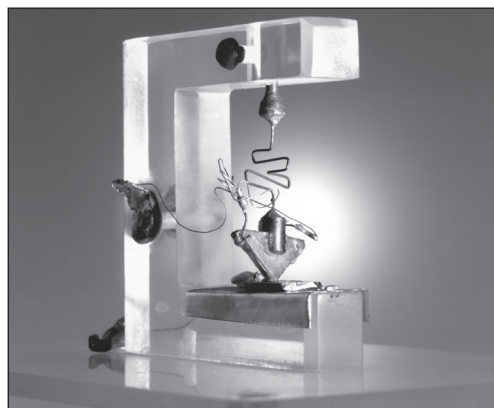


Figura 1.2

Il primo transistor bipolare al germanio. [Foto riprodotta con autorizzazione di Alcatel-Lucent USA inc.]

Nel giugno del 1948 si tenne un'importante conferenza stampa presso i laboratori Bell, per annunciare la scoperta. Nel 1952 i laboratori Bell resero disponibili le licenze per la realizzazione dei transistori per la modesta cifra di 25 000 dollari (più il pagamento di futuri diritti di sfruttamento).

Nello stesso periodo Gordon Teal, un altro membro del gruppo di dispositivi allo stato solido, lasciò i laboratori Bell per lavorare allo sviluppo del transistor presso la Geophysical Services Inc., che in seguito divenne Texas Instruments (TI). Presso la TI egli sviluppò il pri-

mo transistori bipolare in silicio e in seguito la stessa TI propose sul mercato la prima radio interamente a transistor. Un'altra industria che iniziò a investire sullo sviluppo dei transistori fu la Tokyo Tsushin Kogyo, che nel 1955 divenne la Sony. Sony iniziò la commercializzazione di radio a transistori con una strategia di mercato basata sull'idea di rendere disponibile a ognuno la sua radio personale: cominciò in questo modo il mercato di massa per i dispositivi a transistor. Un resoconto molto interessante di questi e di altri sviluppi può essere trovato in [1, 2].

Sono trascorsi più di centoventi anni dalle prime trasmissioni radio effettuate da Marconi nel 1895, seguite a pochi anni di distanza dall'invenzione del primo dispositivo elettronico amplificatore, il triodo a vuoto. L'elettronica, genericamente definita come il progetto e le applicazioni di dispositivi elettronici, ha avuto un impatto talmente significativo sulla nostra vita, che spesso non ci rendiamo conto di quanto realmente essa si sia diffusa.

Un'idea del livello di impatto la si può avere attraverso il prodotto interno lordo (PIL) mondiale: nel 2012 esso ammontava a circa 72 000 miliardi di dollari, di cui il 10% circa, era da ricondursi direttamente all'elettronica (Tabella 1.1) [3-5].

Abbiamo a che fare quotidianamente con l'elettronica sotto forma di telefoni cellulari, radio, televisione, sistemi audio, ma l'elettronica è anche presente in elettrodomestici che sembrano banali, come aspirapolveri, lavatrici e frigoriferi. Nell'industria l'elettronica è onnipresente. L'intero mondo del lavoro si trova a dipendere strettamente dai sistemi informatici, ed è difficile immaginare come l'industria del computer avrebbe potuto evolversi senza lo sviluppo dei componenti elettronici; l'ingegneria, e non solo quella, si avvale sempre più frequentemente di sistemi di progettazione assistita da calcolatore (CAD), e anche la produzione industriale – di qualsiasi settore, dalla raffinazione petrolifera alla produzione di pneumatici per auto, alla produzione di energia ecc. – dipende da sistemi elettronici per il controllo automatico.

1.1 Breve storia dell'elettronica: dai tubi a vuoto ai sistemi a scala di integrazione gigantesca

Essendo abituati all'uso di prodotti elettronici sin dall'infanzia, spesso non ci rendiamo conto di quanto rapidamente l'industria dell'elettronica si sia evoluta. Basti pensare che all'inizio del ventesimo secolo non erano ancora disponibili dispositivi elettronici commerciali, mentre l'invenzione del transistor risale alla fine degli anni Quaranta. I fattori che hanno stimolato la crescita dell'industria elettronica sono stati l'introduzione nel mercato del transistor bipolare alla fine degli anni Cinquanta, e la realizzazione dei circuiti integrati (IC) nel 1961. Da allora, l'utilizzo dei dispositivi elettronici e della tecnologia elettronica è divenuta sempre più pervasiva nelle nostre vite quotidiane.

Tabella 1.1 Il mercato mondiale dell'elettronica

Categoria	Quota (%)
Hardware per elaborazione dati	22
Software e servizi di elaborazione dati	17
Elettronica professionale	10
Telecomunicazioni	9
Elettronica di consumo	9
Componenti attivi	9
Componenti passivi	7
Automazione industriale	5
Strumentazione	5
Elettronica per uffici	3
Elettronica medica	2
Automotive	2

In Tabella 1.2 sono elencate alcune delle tappe fondamentali dell'evoluzione dell'elettronica. L'era dell'elettronica inizia nei primi anni del 1900 con l'invenzione del primo dispositivo elettronico a due terminali, il **diodo a vuoto**, inventato da Fleming nel 1904; nel 1906 Pickard crea il diodo a stato solido ponendo un contatto a punta su un cristallo di silicio. Il nostro studio dei dispositivi elettronici parte proprio dai diodi a stato solido (Capitolo 3).

Tabella 1.2 Tappe fondamentali dell'evoluzione dell'elettronica

Anno	Avvenimento
1874	Ferdinand Braun inventa il raddrizzatore a stato solido
1884	Fondazione dell'American Institute of Electrical Engineering (AIEE)
1895	Marconi effettua le prime trasmissioni via radio
1904	Fleming inventa il diodo a vuoto: inizia l'era dell'elettronica
1906	Pickard crea il diodo a stato solido con punta di contatto
1906	De Forest inventa il triodo a vuoto (Audion)
1910-1911	Vengono fabbricati tubi a vuoto "affidabili"
1912	Viene fondato l'Institute of Radio Engineers (IRE)
1907-1927	Vengono sviluppati i primi circuiti radio con diodi e triodi
1920	Armstrong inventa il ricevitore supereterodina
1925	Primo prototipo della televisione
1925	Lilienfeld breveta il dispositivo a effetto di campo
1927	Nei Bell Laboratories, Harold Black inventa la retroazione negativa, tecnica fondamentale per lo sviluppo di tutta l'elettronica analogica
1927-1936	Vengono prodotti i tubi multigriglia
1933	Armstrong inventa la modulazione di frequenza (FM)
1935	Heil riceve il brevetto inglese sul dispositivo a effetto di campo
1940	Viene sviluppato il RADAR: inizia a diffondersi la TV
1947	Bardeen, Brattain e Shockley dei Bell Laboratories inventano il transistor bipolare
1950	Prima dimostrazione della TV a colori
1952	Shockley descrive il transistor unipolare a effetto di campo
1952	Inizia la produzione commerciale di transistori bipolari al silicio alla Texas Instruments
1952	Ian Ross e George Dacey costruiscono il primo transistor a giunzione a effetto di campo
1956	Bardeen, Brattain e Shockley ricevono il premio Nobel per l'invenzione del transistor bipolare
1958	Il circuito integrato viene sviluppato contemporaneamente da Kilby alla Texas Instruments e da Noyce e Moore alla Fairchild Semiconductor
1961	Primo circuito integrato digitale commercializzato dalla Fairchild Semiconductor
1963	Fusione dell'AIEE e IRE per dar vita all'IEEE (Institute of Electrical and Electronic Engineers)
1967	Prima memoria RAM a semiconduttori (64 bit) presentata alla Conferenza Internazionale IEEE sui Circuiti a Stato Solido (ISSCC)
1968	Primo amplificatore operazionale integrato (μ A-709) prodotto dalla Fairchild Semiconductor
1970	Cella di memoria dinamica a un transistor inventata da Dennard alla IBM
1970	Viene inventata la fibra ottica a basse perdite
1971	Intel presenta il microprocessore 4004
1972	Intel presenta il primo microprocessore a 8 bit (8008)
1974	Sviluppato il primo chip commerciale di memoria da 1 kilobit
1974	Presentato il microprocessore 8080
1978	Sviluppato il primo microprocessore a 16 bit
1984	Presentato il chip di memoria da 1 megabit
1985	Presentata all'ISSCC la prima memoria flash
1987	Presentato l'amplificatore a pompaggio ottico in fibra ottica drogata con erbio
1995	Chip di memoria da 1 gigabit presentato alla IEEE International Solid-State Circuits Conference (IEEE ISSCC)
2000	Alferov, Kilby e Kromer ricevono il premio Nobel rispettivamente per contributi all'optoelettronica, l'invenzione del circuito integrato e del transistor a eterogiunzione
2009	Kao riceve il premio Nobel per la fisica per le comunicazioni ottiche in fibra e Boyle e Smith per l'invenzione del CCD (Charge-Coupled Device)

L'invenzione di de Forest nel 1906 del tubo a vuoto a tre elettrodi, noto come **triode**, ha rappresentato un'importante pietra miliare. L'aggiunta al diodo di un terzo elettrodo ha reso possibile l'amplificazione elettronica dei segnali con un buon isolamento fra ingresso e uscita. Ancora oggi tutti i dispositivi al silicio hanno una struttura a tre elettrodi e di fatto sono la base di tutti i sistemi elettronici. Pochi anni dopo questa invenzione furono fabbricati tubi affidabili, e ciò permise la realizzazione di amplificatori e oscillatori, con un conseguente notevole sviluppo della trasmissione e ricezione radio. Armstrong inventò il ricevitore a supereterodina nel 1920 e la modulazione di frequenza (FM) nel 1933. L'elettronica ebbe un rapido sviluppo nel corso della Seconda Guerra Mondiale, quando vennero compiuti grandi passi nel campo delle comunicazioni radio e nello sviluppo del RADAR. È del 1930, inoltre, il primo prototipo di televisione, anche se fu solo negli anni Cinquanta che si ebbe un uso diffuso dell'apparecchio televisivo.

Un evento importante nella storia dell'elettronica si verificò nel 1947, quando John Bardeen, Walter Brattain e William Shockley inventarono, nei laboratori della Bell Telephone, il **transistore bipolare**.¹ A differenza dei transistori a effetto di campo (ideati da Lilienfeld nel 1925, da Heil nel 1935 e da Shockley nel 1952 [2]), di cui non esisteva ancora una tecnologia per la produzione su scala commerciale, quelli bipolari passarono alla produzione in modo piuttosto rapido.

Nel 1958, l'invenzione del **circuito integrato** (IC), avvenuta quasi simultaneamente alla Texas Instruments da parte di Kilby e alla Fairchild Semiconductor grazie a Noyce e Moore, ha prodotto una nuova tecnologia che avrebbe profondamente cambiato la nostra vita. La tecnologia dei circuiti integrati ha infatti reso possibile la miniaturizzazione dei circuiti elettronici, con molteplici vantaggi conseguenti: migliori prestazioni, maggiore affidabilità e minori costi di produzione. Per i suoi contributi all'invenzione del circuito integrato, Jack St. Clair Kilby condivide il premio Nobel per la fisica assegnato nell'anno 2000. È questo un evento di particolare importanza, in quanto rappresenta un importante riconoscimento conferito a un ricercatore nel campo della tecnologia dei semiconduttori.

Il settore dell'elettronica digitale è quello in cui è maggiormente evidente l'impatto dei circuiti integrati: per esempio, chip di memoria dinamica da 4 gigabit (Gb), simili a quelli indicati in Figura 1.3(d), contengono più di quattro miliardi di transistori. Una memoria flash da 128 Gb può memorizzare 3 o 4 bit per cella grazie a una tecnica a multilivello e contiene, solo per la memoria vera e propria, decine di miliardi di transistori, senza contare i circuiti di decodifica degli indirizzi e gli amplificatori di sense. Sarebbe praticamente impensabile realizzare una così grande capacità di memoria usando tubi a vuoto [illustrati in Figura 1.3(a)], o anche transistori discreti [mostrati in Figura 1.3(b)].

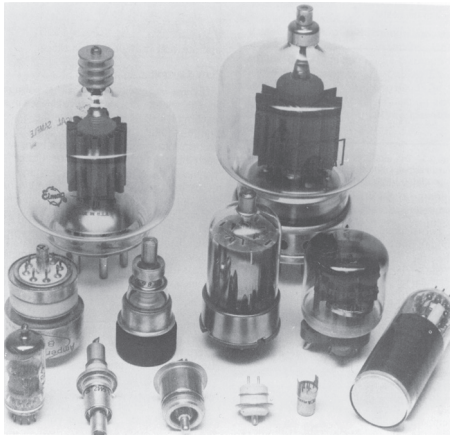
Livelli di integrazione

Il processo di miniaturizzazione dei circuiti integrati è mostrato graficamente nelle Figure 1.4 e 1.5, dove si fa riferimento ai circuiti integrati impiegati per memorie e microprocessori. La complessità dei chip è cresciuta con il tempo in maniera esponenziale. Dal 1968, la densità di memoria è cresciuta di un fattore di oltre 10 milioni, dai chip a 64 bit ai chip di memoria in produzione dal 2009 da quattro gigabit (Gb); analogamente in quattro decenni il numero dei transistori su un chip di microprocessore è aumentato di un fattore maggiore di un milione, come indicato in Figura 1.4.

L'aumento della densità è dovuto a una continua riduzione della larghezza minima di linea, o **dimensione caratteristica minima**, del circuito integrato (si veda la Figura 1.5). Oggigiorno, in tutto il mondo, nella maggior parte dei laboratori di ricerca delle industrie di semiconduttori si sta attivamente lavorando su processi fortemente submicrometrici con dimensioni caratteristiche inferiori a 10 nm, meno di un millesimo del diametro di un capello umano.

Durante il continuo processo di miniaturizzazione si è andata definendo una serie di abbreviazioni usuali per caratterizzare i diversi livelli di integrazione. Prima dell'invenzione dei circuiti integrati, i circuiti elettronici erano realizzati in forma discreta; i primi IC, con meno di 100 componenti, furono indicati come risultato della **integrazione a bassa scala**, o SSI, *Small Scale Integration*. Con l'aumentare della densità (numero di componenti per

¹ Il termine inglese *transistor* deriva dalla contrazione di *transferring resistor* e fa riferimento alla variazione di resistenza indotta da una tensione.



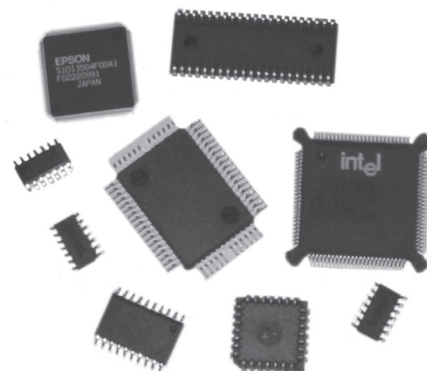
(a)



(b)



(c)

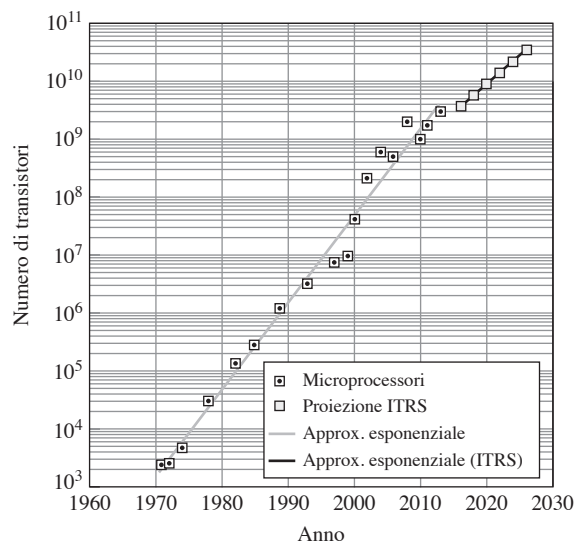


(d)

Figura 1.3

(a) Tubi a vuoto, (b) transistori, (c) circuiti integrati ad alta densità in package dual-in-line, (d) circuiti integrati in package surface mount. [Foto (a) per gentile concessione di ARRL Handbook for Radio Amateurs, 1992. Foto (b), (c) e (d) per gentile concessione di Richard Jaeger.]

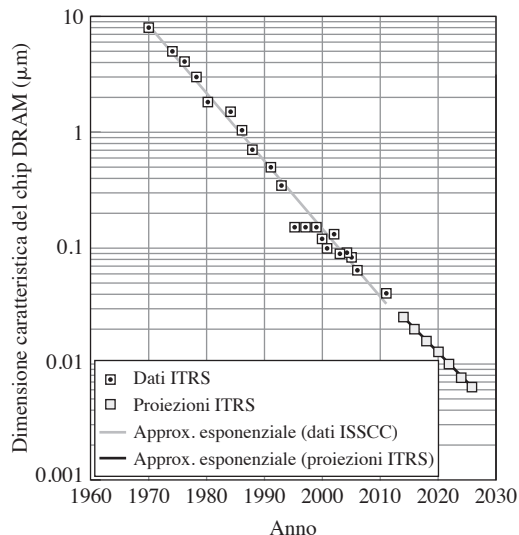
chip), i circuiti furono indicati come **integrazione a media scala** (MSI, *Medium Scale Integration*, 100-1000 componenti per chip), **integrazione a larga scala** (LSI, *Large Scale Integration*, 10^3 - 10^4 componenti per chip), e **integrazione a larghissima scala** (VLSI, *Very Large Scale Integration*, 10^4 - 10^9 componenti per chip). Al momento si parla di **integrazione a scala ultra larga** (ULSI, *Ultra Large Scale Integration*) e di **integrazione su scala gigantesca** (GSI, *Giga Scale Integration*, oltre 10^9 componenti per chip).

**Figura 1.4**

Complessità delle successive generazioni di microprocessori.

Figura 1.5

Dimensione caratteristica
nei chip di memoria DRAM.



~
ELETTRONICA IN AZIONE

Evoluzione dei telefoni cellulari

L'impatto del processo di miniaturizzazione dei circuiti integrati è molto evidente nella nostra vita quotidiana. Un esempio è dato dalle foto di telefoni cellulari di differenti generazioni, mostrate di seguito. I primi telefoni cellulari erano molto pesanti e ingombranti, e venivano trasportati in apposite borse. I telefoni della successiva generazione erano tascabili; tuttavia avevano una ridotta autonomia a causa della tecnologia di comunicazione di tipo analogico. I telefoni digitali cellulari di seconda e terza generazione sono molto più piccoli e leggeri e hanno un'autonomia molto maggiore.

Al crescere della densità di integrazione, vengono continuamente aggiunte ulteriori funzionalità ai telefoni cellulari, come agenda, pianificazione, fotocamera e videocamera integrate.

I telefoni cellulari rappresentano un eccellente esempio di applicazione di circuiti integrati misti, che combinano su di uno stesso chip circuiti analogici e digitali. I circuiti che compongono un telefono cellulare includono il ricevitore e il trasmettitore a radio frequenza, convertitori analogico-digitale e digitale-analogico, memorie e circuiti logici CMOS e circuiti per la conversione di potenza.



(a)



(b)



(c)

Evoluzione dei telefoni cellulari: (a) telefoni di prima generazione, (b) un telefono analogico Nokia, (c) iPhone della Apple. [Foto (a) e (b) per gentile concessione di Richard Jaeger; foto (c) © George Frey/Getty Images.]

1.2 Classificazione dei segnali elettronici

I segnali che devono essere trattati dai dispositivi elettronici possono essere suddivisi in due grandi categorie: analogici e digitali. I **segnali analogici** assumono una gamma continua di valori e quindi possono rappresentare grandezze che variano nel tempo con continuità. I **segnali digitali** possono assumere solo valori discreti. Nei paragrafi successivi si

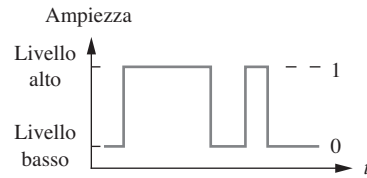


Figura 1.6
Un segnale digitale binario variabile nel tempo.

riportano alcuni esempi di segnali analogici e digitali, nonché i concetti di conversione analogico/digitale e digitale/analogico, che rendono possibili gli interfacciamenti tra i due sistemi.

1.2.1 Segnali digitali

Quando parliamo di elettronica digitale, ci riferiamo al trattamento elettronico di segnali digitali binari, cioè segnali che assumono solo due valori, come mostrato in Figura 1.6. Gli stati di un sistema binario sono rappresentati da due simboli: 1 per il livello alto (*high*) e 0 per il livello basso (*low*).² I due stati logici generalmente corrispondono a due tensioni diverse, V_H e V_L , che rappresentano i livelli di ampiezza rispettivamente alto e basso. Per molti anni i valori $V_H = 5\text{ V}$ e $V_L = 0\text{ V}$ hanno rappresentato lo standard, mentre oggi questi sono sostituiti da livelli di tensione più bassi a causa dell'elevato consumo di potenza e delle limitazioni di tensione dei dispositivi sub-micrometrici: in molti sistemi elettronici si utilizzano i valori $V_H = 3.3, 2.5$ e 1.5 V , e $V_L = 0\text{ V}$. Una vecchia famiglia logica a elevate prestazioni, chiamata ECL, usava $V_H = -0.8\text{ V}$ e $V_L = -2.0\text{ V}$. Le famiglie logiche TTL ed ECL che facevano uso di transistori bipolari sono ormai obsolete. Gli standard di comunicazione RS-422 e RS-232 fra un microcomputer e le sue periferiche usano i valori $V_H = +12\text{ V}$ e $V_L = -12\text{ V}$. Inoltre, il segnale binario variabile nel tempo in Figura 1.6 potrebbe anche rappresentare l'ampiezza di un segnale di corrente, oppure di un segnale ottico trasmesso in una fibra in un sistema di comunicazione digitale ottico. Gli standard più recenti USB e Firewire fanno uso di una singola alimentazione positiva.

La seconda parte di questo testo analizza il progetto di varie famiglie logiche.

1.2.2 Segnali analogici

Benché grandezze quali la carica e lo spin dell'elettrone siano di tipo discreto, la maggior parte dei fenomeni fisici può essere considerata di tipo analogico. I sensi della vista, dell'udito, del tatto e dell'olfatto sono processi analogici. I segnali analogici possono rappresentare grandezze quali temperatura, umidità, pressione, intensità luminosa oppure il suono, che possono assumere valori continui in un intervallo limitato. In realtà, la classificazione dei segnali in digitali o analogici dipende in larga parte dal contesto. Se analizzassimo con maggiore attenzione con un oscilloscopio un segnale digitale simile a quello mostrato in Figura 1.6, scopriremmo che le transizioni tra i livelli alto e basso sono in realtà continue, in quanto il segnale non può presentare discontinuità. I progettisti di sistemi digitali ad alta velocità sanno bene che in realtà stanno trattando segnali analogici. Il segnale variabile nel tempo di Figura 1.7(a) potrebbe essere la rappresentazione elettrica della temperatura, della velocità di flusso o della pressione in funzione del tempo, o ancora il segnale audio in uscita da un microfono. Alcuni trasduttori analogici producono *tensioni* in uscita comprese tra 0 e 5 V, o 0 e 10 V, laddove altri sono progettati per produrre una corrente in uscita che varia da 4 mA a 20 mA. I segnali forniti da un'antenna possono invece essere dell'ordine di una frazione di microvolt.

Per elaborare le informazioni contenute nei segnali analogici occorre utilizzare circuiti elettronici progettati per modificare selettivamente l'ampiezza, la fase o la frequenza del segnale; inoltre, è sovente necessario aumentare significativamente la tensione, la corrente e la potenza del segnale. Queste forme di elaborazione possono essere ottenute con diversi tipi di amplificatori, come sarà visto più in dettaglio nel seguito.

² Questa convenzione facilita l'uso dell'algebra booleana, trattata nel Capitolo 6.

1.2.3 Conversione D/A e A/D: i ponti fra i domini analogico e digitale

Per far funzionare insieme sistemi analogici e sistemi digitali, dobbiamo essere in grado di convertire i segnali in forma analogica in segnali digitali e viceversa. Campioniamo il segnale analogico a diversi istanti di tempo, come mostrato in Figura 1.7(b), e quindi convertiamo, o quantizziamo, la sua ampiezza in una rappresentazione digitale. I valori quantizzati possono essere rappresentati in forma binaria, oppure in forma decimale, come nel caso del display di un multimetro digitale. I circuiti elettronici realizzati a questo scopo sono chiamati convertitori digitale/analogico (D/A) e convertitore analogico/digitale (A/D).

Conversione Digitale/Analogica

Il **convertitore digitale/analogico** (**convertitore D/A** o **DAC**) è un circuito elettronico utilizzato per trasformare il segnale digitale di un calcolatore in un segnale continuo del mondo analogico. Il convertitore D/A riceve in ingresso l'informazione digitale, di solito in forma binaria, e genera una tensione o corrente di uscita che può essere usata per un sistema di controllo o per un display analogico.

Nel DAC di Figura 1.8(a) una parola di ingresso a n -bit ($b_1, b_2, \dots, b_n$) viene trattata come una frazione binaria e moltiplicata per la tensione di riferimento di fondo scala V_{FS} per definire l'uscita del convertitore D/A. Il comportamento del DAC può essere espresso matematicamente come:

$$v_O = (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) V_{FS} \quad \text{con} \quad b_i \in \{1, 0\} \quad (1.1)$$

Alcuni valori tipici della tensione V_{FS} sono 2.5 V, 5 V, 5.12 V, 10 V e 10.24 V. La minima variazione di tensione che può verificarsi in uscita, si ha quando il bit meno significativo b_n (**LSB**, *Least Significant Bit*) passa da 0 a 1. Questa minima variazione di tensione viene detta anche **risoluzione analogica del convertitore** ed è data da:

$$V_{LSB} = 2^{-n} V_{FS} \quad (1.2)$$

Il bit b_1 è detto bit più significativo (**MSB**, *Most Significant Bit*), e ha un peso di $(1/2) V_{FS}$.

La **risoluzione del convertitore** viene anche specificata come il numero di bit della parola digitale in ingresso, per esempio risoluzione di 8, 10, 12 ... bit.

ESERCIZIO Un convertitore D/A a 10 bit ha $V_{FS} = 5.12$ V. Qual è la tensione di uscita per un codice binario in ingresso di (1100010001)? Quanto vale V_{LSB} ? Qual è il valore del MSB?

RISPOSTE 3.925 V, 5 mV, 2.56 V.

Figura 1.7

(a) Un segnale analogico; (b) versione campionata del segnale (a).

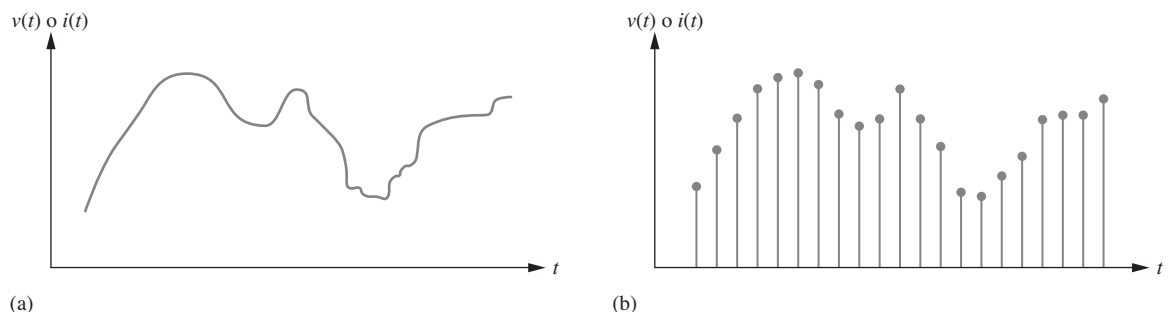
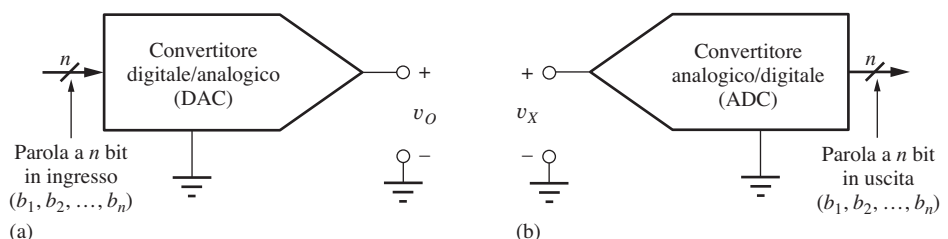
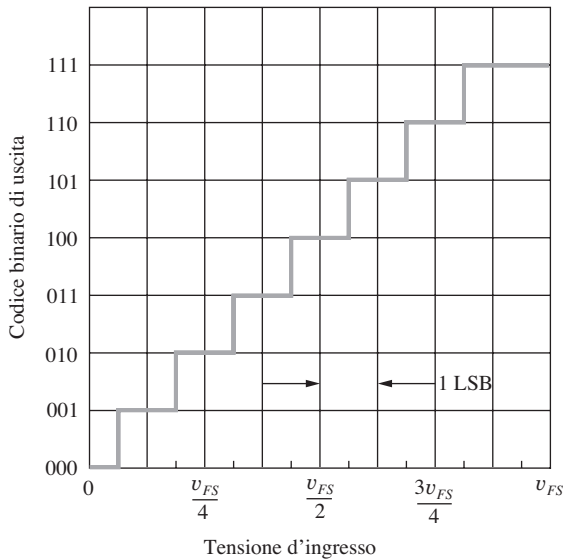


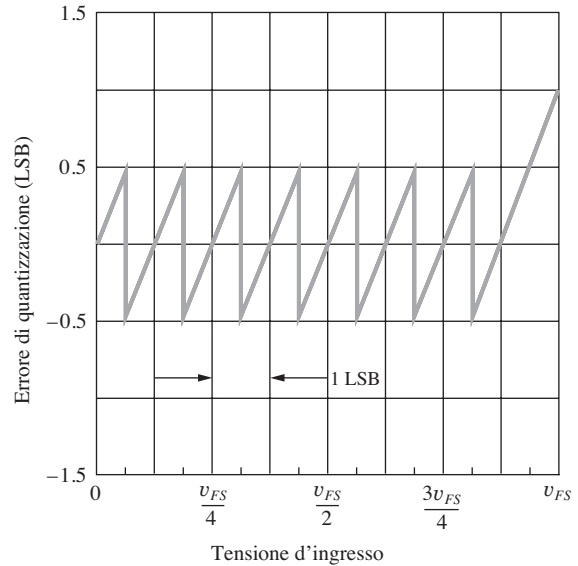
Figura 1.8

(a) Schema a blocchi di un convertitore D/A. (b) Schema a blocchi di un convertitore A/D.





(a)



(b)

Figura 1.9

(a) Legame ingresso-uscita e
(b) errore di quantizzazione
per un ADC a 3 bit.

Conversione Analogico/Digitale

Il **convertitore analogico/digitale (convertitore A/D o ADC)** è utilizzato per trasformare l'informazione analogica in informazione digitale. Il convertitore ADC di Figura 1.8(b) riceve in ingresso un segnale analogico, di solito una tensione v_X , e lo converte in un numero binario a n bit, che può essere facilmente processato da un computer. Il numero binario a n bit è una frazione binaria che rappresenta il rapporto fra la tensione di ingresso v_X e la tensione V_{FS} di fondo scala del convertitore.

Un esempio di legame ingresso-uscita di un convertitore A/D ideale a tre bit è quello rappresentato in Figura 1.9(a). All'aumentare dell'ingresso da zero al valore di fondo scala, la parola codice digitale in uscita passa da 000 a 111. Il codice in uscita è costante per un intervallo di tensioni in ingresso pari a 1 LSB dell'ADC. Pertanto, all'aumentare della tensione di ingresso, il codice di uscita dapprima sottovaluta e poi sopravvaluta la tensione di ingresso. L'errore, chiamato **errore di quantizzazione**, è riportato in Figura 1.9(b) in funzione della tensione di ingresso.

Per un dato codice in uscita, sappiamo solo che il valore della tensione in ingresso è contenuto nell'intervallo di quantizzazione di 1 LSB. Per esempio, se il codice di uscita del ADC a 3 bit è 100, corrispondente a una tensione $V_{FS}/2$, allora la tensione di ingresso può essere qualunque valore contenuto fra $7/16V_{FS}$ e $9/16V_{FS}$, cioè in un intervallo di $V_{FS}/8$ o di 1 LSB. Da un punto di vista matematico, il circuito ADC di Figura 1.8 determina i valori dei bit del codice binario necessari per minimizzare l'ampiezza dell'errore di quantizzazione v_e tra la tensione incognita di ingresso v_X e il livello di quantizzazione più vicino:

$$v_e = |v_X - (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) V_{FS}| \quad (1.3)$$

ESERCIZIO Un convertitore A/D a 8 bit ha una $V_{FS} = 5$ V. Qual è la parola digitale di uscita per un ingresso di 1.2 V? Qual è l'intervallo di tensione che corrisponde a 1 LSB del convertitore?

RISPOSTE 00111101; 19.5 mV

1.3 Convenzioni sulle notazioni

In molti circuiti dovremo considerare valori delle tensioni e delle correnti sia in continua che variabili nel tempo; utilizzeremo quindi le seguenti convenzioni sulle notazioni per tener conto delle diverse componenti di un segnale elettrico. I valori totali verranno indicati da lettere minuscole con pedici in maiuscolo, come per esempio v_T e i_T nell'Equazione (1.4). Le componenti continue (DC) sono rappresentate da lettere maiuscole con pedici in

maiuscolo, per esempio V_{DC} e I_{DC} nell'Equazione (1.4); le componenti variabili rispetto ai valori DC o le variazioni dei valori DC sono indicate con v_{ac} e i_{ac} .

$$\begin{aligned}v_T &= V_{DC} + v_{ac} \\ i_T &= I_{DC} + i_{ac}\end{aligned}\quad (1.4)$$

Per esempio, la tensione totale base emettitore v_{BE} di un transistor e la corrente totale di drain i_D di un transistor a effetto di campo sono scritte come:

$$\begin{aligned}v_{BE} &= V_{BE} + v_{be} \\ i_D &= I_D + i_d\end{aligned}\quad (1.5)$$

La trasformata di Laplace di un segnale viene indicata con la lettera maiuscola e il pedice minuscolo, ad esempio $\mathcal{L}v_o = V_o$, omettendo di solito gli argomenti, sottointendendo quindi che $v_o(t)$ è funzione del tempo t , mentre $V_o(s)$ è funzione della frequenza complessa s .

Se non diversamente specificato, le equazioni che descrivono una data rete saranno scritte assumendo un insieme coerente di unità: volt, ampere e ohm. Per esempio, l'equazione $5\text{ V} = (10\,000\Omega)I_1 + 0.6\text{ V}$ può essere scritta: $5 = 10\,000I_1 + 0.6$, anche se mantenere le unità di misura nelle espressioni con numeri aiuta a verificare la correttezza dei calcoli. Inoltre, fare uso dei prefissi moltiplicativi del sistema internazionale (SI) permette una migliore leggibilità delle grandezze, dato che i numeri non hanno tanti zeri.

ESERCIZIO Supponendo che la tensione in un nodo di circuito sia

$$v_A = (5 \sin 2000\pi t + 4 + 3 \cos 1000\pi t) \text{ V}$$

quali sono le espressioni per V_A e v_a ?

RISPOSTE $V_A = 4\text{ V}$; $v_a = (5 \sin 2000\pi t + 3 \cos 1000\pi t) \text{ V}$

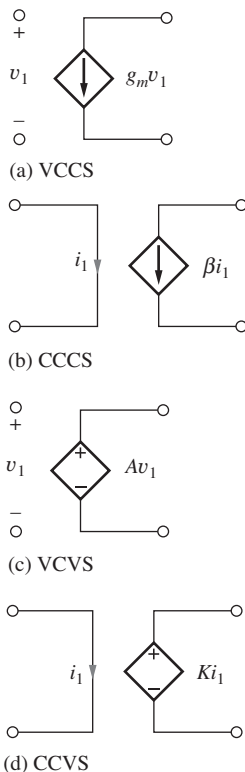


Figura 1.10

Generatori controllati.

(a) Generatore di corrente controllato dalla tensione (VCCS). (b) Generatore di corrente controllato dalla corrente (CCCS). (c) Generatore di tensione controllato dalla tensione (VCVS). (d) Generatore di tensione controllato dalla corrente (CCVS).

Resistenze e conduttanze

Nel testo, i resistori dei circuiti verranno indicati simbolicamente con R_x o r_x e i valori saranno espressi in ohm, kilohm, megohm e così via. Nel corso delle analisi, sarà in qualche caso più conveniente lavorare in termini di conduttanza, e si seguiranno le seguenti convenzioni:

$$G_x = \frac{1}{R_x} \quad \text{e} \quad g_\pi = \frac{1}{r_\pi} \quad (1.6)$$

Per esempio, la conduttanza G_x rappresenta sempre il reciproco del valore di R_x e g_π rappresenta il reciproco di r_π . Il valore scritto vicino al simbolo di un resistore sarà sempre in termini di resistenza.

Generatori dipendenti

I **generatori dipendenti** (o **controllati**) sono ampiamente utilizzati in elettronica. Le quattro versioni usuali di tali generatori sono schematizzate in Figura 1.10, dove viene adottata la classica forma romboidale come simbolo circuitale dei generatori controllati. Il **generatore di corrente controllato dalla tensione** (VCCS, *Voltage Controlled Current Source*), il **generatore di corrente controllato dalla corrente** (CCCS, *Current Controlled Current Source*), e il **generatore di tensione controllato dalla tensione** (VCVS, *Voltage Controlled Voltage Source*) sono normalmente usati nel testo per i modelli dei transistori e degli amplificatori o per semplificare i circuiti complessi. Solo il **generatore di tensione controllato dalla corrente** (CCVS, *Current Controlled Voltage Source*) ha un impiego relativamente limitato.

1.4 Metodologia per la soluzione dei problemi

La soluzione di problemi è l'attività principale dell'ingegnere. Come ingegneri usiamo la nostra creatività per trovare nuove soluzioni ai problemi che si presentano. Tuttavia, una metodologia ben definita può rappresentare un valido ausilio nella soluzione dei problemi. Possiamo identificare nove passi nel processo di soluzione:

1. Definire il **problema** in una forma il più possibile chiara.
2. Elencare le **informazioni e i dati a disposizione**.

3. Identificare le **incognite** da determinare nella soluzione del problema.
4. Elencare le **ipotesi**. Nel corso dell'analisi si può verificare la necessità di introdurre nuove ipotesi.
5. Definire un **approccio** selezionandolo da un insieme di possibili alternative.
6. Effettuare l'**analisi** per determinare la soluzione del problema. Nel corso dell'analisi occorre disegnare il circuito ed elencare le variabili.
7. **Verifica dei risultati**. È bene verificare se tutte le incognite sono state determinate, se le ipotesi sono effettivamente verificate, se il procedimento matematico è corretto, e se i risultati soddisfano semplici test di congruenza, per esempio l'analisi dimensionale.
8. **Analisi della soluzione**. Occorre quindi verificare se la soluzione ottenuta possa essere effettivamente realizzata. In caso contrario, si devono ripetere i passi 4-7 fino a che non si ottiene una soluzione soddisfacente.
9. **Analisi assistita da calcolatore**. Programmi di simulazione al calcolatore come SPICE sono estremamente utili per verificare la correttezza dei risultati, e controllare se la soluzione trovata soddisfa il problema.

Per risolvere un problema è necessario comprenderne le caratteristiche in dettaglio. I diversi aspetti del problema sono definiti nei primi quattro passi, che possono rappresentare la fase più importante del processo di risoluzione. Lo sforzo speso per comprendere a fondo il problema nei suoi diversi aspetti può essere fondamentale per identificare rapidamente la soluzione più efficiente e risparmiare tempo.

Il primo passo consiste nello scrivere il problema in forma chiara, individuando i dati noti e quelli incogniti. Un'imprecisa definizione dei dati incogniti è frequente causa di errori. È quindi buona norma disegnare correttamente il circuito e indicare chiaramente le tensioni e le correnti. L'insieme di nozioni che apprenderemo nel corso del nostro studio costituiscono una valida base per identificare la scelta ottimale tra diversi approcci possibili. Nel corso dell'analisi di un problema spesso ci troviamo a dover introdurre approssimazioni oppure opportune ipotesi allo scopo di semplificare il problema o di definire un dato approccio. È quindi importante identificare chiaramente le ipotesi nella fase iniziale, e verificarne la correttezza una volta che l'analisi è stata completata. Tra le diverse approssimazioni possibili, occorre limitarsi a quelle che consentono di semplificare l'analisi, senza pregiudicarne la validità. Una definizione chiara del problema, delle incognite e delle approssimazioni è utile non solo per una migliore comprensione del problema, ma anche per individuare più facilmente diverse possibili soluzioni. La scelta dell'approccio migliore è a volte legata all'esperienza individuale. Nella scelta dell'approccio è utile tenere a mente tutte le risorse di calcolo di cui si dispone, come i programmi MATLAB[®], Mathcad[®], fogli di calcolo, SPICE ecc.

Una volta definiti il problema e l'approccio, possiamo completare l'analisi e risolvere quindi il problema. Al termine dell'analisi occorre verificare la correttezza dei risultati esaminando diversi aspetti. Abbiamo determinato le incognite? I risultati ottenuti sono ragionevoli e congruenti? Le approssimazioni sono verificate?

Infine occorre esaminare criticamente la soluzione ottenuta. Le tensioni, le correnti e le potenze dissipate assumono valori ammissibili? Il circuito ottenuto può essere realizzato con una resa ragionevole utilizzando componenti reali? Il funzionamento del circuito si manterrà nelle specifiche anche in presenza di variazioni dei componenti? Il costo del circuito rientra nelle specifiche? Se la soluzione non è soddisfacente è necessario modificare l'approccio o le ipotesi e sviluppare una nuova soluzione. In molti casi pratici occorre un procedimento iterativo affinché la soluzione ottenuta soddisfi le specifiche. Programmi di simulazione come SPICE sono molto utili nel verificare i risultati ottenuti.

Le soluzioni agli esempi riportati in questo testo sono sviluppate seguendo la metodologia sopra illustrata. Sebbene alcuni esempi possano sembrare banali, l'impiego di una metodologia strutturata può risultare di notevole utilità nei problemi più complessi.

Verifica dei valori numerici

Nella verifica dei risultati dobbiamo stabilire se i valori numerici ottenuti siano ragionevoli. La maggior parte dei circuiti che analizzeremo presentano tensioni di alimentazione comprese tra 1 V e 40 V-50 V (fanno eccezione i circuiti di potenza, in cui i valori di tensione e corrente sono molto superiori). Valori tipici della tensione di alimentazione si trovano nel-

l'intervallo 3.3 V-20 V, mentre le resistenze possono variare da alcune centinaia di ohm fino a diversi gigaohm.

Dobbiamo aspettarci che le tensioni nei rami di un circuito non superino la tensione di alimentazione. Per esempio, se le tensioni di alimentazione di un circuito sono pari a -5 V e $+8$ V, i valori delle tensioni in condizioni di regime stazionario devono essere compresi tra -5 V e $+8$ V. Inoltre, l'ampiezza picco-picco di un segnale AC non dovrebbe superare 13 V, ovvero la differenza tra le due tensioni di alimentazione. Con una tensione di alimentazione di 10 V il valore massimo di corrente in una resistenza di $100\ \Omega$ è di 100 mA; per una resistenza di $10\ M\Omega$ la corrente non può superare $1\ \mu\text{A}$. Pertanto, per la verifica dei risultati possiamo tenere a mente le seguenti regole:

1. Salvo poche eccezioni, i valori delle tensioni DC non possono superare le tensioni di alimentazione. L'ampiezza picco-picco di un segnale AC non può superare la differenza tra le due tensioni di alimentazione.
2. Le correnti nei rami del circuito possono variare da qualche microampere fino a qualche centinaio di milliampere.

1.5 Richiami di teoria dei circuiti

L'analisi e il progetto dei circuiti elettronici utilizzano ampiamente i concetti fondamentali della teoria dei circuiti. Spesso i circuiti sono analizzati utilizzando la **legge di Kirchhoff per le tensioni**, o per le maglie (KVL, *Kirchhoff's Voltage Law*), e la **legge di Kirchhoff per le correnti**, o per i nodi (KCL, *Kirchhoff's Current Law*). La legge di Kirchhoff per le tensioni afferma che la somma algebrica delle tensioni contenute in una maglia, cioè lungo un qualsiasi percorso chiuso del circuito, deve essere uguale a zero. La legge di Kirchhoff per le correnti afferma che la somma delle correnti entranti in un nodo è uguale alla somma delle correnti uscenti dallo stesso nodo. Talvolta la soluzione si basa sull'applicazione sistematica del metodo dei potenziali ai nodi o delle correnti alle maglie.

Molto spesso sono utilizzati metodi per semplificare i circuiti, come le **trasformazioni circuitali di Thévenin e Norton**, oppure i **partitori di tensione e di corrente**. I modelli dei dispositivi attivi invariabilmente richiedono generatori dipendenti, ed è quindi necessario avere dimestichezza con tali dispositivi, nelle loro diverse forme. L'analisi degli amplificatori si basa sulla teoria delle reti a doppio bipolo, o reti a due porte; un richiamo approfondito delle reti a due porte è rimandato al Capitolo 10, quando verranno introdotti i circuiti amplificatori. Se il lettore non ha una buona dimestichezza con questi concetti, suggeriamo una rapida rilettura di questi argomenti; come aiuto a questo riepilogo, nei paragrafi successivi verranno illustrati alcuni esempi di queste importanti tecniche di analisi circuitale.

1.5.1 Partitore di tensione e di corrente

I partitori di tensione e di corrente sono delle tecniche di analisi circuitali molto utili e saranno sovente utilizzati in questo testo. È quindi importante comprendere le condizioni per cui tali tecniche risultano valide. Si riportano di seguito degli esempi in cui si illustrano le due tecniche.

Partitore di tensione

Un **partitore di tensione** è rappresentato dal circuito di Figura 1.11(a), in cui le tensioni v_1 e v_2 possono essere espresse come:

$$v_1 = i_S R_1 \quad \text{e} \quad v_2 = i_S R_2 \quad (1.7)$$

Applicando la KVL alla maglia,

$$v_S = v_1 + v_2 = i_S (R_1 + R_2) \quad \text{e} \quad i_S = \frac{v_S}{R_1 + R_2} \quad (1.8)$$

Combinando le Equazioni (1.7) e (1.8) si ottengono le formule base per il partitore di tensione:

$$v_1 = v_S \frac{R_1}{R_1 + R_2} \quad \text{e} \quad v_2 = v_S \frac{R_2}{R_1 + R_2} \quad (1.9)$$

Per esempio, con i valori del circuito di Figura 1.11(a), abbiamo:

$$v_1 = 10 \text{ V} \frac{8 \text{ k}\Omega}{8 \text{ k}\Omega + 2 \text{ k}\Omega} = 8 \text{ V} \quad \text{e} \quad v_2 = 10 \text{ V} \frac{2 \text{ k}\Omega}{8 \text{ k}\Omega + 2 \text{ k}\Omega} = 2 \text{ V} \quad (1.10)$$



NOTA PROGETTUALE

Restrizioni per il partitore di tensione

Si noti che le relazioni nell'Equazione (1.9) possono essere applicate solo quando la corrente nelle due resistenze è la stessa. Inoltre, si noti che la formula è corretta anche quando le resistenze sono sostituite da impedenze complesse, funzioni della frequenza complessa s e le tensioni sono rappresentate con

le loro trasformate di Laplace:

$$V_1 = V_S \frac{Z_1}{Z_1 + Z_2} \quad \text{e} \quad V_2 = V_S \frac{Z_2}{Z_1 + Z_2}$$

dove di solito non si scrive esplicitamente la variabile (s).

Partitore di corrente

Anche **il partitore di corrente** (Figura 1.11(b)) è molto utile. Valutiamo le correnti i_1 e i_2 nel circuito mostrato in figura. Usando la KCL a ogni nodo,

$$i_S = i_1 + i_2 \quad \text{dove} \quad i_1 = \frac{v_S}{R_1} \quad \text{e} \quad i_2 = \frac{v_S}{R_2} \quad (1.11)$$

e risolvendo in base a v_S si ha:

$$v_S = i_S \frac{1}{\frac{1}{R_1} + \frac{1}{R_2}} = i_S \frac{R_1 R_2}{R_1 + R_2} = i_S (R_1 \parallel R_2) \quad (1.12)$$

in cui la notazione $R_1 \parallel R_2$ rappresenta la combinazione parallela dei resistori R_1 e R_2 . Unendo le Equazioni (1.11) e (1.12) si ottengono le seguenti formule per il partitore di corrente:

$$i_1 = i_S \frac{R_2}{R_1 + R_2} \quad \text{e} \quad i_2 = i_S \frac{R_1}{R_1 + R_2} \quad (1.13)$$

Per i valori in Figura 1.11(b):

$$i_1 = 5 \text{ mA} \frac{3 \text{ k}\Omega}{2 \text{ k}\Omega + 3 \text{ k}\Omega} = 3.00 \text{ mA} \quad i_2 = 5 \text{ mA} \frac{2 \text{ k}\Omega}{2 \text{ k}\Omega + 3 \text{ k}\Omega} = 2.00 \text{ mA}$$

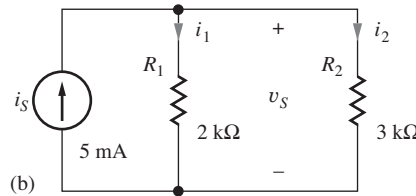
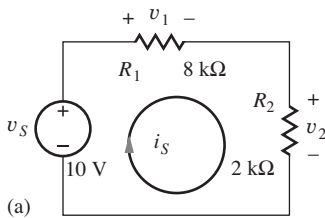


Figura 1.11
(a) Partitore di tensione resistivo. (b) Partitore di corrente resistivo.



NOTA PROGETTUALE

Restrizioni per il partitore di corrente

È importante osservare che la stessa tensione deve essere presente ai capi di entrambi i resistori, per poter applicare l'equazione del partitore di corrente (1.12).

Anche in questo caso osserviamo che le equazioni del partitore possono essere applicate al caso di segnale arbitrario operando nel dominio delle trasfor-

mate di Laplace:

$$I_1 = I_S \frac{Z_2}{Z_1 + Z_2} \quad \text{e} \quad I_2 = I_S \frac{Z_1}{Z_1 + Z_2}$$

Qualora si volesse conoscere il comportamento ad una specifica frequenza sinusoidale, basta applicare la trasformazione $s \rightarrow j\omega$ e assegnare ad ω il valore della frequenza specifica.

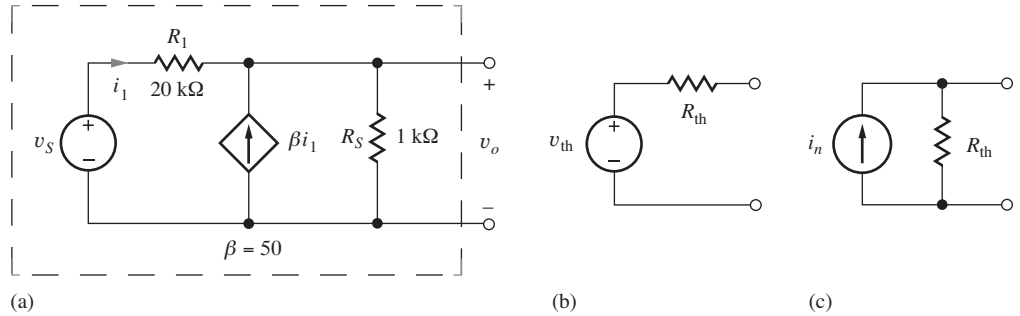
1.5.2 Rappresentazioni circuitali di Thévenin e Norton

Rivediamo ora i metodi di **Thévenin** e **Norton** trovando le rispettive rappresentazioni del circuito di Figura 1.12(a).

Poiché la rete lineare racchiusa nel quadrato tratteggiato ha solo due terminali, essa può essere rappresentata sia con il circuito equivalente di Thévenin che con quello di Norton, come in Figura 1.12(b) e (c). L'analisi per la determinazione del circuito equivalente di Thévenin è riportata nei quattro esempi seguenti.

Figura 1.12

(a) Circuito a due terminali e i suoi equivalenti di
(b) Thévenin e (c) Norton.



Esempio 1.1

TENSIONE EQUIVALENTE DI THÉVENIN

PROBLEMA Determinare la tensione equivalente di Thévenin per il circuito di Figura 1.12(a).

SOLUZIONE **Informazioni e dati noti:** Topologia del circuito e valori numerici dei componenti riportati in Figura 1.12(a).

Incognite: Tensione equivalente di Thévenin v_{th} .

Approccio: La tensione v_{th} rappresenta la tensione di circuito aperto valutata ai terminali della rete.

Ipotesi: Nessuna.

Analisi: La tensione di uscita a circuito aperto v_{th} si può valutare applicando la KCL al nodo di uscita:

$$\beta i_1 = \frac{v_o - v_s}{R_1} + \frac{v_o}{R_s} = G_1(v_o - v_s) + G_s v_o \quad (1.14)$$

dove si sono applicate le notazioni convenzionali del Paragrafo 1.3 ($G_s = 1/R_s$).

La corrente i_1 è data da:

$$i_1 = G_1(v_s - v_o) \quad (1.15)$$

Sostituendo l'Equazione (1.15) nella (1.14) e riunendo i termini si ha:

$$G_1(\beta + 1)v_s = [G_1(\beta + 1) + G_s]v_o \quad (1.16)$$

Si trova quindi che la tensione equivalente di Thévenin è:

$$v_o = \frac{G_1(\beta + 1)}{[G_1(\beta + 1) + G_s]} v_s = \frac{(\beta + 1)R_s}{[(\beta + 1)R_s + R_1]} v_s \quad (1.17)$$

dove la seconda relazione è stata ottenuta moltiplicando il numeratore e il denominatore per $(R_1 R_s)$. Per i valori della rete di Figura 1.12,

$$v_o = \frac{(50 + 1)1 \text{ k}\Omega}{[(50 + 1)1 \text{ k}\Omega + 20 \text{ k}\Omega]} v_s = 0.718 v_s = v_{th} \quad (1.18)$$

Verifica dei risultati: Abbiamo determinato l'unica incognita del problema. Un controllo dell'analisi conferma la correttezza del procedimento.

RESISTENZA EQUIVALENTE DI THÉVENIN

Esempio 1.2

Determinare la resistenza equivalente di Thévenin per il circuito di Figura 1.12(a).

PROBLEMA

Informazioni e dati noti: Topologia del circuito e valori numerici dei componenti riportati in Figura 1.12(a).

SOLUZIONE

Incognite: Resistenza equivalente di Thévenin R_{th} .

Approccio: La resistenza R_{th} rappresenta la resistenza equivalente valutata ai terminali della rete quando i generatori indipendenti sono posti pari a zero; tuttavia non bisogna dimenticare che i generatori dipendenti, o controllati, devono restare attivi. Successivamente si applica una tensione oppure una corrente di prova ai terminali della rete e si calcola la corrente o la tensione corrispondente. In Figura 1.13 il generatore v_s è posto pari a zero, e viene applicato un generatore di tensione di prova v_x ai terminali della rete. Una volta determinata la corrente i_x la resistenza equivalente di Thévenin risulta

$$R_{th} = \frac{v_x}{i_x} \quad (1.19)$$

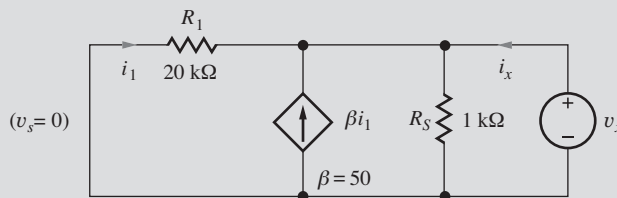


Figura 1.13

Tensione di prova v_x applicata alla rete per determinare R_{th} .

Ipotesi: Nessuna.

Analisi: Applicando la KCL,

$$i_x = -i_1 - \beta i_1 + G_s v_x \quad \text{dove} \quad i_1 = -G_1 v_x \quad (1.20)$$

Unendo queste due espressioni e semplificando si ottiene:

$$i_x = [(\beta + 1)G_1 + G_s]v_x \quad \text{e} \quad R_{th} = \frac{v_x}{i_x} = \frac{1}{(\beta + 1)G_1 + G_s} \quad (1.21)$$

Il denominatore nell'Equazione (1.21) rappresenta la somma di due conduttanze, che corrisponde al parallelo di due resistenze. Pertanto, l'Equazione (1.21) può essere riscritta come:

$$R_{th} = \frac{1}{(\beta + 1)G_1 + G_s} = \frac{R_s \frac{R_1}{(\beta + 1)}}{R_s + \frac{R_1}{(\beta + 1)}} = R_s \parallel \frac{R_1}{(\beta + 1)} \quad (1.22)$$

Per i valori nell'esempio:

$$R_{th} = R_s \parallel \frac{R_1}{(\beta + 1)} = 1 \text{ k}\Omega \parallel \frac{20 \text{ k}\Omega}{(50 + 1)} = 1 \text{ k}\Omega \parallel 392 \text{ }\Omega = 282 \text{ }\Omega \quad (1.23)$$

Verifica dei risultati: Abbiamo determinato l'incognita del problema. Il valore di R_{th} è inferiore a 1 kΩ e sembra ragionevole, in quanto non dovrebbe superare la resistenza R_s disposta in parallelo ai terminali della rete.

Possiamo anche verificare il risultato ricordando che R_{th} è pari al rapporto tra la tensione di circuito aperto e la corrente di cortocircuito i_{sc} . Connettendo i terminali in Figura 1.12 in cortocircuito, la corrente risulta $i_{sc} = (\beta + 1)v_s/R_1$. Utilizzando quindi l'espressione di v_o data dalla (1.17) si verifica agevolmente che la (1.22) è corretta.

ESERCIZIO Si verifichi l'espressione della corrente di cortocircuito nell'Esempio 1.2 e si verifichi la (1.22).

Esempio 1.3**CIRCUITO EQUIVALENTE DI NORTON**

PROBLEMA Determinare il circuito equivalente di Norton (Figura 1.12(c)) per il circuito di Figura 1.12(a).

SOLUZIONE **Informazioni e dati noti:** Topologia del circuito e valori numerici dei componenti riportati in Figura 1.12(a). Il valore di R_{th} determinato nell'esempio precedente.

Incognite: Corrente equivalente di Norton i_n .

Approccio: La corrente equivalente di Norton rappresenta la corrente di cortocircuito.

Ipotesi: Nessuna.

Analisi: Per il circuito in Figura 1.14 la corrente in uscita sarà:

$$i_n = i_1 + \beta i_1 \quad \text{e} \quad i_1 = G_1 v_s \quad (1.24)$$

Il cortocircuito in uscita impone che la corrente nella resistenza R_s sia nulla.

Unendo le due espressioni dell'Equazione (1.24) si ottiene:

$$i_n = (\beta + 1)G_1 v_s = \frac{(\beta + 1)}{R_1} v_s \quad (1.25)$$

o

$$i_n = \frac{(50 + 1)}{20 \text{ k}\Omega} v_s = \frac{v_s}{392 \Omega} = (2.55 \text{ mS}) v_s \quad (1.26)$$

La resistenza nel circuito equivalente di Norton, R_{th} , è uguale a quella di Thévenin calcolata nell'Equazione (1.23).

Verifica dei risultati: Abbiamo determinato la corrente equivalente di Norton. Si noti che $v_{th} = i_n R_{th}$, e questo risultato può essere utilizzato per il controllo dei calcoli: $i_n R_{th} = (2.55 \text{ mS}) v_s (282 \Omega) = 0.719 v_s$, che coincide con il valore precedentemente ottenuto a meno degli errori di arrotondamento.

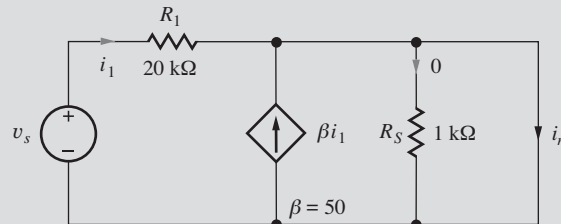


Figura 1.14

Circuito per determinare la corrente di cortocircuito in uscita.

I circuiti equivalenti di Thévenin e Norton relativi al circuito di Figura 1.12(a) sono mostrati in Figura 1.15. Prima di concludere analizziamo un ultimo esempio utilizzando le leggi di Kirchhoff per calcolare la resistenza vista dal generatore v_s nel circuito di Figura 1.16 in cui appare un generatore di corrente controllato.

Figura 1.15

Circuiti equivalenti completi di (a) Thévenin e (b) Norton per la rete a due terminali in Figura 1.13(a).

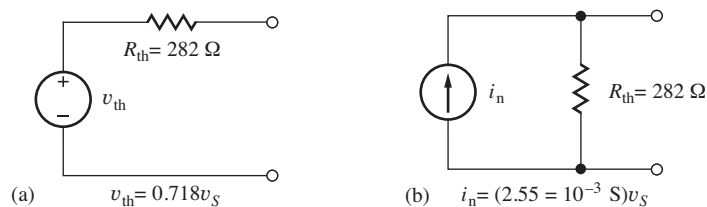
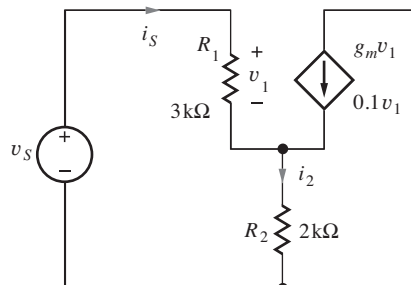


Figura 1.16

Circuito contenente un generatore di corrente controllato da una tensione.



RESISTENZA EQUIVALENTE DI THÉVENIN

Esempio 1.4

Determinare la resistenza equivalente di Thévenin per il circuito di Figura 1.16.

PROBLEMA

Informazioni e dati noti: Topologia del circuito e valori numerici dei componenti riportati in Figura 1.16.

SOLUZIONE

Incognite: Resistenza equivalente di Thévenin R_{th} .

Approccio: Impiego delle KVL e KCL per esprimere la corrente i_s in termini di v_s . La resistenza vista dal generatore v_s risulta $R = v_s/i_s$.

Ipotesi: Nessuna.

Analisi: Applicando la KVL alla maglia che contiene v_s si ha:

$$v_s = i_s R_1 + i_2 R_2 = i_s R_1 + (i_s + g_m v_1) R_2 \quad (1.27)$$

Tuttavia la tensione v_1 è legata alla corrente i_s da:

$$v_1 = i_s R_1 \quad (1.28)$$

Unendo le Equazioni (1.27) e (1.28), troviamo:

$$v_s = i_s (R_1 + R_2 + g_m R_1 R_2) \quad (1.29)$$

e

$$R_{th} = \frac{v_s}{i_s} = R_1 + R_2 (1 + g_m R_1) \quad (1.30)$$

Per i valori di questo specifico circuito, abbiamo:

$$R_{th} = 3000 \, \Omega + 2000 \, \Omega [1 + (0.1 \, \text{S})(3000 \, \Omega)] = 605 \, \text{k}\Omega \quad (1.31)$$

Verifica dei risultati: Abbiamo determinato la resistenza incognita. Analizzando il valore ottenuto vediamo che risulta maggiore rispetto alle altre resistenze presenti nel circuito. Un controllo dell'analisi mostra che il procedimento è corretto. Nell'analisi del transistor bipolare vedremo che il circuito considerato rappresenta un amplificatore con configurazione a collettore comune, e che una delle sue caratteristiche è di effettuare una trasformazione di impedenza.

ELETRONICA IN AZIONE

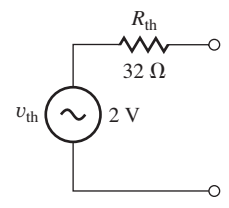
Caratteristiche di un lettore MP3

L'amplificatore di un lettore di musica MP3 rappresenta un esempio comune di un amplificatore audio di base. La banda in frequenza di un segnale audio si estende tipicamente da 20 Hz a 20 kHz, una gamma di frequenze che si estende al di là della capacità di sentire uditiva della maggior parte delle persone sia in bassa che in alta frequenza.

Le caratteristiche dell'iPod di Apple mostrato in figura rappresentano uno stadio di uscita audio di alta qualità di un lettore MP3 o una qualsiasi scheda audio del computer.



(a)



(b)

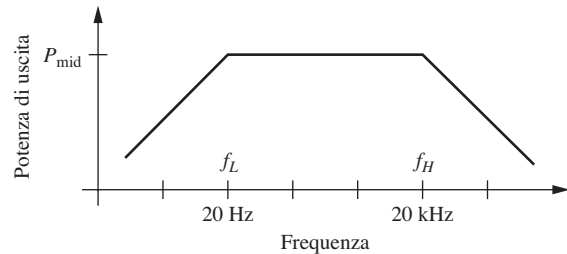
(a) iPod. (Foto: © The McGraw-Hill Education/Fotografo Ken Cavanagh.)

(b) Circuito equivalente secondo Thévenin per lo stadio di uscita.

L'uscita può essere rappresentata da un circuito equivalente Thévenin con $v_{th} = 2 \text{ V}$ e $R_{th} = 32 \Omega$, e lo stadio di uscita è progettato per fornire una potenza di circa 15 mW su ogni canale di una cuffia con un'impedenza di 32Ω . La potenza di uscita è approssimativamente costante nell'intervallo di frequenza 20 Hz – 20 kHz. Alle frequenze di taglio inferiore e superiore, f_L e f_H , la potenza di uscita è ridotta di 3 dB rispetto alla potenza di centro banda (ossia quasi dimezzata).

La distorsione indotta dell'amplificatore sul segnale di uscita è una caratteristica molto importante, e questo è un parametro che distingue spesso la qualità di una scheda audio o un lettore MP3 da un altro.

Un sistema audio di buona qualità deve avere una distorsione armonica totale (THD, *Total Harmonic Distortion*) inferiore allo 0,1% durante il suo funzionamento a piena potenza.



Potenza di uscita in funzione della frequenza del segnale di ingresso di un amplificatore audio.

1.6 Spettro di frequenza dei segnali elettronici

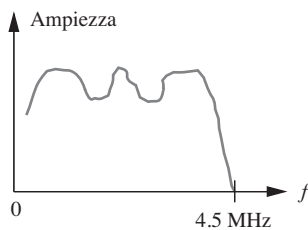
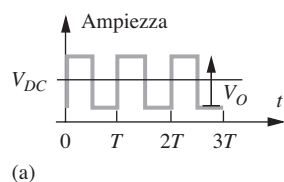
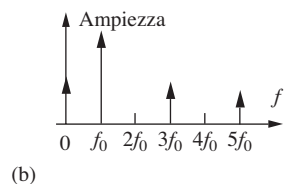


Figura 1.17
Spettro di un segnale TV.



(a)



(b)

Figura 1.18
Un segnale periodico (a) e il suo spettro di ampiezza (b).

L'**analisi di Fourier** e la serie di Fourier sono degli strumenti estremamente importanti per l'ingegneria elettrica ed elettronica. I risultati della teoria di Fourier evidenziano che i segnali anche molto complessi sono in realtà composti da un insieme di componenti sinusoidali, ognuna con una propria ampiezza, frequenza e fase. Lo **spettro di frequenza** di un segnale riporta l'ampiezza e la fase delle componenti del segnale in funzione della frequenza.

I segnali non periodici presentano degli spettri continui, con segnali che possono occupare una vasta gamma di frequenze. Per esempio, l'ampiezza dello spettro di un segnale televisivo misurato durante un breve intervallo di tempo è rappresentato in Figura 1.17. Il segnale TV è contenuto in un intervallo di frequenza compreso fra 0 e 4.5 MHz (questo segnale è combinato prima della trasmissione con una frequenza di portante molto più alta). Altri tipi di segnali occupano diverse regioni dello spettro di frequenze. In Tabella 1.3 sono riportati gli intervalli tipici di frequenza di varie categorie di segnali; gli intervalli possono variare in funzione dell'area geografica e della singola nazione.

L'analisi di Fourier mostra che *qualsiasi segnale periodico*, come l'onda quadrata della Figura 1.18, contiene uno spettro discreto di componenti spettrali (composto da un numero infinito di componenti) legate direttamente al periodo del segnale. Per esempio, l'onda quadrata della Figura 1.18 che ha un'ampiezza V_O e un periodo T può essere descritta dalla serie di Fourier:

$$v(t) = V_{DC} + \frac{2 V_O}{\pi} \left(\sin \omega_0 t + \frac{1}{3} \sin 3\omega_0 t + \frac{1}{5} \sin 5\omega_0 t + \dots \right) \quad (1.32)$$

Tabella 1.3 Frequenze associate a segnali di impiego comune

Categorie	Gamma di frequenza
Suoni udibili	20 Hz ÷ 20 kHz
Segnale video TV in banda di base	0 ÷ 4.5 MHz
Diffusione radio AM	540 ÷ 1600 kHz
Comunicazioni radio ad alta frequenza	1.6 ÷ 54 MHz
Televisone VHF (canali 2-6)	54 ÷ 88 MHz
Diffusione radio FM	88 ÷ 108 MHz
Comunicazione radio VHF	108 ÷ 174 MHz
Televisone VHF (canali 7-13)	174 ÷ 216 MHz
Comunicazioni marittime e governative	216 ÷ 450 MHz
Comunicazioni d'affari	450 ÷ 470 MHz
Televisone UHF (canali 14-69)	470 ÷ 806 MHz
Allocazione di banda per comunicazioni fisse e mobili	806 ÷ 902 MHz
Allocazione di banda per cellulari analogici e digitali	928 ÷ 960 MHz
Telefonia, comunicazioni personali e altro	1710 ÷ 1990 MHz
Dispositivi wireless	2310 ÷ 2690 MHz
Televisone satellitare	3.7 ÷ 4.2 GHz
Dispositivi wireless	5.0 ÷ 5.5 GHz

in cui $\omega_0 = 2\pi/T$ (rad/s) è la **frequenza angolare fondamentale** dell'onda quadra. Chiameremo $f_0 = 1/T$ (Hz) **frequenza fondamentale** del segnale, e le componenti a frequenza $2f_0, 3f_0, 4f_0$ seconda **armonica**, terza armonica, quarta armonica e così via.

1.7 Amplificatori

Le caratteristiche dei segnali analogici sono spesso modificate mediante amplificatori lineari che modificano l'ampiezza e/o la fase del segnale senza però variarne la frequenza. Sebbene un segnale complesso possa avere molte componenti spettrali, come descritto nel Paragrafo 1.6, la linearità del circuito ci consente di applicare il **principio di sovrapposizione** per trattare separatamente ogni componente del segnale.

Per esempio, supponiamo che l'amplificatore di Figura 1.19 con un guadagno di tensione A sia alimentato in ingresso da un segnale sinusoidale v_s con ampiezza V_s , frequenza angolare ω_s , e fase ϕ :

$$v_s = V_s \sin(\omega_s t + \phi) \quad (1.33)$$

Se l'amplificatore è lineare, vi sarà in uscita ancora un segnale sinusoidale della stessa frequenza, ma di diversa ampiezza e fase:

$$v_o = V_o \sin(\omega_s t + \phi + \theta) \quad (1.34)$$

I segnali sinusoidali di ingresso e uscita possono essere descritti indicando il loro modulo e la loro fase (notazione fasoriale) nel modo seguente:

$$\mathbf{V}_s = V_s \angle \phi \quad \text{e} \quad \mathbf{V}_o = V_o \angle (\phi + \theta) \quad (1.35)$$

Il guadagno di tensione dell'amplificatore è dato dal rapporto fra tensione di uscita e di ingresso. Solitamente questo rapporto è espresso in funzione di s oppure di $j\omega$. Nei casi più semplici, come questo, si può usare la notazione fasoriale, che indica sia le variazioni del modulo che della fase:

$$A = \frac{\mathbf{V}_o}{\mathbf{V}_s} = \frac{V_o \angle (\phi + \theta)}{V_s \angle \phi} = \frac{V_o}{V_s} \angle \theta \quad (1.36)$$

Questo amplificatore ha un guadagno con tensione di ampiezza pari a V_o/V_s e sfasamento pari a θ . In generale, sia l'ampiezza che la fase del guadagno di tensione sono funzioni della frequenza. Si noti altresì che gli amplificatori forniscono spesso anche un guadagno di corrente e di potenza, questi concetti verranno approfonditi successivamente.

Le curve in Figura 1.20 rappresentano le forme d'onda relative alle tensioni di ingresso e uscita di un amplificatore invertente con $A_v = -5$ e $v_s = 1 \sin 2000\pi t$ V. Nel grafico si possono notare facilmente il fattore di amplificazione pari a 5 e lo sfasamento di 180° (corrispondente alla moltiplicazione per -1).

È necessaria una puntualizzazione sull'angolo di fase. Nelle Equazioni (1.33) e (1.34), ωt , ϕ e θ devono avere le stesse unità. Con ωt normalmente espresso in radianti, anche θ dovrebbe essere espresso in radianti. Tuttavia, in molti testi di ingegneria elettronica θ è espresso in gradi. Dobbiamo essere a conoscenza di questa mescolanza di unità di misura, ricordandoci sempre di convertire i gradi in radianti prima di effettuare qualsiasi calcolo numerico.

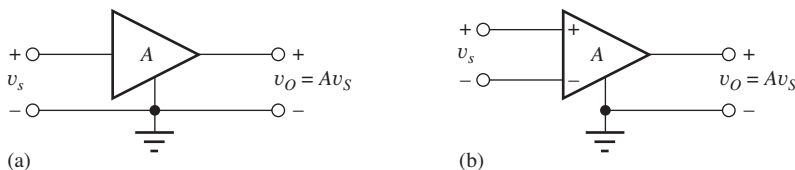
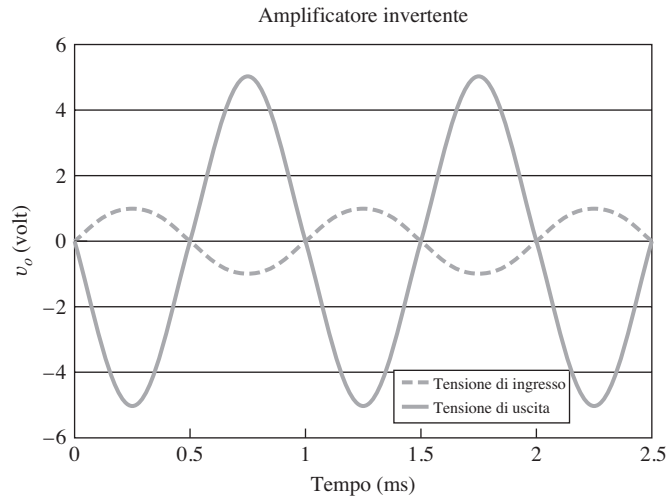


Figura 1.19
(a) Simbolo elettrico di un amplificatore con un guadagno di tensione A ; (b) amplificatore differenziale con guadagno A .

Figura 1.20

Forme d'onda delle tensioni di ingresso e uscita per un amplificatore con guadagno $A_v = -5$ e $v_s = 1 \sin 2000 \pi t$ V.



ESERCIZIO Le tensioni di ingresso e di uscita di un amplificatore sono espresse come:

$$v_s = 0.001 \sin(2000 \pi t) \text{ V} \quad \text{e} \quad v_o = -5 \cos(2000 \pi t + 25^\circ) \text{ V}$$

dove v_s e v_o sono specificate in volt, e t in secondi. Quanto valgono $\mathbf{V_s}$, $\mathbf{V_o}$ e il guadagno di tensione dell'amplificatore?

RISPOSTE $0.001 \angle 0^\circ$; $5 \angle -65^\circ$; $5000 \angle -65^\circ$.

1.7.1 L'Amplificatore operazionale ideale

L'amplificatore operazionale, o in forma abbreviata l'operazionale, rappresenta un elemento fondamentale nel progetto dei circuiti elettronici. In questo paragrafo descriveremo brevemente le caratteristiche dell'operazionale, rimandando a capitoli successivi una discussione più approfondita delle sue proprietà e dei circuiti con esso realizzati.

Benché sia in pratica impossibile realizzare l'**amplificatore operazionale ideale**, è nondimeno utile introdurre questo concetto per facilitare l'analisi e il progetto dei circuiti analogici. Gli amplificatori operazionali sono amplificatori differenziali, ovvero rispondono a una differenza tra le tensioni applicate ai terminali di ingresso indicati $+$ e $-$ in Figura 1.19(b). Gli amplificatori operazionali ideali presentano un **guadagno di tensione** infinito, e una **resistenza di ingresso** infinita. Dall'ipotesi di guadagno di tensione infinito, se l'operazionale è in linearità si hanno due proprietà importanti per l'analisi dei circuiti:

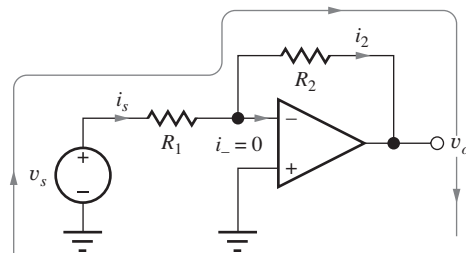
1. La differenza tra le tensioni applicate ai terminali di ingresso è nulla, ovvero $v_- = v_+$ o più semplicemente v_- insegue v_+ .
2. Entrambe le correnti di ingresso sono nulle.

Esempio - L'amplificatore invertente

L'**amplificatore invertente** è un circuito fondamentale, ed è realizzato connettendo a potenziale nullo il terminale di ingresso positivo, e connettendo una rete formata dai resistori R_1 e R_2 , detta **rete di retroazione** (o **feedback**), rispettivamente al segnale di ingresso v_s e al nodo di uscita, come mostrato in Figura 1.21. Si osservi che l'operazionale ideale è rappresentato da un simbolo di amplificatore a forma triangolare in cui il guadagno A non è indicato.

Figura 1.21

Amplificatore invertente realizzato con un amplificatore operazionale.



Allo scopo di determinare il guadagno A_v dell'amplificatore invertente occorre pervenire a una relazione tra le tensioni v_o e v_s . Possiamo scrivere l'equazione per la maglia costituita dal nodo di uscita, dalle resistenze R_2 e R_1 e dal generatore di ingresso:

$$v_s - i_s R_1 - i_2 R_2 - v_o = 0 \quad (1.37)$$

Dobbiamo ora esprimere i_s e i_2 in termini di v_s e v_o . Applicando la KCL al terminale invertente dell'amplificatore, vediamo che i_2 deve essere pari a i_s , in quanto l'assunzione 2 afferma che la corrente i_- deve essere nulla:

$$i_s = i_2 \quad (1.38)$$

La corrente i_s può essere scritta in termini di v_s come:

$$i_s = \frac{v_s - v_-}{R_1} \quad (1.39)$$

Dove v_- è la tensione applicata al terminale invertente dell'operazionale. Poiché l'ipotesi 1 afferma che la differenza tra le tensioni applicate ai due terminali dell'operazionale deve essere nulla, si vede che la tensione v_- è nulla, in quanto il terminale positivo è a potenziale nullo. Si ha quindi:

$$i_s = \frac{v_s}{R_1} \quad (1.40)$$

Dalle (1.37)-(1.40) possiamo facilmente ricavare il guadagno di tensione:

$$A_v = \frac{v_o}{v_s} = -\frac{R_2}{R_1} \quad (1.41)$$

Possiamo notare che il guadagno è negativo: in un amplificatore invertente i segnali di uscita e ingresso sono sfasati di 180° . Inoltre il guadagno può essere maggiore o uguale a 1 se $R_2 \geq R_1$ (il caso più frequente), ma può anche essere minore dell'unità se $R_2 < R_1$.

Nell'amplificatore di Figura 1.21 il terminale invertente dell'operazionale si trova a un potenziale di 0 V. In un amplificatore operazionale ideale la tensione di uscita assume un valore tale che la tensione v_- risulti uguale alla tensione v_+ , qualunque essa sia, in questo caso nulla. I primi operazionali avevano solo l'ingresso v_- che in condizioni di funzionamento normale era a 0 V. Da questo è iniziata l'abitudine di chiamare questo ingresso *virtual ground*, tradotto malamente in "massa virtuale", quando il significato originale dell'espressione è "come se fosse 0 V".



NOTA PROGETTUALE

Ingresso invertente nei circuiti con amplificatori operazionali

Osserviamo che benché il terminale invertente sia spesso chiamato massa virtuale, esso non è connesso realmente allo 0 V (non vi è un percorso per la corrente verso ground). Connettere direttamente questo terminale a massa è un errore frequente in-

dotto dall'espressione massa virtuale, errore che occorre evitare nell'analisi circuitale. Se si ricorda che in un circuito retroazionato il potenziale dell'ingresso invertente insegue quello dell'ingresso non invertente si evitano errori.

ESERCIZIO L'amplificatore di Figura 1.21 presenta $A_v = -5$ e $R_1 = 10 \text{ k}\Omega$. Quanto vale R_2 ?

RISPOSTA $50 \text{ k}\Omega$.



ELETTRONICA IN AZIONE

Amplificatori in un sistema elettronico familiare: un ricevitore FM stereo

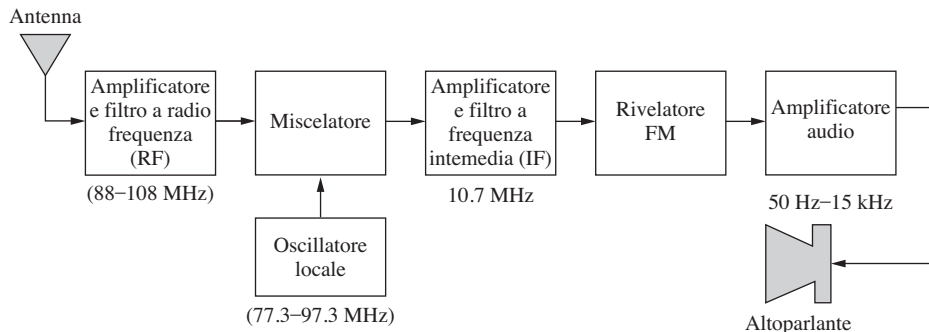
Lo schema a blocchi di un amplificatore FM stereo è un esempio di sistema elettronico che utilizza un certo numero di amplificatori. Il segnale proveniente dall'antenna può essere molto piccolo, spesso dell'ordine di qualche microvolt.

L'ampiezza e il livello di potenza del segnale sono aumentati da tre gruppi di amplificatori: l'amplificatore a radio frequenza (RF), quello a frequenza intermedia (IF) e gli amplificatori audio. In uscita, gli amplificatori che pilotano gli altoparlanti posso-

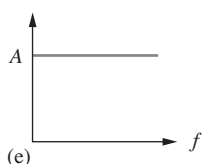
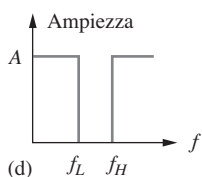
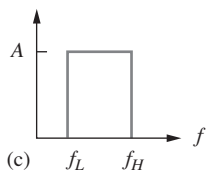
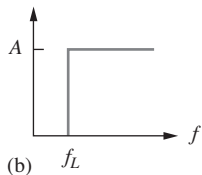
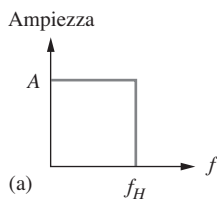
no erogare segnali audio con potenze di alcuni watt, laddove la potenza originariamente disponibile dall'antenna può essere di pochi picowatt.

L'oscillatore locale, che serve a sintonizzare il ricevitore radio sulla stazione desiderata, rappresenta un ulteriore caso (sebbene particolare) di ampli-

ficatore. Il miscelatore ha lo scopo di modificare la frequenza del segnale di ingresso ed è pertanto un circuito non lineare; il suo progetto, tuttavia, si basa sull'utilizzo di concetti propri degli amplificatori lineari. Infine, il rivelatore FM è realizzato utilizzando circuiti non lineari.



Schema a blocchi di un ricevitore radio FM.



1.7.2 Risposta in frequenza degli amplificatori

Oltre a modificare la tensione, la corrente e/o il livello di potenza di un dato segnale, gli amplificatori vengono spesso progettati per elaborare selettivamente segnali in differenti intervalli di frequenza, e quindi sono classificati in base alla loro risposta in frequenza. In Figura 1.22 vi sono cinque possibili classi di amplificatori rappresentati dalle rispettive risposte in frequenza.

L'amplificatore **passa-basso** [Figura 1.22(a)] amplifica tutti i segnali inferiori a una determinata frequenza di taglio superiore f_H , mentre l'amplificatore **passa-alto**, Figura 1.22(b), amplifica tutti i segnali di frequenza superiori a una frequenza di taglio inferiore f_L .

L'amplificatore **passa-banda** [Figura 1.22(c)], amplifica tutti i segnali compresi fra le due frequenze di taglio f_L e f_H , quello a **reiezione di banda** di Figura 1.22(d) attenua tutti i segnali con frequenze comprese tra f_L e f_H . Un amplificatore a reiezione di banda in cui i due limiti di frequenza sono molto vicini viene chiamato **notch**. Infine l'amplificatore **passa-tutto** in Figura 1.22(e) amplifica i segnali a qualunque frequenza; quest'ultimo è impiegato per modificare la fase del segnale anziché la sua ampiezza. I circuiti progettati in modo da amplificare determinati intervalli di frequenze dei segnali sono comunemente detti **filtri**.

ESERCIZIO (a) L'amplificatore passa-banda in Figura 1.22(c) ha $f_L = 1.5$ kHz, $f_H = 2.5$ kHz, e $A = 10$. Se la tensione in ingresso è data da:

$$v_s = [0.5 \sin(2000\pi t) + \sin(4000\pi t) + 1.5 \sin(6000\pi t)] \text{ V}$$

qual è la tensione di uscita dell'amplificatore? (b) Supponiamo che lo stesso segnale sia applicato all'amplificatore passa-basso in Figura 1.22(a), che ha $A = 6$ e $f_H = 1.5$ kHz.

Qual è la tensione di uscita?

RISPOSTE $10 \sin 4000\pi t$ V; $3 \sin 2000\pi t$ V.

1.8 Variazione dei parametri nella progettazione circuitale

Quando si realizza un circuito a componenti discreti, oppure si realizza un circuito integrato, i valori dei componenti del circuito e dei parametri dei dispositivi a stato solido sono caratterizzati da **tolleranze**. I resistori discreti usualmente commercializzati sono caratterizzati da tolleranze del 5% oppure 1% o valori inferiori, mentre i resistori realizzati nei circuiti integrati possono esibire variazioni anche maggiori ($\pm 30\%$). I condensatori spesso presentano

Figura 1.22

Risposte in frequenza di amplificatori ideali: (a) passa-basso, (b) passa-alto, (c) passa-banda, (d) a reiezione di banda e (e) passa-tutto.

specifiche di tolleranza di tipo asimmetrico come $-20\%/+50\%$, mentre le tolleranze delle tensioni di alimentazione sono spesso comprese nell'intervallo 1-10%. Per i dispositivi a semiconduttore che studieremo più avanti i parametri possono variare di più del 30%.

Oltre all'incertezza dovuta alle tolleranze, il valore di un componente può variare a causa della temperatura e dell'invecchiamento. È importante comprendere gli effetti delle variazioni dei componenti sul funzionamento del circuito, in modo da poter progettare circuiti che funzionino correttamente anche in presenza di tali variazioni.

L'analisi del caso peggiore (worst-case analysis) e l'analisi Monte Carlo sono due approcci utilizzati per quantificare l'effetto delle tolleranze sulle prestazioni del circuito.

1.8.1 Il modello matematico delle tolleranze

Un modello matematico per variazione simmetrica dei parametri è descritto dalla relazione:

$$P_{\text{nom}}(1 - \varepsilon) \leq P \leq P_{\text{nom}}(1 + \varepsilon) \quad (1.42)$$

in cui P_{nom} è il valore nominale del parametro, come il valore di una resistenza o la corrente erogata da un generatore, e ε rappresenta la tolleranza relativa. Per esempio una resistenza R con un **valore nominale** di $10 \text{ k}\Omega$ e una tolleranza del 5%, potrebbe assumere un valore qualsiasi compreso nell'intervallo:

$$10\,000 \Omega(1 - 0.05) \leq R \leq 10\,000 \Omega(1 + 0.05)$$

ovvero:

$$9500 \Omega \leq R \leq 10\,500 \Omega$$

ESERCIZIO Una resistenza R di $39 \text{ k}\Omega$ ha una tolleranza del 10%. Qual è l'intervallo di valori corrispondente? Si ripeta il calcolo per una resistenza di $3.6 \text{ k}\Omega$ con una tolleranza dell'1%.

RISPOSTE $35.1 \text{ k}\Omega \leq R \leq 42.9 \text{ k}\Omega$; $3.56 \text{ k}\Omega \leq R \leq 3.64 \text{ k}\Omega$

1.8.2 Analisi del caso peggiore

L'analisi del caso peggiore è spesso utilizzata per garantire il corretto funzionamento di un circuito, nonostante le tolleranze dei componenti. In questo metodo si scelgono per i diversi parametri opportuni valori, in modo tale che le variabili di interesse (per esempio il guadagno di potenza, di tensione o di corrente, oppure la larghezza di banda) assumano il valore massimo oppure quello minimo. Di solito i valori massimi o minimi per le variabili di interesse si ottengono per una combinazione di valori estremi (minimi o massimi) per i parametri. Benché un progetto basato sul caso peggiore sia di solito eccessivamente pessimistico e poco conveniente dal punto di vista economico, è nondimeno importante comprendere gli aspetti essenziali di questa tecnica e le sue limitazioni. A tal scopo, consideriamo l'esempio riportato di seguito.

ANALISI DEL CASO PEGGIORE

Esempio 1.5

Applicheremo l'analisi del caso peggiore a un semplice circuito partitore di tensione.

PROBLEMA

Determinare il valore nominale, e i valori per il caso peggiore (minimo e massimo), per la tensione V_O e la corrente I_S nel partitore di tensione di Figura 1.23.

SOLUZIONE

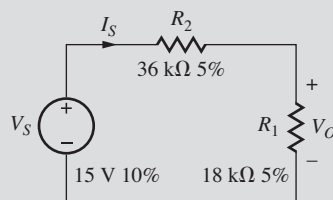


Figura 1.23

Effetto delle tolleranze in un partitore di tensione resistivo.

Informazioni e dati noti: Il circuito è indicato in Figura 1.23. Il generatore V_S presenta un valore nominale di 10 V e una tolleranza del 10%; la resistenza R_1 presenta un valore nominale di 18 k Ω e una tolleranza del 5%; la resistenza R_2 presenta un valore nominale di 36 k Ω e una tolleranza del 5%. Le variabili di interesse V_O e I_S sono date da:

$$V_O = V_S \frac{R_1}{R_1 + R_2} \quad \text{e} \quad I_S = \frac{V_S}{R_1 + R_2} \quad (1.43)$$

Incognite: $V_O^{\text{nom}}, V_O^{\text{max}}, V_O^{\text{min}}, I_S^{\text{nom}}, I_S^{\text{max}}, I_S^{\text{min}}$.

Approccio: Per determinare il valore nominale delle variabili occorre porre tutti i parametri al corrispondente valore nominale. Per determinare i valori nel caso peggiore occorre determinare i valori dei parametri che corrispondono ai valori estremi delle variabili di interesse V_O e I_S . Si noti che la combinazione di valori corrispondente a V_O^{max} sarà in generale diversa da quella corrispondente a I_S^{max} ecc.

Ipotesi: Le tolleranze sono fra di loro statisticamente indipendenti.

Analisi: (a) *Valori nominali*

Il valore nominale di V_O si ottiene considerando i valori nominali per tutti i parametri:

$$V_O^{\text{nom}} = V_S^{\text{nom}} \frac{R_1^{\text{nom}}}{R_1^{\text{nom}} + R_2^{\text{nom}}} = 15 \text{ V} \frac{18 \text{ k}\Omega}{18 \text{ k}\Omega + 36 \text{ k}\Omega} = 5 \text{ V} \quad (1.44)$$

Analogamente il valore nominale di I_S risulta:

$$I_S^{\text{nom}} = \frac{V_S^{\text{nom}}}{R_1^{\text{nom}} + R_2^{\text{nom}}} = \frac{15 \text{ V}}{18 \text{ k}\Omega + 36 \text{ k}\Omega} = 278 \mu\text{A} \quad (1.45)$$

(b) *Analisi del caso peggiore*

Spesso la scelta dei parametri che fornisce il caso peggiore per le variabili di interesse non è ovvia. Allo scopo di determinare più agevolmente il caso in cui V_O raggiunge il suo valore massimo, riscriviamo la tensione di uscita nella forma seguente:

$$V_O = V_S \frac{R_1}{R_1 + R_2} = \frac{V_S}{1 + \frac{R_2}{R_1}} \quad (1.46)$$

Per massimizzare V_O occorre massimizzare il numeratore e rendere minimo il denominatore. Pertanto occorre massimizzare V_S e R_1 e minimizzare R_2 . Analogamente, per determinare V_O^{min} occorre minimizzare V_S e R_1 e massimizzare R_2 .

I valori massimo e minimo di V_O risultano quindi:

$$V_O^{\text{max}} = \frac{15 \text{ V}(1.1)}{1 + \frac{36 \text{ k}\Omega(0.95)}{18 \text{ k}\Omega(1.05)}} = 5.87 \text{ V} \quad \text{e} \quad V_O^{\text{min}} = \frac{15 \text{ V}(0.90)}{1 + \frac{36 \text{ k}\Omega(1.05)}{18 \text{ k}\Omega(0.95)}} = 4.20 \text{ V} \quad (1.47)$$

Si nota che il valore massimo di V_O risulta maggiore del valore nominale di 5 V del 17%, mentre il valore minimo è inferiore del 16% rispetto al valore nominale.

L'analisi del caso peggiore per la corrente I_S è simile, ma conduce a combinazioni diverse dei parametri:

$$I_S^{\text{max}} = \frac{V_S^{\text{max}}}{R_1^{\text{min}} + R_2^{\text{min}}} = \frac{15 \text{ V}(1.1)}{18 \text{ k}\Omega(0.95) + 36 \text{ k}\Omega(0.95)} = 322 \mu\text{A} \quad (1.48)$$

$$I_S^{\text{min}} = \frac{V_S^{\text{min}}}{R_1^{\text{max}} + R_2^{\text{max}}} = \frac{15 \text{ V}(0.9)}{18 \text{ k}\Omega(1.05) + 36 \text{ k}\Omega(1.05)} = 238 \mu\text{A}$$

Si nota che il valore massimo di I_S risulta maggiore del valore nominale del 16%, mentre il valore minimo è inferiore del 14% rispetto al valore nominale.

Verifica dei risultati: Sono stati calcolati i valori nominali e i valori per il caso peggiore; questi ultimi variano in un intervallo del 14-17% al di sopra e al di sotto del valore nominale. Abbiamo 3 elementi circuitali che variano, e la somma delle tolleranze è pari al 20%. Poiché la differenza tra il caso peggiore e quello nominale risulta minore del 20%, i risultati ottenuti sembrano ragionevoli.



NOTA PROGETTUALE

Limitazioni dell'analisi del caso peggiore

Osserviamo che nella realtà i valori dei parametri sono distribuiti in modo casuale tra i valori estremi, e risulta improbabile che possano tutti assumere contemporaneamente i rispettivi valori estremi. Pertanto, il metodo del caso peggiore fornisce un'analisi molto pessimistica dell'effetto delle variazioni. Di conseguenza un progetto basato su tale metodo conduce a soluzioni circuitali più costose rispetto

a quelle che consentono di soddisfare le specifiche mantenendo la resa entro valori ragionevoli. Un metodo più efficiente, benché più complesso, è rappresentato dal metodo Monte Carlo. Tuttavia, nei casi in cui occorre garantire il corretto funzionamento del circuito in qualsiasi condizione, il metodo del caso peggiore è senz'altro appropriato.

ESERCIZIO Trovare i valori nominale e nel caso peggiore per potenza erogata dal generatore V_S nella Figura 1.23.

RISPOSTE 4.17 mW; 3.21 mW; 5.31 mW.

1.8.3 Analisi Monte Carlo

L'analisi **Monte Carlo** è basata sulla scelta casuale di differenti versioni del circuito di partenza allo scopo di predirne il funzionamento su base statistica. Nell'analisi Monte Carlo il valore di ciascun parametro viene scelto in modo casuale all'interno del relativo intervallo di variazione; si ottiene in questo modo un "caso di prova" o una "istanza" del circuito che viene successivamente analizzato. Dall'analisi di numerosi casi di prova si risale al comportamento statistico del circuito. Ovviamente questo tipo di analisi richiede l'uso del computer. Prima di descrivere il metodo è utile proporre alcuni richiami di teoria della probabilità e delle variabili aleatorie.

Parametri distribuiti in modo uniforme

In questo paragrafo assumeremo che i parametri siano uniformemente distribuiti tra i valori estremi. In altri termini, tutti i possibili valori dei parametri hanno identica probabilità di occorrenza. In effetti, quando abbiamo visto l'espressione della tolleranza dei parametri (1.42), probabilmente abbiamo subito pensato a questo tipo di distribuzione.

In termini matematici, la funzione di densità di probabilità $p(r)$ per una resistenza r a distribuzione uniforme è mostrata in Figura 1.24(a). La probabilità che il valore della resistenza r cada nell'intervallo $(r, r + dr)$ è pari a $p(r) dr$. La probabilità totale P deve essere pari a 1, e quindi:

$$P = \int_{-\infty}^{+\infty} p(r) dr = 1 \quad (1.49)$$

Utilizzando questa relazione nel caso di distribuzione uniforme di Figura 1.24(a) si ottiene

$$p(r) = \frac{1}{(2\varepsilon R_{\text{nom}})}, \text{ come mostrato in figura.}$$

L'analisi Monte Carlo può essere effettuata facilmente utilizzando un foglio di calcolo, MATLAB[®], Mathcad[®] o un altro programma che contenga **generatori di numeri casuali a distribuzione uniforme**. Questi generatori di numeri casuali producono una successione quasi casuale di numeri uniformemente distribuiti tra 0 e 1 con valore medio pari a 0.5, come mostrato in Figura 1.24(b).

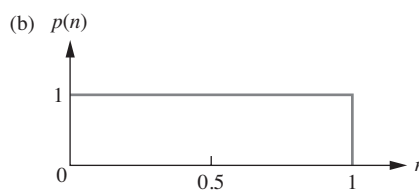
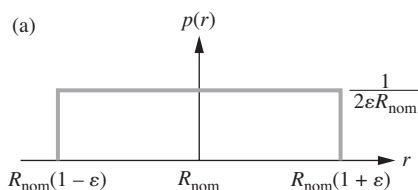


Figura 1.24

(a) Funzione di densità di probabilità per una resistenza caratterizzata da una distribuzione uniforme. (b) Funzione di densità di probabilità per una variabile aleatoria uniformemente distribuita tra 0 e 1.

Per esempio, il foglio di calcolo Excel[®] contiene la funzione `RAND()`, in Excel italiano `CASUALE()` (usata con argomento nullo), mentre MATLAB[®] usa la funzione `rand`³ e Mathcad[®] usa la funzione `rnd(1)`. Queste funzioni generano in modo casuale numeri con una distribuzione simile a quella riportata in Figura 1.24(b). Altri prodotti software contengono generatori di numeri casuali con nomi simili. Per utilizzare `RAND()` (oppure `CASUALE()`) per la generazione della distribuzione di Figura 1.24(a), il valore medio deve essere centrato in R_{nom} e l'ampiezza della distribuzione deve essere pari a $(2\varepsilon) \times R_{nom}$.

$$R = R_{nom}(1 + 2\varepsilon(\text{RAND}() - 0.5)) \quad (1.50)$$

Analizziamo ora l'uso della (1.50) nell'implementazione del metodo Monte Carlo.

Esempio 1.6

ANALISI MONTE CARLO

PROBLEMA Applicheremo il metodo Monte Carlo al circuito partitore di tensione.

SOLUZIONE Effettuare l'analisi Monte Carlo per il circuito di Figura 1.23. Determinare il valore medio, la deviazione standard e i valori minimo e massimo per V_O , I_S , e per la potenza erogata dal generatore.

Informazioni e dati noti: Il circuito partitore di tensione è mostrato in Figura 1.23. Il generatore V_S presenta un valore nominale di 15 V e una tolleranza del 10%; la resistenza R_1 presenta un valore nominale di 18 k Ω e una tolleranza del 5%; la resistenza R_2 presenta un valore nominale di 36 k Ω e una tolleranza del 5%. Le variabili V_O , I_S e P_S sono date da:

$$V_O = V_S \frac{R_1}{R_1 + R_2} \quad I_S = \frac{V_S}{R_1 + R_2} \quad P_S = V_S I_S$$

Incognite: Il valore medio, la deviazione standard, i valori minimo e massimo per V_O , I_S , e P_S .

Approccio: Per effettuare l'analisi Monte Carlo del circuito di Figura 1.23 si assegnano valori casuali a V_S , R_1 e R_2 , che vengono successivamente utilizzati per determinare V_O e I_S .

Utilizzando la (1.50) e considerando le tolleranze indicate nella Figura 1.23, la tensione del generatore e le resistenze sono date da:

$$\begin{aligned} 1. \quad V_S &= 15(1 + 0.2(\text{RAND}() - 0.5)) \\ 2. \quad R_1 &= 18,000(1 + 0.1(\text{RAND}() - 0.5)) \\ 3. \quad R_2 &= 36,000(1 + 0.1(\text{RAND}() - 0.5)) \end{aligned} \quad (1.51)$$

Si osservi che ciascuna variabile deve chiamare separatamente la funzione `RAND()`, in modo che i valori casuali siano indipendenti tra loro. I valori casuali ottenuti dalle (1.51) sono quindi inseriti nelle equazioni che descrivono il circuito e nel calcolo della potenza erogata dal generatore:

$$\begin{aligned} 4. \quad V_O &= V_S \frac{R_1}{R_1 + R_2} \\ 2. \quad I_S &= \frac{V_S}{R_1 + R_2} \\ 3. \quad P_S &= V_S I_S \end{aligned} \quad (1.52)$$

In questo esempio faremo ricorso a un foglio di calcolo. Ovviamente, potremmo ugualmente utilizzare altri programmi come MATLAB[®], Mathcad[®], C++, SPICE, ...

Ipotesi: I parametri sono uniformemente distribuiti intorno ai valori medi. L'analisi eseguita si riferisce a 100 casi.

Analisi: Il foglio di calcolo utilizzato in questo esempio è mostrato in Tabella 1.4. Le Equazioni (1.51) e (1.52) sono inserite nella prima riga del foglio di calcolo, che può essere quindi copiata in un numero arbitrario di righe, a seconda del numero di casi da analizzare.

³ In MATLAB, la funzione `rand` genera un singolo numero casuale, `rand(n)` genera una matrice $n \times n$ di numeri casuali, mentre `rand(n, m)` è una matrice $n \times m$ di numeri casuali. In Mathcad, `rnd(x)` restituisce un numero uniformemente distribuito tra 0 e 1.

Tabella 1.4

Tolleranza	V_S (V) 10.00%	R_1 (Ω) 5.00%	R_2 (Ω) 5.00%	V_O (V)	I_S (A)	P (W)
Caso 1	15.94	17 248	35 542	5.21	3.02E-04	4.81E-03
2	14.90	18 791	35 981	5.11	2.72E-04	4.05E-03
3	14.69	18 300	36 725	4.89	2.67E-04	3.92E-03
4	16.34	18 149	36 394	5.44	3.00E-04	4.90E-03
5	14.31	17 436	37 409	4.55	2.61E-04	3.74E-03
6	14.44	17 433	35 583	4.75	2.72E-04	3.93E-03
7	15.89	17 503	36 384	5.16	2.95E-04	4.68E-03
8	15.20	17 772	37 415	4.90	2.76E-04	4.19E-03
9	15.34	17 698	35 682	5.09	2.87E-04	4.41E-03
10	13.73	18 689	35 424	4.74	2.54E-04	3.48E-03
...						
90	14.18	17 238	35 667	4.62	2.68E-04	3.80E-03
91	16.46	18 881	35 674	5.70	3.02E-04	4.96E-03
92	15.40	17 772	36 795	5.01	2.82E-04	4.34E-03
93	16.20	18 371	37 506	5.33	2.90E-04	4.70E-03
94	13.69	18 876	36 710	4.65	2.46E-04	3.37E-03
95	16.34	17 323	36 722	5.24	3.02E-04	4.94E-03
96	16.38	17 800	35 455	5.47	3.08E-04	5.04E-03
97	15.99	17 102	35 208	5.23	3.06E-04	4.89E-03
98	14.06	18 277	35 655	4.76	2.61E-04	3.66E-03
99	13.87	17 392	37 778	4.37	2.51E-04	3.49E-03
Caso 100	15.52	18 401	34 780	5.37	2.92E-04	4.53E-03
Media	14.88	17 998	36 004	4.96	2.76E-04	4.12E-03
Nom.	15.00	18 000	36 000	5.00	2.78E-04	4.17E-03
Devst	0.86	476	976	0.30	1.73E-05	4.90E-04
Max	16.46	18 881	37 778	5.70	3.10E-04	5.04E-03
CP-Max	16.50	18 900	37 800	5.87	3.22E-04	—
Min	13.52	17 102	34 201	4.37	2.42E-04	3.29E-03
CP-Min	13.50	17 100	34 200	4.20	2.38E-04	—

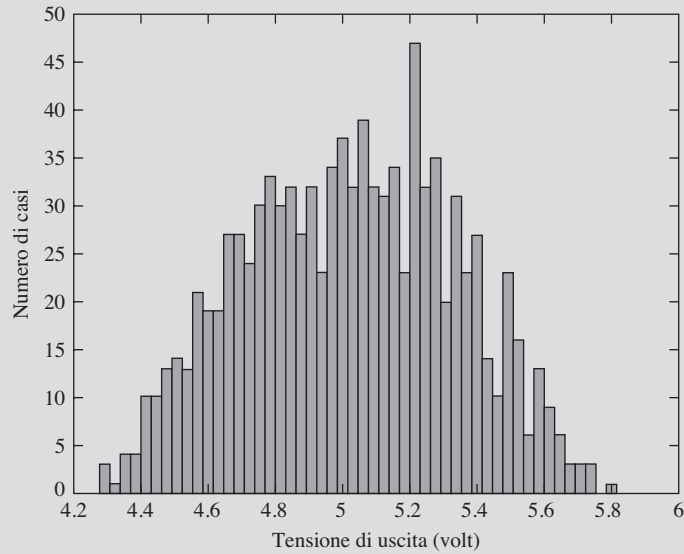
Il foglio di calcolo ripete automaticamente l'analisi per ciascuna riga, che rappresenta una delle possibili condizioni di funzionamento. In tal modo si costruisce la distribuzione statistica per ciascuna grandezza relativa al circuito. Alla fine di ogni colonna è possibile calcolare il valor medio e la deviazione standard utilizzando delle funzioni disponibili nel foglio di calcolo, mentre l'insieme dei risultati può essere utilizzato per costruire gli istogrammi relativi al funzionamento del circuito. La Tabella 1.4 mostra parte dei risultati del foglio di calcolo relativi a 100 casi; le righe "CP" riportano il valore del caso peggiore.

Verifica dei risultati: I valori medi di V_O e I_S risultano rispettivamente 4.96 V e 276 μ A, e risultano prossimi ai valori ottenuti considerando i valori nominali degli elementi. La differenza tra i valori medi e quelli nominali si riduce all'aumentare del numero di casi considerati. Le deviazioni standard sono rispettivamente pari a 0.30 V e 17.3 μ A.

La Figura 1.25 mostra un istogramma (generato con la funzione MATLAB `hist(x,n)`) della tensione di uscita, ottenuto considerando 1000 casi. Si nota che la distribuzione tende ad una Gaussiana con un picco centrato in corrispondenza del valor medio. I valori ottenuti con il metodo del caso peggiore differiscono dal valor medio di diverse volte la deviazione standard, e sono situati oltre i valori minimo e massimo ottenuti dall'analisi Monte Carlo, persino considerando 1000 casi.

In alcune versioni del programma di simulazione SPICE (per esempio PSPICE® e LTSPICE®) è disponibile come opzione l'analisi Monte Carlo, in cui viene effettuata in modo automatico la simulazione completa del circuito in corrispondenza di un numero arbitrario di casi prova scelti in modo casuale. Questi programmi sono dotati di funzioni molto potenti, che consentono di effettuare analisi statistiche molto più complesse di

Figura 1.25
Istogramma relativo a una
simulazione con 1000 casi.



un'analisi manuale. Utilizzando questi programmi si possono ottenere stime relative alla distribuzione statistica del ritardo, della risposta in frequenza e così via, per circuiti complessi con molti elementi.

1.8.4 Coefficienti di temperatura

I parametri dei componenti elettronici variano con la temperatura. Pertanto, il progetto di un circuito deve garantire un corretto funzionamento anche in presenza di variazioni della temperatura.

Per esempio, l'intervallo di temperatura specificato per i prodotti commerciali varia tipicamente da 0 a 70 °C, mentre l'intervallo di temperatura specificato per le applicazioni militari è compreso tra -55 e +125 °C. In altre applicazioni, come per esempio nell'elettronica utilizzata nel vano motore di un'automobile, l'intervallo di temperatura assume un'estensione ancora maggiore.

Modello matematico

Tipicamente la variazione di un parametro con la temperatura è descritta dalla relazione:

$$P = P_{\text{nom}}(1 + \alpha_1 \Delta T + \alpha_2 \Delta T^2) \quad \text{e} \quad \Delta T = T - T_{\text{nom}} \quad (1.53)$$

I coefficienti α_1 e α_2 rappresentano i **coefficienti di temperatura**, rispettivamente del primo e secondo ordine⁴, mentre ΔT rappresenta la differenza tra la temperatura a cui si trova il componente e la temperatura alla quale viene specificato il valore nominale:

$$P = P_{\text{nom}} \quad \text{per} \quad T = T_{\text{nom}} \quad (1.54)$$

Valori usuali di α_1 possono variare da più o meno diverse migliaia di parti per milione per grado Celsius (1000 ppm/°C = 0.1%/°C). Per esempio, le resistenze al nichel-cromo sono molto stabili, e possono esibire un coefficiente di temperatura α_1 pari a solo 50 ppm/°C. Viceversa, i resistori diffusi realizzati nei circuiti integrati possono presentare valori fino a diverse migliaia di parti per milione al grado Celsius. Le caratteristiche della maggior parte degli elementi circuitali varia con la temperatura con una legge non lineare e il coefficiente α_2 è in generale diverso da zero, sebbene risulti piccolo. Se non diversamente indicato, trascureremo il coefficiente α_2 .

⁴ È anche possibile includere dipendenze di ordine superiore.

Modello SPICE

Le diverse versioni del programma SPICE contengono modelli per descrivere la dipendenza dalla temperatura di diversi elementi circuitali. Il modello SPICE di dipendenza dalla temperatura di una resistenza è identico alla (1.53):

$$R(T) = R(TNOM) * [1 + TC1 * (T - TNOM) + TC2 * (T - TNOM)^2] \quad (1.55)$$

in cui i parametri SPICE sono definiti di seguito:

- TNOM = temperatura alla quale il valore nominale della resistenza è misurato
- T = temperatura alla quale viene effettuata la simulazione
- TC1 = coefficiente di temperatura del primo ordine (α_1 in Equazione (1.53))
- TC2 = coefficiente di temperatura del secondo ordine (α_2 in Equazione (1.53))

ANALISI del TCR

Esempio 1.7

Determinazione del valore di una resistenza a diverse temperature.

PROBLEMA

Un resistore diffuso ha un valore nominale di 10 k Ω a 25 °C e α_1 pari a +1000 ppm/°C. Determinare la resistenza a 40 °C e 75 °C.

SOLUZIONE

Informazioni e dati noti: Il valore nominale della resistenza è di 10 k Ω a $T = 25$ °C. Il TCR è pari a 1000 ppm/°C.

Incognite: Il valore della resistenza a 40 °C e 75 °C.

Approccio: Utilizzare la (1.53) con i valori assegnati.

Ipotesi: $\alpha_1 = 1000$ ppm/°C e $\alpha_2 = 0$.

Analisi: Un valore di +1000 ppm/°C corrisponde a:

$$\alpha_1 = \frac{10^3}{10^6} \frac{1}{^\circ\text{C}} = 10^{-3}/^\circ\text{C}$$

Il valore della resistenza a 40 °C risulta:

$$R = 10 \text{ k}\Omega \left[1 + \frac{10^{-3}}{^\circ\text{C}} (40 - 25)^\circ\text{C} \right] = 10.15 \text{ k}\Omega$$

mentre a 75°C otteniamo:

$$R = 10 \text{ k}\Omega \left[1 + \frac{10^{-3}}{^\circ\text{C}} (75 - 25)^\circ\text{C} \right] = 10.5 \text{ k}\Omega$$

Verifica dei risultati: Un valore di 1000 ppm/°C corrisponde a 0.1%/°C ovvero 10 Ω /°C per una resistenza di 10 k Ω . Una variazione di temperatura di 15 °C dovrebbe produrre una variazione di 150 Ω , mentre una variazione di temperatura di 50 °C dovrebbe produrre una variazione di 500 Ω . La soluzione sembra quindi corretta.

ESERCIZIO Quale sarebbe il valore della resistenza considerata nell'Esempio 1.7 per $T = -55$ °C e per $T = +85$ °C?

RISPOSTE 9.70 k Ω ; 10.6 k Ω .

1.9 Precisione numerica

Nel corso del nostro studio verranno effettuati molti calcoli numerici. Si rammenti che i circuiti progettati possono essere realizzati in forma discreta in laboratorio o possono essere implementati in forma di circuito integrato. Nel progettare i circuiti, si avrà a che fare con componenti che hanno una tolleranza che va da meno di $\pm 1\%$ fino ad arrivare a oltre

$\pm 50\%$; pertanto calcolare i risultati con precisione di più di tre cifre significative rappresenta un inutile esercizio, tranne che in casi molto limitati. In questo libro, quindi, i risultati sono per lo più riportati con tre cifre significative: 2.03 mA, 5.72 V, 43.6 nA e così via. Per esempio, si vedano le soluzioni nelle Equazioni (1.18), (1.23) e (1.31) ecc.

Riferimenti bibliografici

- [1] W.F. Brinkman, D.E. Haggan e W.W. Troutman, "A History of the Invention of the Transistor and Where It Will Lead Us", *IEEE Journal of Solid-State Circuits*, vol. 32, n. 12, pp. 1858-65, dicembre 1997.
- [2] www.pbs.org/transistor/sitemap.html.
- [3] *CIA Factbook*, www.cia.gov.
- [4] *Fortune Global 500*, www.fortune.com.
- [5] *Fortune 500*, www.fortune.com.
- [6] J.T. Wallmark, "The Field-Effect Transistor-An Old Device with New Promise", *IEEE Spectrum*, marzo 1964.
- [7] IEEE: www.ieee.org.
- [8] ISSCC: www.isscc.org.
- [9] IEDM: www.ieee-iedm.org.
- [10] International Technology Roadmap for Semiconductors: <http://www.itrs2.net/>
- [11] Frequency allocations: www.fcc.gov.
- [12] IEEE Solid-State Circuits Society: www.sscs.org.

Letture addizionali

Commemorative Supplement to the Digest of Technical Papers, 1993 IEEE International Solid-State Circuits Conference Digest, vol. 36, febbraio 1993.

Digest of Technical Papers of the IEEE Custom Integrated International Circuits Conference, settembre di ogni anno.

Digest of Technical Papers of the IEEE International Electronic Devices Meeting, dicembre di ogni anno.

Digest of Technical Papers of the IEEE International Solid-State Circuits Conference, febbraio di ogni anno.

Digest of Technical Papers of the IEEE International Symposia on VLSI Technology and Circuits, giugno di ogni anno.

Electronics, Special Commemorative Issue, aprile 1980.

Garratt, G.R.M., *The Early History of Radio from Faraday to Marconi*. London: Institution of Electrical Engineers (IEE), 1994.

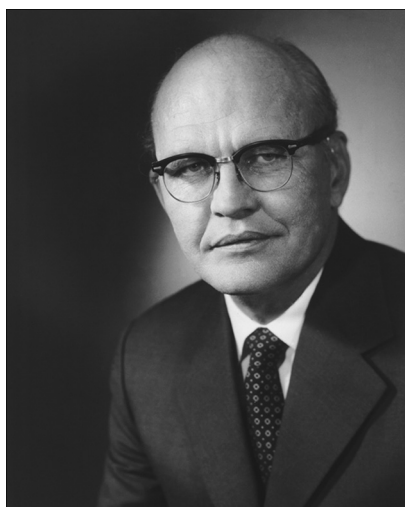
"200 Years of Progress." *Electronic Design* 24, no. 4, febbraio di ogni anno, 1976.

Obiettivi

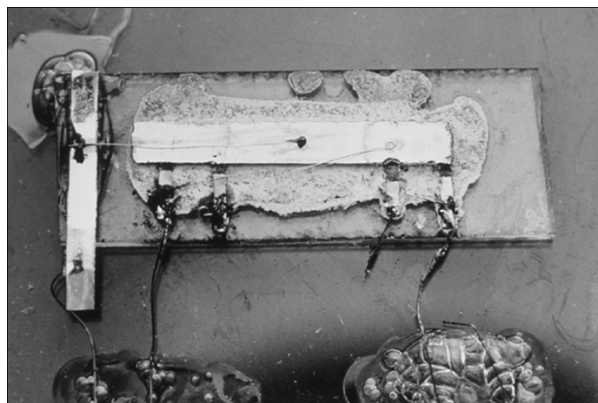
- Presentare le caratteristiche dei semiconduttori e scoprire come sia possibile controllarne le proprietà per realizzare dei dispositivi elettronici.
- Introdurre il concetto di resistività e classificare i materiali come isolanti, conduttori e semiconduttori.
- Sviluppare i modelli a legame covalente e a bande di energia per i semiconduttori.
- Presentare i concetti di ampiezza della banda proibita e di concentrazione intrinseca dei portatori.
- Analizzare il comportamento dei due portatori di carica nei semiconduttori: elettroni e lacune.
- Introdurre i concetti di impurità di tipo accettore e donatore.
- Studiare la dipendenza dal drogaggio della popolazione di elettroni e lacune.
- Introdurre le correnti di diffusione e di deriva.
- Introdurre i concetti di mobilità per bassi campi e di saturazione di velocità dei portatori.
- Discutere la dipendenza della mobilità dal livello di drogaggio.
- Presentare i processi di fabbricazione dei circuiti integrati.

Alla fine degli anni Cinquanta, Jack Kilby della Texas Instruments, Gordon Moore e Robert Noyce della Fairchild Semiconductor furono i pionieri che svilupparono i primi circuiti integrati. Dopo anni di contese giuridiche, il brevetto del circuito integrato venne attribui-

to a Jack Kilby e alla Texas Instruments e fu infine riconosciuto anche in Giappone nel 1994. Gordon Moore, Robert Noyce e Andrew Grove fondarono la Intel Corporation nel 1968. Nel 2000 Kilby ricevette il premio Nobel in fisica per l'invenzione del circuito integrato.



Jack St. Clair Kilby. [Foto per gentile concessione di Texas Instruments]



Il circuito integrato di Kilby. [Foto per gentile concessione di Texas Instruments]

Lo sviluppo dei materiali e delle tecnologie necessarie alla realizzazione dei circuiti integrati ha rivoluzionato l'elettronica e ha reso possibile la moderna rivoluzione della tecnologia dell'informazione e della comunicazione. I circuiti integrati attualmente in produzione sono realizzati su un substrato cristallino di silicio, oppure di un altro semiconduttore, e pos-

sono contenere più di un miliardo di componenti elettronici in piastrelle (chip) di area $2\text{ cm} \times 2\text{ cm}$. La maggior parte di noi ha familiarità con i componenti elettronici (come per es., processori ad alta velocità e memorie) a partire dai quali sono costruiti i personal computer. Consideriamo, per esempio, una memoria da 4 gigabit: la sola matrice di memoria contiene più di 4×10^9 transistori e 4×10^9 condensatori, ovvero più di 8 miliardi di componenti elettronici.

La realizzazione di sistemi elettronici così complessi è stata resa possibile dal continuo sviluppo dei processi tecnologici, e da una profonda comprensione dei fenomeni fisici alla base del funzionamento dei dispositivi elettronici. La fabbricazione dei circuiti integrati è un eccellente esempio di processo in cui sono necessarie conoscenze in molte discipline, quali fisica, chimica, ingegneria elettronica e dei materiali, metallurgia. Questo settore dell'ingegneria elettronica, estremamente complesso e ampio, è in pieno sviluppo.

È possibile analizzare il funzionamento dei circuiti elettronici sulla base di un approccio di tipo "a scatola chiusa" (*black box*) utilizzando un insieme di equazioni che descrivono le relazioni tra correnti e tensioni ai terminali dei dispositivi. Tuttavia, la comprensione dei meccanismi fisici alla base del funzionamento dei dispositivi consente al progettista di acquisire una sensibilità molto più profonda. La derivazione dei modelli dei dispositivi a partire dai principi fisici fondamentali consente altresì di comprendere le limitazioni e l'uso appropriato di ciascun modello. Ciò risulta particolarmente utile quando i dati sperimentali non sono in accordo con le previsioni del modello. In questo capitolo saranno illustrati i fenomeni fisici necessari per la comprensione del funzionamento dei dispositivi elettronici e per la derivazione dei relativi modelli.

Gli argomenti esposti in questo capitolo sono propedeutici alla comprensione del funzionamento dei dispositivi elettronici, trattato nei capitoli successivi. Analizzeremo anzitutto le caratteristiche principali dei materiali semiconduttori, con particolare attenzione al silicio, il materiale di gran lunga più utilizzato nella fabbricazione dei circuiti integrati. Introduciamo il concetto di conducibilità, e analizzeremo il fenomeno di conduzione nei semiconduttori; vedremo anche come sia possibile modificare la conducibilità di questi ultimi introducendo in essi delle impurità, dette droganti.

2.1 Materiali dell'elettronica a stato solido

Tabella 2.1
Classificazione in base alla resistività dei materiali a stato solido

Materiale	Resistività ρ ($\Omega \cdot \text{cm}$)
Isolanti	$10^5 < \rho$
Semiconduttori	$10^{-3} < \rho < 10^5$
Conduttori	$\rho < 10^{-3}$

I materiali utilizzati in elettronica possono essere suddivisi in tre categorie: **isolanti**, **conduttori** e **semiconduttori**. Il parametro in base al quale viene effettuata questa suddivisione è la **resistività** ρ , espressa in ohm per centimetro. Come mostrato nella Tabella 2.1, gli isolanti presentano valori di resistività maggiori di $10^5 \Omega \cdot \text{cm}$, mentre per i conduttori la resistività è inferiore a $10^{-3} \Omega \cdot \text{cm}$. Per esempio il diamante, un eccellente isolante, presenta una resistività pari a $10^{16} \Omega \cdot \text{cm}$, mentre per il rame, un buon conduttore, la resistività è pari a $3 \times 10^{-6} \Omega \cdot \text{cm}$. Nel caso dei semiconduttori la resistività assume valori compresi tra quelli relativi a isolanti e conduttori, e può essere modificata mediante l'aggiunta di impurità alla struttura cristallina del materiale.

I **semiconduttori elementari** sono formati da atomi di un solo elemento (appartenente alla IV colonna della tavola periodica degli elementi; si veda la Tabella 2.2), mentre i **semiconduttori composti** sono formati da combinazioni di elementi appartenenti alla terza e quinta colonna della tavola periodica, oppure alla seconda e sesta colonna. Questi semiconduttori sono anche detti semiconduttori composti III-V (3-5) nel primo caso, e II-VI (2-6) nel secondo. La Tabella 2.3 mostra i materiali semiconduttori più utilizzati in elettronica. Vi sono anche materiali ternari, come il telluriuro di mercurio e cadmio, l'arseniuro di gallio e alluminio, l'arseniuro di gallio e indio, il fosfuro di gallio e indio.

Il primo semiconduttore a essere utilizzato fu il germanio, che è stato poi sostituito dal silicio, il materiale semiconduttore oggi nettamente più importante. Il silicio presenta un'ampiezza della banda proibita¹ maggiore rispetto al germanio, caratteristica che ne rende possibile l'impiego a temperature più elevate. Inoltre, al contrario del germanio, il processo di ossidazione termica del silicio porta alla formazione di un ossido stabile, caratteristica molto importante nel processo di fabbricazione dei circuiti integrati. Oltre al silicio, vengono

¹ Il concetto di banda proibita verrà presentato nei Paragrafi 2.2 e 2.10.

Tabella 2.2 Sezione della tavola periodica in cui vengono mostrati i semiconduttori elementari più importanti (riquadri ombreggiati). Per ogni elemento è indicato il numero atomico (in alto a sinistra) e il peso atomico (in alto a destra).

	IIIA	IVA	VA	VIA
	5 10.811 B Boro	6 12.01115 C Carbonio	7 14.0067 N Azoto	8 15.9994 O Ossigeno
	13 26.9815 Al Alluminio	14 28.086 Si Silicio	15 30.9738 P Fosforo	16 32.064 S Zolfo
IIB	30 65.37 Zn Zinco	31 69.72 Ga Gallio	32 72.59 Ge Germanio	34 78.96 Se Selenio
	48 112.40 Cd Cadmio	49 114.82 In Indio	50 118.69 Sn Stagno	52 127.60 Te Tellurio
	80 200.59 Hg Mercurio	81 204.37 Tl Tallio	82 207.19 Pb Piombo	83 208.980 Bi Bismuto
			84 (210) Po Polonio	

Tabella 2.3 Materiali semiconduttori

Semiconduttore	Banda proibita E_G (eV)
Carbonio	5.47
Silicio	1.12
Germanio	0.66
Stagno	0.082
Nitrato di gallio	3.49
Arseniuro di gallio	1.42
Fosforo di indio	1.35
Nitrato di boro	7.50
Carburo di silicio	3.26
Silicio-germanio	1.10
Seleniuro di cadmio	1.70

oggi utilizzati in particolari applicazioni il carburo di silicio, l'arseniuro di gallio e il fosforo di indio. Questi ultimi due semiconduttori sono in particolare impiegati nelle applicazioni dell'optoelettronica: diodi a emissione di luce (LED, *Light Emitting Diode*), laser e fotorelettori.

In molti laboratori di ricerca si studia attualmente la realizzazione di materiali innovativi come diamante, nitrato di boro, carburo di silicio e silicio-germanio. Il diamante e il nitrato di boro sono eccellenti isolanti a temperatura ambiente, ma possono essere utilizzati come semiconduttori a temperature elevate (600 °C) come pure il carburo di silicio.

Aggiungendo una piccola percentuale di germanio (<10%) al silicio, si ottiene una lega silicio-germanio (SiGe) con cui è possibile realizzare dispositivi con caratteristiche migliori, compatibili con la collaudata tecnologia del silicio. La tecnologia SiGe consente di raggiungere migliori prestazioni ed è stata rapidamente introdotta nei processi di fabbricazione dei dispositivi per applicazioni a radiofrequenza (RF) utilizzati soprattutto nel mercato delle telecomunicazioni.

ESERCIZIO Quali sono i simboli chimici per antimonio, arsenico, alluminio, boro, gallio, germanio, indio, fosforo e silicio?

RISPOSTE Sb, As, Al, B, Ga, Ge, In, P, Si.

2.2 Modello a legame covalente

I materiali sono classificati come **amorfi**, **policristallini** e **cristallini** in base alle caratteristiche della distribuzione degli atomi. I materiali amorfi sono caratterizzati da una struttura completamente disordinata, mentre i cristalli presentano una distribuzione regolare degli atomi. I materiali policristallini, infine, sono costituiti da un insieme di "grani" cristallini. Per sfruttare le proprietà dei semiconduttori è tuttavia necessario utilizzare materiali in forma cristallina.

Il silicio appartiene alla quarta colonna della tavola periodica, e quindi presenta quattro elettroni di valenza nell'orbitale più esterno. Nella forma cristallina ciascun atomo di silicio forma un legame covalente con i quattro atomi più vicini, dando origine alla distribuzione periodica nello spazio mostrata in Figura 2.1. Del **modello a legame covalente** si può dare una rappresentazione bidimensionale, mostrata in Figura 2.2.

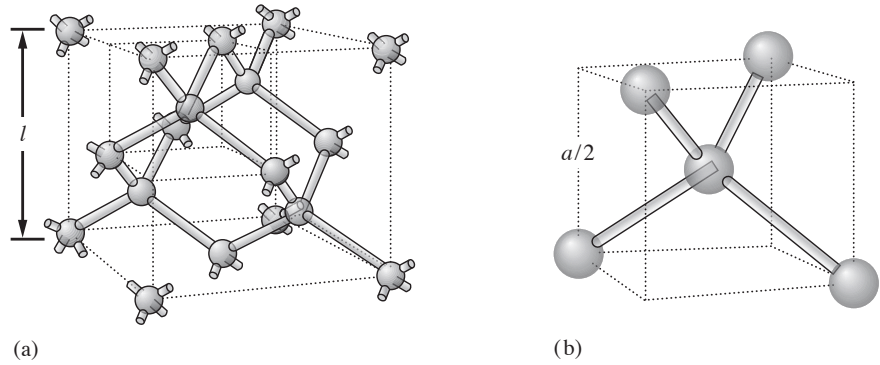


Figura 2.1 Struttura del reticolo cristallino. (a) Cella unitaria del diamante. La lunghezza del lato del cubo è pari a $l = 0.543$ nm. (b) Ingrandimento del vertice superiore del cubo della cella del reticolo del diamante, in cui vengono mostrati i legami covalenti.

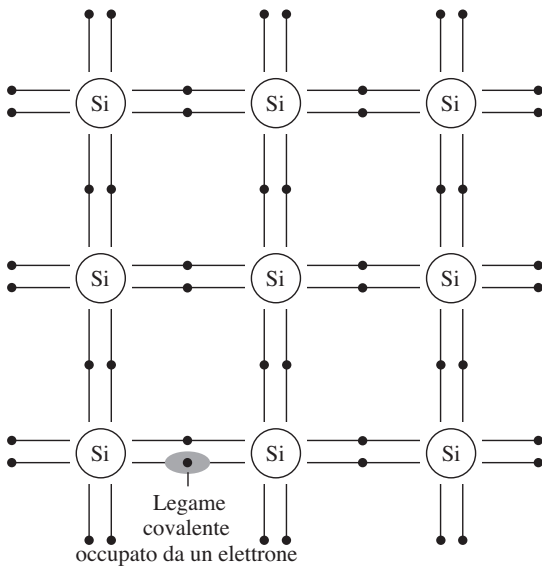


Figura 2.2 Rappresentazione bidimensionale del reticolo cristallino del silicio e dei legami covalenti. Per temperature prossime a 0 K tutti i legami sono soddisfatti, e gli orbitali più esterni sono completi.

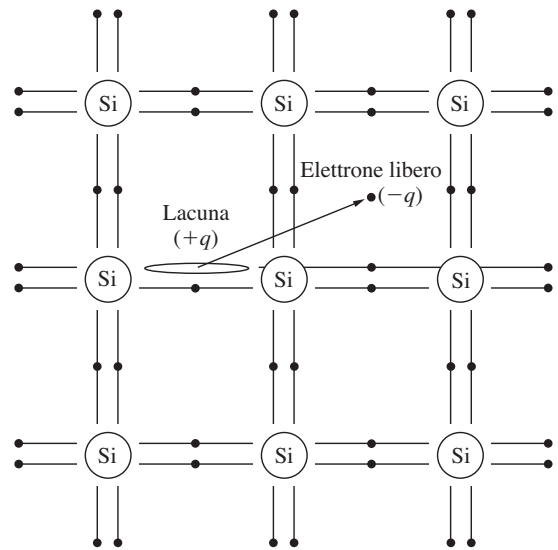
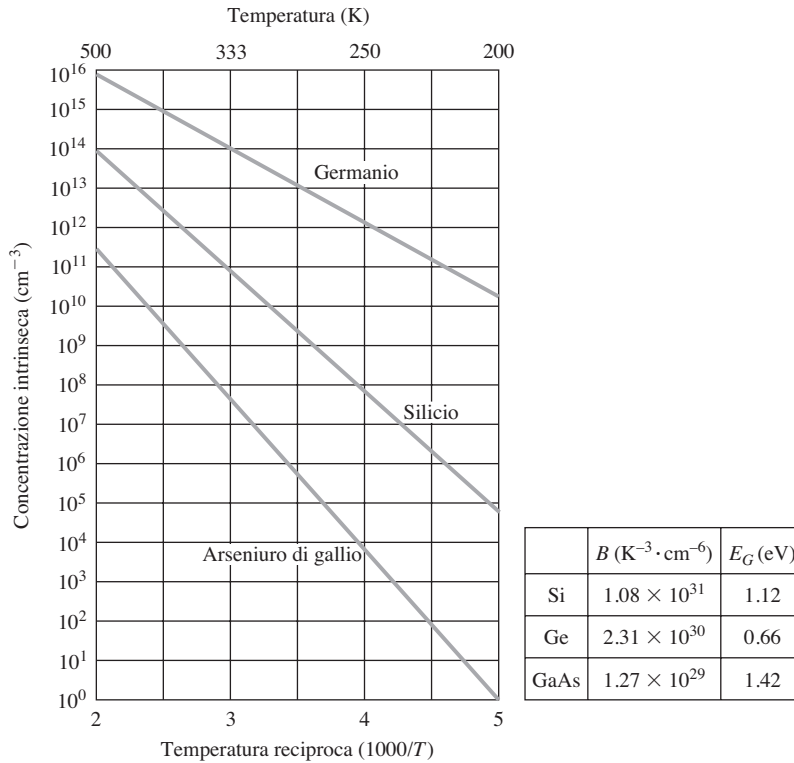


Figura 2.3 Formazione di una coppia elettrone-lacuna in seguito alla rottura di un legame covalente.

Per temperature prossime allo zero assoluto, tutti gli elettroni sono impegnati in legami covalenti con gli atomi adiacenti, sicché non vi è alcun elettrone disponibile per il processo di conduzione. Gli orbitali esterni degli atomi di silicio sono occupati, e il materiale si comporta come un isolante. Al crescere della temperatura, viene fornita energia termica al reticolo cristallino, causando la rottura di alcuni legami covalenti, sicché qualche elettrone può partecipare alla conduzione, come mostrato in Figura 2.3. La densità degli elettroni liberi è detta **concentrazione intrinseca** n_i (cm^{-3}) e dipende dal materiale e dalla temperatura secondo la seguente relazione:

$$n_i^2 = BT^3 \exp\left(-\frac{E_G}{kT}\right) \text{ cm}^{-6} \quad (2.1)$$

dove E_G = ampiezza della banda proibita del semiconduttore in eV (elettronvolt);
 k = costante di Boltzmann (8.62×10^{-5} eV/K oppure 1.38×10^{-23} J/K);
 T = temperatura assoluta in K;
 B = parametro caratteristico del materiale, pari a $1.08 \times 10^{31} \text{ K}^{-3} \text{ cm}^{-6}$ per il silicio.

**Figura 2.4**

Concentrazione intrinseca in funzione della temperatura calcolata dall'Equazione (2.1).

L'ampiezza della banda proibita E_G rappresenta il valore minimo di energia necessario a rompere un legame covalente e liberare un elettrone. La Tabella 2.3 mostra i valori dell'energia della banda proibita per diversi semiconduttori.

La densità degli *elettroni di conduzione* (o *elettroni liberi*) viene indicata con il simbolo n (in elettroni/cm³), e nel caso di un **semiconduttore intrinseco** è pari alla concentrazione intrinseca: $n = n_i$. Un semiconduttore è detto intrinseco se non contiene impurità; la concentrazione intrinseca n_i rappresenta una caratteristica del semiconduttore ed è fortemente dipendente dalla temperatura; la Figura 2.4 mostra tale dipendenza per germanio, silicio e arseniuro di gallio.

CONCENTRAZIONE INTRINSECA DEI PORTATORI

Esempio 2.1

Calcoliamo il valore di n_i nel silicio a temperatura ambiente (300 K).

PROBLEMA

Informazioni e dati noti: L'Equazione (2.1) consente di calcolare n_i (sono anche riportati k e B), mentre $E_G = 1.12$ eV dalla Tabella 2.3.

SOLUZIONE

Incognite: La concentrazione intrinseca n_i .

Approccio: La concentrazione intrinseca n_i può essere calcolata utilizzando la (2.1).

Ipotesi: $T = 300$ K a temperatura ambiente.

Analisi:

$$n_i^2 = 1.08 \times 10^{31} \text{ (K}^{-3} \cdot \text{cm}^{-6}\text{)} (300 \text{ K})^3 \exp \left[\frac{-1.12 \text{ eV}}{(8.62 \times 10^{-5} \text{ eV/K})(300 \text{ K})} \right]$$

$$n_i^2 = 4.52 \times 10^{19} / \text{cm}^6 \quad \text{o} \quad n_i = 6.73 \times 10^9 / \text{cm}^3$$

Verifica dei risultati: L'incognita è stata determinata e il valore ottenuto è in accordo con la Figura 2.4.

Discussione: Per semplicità nel seguito assumeremo $n_i = 10^{10} / \text{cm}^3$ per il valore della concentrazione intrinseca del silicio a temperatura ambiente. La densità degli atomi nel reticolo cristallino del silicio è circa pari a $5 \times 10^{22} / \text{cm}^3$. Da questo esempio si vede come a temperatura ambiente solo un legame covalente su 10^{13} sia rotto.

ESERCIZIO Si calcoli il valore di n_i nel germanio a temperatura ambiente (300 K).

RISPOSTA $2.27 \times 10^{13}/\text{cm}^3$.

Oltre all'elettrone, la rottura di un legame covalente determina la formazione di un altro portatore di carica che contribuisce al processo di conduzione, come mostrato in Figura 2.3. Quando l'elettrone, caratterizzato da una carica $-q = -1.602 \times 10^{-19}$ C, si allontana dall'atomo di silicio (per esempio a causa di un campo elettrico), lascia nel cristallo una **lacuna** (o *vacanza*) caratterizzata da una carica opposta $+q$. Un elettrone appartenente a un legame covalente adiacente può occupare il posto lasciato libero dal primo elettrone, creando una lacuna in punto diverso del semiconduttore; in questo modo la lacuna può spostarsi all'interno del cristallo, dando luogo a quello che può essere visto come il moto di una carica positiva $+q$. La **concentrazione di lacune** è indicata con il simbolo p (in lacune/ cm^3).

La rottura di un legame covalente determina quindi la formazione di due particelle cariche: una lacuna e un elettrone. Nel caso del silicio intrinseco si ha $n = n_i = p$, e il prodotto delle concentrazioni di elettroni e lacune è pari a:

$$pn = n_i^2 \quad (2.2)$$

L'Equazione (2.2), anche conosciuta come **legge dell'azione di massa**, può essere utilizzata per descrivere il prodotto pn in un semiconduttore solo se questo si trova in condizioni di **equilibrio termodinamico** (questo è un risultato molto importante che verrà utilizzato nel seguito). All'equilibrio termodinamico le proprietà del materiale dipendono solo dalla temperatura. L'Equazione (2.2) perde invece validità se il semiconduttore è sottoposto a sollecitazioni esterne, come l'esposizione a una radiazione luminosa, l'applicazione di una tensione o di una corrente.

ESERCIZIO Si calcoli la concentrazione intrinseca del silicio a 50 K e 325 K. Qual è il valore medio della lunghezza del lato del cubo che in media contiene una lacuna e un elettrone a 50 K?

RISPOSTA $4.34 \times 10^{-39}/\text{cm}^3$; $4.01 \times 10^{10}/\text{cm}^3$; 61.3×10^9 m: questo cubo ha un volume di oltre 160000 volte quello del Sole! Quando si ottiene un risultato è sempre opportuno verificarne il senso fisico.

2.3 Correnti di deriva e mobilità nei semiconduttori

2.3.1 Corrente di deriva

La resistività ρ , oppure la **conducibilità** σ (definita come il reciproco della resistività), è un parametro, specifico del materiale, che caratterizza il flusso di corrente che si verifica nel materiale stesso in seguito all'applicazione di un campo elettrico. Le particelle cariche vengono messe in movimento dal campo elettrico, dando origine a una corrente detta di *deriva* o di *trascinamento* (*drift*). La **densità della corrente di deriva**, j , è definita da:

$$j = Qv \quad (\text{C}/\text{cm}^3)(\text{cm}/\text{s}) = \text{A}/\text{cm}^2 \quad (2.3)$$

dove j = densità di corrente², la carica espressa in coulomb che attraversa una sezione di area unitaria;

Q = densità di carica², la carica contenuta nel volume unitario;

v = velocità delle cariche dovuta all'applicazione del campo elettrico.

Allo scopo di determinare la densità di carica, studieremo dapprima la struttura del silicio utilizzando il modello a legame covalente e il modello a bande di energia. Successivamente troveremo una relazione tra la velocità di deriva e il campo elettrico.

² Si noti che il termine "densità" può avere diversi significati: la densità di corrente si riferisce a un'area unitaria, la densità di carica a un volume unitario.

2.3.2 Mobilità

Come abbiamo osservato poc'anzi, in presenza di un campo elettrico le particelle cariche si muovono (moto di deriva o di trascinamento), e la corrente che si genera prende il nome di corrente di deriva. Le cariche positive si muovono nello stesso verso del campo elettrico, mentre quelle negative si muovono in verso opposto. Per bassi valori del campo, la velocità di deriva v (cm/s) è proporzionale al campo elettrico E (V/cm); la costante di proporzionalità è detta **mobilità** μ :

$$v_n = -\mu_n E \quad \text{e} \quad v_p = \mu_p E \quad (2.4)$$

dove v_n = velocità di deriva degli elettroni (cm/s);

v_p = velocità di deriva delle lacune (cm/s);

μ_n = **mobilità degli elettroni**, $1420 \text{ cm}^2/(\text{V} \cdot \text{s})$ nel silicio intrinseco;

μ_p = **mobilità delle lacune**, $470 \text{ cm}^2/(\text{V} \cdot \text{s})$ nel silicio intrinseco.

Ragionando in modo intuitivo, possiamo aspettarci che la mobilità delle lacune sia inferiore, in quanto queste sono vincolate a muoversi tra i legami covalenti, mentre gli elettroni sono liberi di muoversi attraverso il cristallo.

ESERCIZIO Si calcoli la velocità di deriva di una lacuna per un campo elettrico di 10 V/cm . Qual è la velocità di un elettrone in un campo di 1000 V/cm ? Si calcoli il campo elettrico in un resistore assumendo che la lunghezza del resistore sia pari a $2 \mu\text{m}$ e che la tensione applicata sia pari a 1 V .

RISPOSTA $4.70 \times 10^3 \text{ cm/s}$; $-1.42 \times 10^6 \text{ cm/s}$; $5.00 \times 10^3 \text{ V/cm}$.

2.3.3 Saturazione della velocità di deriva

Come è noto, la velocità dei portatori non può essere arbitrariamente elevata, e certamente non può superare la velocità della luce. Nel silicio, per esempio, la relazione lineare tra velocità e campo elettrico espressa dalla (2.4) risulta valida solo per valori del campo elettrico inferiori a circa 5000 V/cm ovvero $0.5 \text{ V}/\mu\text{m}$. Per valori superiori la velocità di deriva dei portatori tende a saturare, come mostrato in Figura 2.5. Per bassi campi la pendenza del grafico rappresenta la mobilità, come espresso dall'Equazione (2.4).

Per valori del campo elettrico superiori a circa $3 \times 10^4 \text{ V/cm}$ la velocità dei portatori nel silicio raggiunge un valore costante detto **velocità di saturazione** v_{SAT} . Per gli elettroni e le lacune nel silicio v_{SAT} è circa pari a 10^7 cm/s . Il fenomeno della saturazione della velocità di deriva rappresenta in ultima analisi un limite alla risposta in frequenza dei dispositivi a stato solido.

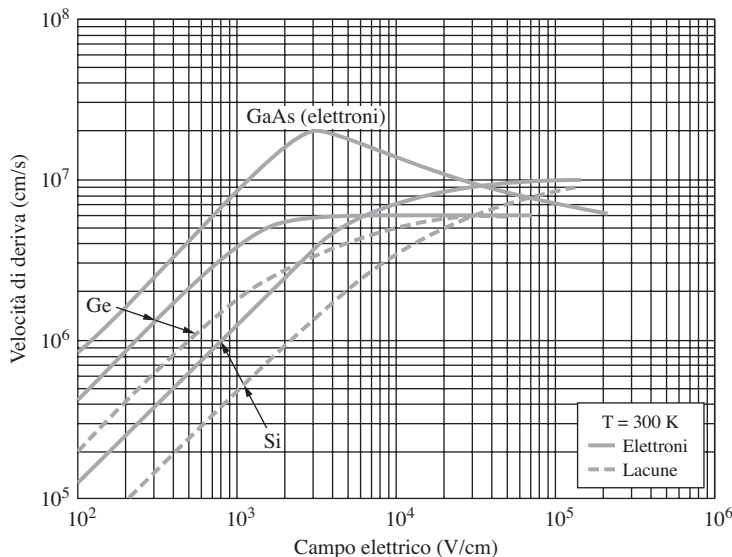


Figura 2.5

Velocità di deriva in funzione del campo elettrico a 300 K per alcuni semiconduttori. [S. M. Sze, *Semiconductor Devices: Physics and Technology*, 1985. © 1985 Wiley & Sons. Riprodotta con permesso.]

ESERCIZIO Qual è la massima velocità di deriva degli elettroni e delle lacune nel germanio? Quanto valgono le mobilità per bassi campi? Qual è la massima velocità di deriva degli elettroni nell'arseniuro di gallio? Quanto vale la mobilità degli elettroni per bassi campi?

RISPOSTA 6×10^6 cm/s, $4300 \text{ cm}^2/(\text{V} \cdot \text{s})$, $2100 \text{ cm}^2/(\text{V} \cdot \text{s})$; 2×10^7 cm/s, $8500 \text{ cm}^2/(\text{V} \cdot \text{s})$.

2.4 Resistività del silicio intrinseco

Possiamo ora determinare le densità di corrente di elettroni j_n^{drift} e di lacune j_p^{drift} . Per semplicità si farà riferimento al caso di flusso diretto lungo una sola direzione, evitando la notazione vettoriale utilizzata nelle (2.3)-(2.4):

$$\begin{aligned} j_n^{\text{drift}} &= Q_n v_n = (-qn)(-\mu_n E) = qn\mu_n E & \text{A/cm}^2 \\ j_p^{\text{drift}} &= Q_p v_p = (+qp)(+\mu_p E) = qp\mu_p E & \text{A/cm}^2 \end{aligned} \quad (2.5)$$

in cui $Q_n = (-qn)$ e $Q_p = (+qp)$ rappresentano le densità di carica (C/cm^3) rispettivamente per elettroni e lacune. La corrente di deriva complessiva è quindi data da:

$$j_T^{\text{drift}} = j_n + j_p = q(n\mu_n + p\mu_p)E = \sigma E \quad \text{A/cm}^2 \quad (2.6)$$

dove la **conducibilità elettrica** è definita da:

$$\sigma = q(n\mu_n + p\mu_p) \quad (\Omega \cdot \text{cm})^{-1} \quad (2.7)$$

La resistività è pari al reciproco della conducibilità:

$$\rho = \frac{1}{\sigma} \quad (\Omega \cdot \text{cm}) \quad (2.8)$$

Si noti come, in base alla (2.6), le unità della resistività ($\Omega \cdot \text{cm}$) corrispondano al rapporto tra campo elettrico e densità di corrente:

$$\rho = \frac{E}{j_T^{\text{drift}}} \quad \text{e} \quad \frac{\text{V/cm}}{\text{A/cm}^2} = \Omega \cdot \text{cm} \quad (2.9)$$

Esempio 2.2

RESISTIVITÀ DEL SILICIO INTRINSECO

Si determini se il silicio intrinseco è un isolante, un semiconduttore o un isolante alla temperatura ambiente, valutandone la sua resistività.

PROBLEMA Determinare il valore della resistività del silicio intrinseco a temperatura ambiente e verificare se risulti isolante, semiconduttore oppure conduttore.

SOLUZIONE **Informazioni e dati noti:** Le mobilità dei portatori nel silicio intrinseco sono riportate dopo l'Equazione (2.4). Per il silicio intrinseco le concentrazioni di elettroni e lacune sono pari a n_i .

Incognite: La resistività ρ e la classificazione del materiale.

Approccio: La conducibilità e la resistività possono essere determinate rispettivamente dalle (2.7) e (2.8).

Ipotesi: La temperatura non è stata specificata; assumeremo temperatura ambiente e $n_i = 10^{10}/\text{cm}^3$.

Analisi: Per il silicio intrinseco la densità di carica relativa agli elettroni è pari a $Q_n = -q n_i$, mentre per le lacune si ha $Q_p = +q n_i$. Sostituendo tali risultati nella (2.7) si ottiene:

$$\begin{aligned} \sigma &= (1.60 \times 10^{-19})[(10^{10})(1420) + (10^{10})(470)] \quad (\text{C})(\text{cm}^{-3})(\text{cm}^2/\text{V} \cdot \text{s}) \\ &= 3.02 \times 10^{-6} (\Omega \cdot \text{cm})^{-1} \end{aligned}$$

La resistività ρ è pari al reciproco della conducibilità e quindi per il silicio intrinseco risulta:

$$\rho = \frac{1}{\sigma} = 3.31 \times 10^5 \, \Omega \cdot \text{cm}$$

Dalla Tabella 2.1 si vede che il silicio intrinseco può essere considerato come un isolante, benché sia prossimo all'estremo inferiore dell'intervallo di resistività caratteristico degli isolanti.

Verifica dei risultati: L'incognita è stata determinata, e si è verificato che il silicio intrinseco può essere considerato come un isolante con resistività relativamente bassa.

ESERCIZIO Si calcoli la resistività del silicio intrinseco a 400 K e si verifichi se il materiale risulti isolante, semiconduttore oppure conduttore. Si utilizzino per le mobilità i valori indicati nell'Esempio 2.2.

RISPOSTE $1420 \, \Omega \cdot \text{cm}$, semiconduttore.

ESERCIZIO Si calcoli la resistività del silicio intrinseco a 50 K se la mobilità degli elettroni è pari a $6500 \, \text{cm}^2/(\text{V} \cdot \text{s})$ e la mobilità delle lacune risulta $2000 \, \text{cm}^2/(\text{V} \cdot \text{s})$.

RISPOSTA $1.69 \times 10^{53} \, \Omega \cdot \text{cm}$.

2.5 Impurità nei semiconduttori

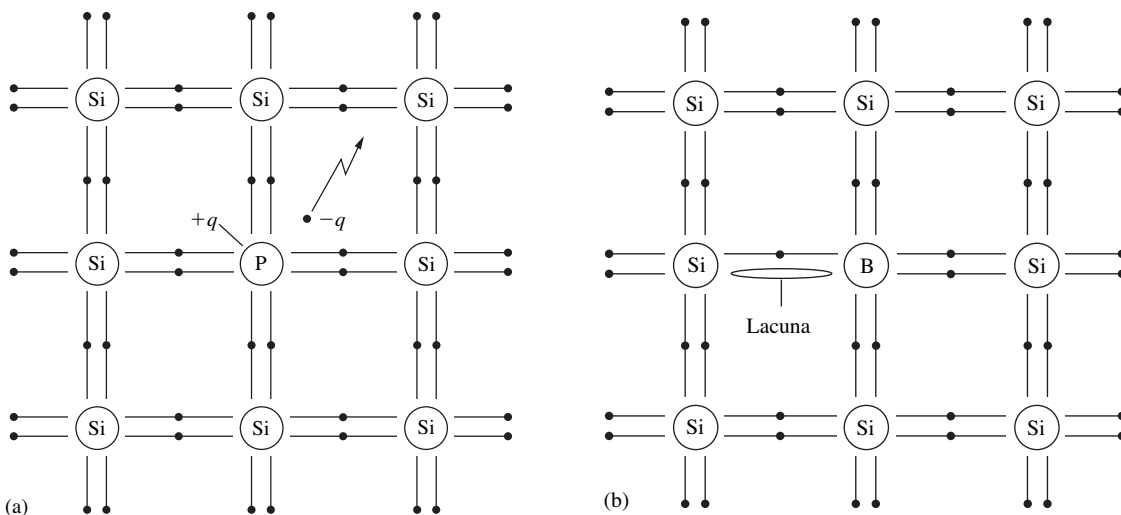
Una delle proprietà più vantaggiose dei semiconduttori è costituita dal fatto che la conducibilità del semiconduttore può essere modificata introducendo nel materiale degli atomi di **impurità** attraverso un processo chiamato **drogaggio**. In un **semiconduttore drogato**, o **estrinseco**, la resistività può assumere valori compresi in un intervallo molto ampio, e si può fare in modo che la resistività sia determinata dalla concentrazione di elettroni oppure dalla concentrazione di lacune. Benché nell'analisi che segue faremo riferimento al silicio, i concetti esposti sono validi anche per altri semiconduttori. Le impurità utilizzate per il drogaggio del silicio appartengono alla terza e alla quinta colonna della tavola periodica.

2.5.1 Impurità di tipo donatore per il silicio

Le **impurità di tipo donatore** per il silicio sono costituite da elementi appartenenti alla quinta colonna della tavola periodica degli elementi, e presentano cinque elettroni di valenza. Gli elementi più utilizzati sono il fosforo, l'arsenico e l'antimonio. Quando un atomo donatore occupa il posto di un atomo di silicio nella struttura cristallina, come mostrato in Figura 2.6(a), quattro dei cinque elettroni dell'orbitale più esterno formano lega-

Figura 2.6

(a) Un atomo donatore (fosforo) cede un elettrone.
(b) Presenza di una lacuna associata a un atomo accettore (boro).



mi covalenti, sicché è sufficiente un'energia termica relativamente modesta per ionizzare il quinto elettrone, che diventa disponibile per il processo di conduzione. A temperatura ambiente, praticamente tutti gli atomi donatori cedono un elettrone. Quando un atomo donatore cede un elettrone, diventa uno ione positivo con carica pari a $+q$, che occupa una posizione fissa nel reticolo cristallino (al contrario dell'elettrone che può muoversi, per esempio per effetto di un campo elettrico).

2.5.2 Impurità di tipo accettore per il silicio

Le **impurità di tipo accettore** nel silicio sono costituite da atomi di elementi della terza colonna della tavola periodica, con tre elettroni di valenza. La Figura 2.6(b) mostra un atomo di boro, l'impurità di tipo accettore più utilizzata, che sostituisce un atomo di silicio nel reticolo cristallino. Un elettrone che si trova nelle vicinanze dell'atomo di boro può essere facilmente "accettato" in modo da formare quattro legami covalenti con gli atomi di silicio adiacenti. Questo processo, evidentemente, porta alla formazione di una lacuna, che può spostarsi all'interno del reticolo cristallino, come mostrato in Figura 2.7(a) e (b). Si comprende anche come la lacuna possa essere assimilata a una particella con carica positiva pari a $+q$. Per converso, l'atomo di boro acquista una carica negativa pari a $-q$, e assume una posizione fissa nel reticolo cristallino, come mostrato in Figura 2.7(a).

2.6 Concentrazioni degli elettroni e delle lacune nei semiconduttori estrinseci

In questo paragrafo mostreremo come sia possibile calcolare la **concentrazione di elettroni e lacune** in un semiconduttore drogato o estrinseco. A differenza di quanto si verifica in un semiconduttore intrinseco, in un semiconduttore drogato la concentrazione di elettroni assume un valore diverso rispetto alla concentrazione di lacune. Nel caso in cui risulti $n > p$, il semiconduttore è detto di **tipo n**, mentre è detto di **tipo p** se $p > n$. Il portatore che assume il valore maggiore di concentrazione è detto **portatore maggioritario**, mentre l'altro è detto **minoritario**.

Le concentrazioni di atomi donatori e accettori sono indicate con i simboli

N_D = **concentrazione di atomi donatori** atomi/cm³

N_A = **concentrazione di atomi accettori** atomi/cm³

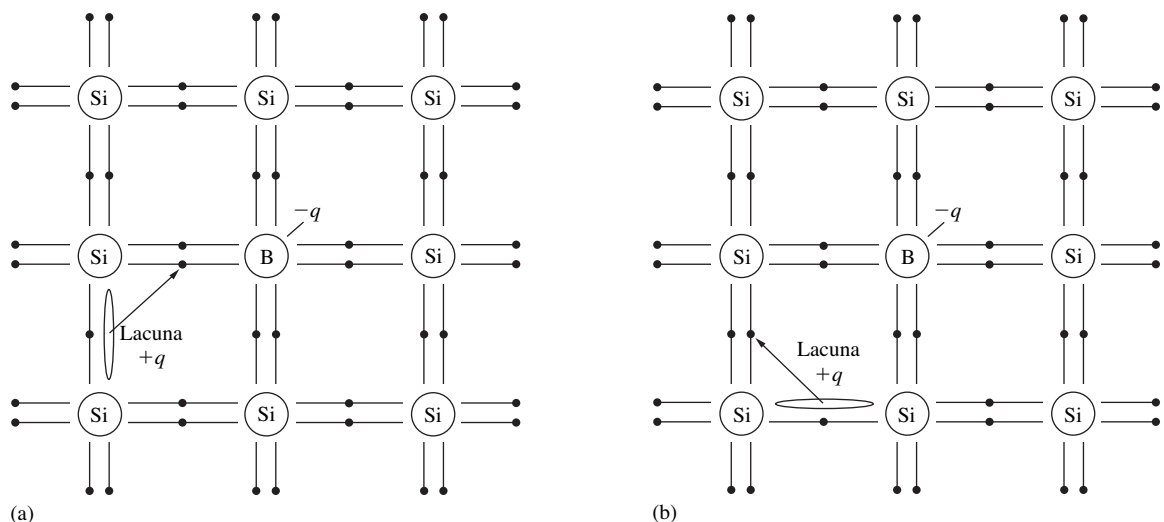


Figura 2.7 (a) Formazione di una lacuna in seguito al passaggio di un elettrone da un atomo di silicio a uno di accettore (boro). (b) Moto della lacuna nel reticolo cristallino del silicio.

Osserviamo inoltre che la densità di carica nel semiconduttore deve essere nulla, ovvero la somma delle cariche positive deve uguagliare la somma delle cariche negative. La **neutralità della carica** può essere espressa matematicamente dalla relazione:

$$q(N_D + p - N_A - n) = 0 \quad (2.10)$$

Abbiamo prima osservato che in un semiconduttore intrinseco il prodotto pn è pari a n_i^2 in condizioni di equilibrio termodinamico [Equazione (2.2)]. Si può dimostrare che la relazione $pn = n_i^2$ rimane valida anche per un semiconduttore drogato all'equilibrio termodinamico.

2.6.1 Semiconduttore di tipo n ($N_D > N_A$)

Risolviendo la (2.2) rispetto a p , e sostituendo il risultato nella (2.10) si ottiene un'equazione quadratica nell'incognita n :

$$n^2 - (N_D - N_A)n - n_i^2 = 0$$

Risolviendo rispetto a n si ottiene:

$$n = \frac{(N_D - N_A) + \sqrt{(N_D - N_A)^2 + 4n_i^2}}{2} \quad \text{e} \quad p = \frac{n_i^2}{n} \quad (2.11)$$

Nella maggior parte dei casi risulta $(N_D - N_A) \gg 2n_i$, sicché n può essere approssimativamente espressa da $n \approx (N_D - N_A)$. Le Equazioni (2.11) devono essere utilizzate quando $N_D > N_A$ poiché in questo caso si rivelano più numericamente accurate delle successive Equazioni (2.12).

2.6.2 Semiconduttore di tipo p ($N_A > N_D$)

Nel caso $N_A > N_D$, si risolve la (2.2) rispetto a n , e sostituendo il risultato nella (2.10) si ottiene un'equazione quadratica nell'incognita p , che risolta fornisce:

$$p = \frac{(N_A - N_D) + \sqrt{(N_A - N_D)^2 + 4n_i^2}}{2} \quad \text{e} \quad n = \frac{n_i^2}{p} \quad (2.12)$$

Nella maggior parte dei casi risulta $(N_A - N_D) \gg 2n_i$, sicché la concentrazione di lacune p può essere approssimativamente espressa da $p \approx (N_A - N_D)$. Le Equazioni (2.12) devono essere utilizzate quando $N_A > N_D$ poiché in questo caso si rivelano numericamente più accurate delle Equazioni (2.11).

A causa delle limitazioni relative ai processi di drogaggio, le concentrazioni di impurità sono usualmente comprese nell'intervallo da 10^{14} atomi/cm³ a 10^{21} atomi/cm³. Si vede, quindi, come a temperatura ambiente le concentrazioni di atomi accettori o donatori nel silicio risultino molto maggiori rispetto alla concentrazione intrinseca. In tal caso le concentrazioni dei portatori maggioritari risultano determinate dalle concentrazioni di impurità: $n \approx (N_D - N_A)$ nel caso $N_D > N_A$, e $p \approx (N_A - N_D)$ nel caso $N_A > N_D$.



NOTA PROGETTUALE

Livelli di drogaggio

La concentrazione dei portatori maggioritari in un semiconduttore estrinseco è determinata nella fase di realizzazione del cristallo in funzione della scelta del livello del drogaggio, e risulta indipendente dalla temperatura.

Di contro la concentrazione dei portatori minoritari, benché piccola, risulta proporzionale a n_i^2 , ed è quindi fortemente dipendente dalla temperatura. Per i valori usuali di drogaggio risulta:

Semiconduttori di tipo n ($N_D > N_A$):

$$n \approx N_D - N_A \quad p = \frac{n_i^2}{N_D - N_A}$$

Semiconduttori di tipo p ($N_A > N_D$):

$$p \approx N_A - N_D \quad n = \frac{n_i^2}{N_A - N_D}$$

La concentrazione di drogaggio è usualmente compresa nell'intervallo:

$$10^{14}/\text{cm}^3 \leq |N_A - N_D| \leq 10^{21}/\text{cm}^3$$

Esempio 2.3**CONCENTRAZIONE DI ELETTRONI E LACUNE**

PROBLEMA Determinare le concentrazioni di elettroni e lacune per un campione di silicio a temperatura ambiente drogato con boro con concentrazione pari a $10^{16}/\text{cm}^3$ e fosforo con concentrazione pari a $2 \times 10^{15}/\text{cm}^3$.

SOLUZIONE **Informazioni e dati noti:** Sono assegnate le concentrazioni di boro e fosforo, nonché la temperatura.

Incognite: Le concentrazioni dei portatori n e p .

Approccio: Identificare le concentrazioni di atomi donatori e accettori; quindi calcolare n e p utilizzando in modo appropriato le (2.11) e (2.12).

Ipotesi: A temperatura ambiente assumiamo $n_i = 10^{10}/\text{cm}^3$.

Analisi: Dalla Tabella 2.2 si vede che il boro è un'impurità di tipo accettore, mentre il fosforo è di tipo donatore. Si ha quindi:

$$N_A = 10^{16}/\text{cm}^3 \quad \text{e} \quad N_D = 2 \times 10^{15}/\text{cm}^3$$

Poiché $N_A > N_D$, il materiale è di tipo p , e risulta $(N_A - N_D) = 8 \times 10^{15}/\text{cm}^3$. Essendo $n_i = 10^{10}/\text{cm}^3$, si ha $(N_A - N_D) \gg n_i$, sicché possiamo utilizzare la forma semplificata delle (2.12):

$$p \approx (N_A - N_D) = 8.00 \times 10^{15} \text{ lacune}/\text{cm}^3$$

$$n = n_i^2/p = \frac{10^{20}/\text{cm}^6}{8.00 \times 10^{15}/\text{cm}^3} = 1.25 \times 10^4 \text{ elettroni}/\text{cm}^3$$

Verifica dei risultati: Abbiamo determinato le concentrazioni dei portatori. Come ulteriore verifica possiamo valutare il prodotto pn : $pn = 10^{20}/\text{cm}^6$ che risulta pari a n_i^2 .

ESERCIZIO Si calcolino le concentrazioni di portatori in un campione di silicio a 400 K, drogato con boro con concentrazione pari a $10^{16}/\text{cm}^3$ e fosforo con concentrazione pari a $2 \times 10^{15}/\text{cm}^3$.

RISPOSTE $p = 8.00 \times 10^{15}/\text{cm}^3$, $n = 6.75 \times 10^8/\text{cm}^3$ (a 400 K $n_i = 2.32 \times 10^{12}/\text{cm}^3$).

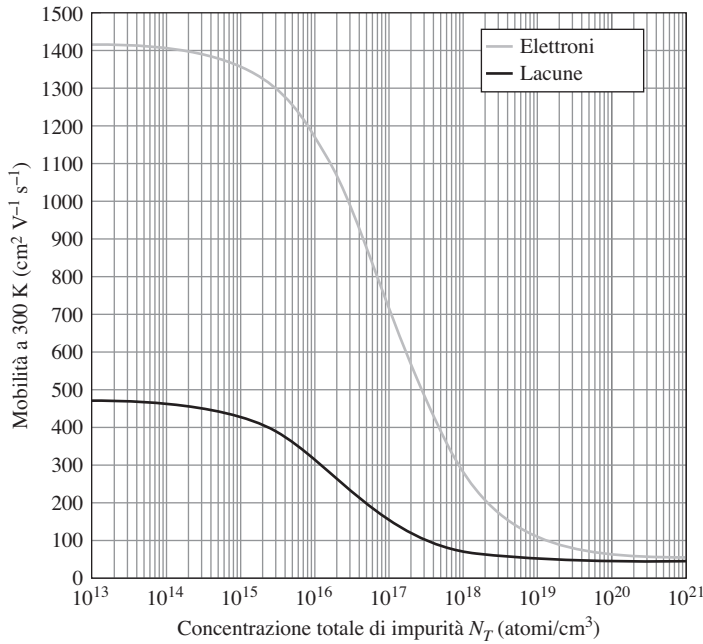
ESERCIZIO Un campione di silicio è drogato con antimonio con concentrazione pari a $2 \times 10^{16}/\text{cm}^3$. L'antimonio è un'impurità di tipo accettore o donatore? Calcolare le concentrazioni di portatori a 300 K. Il campione è di tipo n o p ?

RISPOSTE Donatore; $n = 2 \times 10^{16}/\text{cm}^3$; $p = 5 \times 10^3/\text{cm}^3$; di tipo n .

Ci si potrebbe domandare perché sia necessario tener conto dei portatori minoritari, essendo la loro concentrazione tipicamente molto ridotta. In effetti, come vedremo tra breve, i portatori maggioritari non solo determinano la resistività di un semiconduttore, ma sono anche i portatori responsabili del funzionamento dei transistori a effetto di campo (FET). D'altra parte, i portatori minoritari assumono un ruolo fondamentale nel funzionamento di altri dispositivi quali i diodi a giunzione e i transistori bipolari; quindi, per progettare i molteplici dispositivi a stato solido, occorre capire come agiscono sia le concentrazioni di portatori maggioritari che quelle dei portatori minoritari.

2.7 Mobilità e resistività nei semiconduttori estrinseci

La presenza di atomi di impurità in un semiconduttore provoca la riduzione della mobilità dei portatori rispetto ai valori relativi al semiconduttore intrinseco. Gli atomi delle impurità infatti presentano dimensioni diverse da quelle degli atomi di silicio; pertanto, quando atomi di silicio sono sostituiti da atomi di impurità, la perfetta periodicità del reticolo cristallino viene alterata. Gli atomi delle impurità, inoltre, sono ionizzati, e interagiscono con gli elettroni e le lacune modificandone la traiettoria quando i portatori si trovano in prossimità dell'impurità. Entrambi i fenomeni determinano una riduzione della mobilità dei portatori.

**Figura 2.8**

Dipendenza della mobilità di elettroni e lacune dalla concentrazione totale di impurità nel silicio a 300 K.

Espressioni approssimate

$$\mu_n = 52.2 + \frac{1365}{1 + \left(\frac{N_T}{9.68 \times 10^{16}} \right)^{0.68}}$$

$$\mu_p = 44.9 + \frac{426}{1 + \left(\frac{N_T}{2.23 \times 10^{16}} \right)^{0.72}}$$

La Figura 2.8 mostra la dipendenza della mobilità dalla concentrazione *totale* delle impurità $N_T = (N_A + N_D)$ nel silicio. Si vede come la mobilità diminuisca rapidamente all'aumentare della concentrazione di impurità. La mobilità in un semiconduttore molto drogato può risultare anche dieci volte inferiore al valore assunto a basse concentrazioni di drogaggio. D'altra parte, l'incremento del drogaggio determina un incremento della concentrazione di portatori. Poiché questo effetto prevale sulla riduzione della mobilità, la conducibilità del semiconduttore aumenta all'aumentare del drogaggio.

ESERCIZIO Qual è la mobilità degli elettroni e delle lacune in un campione di silicio con concentrazione di atomi accettori pari a $10^{16}/\text{cm}^3$?

RISPOSTE $1180 \text{ cm}^2/(\text{V} \cdot \text{s})$; $318 \text{ cm}^2/(\text{V} \cdot \text{s})$.

ESERCIZIO Qual è la mobilità degli elettroni e delle lacune in un campione di silicio con concentrazione di atomi accettori pari a $4 \times 10^{16}/\text{cm}^3$ e una concentrazione di atomi donatori di $6 \times 10^{16}/\text{cm}^3$?

RISPOSTE $727 \text{ cm}^2/(\text{V} \cdot \text{s})$; $153 \text{ cm}^2/(\text{V} \cdot \text{s})$.

Ricordiamo inoltre che le impurità stabiliscono anche se il semiconduttore è di tipo *p* oppure di tipo *n*. Nei semiconduttori drogati, inoltre, è possibile esprimere la conducibilità attraverso una semplice relazione. In corrispondenza dei valori usuali di drogaggio, in un semiconduttore estrinseco di tipo *n* risulta $\mu_n n \gg \mu_p p$ (caso considerato nell'Esempio 2.4), mentre in un semiconduttore di tipo *p* si ha $\mu_p p \gg \mu_n n$. Pertanto, la conducibilità dipende dalla concentrazione dei portatori maggioritari e quindi dal drogaggio:

$$\begin{aligned} \sigma &\approx q\mu_n n \approx q\mu_n (N_D - N_A) && \text{per semiconduttore di tipo } n \\ \sigma &\approx q\mu_p p \approx q\mu_p (N_A - N_D) && \text{per semiconduttore di tipo } p \end{aligned} \quad (2.13)$$

Nell'esempio che segue analizziamo la dipendenza della resistività dal drogaggio.

CALCOLO DELLA RESISTIVITÀ NEL SILICIO ESTRINSECO

Esempio 2.4

Si calcoli la resistività in un campione di silicio drogato con atomi donatori con concentrazione pari a $4 \times 10^{15}/\text{cm}^3$. Si classifichi il campione come isolante, semiconduttore o conduttore.

PROBLEMA

Informazioni e dati noti: $N_D = 4 \times 10^{15}/\text{cm}^3$.

SOLUZIONE

Incognite: La resistività ρ il cui calcolo richiede la valutazione delle concentrazioni dei portatori n e p , e delle mobilità μ_n e μ_p ; polarità del materiale.

Approccio: Si calcolino le concentrazioni dei portatori nonché μ_n e μ_p , sulla base della concentrazione di drogaggio; si sostituiscano i valori ottenuti nell'espressione di σ .

Ipotesi: Poiché il valore di N_A non è stato menzionato assumeremo $N_A = 0$. Assumeremo inoltre temperatura ambiente e $n_i = 10^{10}/\text{cm}^3$.

Analisi: In questo caso risulta $N_D > N_A$, con valore molto maggiore di n_i , pertanto:

$$n = N_D = 4 \times 10^{15}/\text{cm}^3 \text{ elettroni}/\text{cm}^3$$

$$p = \frac{n_i^2}{n} = 10^{20}/(4 \times 10^{15}) \text{ lacune}/\text{cm}^3 = 2.5 \times 10^4 \text{ lacune}/\text{cm}^3$$

Poiché $n > p$, il campione è di tipo n . Dalla Figura 2.8 le mobilità dei portatori in corrispondenza di una concentrazione di impurità di $2 \times 10^{15}/\text{cm}^3$ sono pari a:

$$\mu_n = 1280 \text{ cm}^2/(\text{V} \cdot \text{s}) \quad \text{e} \quad \mu_p = 375 \text{ cm}^2/(\text{V} \cdot \text{s})$$

La conducibilità e la resistività risultano quindi:

$$\sigma = 1.6 \times 10^{-19} [(1280)(4 \times 10^{15}) + (375)(2.5 \times 10^4)](\Omega \cdot \text{cm})^{-1} = 0.817 (\Omega \cdot \text{cm})^{-1}$$

e

$$\rho = 1/\sigma = 1.22 \Omega \cdot \text{cm}$$

Verifica dei risultati: Abbiamo determinato le incognite.

Discussione: Confrontando questi risultati con quelli ottenuti per il silicio intrinseco si vede che a causa dell'introduzione di una piccola percentuale di atomi di impurità, la resistività varia di 5 ordini di grandezza, passando da un valore caratteristico di un isolante a un valore intermedio nell'intervallo caratteristico dei semiconduttori. Pertanto è lecito aspettarsi che un ulteriore incremento della concentrazione di drogante possa rendere il campione conduttore (si veda l'esercizio dopo l'Esempio 2.5). Si noti che la concentrazione di drogante in questo esempio corrisponde a una sostituzione inferiore un atomo di drogante ogni 10 milioni di atomi del cristallo di silicio.

Esempio 2.5

IL DROGAGGIO DELLE FETTE – UN CALCOLO PER TENTATIVI

PROBLEMA La resistività di un campione di silicio contenente solo atomi donatori è pari a $0.025 \Omega \cdot \text{cm}$. Si determini la concentrazione di atomi donatori N_D .

SOLUZIONE **Informazioni e dati noti:** La fetta è di tipo n ; la resistività è pari a $0.025 \Omega \cdot \text{cm}$.

Incognite: La concentrazione di atomi donatori N_D richiesta per ottenere il valore assegnato di resistività.

Approccio: Per risolvere questo problema è necessario ricorrere a una procedura per tentativi. A causa del basso valore della conducibilità possiamo assumere:

$$\sigma = q\mu_n n = q\mu_n N_D \quad \text{e quindi} \quad \mu_n N_D = \frac{\sigma}{q}$$

La mobilità è funzione della concentrazione di drogaggio, ma la dipendenza è espressa in forma grafica e non analitica. Questo tipo di problema è abbastanza frequente nei problemi dell'ingegneria, e occorre utilizzare una procedura per tentativi basata in parte su calcoli e in parte su un'analisi grafica. Occorre a tale scopo definire una successione opportuna di passi, che vengono svolti in modo iterativo, fino a che la soluzione viene raggiunta. Un possibile metodo per risolvere questo problema è il seguente:

1. Si sceglie un valore di N_D .
2. Si determina la mobilità μ_n usando le equazioni riportate in Figura 2.8.
3. Si calcola il prodotto $\mu_n N_D$.
4. Se il valore di $\mu_n N_D$ non è sufficientemente prossimo al valore desiderato si torna al passo 1.

Ovviamente i valori di N_D devono essere scelti in modo opportuno affinché la procedura converga dopo pochi tentativi.

Ipotesi: Assumeremo che la fetta contenga solo atomi donatori.

Analisi: Per il caso in esame si ha:

$$\frac{\sigma}{q} = (0.025 \times 1.6 \times 10^{-19})^{-1} (\text{V} \cdot \text{s} \cdot \text{cm})^{-1} = 2.50 \times 10^{20} (\text{V} \cdot \text{s} \cdot \text{cm})^{-1}$$

Assumendo un valore di tentativo $N_D = 1 \times 10^{18}/\text{cm}^3$ si ottiene:

N_D		μ_n	$\mu_n N_D$
Tentativo	(cm^{-3})	($\text{cm}^2/(\text{V} \cdot \text{s})$)	($\text{V} \cdot \text{s} \cdot \text{cm})^{-1}$)
1	1.00×10^{18}	2.84×10^2	2.84×10^{20}
2	8.81×10^{17}	3.01×10^2	2.65×10^{20}
3	8.31×10^{17}	3.09×10^2	2.57×10^{20}
4	8.09×10^{17}	3.13×10^2	2.53×10^{20}
5	7.99×10^{17}	3.15×10^2	2.51×10^{20}
6	7.95×10^{17}	3.15×10^2	2.51×10^{20}
7	7.92×10^{17}	3.16×10^2	2.50×10^{20}

Dopo sei iterazioni si trova $N_D = 7.92 \times 10^{17}$ atomi donatori/ cm^3 .

Verifica dei risultati: Abbiamo determinato l'incognita richiesta. Il valore ottenuto $N_D = 7.92 \times 10^{17}/\text{cm}^3$ appartiene all'intervallo di valori realizzabili in pratica.

ESERCIZIO Qual è il minimo valore della concentrazione di donatori richiesto affinché un campione di silicio risulti conduttore a temperatura ambiente? Si calcoli il valore delle resistività (per il calcolo della mobilità si usino le equazioni riportate in Figura 2.8)

RISPOSTE $9.68 \times 10^{19}/\text{cm}^3$ con $\mu_n \approx 64.5 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\rho_n \approx 0.001 \Omega \cdot \text{cm}$.

ESERCIZIO Un campione di silicio è drogato con atomi di fosforo con concentrazione pari a $2 \times 10^{16}/\text{cm}^3$. Qual è il valore di N_D e N_A ? Si calcoli il valore delle mobilità degli elettroni e delle lacune. Si calcoli il valore delle mobilità nel caso in cui vengano aggiunti al campione atomi di boro con concentrazione $3 \times 10^{16}/\text{cm}^3$. Si calcoli il valore delle resistività (per il calcolo della mobilità si usino le equazioni riportate in Figura 2.8).

RISPOSTE $N_A = 0/\text{cm}^3$; $N_D = 2 \times 10^{16}$ atomi/ cm^3 ; $\mu_n = 1070 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\mu_p = 266 \text{ cm}^2/(\text{V} \cdot \text{s})$; $\mu_n = 886 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\mu_p \approx 198 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\rho = 0.292 \Omega \cdot \text{cm}$, $\rho_p = 3.16 \Omega \cdot \text{cm}$.

ESERCIZIO Un campione di silicio è drogato con atomi di boro con concentrazione pari a $4 \times 10^{18}/\text{cm}^3$. Il boro è un'impurità di tipo accettore o donatore? Si calcoli il valore delle concentrazioni di elettroni e lacune a $T = 300 \text{ K}$. Si determini se il campione è di tipo p oppure di tipo n . Si calcoli il valore delle mobilità degli elettroni e delle lacune. Si calcoli il valore delle resistività (per il calcolo della mobilità si usino le equazioni riportate in Figura 2.8).

RISPOSTE Di tipo accettore; $n = 25/\text{cm}^3$; $p = 4 \times 10^{18}/\text{cm}^3$; di tipo p ; $\mu_n \approx 153 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\mu_p \approx 54.8 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\rho_p = 0.0285 \Omega \cdot \text{cm}$.

ESERCIZIO Un campione di silicio è drogato con atomi di indio con concentrazione pari a $7 \times 10^{19}/\text{cm}^3$. L'indio è un'impurità di tipo accettore o donatore? Si calcoli il valore delle concentrazioni di elettroni e lacune, delle mobilità e della resistività a $T = 300 \text{ K}$. Si determini se il campione è di tipo p oppure di tipo n .

RISPOSTE Di tipo accettore; $n = 1.4/\text{cm}^3$; $p = 7 \times 10^{19}/\text{cm}^3$; $\mu_n = 67.5 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\mu_p = 46.2 \text{ cm}^2/(\text{V} \cdot \text{s})$; $\rho = 0.00193 \Omega \cdot \text{cm}$; di tipo p .



NOTA PROGETTUALE

Tensione termica V_T

$$V_T = kT/q = 25.8 \text{ mV a } 300 \text{ K}$$

2.8 Corrente di diffusione

Come abbiamo visto, le concentrazioni di elettroni e lacune sono definite dalle concentrazioni di atomi di drogaggio N_A e N_D . Abbiamo finora tacitamente assunto che il drogaggio sia costante, mentre in generale ciò non si verifica: nei dispositivi a stato solido le concentrazioni di impurità sono spesso caratterizzate da una distribuzione non uniforme, determinando una variazione spaziale delle concentrazioni dei portatori liberi. La variazione della concentrazione di portatori è responsabile di un altro fenomeno di conduzione detto **diffusione**. I portatori liberi tendono, infatti, a muoversi da regioni a elevata concentrazione verso regioni a bassa concentrazione di portatori. Questo fenomeno è simile al flusso del fumo emesso da una pipa, che tende a diffondere nell'intera stanza.

Supponiamo che la variazione della concentrazione di elettroni si verifichi lungo una sola direzione, coincidente con l'asse x in Figura 2.9. La pendenza della curva che descrive la concentrazione di elettroni è positiva e la diffusione dei portatori è in verso opposto all'asse x . Ci aspettiamo quindi che il flusso dei portatori dovuto al processo di diffusione, espresso in portatori/(cm² · s), sia proporzionale alla derivata spaziale della concentrazione di portatori cambiata di segno. La corrente di diffusione è quindi data da:

$$\begin{aligned} j_p^{\text{diff}} &= (+q)D_p \left(-\frac{\partial p}{\partial x} \right) = -qD_p \frac{\partial p}{\partial x} \\ j_n^{\text{diff}} &= (-q)D_n \left(-\frac{\partial n}{\partial x} \right) = +qD_n \frac{\partial n}{\partial x} \end{aligned} \quad \text{A/cm}^2 \quad (2.14)$$

Le costanti di proporzionalità D_p e D_n prendono rispettivamente il nome di **diffusività** o coefficiente di diffusione degli elettroni e delle lacune, e sono espresse in cm²/s. La diffusività è legata alla mobilità dalla **relazione di Einstein**:

$$\frac{D_n}{\mu_n} = \frac{kT}{q} = \frac{D_p}{\mu_p} \quad (2.15)$$

dove la grandezza kT/q prende il nome di **tensione termica** V_T , ed è pari a circa 26 mV a temperatura ambiente. A temperatura ambiente la diffusività è tipicamente compresa tra 2 e 35 cm²/s per gli elettroni e tra 1 e 15 cm²/s per le lacune.

ESERCIZIO Si calcoli il valore della tensione termica V_T per $T = 50 \text{ K}$, $T = 77 \text{ K}$, $T = 300 \text{ K}$ e $T = 400 \text{ K}$.

RISPOSTE 4.3 mV; 6.63 mV; 25.8 mV; 34.5 mV.

ESERCIZIO Quali sono i valori massimi dei coefficienti di diffusione degli elettroni e delle lacune a temperatura ambiente in base alle mobilità riportate in Figura 2.8?

RISPOSTE Assumendo $V_T = 25.8 \text{ mV}$: 36.6 cm²/s, 12.1 cm²/s.

ESERCIZIO Il gradiente relativo alla concentrazione di elettroni in un punto di un semiconduttore è pari a $+10^{16}/(\text{cm}^3 \cdot \mu\text{m})$. Si calcoli la corrente di diffusione degli elettroni a temperatura ambiente assumendo per la diffusività degli elettroni un valore di 20 cm²/s. Si ripeta il calcolo per un gradiente di lacune di $+10^{16}/(\text{cm}^3 \cdot \mu\text{m})$ assumendo $D_p = 4 \text{ cm}^2/\text{s}$.

RISPOSTE $+320 \text{ A/cm}^2$; -64 A/cm^2 .

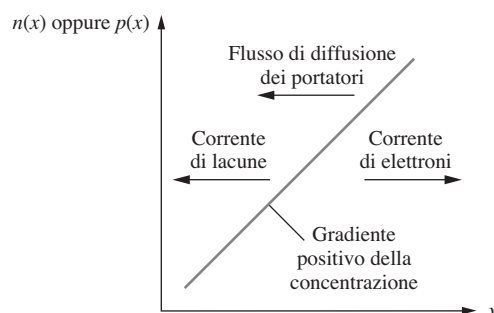


Figura 2.9
Diffusione di portatori causata da una variazione spaziale della concentrazione.

2.9 Corrente totale

La corrente in un semiconduttore comprende sia la componente di deriva che quella di diffusione. Le densità di corrente complessive j_n^T e j_p^T relative a elettroni e lacune sono date dalla somma di queste componenti, rispettivamente espresse dalle Equazioni (2.5) e (2.14):

$$\begin{aligned} j_n^T &= q\mu_n nE + qD_n \frac{\partial n}{\partial x} \\ j_p^T &= q\mu_p pE - qD_p \frac{\partial p}{\partial x} \end{aligned} \quad (2.16)$$

Utilizzando la relazione di Einstein [Equazione (2.15)], le Equazioni (2.16) diventano:

$$\begin{aligned} j_n^T &= q\mu_n n \left(E + V_T \frac{1}{n} \frac{\partial n}{\partial x} \right) \\ j_p^T &= q\mu_p p \left(E - V_T \frac{1}{p} \frac{\partial p}{\partial x} \right) \end{aligned} \quad (2.17)$$

Occorre anche osservare che la distribuzione del campo elettrico nel semiconduttore deve soddisfare la legge di Gauss:

$$\nabla \cdot (\varepsilon E) = Q \quad (2.18)$$

dove ε = permittività (F/cm);
 E = campo elettrico (V/cm);
 Q = densità di carica (C/cm³).

Queste equazioni saranno utilizzate nei capitoli successivi per analizzare il funzionamento di diversi dispositivi a stato solido.

2.10 Modello a bande di energia

In questo paragrafo presenteremo il **modello a bande di energia** che rappresenta un modello alternativo della formazione delle coppie elettrone-lacuna nei semiconduttori e degli effetti del drogaggio sulle concentrazioni di portatori liberi. Secondo la meccanica quantistica, i livelli energetici permessi agli elettroni si dispongono in bande di energia. Il diagramma delle bande di energia è mostrato in Figura 2.10. Le regioni indicate con i termini **banda di conduzione** e **banda di valenza** rappresentano le porzioni del diagramma a bande di energia dove sono situati i livelli energetici permessi agli elettroni. Il livello energetico indicato con E_V rappresenta il massimo valore che può assumere l'energia di un elettrone nella banda di valenza, mentre il livello energetico E_C corrisponde al limite inferiore della banda di conduzione, e rappresenta il minimo valore dell'energia relativo a tale banda. Benché in figura le bande siano state rappresentate in modo continuo, in realtà i livelli energetici assumono valori discreti, sebbene molto vicini.

L'energia di un elettrone non può assumere valori compresi tra E_V e E_C . La differenza tra E_C e E_V prende il nome di **ampiezza della banda proibita** (*bandgap energy*) E_G :

$$E_G = E_C - E_V \quad (2.19)$$

La Tabella 2.3 mostra i valori di E_G relativi ai semiconduttori più importanti.

2.10.1 Generazione di coppie elettrone-lacuna in un semiconduttore intrinseco

Per temperature prossime allo zero assoluto gli stati energetici nella banda di valenza sono completamente occupati da elettroni, mentre gli stati in banda di conduzione sono vuoti, come mostrato in Figura 2.11. In queste condizioni, quando viene applicato un campo elettrico nel semiconduttore non può fluire corrente, in quanto non vi sono elettroni nella banda di conduzione o lacune nella banda di valenza. Il modello a bande di energia relativo alla Figura 2.11 corrisponde alla situazione descritta dal modello a legame covalente relativa

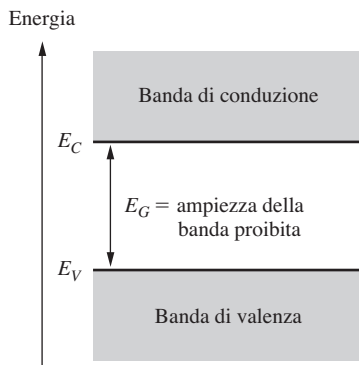


Figura 2.10 Modello a bande di energia per un semiconduttore con ampiezza di banda proibita E_G .

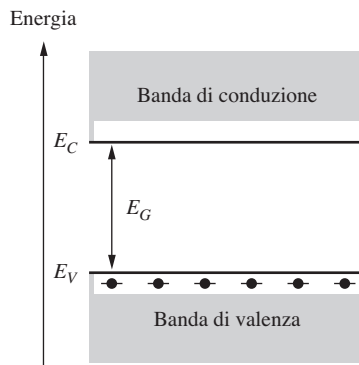


Figura 2.11 Semiconduttore a 0 K con banda di valenza piena e banda di conduzione vuota. La figura corrisponde al modello a legame covalente di Figura 2.2.

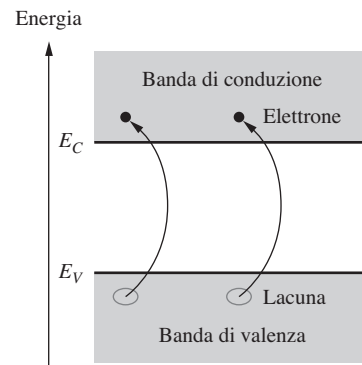


Figura 2.12 Formazione di una coppia elettrone-lacuna per effetto del passaggio, attivato dall'energia termica, di un elettrone dalla banda di valenza a quella di conduzione. Questa figura corrisponde alla situazione descritta dal modello a legame covalente relativa alla Figura 2.3.

alla Figura 2.2, in cui tutti i legami covalenti sono soddisfatti e non vi sono elettroni di conduzione o lacune. Per temperature maggiori dello zero assoluto, viene fornita energia termica al cristallo: alcuni elettroni acquistano l'energia necessaria a superare la banda proibita e passano dalla banda di valenza alla banda di conduzione, come mostrato in Figura 2.12. Per ogni elettrone che passa in banda di conduzione si verifica la formazione di una lacuna in banda di valenza e quindi si genera una coppia elettrone-lacuna. Questa **generazione di coppie elettrone-lacuna** corrisponde alla situazione descritta dal modello a legame covalente relativa alla Figura 2.3.

2.10.2 Modello a bande di energia per un semiconduttore estrinseco

Le Figure 2.13-2.15 mostrano il modello a bande di energia relativo a un semiconduttore drogato. Nella Figura 2.13 si considera il caso di un semiconduttore drogato con atomi donatori con concentrazione pari a N_D . Gli atomi donatori introducono nel diagramma a bande di energia ulteriori stati localizzati su un livello E_D (**livello donatore**) che si trova all'interno della banda proibita in prossimità del livello E_C . L'energia termica da fornire agli elettroni affinché questi passino dagli atomi donatori alla banda di conduzione deve essere maggiore dell'**energia di ionizzazione** degli atomi donatori, pari a $E_C - E_D$. Poiché l'energia di ionizzazione assume tipicamente valori molto piccoli, per esempio 0.045 eV nel caso del fosforo, a temperatura ambiente praticamente tutti gli elettroni sono passati dal livello E_D in banda di conduzione, dove possono partecipare al processo di conduzione. A basse temperature o in semiconduttori molto drogati, tuttavia, solo una parte degli elettroni riesce a passare dal livello E_D in banda di conduzione. La Figura 2.13 corrisponde alla situazione descritta dal modello a legame covalente relativa alla Figura 2.6.

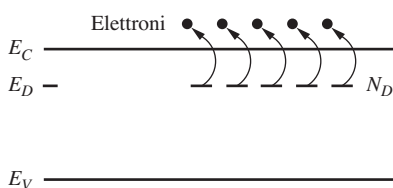


Figura 2.13 Livello donatore con energia di ionizzazione ($E_C - E_D$). Questa figura corrisponde alla situazione descritta dal modello a legame covalente relativa alla Figura 2.6.

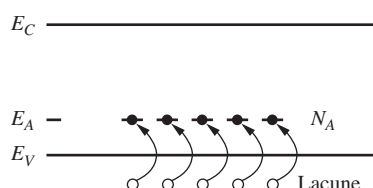


Figura 2.14 Livello accettore con energia di ionizzazione ($E_A - E_V$). Questa figura corrisponde alla situazione descritta dal modello a legame covalente relativa alla Figura 2.7(b).

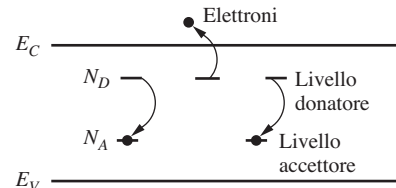


Figura 2.15 Semiconduttore compensato contenente sia accettori sia donatori, con $N_D > N_A$.

ELETRONICA IN AZIONE

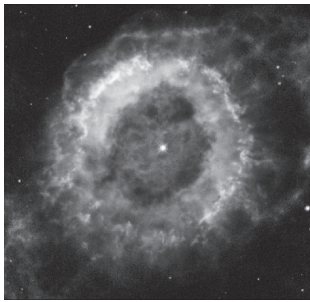
Le camere CCD

La moderna astronomia dipende fortemente dalla microelettronica, sia per la raccolta che per l'analisi dei dati astronomici. Si sono effettuati degli enormi passi in avanti in astronomia grazie alla combinazione di tecniche elettroniche di cattura delle immagini e dell'analisi computerizzata delle immagini acquisite.

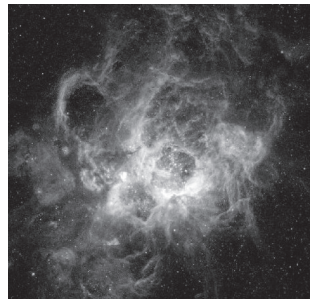
Nel caso dei telescopi ottici, una camera basata sull'utilizzo di dispositivi ad accoppiamento di carica (CCD, *Charge Coupled Devices*) converte i fotoni in segnali elettrici che infine formano l'immagine computerizzata. Come altri circuiti foto-rivelatori, i CCD catturano gli elettroni che si generano quando i fotoni incidenti interagiscono con il materiale semiconduttore, creando coppie lacuna-elettrone, come in Figura 2.12. Un chip come quello mostrato in basso (4) integra una matrice bidimensionale che può contenere diversi milioni di celle CCD. Le camere CCD so-

no particolarmente importanti in astronomia, grazie alla loro elevatissima sensibilità e al ridotto rumore.

La Figura (5) mostra una vista semplificata di una cella CCD. Un gruppo di elettroni si è accumulato sotto l'elettrodo centrale, a causa dell'elevata tensione presente sull'elettrodo stesso. Gli elettroni sono mantenuti all'interno dello strato semiconduttore grazie all'effetto combinato dello strato isolante di biossido di silicio e del campo elettrico creato dagli elettrodi. Si noti che il numero di elettroni catturati è dipendente dall'intensità della luce incidente. Per risalire al numero di elettroni catturati, le tensioni sugli elettrodi sono modificate in modo da muovere la carica da un elettrodo al successivo, fin quando la carica non viene convertita in una tensione, al bordo della matrice CCD. Le immagini astronomiche qui mostrate sono state acquisite con camere CCD del telescopio spaziale Hubble.



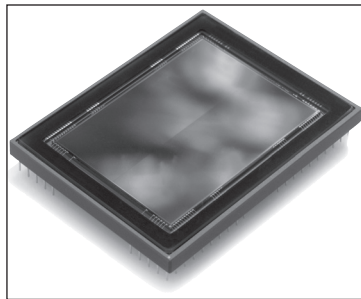
(1)



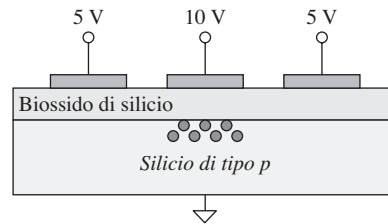
(2)



(3)



(4)



(5)

(1) NGC 6369: nebulosa planetaria Fantasma. (Immagine: Hubble Heritage Team, NASA); (2) NGC 604 nebulosa nella galassia (Immagine: H. Yang (UIUC), HST, NASA); (3) NGC 2359: nebulosa "Elmetto di Thor". (Immagine: Christine e David Smith, Steve Mandel, Adam Block (KPNO Visitor Program), NOAA, AURA, NSP); (4) Il chip qui mostrato è un sensore di immagine Dalsa da 33 megapixel. [© Teledyne DALSA, riproduzione autorizzata.]; (5) esempio di cella CCD.

Nella Figura 2.14 viene mostrato il caso in cui il silicio è drogato con atomi di tipo accettore, con concentrazione pari a N_A . Gli atomi accettori introducono nel diagramma a bande di energia ulteriori stati localizzati su un livello E_A (**livello accettore**) che si trova all'interno della banda proibita in prossimità del livello E_V . Il valore dell'energia di ionizzazione $E_C - E_D$ è tipicamente molto piccolo, per esempio 0.044 eV nel caso del boro, sicché a temperatura ambiente praticamente tutti gli atomi accettori sono ionizzati a causa del passaggio degli elettroni dalla banda di valenza al livello E_A . La Figura 2.14 corrisponde alla situazione descritta dal modello a legame covalente relativa alla Figura 2.7.

2.10.3 Semiconduttori compensati

Un semiconduttore è detto **compensato** se contiene sia atomi accettori sia atomi donatori. Nel caso mostrato in Figura 2.15 la concentrazione di atomi donatori è maggiore di quella relativa agli atomi accettori. Gli elettroni degli atomi donatori passano dal livello E_D , a energia maggiore, al livello E_A , a energia minore, riempiendo tutti gli N_A stati disponibili. La parte restante degli elettroni degli atomi donatori passa dal livello E_D in banda di conduzione, sicché la concentrazione degli elettroni liberi è pari a $n = (N_D - N_A)$. Il modello a bande di energia rappresenta un modello complementare rispetto a quello a legame covalente precedentemente illustrato. Entrambi i modelli ci aiutano a comprendere i processi di creazione di elettroni e lacune nei semiconduttori.

2.11 Cenni sulla fabbricazione dei circuiti integrati

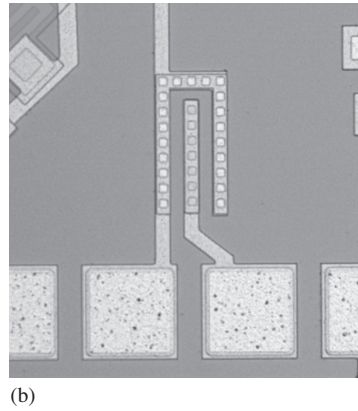
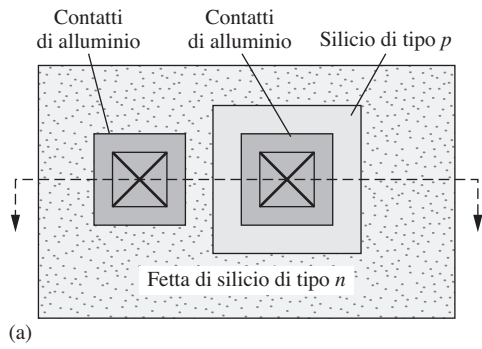
Prima di concludere questo capitolo mostriamo come sia possibile realizzare un semplice dispositivo attraverso un processo di drogaggio selettivo. A tal scopo analizzeremo i principali processi utilizzati nella fabbricazione dei dispositivi a stato solido. Questi concetti ci saranno utili per comprendere diverse caratteristiche dei dispositivi che sono strettamente legati alla loro struttura fisica.

I dispositivi e i circuiti a stato solido sono realizzati tramite diversi processi fondamentali, quali l'ossidazione, la fotolitografia, l'attacco, l'impiantazione ionica, la diffusione, l'evaporazione, lo sputtering, la deposizione chimica da fase vapore, e la crescita epitassiale. Film di **ossido di silicio** (SiO_2) possono essere formati riscaldando le fette a elevata temperatura (da 1000 a 1200 °C) in presenza di un gas ossidante come l'ossigeno puro o il vapore acqueo. Questo processo è noto come **ossidazione**. È possibile depositare sottili film di metallo attraverso il processo di **evaporazione** che consiste nel riscaldare alla temperatura di fusione il metallo in una campana in cui è praticato il vuoto. Il processo di **sputtering** consente di depositare sia film metallici che isolanti; tale processo sfrutta un bombardamento ionico per allontanare gli atomi di un substrato (target) che quindi si depositano sulla fetta.

Il processo di **deposizione chimica da fase vapore** (*Chemical Vapor Deposition*, CVD) consente di depositare film di **silicio policristallino**, ossido di silicio e **nitruro di silicio**; in tale processo la fetta è esposta a un flusso di gas contenente le specie chimiche, che a seguito di una reazione chimica si depositano sulla superficie della fetta. Il processo di **impiantazione ionica** consente di realizzare regioni sottili drogate di tipo n o p , e consiste nel bombardare la fetta con ioni a elevata energia (da 10 keV a 5 MeV) delle specie droganti in un acceleratore di particelle ad alta energia. Con il processo di **diffusione** è possibile realizzare regioni drogate di spessore maggiore; in tale processo la fetta viene riscaldata ad alte temperature (da 1000 a 1200 °C) in ambiente ossidante o inerte, in modo che le impurità diffondano all'interno della fetta. Il processo di **crescita epitassiale** è ampiamente utilizzato nei processi bipolare e CMOS per depositare film di silicio cristallino sulla superficie della fetta. Il film depositato presenta la stessa struttura cristallina del substrato sul quale viene depositato.

Nel processo di fabbricazione dei circuiti integrati è necessario realizzare zone della fetta drogate in modo selettivo. A tal scopo è possibile utilizzare film di ossido di silicio, nitruro di silicio, silicio policristallino, **fotoresist** o altri materiali per proteggere le regioni che non devono essere drogate nei processi di impiantazione ionica o di diffusione termica. Mediante l'impiego di **maschere** è possibile realizzare delle finestre attraverso il film protettivo, che consentono il drogaggio delle zone selezionate. Il tracciato delle finestre viene trasferito dalla maschera alla fetta attraverso il processo **fotolitografico**. Le finestre sono quindi aperte attraverso il film protettivo con un processo di **attacco** chimico basato sull'impiego di acidi oppure plasmi di opportune caratteristiche.

I passi di processo sopra descritti possono essere combinati in modo da realizzare il circuito integrato. Le Figure 2.16 e 2.17 mostrano un semplice esempio, in cui una regione di tipo p viene realizzata all'interno di una fetta di silicio di tipo n . Nella Figura 2.17(a) un film di ossido di silicio (1 μm) è stato accresciuto su una fetta con spessore pari a circa 500 μm . Successivamente è stato depositato uno strato di fotoresist sul film di ossido.

**Figura 2.16**

(a) Vista dall'alto del diodo a giunzione pn realizzato con il processo illustrato in Figura 2.17. (b) Immagine di un diodo reale. (Per gentile concessione di Richard Jaeger)

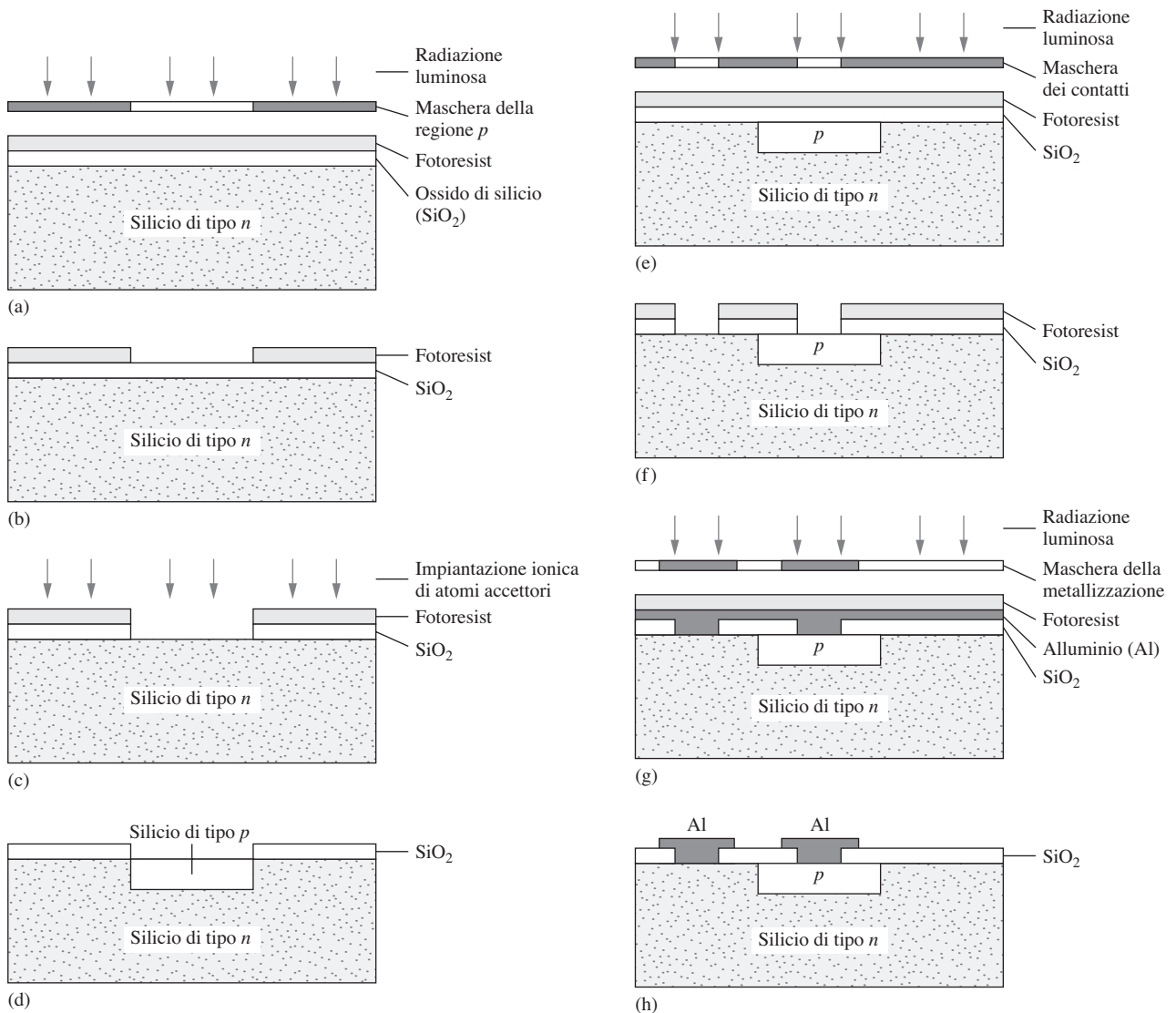


Figura 2.17 Fetta di silicio (a) alla prima esposizione, (b) dopo l'esposizione e lo sviluppo del fotoresist, (c) dopo l'attacco dell'ossido di silicio, (d) dopo l'impiantazione o diffusione delle impurità di tipo accettore e la rimozione del fotoresist. (e) Esposizione della maschera delle finestre dei contatti. (f) Sviluppo del fotoresist e attacco dell'ossido delle finestre dei contatti. (g) Esposizione della maschera delle metallizzazioni. (h) Struttura finale dopo l'attacco dell'alluminio e la rimozione del fotoresist.



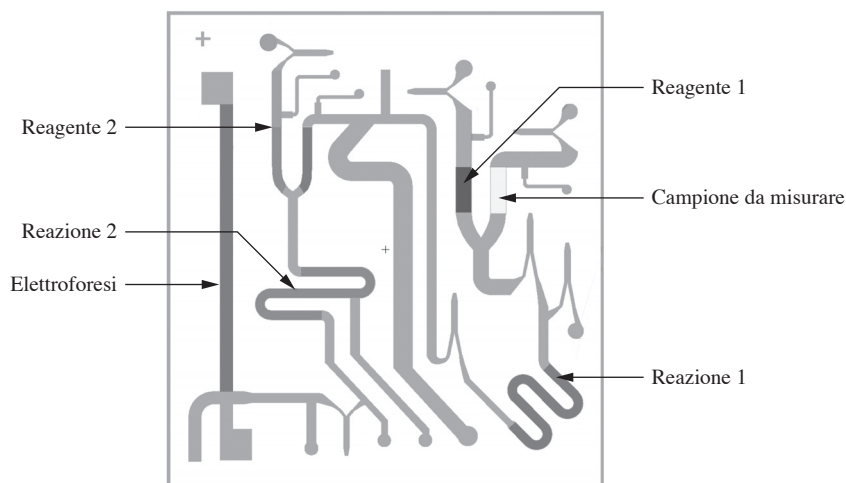
Un laboratorio su un chip (lab-on-chip)

La foto mostrata in basso mostra il frutto di un recente lavoro che integra circuiti microelettronici in silicio, microfluidica e tecnologia dei circuiti stampati per realizzare un dispositivo in grado di analizzare DNA contenuto in campioni di pochi nanolitri.

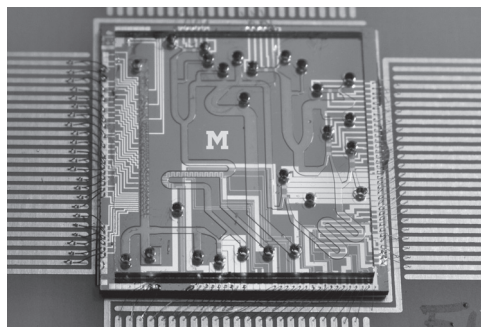
Il fluido da analizzare è introdotto a un estremo del dispositivo, sotto forma di goccioline di qualche nanolitro, e viaggia lungo un canale in cui il campione è miscelato con altri materiali, riscaldato e stimolato otticamente. Dei rilevatori ottici integrati

misurano la fluorescenza per individuare i bio-materiali genetici.

Dispositivi come questi stanno rivoluzionando le tecniche mediche, migliorando la nostra conoscenza delle malattie e dei loro meccanismi, consentendo diagnosi precoci e screening a basso costo per un gran numero di potenziali trattamenti. La bioingegneria, e in particolare l'applicazione della microelettronica alla cura della salute e alle scienze della vita, è un campo di ricerca oggi in rapida evoluzione.



[Per gentile concessione di Mark A. Burns, University of Michigan.]



[Per gentile concessione di Mark A. Burns, University of Michigan.]

Il fotoresist viene quindi esposto a una radiazione luminosa attraverso una maschera che contiene il tracciato da trasferire sulla fetta. Come mostrato in Figura 2.17(b), dopo il processo di esposizione e sviluppo si forma una finestra nella regione del fotoresist che è stata esposta alla radiazione (in tal caso il fotoresist è detto positivo). In seguito si attacca l'ossido utilizzando il fotoresist come protezione, realizzando quindi una finestra che attraversa sia il fotoresist che l'ossido (vedi Figura 2.17(c)). Impurità di tipo accettore sono impiantate nel silicio attraverso la finestra formata nel processo fotolitografico. Le regioni esterne alla finestra non sono sottoposte al processo di impiantazione in quanto protette dai film di ossido e fotoresist. Dopo la rimozione del fotoresist è quindi presente nella fetta una regione di tipo p in corrispondenza della finestra aperta attraverso l'ossido (Figura 2.17(d)). Lo spessore della regione p può variare da pochi decimi di micrometri fino ad alcune decine di micrometri sotto la superficie del silicio.

Successivamente si accresce un nuovo film di ossido sulla superficie che viene ricoperto con un nuovo strato di fotoresist, come mostrato in Figura 2.17(e). Le finestre dei contatti sono esposte alla radiazione luminosa attraverso una seconda maschera. La struttura mostrata in Figura 2.17(f) corrisponde alla struttura ottenuta dopo la litografia e l'attacco dell'ossido necessari per realizzare le finestre di contatto. Attraverso queste finestre saranno realizzati i contatti metallici per le regioni n e p . In seguito si evapora un film di alluminio sulla superficie della fetta che viene quindi ricoperta nuovamente con fotoresist (Figura 2.17(g)). Una terza maschera e un processo litografico sono utilizzati per trasferire il tracciato relativo alle interconnessioni metalliche. L'alluminio viene poi rimosso dalle regioni non protette dal fotoresist con un processo di attacco. La struttura completa è mostrata in Figura 2.17(h) e corrisponde alla vista dall'alto di Figura 2.16. Si osservi come entrambe le regioni n e p siano contattate dall'alluminio. Abbiamo così completato il processo di fabbricazione del nostro primo dispositivo a stato solido, il diodo a giunzione. La Figura 2.16(b) mostra un'immagine fotografica di un diodo reale. Lo studio delle caratteristiche elettriche nonché delle applicazioni dei diodi a giunzione è oggetto del capitolo seguente.

Riferimenti bibliografici

- [1] J.D. Cressler, "Re-Engineering Silicon: SiGe Heterojunction Bipolar Technology," *IEEE Spectrum*, pp. 49-55, marzo 1995.

Letture addizionali

S.A. Campbell, *The Science and Engineering of Microelectronic Fabrication*, quarta ed., Oxford University Press, New York: 2012.
 R.C. Jaeger, *Introduction to Microelectronic Fabrication*, seconda ed., Prentice-Hall, Reading, MA: 2001.

R.F. Pierret, *Semiconductor Fundamentals*, seconda ed., Prentice-Hall, Reading, MA: 1988.
 S.M. Sze e K.K. Ng, *Physics of Semiconductor Devices*, Wiley, New York: 2006.
 E.S. Yang, *Microelectronic Devices*. McGraw-Hill, New York: 1988.

Diodo a stato solido e circuiti a diodi

3

Obiettivi

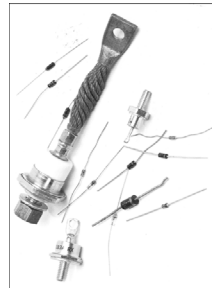
- Comprensione della struttura del diodo e del relativo layout.
- Analisi elettrostatica della giunzione pn .
- Analisi dei diversi modelli del diodo: il modello matematico, il modello del diodo ideale e il modello a caduta di tensione costante.
- Descrizione del modello SPICE del diodo e dei relativi parametri.
- Definizione delle regioni di funzionamento del diodo: polarizzazione diretta e inversa, regione di rottura.
- Studio di circuiti a diodi con utilizzo di diversi tipi di modelli.
- Descrizione dei diversi tipi di diodi (Schottky, Zener, a capacità variabile), dei diodi emettitori di luce (LED) e delle celle solari.
- Analisi del comportamento in transitorio del diodo a giunzione pn .
- Studio dei raddrizzatori a diodi.
- Simulazione dei circuiti a diodi con SPICE.

Il primo dispositivo elettronico che analizzeremo è il diodo a stato solido a giunzione pn . Tale componente è impiegato in diverse applicazioni importanti come per esempio la conversione AC-DC (o rettificazione), la trasformazione dell'energia solare in energia elettrica, la miscelazione di segnali in circuiti per comunicazioni a radiofrequenza (RF). Inoltre, l'analisi del diodo a giunzione pn è importante per comprendere il funzionamento di altri dispositivi a stato solido, come il transistor bipolare, oppure i transistori a effetto di campo. Per esempio la struttura del transistor bipolare e del MOSFET contiene due diodi, mentre il JFET è formato da un solo diodo.

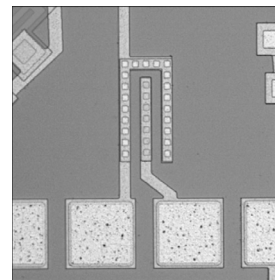
Il diodo a giunzione pn è formato da due regioni adiacenti di materiale semiconduttore di tipo p e di tipo n . Un altro tipo di diodo, il diodo a barriera Schottky, è formato da un contatto di tipo rettificante tra un metallo, come l'alluminio, il palladio o il platino, e un semiconduttore di tipo p o n . Entrambi i diodi a stato solido sono illustrati in questo capitolo. Il diodo a vuoto, componente utilizzato prima dell'avvento dei diodi a semiconduttore, viene ancora utilizzato per applicazioni a elevata tensione.

Il diodo è un elemento non lineare, e rappresenta il pri-

mo esempio di dispositivo non lineare che studieremo: analogamente al resistore, è un elemento circuitale a due terminali, ma la caratteristica $i-v$, ovvero la relazione tra la corrente che attraversa l'elemento e la tensione ai suoi capi, non è una linea retta. Questo comportamento non lineare permette di progettare circuiti elettronici che realizzano diverse operazioni utili, come la rettificazione, la miscelazione dei segnali e la modifica di forme d'onda. I diodi possono anche essere utilizzati per eseguire operazioni logiche elementari, come le funzioni AND e OR.



Assortimento di diodi discreti.
(Per gentile concessione di Richard Jaeger)



Diodo integrato. (Per gentile concessione di Richard Jaeger)

Il capitolo ha inizio con la presentazione della struttura e l'analisi del comportamento del diodo a giunzione pn e delle caratteristiche ai terminali. Segue un'introduzione al concetto di modello; diversi modelli del diodo sono presentati e utilizzati al fine di analizzare il comportamento di circuiti a diodi, e di sviluppare la sensibilità necessaria a effettuare delle scelte tra modelli di diversa complessità per semplificare l'analisi e il progetto di un circuito elettronico. Verranno poi analizzati circuiti a diodi, come i circuiti raddrizzatori. Infine, illustreremo le caratteristiche di diodi Zener, fotodiodi, celle solari e diodi emettitori di luce.

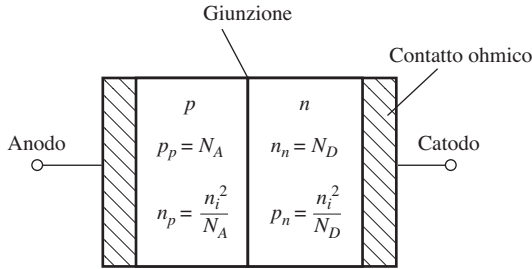


Figura 3.1 Struttura di un diodo a giunzione pn.

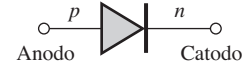


Figura 3.2 Simbolo circuitale del diodo a giunzione pn.

3.1 Il diodo a giunzione pn

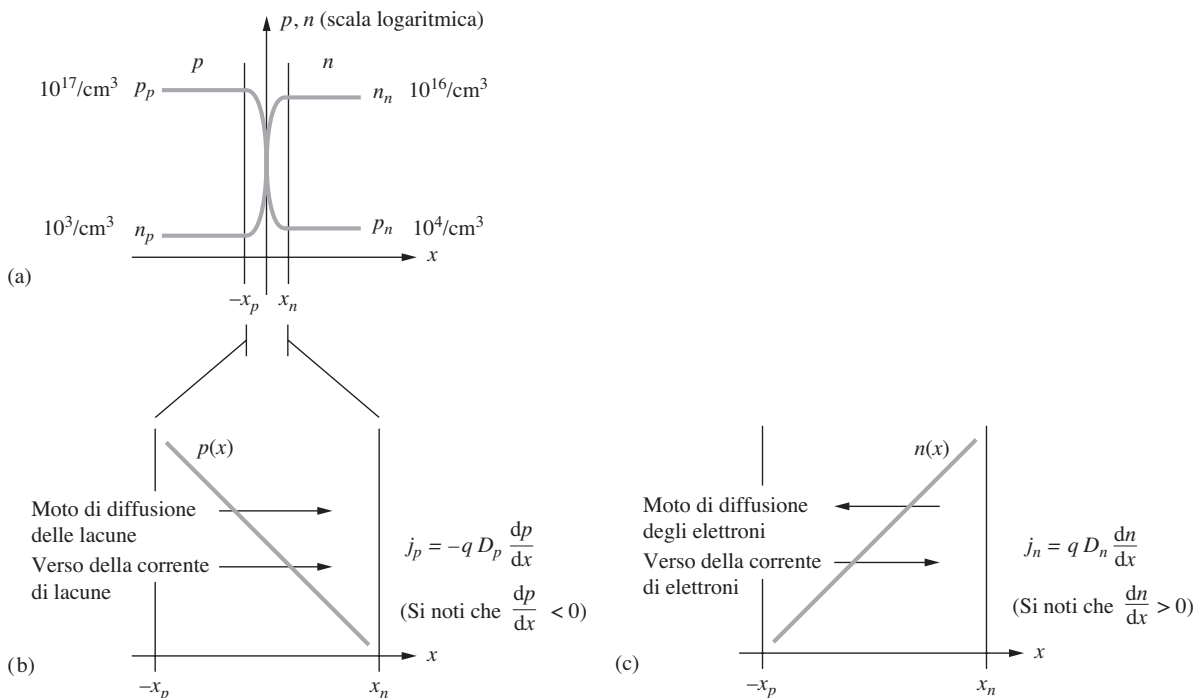
Come abbiamo visto nel Capitolo 2 il **diodo a giunzione pn** può essere realizzato partendo da una fetta (wafer) di semiconduttore di tipo *n* con concentrazione di atomi donatori N_D , in cui vengono introdotti in modo selettivo atomi di tipo accettore con concentrazione $N_A > N_D$, in modo che una regione della fetta diventi di tipo *p*. La superficie di separazione delle regioni *p* e *n* è chiamata *giunzione*. La Figura 3.1 rappresenta la struttura del diodo a giunzione *pn*: la parte di sinistra corrisponde alla regione *p* del diodo, ed è chiamata **anodo**, la parte di destra alla regione *n* ed è chiamata **catodo**. In Figura 3.2 è mostrato il simbolo circuitale del diodo; la “freccia”, diretta dalla regione *p* verso la regione *n* è orientata secondo il verso convenzionalmente assunto come positivo per la corrente del diodo.

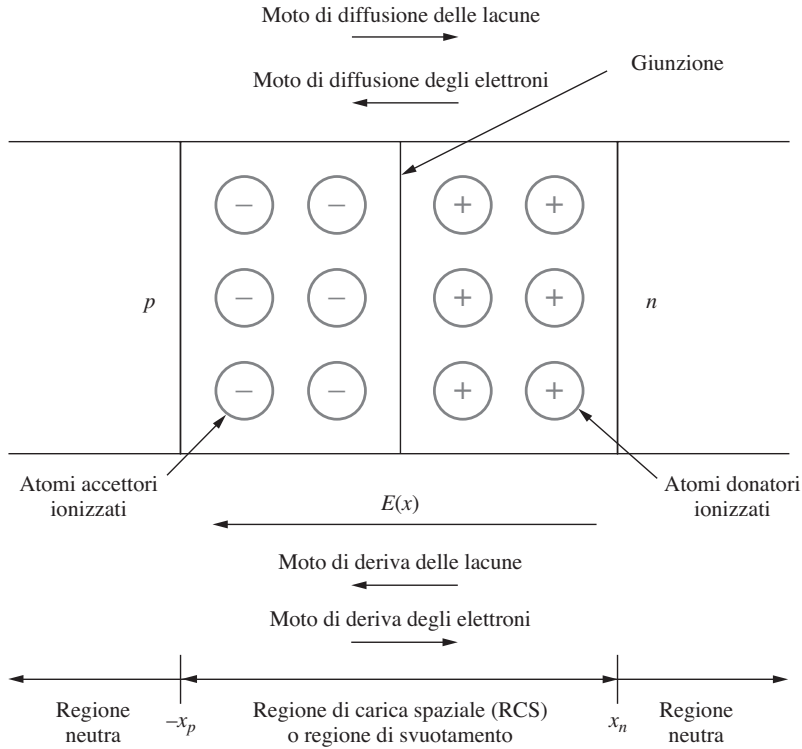
3.1.1 Analisi elettrostatica della giunzione pn

Si consideri un diodo a giunzione *pn*, caratterizzato da una concentrazione di atomi accettori $N_A = 10^{17}$ atomi/cm³ nella regione *p*, e una concentrazione di atomi donatori $N_D = 10^{16}$ atomi/cm³ nella regione *n*. Le concentrazioni di lacune ed elettroni nelle due regioni della giunzione saranno pari, secondo le formule di Figura 3.1 a:

$$\begin{aligned} \text{regione } p: \quad p_p &= 10^{17} \text{ lacune/cm}^3, n_p = 10^3 \text{ elettroni/cm}^3 \\ \text{regione } n: \quad p_n &= 10^4 \text{ lacune/cm}^3, n_n = 10^{16} \text{ elettroni/cm}^3 \end{aligned} \quad (3.1)$$

Figura 3.3
(a) Concentrazione dei portatori; (b), (c) Moto e corrente di diffusione nella regione di carica spaziale.



**Figura 3.4**

Formazione della regione di carica spaziale in prossimità della giunzione.

Ricordando il fenomeno della diffusione studiato nel Capitolo 2, sappiamo che le lacune diffonderanno dalla regione a elevata concentrazione nel lato p verso la regione a bassa concentrazione nel lato n , mentre gli elettroni diffonderanno dalla regione n verso la regione p , come mostrato in Figura 3.3(b) e (c). Se i processi di diffusione continuassero indisturbati, si avrebbe alla fine una concentrazione uniforme di elettroni e lacune nell'intero semiconduttore, e la giunzione pn cesserebbe di esistere. Si osservi che le correnti di diffusione sono entrambe dirette nel verso positivo dell'asse x , in contrasto con la condizione di circuito aperto che richiede una corrente nulla.

Si deve quindi verificare un secondo processo di conduzione, in modo da bilanciare la corrente di diffusione. Questo processo è rappresentato da una corrente di deriva, introdotta nel Capitolo 2. L'origine di questa corrente può essere compresa analizzando la regione in prossimità della **giunzione metallurgica** mostrata in Figura 3.4. Man mano che le lacune mobili diffondono dalla regione p verso la regione n , lasciano nella regione p degli atomi accettori immobili carichi negativamente; analogamente, gli elettroni lasciano nella regione n degli atomi donatori con carica positiva. Si forma quindi nelle immediate vicinanze della giunzione una **regione di carica spaziale** (RCS), svuotata di portatori mobili; questa regione è anche detta **regione di svuotamento** o **strato di svuotamento** (o **regione di transizione**).

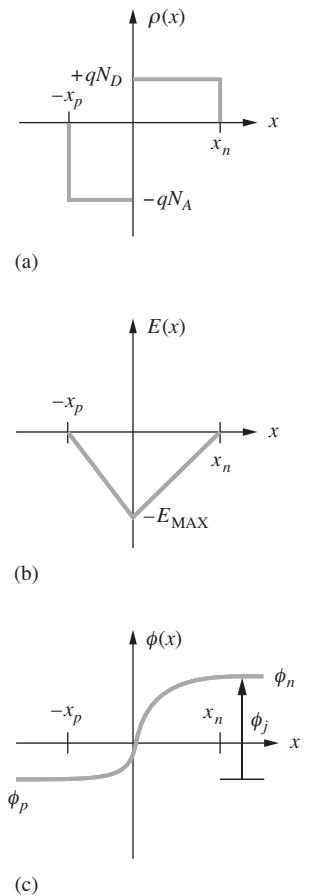
Dall'elettromagnetismo sappiamo che a una regione con densità di carica ρ_c è associato un campo elettrico E secondo la legge di Gauss:

$$\nabla \cdot E = \frac{\rho_c}{\varepsilon_s} \quad (3.2)$$

dove ε_s è la permittività del semiconduttore (supposta costante). Integrando l'Equazione (3.2) (in una dimensione) si ha:

$$E(x) = \frac{1}{\varepsilon_s} \int \rho_c(x) dx \quad (3.3)$$

La Figura 3.5(a) e (b) illustra la densità di carica e il campo elettrico nel diodo nel caso di drogaggio uniforme per entrambi i lati della giunzione. Come illustrato in Figura 3.5(a), il valore della densità di carica nella regione p è pari a $-qN_A$ a partire dalla giunzione

**Figura 3.5**

(a) Densità di carica (C/cm^3), (b) campo elettrico (V/cm), (c) potenziale (V) nella regione di carica spaziale di una giunzione pn .

($x = 0$), fino al punto $-x_p$, mentre nella regione n vale $+qN_D$, a partire dalla giunzione fino a $+x_n$. Per la condizione di neutralità di carica della struttura si avrà:

$$qN_A x_p = qN_D x_n \quad (3.4)$$

Il campo elettrico è proporzionale all'integrale della densità di carica, ed è nullo nelle regioni neutre esterne alla regione di carica spaziale. Assumendo quindi un valore nullo del campo elettrico ai bordi della regione di svuotamento $-x_p$ e $+x_n$ nell'integrazione dell'equazione di Gauss, si ottiene l'andamento lineare del campo elettrico mostrato in Figura 3.5(b).

La Figura 3.5(c) rappresenta l'integrale del campo elettrico e mostra l'esistenza di un **potenziale intrinseco** (built-in voltage), o **potenziale di giunzione** ϕ_j ai capi della regione di carica spaziale, dato da:

$$\phi_j = - \int E(x) dx \quad (3.5)$$

La tensione ϕ_j rappresenta la differenza tra i potenziali interni relativi alle regioni n e p del diodo [1], ed è dato da:

$$\phi_j = V_T \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (3.6)$$

dove la **tensione termica** $V_T = kT/q$ è stata già definita nel Capitolo 2.

Le Equazioni (3.3) e (3.5) possono essere utilizzate per il calcolo della larghezza della regione di carica spaziale w_{do} in funzione del potenziale intrinseco:

$$w_{do} = (x_n + x_p) = \sqrt{\frac{2\varepsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \phi_j} \quad (3.7)$$

Dall'Equazione (3.7) vediamo che la larghezza della regione di carica spaziale dipende principalmente dal valore del drogaggio relativo alla regione meno drogata.

Esempio 3.1

AMPIEZZA DELLA REGIONE DI CARICA SPAZIALE NEL DIODO

Nel processo di fabbricazione dei diodi a stato solido (si veda il Capitolo 2) una regione del diodo presenta un drogaggio molto superiore rispetto all'altra, e la regione di carica spaziale si estende soprattutto nella regione meno drogata. Tali giunzioni sono pertanto dette giunzioni asimmetriche o unilaterali. In questo esempio analizzeremo l'ordine di grandezza della regione di svuotamento per una giunzione unilaterale.

PROBLEMA Calcolare il potenziale di giunzione e l'ampiezza della regione di carica spaziale in un diodo di silicio con $N_A = 10^{17}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$.

SOLUZIONE **Informazioni e dati noti:** Sono assegnati i drogaggi $N_A = 10^{17}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$. Le equazioni che descrivono le caratteristiche della regione di carica spaziale sono date dalle (3.4)-(3.7).

Incognite: Il potenziale intrinseco ϕ_j e l'ampiezza della regione di svuotamento w_{do} .

Approccio: Il potenziale intrinseco ϕ_j è dato dalla (3.6) mentre l'ampiezza della regione di svuotamento w_{do} può essere calcolata utilizzando la (3.7).

Ipotesi: $V_T = 25$ mV a temperatura ambiente. Assumeremo inoltre che nella regione n non vi siano impurità di tipo accettore e che nella regione p non vi siano droganti di tipo donatore. Le concentrazioni di drogante saranno assunte costanti.

Analisi: Il potenziale intrinseco è dato da:

$$\phi_j = V_T \ln \left(\frac{N_A N_D}{n_i^2} \right) = (25 \text{ mV}) \ln \left[\frac{(10^{17}/\text{cm}^3)(10^{20}/\text{cm}^3)}{(10^{20}/\text{cm}^6)} \right] = 0.979 \text{ V}$$

Nel caso del silicio $\varepsilon_s = 11.7\varepsilon_0$, essendo $\varepsilon_0 = 8.85 \times 10^{-14} \text{ F/cm}$ la costante dielettrica. Risulta quindi:

$$\begin{aligned} w_{do} &= \sqrt{\frac{2\varepsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \phi_j} = \\ &= \sqrt{\frac{2 \cdot 11.7 \cdot (8.85 \times 10^{-14} \text{ F/cm})}{1.60 \times 10^{-19} \text{ C}} \left(\frac{1}{10^{17}/\text{cm}^3} + \frac{1}{10^{20}/\text{cm}^3} \right) 0.979 \text{ V}} = 0.113 \text{ } \mu\text{m} \end{aligned}$$

Verifica dei risultati: Il potenziale intrinseco dovrebbe risultare inferiore al potenziale relativo alla banda proibita. Per il silicio l'ampiezza della banda proibita è pari a circa 1.12 V (si veda la Tabella 2.3), sicché il valore ottenuto per ϕ_j è ragionevole. Il valore ottenuto w_{do} potrebbe sembrare molto piccolo, ma una verifica dei calcoli mostra che il risultato è corretto.

Discussione: I valori numerici nell'Esempio 3.1 sono tipici per un diodo a giunzione *pn*. In corrispondenza dei valori di drogaggio usualmente utilizzati nei diodi a stato solido, il potenziale intrinseco varia tra 0.5 V e 1.0 V, e l'ampiezza complessiva w_{do} può variare da frazioni di micron fino a diverse decine di micron in diodi con drogaggi bassi.

ESERCIZIO Si calcolino il potenziale di giunzione e l'ampiezza della regione di carica spaziale in un diodo di silicio con $N_A = 2 \times 10^{18}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$.

RISPOSTE 1.05 V; 26.3 nm.

3.1.2 Correnti nel diodo

Si ricordi che una carica positiva si muove secondo il verso del campo elettrico E . Il moto di deriva degli elettroni è quindi diretto secondo il verso positivo dell'asse x , mentre il moto di deriva delle lacune è diretto in verso opposto. Il moto di deriva di ciascun portatore è quindi opposto a quello di diffusione, come schematizzato in Figura 3.4.

Poiché la corrente ai terminali deve essere nulla, si stabilisce un equilibrio dinamico all'interno della regione di svuotamento, dove il flusso di diffusione delle lacune è esattamente bilanciato da un flusso di deriva delle lacune. Analogamente, sussiste una condizione di equilibrio per gli elettroni. Questi equilibri sono descritti in maniera formale dalle Equazioni (3.8) in cui la densità di corrente totale delle lacune e degli elettroni deve essere uguale a zero in assenza di polarizzazione:

$$\begin{aligned} j_n^T &= qn\mu_n E + qD_n \frac{\partial n}{\partial x} = 0 \\ j_p^T &= qp\mu_p E - qD_p \frac{\partial p}{\partial x} = 0 \end{aligned} \quad (3.8)$$

La differenza di potenziale ϕ_j mostrata in Figura 3.5(c) rappresenta una barriera al flusso di lacune che attraversano la giunzione dalla regione p verso la regione n , e per gli elettroni che diffondono dalla regione n verso la regione p . Quando si applica una tensione ai capi del diodo, la barriera di potenziale viene modificata, causando una perturbazione delle condizioni di equilibrio espresse dalle (3.8), e quindi provocando un flusso di corrente ai terminali.

Esempio 3.2**CAMPO ELETTRICO E AMPIEZZA DELLA REGIONE DI CARICA SPAZIALE NEL DIODO**

PROBLEMA Si calcoli il valore di x_n , x_p , e E_{MAX} per il diodo dell'Esempio 3.1.

SOLUZIONE **Informazioni e dati noti:** Sono assegnati i drogaggi $N_A = 10^{17}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$.

Le equazioni che descrivono le caratteristiche della regione di carica spaziale sono date dalle (3.4)-(3.7). Dai risultati dell'Esempio 3.1 abbiamo $\phi_j = 0.979 \text{ V}$ e $w_{do} = 0.113 \text{ }\mu\text{m}$.

Incognite: x_n , x_p , e E_{MAX} .

Approccio: Si utilizzeranno le Equazioni (3.4) e (3.7) per il calcolo di x_n e x_p , e l'Equazione (3.5) per il calcolo di E_{MAX} .

Ipotesi: Si farà l'ipotesi di funzionamento a temperatura ambiente.

Analisi: Dall'Equazione (3.4) si trae:

$$w_{do} = x_n + x_p = x_n \left(1 + \frac{N_D}{N_A} \right) \quad \text{e} \quad w_{do} = x_n + x_p = x_p \left(1 + \frac{N_A}{N_D} \right)$$

Risolvendo rispetto a x_n e x_p si ottiene:

$$x_n = \frac{w_{do}}{\left(1 + \frac{N_D}{N_A} \right)} = \frac{0.113 \text{ }\mu\text{m}}{\left(1 + \frac{10^{20}/\text{cm}^3}{10^{17}/\text{cm}^3} \right)} = 0.113 \text{ nm}$$

e inoltre

$$x_p = \frac{w_{do}}{\left(1 + \frac{N_A}{N_D} \right)} = \frac{0.113 \text{ }\mu\text{m}}{\left(1 + \frac{10^{17}/\text{cm}^3}{10^{20}/\text{cm}^3} \right)} = 0.113 \text{ }\mu\text{m}$$

L'Equazione (3.5) indica che il potenziale di giunzione corrisponde all'area del triangolo in Figura 3.5(b). L'altezza del triangolo è pari a $(-E_{MAX})$, mentre la base è data da $x_n + x_p = w_{do}$. Otteniamo quindi:

$$\phi_j = \frac{1}{2} E_{MAX} w_{do} \quad \text{e} \quad E_{MAX} = \frac{2\phi_j}{w_{do}} = \frac{2(0.979 \text{ V})}{0.113 \text{ }\mu\text{m}} = 173 \text{ kV/cm}$$

Verifica dei risultati: Utilizzando le Equazioni (3.3) e (3.4) si vede che E_{MAX} può essere anche espresso in termini delle concentrazioni di drogaggio e delle ampiezze x_n e x_p . Le equazioni riportate di seguito come esercizio possono essere utilizzate per la verifica dei risultati.

ESERCIZIO Utilizzando l'Equazione (3.3) e la Figura 3.5(a) e (b), si mostri che il valore massimo del campo elettrico è dato da:

$$E_{MAX} = \frac{qN_A x_p}{\epsilon_s} = \frac{qN_D x_n}{\epsilon_s}$$

Si utilizzi questa formula per ripetere il calcolo di E_{MAX} .

RISPOSTA 175 kV/cm.

ESERCIZIO Si calcoli il valore di E_{MAX} , x_n , e x_p in un diodo di silicio con $N_A = 2 \times 10^{18}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$. Per tale dispositivo risulta $\phi_j = 1.05 \text{ V}$ e $w_{do} = 26.3 \text{ nm}$.

RISPOSTE 798 kV/cm; 0.516 nm; 25.8 nm.

3.2 Caratteristica i - v del diodo

Il diodo svolge nei circuiti elettronici un'operazione analoga a quella di una valvola meccanica: permette alla corrente di fluire in una direzione mentre blocca il flusso nella direzione opposta. Vedremo nel seguito come questo comportamento non lineare trovi diverse applicazioni nell'elettronica. Per comprendere questo fenomeno esamineremo la relazione tra la corrente che attraversa il diodo e la tensione a esso applicata. Questa relazione, detta caratteristica i - v del diodo, sarà dapprima presentata in forma grafica, e successivamente nel Paragrafo 3.3 sarà presentata la corrispondente formulazione matematica.

La corrente in un diodo è dovuta alla tensione a esso applicata. Considerando il diodo in Figura 3.6, la tensione v_D rappresenta la tensione applicata ai terminali del diodo, mentre i_D è la corrente che attraversa il diodo. Le regioni neutre del diodo offrono una bassa resistenza, e praticamente tutta la tensione esterna applicata cade ai capi della regione di carica spaziale.

La tensione applicata modifica il bilancio tra le correnti di diffusione e di deriva nella regione di svuotamento, descritto dall'Equazione (3.8). Una tensione positiva applicata al diodo riduce la barriera di potenziale per gli elettroni e le lacune, come mostrato in Figura 3.7, dando origine a una corrente che attraversa la giunzione. Una tensione negativa produce un incremento della barriera di potenziale, e benché il bilancio descritto nell'Equazione (3.8) venga perturbato, la corrente risultante dall'aumento della barriera è molto piccola.

Gli aspetti più importanti della caratteristica i - v del diodo sono mostrati in dettaglio nella Figura 3.8. La caratteristica del diodo è decisamente non lineare. Per tensioni negative in pratica il diodo non conduce, sicché $i_D \approx 0$. Per valori positivi della tensione, la corrente assume ancora valori prossimi a zero finché la tensione rimane inferiore a 0.5-0.7 V. Per tensioni superiori la corrente aumenta rapidamente, e la tensione ai capi del diodo diviene pressoché indipendente dal livello di corrente. La tensione necessaria affinché il diodo conduca in modo significativo è chiamata **tensione di accensione (turn-on) o di soglia** del diodo.

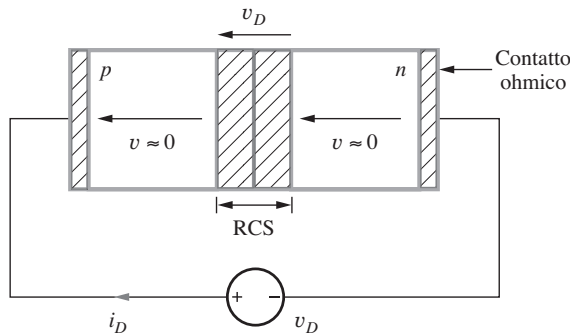


Figura 3.6
Diodo sottoposto a una tensione esterna v_D .

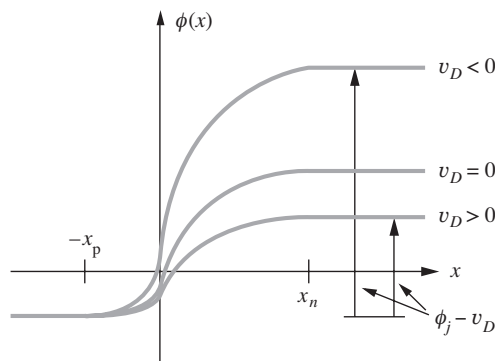
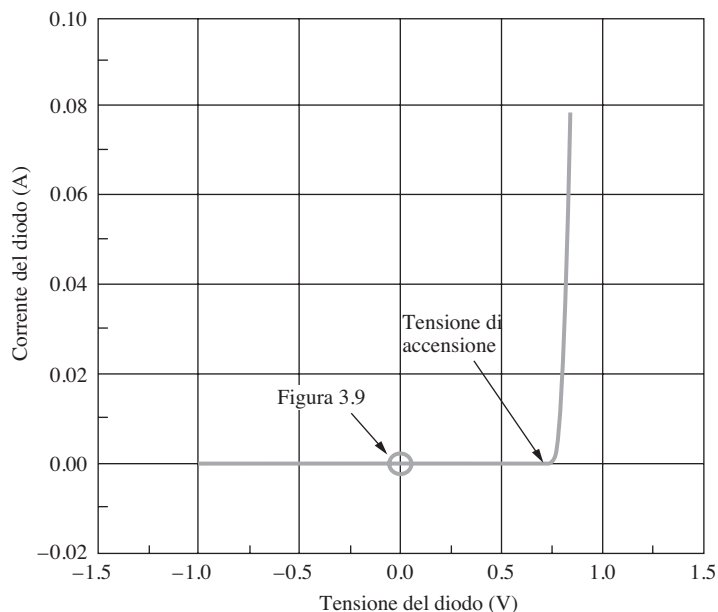


Figura 3.7
Potenziale elettrostatico della giunzione per diverse tensioni applicate.

Figura 3.8

Grafico della caratteristica i - v del diodo a giunzione pn .



La Figura 3.9 mostra un ingrandimento della caratteristica nell'intorno dell'origine. Si vede che la caratteristica i - v attraversa l'origine, ovvero la corrente è nulla quando la tensione è nulla.

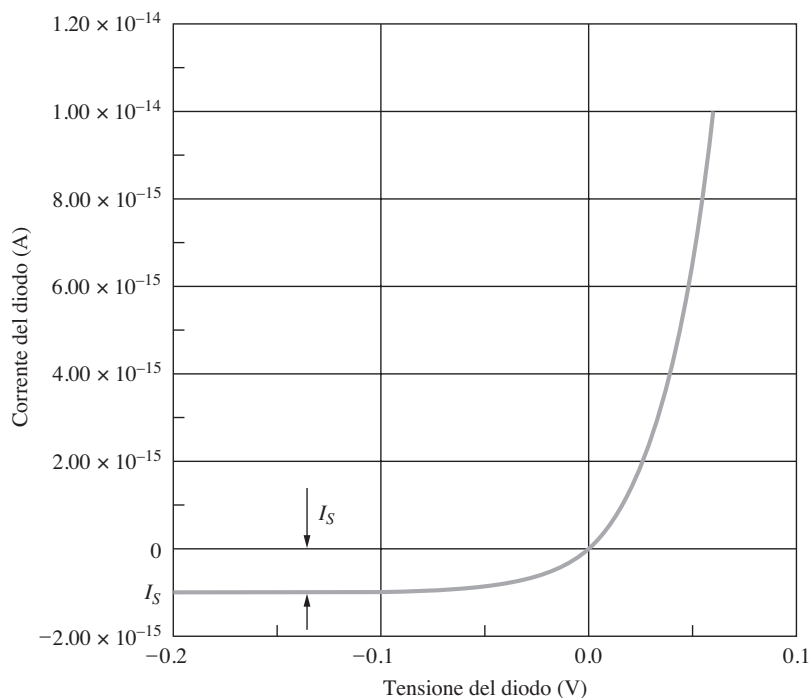
Per tensioni negative la corrente non è esattamente pari a zero, e più precisamente per tensioni inferiori a -0.1 V tende a un valore costante, pari a $-I_S$. La corrente I_S è detta **corrente di saturazione inversa**, o semplicemente **corrente di saturazione** del diodo.

3.3 L'equazione del diodo: un modello matematico per il diodo

Quando effettuiamo l'analisi di un circuito contenente diodi, è necessario disporre di una rappresentazione matematica, o modello, della caratteristica i - v mostrata in Figura 3.8. In effetti la teoria dello stato solido può essere utilizzata per ricavare una formulazione matema-

Figura 3.9

Comportamento del diodo in prossimità dell'origine, con $I_S = 10^{-15}$ A e $n = 1$.



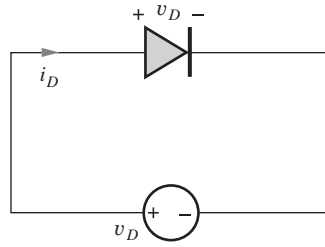


Figura 3.10
Diodo con tensione applicata v_D .

tica della caratteristica i - v del diodo che si è dimostrata in accordo eccellente con i dati sperimentali. L'equazione che descrive la caratteristica i - v , detta **equazione del diodo**, è riportata di seguito.

Consideriamo un diodo a cui è applicata una tensione, come in Figura 3.10. Dalla soluzione delle equazioni differenziali (3.8) si possono ottenere le distribuzioni degli elettroni e delle lacune, e quindi la corrente i_D , in funzione della tensione v_D ai capi del diodo. L'**equazione del diodo** così ottenuta fornisce un **modello matematico** per le caratteristiche i - v del diodo:

$$i_D = I_S \left[\exp \left(\frac{qv_D}{nkT} \right) - 1 \right] = I_S \left[\exp \left(\frac{v_D}{nV_T} \right) - 1 \right] \quad (3.9)$$

dove I_S = corrente di saturazione inversa del diodo (A)

v_D = tensione applicata al diodo (V)

q = carica dell'elettrone (1.60×10^{-19} C)

k = costante di Boltzmann (1.38×10^{-23} J/K)

T = temperatura assoluta (K)

n = fattore di idealità

$V_T = kT/q$ = tensione termica (V)

La Figura 3.10 mostra il verso convenzionale per la tensione e per la corrente del diodo. Per la tensione termica V_T , introdotta nel Capitolo 2, assumeremo il valore di 25 mV a temperatura ambiente. Il termine I_S rappresenta la corrente di saturazione inversa, riportata in Figura 3.9, e n è un parametro adimensionale che verrà analizzato in modo più approfondito in seguito. La corrente di saturazione I_S assume tipicamente valori compresi nell'intervallo:

$$10^{-18} \text{ A} \leq I_S \leq 10^{-9} \text{ A} \quad (3.10)$$

La fisica dei semiconduttori mostra che la corrente di saturazione del diodo è proporzionale a n_i^2 , dove n_i è la densità di elettroni e lacune in un semiconduttore intrinseco. Dall'analisi dell'Equazione (2.1) del Capitolo 2 possiamo dedurre che I_S risulta fortemente dipendente dalla temperatura. La dipendenza di I_S dalla temperatura verrà studiata in maggior dettaglio nel Paragrafo 3.5.

Il parametro n è detto **fattore di idealità** (o coefficiente di emissione), e assume valore unitario per un diodo ideale. Per la maggioranza dei diodi al silicio n varia da 1.0 a 1.1, benché si avvicini a 2 nei diodi che lavorano a elevate densità di corrente. D'ora in poi assumeremo $n = 1$, tranne in casi esplicitamente indicati, e l'equazione del diodo assumerà la forma:

$$i_D = I_S \left[\exp \left(\frac{v_D}{V_T} \right) - 1 \right] \quad (3.11)$$

ESERCIZIO Si verifichi che per $n = 1$ e $T = 300$ K si ha $n(kT/q) = 25.9$ mV. Si determini inoltre il valore di temperatura richiesto per ottenere lo stesso valore, assumendo $n = 1.03$.

RISPOSTA 291 K.

Il modello matematico dato dall'Equazione (3.11) è in grado di descrivere in maniera molto accurata la caratteristica i - v del diodo a giunzione pn . Tale modello è utile per la comprensione non solo del comportamento del diodo, ma anche delle caratteristiche i - v del transistor bipolare. Costituisce inoltre il cuore del modello del diodo nel programma di simulazione circuitale SPICE.

**NOTA PROGETTUALE****Parametri del modello del diodo**

In base all'Equazione (3.11), il modello matematico del diodo contiene 3 parametri: la corrente di saturazione I_S , la temperatura (contenuta nella tensione termica V_T), e il fattore di idealità n .

$$i_D = I_S \left[\exp \left(\frac{v_D}{nV_T} \right) - 1 \right]$$

Esempio 3.3**CALCOLO DELLA CORRENTE E DELLA TENSIONE IN UN DIODO****PROBLEMA**

(a) Si calcoli la tensione applicata a un diodo di silicio con $I_S = 0.1$ fA a temperatura ambiente corrispondente a una corrente di 300 μ A. Si ripeta il calcolo per $I_S = 10$ fA. Qual è la tensione del diodo se la corrente è pari a 1 mA? (b) Si calcoli la tensione applicata a un diodo di silicio per applicazioni di potenza con $I_S = 10$ nA e $n = 2$ a temperatura ambiente, se la corrente è pari a 10 A. (c) In un diodo di silicio alla temperatura di funzionamento di 50 °C la corrente corrispondente alla tensione di 0.736 V risulta pari a 2.50 mA. Si calcoli la corrente di saturazione.

SOLUZIONE (a)

Informazioni e dati noti: Sono assegnate la corrente del diodo e la corrente di saturazione.

Incognite: La tensione del diodo.

Approccio: Si utilizzerà l'Equazione (3.9) per il calcolo della tensione nei diversi casi.

Ipotesi: A temperatura ambiente assumeremo $V_T = 25$ mV; in assenza di altre indicazioni assumeremo inoltre $n = 1$; in condizioni di funzionamento a regime stazionario possiamo scrivere $v_D = V_D$ e $i_D = I_D$.

Analisi: Ricavando V_D dall'Equazione (3.9) con $I_D = 300$ μ A e $I_S = 0.1$ fA si ottiene:

$$V_D = nV_T \ln \left(1 + \frac{I_D}{I_S} \right) = 1(25 \text{ mV}) \ln \left(1 + \frac{300 \text{ } \mu\text{A}}{0.1 \text{ fA}} \right) = 0.718 \text{ V}$$

Per $I_D = 300$ μ A e $I_S = 10$ fA otteniamo:

$$V_D = nV_T \ln \left(1 + \frac{I_D}{I_S} \right) = 1(25 \text{ mV}) \ln \left(1 + \frac{300 \text{ } \mu\text{A}}{10 \text{ fA}} \right) = 0.603 \text{ V}$$

Per $I_D = 1$ mA e $I_S = 0.1$ fA risulta:

$$V_D = nV_T \ln \left(1 + \frac{I_D}{I_S} \right) = 1(25 \text{ mV}) \ln \left(1 + \frac{1 \text{ mA}}{0.1 \text{ fA}} \right) = 0.748 \text{ V}$$

Verifica dei risultati: I valori ottenuti sono compresi tra 0.5 e 1.0 V e sono quindi ragionevoli (la tensione del diodo dovrebbe essere inferiore a quella corrispondente alla banda proibita se $n = 1$).

SOLUZIONE (b)

Informazioni e dati noti: Sono assegnati la corrente del diodo, il fattore di idealità e la corrente di saturazione.

Incognite: La tensione del diodo corrispondente alla corrente assegnata.

Approccio: Si utilizzerà l'Equazione (3.9) per il calcolo della tensione.

Ipotesi: A temperatura ambiente assumeremo $V_T = 25$ mV.

Analisi: Ricavando V_D dall'Equazione (3.9) si ottiene:

$$V_D = nV_T \ln \left(1 + \frac{I_D}{I_S} \right) = 2(25 \text{ mV}) \ln \left(1 + \frac{10 \text{ A}}{10 \text{ nA}} \right) = 1.04 \text{ V}$$

Verifica dei risultati: Tensioni comprese tra 1 e 2 V sono tipiche in diodi di potenza operanti a elevate correnti con $n = 2$.

Informazioni e dati noti: Sono assegnate la corrente e la tensione del diodo, e la temperatura di funzionamento. **SOLUZIONE (c)**

Incognite: La corrente di saturazione del diodo.

Approccio: Si utilizzerà l'Equazione (3.9) per il calcolo della corrente di saturazione. Nel calcolo sarà necessario valutare il valore della tensione termica alla temperatura di 50 °C.

Ipotesi: Non essendo specificato il fattore di idealità assumeremo $n = 1$.

Analisi: Esprimendo la temperatura $T = 50$ °C in gradi Kelvin si ha $T = (273 + 50)$ K = 323 K, e la tensione termica risulta:

$$V_T = \frac{kT}{q} = \frac{(1.38 \times 10^{-23} \text{ J/K})(323 \text{ K})}{1.69 \times 10^{-19} \text{ C}} = 27.9 \text{ mV}$$

Ricavando I_S dalla (3.9) otteniamo:

$$I_S = \frac{I_D}{\exp\left(\frac{V_D}{nV_T}\right) - 1} = \frac{2.5 \text{ mA}}{\exp\left(\frac{0.736 \text{ V}}{27.9 \text{ mV}}\right) - 1} = 8.74 \times 10^{-15} \text{ A} = 8.74 \text{ fA}$$

Verifica dei risultati: Il valore ottenuto per I_S è compreso nell'intervallo indicato nella (3.10).

ESERCIZIO Un diodo ha una corrente di saturazione inversa di 40 fA. Si calcoli i_D in corrispondenza di una tensione pari a 0.55 e 0.7 V. Qual è la tensione del diodo se $i_D = 6$ mA?

RISPOSTE 143 μA; 57.9 mA; 0.643 V.

3.4 Diodo in polarizzazione inversa, nulla e diretta

Quando una tensione continua è applicata a un dispositivo elettronico, diremo che stiamo applicando una tensione di polarizzazione, o semplicemente una **polarizzazione**. La polarizzazione determina la regione di funzionamento del dispositivo. Nel caso del diodo vi sono due regioni di funzionamento, **la polarizzazione inversa** ($v_D < 0$) e quella **diretta** ($v_D > 0$). La condizione di **polarizzazione nulla** ($v_D = 0$) rappresenta il punto di separazione tra le regioni di polarizzazione diretta e inversa. Quando il diodo funziona in polarizzazione inversa lo si considera “spento” (*off*), in quanto la corrente è molto bassa ($i_D = -I_S$). Nel caso di polarizzazione diretta, il diodo si trova in uno stato di elevata conduzione, ed è considerato “acceso” (*on*).

3.4.1 Polarizzazione inversa

Nel caso $v_D < 0$, si dice che il diodo funziona in polarizzazione inversa. Solo una piccola intensità di corrente, approssimativamente pari a I_S , fluisce attraverso il diodo. Questa corrente assume valori talmente bassi, che di solito si ritiene che il diodo non conduca, ovvero sia spento. Per esempio, supponiamo che una tensione $v_D = -4V_T = -0.1$ V sia applicata ai terminali del diodo. Assegnando a v_D il valore -0.1 V nell'Equazione (3.11) si ottiene:

$$i_D = I_S \left[\exp\left(\frac{v_D}{V_T}\right) - 1 \right] = I_S \left[\overset{\text{trascurabile}}{\exp(-4)} - 1 \right] \approx -I_S \quad (3.12)$$

essendo $\exp(-4) = 0.018$.

Per una polarizzazione inversa maggiore in modulo di $4 V_T$, ovvero $v_D \leq -4 V_T = -0.1 \text{ V}$, il termine esponenziale $\exp(v_D/V_T)$ è molto minore di 1, e la corrente del diodo sarà approssimativamente pari a $-I_S$, che come già detto rappresenta un valore molto basso. La corrente I_S è evidenziata in Figura 3.9.

ESERCIZIO Un diodo è caratterizzato da una corrente di saturazione inversa di 5 fA. Si calcoli il valore di i_D per tensioni applicate pari a -40 mV e -2 V (si veda il Paragrafo 3.6).

RISPOSTE -3.99 fA ; -5 fA .

La situazione mostrata in Figura 3.9 e descritta dall'Equazione (3.12) in realtà rappresenta una descrizione idealizzata del diodo. In un diodo reale la corrente inversa è maggiore di I_S di diversi ordini di grandezza, a causa della generazione di coppie elettrone-lacuna all'interno della regione di svuotamento. Inoltre, i_D non satura ma cresce in modo graduale con la tensione inversa applicata, a causa dell'incremento della larghezza della regione di svuotamento (si veda il Paragrafo 3.6.1).

3.4.2 Polarizzazione nulla

Benché possa sembrare un risultato banale, è importante ricordare che la caratteristica i - v del diodo passa attraverso l'origine. Per polarizzazione nulla ($v_D = 0$) si ha $i_D = 0$. Come per il resistore, occorre applicare una tensione ai capi del diodo per ottenere una corrente diversa da zero.

3.4.3 Polarizzazione diretta

Se la tensione applicata è positiva ($v_D > 0$), il diodo funziona in polarizzazione diretta, e un'elevata corrente fluisce attraverso il diodo.

Supponiamo che una tensione $v_D \geq +4 V_T = +0.1 \text{ V}$ sia applicata ai terminali del diodo. Il termine esponenziale $\exp(v_D/V_T)$ è molto maggiore di 1 e l'Equazione (3.9) si riduce a:

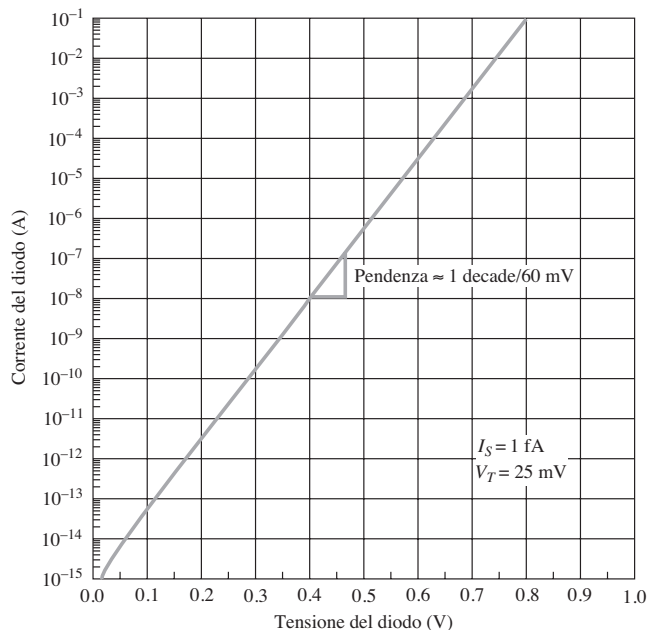
$$i_D = I_S \left[\exp\left(\frac{v_D}{V_T}\right) - 1 \right] \approx I_S \exp\left(\frac{v_D}{V_T}\right) \quad (3.13)$$

trascurabile

La corrente del diodo cresce esponenzialmente con la tensione applicata per tensioni di polarizzazione maggiori di circa $4 V_T$.

La caratteristica i - v per tensioni dirette è riportata in scala semilogaritmica in Figura 3.11. Risulta evidente l'andamento lineare previsto dall'Equazione (3.13). Si può osservare un

Figura 3.11
Caratteristica i - v del diodo in scala semilogaritmica.



leggero incurvamento in prossimità dell'origine, dove il termine -1 non è più trascurabile. La pendenza del grafico nella regione esponenziale è molto importante. Per incrementare la corrente di un fattore 10 è sufficiente un incremento di tensione di soli 60 mV. È questa la ragione dell'incremento quasi verticale della corrente osservabile in Figura 3.8 per tensioni superiori alla tensione di accensione.

VARIAZIONE DELLA TENSIONE DEL DIODO CON LA CORRENTE

Esempio 3.4

Si utilizzi l'Equazione (3.13) per calcolare in modo accurato la variazione di tensione necessaria per incrementare la corrente di un fattore 10.

PROBLEMA

Informazioni e dati noti: L'incremento specificato della corrente è pari a una decade.

SOLUZIONE

Incognite: L'incremento della tensione corrispondente alla variazione specificata per la corrente; la corrente di saturazione non è indicata.

Approccio: Si utilizzerà l'equazione del diodo per valutare il rapporto tra due valori della corrente. Poiché nel rapporto la corrente di saturazione scompare, tale informazione non è necessaria.

Ipotesi: Temperatura ambiente con $V_T = 25.0$ mV. Assumeremo inoltre $I_D \gg I_S$.

Analisi: Poniamo:

$$i_{D1} = I_S \exp\left(\frac{v_{D1}}{V_T}\right) \quad \text{e} \quad i_{D2} = I_S \exp\left(\frac{v_{D2}}{V_T}\right)$$

Eseguendo il rapporto delle due correnti, e ponendolo pari a 10 si ottiene

$$\frac{i_{D2}}{i_{D1}} = \exp\left(\frac{v_{D2} - v_{D1}}{V_T}\right) = \exp\left(\frac{\Delta v_D}{V_T}\right) = 10$$

e

$$\Delta v_D = V_T \ln(10) = 2.3 V_T$$

Pertanto risulta $\Delta v_D = 2.3 V_T = 57.5$ mV (≈ 60 mV) a temperatura ambiente.

Verifica dei risultati: Il valore ottenuto è in accordo con il grafico di Figura 3.11. La tensione del diodo aumenta di circa 60 mV in corrispondenza di un incremento di una decade della corrente.

ESERCIZIO Un diodo presenta una corrente di saturazione inversa di 2 fA. (a) Si calcoli la tensione del diodo in corrispondenza di una corrente di 40 μ A (si assuma $V_T = 25.0$ mV). Si ripeta il calcolo per una corrente di 400 μ A. Si valuti la differenza tra le tensioni. (b) Si ripeta il calcolo assumendo $V_T = 25.9$ mV.

RISPOSTE 0.593 V; 0.651 V; 57.6 mV; 0.612 V; 0.671 V; 59.4 mV.



NOTA PROGETTUALE

Pendenza della curva semilogaritmica del diodo

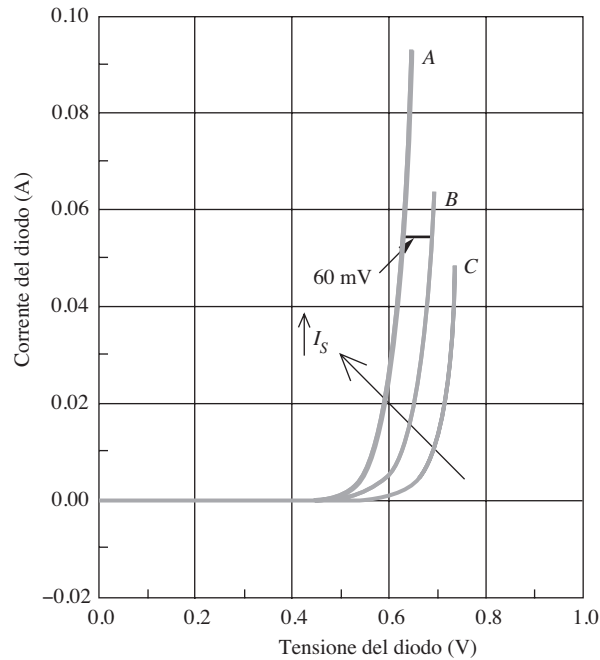
Il fattore 60 mV/decade (si veda la caratteristica di Figura 3.11) assume spesso un ruolo importante quando si utilizzano diodi e transistori bipolari nel

progetto di un circuito, quindi è un numero che è molto utile memorizzare.

La Figura 3.12 presenta un confronto tra le caratteristiche di tre diodi caratterizzati da diversi valori della corrente di saturazione. La corrente di saturazione del diodo A è 10 volte maggiore rispetto a quella del diodo B, e 100 volte maggiore rispetto a quella del diodo C.

Figura 3.12

Caratteristiche di diodi con diversi valori della corrente di saturazione: (a) 10^{-12} A, (b) 10^{-13} A, e (c) 10^{-14} A.



La separazione tra ciascuna coppia di curve è di circa 60 mV. Se si riduce la corrente di saturazione di un fattore 10, occorre aumentare la tensione di circa 60 mV per ottenere la stessa corrente. La figura mostra anche la sensibilità relativamente bassa della tensione rispetto a variazioni del parametro I_s . Per una corrente fissata, una variazione di I_s di due ordini di grandezza produce una variazione della tensione del diodo di soli 120 mV.

3.5 Coefficiente di temperatura del diodo

Una grandezza importante per il diodo è il coefficiente di temperatura v_D associato alla tensione del diodo v_D . Risolvendo l'Equazione (3.11) rispetto alla tensione del diodo, nel caso di polarizzazione diretta si trova:

$$v_D = V_T \ln \left(\frac{i_D}{I_s} + 1 \right) = \frac{kT}{q} \ln \left(\frac{i_D}{I_s} + 1 \right) \approx \frac{kT}{q} \ln \left(\frac{i_D}{I_s} \right) \quad (3.14)$$

Derivando rispetto alla temperatura si ha:

$$\frac{dv_D}{dT} = \frac{k}{q} \ln \left(\frac{i_D}{I_s} \right) - \frac{kT}{q} \frac{1}{I_s} \frac{dI_s}{dT} = \frac{v_D}{T} - V_T \frac{1}{I_s} \frac{dI_s}{dT} = \frac{v_D - V_{G0} - 3V_T}{T} \quad (3.15)$$

dove si è assunto $i_D \gg I_s$ e $I_s \propto n_i^2$. Nel numeratore dell'Equazione (3.15) v_D rappresenta la tensione del diodo, V_{G0} è il potenziale corrispondente all'ampiezza della banda proibita nel silicio a 0 K ($V_{G0} = E_G/q$), e V_T è la tensione termica. Gli ultimi due termini derivano dalla dipendenza dalla temperatura di n_i^2 , come descritto dall'Equazione (2.1). Valutando i termini nell'Equazione (3.15) per un diodo al silicio con $v_D = 0.65$ eV, $E_G = 1.12$ eV e $V_T = 0.025$ V, si ottiene:

$$\frac{dv_D}{dT} = \frac{(0.65 - 1.12 - 0.075) \text{ V}}{300 \text{ K}} = -1.82 \text{ mV/K} \quad (3.16)$$



NOTA PROGETTUALE

Dipendenza della tensione diretta del diodo della temperatura

La tensione diretta del diodo mostra un coefficiente di temperatura negativo, pari a circa $-1.8 \text{ mV/}^\circ\text{C}$ a temperatura ambiente.

ESERCIZIO (a) Si verifichi l'Equazione (3.15) utilizzando per n_i^2 l'espressione data dalla (2.2).
 (b) Un diodo al silicio opera a $T = 300$ K, con $i_D = 1$ mA, e $v_D = 0.680$ V. Si utilizzi l'Equazione (3.16) per stimare la tensione del diodo a 275 K e a 350 K.

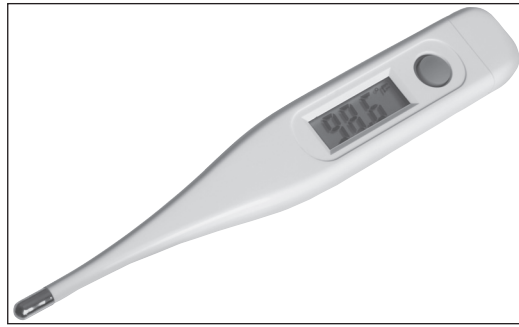
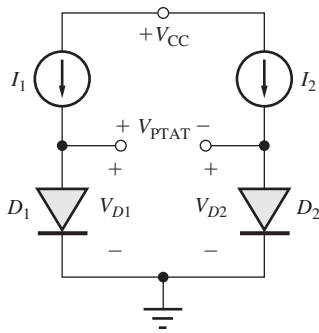
RISPOSTE 0.726 V, 0.589 V.

ELETRONICA IN AZIONE

Termometria elettronica e tensioni PTAT

La ben definita dipendenza della tensione del diodo dalla temperatura descritta nei Paragrafi 3.3-3.5 rappresenta la base del funzionamento dei termometri digitali. Possiamo, infatti, realizzare un sem-

plice termometro elettronico con il circuito mostrato in figura, in cui sono utilizzati due diodi identici polarizzati con due generatori di corrente I_1 e I_2 .



Termometro digitale. [Foto: © D. Hurst/Alamy RF.]

Usando la (3.14) possiamo calcolare la differenza tra le tensioni dei due diodi:

$$V_{PTAT} = V_{D1} - V_{D2} = V_T \ln \left(\frac{I_{D1}}{I_S} \right) - V_T \ln \left(\frac{I_{D2}}{I_S} \right) = V_T \ln \left(\frac{I_{D1}}{I_{D2}} \right) = \frac{kT}{q} \ln \left(\frac{I_{D1}}{I_{D2}} \right)$$

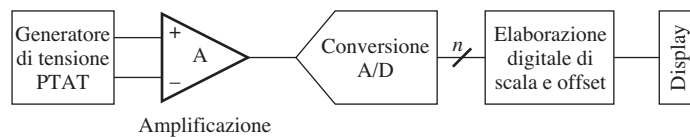
Si noti che la tensione V_{PTAT} risulta direttamente proporzionale alla temperatura assoluta (da cui la notazione PTAT, *Proportional To Absolute Temperature*). Il coefficiente di temperatura della tensione PTAT risulta:

$$\frac{dV_{PTAT}}{dT} = \frac{k}{q} \ln \left(\frac{I_{D1}}{I_{D2}} \right) = \frac{V_{PTAT}}{T}$$

Utilizzando due diodi è stato possibile eliminare la dipendenza di I_S dalla temperatura nell'equazione di V_{PTAT} .

Assumendo per esempio $T = 295$ K, $I_{D1} = 250$ μ A e $I_{D2} = 50$ μ A, si ottiene $V_{PTAT} = 40.9$ mV e un coefficiente di temperatura di $+0.139$ mV/K.

Questo circuito, semplice ma efficace, rappresenta l'elemento di base della maggior parte dei termometri elettronici di precisione utilizzati oggi, come mostrato dallo schema a blocchi riportato di seguito. Il segnale analogico PTAT viene amplificato e quindi convertito in una rappresentazione digitale. Dell'uscita digitale viene modificata la scala e l'offset in modo da ottenere una rappresentazione in scala Fahrenheit oppure Celsius sul display alfanumerico. Queste operazioni possono essere anche effettuate dalla sezione analogica del circuito prima della conversione A/D.



Schema blocchi di un termometro digitale

3.6 Il diodo in polarizzazione inversa

È importante analizzare i diversi fenomeni che avvengono in un diodo polarizzato inversamente. Se una tensione inversa v_R viene applicata al diodo, la tensione cade ai capi della regione di carica spaziale e si va a sommare direttamente al potenziale intrinseco della giunzione [Figura 3.13(c)]:

$$v_j = \phi_j + v_R \quad \text{per } v_R > 0 \quad (3.17)$$

L'incremento della tensione determina un incremento del campo elettrico interno [Figura 3.13(b)], associato a un incremento della carica nella regione di svuotamento [Figura 3.13(a)], in accordo con le Equazioni (3.2)-(3.5). Utilizzando nella (3.7) l'espressione della tensione ai capi della regione di carica spaziale data dalla (3.17), l'espressione generale della larghezza w_d della regione di svuotamento per una tensione inversa $v_D = -v_R$ diventa:

$$w_d = (x_n + x_p) = \sqrt{\frac{2\varepsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (\phi_j + v_R)}$$

o

$$w_d = w_{d0} \sqrt{1 + \frac{v_R}{\phi_j}} \quad \text{dove } w_{d0} = \sqrt{\frac{2\varepsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \phi_j} \quad (3.18)$$

La larghezza della regione di carica spaziale aumenta approssimativamente secondo la radice quadrata della tensione applicata.

ESERCIZIO La larghezza della regione di svuotamento del diodo nell'Esempio 3.1 è pari a $0.113 \mu\text{m}$ in assenza di polarizzazione e il potenziale intrinseco è di 0.979 V . Quale sarà l'ampiezza dello strato di svuotamento per una tensione inversa di 10 V ? Qual è il nuovo valore di E_{MAX} ?

RISPOSTE $0.378 \mu\text{m}$; 581 kV/cm .

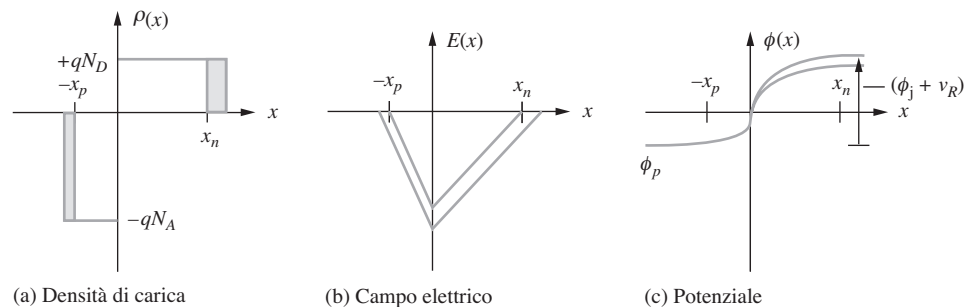
3.6.1 La corrente di saturazione nei diodi reali

Nei diodi reali la corrente di saturazione è essenzialmente dovuta alla generazione di coppie elettrone-lacuna nella regione di carica spaziale, ed è quindi proporzionale all'ampiezza della regione di svuotamento. Poiché l'ampiezza della regione di svuotamento aumenta all'aumentare della tensione inversa [si veda l'Equazione (3.18)], la corrente in polarizzazione inversa non raggiunge il valore di saturazione costante mostrato in Figura 3.9 e indicato dalla (3.9). Al contrario, si verifica un graduale incremento della corrente di polarizzazione inversa all'aumentare della polarizzazione inversa:

$$I_S = I_{S0} \sqrt{1 + \frac{v_R}{\phi_j}} \quad (3.19)$$

In polarizzazione diretta la variazione della regione di svuotamento è trascurabile e quindi possiamo assumere $I_S = I_{S0}$.

Figura 3.13
Variazioni delle grandezze elettrostatiche della giunzione pn a causa della polarizzazione inversa.



ESERCIZIO Un diodo è caratterizzato da $I_{S0} = 10 \text{ fA}$ e un potenziale intrinseco di 0.8 V . Si determini il valore di I_S per una tensione inversa di 10 V .

RISPOSTA 36.7 fA .

3.6.2 Rottura della giunzione

All'aumentare della tensione inversa, aumenta l'intensità del campo elettrico all'interno della regione di svuotamento, fino a che il diodo entra nella **regione di rottura**. L'innescio del processo di rottura (**breakdown**) è abbastanza rapido, e la corrente aumenta rapidamente per ulteriori incrementi della tensione, come mostrato dalla caratteristica i - v in Figura 3.14.

Il valore della tensione in corrispondenza della quale avviene la rottura è detta **tensione di rottura** V_Z del diodo (*breakdown voltage*), e assume valori usualmente compresi nell'intervallo:

$$2 \text{ V} \leq V_Z \leq 2000 \text{ V}$$

Il valore di V_Z è determinato soprattutto dal drogaggio relativo alla regione meno drogata della giunzione, ed è tanto maggiore quanto minore è il drogaggio.

Sono stati identificati due differenti meccanismi di rottura: *rottura per effetto di moltiplicazione a valanga* (*avalanche breakdown*) e *rottura per effetto Zener* (*Zener breakdown*). Questi fenomeni sono illustrati nei due paragrafi seguenti.

Rottura per effetto di moltiplicazione a valanga

Il processo di rottura nei diodi al silicio con tensioni di rottura superiori a circa 5.6 V è dovuto a un meccanismo detto **moltiplicazione a valanga**. All'aumentare della larghezza della regione di svuotamento in condizioni di polarizzazione inversa, il campo elettrico aumenta come mostrato in Figura 3.13. I portatori liberi nella regione di svuotamento vengono accelerati dal campo elettrico, e nel loro moto all'interno della regione di carica spaziale collidono con atomi fissi del reticolo cristallino.

A un certo punto, il campo elettrico e la larghezza della regione di svuotamento diventano tanto elevati che alcuni dei portatori acquistano un'energia sufficiente da provocare la rottura di un legame covalente in seguito a una collisione, creando quindi una coppia elettrone-lacuna. Questi nuovi portatori generati possono essere a loro volta accelerati e creare, tramite un processo di ionizzazione per urto, ulteriori coppie elettrone-lacuna, come mostrato in Figura 3.15.

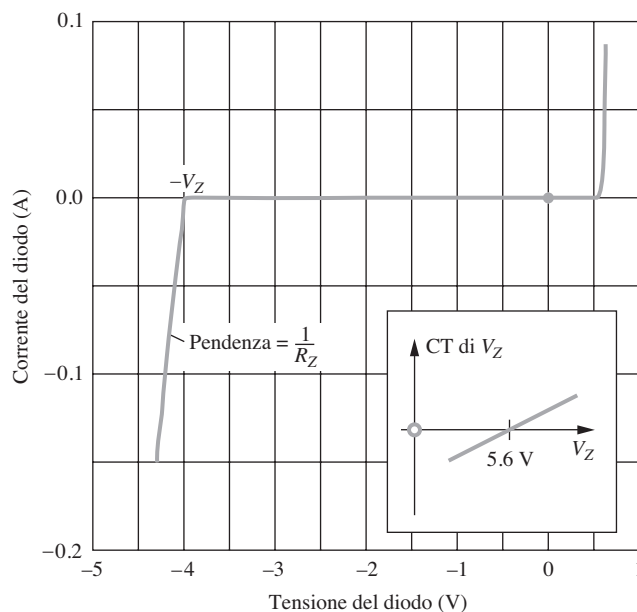
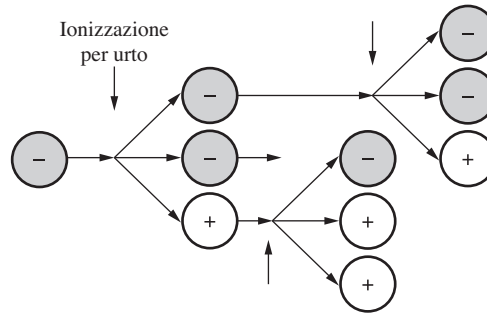


Figura 3.14

Caratteristica i - v di un diodo che include la regione di rottura. Il riquadro mostra il coefficiente di temperatura (CT) di V_Z .

Figura 3.15

Il processo di moltiplicazione a valanga: si osservi che i portatori di carica positiva e negativa si muovono in direzioni opposte nella regione di svuotamento.

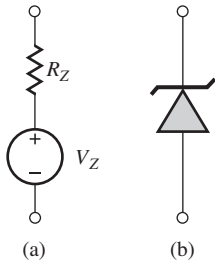


Rottura per effetto Zener

La rottura per effetto Zener avviene solo in diodi molto drogati. L'elevato drogaggio determina uno spessore molto piccolo della regione di svuotamento. In seguito all'applicazione di una polarizzazione inversa, i portatori possono passare direttamente dalla banda di conduzione a quella di valenza per effetto tunnel, provocando un rapido incremento della corrente inversa.

Coefficiente di temperatura della tensione di rottura

Le tensioni V_Z associate ai due meccanismi di rottura (moltiplicazione a valanga ed effetto Zener) mostrano coefficienti di temperatura opposti. Nella rottura per effetto valanga V_Z aumenta con la temperatura, mentre nella rottura per effetto Zener V_Z diminuisce. Per diodi al silicio si ottiene un coefficiente di temperatura pari a zero in corrispondenza di circa 5.6 V. Il meccanismo di moltiplicazione a valanga risulta prevalente in diodi con tensioni di rottura superiori a 5.6 V, mentre il meccanismo Zener provoca la rottura di diodi con tensioni di rottura inferiori a 5.6 V.

**Figura 3.16**

(a) Modello circuitale del diodo in regione di rottura.
(b) Simbolo del diodo Zener.

3.6.3 Modello del diodo in regione di rottura

In condizioni di rottura il diodo può essere rappresentato da un modello costituito da un generatore di tensione V_Z in serie con una resistenza R_Z , che determina la pendenza della caratteristica $i-v$ nella regione di rottura, come mostrato dal grafico di Figura 3.14. La resistenza R_Z assume di solito valori ridotti ($R_Z \leq 100 \Omega$), e la corrente inversa che fluisce nel diodo deve essere limitata dal circuito esterno per evitare la distruzione del diodo.

Dalla caratteristica $i-v$ in Figura 3.14 e dal modello di Figura 3.16(a) vediamo che nella regione di rottura la tensione ai capi del diodo è approssimativamente costante, e indipendente dalla corrente. Alcuni diodi sono progettati per funzionare nella regione di rottura. Questi diodi sono detti **diodi Zener** e sono rappresentati dal simbolo circuitale riportato in Figura 3.16(b).

3.7 Capacità della giunzione pn

In condizioni di polarizzazione diretta o inversa i diodi sono caratterizzati da una capacità associata alla giunzione. La presenza di questa capacità è importante in condizioni di funzionamento dinamiche, in quanto impedisce alla tensione ai capi del diodo di variare istantaneamente; tale capacità è indicata come capacità della giunzione pn o **capacità della regione di svuotamento**.

3.7.1 Polarizzazione inversa

In polarizzazione inversa la larghezza w_d della regione di svuotamento risulta maggiore del valore a polarizzazione nulla, come espresso dall'Equazione (3.18), determinando quindi un incremento della quantità di carica contenuta all'interno della regione di svuotamento. Poiché questa carica varia con la tensione, si osserva la presenza di una capacità. Utilizzando le Equazioni (3.4) e (3.7), la carica totale contenuta nella regione n del diodo è data da:

$$Q_n = qN_D x_n A = q \left(\frac{N_A N_D}{N_A + N_D} \right) w_d A \quad (3.20)$$

dove A è l'area della sezione del diodo e w_d è dato dall'Equazione (3.18). La capacità di una giunzione pn polarizzata inversamente è pari a:

$$C_j = \frac{dQ_n}{dv_R} = \frac{C_{j0}A}{\sqrt{1 + \frac{v_R}{\phi_j}}} \quad \text{dove} \quad C_{j0} = \frac{\epsilon_s}{w_{d0}} \quad (3.21)$$

dove C_{j0} rappresenta la **capacità del diodo a polarizzazione nulla**. La capacità diminuisce al crescere della tensione inversa secondo la radice quadrata di v_R . L'Equazione (3.21) mostra che la capacità del diodo varia con la tensione applicata. Questa capacità controllata dalla tensione può essere molto utile in alcuni circuiti elettronici. I diodi possono essere progettati con profili di drogaggio opportuni (*hyper-abrupt profiles*), ottimizzati appositamente per funzionare come condensatori controllati dalla tensione. Il simbolo circuitale per i diodi a capacità variabile è mostrato in Figura 3.17. Si ricordi che questo tipo di diodo deve funzionare in polarizzazione inversa.



Figura 3.17
Simbolo circuitale per il diodo a capacità variabile (varactor).

ESERCIZIO Qual è il valore di C_{j0} per il diodo dell'Esempio 3.1? Qual è il valore di C_j a polarizzazione nulla se l'area del diodo è pari a $100 \mu\text{m} \times 125 \mu\text{m}$? Qual è il valore della capacità per una tensione inversa di 5 V?

RISPOSTE 91.7 nF/cm²; 11.5 pF; 4.64 pF.

3.7.2 Polarizzazione diretta

Quando il diodo opera in polarizzazione diretta, un'ulteriore carica è immagazzinata in prossimità nelle regioni neutre adiacenti alla regione di carica spaziale. Questa quantità di carica immagazzinata, che chiamiamo Q_D , risulta proporzionale alla corrente del diodo:

$$Q_D = i_D \tau_T \quad C \quad (3.22)$$

La costante di proporzionalità τ_T è detta **tempo di transito** e varia da 10^{-15} s ($= 1$ fs) fino a valori che possono essere maggiori di 10^{-6} s ($= 1$ μs). Il valore del tempo di transito dipende dalle dimensioni e dal tipo di diodo. Poiché la corrente i_D dipende dalla tensione del diodo secondo l'equazione del diodo, si riconosce l'esistenza di un'ulteriore capacità, detta **capacità di diffusione** (C_D), associata alla condizione di polarizzazione diretta:

$$C_D = \frac{dQ_D}{dv_D} = \frac{(i_D + I_S)\tau_T}{V_T} \approx \frac{i_D \tau_T}{V_T} \quad (3.23)$$

in cui V_T è la tensione termica. La capacità di diffusione è anche proporzionale alla corrente, e può diventare abbastanza elevata ad alte correnti.

ESERCIZIO Un diodo è caratterizzato da un tempo di transito di 10 ns. Qual è la capacità di diffusione del diodo per correnti di 10 μA, 0.8 mA e 50 mA a temperatura ambiente?

RISPOSTE 4 pF; 320 pF; 20 nF.

3.8 Diodo a barriera Schottky

In un diodo a barriera Schottky, una delle regioni di semiconduttore del diodo a giunzione pn viene sostituita da un metallo, in modo da formare una giunzione metallo-semiconduttore, come mostrato dalla Figura 3.18(a). È più semplice realizzare un contatto Schottky con un semiconduttore di tipo n , e in questo caso la regione metallica rappresenta l'anodo del diodo. È questo il caso di Figura 3.18. Una regione n^+ viene aggiunta al catodo per ot-

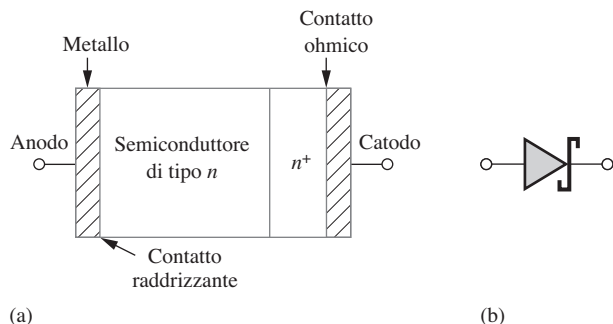


Figura 3.18 (a) Struttura del diodo a barriera Schottky. (b) Simbolo circuitale del diodo Schottky.

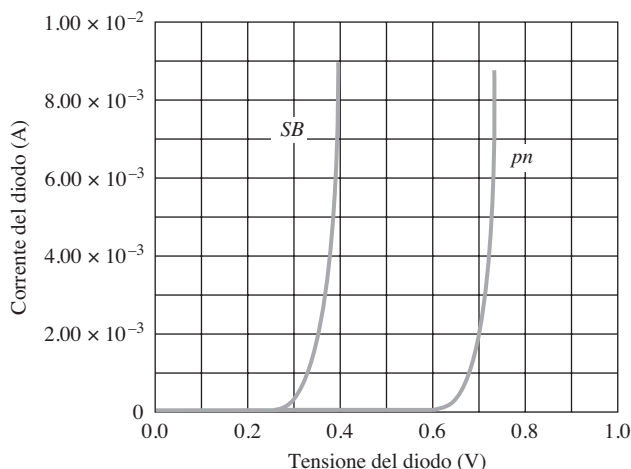


Figura 3.19 Confronto tra le caratteristiche i - v di un diodo a giunzione pn e un diodo Schottky (SB).

tenere un contatto di tipo ohmico¹. Il simbolo circuitale del diodo Schottky è mostrato in Figura 3.18(b).

Il diodo Schottky entra in conduzione per tensioni molto minori rispetto a un diodo pn , come mostrato in Figura 3.19. Inoltre, la carica immagazzinata in polarizzazione diretta è molto minore. I diodi Schottky trovano importanti applicazioni nei circuiti logici bipolari e nei circuiti raddrizzatori di potenza.

ELETTRONICA IN AZIONE

Il programma di simulazione SPICE

“Il simulatore circuitale SPICE (acronimo di Simulation Program with Integrated Circuit Emphasis) è stato creato presso l’Università della California, Berkeley, come progetto di classe nel 1969-1970. È poi diventato lo standard mondiale per la simulazione di circuiti elettronici integrati. SPICE e i suoi derivati sono strumenti di sviluppo essenziali usati praticamente da tutti i progettisti di circuiti integrati. SPICE è stato il primo programma di simulazione circuitale facilmente accessibile agli studenti interessati alla progettazione di circuiti integrati. Negli anni ‘70 del precedente secolo, centinaia di laureati dell’Università della California, Berkeley, e di altre università hanno avuto un ruolo fondamentale per lo sviluppo dell’industria microelettronica negli Stati Uniti d’America”.²

La targa commemorativa di SPICE riportata nella foto a fianco può essere osservata all’ingresso del

Cory Hall, sede del Dipartimento di Ingegneria Elettrica dell’Università di California, Berkeley, dove SPICE fu sviluppato.

IEEE MILESTONE IN ELECTRICAL ENGINEERING AND COMPUTING

SPICE (Simulation Program with Integrated Circuit Emphasis), 1969–1970

SPICE (Simulation Program with Integrated Circuit Emphasis) was created at UC Berkeley as a class project in 1969–1970. It evolved to become the worldwide standard integrated circuit simulator. SPICE has been used to train many students in the intricacies of circuit simulation. SPICE and its descendants have become essential tools employed by virtually all integrated circuit designers.

February 2011

IEEE

[Foto per gentile concessione del Prof. David A. Hodges]

¹ Un contatto tra un metallo e un semiconduttore debolmente drogato è di tipo raddrizzante, ovvero presenta una caratteristica i - v simile a quella di un diodo a giunzione pn , a causa della formazione di una barriera di potenziale simile a quella presente in un diodo a giunzione. Tuttavia, un contatto tra un metallo e un semiconduttore fortemente drogato è di tipo ohmico, ovvero presenta una caratteristica i - v lineare e può essere assimilato a una resistenza di valore ridotto. Tale resistenza rappresenta uno dei contributi alla resistenza parassita R_S introdotta nel Paragrafo 3.9.

² Citazione dal SPICE Circuit Simulation Program Milestone del IEEE Global History Network: http://ethw.org/Milestones:SPICE_Circuit_Simulation_Program, 1970

Il Prof. Donald O. Pederson ha guidato gli studenti che hanno sviluppato il programma SPICE e ha ricevuto nel 1998 la Medaglia di Onore IEEE “Per la creazione del programma SPICE, universalmente usato per la progettazione circuitale assistita dal calcolatore”. Per approfondire l’argomento, si suggerisce la lettura di *IEEE Solid-State Circuits Magazine*, “SPICE Commemorative Issue”, vol. 3, n. 2, Primavera 2011, e la consultazione del sito web IEEE Global History Network (<http://ieeeghn.org>)

Prof. Don Pederson, “Padre di SPICE”, Medaglia di Onore IEEE. [Foto per gentile concessione del Prof. David A. Hodges.]



3.9 Modello SPICE e layout del diodo

Il circuito mostrato in Figura 3.20 rappresenta il modello del diodo utilizzato nel programma di simulazione circuitale SPICE. La resistenza R_S rappresenta la resistenza serie associata alla struttura dei diodi integrati e ai relativi contatti. La corrente erogata dal generatore di corrente rappresenta il termine esponenziale nell’Equazione (3.12), contenente i **parametri SPICE** IS, N e V_T . L’equazione effettivamente impiegata per il calcolo di i_D contiene anche un termine, qui non considerato, che include l’effetto dei processi di generazione-ricombinazione nella regione di svuotamento [cfr. (3.19)].

Le capacità incluse nel modello **SPICE** comprendono sia la capacità di svuotamento (significativa soprattutto in polarizzazione inversa), e descritta dai parametri SPICE CJO, VJ e M, che la capacità di diffusione (significativa in polarizzazione diretta), definita dal parametro N e dal tempo di transito TT. Il parametro SPICE M descrive il gradiente della giunzione (*junction grading*). Tale parametro può essere definito dall’utente in modo da descrivere la dipendenza della capacità dalla tensione in modo più accurato, e ha un valore di default usualmente pari a 0.5, che corrisponde al valore utilizzato nella (3.21).

ESERCIZIO Si identifichino i valori di default per i 7 parametri elencati nella Tabella 3.1 per la versione del programma SPICE utilizzata dal lettore. Si confrontino i valori con quelli riportati in Tabella 3.1.

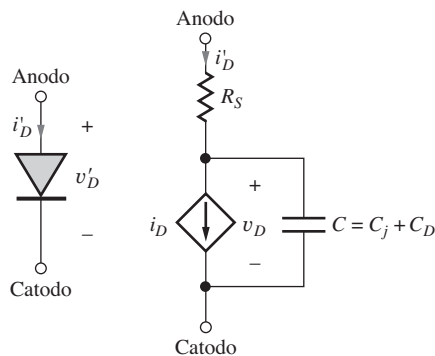


Figura 3.20

Circuito equivalente del diodo e forme semplificate delle equazioni utilizzate nel programma SPICE.

$$i_D = IS \left[\exp\left(\frac{v_D}{NV_T}\right) - 1 \right]$$

$$C_D = TT \frac{i_D}{NV_T} \quad \text{per } v_D \geq 0 \quad C_J = \frac{CJO}{\left(1 - \frac{v_D}{VJ}\right)^M} \text{ RAREA} \quad \text{per } v_D \leq 0$$

Tabella 3.1 Parametri del modello SPICE del diodo

Parametro	Simbolo usato nel testo	Parametro SPICE	Valori tipici di default
Corrente di saturazione	I_S	IS	10 fA
Resistenza serie	R_S	RS	0 Ω
Fattore di idealità o coefficiente di emissione	n	N	1
Tempo di transito	τ_T	TT	0 s
Capacità di giunzione a polarizzazione nulla per unità di area $RAREA = 1$	$C_{jo} \cdot A$	CJO	0 F
Potenziale intrinseco	ϕ_j	VJ	1 V
Coefficiente del gradiente della giunzione	—	M	0.5
Area relativa della giunzione	—	RAREA	1

Layout del diodo

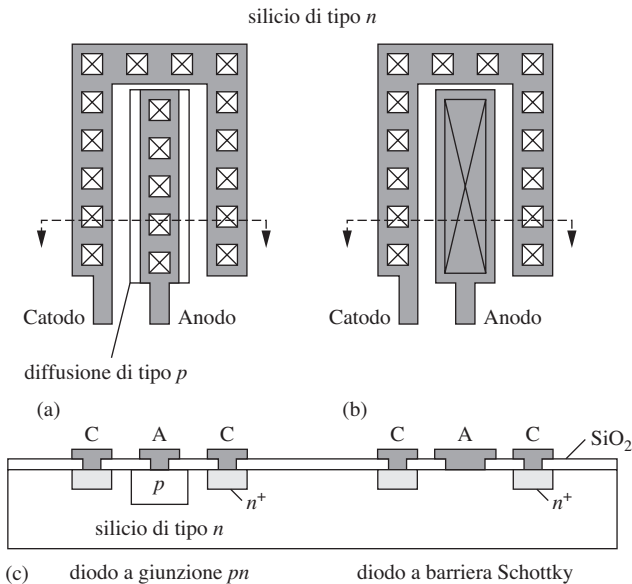
La Figura 3.21(a) mostra il layout di un semplice diodo realizzato attraverso la diffusione di una regione di tipo p in un substrato di silicio di tipo n , come illustrato nel Capitolo 2. Questo diodo presenta una lunga diffusione rettangolare di tipo p per incrementare il valore di I_S , che è proporzionale all'area della giunzione. La regione di tipo p presenta molteplici contatti, ed è circondata dai contatti relativi alla regione n . I due insiemi di contatti sono introdotti in modo tale da minimizzare la resistenza serie R_S mostrata in Figura 3.20. I contatti presentano la medesima area in modo che le finestre di contatto possano essere realizzate utilizzando un processo di attacco di uguale durata. L'impiego di molteplici contatti identici facilita anche il calcolo della resistenza di contatto complessiva. Le regioni di tipo n^+ situate al di sotto dei contatti metallici relativi alla regione n sono necessarie per realizzare dei contatti ohmici evitando la formazione di contatti Schottky.

La Figura 3.21(b) mostra una struttura semplificata di diodo Schottky in cui la metallizzazione di alluminio rappresenta l'anodo del diodo mentre il substrato di tipo n il catodo. È necessario calibrare con cura i passi del processo per realizzare un diodo anziché un contatto ohmico.

3.10 Analisi dei circuiti a diodi

Iniziamo ora l'analisi di circuiti contenenti diodi. La Figura 3.22 presenta un circuito contenente un generatore di tensione, un resistore e un diodo. V e R possono rappresentare la tensione e la resistenza equivalente secondo Thévenin di un circuito più complesso. Si osservi inoltre la diversa notazione utilizzata in Figura 3.22; nei circuiti che analizzeremo nei successivi paragrafi, le tensioni applicate, e quindi le correnti e le cadute di tensione ai capi dei diodi sono grandezze costanti (DC), e le indichiamo con i simboli I_D e V_D .

Figura 3.21
(a) Layout di un diodo a giunzione pn e (b) di un diodo metallo-semiconduttore o diodo Schottky. (c) Sezione trasversale di due diodi (la relativa vista dall'alto è presentata all'inizio del capitolo).



Uno degli scopi principali dell'analisi dei circuiti con dispositivi elettronici è la determinazione del **punto di lavoro**,³ o **punto Q**, dei dispositivi. Il punto Q per un diodo è rappresentato dalla coppia di valori corrente-tensione (I_D, V_D) che definisce il punto di funzionamento del diodo sulla caratteristica $i-v$. Iniziamo l'analisi scrivendo l'equazione alla maglia per il circuito in Figura 3.22:

$$V = I_D R + V_D \quad (3.24)$$

L'Equazione (3.24) rappresenta il vincolo che il circuito impone al punto di lavoro del diodo. La caratteristica $i-v$ del diodo in Figura 3.8 rappresenta tutti i valori di I_D e V_D che può assumere il diodo. La soluzione simultanea di queste condizioni definisce il punto Q.

Esaminiamo diversi metodi per determinare la soluzione dell'Equazione (3.24). Tali metodi comprendono l'analisi grafica e l'impiego di diversi modelli equivalenti del diodo.

In particolare, le tecniche che verranno studiate sono:

- analisi grafica con la retta di carico;
- analisi con il modello matematico del diodo;
- analisi con il modello del diodo ideale;
- analisi con il modello a caduta di tensione costante.

3.10.1 Analisi grafica con la retta di carico

In alcuni casi la caratteristica $i-v$ di un dispositivo a stato solido può essere disponibile solo in forma grafica, come mostrato in Figura 3.23. Dobbiamo allora utilizzare un metodo grafico per determinare la soluzione simultanea del sistema costituito dall'Equazione (3.24) e dall'equazione che descrive la caratteristica del diodo. L'Equazione (3.24) descrive la **retta di carico** del diodo. Il punto Q può essere determinato riportando la retta di carico nel grafico relativo alla caratteristica $i-v$ del diodo. L'intersezione delle due curve rappresenta il punto Q per il diodo.

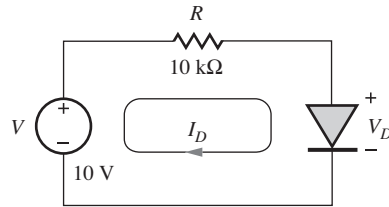


Figura 3.22

Circuito con diodo contenente un generatore di tensione e un resistore.

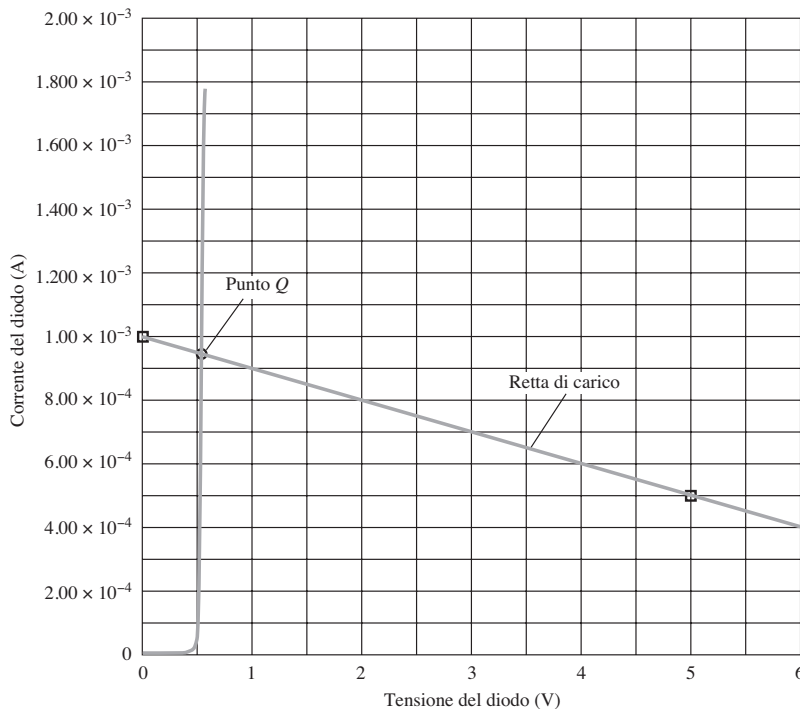


Figura 3.23

Caratteristica $i-v$ del diodo e retta di carico.

³ Il punto di lavoro viene anche comunemente chiamato punto di funzionamento a riposo. [N.d.T.]

Esempio 3.5**ANALISI GRAFICA CON LA RETTA DI CARICO**

PROBLEMA Si utilizzi l'analisi basata sulla retta di carico per determinare il punto di lavoro per il circuito riportato in Figura 3.22, impiegando la caratteristica i - v di Figura 3.23.

SOLUZIONE **Informazioni e dati noti:** La caratteristica i - v del diodo è presentata in forma grafica in Figura 3.23. Il circuito del diodo è riportato in Figura 3.22 con $V = 10$ V e $R = 10$ k Ω .

Incognite: Il punto di lavoro del diodo (I_D , V_D).

Approccio: Si scriverà l'equazione della retta di carico e si determineranno due punti sulla retta di carico che permettano di tracciare la retta di carico in Figura 3.23. Il punto di lavoro sarà individuato dall'intersezione della caratteristica i - v con la retta.

Ipotesi: La temperatura del diodo coincide con quella relativa alle caratteristiche i - v riportate in Figura 3.23.

Analisi: Utilizzando i valori mostrati in Figura 3.22, l'Equazione (3.24) può essere riscritta come segue:

$$10 \text{ V} = 10 \text{ k}\Omega \times I_D + V_D \quad (3.25)$$

Sono necessari due punti per definire la retta. La scelta più semplice è:

$$I_D = (10 \text{ V}/10 \text{ k}\Omega) = 1 \text{ mA} \quad \text{per } V_D = 0 \quad \text{e} \quad V_D = 10 \text{ V} \quad \text{per } I_D = 0$$

Sfortunatamente il secondo punto non è compreso nelle caratteristiche rappresentate in Figura 3.23, ma possiamo scegliere un qualsiasi altro punto che soddisfi l'Equazione (3.25). Assumiamo $V_D = 5$ V:

$$I_D = (10 - 5) \text{ V}/10 \text{ k}\Omega = 0.5 \text{ mA} \quad \text{per } V_D = 5$$

Questi punti, e la corrispondente retta di carico, sono riportati in Figura 3.23. Il punto di lavoro è dato dall'intersezione della retta di carico con la caratteristica del diodo:

$$\text{Punto } Q = (0.95 \text{ mA}, 0.6 \text{ V})$$

Verifica dei risultati: Possiamo sostituire il valore ottenuto della tensione nella (3.25) e quindi calcolare I_D . Utilizzando $V_D = 0.6$ V nell'Equazione (3.25) si ottiene una migliore stima per il punto di lavoro: (0.94 mA, 0.6 V). [Nota: avremmo potuto sostituire $I_D = 0.95$ mA nella (3.25) e ricavare una migliore stima per la tensione V_D .]

Discussione: Si osservi che i valori ottenuti tramite l'analisi grafica non soddisfano esattamente l'equazione della retta di carico, a causa della precisione limitata della valutazione dei valori numerici dal grafico.

ESERCIZIO Si ripeta l'analisi basata sulla retta di carico nel caso $V = 5$ V e $R = 5$ k Ω .

RISPOSTA (0.88 mA, 0.6 V).

ESERCIZIO Si impieghi SPICE per determinare il punto di lavoro per il circuito di Figura 3.22. Si utilizzino i valori di default della versione di SPICE a vostra disposizione.

RISPOSTA (935 μ A, 0.653 V) per $I_S = 10$ fA e $T = 300$ K.

3.10.2 Analisi con il modello matematico del diodo

Possiamo utilizzare il modello matematico del diodo per ottenere la soluzione del problema in maniera più diretta. La caratteristica del diodo mostrata in Figura 3.23 può essere descritta abbastanza accuratamente dall'equazione del diodo (3.11), con $I_S = 100$ fA, $n = 1$, e $V_T = 25$ mV:

$$I_D = I_S \left[\exp \left(\frac{V_D}{V_T} \right) - 1 \right] = 100 \text{ fA} \left[\exp (V_D/(25 \text{ mV})) - 1 \right] \quad (3.26)$$

Sostituendo l'Equazione (3.26) nell'Equazione (3.25) si può eliminare I_D , ottenendo un'equazione nell'incognita V_D :

$$10 \text{ V} = (10 \text{ k}\Omega)(100 \text{ fA})[\exp(V_D/(25 \text{ mV})) - 1] + V_D \quad (3.27)$$

L'Equazione (3.27) è un'equazione trascendente, che non ammette soluzioni analitiche esatte, e occorre determinare una soluzione tramite un'analisi numerica del problema.

Un metodo per determinare una soluzione numerica dell'Equazione (3.27) è basato su approssimazioni successive. Si assume un valore di tentativo per V_D e si verifica se soddisfa l'Equazione (3.27). In base al risultato si può stabilire un nuovo valore di tentativo e valutare nuovamente l'Equazione (3.27). Una procedura manuale può essere sufficiente per determinare una successione di valori che convergono alla soluzione del problema.

D'altra parte, è spesso preferibile utilizzare un calcolatore per determinare la soluzione dell'Equazione (3.27), particolarmente se occorre determinare la soluzione per problemi diversi, o con diversi insiemi di parametri. Il calcolatore, tuttavia, richiede una strategia meglio organizzata del metodo di tentativi successivi.

È possibile sviluppare un metodo di soluzione iterativo per il circuito a diodi di Figura 3.22 creando un modello (approssimato) lineare dalla caratteristica i - v del diodo in un intorno del punto di lavoro Q , come riportato nella Figura 3.24(a). Per prima cosa, ricaviamo la pendenza della caratteristica del diodo nel punto operativo:

$$g_D = \left. \frac{\partial i_D}{\partial v_D} \right|_{Q-Pt} = \frac{I_S}{V_T} \exp\left(\frac{V_D}{V_T}\right) = \frac{I_D + I_S}{V_T} \approx \frac{I_D}{V_T} \quad \text{e} \quad r_D = \frac{1}{g_D} = \frac{V_T}{I_D} \quad (3.28)$$

La pendenza g_D è **chiamata conduttanza differenziale del diodo**, mentre il suo reciproco r_D viene detto **resistenza differenziale del diodo**. Dalla pendenza possiamo ricavare il valore dell'intercetta V_{D0} con l'asse della tensione della retta tangente alla caratteristica del diodo nel punto Q :

$$V_{D0} = V_D - I_D r_D = V_D - V_T \quad (3.29)$$

V_{D0} e r_D rappresentano un modello lineare a due elementi per il diodo, come riportato in Figura 3.24(b), e questo modello rimpiazza il diodo nel circuito a singola maglia in Figura 3.25.

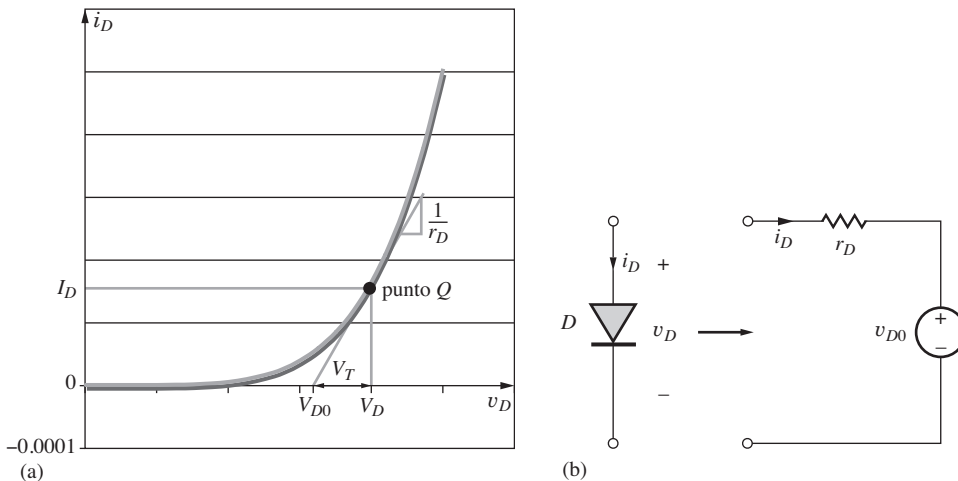


Figura 3.24
Comportamento del diodo intorno al punto Q ; (b) modello lineare per il diodo al punto Q .

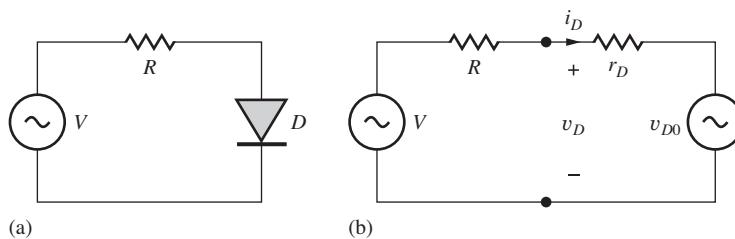


Figura 3.25
(a) Circuito originale; (b) circuito equivalente con il modello a due elementi del diodo.

Tabella 3.2 Esempio di soluzione iterativa

I_D (A)	V_D (V)	r_D (Ω)	V_{D0} (V)
1.0000E-03	0.5756	25.80	0.5498
9.4258E-04	0.5742	27.37	0.5484
9.4258E-04	0.5742	27.37	0.5484

La procedura può essere iterata per trovare il punto di lavoro Q del diodo:

1. si sceglie una stima iniziale per la corrente del diodo I_D ;
2. si calcola la tensione corrispondente dall'equazione $V_D = V_T \ln(1 + I_D/I_S)$;
3. si calcolano i valori di r_D e V_{D0} ;
4. si calcola una nuova stima di I_D usando il circuito equivalente di Fig. 3.25(b):

$$I_D = \frac{V - V_{D0}}{R + r_d}$$

5. si ripetono i passi 2-4 finché la stima di I_D non converge a un valore stabile.

La Tabella 3.2 riporta i risultati che si ottengono eseguendo la procedura iterativa appena illustrata con un foglio di calcolo.

Si osservi che con la procedura iterativa è possibile ottenere risultati con il grado di precisione desiderato. Tuttavia, nel caso di circuiti reali, il valore della corrente di saturazione del diodo non è quasi mai noto con molta accuratezza, e sono inevitabilmente presenti tolleranze associate alle sorgenti e ai componenti passivi del circuito. Per fare un esempio pratico, la corrente di saturazione specificata per un determinato diodo può variare di fattori che vanno da 10:1 a 100:1. In più, i resistori presentano tolleranze di $\pm 5\%$ o $\pm 10\%$, e la temperatura operativa del diodo non è quasi mai nota con esattezza (si ricordi il coefficiente di temperatura pari a -1.8 mV/K), così come il fattore di idealità n . Di conseguenza, non ha molto senso cercare di ottenere risultati con più di qualche cifra significativa.

Una possibile alternativa all'uso di un foglio di calcolo è la scrittura di un semplice programma usando un linguaggio di alto livello. La soluzione dell'equazione (3.27) può anche essere ottenuta usando apposite funzioni disponibili in molte calcolatrici scientifiche, che usano procedure iterative più sofisticate di quella descritta qui. Inoltre, MATLAB mette a disposizione la funzione `fzero`, che trova gli zeri di una funzione come illustrato nell'Esempio 3.6.

ESERCIZIO È possibile ricavare una forma diversa per l'equazione trascendente relativa al punto di lavoro del circuito elementare di Figura 3.22, eliminando V_D nell'Equazione (3.25) utilizzando la (3.14). Si mostri che l'equazione risultante è:

$$10 \text{ V} = 10 \text{ k}\Omega I_D + 25 \text{ mV} \ln \left(1 + \frac{I_D}{I_S} \right)$$

Esempio 3.6

IMPIEGO DI MATLAB PER LA RISOLUZIONE DELL'EQUAZIONE DEL DIODO

Si utilizzi MATLAB per risolvere la (3.27).

PROBLEMA **Informazioni e dati noti:** Il circuito è definito in Figura 3.22 con $V = 10$ V, $R = 10$ k Ω , $I_S = 10^{-13}$ A, $n = 1$, $V_T = 25$ mV.

SOLUZIONE **Incognite:** La tensione del diodo V_D .

Approccio: Si crei un file "M-File" di MATLAB corrispondente alla (3.27). Si eseguirà quindi il programma per calcolare la tensione del diodo.

Ipotesi: La temperatura ambiente con $V_T = 25$ mV.

Analisi: Si crei dapprima un file MATLAB per la funzione diodo:

```
function xd=diodo(vd)
xd=10-(1E-9)*exp(vd/25E-3)-vd;
```

La soluzione ottenuta usando un valore di tentativo iniziale pari a 1 V è:

`fzero(@diodo,1)`

Risposta: 0.5742 V

Verifica dei risultati: Il valore ottenuto è positivo e compreso nell'intervallo da 0.5 V a 0.8 V. Sostituendo questo valore nell'equazione del diodo otteniamo una corrente di 0.944 mA. Questo risultato appare ragionevole in quanto sappiamo che la corrente del diodo non può superare $10 \text{ V}/10 \text{ k}\Omega = 1.0 \text{ mA}$, che rappresenta il massimo valore della corrente che può fluire nel circuito (ossia la corrente che scorrerebbe nel circuito se il diodo fosse rimpiazzato da un corto circuito).

ESERCIZIO Si impieghi MATLAB per determinare la soluzione dell'equazione:

$$10 \text{ V} = 10 \text{ k}\Omega I_D + 25 \text{ mV} \ln\left(1 + \frac{I_D}{I_S}\right) \quad \text{per } I_S = 100 \text{ fA}$$

RISPOSTA 942.6 μA .

EFFETTO DELLE TOLLERANZE SUL PUNTO DI LAVORO DEL DIODO

Esempio 3.7

Vediamo quanto sia sensibile il punto di lavoro alle tolleranze della corrente di saturazione.

PROBLEMA

Supponiamo che la tolleranza relativa alla corrente di saturazione sia data da:

SOLUZIONE

$$I_S^{\text{nom}} = 1 \text{ fA} \quad \text{e} \quad 0.2 \text{ fA} \leq I_S \leq 5 \text{ fA}$$

Si determini il valore nominale, il valore minimo e massimo per la tensione e corrente del diodo nel circuito di Figura 3.22.

Informazioni e dati noti: Il circuito è definito in Figura 3.22; sono altresì indicati il valore nominale e quelli relativi al caso peggiore per I_S .

Incognite: Il valore nominale e i valori relativi al caso peggiore per il punto di lavoro (V_D , I_D).

Approccio: Si utilizzerà MATLAB, un altro programma oppure la calcolatrice per determinare il punto di lavoro per il valore nominale e per valori relativi al caso peggiore di I_S . Dalla (3.24) si nota che il valore massimo di V_D corrisponde al valore minimo per I_D e viceversa.

Ipotesi: Si assumerà funzionamento a temperatura ambiente con $V_T = 25 \text{ mV}$. Il generatore di tensione e la resistenza non presentano tolleranze.

Analisi: Nel caso nominale la (3.27) si scrive:

$$f = 10 - 10^4(10^{-15})[\exp(V_D/0.025) - 1] - V_D$$

che risolta con procedimento numerico fornisce:

$$V_D^{\text{nom}} = 0.689 \text{ V} \quad \text{e} \quad I_D^{\text{nom}} = \frac{(10 - 0.689) \text{ V}}{10 \text{ k}\Omega} = 0.931 \text{ mA}$$

Nel caso in cui I_S assuma il valore minimo la (3.27) si scrive:

$$f = 10 - 10^4(2 \times 10^{-16})[\exp(V_D/0.025) - 1] - V_D$$

da cui

$$V_D^{\text{max}} = 0.729 \text{ V} \quad \text{e} \quad I_D^{\text{min}} = \frac{(10 - 0.729) \text{ V}}{10 \text{ k}\Omega} = 0.927 \text{ mA}$$

Infine, nel caso in cui I_S assuma il valore massimo la (3.27) diventa:

$$f = 10 - 10^4(5 \times 10^{-15})[\exp(V_D/0.025) - 1] - V_D$$

da cui si trae

$$V_D^{\text{min}} = 0.649 \text{ V} \quad \text{e} \quad I_D^{\text{max}} = \frac{(10 - 0.649) \text{ V}}{10 \text{ k}\Omega} = 0.935 \text{ mA}$$

Verifica dei risultati: Il valore ottenuto è positivo e compreso nell'intervallo 0.5 V-0.8 V. I valori delle correnti appaiono ragionevoli in quanto inferiori alla corrente di cortocircuito del generatore $10\text{ V}/10\text{ k}\Omega = 1.0\text{ mA}$.

Discussione: Si osservi che benché la variazione positiva o negativa della corrente di saturazione corrisponda a un fattore 5:1, la variazione della corrente è inferiore a $\pm 0.5\%$. La corrente del diodo non dipende in modo sensibile da variazioni della corrente di saturazione o della tensione del diodo, se quest'ultima risulta molto inferiore alla funzione del generatore.

ESERCIZIO Si determinino I_D e V_D se il valore massimo per I_S è pari a 10 fA.

RISPOSTE 0.6316 V; 0.9368 mA.

ESERCIZIO Si determini con una procedura numerica la soluzione dell'equazione:

$$10\text{ V} = 10\text{ k}\Omega I_D + 25\text{ mV} \ln\left(1 + \frac{I_D}{I_S}\right) \quad \text{per } I_S = 100\text{ fA} \quad \text{e} \quad I_S = 1\text{ fA}$$

RISPOSTE 0.9426 mA; 0.9311 mA.

3.10.3 Analisi con il modello del diodo ideale

L'analisi grafica della retta di carico facilita la comprensione del funzionamento del circuito considerato nella Figura 3.22, mentre il modello matematico può essere utilizzato per ottenere soluzioni più accurate del problema della determinazione del punto Q . Il metodo che ora analizziamo fornisce una soluzione approssimata del circuito di Figura 3.22 utilizzando un modello circuitale semplificato del diodo.

Il diodo, come mostrato dalla caratteristica i - v in Figura 3.8 o dall'Equazione (3.11), è come si è detto un dispositivo non lineare. Questa circostanza rende l'analisi di circuiti contenenti diodi più complessa rispetto a quella di circuiti composti da elementi lineari. Per poter utilizzare le tecniche di analisi relative ai circuiti lineari faremo ricorso all'approssimazione **lineare a tratti** della caratteristica del diodo.

Il **modello del diodo ideale** è il più semplice modello per il diodo. La caratteristica i - v del **diodo ideale** riportata in Figura 3.26 consiste di due segmenti rettilinei. Se il diodo conduce una corrente positiva (polarizzazione diretta), allora la tensione ai capi del diodo è nulla. Se il diodo è polarizzato inversamente, con $v_D < 0$, allora la corrente che attraversa il diodo è nulla. Queste condizioni possono essere espresse matematicamente nella forma:

$$v_D = 0 \quad \text{per } i_D > 0 \quad \text{e} \quad i_D = 0 \quad \text{per } v_D \leq 0$$

Il simbolo in Figura 3.26 è utilizzato per rappresentare il diodo ideale negli schemi circuitali.

Possiamo ora pensare di associare al diodo due stati. Il diodo si trova o nello stato di conduzione (on), o in quello di interdizione (off). Ai fini dell'analisi del circuito possiamo utilizzare i modelli in Figura 3.27 per i due stati. Se il diodo si trova nello stato di conduzione, sarà rappresentato da un cortocircuito; se si trova nello stato off sarà invece rappresentato da un circuito aperto.

Analizziamo ora il circuito di Figura 3.22 assumendo per il diodo il modello di diodo ideale descritto dalla Figura 3.27. Il diodo ha due possibili stati, e la nostra analisi procede nel modo seguente:

1. si seleziona un modello per il diodo;
2. si identificano l'anodo e il catodo del diodo, e si riportano la tensione v_D e la corrente i_D ;
3. in base alla configurazione del circuito si fa l'ipotesi che il diodo si trovi in una determinata regione di funzionamento;
4. si analizza il circuito utilizzando il modello di diodo corrispondente alla regione di funzionamento definita al passo 3;
5. si verifica se i risultati dell'analisi sono in accordo con le ipotesi iniziali.

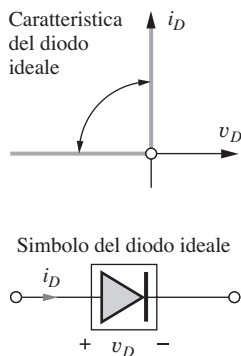
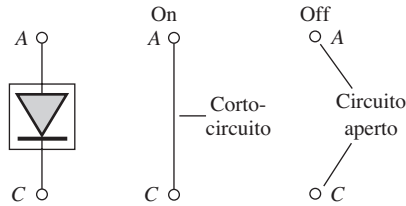


Figura 3.26
Caratteristica di un diodo ideale e simbolo circuitale.

**Figura 3.27**

Modelli circuitali equivalenti per gli stati on e off del diodo ideale.

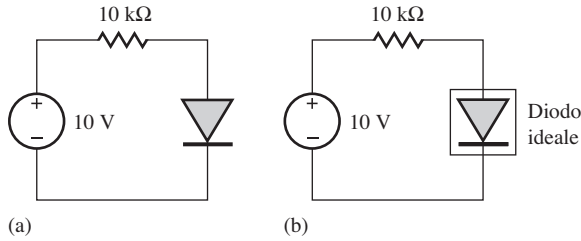


Figura 3.28 (a) Circuito originale. (b) Circuito con diodo sostituito dal modello del diodo ideale.

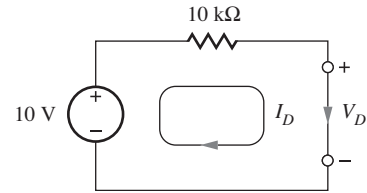


Figura 3.29 Diodo ideale sostituito dal relativo modello per lo stato on.

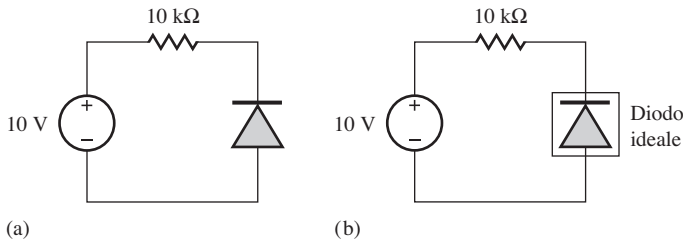


Figura 3.30 (a) Circuito con diodo polarizzato inversamente. (b) Circuito con diodo sostituito dal modello di diodo ideale.

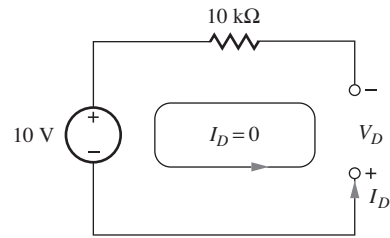


Figura 3.31 Diodo ideale sostituito dal relativo modello per lo stato off.

Per l'analisi che segue adotteremo il modello del diodo ideale. Il diodo nel circuito originale viene sostituito dal diodo ideale, come mostrato in Figura 3.28(b). Successivamente occorre scegliere per il diodo una determinata regione di funzionamento. Poiché il verso del generatore è tale da polarizzare direttamente il diodo, facciamo l'ipotesi che il diodo si trovi nello stato di conduzione (on). Il modello di diodo ideale della Figura 3.28(b) corrisponde, nella regione di conduzione, a un cortocircuito, pertanto nella Figura 3.29 il diodo viene sostituito da un cortocircuito, e la corrente del diodo è data da:

La corrente I_D ottenuta dall'analisi risulta positiva, in accordo con l'ipotesi iniziale che il diodo si trovi nello stato di conduzione. Il punto Q è quindi dato da (1 mA, 0 V). In base al modello di diodo ideale abbiamo stabilito che il diodo è polarizzato direttamente, e che la corrente è pari a 1 mA.

$$I_D = \frac{(10 - 0)V}{10 \text{ k}\Omega} = 1.00 \text{ mA}$$

Un circuito con diodo polarizzato inversamente. Come secondo esempio, consideriamo il circuito in Figura 3.30, in cui i terminali del diodo sono stati invertiti. Il diodo viene ancora descritto con il modello di diodo ideale [Figura 3.30(b)]. In questo caso il generatore di corrente tende a forzare una corrente inversa nel diodo. Poiché il diodo non può condurre in questa direzione, faremo l'ipotesi che il diodo si trovi nello stato off. In questa regione di funzionamento il modello di diodo ideale viene sostituito dal circuito aperto mostrato in Figura 3.31.

Scrivendo l'equazione alla maglia otteniamo quindi:

$$10 \text{ V} + V_D + 10 \text{ k}\Omega I_D = 0$$

Essendo $I_D = 0$, si deduce che $V_D = -10 \text{ V}$. Poiché il valore calcolato della tensione del diodo è negativo, l'ipotesi iniziale che il diodo si trovi nello stato off risulta verificata. Il punto Q è (0, -10 V). L'analisi ha quindi mostrato che il diodo nella Figura 3.30 è effettivamente polarizzato in modo inverso.

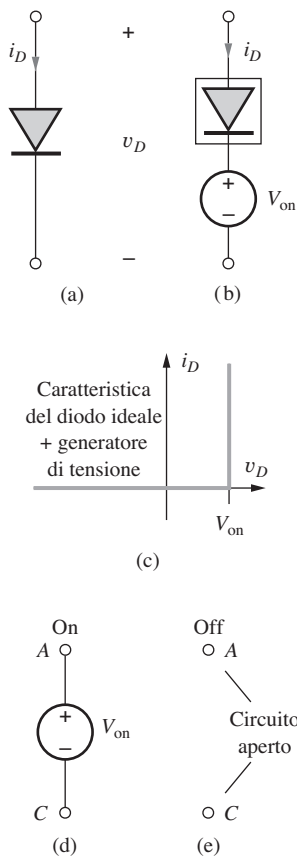


Figura 3.32
Modello del diodo a caduta di tensione costante.
(a) Diodo reale. (b) Diodo ideale con generatore di tensione V_{on} . (c) Caratteristiche risultanti. (d) Modello a caduta di tensione costante per lo stato on. (e) Modello per lo stato off.

Anche se questi due problemi possono sembrare abbastanza semplici, la complessità dell'analisi di un circuito contenente diodi aumenta rapidamente al crescere del numero dei diodi. Se il circuito presenta N diodi, il numero di stati possibili è pari a 2^N . A un circuito con 10 diodi corrispondono così 1024 possibili circuiti da analizzare! Solo attraverso la pratica possiamo sviluppare la sensibilità necessaria a evitare l'inutile analisi di casi scorretti. Prima di analizzare circuiti più complessi, definiamo anzitutto un modello più accurato per il diodo basato sull'approssimazione lineare a tratti.

3.10.4 Analisi con il modello a caduta di tensione costante

Nella discussione precedente abbiamo visto che in polarizzazione diretta il diodo è caratterizzato da una piccola caduta di tensione quasi costante. Il modello di diodo ideale trascura questa caduta di tensione. Il modello del diodo lineare a tratti può essere migliorato aggiungendo una tensione costante V_{on} in serie al diodo ideale, come mostrato in Figura 3.32(b). Questo modello è detto **modello a caduta di tensione costante**. La presenza della tensione V_{on} determina la traslazione della caratteristica i - v del diodo ideale, come mostrato in Figura 3.32(c). Il modello lineare a tratti comprende quindi un generatore di tensione costante per lo stato on, e un circuito aperto per lo stato off. Abbiamo quindi:

$$v_D = V_{on} \quad \text{per } i_D > 0 \quad \text{e} \quad i_D = 0 \quad \text{per } v_D \leq V_{on}$$

Possiamo considerare il modello di diodo ideale come un caso particolare del modello di diodo a caduta di tensione costante per il quale $V_{on} = 0$. Dalle caratteristiche i - v mostrate in Figura 3.8, si vede che un valore ragionevole per V_{on} è compreso tra 0.6 e 0.7 V. Utilizzeremo un valore di 0.6 V per la tensione di accensione nell'analisi dei circuiti con diodi.

Analisi del diodo con il modello a caduta di tensione costante

Analizziamo il circuito nella Figura 3.33 utilizzando questo modello per il diodo. Il diodo in Figura 3.33(a) viene così sostituito dal modello a caduta di tensione costante in Figura 3.33(b). Anche in questo caso il generatore di tensione di 10 V tende a polarizzare direttamente il diodo, giustificando l'ipotesi che il diodo si trovi nello stato on. Il circuito semplificato corrispondente viene riportato in Figura 3.33(c). La corrente del diodo è data da:

$$I_D = \frac{(10 - V_{on}) \text{ V}}{10 \text{ k}\Omega} = \frac{(10 - 0.6) \text{ V}}{10 \text{ k}\Omega} = 0.940 \text{ mA} \quad (3.30)$$

che risulta leggermente inferiore a quella prevista dal modello di diodo ideale.

3.10.5 Confronto tra i metodi di analisi

Abbiamo analizzato il circuito della Figura 3.22 utilizzando quattro approcci differenti; i diversi risultati sono riassunti nella Tabella 3.3. I valori calcolati per le tensioni e le correnti sono abbastanza simili. Persino il semplice modello di diodo ideale fornisce una stima in eccesso della corrente con un errore inferiore al 10%, rispetto al modello matematico. Si vede

Figura 3.33
Analisi di un circuito con diodo mediante il modello a caduta di tensione costante. (a) Circuito originale. (b) Circuito con diodo sostituito dal modello a caduta di tensione costante. (c) Circuito con modello di diodo ideale sostituito dalla corrispondente approssimazione lineare a tratti.

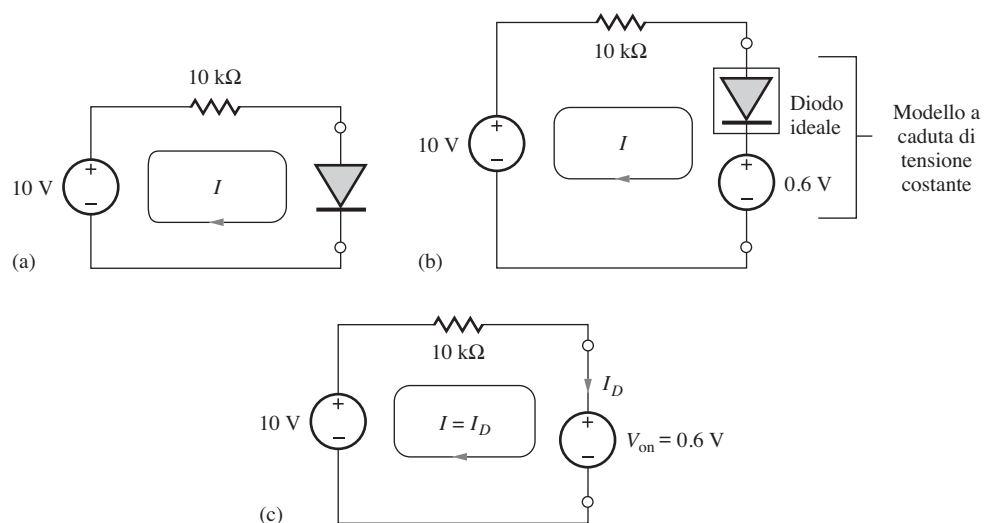


Tabella 3.3 Confronto tra i risultati ottenuti con tecniche diverse

Tecnica utilizzata	Corrente del diodo	Tensione del diodo
Analisi con retta di carico	0.940 mA	0.600 V
Modello matematico	0.942 mA	0.547 V
Modello del diodo ideale	1.000 mA	0 V
Modello a caduta di tensione costante	0.940 mA	0.600 V

che la corrente risulta poco sensibile alla scelta effettuata per la tensione del diodo. Questo risultato è una conseguenza della dipendenza esponenziale della corrente del diodo dalla tensione, e del valore elevato della tensione del generatore (10 V) relativo al particolare circuito in esame.

Riscrivendo l'Equazione (3.30) nella forma:

$$I_D = \frac{10 \text{ V} - V_{\text{on}}}{10 \text{ k}\Omega} = \frac{10 \text{ V}}{10 \text{ k}\Omega} \left(1 - \frac{V_{\text{on}}}{10 \text{ V}} \right) = (1.00 \text{ mA}) \left(1 - \frac{V_{\text{on}}}{10 \text{ V}} \right) \quad (3.31)$$

si vede che il valore di I_D è approssimativamente pari a 1 mA per $V_{\text{on}} \ll 10 \text{ V}$. Variazioni di V_{on} producono solo un piccolo effetto sul risultato. Tuttavia, la situazione risulterebbe significativamente diversa se la tensione del generatore fosse pari a solo 1 V.

3.11 Circuiti a più diodi

La tecnica basata sulla retta di carico è applicabile a circuiti con un solo diodo, mentre il modello matematico, ovvero la tecnica basata su iterazioni numeriche diventa troppo complessa per circuiti contenenti più di un elemento non lineare. In realtà il programma di simulazione circuitale SPICE, al quale facciamo riferimento in questo libro, è stato appositamente sviluppato per determinare la soluzione a questi problemi complessi. In questo paragrafo illustreremo l'uso dei modelli semplificati per l'analisi manuale di circuiti più complessi contenenti diodi.

3.11.1 Un circuito a 3 diodi

All'aumentare della complessità dei circuiti possiamo con l'intuizione e l'esperienza cercare di evitare scelte scorrette per lo stato di conduzione dei diodi. Tuttavia, l'analisi manuale di circuiti complessi in genere richiede comunque diverse iterazioni. La Figura 3.34 illustra un esempio di circuito con tre diodi. Utilizzeremo il modello a caduta di tensione costante per ottenere una maggiore accuratezza.

ANALISI DI UN CIRCUITO CONTENENTE TRE DIODI

Esempio 3.8

Si determini il punto di lavoro del circuito in Figura 3.34 utilizzando il modello a caduta di tensione costante.

PROBLEMA

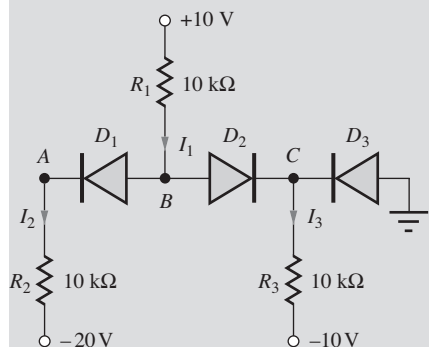
Informazioni e dati noti: È nota la topologia del circuito e il valore dei parametri in Figura 3.34.

SOLUZIONE

Incognite: $(V_{D1}, I_{D1}), (V_{D2}, I_{D2}), (V_{D3}, I_{D3})$.

Approccio: Con tre diodi vi sono 8 possibili stati, come mostrato nella Tabella 3.4. Un metodo spesso utilizzato per individuare il punto di partenza è di considerare tutti i diodi nello stato di interdizione, come illustrato nella Figura 3.35(a). L'analisi di questo circuito è immediata e mostra delle elevate tensioni dirette per tutti i diodi. Possiamo quindi assumere che tutti i diodi si trovino in conduzione.

Ipotesi: Si assume il modello a caduta di tensione costante con $V_{\text{on}} = 0.6 \text{ V}$.

**Figura 3.34**

Esempio di un circuito contenente tre diodi.

Tabella 3.4 Possibili stati per i diodi di Figura 3.34

D_1	D_2	D_3
Off	Off	Off
Off	Off	On
Off	On	Off
Off	On	On
On	Off	Off
On	Off	On
On	On	Off
On	On	On

Analisi: Il circuito è stato ridisegnato in base al modello a caduta di tensione costante in Figura 3.35(b). In questo caso abbiamo omesso il disegno del circuito con i simboli dei diodi ideali, e i modelli lineari a tratti sono stati inseriti direttamente nella figura.

Analizzando il circuito da destra verso sinistra vediamo che le tensioni ai nodi C, B e A sono date da:

$$V_C = -0.6 \text{ V} \quad V_B = -0.6 \text{ V} + 0.6 \text{ V} = 0 \text{ V} \quad V_A = 0 \text{ V} - 0.6 \text{ V} = -0.6 \text{ V}$$

Avendo determinato le tensioni ai nodi è facile calcolare le correnti relative a ciascun resistore:

$$I_1 = \frac{10 - 0}{10} \frac{\text{V}}{\text{k}\Omega} = 1 \text{ mA} \quad I_2 = \frac{-0.6 - (-20)}{10} \frac{\text{V}}{\text{k}\Omega} = 1.94 \text{ mA} \quad (3.32)$$

$$I_3 = \frac{-0.6 - (-10)}{10} \frac{\text{V}}{\text{k}\Omega} = 0.94 \text{ mA}$$

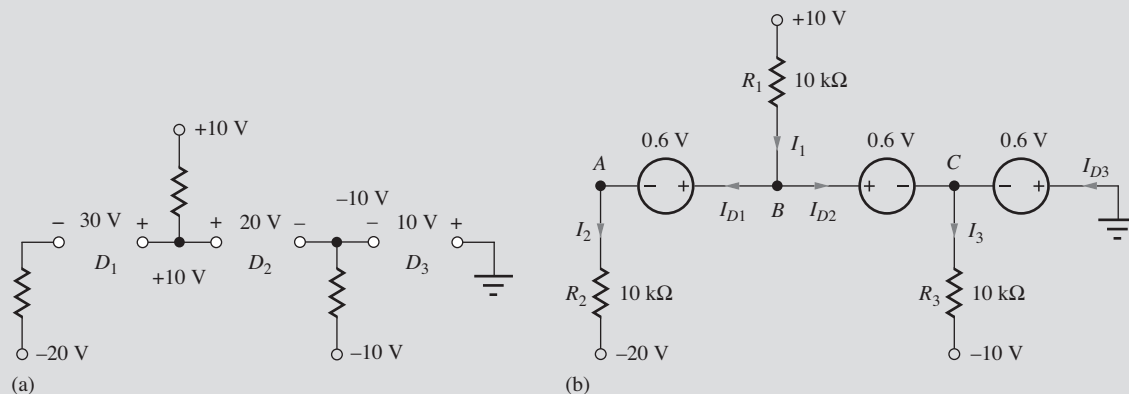
Utilizzando la legge di Kirchhoff delle correnti si ha inoltre

$$I_2 = I_{D1} \quad I_1 = I_{D1} + I_{D2} \quad I_3 = I_{D2} + I_{D3} \quad (3.33)$$

Combinando le (3.33) e (3.34) si ottengono le tre correnti dei diodi:

$$I_{D1} = 1.94 \text{ mA} > 0 \quad I_{D2} = -0.94 \text{ mA} < 0 \quad I_{D3} = 1.86 \text{ mA} > 0 \quad (3.34)$$

Verifica dei risultati: Le correnti I_{D1} e I_{D3} sono in accordo con le ipotesi iniziali, mentre il valore di I_{D2} non è ammissibile.

**Figura 3.35**

(a) Modello circuitale con tutti i diodi in interdizione. (b) Modello circuitale con tutti i diodi in conduzione.

Per il secondo tentativo assumiamo che D_1 e D_3 siano in conduzione, e che D_2 sia interdetto, come mostrato in Figura 3.36(a).

UNA SECONDA ITERAZIONE

Abbiamo ora

$$+10\text{ V} - 10\text{ k}\Omega I_1 - 0.6\text{ V} - 10\text{ k}\Omega I_2 + 20\text{ V} = 0 \quad \text{con } I_1 = I_{D1} = I_2 \quad (3.35)$$

da cui

$$I_{D1} = \frac{29.4}{20} \frac{\text{V}}{\text{k}\Omega} = 1.47\text{ mA} > 0$$

e inoltre

$$I_{D3} = I_3 = \frac{-0.6 - (-10)}{10} \frac{\text{V}}{\text{k}\Omega} = 0.940\text{ mA} > 0$$

La tensione ai capi del diodo D_2 è data da:

$$V_{D2} = 10\text{ V} - 10\text{ k}\Omega I_1 - (-0.6\text{ V}) = (10 - 14.7 + 0.6)\text{ V} = -4.10\text{ V} < 0$$

Verifica dei risultati: In questo caso I_{D1} , I_{D3} e V_{D2} sono in accordo con le ipotesi iniziali, e i punti di lavoro del circuito sono:

$$D_1: (1.47\text{ mA}, 0.6\text{ V}) \quad D_2: (0\text{ mA}, -4.10\text{ V}) \quad D_3: (0.940\text{ mA}, 0.6\text{ V})$$

Discussione: I punti di lavoro che avremmo ottenuto utilizzando il modello di diodo ideale (Problema 3.76) risultano:

$$D_1: (1.50\text{ mA}, 0\text{ V}) \quad D_2: (0\text{ mA}, -5.00\text{ V}) \quad D_3: (1.00\text{ mA}, 0\text{ V})$$

La differenza tra i valori di I_{D1} e I_{D3} è inferiore al 6%. Tuttavia, la tensione inversa su D_2 differisce del 20%. Questo esempio mostra che la scelta del modello del diodo può causare una differenza apprezzabile nei risultati. I risultati ottenuti utilizzando il modello a caduta di tensione costante dovrebbero fornire una descrizione più accurata del funzionamento del circuito rispetto al modello di diodo ideale. Si ricordi, tuttavia, che in entrambi i casi i valori calcolati sono basati su modelli comunque approssimati del funzionamento reale di circuiti contenenti diodi.

Analisi assistita da calcolatore: I risultati della simulazione SPICE del circuito di Figura 3.36(b) sono (1.47 mA, 0.665 V), (-4.02 pA, -4.01 V) e (0.935 mA, 0.653 V) e risultano in buon accordo con quelli dell'analisi manuale. I parametri dei dispositivi e i punti di lavoro sono forniti direttamente da SPICE con i comandi SHOW e SHOWMOD. In alcune versioni di SPICE è possibile valutare le tensioni ai nodi del circuito o le correnti nei rami inserendo opportuni elementi (voltmetri o amperometri). La corrente inversa in D_2 , pari a -4 pA, è molto maggiore di I_S (pari al valore di default di 10 fA), a causa del modello più complesso utilizzato nella versione SPICE impiegata dall'autore.

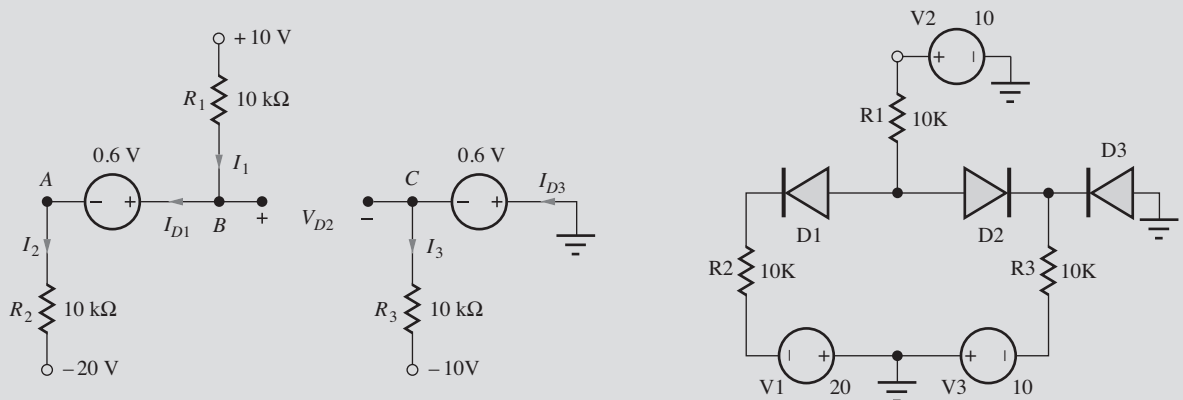


Figura 3.36

(a) Circuito con D_1 e D_3 on e D_2 off. (b) Circuito per la simulazione SPICE.

ESERCIZIO Si determini il punto di lavoro per i tre diodi in Figura 3.34 nel caso R_1 sia pari a $2.5 \text{ k}\Omega$.

RISPOSTE (2.13 mA, 0.6 V); (1.13 mA, 0.6 V); (0 mA, -1.27 V).

ESERCIZIO Si utilizzi SPICE per calcolare il punto di lavoro dei diodi nel precedente esercizio. Si assuma $I_S = 1 \text{ fA}$.

RISPOSTE (2.12 mA, 0.734 V); (1.12 mA, 0.718 V); (0 mA, -1.19 V).

3.12 Analisi di diodi polarizzati nella regione di rottura

La regione di rottura (*breakdown*) del diodo trova diverse utili applicazioni. Poiché nella regione di rottura la tensione risulta quasi indipendente dal valore di corrente, il diodo può essere impiegato come regolatore di tensione o come riferimento di tensione. Pertanto è importante comprendere il funzionamento del diodo nella regione di rottura.

La Figura 3.37 mostra un circuito contenente un generatore di tensione da 20 V che alimenta un diodo Zener caratterizzato da una tensione di rottura di 5 V. Poiché la tensione di alimentazione supera il limite in tensione di rottura del diodo, $V_Z = 5 \text{ V}$, dovremmo aspettarci che il punto di funzionamento del diodo si trovi nella regione di rottura.

3.12.1 Analisi grafica con la retta di carico

Le caratteristiche i - v per il diodo Zener in esame sono riportate in Figura 3.38. Una corretta analisi basata sulla retta di carico consente di determinare il punto Q indipendentemente dalla regione di funzionamento. La Figura 3.37 mostra anche i versi convenzionali per I_D e V_D . L'equazione alla maglia risulta:

$$-20 \text{ V} = V_D + 5 \text{ k}\Omega I_D \quad (3.36)$$

Per disegnare la retta di carico, scegliamo due punti sul grafico:

$$V_D = 0, I_D = -4 \text{ mA} \quad \text{e} \quad V_D = -5 \text{ V}, I_D = -3 \text{ mA}$$

In questo caso la retta di carico interseca la caratteristica del diodo in corrispondenza del punto Q all'interno della regione di rottura: $(-2.9 \text{ mA}, -5.2 \text{ V})$.

3.12.2 Analisi con il modello lineare a tratti

L'ipotesi che il diodo si trovi nella regione di rottura richiede che la corrente del diodo sia negativa, ovvero che la corrente di Zener $I_Z = -I_D$ sia positiva. Analizzeremo il circuito con il modello lineare a tratti, e verificheremo l'ipotesi relativa al punto di funzionamento.

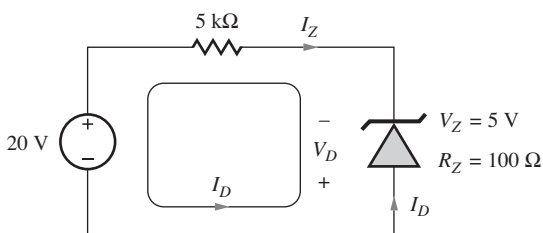


Figura 3.37 Circuito contenente un diodo Zener con $V_Z = 5 \text{ V}$ e $R_Z = 100 \Omega$.

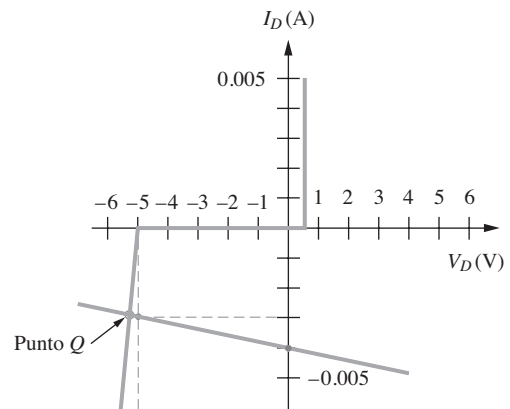
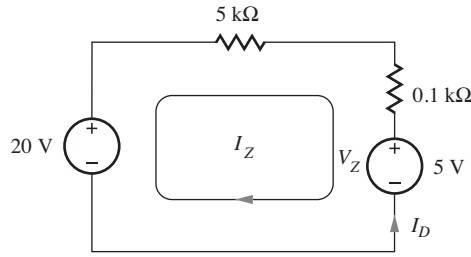


Figura 3.38 Caratteristica del diodo Zener e retta di carico del circuito di Figura 3.37.

**Figura 3.39**

Circuito con modello lineare a tratti per il diodo Zener. Si osservi che il modello è valido solo nella regione di rottura.

In Figura 3.39 il diodo Zener è stato sostituito con il corrispondente modello lineare a tratti ottenuto dalla Figura 3.16 del Paragrafo 3.6, con $V_Z = 5\text{ V}$ e $R_Z = 100\ \Omega$.

Scrivendo l'equazione alla maglia e risolvendo rispetto a I_Z si ha:

$$20\text{ V} - 5.1\text{ k}\Omega I_Z - 5\text{ V} = 0 \quad \text{e} \quad I_Z = \frac{(20 - 5)\text{ V}}{5.1\text{ k}\Omega} = 2.94\text{ mA} \quad (3.37)$$

Poiché I_Z è positiva ($I_D < 0$), la soluzione è congruente con l'ipotesi iniziale di funzionamento nella regione di rottura.

Vale la pena osservare che, se si considera la regione di rottura, ciascun diodo ha tre possibili stati, con un aumento della complessità dell'analisi.

3.12.3 Regolatori di tensione

Il diodo Zener può essere utilizzato come **regolatore di tensione**, come mostrato dal circuito in Figura 3.40. La funzione del diodo Zener è quella di mantenere una tensione costante ai capi del resistore di carico R_L . Finché il diodo si trova in condizioni di rottura, una tensione approssimativamente pari a V_Z cade ai capi di R_L . Affinché il diodo funzioni nella regione di rottura, occorre che la corrente di Zener I_Z sia positiva.

Il circuito in Figura 3.40 è stato ridisegnato in Figura 3.41 utilizzando il modello per il diodo Zener con $R_Z = 0$. Dalla legge di Kirchhoff per le correnti si ottiene per la corrente di Zener $I_Z = I_S - I_L$.

Le correnti I_S e I_L sono pari a:

$$I_S = \frac{V_S - V_Z}{R} = \frac{(20 - 5)\text{ V}}{5\text{ k}\Omega} = 3\text{ mA} \quad \text{e} \quad I_L = \frac{V_Z}{R_L} = \frac{5\text{ V}}{5\text{ k}\Omega} = 1\text{ mA} \quad (3.38)$$

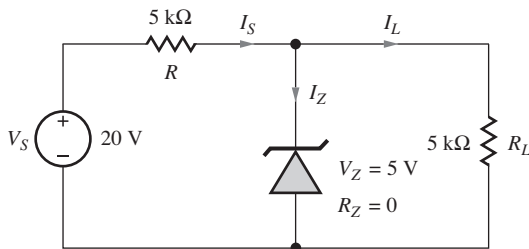
La corrente di Zener è quindi pari a $I_Z = 2\text{ mA}$ ($I_Z > 0$, in accordo con le ipotesi iniziali). Se il valore calcolato di I_Z risulta minore di zero, allora il diodo Zener non controlla la tensione ai capi di R_L , e si dice che il regolatore di tensione è uscito dalla regione di regolazione.

Per stabilire una corretta regolazione la corrente di Zener deve essere positiva:

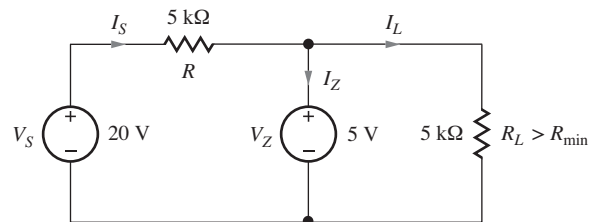
$$I_Z = I_S - I_L = \frac{V_S}{R} - V_Z \left(\frac{1}{R} + \frac{1}{R_L} \right) > 0 \quad (3.39)$$

Risolvendo rispetto a R_L si ottiene il limite inferiore per il valore della resistenza di carico in corrispondenza del quale il diodo si comporta come regolatore di tensione:

$$R_L > \frac{R}{\left(\frac{V_S}{V_Z} - 1 \right)} = R_{\min} \quad (3.40)$$

**Figura 3.40**

Circuito regolatore di tensione con diodo Zener.

**Figura 3.41**

Regolatore di tensione con il modello a tensione costante del diodo Zener.

ESERCIZIO Qual è il valore di $R_{\min}$ per il regolatore di tensione di Zener nelle Figure 3.40 e 3.41? Qual è la tensione di uscita per $R_L = 1 \text{ k}\Omega$, e per $R_L = 2 \text{ k}\Omega$?

RISPOSTE 1.67 k Ω ; 3.33 V; 5.00 V.

3.12.4 Analisi in cui si tiene conto della resistenza di Zener

Il regolatore di tensione della Figura 3.40 è stato ridisegnato in Figura 3.42 con una resistenza di Zener R_Z diversa da zero. In questo caso la tensione di uscita risulta funzione della corrente I_Z che attraversa il diodo Zener. Per bassi valori di R_Z , tuttavia, la variazione della tensione di uscita risulta modesta.

Esempio 3.9

ANALISI DC DI UN REGOLATORE A DIODO ZENER

PROBLEMA Determinare la tensione di uscita per il regolatore a diodo Zener nella Figura 3.42 nel caso $R_Z = 100 \text{ }\Omega$ e $V_Z = 5 \text{ V}$.

SOLUZIONE **Informazioni e dati noti:** È nota la topologia del circuito indicata in Figura 3.42, con $V_S = 20 \text{ V}$, $R = 5 \text{ k}\Omega$, $R_Z = 100 \text{ }\Omega$ e $V_Z = 5 \text{ V}$.

Incognite: V_L e I_Z .

Approccio: La tensione V_L può essere ricavata dall'equazione di Kirchhoff al nodo del circuito. Una volta ricavata V_L si determinerà I_Z dalla legge di ohm.

Ipotesi: Si assume il modello lineare a tratti riportato in Figura 3.42.

Analisi: L'equazione di Kirchhoff al nodo del circuito può essere espressa in termini di V_L :

$$\frac{V_L - 20 \text{ V}}{5000 \text{ }\Omega} + \frac{V_L - 5 \text{ V}}{100 \text{ }\Omega} + \frac{V_L}{5000 \text{ }\Omega} = 0$$

Moltiplicando questa equazione per 5000 Ω e ordinando si ottiene:

$$52V_L = 270 \text{ V} \quad \text{e} \quad V_L = 5.19 \text{ V}$$

La corrente nel diodo Zener è pari a:

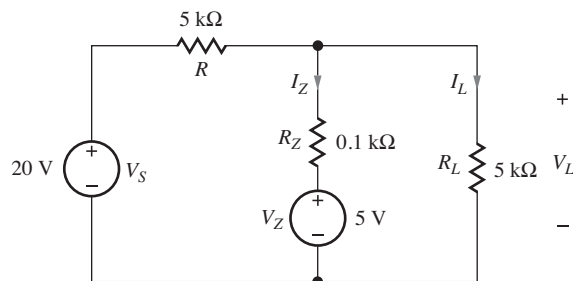
$$I_Z = \frac{V_L - 5 \text{ V}}{100 \text{ }\Omega} = \frac{5.19 \text{ V} - 5 \text{ V}}{100 \text{ }\Omega} = 1.90 \text{ mA} > 0$$

Verifica dei risultati: La condizione $I_Z > 0$ conferma il funzionamento in regione di rottura. Si può anche notare che la tensione di uscita risulta leggermente maggiore del valore ottenuto assumendo $R_L = 0$, mentre la corrente del diodo Zener risulta leggermente inferiore.

Analisi assistita da calcolatore: Possiamo utilizzare SPICE per studiare il comportamento del diodo nella regione di rottura specificando i parametri BV, IBV e RS. BV rappresenta la tensione di rottura, mentre IBV rappresenta la corrente di breakdown. Ponendo BV = 5 e RS = 100, con IBV pari al valore di default di 1 mA, otteniamo $V_L = 5.21 \text{ V}$ e $I_Z = 1.92 \text{ mA}$, in buon accordo con l'analisi manuale. Analizzando la sensibilità di V_L rispetto a variazioni di V_S troviamo un valore di 21 mV/V e una resistenza di uscita di 108 Ω . Il significato di tali grandezze sarà chiarito nel prossimo paragrafo.

Figura 3.42

Circuito di regolazione con diodo Zener, in cui viene inclusa la resistenza di Zener.



ESERCIZIO Si determini V_L , I_Z e la dissipazione di potenza del diodo Zener nel circuito di Figura 3.42 assumendo $R = 1 \text{ k}\Omega$.

RISPOSTE 6.25 V; 12.5 mA; 78.1 mW.

3.12.5 Regolazione di linea e di carico

La **regolazione di linea** e la **regolazione di carico** rappresentano due parametri importanti dei circuiti regolatori di tensione. La regolazione di linea esprime la sensibilità della tensione di uscita rispetto a variazioni della tensione di ingresso, e può essere espressa in mV/V oppure in percentuale. La regolazione di carico descrive la sensibilità della tensione di uscita rispetto a variazioni della corrente del carico fornita dal regolatore, ed è espressa in ohm. Tali grandezze sono definite dalle equazioni:

$$\text{Regolazione di linea} = \frac{dV_L}{dV_S} \quad \text{Regolazione di carico} = \frac{dV_L}{dI_L} \quad (3.41)$$

Le espressioni per entrambi i parametri possono essere facilmente ottenute dall'analisi del circuito di Figura 3.42 (si veda anche l'Esempio 3.9):

$$\frac{V_L - V_S}{R} + \frac{V_L - V_Z}{R_Z} + I_L = 0 \quad (3.42)$$

Per una fissata corrente di carico la regolazione di linea risulta:

$$\text{Regolazione di linea} = \frac{R_Z}{R + R_Z} \quad (3.43)$$

Mentre la regolazione di carico può essere ottenuta variando I_L :

$$\text{Regolazione di carico} = -(R_Z \parallel R) \quad (3.44)$$

La regolazione di carico rappresenta la resistenza equivalente secondo Thévenin vista dal carico.

ESERCIZIO Si determini la regolazione di linea e di carico per il circuito di Figura 3.42.

RISPOSTE 19.6 mV/V; 98.0 Ω . Si noti che i risultati sono in accordo con la simulazione SPICE dell'Esempio 3.9.

3.13 Raddrizzatore a semionda

I **circuiti raddrizzatori** costituiscono un'importante applicazione dei diodi. Il circuito raddrizzatore trasforma una tensione alternata (AC) a valor medio nullo in una unidirezionale a valor medio diverso da zero. Un filtro viene quindi aggiunto per eliminare le residue ondulazioni della forma d'onda, e ottenere una tensione di uscita continua (DC). I circuiti raddrizzatori sono usualmente utilizzati per convertire la potenza distribuita dalla rete in regime sinusoidale (230 V, 50 Hz)⁴ in tensioni continue che alimentano i diversi dispositivi elettronici, come personal computer, sistemi stereofonici, ricevitori radio e così via.

Tutti gli alimentatori per apparecchiature portatili e i sistemi di ricarica per batterie che usiamo ogni giorno contengono dei raddrizzatori. È un fatto che la grande maggioranza dei circuiti elettronici è alimentata da una sorgente continua, di norma basata su un qualche tipo di raddrizzatore.

In questo paragrafo ci occuperemo dei circuiti raddrizzatori a semionda con filtri capacitivi, che rappresentano la base di molti alimentatori in continua. Fino a questo punto abbiamo considerato circuiti in continua in cui il diodo si trova in tre stati possibili (on, off e regione di rottura). Tuttavia, in regime dinamico lo stato del diodo varia nel tempo, e il diodo si trova in ognuna delle regioni del modello lineare a tratti solo per un intervallo di tempo limitato.

⁴ Negli Stati Uniti le caratteristiche della rete sono 120 V, 60 Hz. [N.d.T.]

3.13.1 Raddrizzatori a semionda con carico resistivo

Il **circuito raddrizzatore a semionda** impiega un solo diodo, come mostrato in Figura 3.43. Un generatore di tensione sinusoidale $v_s = V_p \sin \omega t$ viene connesso in serie con un diodo D_1 e un resistore di carico R .

Durante la prima metà del ciclo, in cui $v_s > 0$, il generatore forza una corrente positiva nel diodo, che si trova pertanto in conduzione; nella seconda metà risulta $v_s < 0$. Poiché il diodo non può essere attraversato da una corrente negativa significativa (a meno che non si trovi in condizioni di rottura), esso si troverà in interdizione. Questi due stati vengono descritti in Figura 3.44, dove si è utilizzato il modello di diodo ideale

Quando il diodo è in conduzione il generatore di tensione v_s è connesso all'uscita sicché $v_o = v_s$. Quando il diodo è interdetto non fluisce corrente nella resistenza, e la tensione di uscita è nulla. In questo circuito il diodo è in conduzione per metà del periodo e interdetto nella parte rimanente. La forma d'onda della tensione di uscita è riportata in Figura 3.45(b).

In alcuni casi la caduta di tensione ai capi del diodo in polarizzazione diretta può risultare significativa. La Figura 3.46 mostra il modello circuitale del diodo in polarizzazione diretta mediante il modello a caduta di tensione costante. In questo caso la tensione di uscita risulta minore rispetto a quella di ingresso di una quantità pari alla caduta sul diodo:

$$v_o = (V_p \sin \omega t) - V_{on} \quad \text{per } V_p \sin \omega t \geq V_{on} \quad (3.45)$$

La tensione di uscita è nulla nel periodo in cui il diodo è interdetto. Le forme d'onda di ingresso e di uscita relative al circuito raddrizzatore a semionda sono mostrate in Figura 3.47, in cui è incluso l'effetto della caduta diretta V_{on} , assumendo $V_p = 10 \text{ V}$ e $V_{on} = 0.7 \text{ V}$.

In molte applicazioni si utilizza un trasformatore per convertire la tensione alternata a 230 V e 50 Hz distribuita dalla rete nella tensione sinusoidale che alimenta il circuito raddrizzatore (Figura 3.48). La tensione sul secondario può essere maggiore o minore rispetto alla tensione al primario, in funzione dell'applicazione. Inoltre, isolando il raddrizzatore dalla rete, il trasformatore migliora la sicurezza del circuito. Dalla teoria dei circuiti sappiamo che il secondario del trasformatore può essere rappresentato da un generatore ideale di tensione. Questa semplificazione verrà utilizzata negli schemi circuitali successivi.

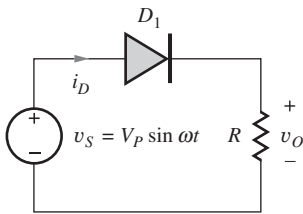


Figura 3.43 Circuito raddrizzatore a semionda.

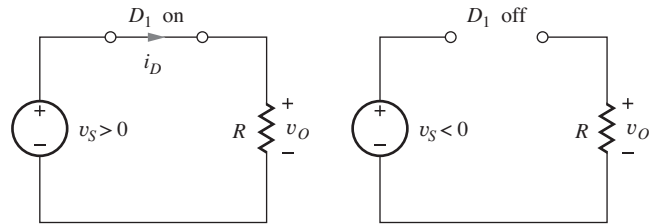
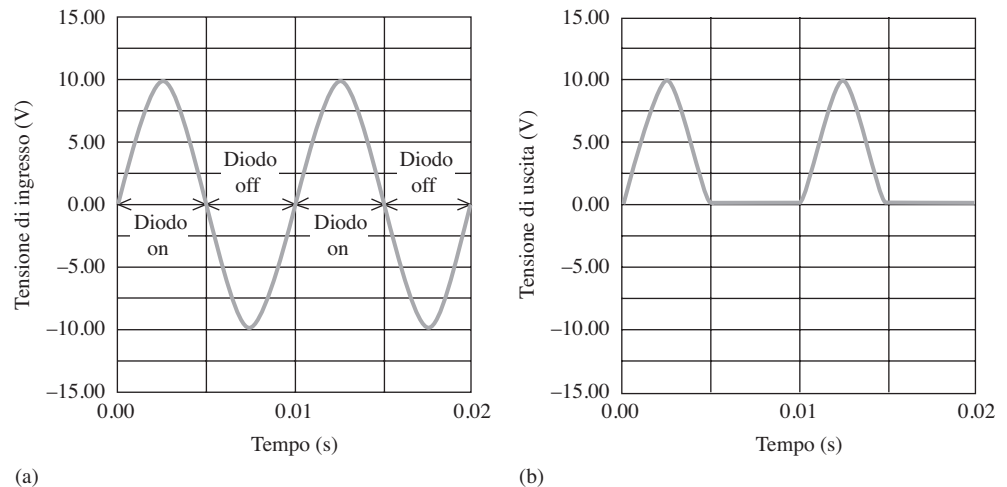


Figura 3.44 Modelli del diodo ideale relativi ai due stati del circuito raddrizzatore.

Figura 3.45

(a) Tensione sinusoidale di ingresso e (b) tensione in uscita relativa al circuito raddrizzatore a semionda.



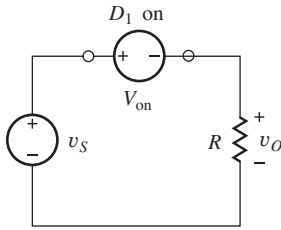


Figura 3.46 Modello a caduta di tensione costante per il circuito raddrizzatore in conduzione.

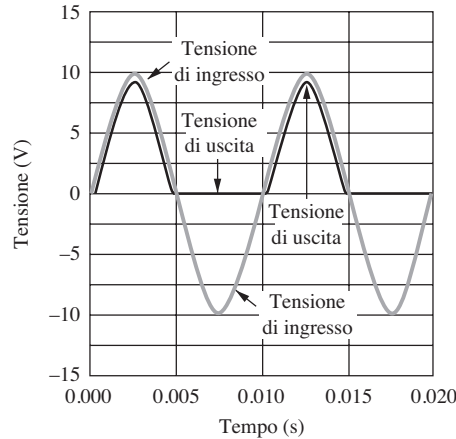


Figura 3.47 Tensione di uscita del raddrizzatore a semionda, per $V_P = 10$ V e $V_{on} = 0.7$ V.

La tensione di uscita del raddrizzatore a semionda di Figura 3.43 o 3.48 non può essere direttamente utilizzata, poiché la maggior parte dei circuiti elettronici richiedono tensioni di alimentazione in continua. Un **condensatore di filtraggio** (o un circuito più complesso) deve essere aggiunto per eliminare le componenti variabili (ondulazioni) della tensione di uscita nei circuiti mostrati in Figura 3.43 o 3.48.

3.13.2 Raddrizzatore con filtro capacitivo

Per comprendere il funzionamento del filtro di un raddrizzatore, consideriamo dapprima il funzionamento di un **rivelatore di picco** in Figura 3.49. Questo circuito è simile a quello di Figura 3.48, a eccezione del resistore che viene sostituito con un condensatore C inizialmente scarico [$v_O(0) = 0$].

La Figura 3.50 mostra i due modelli del circuito, relativi agli stati di conduzione e di interruzione del diodo. Le forme d'onda delle tensioni di ingresso e di uscita relative a questo circuito sono mostrate in Figura 3.51. Quando la tensione di ingresso assume valori positivi il diodo passa in conduzione, collegando il condensatore al generatore di tensione. La tensione ai capi del condensatore è data dalla differenza tra tensione di ingresso e la caduta sul diodo.

Quando la tensione di ingresso raggiunge il valore di picco, la corrente che attraversa il diodo tende a diventare negativa, poiché $i_D = C[d(v_S - V_{on})/dt] < 0$. Pertanto il diodo si spegne, e il condensatore viene isolato dal resto del circuito. Poiché non esiste un collegamento che permette al condensatore di scaricarsi, la tensione ai capi del condensatore rimane costante. Dal momento che la tensione di ingresso è sempre inferiore a V_P , il condensatore rimane isolato dalla tensione v_S per $t > T/2$. Quindi la tensione ai capi del condensatore in Figura 3.49 si carica a un valore pari a $V_P - V_{on}$, e rimane successivamente costante. Pertanto la tensione di uscita in continua risulta pari a:

$$V_{dc} = V_P - V_{on} \quad (3.46)$$

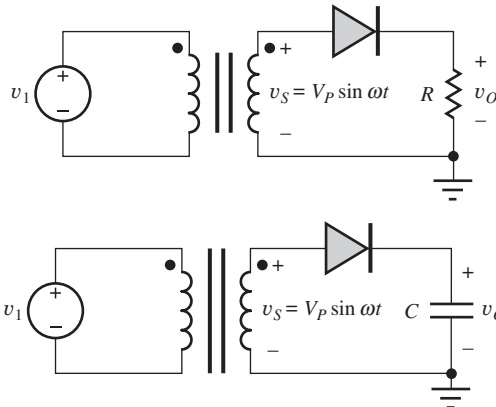


Figura 3.48 Raddrizzatore a semionda pilotato da trasformatore.

Figura 3.49 Raddrizzatore con carico capacitivo (rivelatore di picco).

Figura 3.50 Modello a caduta di tensione costante per il circuito rivelatore di picco. (a) Il diodo è in conduzione per $0 \leq t \leq T/2$. (b) Il diodo è interdetto per $t > T/2$.

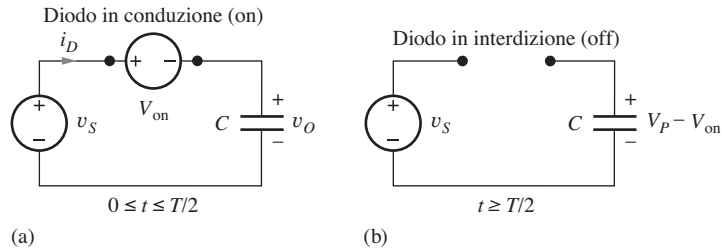
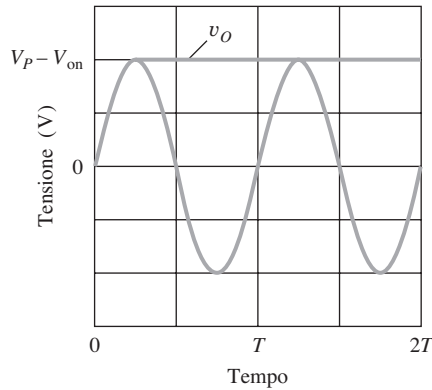


Figura 3.51 Forme d'onda di ingresso e di uscita per il circuito rivelatore di picco.



3.13.3 Raddrizzatore a semionda con carico RC

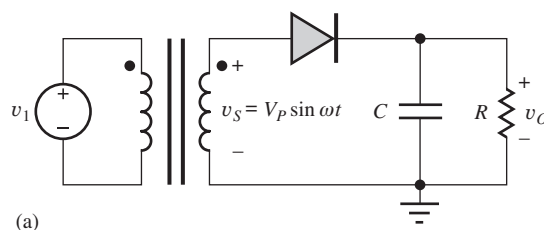
Per utilizzare la tensione di uscita occorre inserire un carico, rappresentato dalla resistenza R in Figura 3.52. In questo caso il condensatore può scaricarsi attraverso la resistenza nel periodo in cui il diodo è interdetto. I modelli relativi ai periodi di conduzione e interdizione sono mostrati in Figura 3.53; le forme d'onda del circuito sono mostrate in Figura 3.54. Anche in questo caso si assume che il condensatore sia inizialmente scarico, si ipotizza inoltre che la costante di tempo RC del circuito sia molto maggiore di T . Durante il primo quarto di ciclo il diodo conduce, e il condensatore si carica seguendo il segnale di ingresso. Quando v_s raggiunge il valore di picco il diodo passa in interdizione, e il condensatore si scarica con legge esponenziale attraverso la resistenza R , come risulta dall'analisi del circuito di Figura 3.53(b). La scarica continua fino a che la tensione di ingresso supera quella di uscita v_o , in prossimità del picco relativo al periodo successivo. Questo processo si ripete per ogni ciclo.

3.13.4 Intervallo di conduzione e ondulazione della tensione

Al contrario del circuito rivelatore di picco ideale, la tensione di uscita non è costante, ma è caratterizzata da una **tensione di ondulazione** (*ripple voltage*) V_r . Inoltre, in ogni ciclo il diodo conduce solo per un breve intervallo di tempo ΔT , detto **intervallo di conduzione**, mentre l'intervallo di fase equivalente è detto **angolo di conduzione** θ_c . I parame-

Figura 3.52

(a) Circuito raddrizzatore a semionda con carico RC .
(b) Condensatore di filtraggio (175 mF, 15 V), con tolleranza -10% , $+75\%$.



(b) Foto per gentile concessione di R. Jaeger

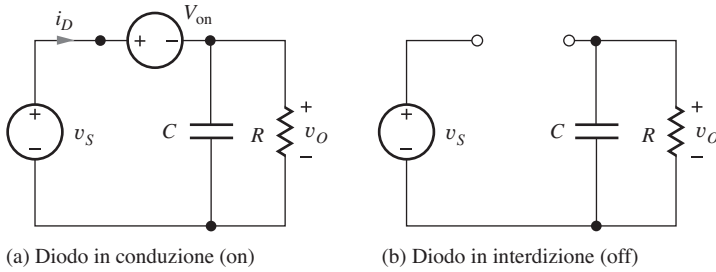


Figura 3.53 Modelli del circuito raddrizzatore a semionda con carico RC.

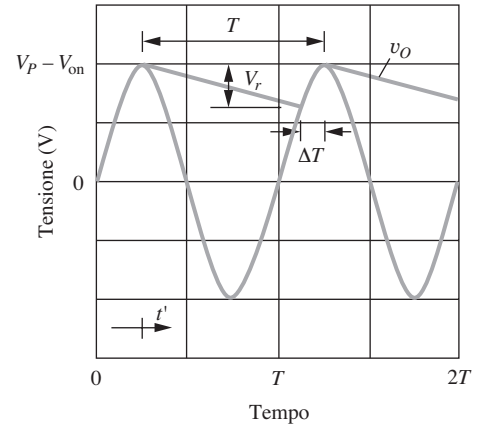


Figura 3.54 Forme d'onda di ingresso e di uscita per il circuito raddrizzatore a semionda con carico RC.

tri ΔT e V_r assumono un ruolo importante nel progetto degli alimentatori in continua, e possono essere descritti da espressioni analitiche.

Nel periodo di scarica, la tensione ai capi del condensatore risulta:

$$v_o(t') = (V_P - V_{on}) \exp\left(-\frac{t'}{RC}\right) \quad \text{per } t' = \left(t - \frac{T}{4}\right) \geq 0 \quad (3.47)$$

in cui l'origine dell'asse dei tempi t' è posta in $t = T/4$. La tensione di ondulazione è data da:

$$V_r = (V_P - V_{on}) - v_o(t') = (V_P - V_{on}) \left[1 - \exp\left(-\frac{T - \Delta T}{RC}\right) \right] \quad (3.48)$$

Nella maggioranza dei progetti di alimentatori è richiesto un basso valore di V_r , il che corrisponde a un valore di RC molto maggiore rispetto a $T - \Delta T$. Utilizzando l'approssimazione $\exp(-x) \approx 1 - x$, valida per piccoli valori di x , si ottiene un'espressione approssimata per la tensione di ondulazione:

$$V_r \approx (V_P - V_{on}) \frac{T}{RC} \left(1 - \frac{\Delta T}{T} \right) \quad (3.49)$$

Per ottenere una bassa tensione V_r deve anche aversi $\Delta T \ll T$, cosicché l'espressione semplificata della tensione di ondulazione diventa:

$$V_r \approx \frac{(V_P - V_{on})}{R} \frac{T}{C} = I_{dc} \frac{T}{C} \quad (3.50)$$

L'approssimazione per la funzione esponenziale utilizzata nelle Equazioni (3.49) e (3.50) è equivalente all'ipotesi che la scarica del condensatore avvenga a corrente costante, cui corrisponde un andamento lineare per la tensione di uscita. Come mostrato dalla (3.50), si può ritenere che la tensione di ondulazione V_r sia determinata da una corrente continua equivalente, data da:

$$I_{dc} = \frac{V_P - V_{on}}{R} \quad (3.51)$$

che scarica il condensatore C per un periodo di tempo pari a T (ovvero $\Delta V = (I_{dc}/C)T$).

Si può ricavare un'espressione approssimata per l'angolo di conduzione θ_c e per l'intervallo di conduzione ΔT . All'istante di tempo $t' = T - \Delta T$ risulta:

$$(V_P - V_{on}) \exp\left(-\frac{T - \Delta T}{RC}\right) = V_P \cos \omega(T - \Delta T) - V_{on} \quad (3.52)$$

Sviluppando in serie di Taylor il coseno, e osservando che $\cos \omega T = 1$ e $\sin \omega T = 0$, si ottiene:

$$(V_P - V_{on}) \left(1 - \frac{T}{RC} \right) = V_P \cos \omega \Delta T - V_{on} \quad (3.53)$$

Nel ricavare l'Equazione (3.53) si è anche assunto $\Delta T \ll T$. Per piccoli valori di $\omega \Delta T$, l'Equazione (3.53) può essere riscritta nella forma:

$$(V_P - V_{on}) \left(1 - \frac{T}{RC} \right) = V_P \left[1 - \frac{(\omega \Delta T)^2}{2} \right] - V_{on} \quad (3.54)$$

che può essere risolta rispetto a ΔT . Utilizzando l'Equazione (3.50) si ottiene quindi:

$$\Delta T \approx \frac{1}{\omega} \sqrt{\frac{2T}{RC} \frac{(V_P - V_{on})}{V_P}} = \frac{1}{\omega} \sqrt{\frac{2V_r}{V_P}} \quad (3.55)$$

L'angolo di conduzione θ_c , in radianti, è dato da:

$$\theta_c = \omega \Delta T = \sqrt{\frac{2V_r}{V_P}} \quad (3.56)$$

Esempio 3.10

ANALISI DI UN RADDRIZZATORE A SEMIONDA

PROBLEMA Si determinino il valore della tensione e della corrente di uscita, della tensione di ondula-
zione, dell'angolo e dell'intervallo di conduzione per un raddrizzatore a semionda con
 $R = 15 \, \Omega$, $C = 25 \, \text{mF}$, alimentato da un trasformatore con una tensione efficace al second-
ario di 12.6 V (60 Hz). Si assuma una caduta di tensione sul diodo pari a $V_{on} = 1 \, \text{V}$.

SOLUZIONE **Informazioni e dati noti:** È nota la topologia del circuito come riportata in Figura 3.51,
con $R = 15 \, \Omega$, $C = 25 \, \text{mF}$. La tensione efficace al secondario è di 12.6 V e la frequenza di
funzionamento è di 60 Hz.

Incognite: La tensione di uscita V_{dc} , la corrente di uscita I_{dc} , la tensione di ondula-
zione V_r , l'intervallo di conduzione ΔT e l'angolo di conduzione θ_c .

Approccio: I dati noti possono essere impiegati direttamente nelle (3.46), (3.50), (3.55),
(3.56).

Ipotesi: La tensione del diodo è pari a 1 V. Si ricordi che i risultati precedentemente rica-
vati sono basati sull'ipotesi che la tensione di ondula-
zione sia molto minore della tensio-
ne continua di uscita ($V_r \ll V_{dc}$), e che l'intervallo di conduzione sia molto inferiore al
periodo del segnale ($\Delta T \ll T$).

Analisi: Nel caso ideale di assenza di ondula-
zione, la tensione di uscita è data dalla (3.46):

$$V_{dc} = V_P - V_{on} = (12.6\sqrt{2} - 1) \, \text{V} = 16.8 \, \text{V}$$

Il valore nominale della corrente continua erogata dall'alimentatore è pari a:

$$I_{dc} = \frac{V_P - V_{on}}{R} = \frac{16.8 \, \text{V}}{15 \, \Omega} = 1.12 \, \text{A}$$

La tensione di ondula-
zione può essere calcolata utilizzando l'Equazione (3.50) in cui la
durata dell'intervallo di scarica risulta $T = 1/60 \, \text{s}$:

$$V_r \approx I_{dc} \frac{T}{C} = \frac{16.8 \, \text{V}}{15 \, \Omega} \frac{1}{25 \, \text{mF}} = 0.747 \, \text{V}$$

L'angolo di conduzione viene calcolato utilizzando l'Equazione (3.56):

$$\theta_c = \omega \Delta T = \sqrt{\frac{2V_r}{V_P}} = \sqrt{\frac{2 \cdot 0.75}{17.8}} = 0.290 \, \text{rad} \text{ o } 16.6^\circ$$

e l'intervallo di conduzione è dato da:

$$\Delta T = \frac{\theta_c}{\omega} = \frac{\theta_c}{2\pi f} = \frac{0.29}{120\pi} = 0.769 \, \text{ms}$$

Verifica dei risultati: Si nota come la tensione di ondulazione rappresenti il 4.4% della tensione costante di uscita. Pertanto l'ipotesi che la tensione sia approssimativamente costante risulta giustificata. L'intervallo di conduzione di 0.769 ms è molto inferiore al periodo complessivo di $T = 16.7$ ms, sicché la condizione $\Delta T \ll T$ risulta verificata.

Discussione: Questo esempio mostra che per ottenere un valore relativamente elevato della corrente erogata, limitando contemporaneamente il valore percentuale della tensione di ondulazione occorre utilizzare una capacità di valore elevato. Nel caso in esame (1 A) si ha $C = 25$ mF.

ESERCIZIO Si determinino il valore della tensione e della corrente di uscita, della tensione di ondulazione, dell'angolo e dell'intervallo di conduzione per un raddrizzatore a semionda con $R = 0.5 \Omega$, $C = 0.5$ F, alimentato da un trasformatore con una tensione efficace al secondario di 6.3 V (60 Hz). Si assuma una caduta di tensione sul diodo pari a $V_{on} = 1$ V.

RISPOSTE 7.91 V; 15.8 A; 0.527; 0.912 ms; 19.7° .

ESERCIZIO Si determinino il valore della tensione e della corrente di uscita, per un raddrizzatore a semionda con $R = 2 \Omega$, alimentato da un trasformatore con una tensione efficace al secondario di 10 V (60 Hz). Si assuma una caduta di tensione sul diodo pari a $V_{on} = 1$ V. Qual è il valore del condensatore di filtraggio necessario per avere una tensione di ondulazione inferiore a 0.1 V? Qual è l'angolo di conduzione?

RISPOSTE 13.1 V; 6.57 A; 1.10 F; 6.82° .

3.13.5 Corrente del diodo

Nei circuiti raddrizzatori il diodo è attraversato da una corrente diversa da zero solo durante una modesta frazione dell'intero periodo T , mentre una corrente quasi costante fluisce dal condensatore di filtraggio verso il carico. L'intera carica persa dal condensatore in ogni ciclo deve essere ripristinata dalla corrente che attraversa il diodo durante il breve intervallo di conduzione ΔT , il che determina elevati valori della corrente del diodo. La Figura 3.55 mostra i risultati di una simulazione SPICE della corrente del diodo. Gli impulsi periodici della corrente possono essere approssimativamente descritti da un triangolo di altezza I_p e di larghezza ΔT , come mostrato in Figura 3.56.

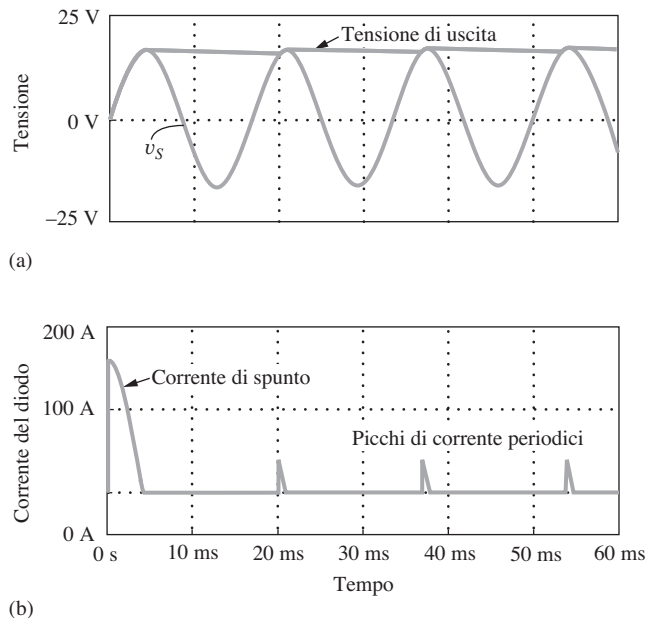


Figura 3.55
Simulazione SPICE di un circuito raddrizzatore a semionda.

Uguagliando la carica fornita attraverso il diodo durante l'intervallo di conduzione alla carica persa dal condensatore durante l'intero periodo, si ottiene:

$$Q = I_p \frac{\Delta T}{2} = I_{dc} T \quad \text{o} \quad I_p = I_{dc} \frac{2T}{\Delta T} \quad (3.57)$$

Ricordiamo che l'integrale rispetto al tempo della corrente rappresenta la carica Q . Pertanto la carica fornita dagli impulsi di corrente di forma triangolare in Figura 3.56 è data dall'area del triangolo $I_p \Delta T / 2$.

Nel caso dell'esempio precedente, la corrente di picco del diodo risulta:

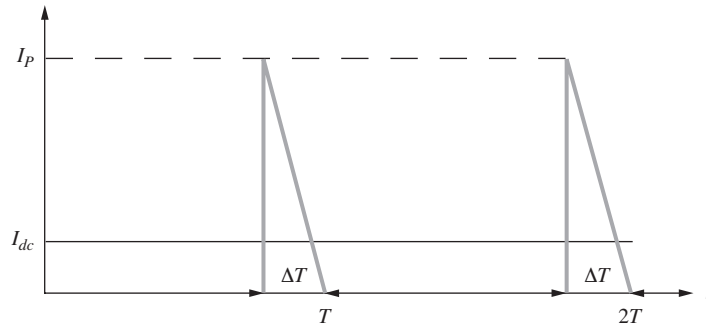
$$I_p = 1.12 \text{ A} \frac{2 \times 16.7 \text{ ms}}{0.769 \text{ ms}} = 48.6 \text{ A} \quad (3.58)$$

in accordo con i risultati delle simulazioni mostrati in Figura 3.55. Il diodo deve essere realizzato in modo tale da sopportare i picchi di corrente che si presentano periodicamente. La scelta di un valore relativamente elevato per la tensione V_{on} è legata alla presenza di questi elevati picchi di corrente (si veda il Problema 3.86).

ESERCIZIO (a) Qual è la caduta in polarizzazione diretta di un diodo che lavora con una corrente di 48.6 A a 300 K, se $I_S = 10^{-15}$ A? (b) E a 50 °C?

RISPOSTE 0.994 V; 0.978 V. Si ricordi che anche I_S cambia con la temperatura, Equazione (2.1).

Figura 3.56
Approssimazione a triangolo degli impulsi di corrente che attraversano il diodo.



3.13.6 Corrente di spunto (surge current)

Quando l'alimentatore viene acceso, può avvenire che una corrente ancor più elevata attraversi il diodo, come appare dalla Figura 3.55. Durante il primo quarto di ciclo, la corrente che fluisce attraverso il diodo è approssimativamente espressa da:

$$i_d(t) = i_c(t) \approx C \left[\frac{d}{dt} V_p \sin \omega t \right] = \omega C V_p \cos \omega t \quad (3.59)$$

La **corrente di spunto** si verifica per $t = 0^+$, ed è pari a:

$$I_{SC} = \omega C V_p = 2\pi(60 \text{ Hz})(0.025 \text{ F})(17.8 \text{ V}) = 168 \text{ A}$$

Utilizzando i valori numerici relativi all'Esempio 3.10 si ottiene una corrente di quasi 170 A! Anche questo valore è in buon accordo con i risultati delle simulazioni mostrati in Figura 3.55. Se il segnale di ingresso v_s non attraversa lo zero quando l'alimentatore viene acceso, la situazione può anche essere peggiore, e il diodo deve poter sopportare elevate correnti di spunto, oltre ai picchi periodici che si verificano a ogni ciclo.

Nella maggior parte dei circuiti la corrente di spunto, sebbene elevata, non raggiunge il valore previsto dalla (3.59) a causa delle resistenze serie del circuito, qui trascurate. Infatti il diodo presenta una resistenza serie interna (si riveda il modello SPICE del diodo nel Paragrafo 3.9), e anche nel trasformatore vi saranno resistenze associate al primario e al secondario. Una resistenza complessiva nel secondario pari solo a qualche decimo di ohm riduce significativamente sia la corrente di spunto che i picchi periodici di corrente. Inoltre, a causa dell'elevato valore della costante di tempo associata alla resistenza serie e al condensatore di filtraggio, il raddrizzatore raggiunge il valore di regime della tensione solo dopo molti periodi (si vedano i problemi relativi alle simulazioni SPICE alla fine del capitolo).

3.13.7 Specifica relativa alla tensione inversa di picco

Occorre anche tener conto delle specifiche relative alla tensione di rottura del diodo utilizzato nei circuiti raddrizzatori, detta specifica della **tensione inversa di picco** (PIV, *Peak-Inverse-Voltage*) del diodo raddrizzatore. La situazione mostrata in Figura 3.57 è relativa al caso peggiore, in cui si assume che la tensione di ondulazione V_r sia molto ridotta. Quando il diodo è spento, come in Figura 3.53(b), la tensione inversa ai capi del diodo è pari a $V_{dc} - v_s$. Il caso peggiore si verifica quando v_s raggiunge il picco negativo $-V_P$. Il diodo deve essere quindi in grado di sostenere una tensione inversa almeno pari a:

$$PIV \geq V_{dc} - v_s^{\min} = V_P - V_{on} - (-V_P) = 2V_P - V_{on} \approx 2V_P \quad (3.60)$$

Dall'Equazione (3.60) vediamo che i diodi utilizzati nei circuiti raddrizzatori a semionda devono avere una specifica relativa al PIV pari al doppio del valore di picco della tensione del generatore v_s . Il valore del PIV corrisponde al valore minimo della tensione di Zener relativo al diodo raddrizzatore. Di solito in un alimentatore la specifica relativa al PIV viene definita con un margine di sicurezza pari almeno al 25%, fino al 50%.

3.13.8 Dissipazione di potenza del diodo

In alimentatori a elevate correnti la dissipazione di potenza nel diodo raddrizzatore può diventare significativa. La dissipazione media di potenza nel diodo è definita da:

$$P_D = \frac{1}{T} \int_0^T v_D(t) i_D(t) dt \quad (3.61)$$

Questa espressione può essere semplificata assumendo che la tensione ai capi del diodo risulti approssimativamente costante, $v_D(t) = V_{on}$, e utilizzando l'approssimazione a triangolo per la corrente del diodo $i_D(t)$ mostrata nella Figura 3.56. L'Equazione (3.61) si scrive quindi:

$$P_D = \frac{1}{T} \int_0^T V_{on} i_D(t) dt = \frac{V_{on}}{T} \int_{T-\Delta T}^T i_D(t) dt = V_{on} \frac{I_P}{2} \frac{\Delta T}{T} = V_{on} I_{dc} \quad (3.62)$$

Utilizzando l'Equazione (3.57) vediamo che la dissipazione di potenza nel diodo è espressa in modo equivalente dal prodotto della corrente continua di uscita e della tensione diretta sul diodo. Nel caso dell'esempio relativo al raddrizzatore, $P_D = (1\text{ V})(1.1\text{ A}) = 1.1\text{ W}$. Probabilmente in questo caso occorrerebbe utilizzare un diodo con un dissipatore di calore (*heat sink*) per mantenere la temperatura di funzionamento a livelli accettabili. Si osservi che la corrente media che attraversa il diodo è I_{dc} .

Un'ulteriore causa di dissipazione di potenza è rappresentata dalla caduta ohmica relativa al diodo. I diodi hanno una bassa resistenza interna in serie R_s , e la potenza mediamente dissipata da questa resistenza può essere calcolata come:

$$P_D = \frac{1}{T} \int_0^T i_D^2(t) R_s dt \quad (3.63)$$

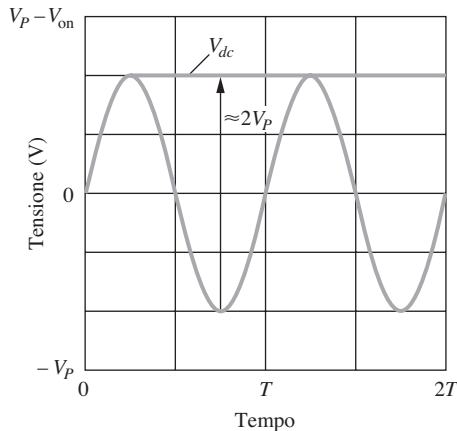


Figura 3.57

Valore di picco della tensione inversa del diodo in un raddrizzatore a semionda.

Il calcolo dell'integrale (Problema 3.89) nel caso di forma d'onda triangolare per la corrente fornisce:

$$P_D = \frac{1}{3} I_P^2 R_S \frac{\Delta T}{T} = \frac{4}{3} \frac{T}{\Delta T} I_{dc}^2 R_S \quad (3.64)$$

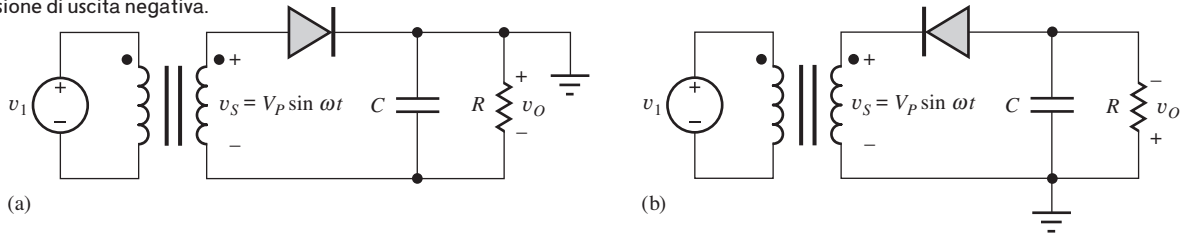
Utilizzando i valori numerici dell'esempio relativo al raddrizzatore, e $R_S = 0.20 \, \Omega$, si ottiene $P_D = 7.3 \, \text{W}$! Questo valore risulta significativamente maggiore di quello relativo alla dissipazione di potenza causata dalla caduta diretta sul diodo, calcolato utilizzando l'Equazione (3.62). Il contributo alla dissipazione di potenza dato dall'Equazione (3.64) può essere ridotto in modo significativo, riducendo la corrente di picco I_P attraverso l'uso del valore minimo permesso per il condensatore di filtraggio, oppure utilizzando i circuiti raddrizzatori a doppia semionda descritti nel Paragrafo 3.14.

3.13.9 Raddrizzatore a semionda con tensione di uscita negativa

Il circuito di Figura 3.52 può anche essere utilizzato per ottenere una tensione di uscita negativa, se si considera come potenziale di riferimento il terminale superiore del condensatore, anziché quello inferiore, come mostrato in Figura 3.58(a). Tuttavia, di solito si disegna il circuito come in Figura 3.58(b). Questi due circuiti sono equivalenti. Nel circuito di Figura 3.58(b) il diodo conduce durante la semionda negativa della tensione del trasformatore v_S , e la tensione continua di uscita vale $V_{dc} = -(V_P - V_{on})$.

Figura 3.58

Circuito raddrizzatore a semionda che produce una tensione di uscita negativa.

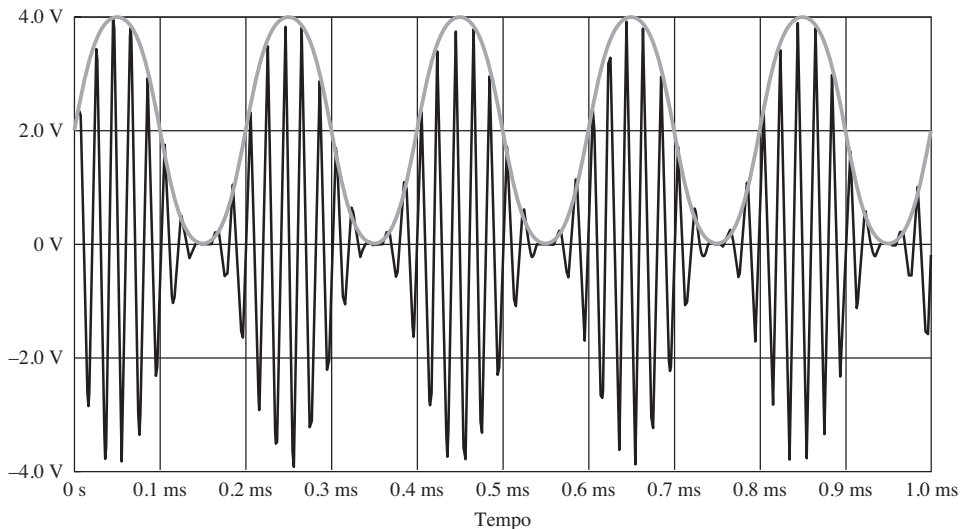


ELETTRONICA IN AZIONE

Demodulazione AM

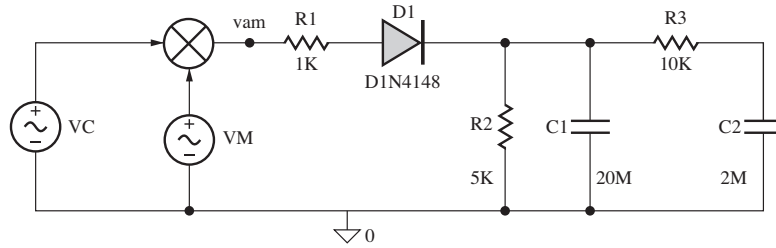
La forma d'onda di un segnale modulato in ampiezza (AM) al 100% è mostrata nella figura sottostante ed è descritta matematicamente dalla relazione: $v_{AM} = 2 \text{ V} \sin \omega_C t (1 + \sin \omega_M t)$, in cui ω_C è la

frequenza angolare della portante ($f_C = 50 \text{ kHz}$) e ω_M è la frequenza angolare del segnale modulante ($f_M = 5 \text{ kHz}$).



L'involuppo del segnale AM contiene l'informazione da trasmettere e può essere recuperato utilizzando un semplice raddrizzatore a semionda. Nel circuito

SPICE mostrato sotto, il segnale da demodulare è applicato all'ingresso del raddrizzatore; la costante di tempo $R_2 C_1$ viene scelta in modo da attenuare la

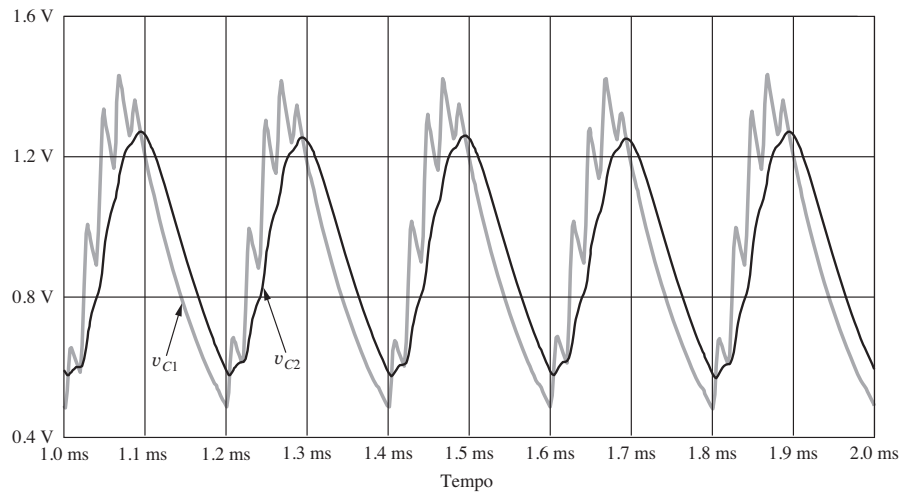


componente del segnale alla frequenza della portante in misura maggiore della componente alla frequenza della modulante. Un ulteriore effetto di filtraggio è offerto da R_3 e C_2 , che realizzano un filtro passa basso. I risultati della simulazione SPICE

del circuito sono riportati nella figura seguente, insieme ai valori delle componenti spettrali del segnale demodulato ottenute tramite analisi di Fourier. I grafici di v_{C1} e v_{C2} rappresentano gli andamenti delle tensioni ai capi rispettivamente di C_1 e C_2 .

Componenti spettrali di v_{C2} (V) ottenute con SPICE

5 kHz	0.330
10 kHz	0.046
15 kHz	0.006
20 kHz	0.001
–	–
45 kHz	0.006
50 kHz	0.007
55 kHz	0.004



3.14 Raddrizzatore a doppia semionda

Il **circuito raddrizzatore a doppia semionda** dimezza il tempo di scarica del condensatore, e offre il vantaggio di richiedere solo la metà della capacità di filtraggio per ottenere un dato valore per la tensione di ondulazione. Il circuito raddrizzatore a doppia semionda mostrato in Figura 3.59 utilizza un **trasformatore a presa centrale** per generare due tensioni di uguale ampiezza e sfasate di 180° . Poiché la tensione v_S è applicata all'anodo del diodo D_1 , mentre la tensione $-v_S$ è applicata all'anodo del diodo D_2 , i due diodi formano una coppia di raddrizzatori a semionda che funzionano durante semiperiodi alternati della forma d'onda di ingresso. I punti indicano la fase relativa a ciascuna metà del trasformatore.

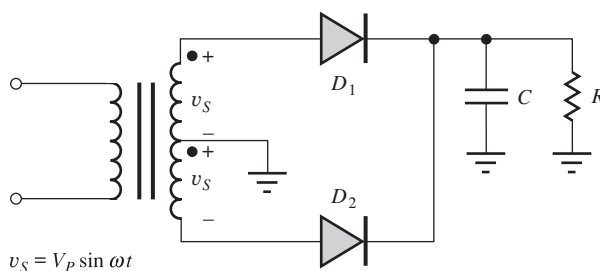
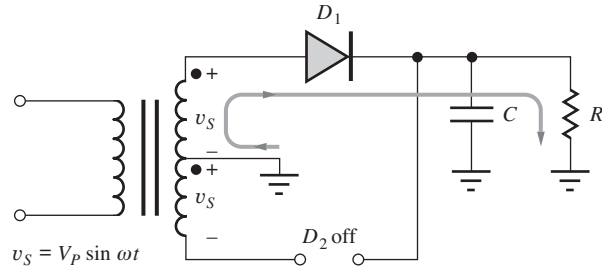
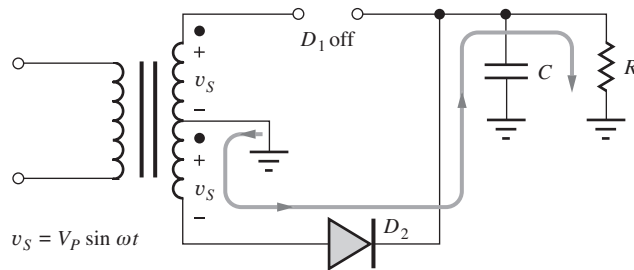


Figura 3.59

Circuito raddrizzatore a doppia semionda formato da due diodi e un trasformatore a presa centrale.

Figura 3.60Circuito equivalente per $v_S > 0$ **Figura 3.61**Circuito equivalente per $v_S < 0$.

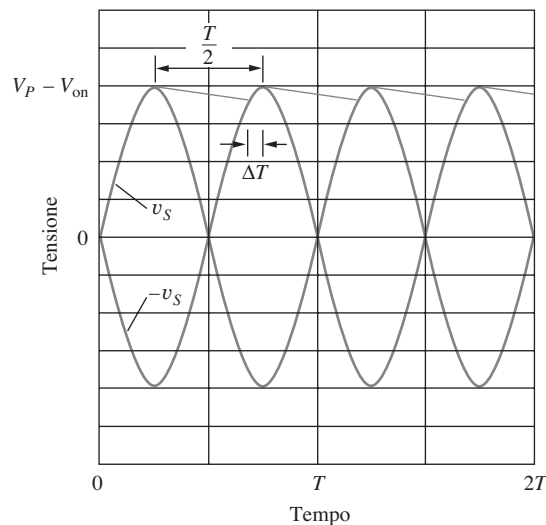
Per $v_S > 0$, il funzionamento del diodo D_1 è identico a quello di un raddrizzatore a semionda, mentre il diodo D_2 è interdetto, come mostrato in Figura 3.60. La corrente fluisce dal terminale superiore del trasformatore, fluisce attraverso il diodo D_1 , attraverso il carico RC e ritorna nella presa centrale del trasformatore.

Per $v_S < 0$, il diodo D_1 è interdetto, e il circuito costituito dal diodo D_2 e dal carico RC funziona come un raddrizzatore a semionda (Figura 3.61). Durante questa parte del ciclo la corrente esce dal terminale inferiore del trasformatore, attraversa il diodo D_2 e il carico RC , per ritornare nella presa centrale del trasformatore. Nei due semiperiodi la corrente nel carico RC assume la stessa direzione; in ciascun semiperiodo viene utilizzata una metà del trasformatore.

Durante ciascun ciclo il carico, costituito dal condensatore di filtraggio C e dalla resistenza di carico R , viene attraversato da due impulsi di corrente, e il periodo di scarica del condensatore risulta così inferiore a $T/2$, come mostrato nel grafico di Figura 3.62. Effettuando un'analisi simile a quella vista nel caso del raddrizzatore a semionda, si ottengono le stesse espressioni per la tensione continua di uscita, per la tensione di ondulazione e per ΔT , in cui l'intervallo di scarica è però $T/2$ anziché T . In corrispondenza di un dato valore della capacità, la tensione di ondulazione risulta dimezzata, e l'intervallo di conduzione e la corrente di picco risultano ridotti. La forma d'onda relativa al picco di tensione inversa per ciascun diodo è simile a quella mostrata in Figura 3.57 per il raddrizzatore a semionda. Pertanto le specifiche relative al PIV sono identiche a quelle relative a un raddrizzatore a semionda.

Figura 3.62

Forme d'onda della tensione in un raddrizzatore a doppia semionda.



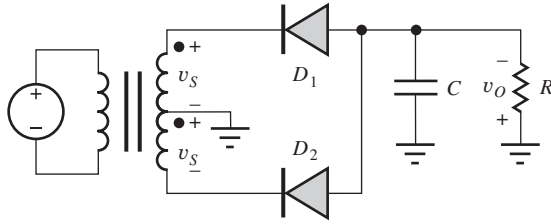


Figura 3.63

Raddrizzatore a doppia semionda con tensione di uscita negativa.

3.14.1 Raddrizzatore a doppia semionda con tensione di uscita negativa

Un raddrizzatore a doppia semionda con tensione di uscita negativa può essere realizzato invertendo la polarità dei diodi, come mostrato in Figura 3.63. Gli altri elementi del circuito sono gli stessi del raddrizzatore a doppia semionda con tensione di uscita positiva.

3.15 Raddrizzatore a ponte a doppia semionda

Con l'aggiunta di due diodi, lo schema del **raddrizzatore a ponte a doppia semionda** non richiede il trasformatore a presa centrale, come mostrato in Figura 3.64. Per $v_S > 0$ i diodi D_2 e D_4 sono in conduzione mentre i diodi D_1 e D_3 sono interdetti, come si vede in Figura 3.65. La corrente esce dal terminale superiore del trasformatore, attraversa D_2 e il carico RC , e infine ritorna al trasformatore attraverso D_4 . In questo caso l'intera tensione del trasformatore, diminuita delle cadute ai capi dei due diodi, si presenta sul condensatore di carico:

$$V_{dc} = V_P - 2V_{on} \quad (3.65)$$

Il valore di picco della tensione al nodo 1, che rappresenta anche la massima tensione inversa che si presenta ai capi di D_3 , è pari a $(V_P - V_{on})$. Analogamente, il valore massimo della tensione inversa che cade ai capi di D_3 è pari a $(V_P - 2V_{on}) - (-V_{on}) = (V_P - V_{on})$.

Per $v_S < 0$ i diodi D_1 e D_3 si trovano in conduzione, mentre D_2 e D_4 sono interdetti, come mostrato in Figura 3.66. La corrente esce dal terminale inferiore del trasformatore, attraversa

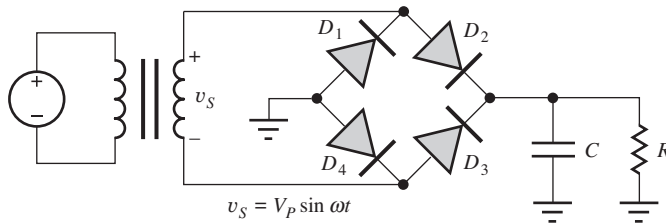


Figura 3.64

Circuito raddrizzatore a ponte a doppia semionda.

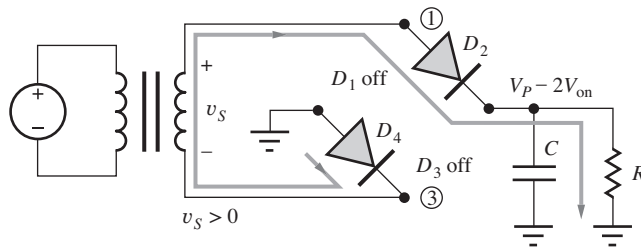


Figura 3.65

Circuito equivalente del raddrizzatore a ponte a doppia semionda per $v_S > 0$.

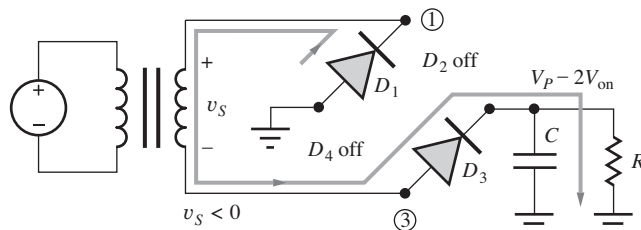
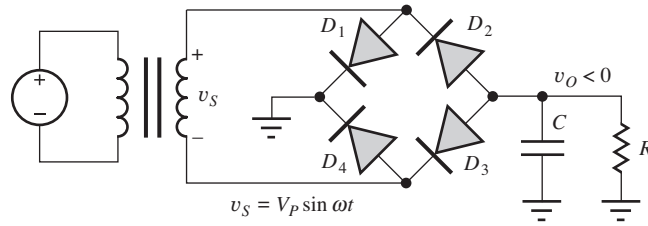


Figura 3.66

Circuito equivalente del raddrizzatore a ponte a doppia semionda per $v_S < 0$.

Figura 3.67

Circuito raddrizzatore a ponte a doppia semionda con tensione di uscita negativa.



D_3 e il carico RC , e ritorna al trasformatore attraverso D_1 . Anche in questo caso si sfrutta l'intera tensione del trasformatore per il processo di raddrizzamento. La tensione al nodo 3 è pari a $(V_P - V_{on})$, e coincide con il valore massimo della tensione inversa per il diodo D_4 . Analogamente, si ricava che il valore di picco della tensione inversa per il diodo D_2 è pari a $(V_P - 2V_{on}) - (-V_{on}) = (V_P - V_{on})$.

Dall'analisi dei due semiperiodi si vede che ciascun diodo deve soddisfare una specifica relativa alla tensione di picco PIV data da:

$$PIV = V_P - V_{on} \approx V_P \quad (3.66)$$

Analogamente al circuito raddrizzatore precedente, è possibile ottenere una tensione di uscita negativa invertendo la direzione dei diodi, come mostrato nel circuito di Figura 3.67.

3.16 Confronto tra i raddrizzatori e criteri di progetto

Le Tabelle 3.5 e 3.6 riassumono le caratteristiche dei raddrizzatori a semionda, a doppia semionda e a ponte a doppia semionda, analizzati nei Paragrafi 3.13-3.15. Dal punto di vista economico, le caratteristiche del filtro capacitivo spesso rappresentano un fattore significativo nel progetto del raddrizzatore, in termini di costo, dimensioni e peso. Per un assegnato valore della tensione di ondulazione, il valore del condensatore di filtraggio richiesto dal raddrizzatore a doppia semionda è la metà di quello utilizzato nel raddrizzatore a semionda.

Tabella 3.5 Riassunto delle equazioni dei raddrizzatori

Raddrizzatore a semionda	Raddrizzatore a doppia semionda	Raddrizzatore a ponte a doppia semionda
$V_{dc} = V_P - V_{on} \quad I_{dc} = \frac{(V_P - V_{on})}{R}$	$V_{dc} = V_P - V_{on} \quad I_{dc} = \frac{(V_P - V_{on})}{R}$	$V_{dc} = V_P - 2V_{on} \quad I_{dc} = \frac{(V_P - 2V_{on})}{R}$
$V_r = \frac{(V_P - V_{on})}{R} \frac{T}{C} = I_{dc} \frac{T}{C}$	$V_r = \frac{(V_P - V_{on})}{R} \frac{T}{2C} = I_{dc} \frac{T}{2C}$	$V_r = \frac{(V_P - 2V_{on})}{R} \frac{T}{2C} = I_{dc} \frac{T}{2C}$
$\Delta T = \frac{1}{\omega} \sqrt{\frac{2V_r}{V_P}} \quad \theta_c = \omega \Delta T$	$\Delta T = \frac{1}{\omega} \sqrt{\frac{2V_r}{V_P}} \quad \theta_c = \omega \Delta T$	$\Delta T = \frac{1}{\omega} \sqrt{\frac{2V_r}{V_P}} \quad \theta_c = \omega \Delta T$
$I_P = I_{dc} \frac{2T}{\Delta T} \quad PIV = 2V_P$	$I_P = I_{dc} \frac{T}{\Delta T} \quad PIV = 2V_P$	$I_P = I_{dc} \frac{T}{\Delta T} \quad PIV = V_P$
$C = \frac{V_P - V_{on}}{V_r} \frac{T}{R}$	$C = \frac{V_P - V_{on}}{V_r} \frac{T}{2R}$	$C = \frac{V_P - 2V_{on}}{V_r} \frac{T}{2R}$

Tabella 3.6 Confronto tra raddrizzatori con filtri capacitivi

Parametro del raddrizzatore	Raddrizzatore a semionda	Raddrizzatore a doppia semionda	Raddrizzatore a ponte a doppia semionda
Specifica PIV	$2V_P$	$2V_P$	V_P
Corrente di picco (con V_r costante)	Elevata I_P	Ridotta $\frac{I_P}{2}$	Ridotta $\frac{I_P}{2}$
Commenti	Bassa complessità	Condensatore più piccolo Necessario un trasformatore a presa centrale Due diodi	Condensatore più piccolo Quattro diodi Senza trasformatore a presa centrale

Il valore più basso per la corrente di picco nel raddrizzatore a doppia semionda può ridurre significativamente la dissipazione di calore nei diodi. L'aggiunta di un secondo diodo e l'utilizzo di un trasformatore a presa centrale rappresentano costi aggiuntivi che compensano in parte i vantaggi. Tuttavia, i vantaggi del raddrizzatore a doppia semionda di solito giustificano il limitato incremento di complessità circuitale.

Il raddrizzatore a ponte non richiede un trasformatore a presa centrale, e la specifica per la tensione inversa di picco è più bassa, il che può essere particolarmente vantaggioso in circuiti a elevata tensione. Il costo associato ai diodi aggiuntivi è in genere trascurabile, anche perché il raddrizzatore a ponte può essere acquistato come singolo componente.

PROGETTO DI UN RADDRIZZATORE

Esempio 3.11

Si progettino un raddrizzatore per la rete di distribuzione USA che fornisca una tensione di uscita di 15 V, con una tensione di ondulazione inferiore al 1%, e una corrente di carico di 2 A.

PROBLEMA

Informazioni e dati noti: $V_{dc} = 15 \text{ V}$, $V_r < 0.15 \text{ V}$, $I_{dc} = 2 \text{ A}$.

SOLUZIONE

Incognite: La topologia del circuito, la tensione del trasformatore, il condensatore di filtraggio, le specifiche richieste per la tensione inversa di picco (PIV), corrente di picco e corrente di spunto.

Approccio: Si utilizzeranno le equazioni opportune per ricavare gli elementi incogniti. Scegliremo un raddrizzatore a ponte a doppia semionda in quanto richiede un valore inferiore per il condensatore di filtraggio e per la tensione inversa di picco, e inoltre consente di evitare l'impiego di un trasformatore a presa centrale.

Ipotesi: La tensione in conduzione del diodo è assunta pari a 1 V. Assumeremo inoltre che la tensione di ondulazione sia molto minore della tensione continua di uscita ($V_r \ll V_{dc}$), e che l'intervallo di conduzione sia molto inferiore al periodo del segnale ($\Delta T \ll T$).

Analisi: La tensione del trasformatore è data da:

$$V_{\text{rms}} = \frac{V_P}{\sqrt{2}} = \frac{V_{dc} + 2V_{\text{on}}}{\sqrt{2}} = \frac{15 + 2}{\sqrt{2}} \text{ V} = 12.0 \text{ V}$$

mentre il condensatore di filtraggio può essere ricavato da:

$$C = I_{dc} \left(\frac{T/2}{V_r} \right) = 2 \text{ A} \left(\frac{1}{120} \text{ s} \right) \left(\frac{1}{0.15 \text{ V}} \right) = 0.111 \text{ F}$$

L'intervallo di conduzione è dato dalla (3.56):

$$\Delta T = \frac{1}{\omega} \sqrt{\frac{2V_r}{V_P}} = \frac{1}{2\pi(60 \text{ Hz})} \sqrt{\frac{2(0.15) \text{ V}}{17 \text{ V}}} = 0.352 \text{ ms}$$

Il valore di picco degli impulsi di corrente risulta quindi:

$$I_P = I_{dc} \left(\frac{2}{\Delta T} \right) \left(\frac{T}{2} \right) = 2 \text{ A} \frac{(1/60) \text{ s}}{0.352 \text{ ms}} = 94.7 \text{ A}$$

Infine, la corrente di spunto può essere calcolata come:

$$I_{\text{surge}} = \omega C V_P = 2\pi(60 \text{ Hz})(0.111 \text{ F})(17 \text{ V}) = 711 \text{ A}$$

Il valore minimo della tensione inversa è $V_P = 17 \text{ V}$. Una scelta con un margine di sicurezza adeguato potrebbe quindi essere $\text{PIV} > 20 \text{ V}$. La specifica relativa alla corrente di picco dovrebbe essere 95 A, mentre quella relativa alla corrente di spunto 710 A. Si osservi che in entrambi i casi il valore della corrente è stato stimato per eccesso, avendo trascurato l'effetto delle resistenze serie relative al diodo e al trasformatore. Il valore minimo della capacità di filtraggio è pari a 100 mF. Assumendo una tolleranza pari al -30%, il valore nominale della capacità risulterebbe pari a 160 mF.

Verifica dei risultati: La tensione di ondulazione deve essere inferiore al 1% della componente continua della tensione di uscita. Pertanto l'ipotesi che la tensione sia approssimativamente costante risulta giustificata.

L'intervallo di conduzione di 0.352 ms è molto inferiore al periodo complessivo di $T = 16.7$ ms, sicché la condizione $\Delta T \ll T$ risulta verificata.

Analisi assistita da calcolatore: Il progetto di raddrizzatore qui affrontato rappresenta un esempio in cui l'analisi assistita dal calcolatore può essere utilizzata per valutare in modo più accurato le correnti nel diodo e migliorare il progetto evitando di sovradimensionare le caratteristiche del diodo. Effettuando una simulazione SPICE con $R_S = 0.1 \Omega$, $n = 2$, $I_S = 1 \mu\text{A}$, e una resistenza relativa al trasformatore di 0.1Ω , si ottengono diversi risultati inaspettati: $I_P = 11$ A, $I_{\text{surge}} = 70$ A, e $V_{dc} = 13$ V! La corrente di spunto e la corrente di picco risultano inferiori di quasi un ordine di grandezza rispetto all'analisi manuale. Inoltre, la tensione di uscita risulta più bassa del risultato atteso. Si può osservare che una corrente di picco di 11 A provoca una caduta di tensione di 2.2 V sulla resistenza serie complessiva di 0.2Ω , sicché è ragionevole aspettarsi che la tensione di uscita sia di 2 V inferiore al valore atteso. La resistenza serie contribuisce a ridurre le sollecitazioni sui diodi. La costante di tempo relativa alla resistenza serie e al condensatore di filtraggio è pari a 0.44 s; pertanto sono necessari diversi periodi prima che il circuito raggiunga il valore di regime della tensione di uscita.

ESERCIZIO Si ripeta il progetto del raddrizzatore considerando un raddrizzatore a semionda.

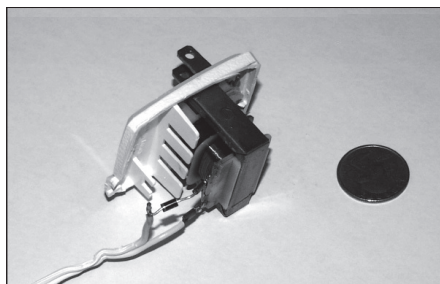
RISPOSTE $V = 11.3$ V_{rms}; $C = 220$ mF; $I_P = 184$ A; $I_{\text{surge}} = 1.34$ kA.

ELETTRONICA IN AZIONE

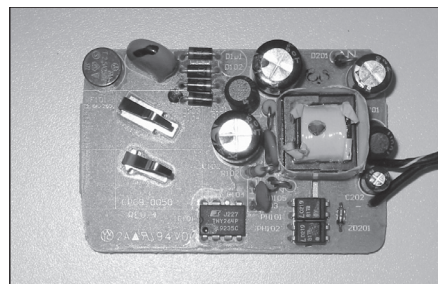
Alimentatori e carica batterie per telefoni cellulari

Il circuito raddrizzatore a semionda con trasformatore di Figura 3.48 è impiegato in applicazioni che incontriamo quotidianamente, come per esempio gli alimentatori e i carica batterie per dispositivi elettronici portatili. Un esempio è illustrato nella prima figura riportata di seguito. L'alimentatore è costituito solo da un piccolo trasformatore e da un diodo raddrizzatore. Il trasformatore è realizzato tramite avvolgimento e presenta una resistenza significativa sia al primario che al secondario. Nel

trasformatore illustrato nella foto la resistenza del primario è di 600Ω , e di 15Ω al secondario. Queste resistenze garantiscono una protezione in caso di guasto di uno degli avvolgimenti. La resistenza di carico R di Figura 3.51 rappresenta il dispositivo elettronico che riceve la potenza fornita dall'alimentatore, come per esempio una batteria ricaricabile. In alcuni casi un condensatore di filtraggio può essere incluso come parte del circuito che rappresenta il carico dell'alimentatore.



(a)

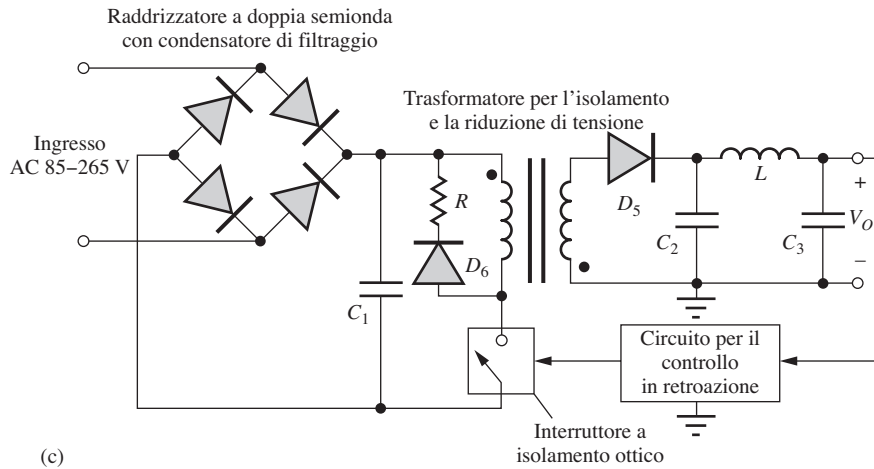


(b)

(a) Contenuto di un semplice alimentatore; (b) caricatore per telefono cellulare. (Foto per gentile concessione di Richard Jaeger)

La Figura (b) mostra un dispositivo ben più complesso utilizzato per caricare le batterie di un telefono cellulare. Lo schema semplificato riportato nella Figura (c) mostra un raddrizzatore a doppia semionda con condensatore di filtraggio connesso alla rete AC. L'elevata tensione di uscita del raddrizzatore viene filtrata dal condensatore C_1 e alimenta un regolatore switching costituito da un interruttore, un trasformatore che pilota un raddrizzatore a semionda con filtro a pi greco (D_5 , C_2 , L e C_3), e un circuito di retroazione che controlla la tensione di uscita

tramite il ciclo di lavoro (duty cycle) dell'interruttore. Il trasformatore riduce la tensione e garantisce l'isolamento dalla tensione elevata della rete AC. Il diodo D_6 e la resistenza R bloccano la tensione quando l'interruttore si apre. Il percorso del segnale di feedback è isolato dall'ingresso tramite un isolatore ottico (si veda il Capitolo 5, Elettronica in azione, per una discussione sugli isolatori ottici). Si noti l'ampio intervallo per la tensione di ingresso che può essere gestito dal circuito.



(c) Schema semplificato di un caricatore per telefono cellulare.

3.17 Il diodo in commutazione

Fino a questo punto abbiamo tacitamente fatto l'ipotesi che il diodo possa passare negli stati di interdizione o conduzione in modo istantaneo. Il comportamento in commutazione del diodo presenta invece caratteristiche inaspettate. Per lo studio della commutazione del diodo analizzeremo i risultati della simulazione SPICE del circuito mostrato in Figura 3.68, in cui il diodo D_1 viene pilotato dal generatore di tensione v_1 attraverso la resistenza R_1 .

La tensione del generatore v_1 è nulla per $t < 0$. Per $t = 0$ la tensione commuta rapidamente al valore di $+1.5$ V, forzando una corrente nel diodo per portarlo in conduzione. La tensione rimane costante fino all'istante $t = 7.5$ ns. A questo punto il generatore commuta alla tensione di -1.5 V, in modo da spegnere nuovamente il diodo.

I risultati della simulazione sono presentati in Figura 3.69. In seguito alla commutazione della tensione del generatore a $t = 0^+$, la corrente cresce rapidamente. Le capacità interne del diodo impediscono alla tensione del diodo di variare istantaneamente. La corrente presenta un picco iniziale, per poi diminuire quando il diodo passa in conduzione e la tensione del diodo raggiunge il valore di circa 0.7 V. In ogni istante di tempo la corrente nel diodo può essere espressa da:

$$i_D(t) = \frac{v_1(t) - v_D(t)}{0.75 \text{ k}\Omega} \quad (3.67)$$

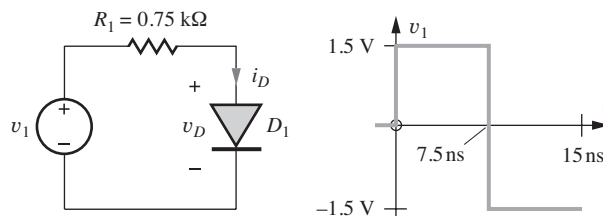
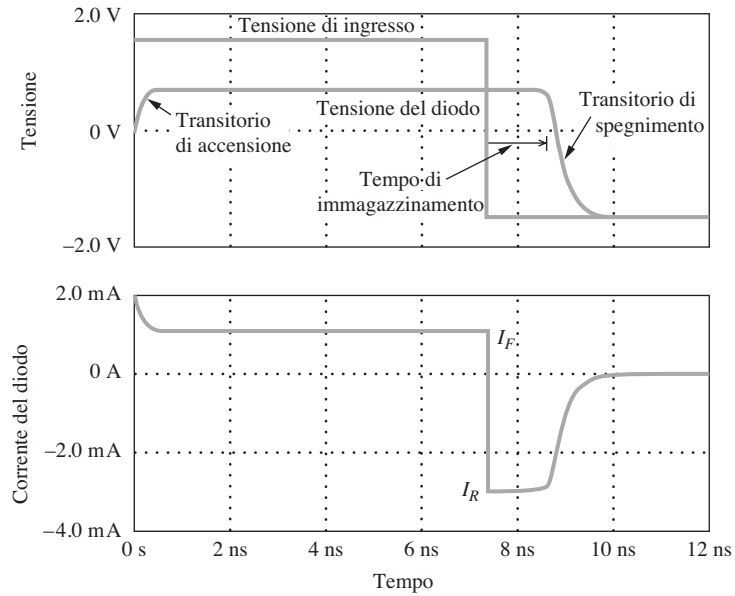


Figura 3.68

Circuito utilizzato per l'analisi della commutazione del diodo.

Figura 3.69

Risultati della simulazione
SPICE del circuito di Figura 3.67
(il tempo di transito del diodo è
pari a 5 ns).



Il picco iniziale della corrente si verifica in quanto v_1 assume il valore di 1.5 V e v_D è ancora nulla:

$$i_{D\max} = \frac{1.5 \text{ V}}{0.75 \text{ k}\Omega} = 2.0 \text{ mA} \quad (3.68)$$

Quando la tensione ai capi del diodo raggiunge il valore finale $V_{\text{on}} \approx 0.7 \text{ V}$, la corrente si stabilizza al valore:

$$I_F = \frac{1.5 \text{ V} - 0.7 \text{ V}}{0.75 \text{ k}\Omega} = 1.1 \text{ mA} \quad (3.69)$$

Per $t = 7.5 \text{ ns}$ la tensione del generatore commuta al valore di -1.5 V . Il verso della corrente del diodo si inverte rapidamente, e il valore è molto maggiore di quello della corrente di saturazione inversa del diodo; il diodo quindi non si spegne istantaneamente. Infatti il diodo rimane polarizzato direttamente con una tensione $v_D = V_{\text{on}}$ a causa della carica immagazzinata nel diodo, anche se il verso della corrente si è invertito! La corrente che fluisce nel circuito è data da:

$$I_R = \frac{-1.5 \text{ V} - 0.7 \text{ V}}{0.75 \text{ k}\Omega} = -2.9 \text{ mA} \quad (3.70)$$

La corrente rimane al valore $I_R = -2.9 \text{ mA}$ per un intervallo di tempo detto **tempo di immagazzinamento** τ_S (storage time), durante il quale la carica immagazzinata nel diodo viene rimossa. Terminata la fase di rimozione della carica, la tensione ai capi del diodo incomincia a diminuire, e si porta al valore finale di -1.5 V . Al diminuire della tensione ai capi del diodo, la corrente nel diodo si porta rapidamente a zero.

Il tempo di accensione e il tempo di spegnimento sono determinati dal processo di carica e scarica della capacità di giunzione C_j attraverso la resistenza R_S . Il tempo di immagazzinamento dipende invece dal tempo di transito definito dall'Equazione (3.22) e dai valori della corrente diretta I_F e da quella inversa I_R :

$$\tau_S = \tau_T \ln \left[1 - \frac{I_F}{I_R} \right] \quad \text{e} \quad \tau_S = 5 \text{ ns} \ln \left[1 - \frac{1.1 \text{ mA}}{-2.9 \text{ mA}} \right] \text{ ns} = 1.6 \text{ ns} \quad (3.71)$$

Il risultato ottenuto per il caso in esame è in buon accordo con le simulazioni SPICE.

Occorre ricordare sempre che i dispositivi a stato solido non possono essere interdetti in modo istantaneo. La commutazione del diodo è un chiaro esempio dei ritardi che si verificano nella commutazione di dispositivi a giunzione *pn*, in cui il processo di conduzione è essenzialmente determinato dalla diffusione di portatori minoritari. Questo comportamento è assente nei dispositivi a effetto di campo, in cui il processo di conduzione è dovuto alla corrente di deriva di portatori maggioritari.

3.18 Fotodiodi, celle solari e diodi emettitori di luce

Vi sono altre importanti applicazioni dei diodi, come i fotorivelatori utilizzati nei sistemi di comunicazione, le celle solari per la generazione di potenza elettrica, e i diodi emettitori di luce (LED, *Light-Emitting Diodes*). Queste applicazioni si basano sull'assorbimento o emissione di fotoni nei diodi.

3.18.1 Fotodiodi e fotorivelatori

Se la regione di svuotamento di un diodo a giunzione *pn* viene illuminata da una radiazione a frequenza sufficientemente elevata, i fotoni incidenti possono fornire l'energia necessaria affinché alcuni elettroni nella banda di valenza passino in banda di conduzione, creando una coppia elettrone-lacuna. Affinché si verifichi l'assorbimento di un fotone, occorre che l'energia del fotone E_F sia maggiore dell'energia relativa alla banda proibita del semiconduttore:

$$E_F = h\nu = \frac{hc}{\lambda} \geq E_G \quad (3.72)$$

dove h = costante di Plank ($6.626 \times 10^{-34} \text{ J} \cdot \text{s}$),

ν = frequenza della radiazione,

λ = lunghezza d'onda della radiazione,

c = velocità della luce ($3 \times 10^8 \text{ m/s}$).

Le caratteristiche i - v di un diodo in presenza e in assenza di radiazione incidente sono mostrate in Figura 3.70. Le caratteristiche del diodo risultano traslate verso il basso per effetto della corrente generata dalla radiazione. L'assorbimento dei fotoni dà origine a una corrente aggiuntiva che attraversa la giunzione *pn*, che può essere descritta per mezzo di un generatore di corrente i_{ph} disposto in parallelo al diodo, come mostrato in Figura 3.71.

Un segnale ottico può essere convertito in un segnale elettrico di tensione utilizzando il semplice **circuito fotorivelatore** mostrato in Figura 3.72. Il diodo è polarizzato inversamente in modo da aumentare la larghezza e il campo elettrico relativi alla regione di svuotamento. La corrente i_{ph} generata per effetto dell'assorbimento della radiazione fluisce attraverso la resistenza R e produce una tensione di uscita data da:

$$v_o = i_{ph}R \quad (3.73)$$

Nei sistemi di comunicazione a fibra ottica l'ampiezza della luce incidente viene modulata rapidamente da segnali digitali, sicché i_{ph} è un segnale variabile. Il segnale variabile di tensione viene demodulato da un ulteriore sistema elettronico, allo scopo di ripristinare i dati originariamente trasmessi alla fibra ottica.

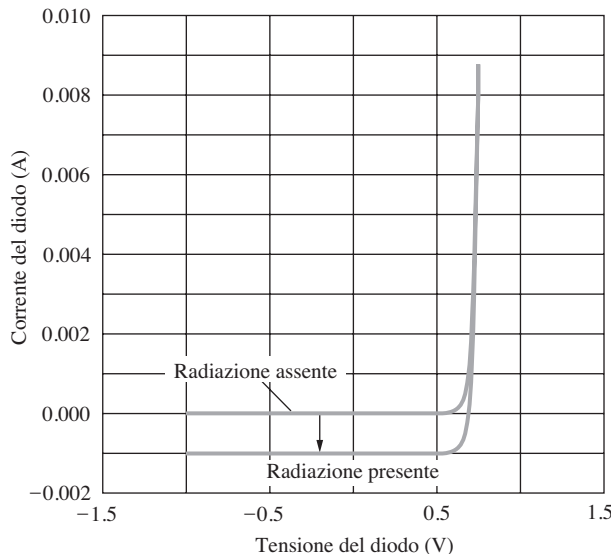


Figura 3.70 Caratteristiche i - v di un diodo in assenza e in presenza di radiazione assorbita.

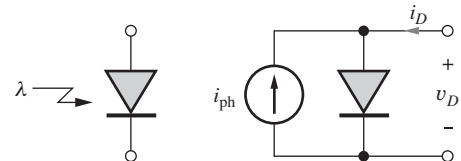
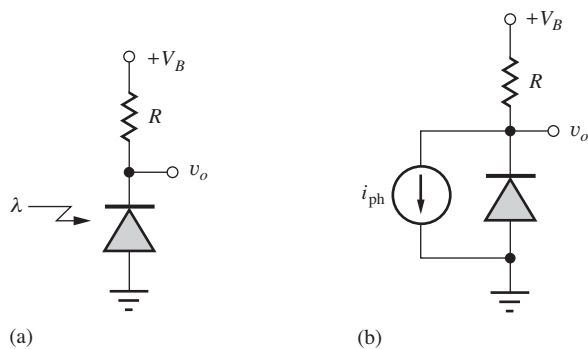


Figura 3.71 Modello di un diodo in presenza di radiazione assorbita. i_{ph} rappresenta la corrente generata dall'assorbimento

di fotoni in prossimità della giunzione *pn*.**Figura 3.72**

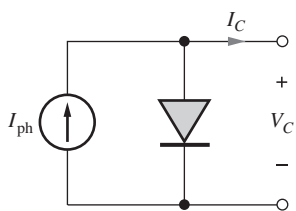
(a) Circuito fotorivelatore elementare; (b) modello del circuito.



3.18.2 Generazione di potenza elettrica con celle solari

Il funzionamento delle **celle solari** è basato su un'illuminazione costante, e la corrente erogata I_{PH} risulta quindi costante. L'obiettivo in questo caso è quello di estrarre potenza dalla cella. Le caratteristiche *i-v* vengono di solito rappresentate graficamente riportando la corrente della cella I_C in funzione della tensione della cella V_C , come definite in Figura 3.73.

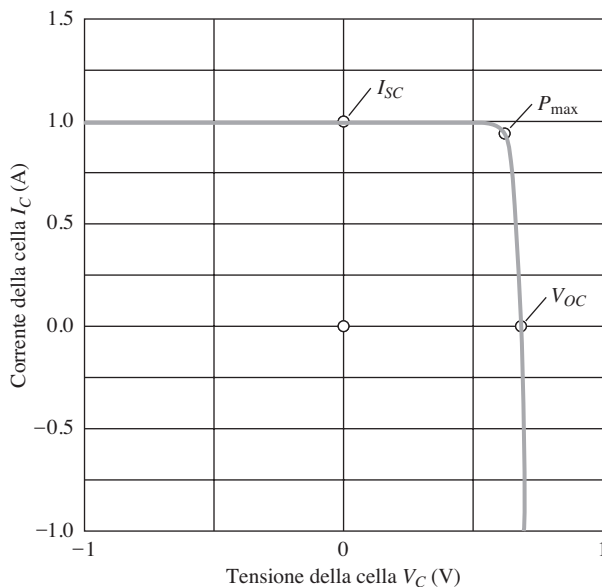
La caratteristica *i-v* di una giunzione *pn* utilizzata come cella solare è mostrata in Figura 3.74. Nella figura vengono indicate la corrente di cortocircuito I_{SC} , la tensione a circuito aperto V_{OC} e la potenza massima P_{max} . I_{SC} rappresenta il valore massimo della corrente della cella, e V_{OC} rappresenta la tensione ai capi della cella in condizioni di circuito aperto, ossia quando la corrente generata dalla radiazione fluisce all'interno della giunzione *pn*. Affinché la cella fornisca potenza a un circuito esterno il prodotto $I_C \times V_C$ deve essere positivo, e si cerca di far funzionare la cella in prossimità del punto di massima potenza di uscita P_{max} .

**Figura 3.73**

Modello di diodo in presenza di radiazione assorbita utilizzato come cella solare.

Figura 3.74

Caratteristica di una cella solare.





L'energia solare

La foto mostra la centrale solare che è stata costruita presso il laboratorio nazionale Brookhaven (BNL), nel centro di Long Island, New York.

L'installazione, entrata in funzione alla fine del 2011, consiste in 164 312 pannelli solari realizzati con silicio cristallino e può generare una potenza di picco di 32 MW con una produzione annua stimata di 44 milioni di kilowattora, sufficienti per alimen-

tare circa 4500 case. Il progetto è nato dalla collaborazione tra il Dipartimento di Energia degli Stati Uniti d'America, BP Solar, e l'autorità per l'energia di Long Island; quest'ultima compra il 100% della potenza generata dalla centrale, evitando ogni anno la produzione di circa 30 000 tonnellate di CO₂ e molti altri inquinanti.



Centrale solare di Long Island, New York. [Per gentile concessione del Brookhaven National Laboratory.]

3.18.3 Diodi emettitori di luce

Il funzionamento dei **diodi emettitori di luce (LED)** è basato sui processi di ricombinazione di coppie elettrone-lacuna, anziché su quelli di generazione, come nel caso dei fotorelettori. Quando un elettrone e una lacuna si ricombinano, una quantità di energia pari a quella della banda proibita può essere emessa sotto forma di fotone. Questo processo di ricombinazione avviene quando il diodo a giunzione pn è polarizzato direttamente. Nel silicio il processo di ricombinazione avviene attraverso l'interazione di fotoni con le vibrazioni del reticolo cristallino (fononi). Per questo motivo il processo di emissione di fotoni nel silicio è meno efficiente che in semiconduttori composti III-V come l'arseniuro di gallio (GaAs) o semiconduttori ternari come $\text{GaIn}_{1-x}\text{As}_x$ e $\text{GaIn}_{1-x}\text{P}_x$. I dispositivi LED realizzati con questi materiali producono una radiazione visibile, il cui colore può essere variato modificando la frazione di arsenico o fosforo nel materiale composto.



Riferimenti bibliografici

[1] G.W. Neudeck, *The PN Junction Diode*, seconda ed., Pearson Education, Upper Saddle River, NJ: 1989.



Lecture addizionali

PSpICE, ORCAD, attualmente proprietà di Cadence Design Systems, San Jose, CA.

Simulatore LTspice, disponibile da Linear Technology Corp.

Tina-TI, programma di simulazione per circuiti analogici basato su SPICE e disponibile da Texas Instruments.

T. Quarles, A.R. Newton, D.O. Pederson e A. Sangiovanni-Vincentelli, *SPICE3 Version 3f3 User's Manual*. UC Berkeley: maggio 1993.

A.S. Sedra e K.C. Smith. *Microelectronic Circuits*, quinta ed. Oxford University Press, New York: 2004.

Transistori a effetto di campo

4

Obiettivi

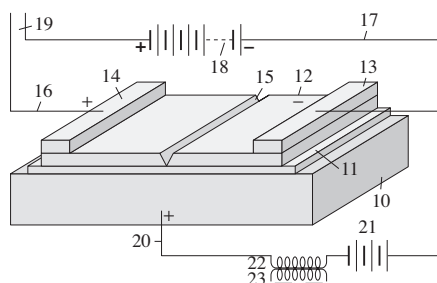
- Comprensione qualitativa del funzionamento del transistor MOS a effetto di campo.
- Definizione e analisi delle caratteristiche dei MOSFET nelle regioni di interdizione, triodo e saturazione.
- Analisi dei modelli matematici delle caratteristiche corrente-tensione ($i-v$) del MOSFET.
- Descrizione delle rappresentazioni grafiche delle caratteristiche di uscita e di trasferimento.
- Illustrazione e confronto tra le caratteristiche dei transistori NMOS e PMOS a svuotamento e arricchimento.
- Descrizione dei simboli circuitali utilizzati per i diversi tipi di MOSFET.
- Studio delle reti utilizzate per polarizzare i MOSFET nelle diverse regioni di funzionamento.
- Analisi della struttura di base e del layout dei transistori e circuiti MOS.
- Teoria della miniaturizzazione del MOSFET.
- Analisi del comportamento del dispositivo a tre e a quattro terminali.
- Studio dell'origine delle capacità nei MOSFET.
- Modelli SPICE dei transistori a effetto di campo.

In questo capitolo analizzeremo le caratteristiche dei transistori a effetto di campo (FET, *Field-Effect Transistors*). Il transistor a effetto di campo con il più ampio impiego commerciale è il MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*), che costituisce il componente fondamentale nei circuiti a larghissima scala di integrazione (VLSI), come i microprocessori e le memorie. La possibilità di ridurre le dimensioni dei MOSFET ha permesso la costruzione di dispositivi portatili con potenza di calcolo inimmaginabile anche solo due decenni fa.

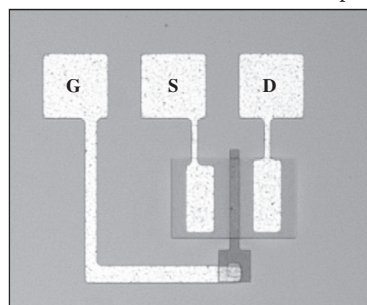
Il concetto di transistor a effetto di campo è stato sviluppato in diverse versioni da Lilienfeld nel 1928, da Heil nel 1935 e da Shockley nel 1952. Sebbene il primo MOSFET funzionante sia stato fabbricato alla fine degli anni Cinquanta, sono stati necessari altri dieci anni per sviluppare un processo di fabbricazione affidabile per dispositivi commerciali. A causa di difficoltà relative al processo di fabbricazione, i MOSFET a canale p (PMOS) furono i

primi a essere impiegati in circuiti a larga scala di integrazione (LSI). Per esempio, i primi microprocessori erano realizzati con tecnologia PMOS. Successivamente, grazie al miglioramento dei processi tecnologici, si è avuta l'introduzione della tecnologia basata sui MOSFET a canale n (NMOS) sia a svuotamento che ad arricchimento. Alla fine degli anni Sessanta la tecnologia PMOS è stata completamente sostituita dalla tecnologia NMOS, caratterizzata da prestazioni più elevate grazie alla maggiore mobilità dei portatori di carica.

Verso la metà degli anni Ottanta l'incremento della potenza dissipata ha rappresentato la principale limitazione allo sviluppo dei circuiti NMOS. Ciò ha giustificato la migrazione verso la tecnologia CMOS, basata su una struttura che contiene un transistor NMOS e un transistor PMOS. Sebbene più complessa e costosa, la tecnologia CMOS rappresenta la tecnologia dominante nell'industria dell'elettronica, in virtù della minore dissipazione di potenza.



Disegno tratto dal brevetto di Lilienfeld



MOSFET integrato

Nel Capitolo 4 saranno analizzate le caratteristiche del **transistore a effetto di campo** con struttura **metallo-ossido-semiconduttore (MOSFET)**, che è senza dubbio il dispositivo allo stato solido maggiormente diffuso, essendo il componente principale nei circuiti integrati ad alta densità VLSI, che comprendono memorie e microprocessori.

I transistori a **canale p (PMOS)** furono i primi a essere fabbricati in circuiti a grande scala di integrazione (LSI). I primi microprocessori usavano la tecnologia PMOS. L'introduzione sul mercato dei transistori NMOS, in versione sia ad arricchimento sia a svuotamento con canale a ioni impiantati, permise un incremento molto elevato delle prestazioni degli integrati.

Mentre i primi circuiti integrati contenevano solo pochi transistori, in base alle indicazioni riportate nella *International Roadmap for Devices and Systems* (IRDS [2]) si prevede per l'anno 2020 l'introduzione di circuiti integrati con cento miliardi di transistori. Come evidenziato nel primo capitolo, è proprio il continuo incremento della densità di integrazione che ha sostenuto lo sviluppo rapidissimo dell'industria dell'elettronica cui abbiamo assistito in questi anni. L'incremento della densità di integrazione è uno dei principali motivi dello sforzo prodotto dall'industria dei semiconduttori nella riduzione delle dimensioni dei transistori. Benché il transistore bipolare (BJT) sia stato il primo dispositivo a stato solido introdotto nelle applicazioni commerciali, il MOSFET è attualmente il dispositivo di gran lunga più importante, e il suo funzionamento è concettualmente più semplice.

In questo capitolo analizzeremo in dettaglio il comportamento i - v del MOSFET, le differenze tra i diversi tipi di transistori e le diverse tecniche di polarizzazione. Il Capitolo 5 è invece dedicato allo studio del transistore bipolare.

4.1 Il condensatore MOS

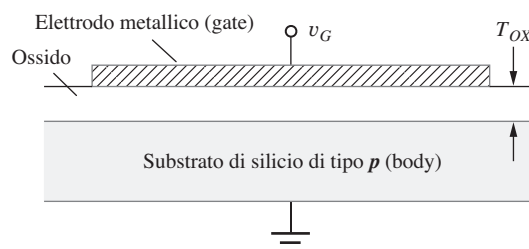
Il **condensatore** (o **sistema**) **MOS** mostrato in Figura 4.1 costituisce il cuore del transistore MOSFET. L'elettrodo superiore del condensatore MOS è realizzato con un metallo, tipicamente alluminio, oppure con silicio policristallino a drogaggio elevato. Per ragioni che saranno chiare tra breve, questo elettrodo è detto **gate (G)**. Lo strato opposto a quello di metallo è realizzato a partire da una regione di semiconduttore di silicio (substrato o *body*) e costituisce l'altro elettrodo del condensatore MOS. Il substrato del MOS può essere di tipo *p*, come il caso di Figura 4.1, oppure di tipo *n*. L'elettrodo di gate è isolato dal substrato di semiconduttore da un sottile film di isolante, tipicamente biossido di silicio, che è un materiale isolante con eccellenti caratteristiche, e può essere realizzato facilmente per ossidazione termica del substrato di silicio. La possibilità di realizzare un isolante di qualità eccellente è una delle ragioni fondamentali alla base del successo del silicio come materiale semiconduttore nei circuiti integrati.

Polarizzando il MOS si verifica una variazione della carica associata alla regione di semiconduttore; questo comportamento può essere descritto da una capacità non lineare che dipende dalla tensione v_G . Analizziamo più in dettaglio il comportamento del MOS, prendendo come esempio il modello di Figura 4.1, dove il substrato è posto a potenziale zero e l'elettrodo di gate è sottoposto a tre diverse condizioni di polarizzazione (Figura 4.2): accumulazione, svuotamento e inversione.

4.1.1 Regione di accumulazione

La Figura 4.2(a) descrive il caso in cui all'elettrodo di gate venga applicata una tensione $v_G = V_G$ negativa rispetto al substrato. La carica negativa presente sull'elettrodo metallico è bilanciata da una carica positiva nella regione superficiale del semiconduttore sottostante

Figura 4.1
Struttura del condensatore MOS con substrato di tipo *p*.



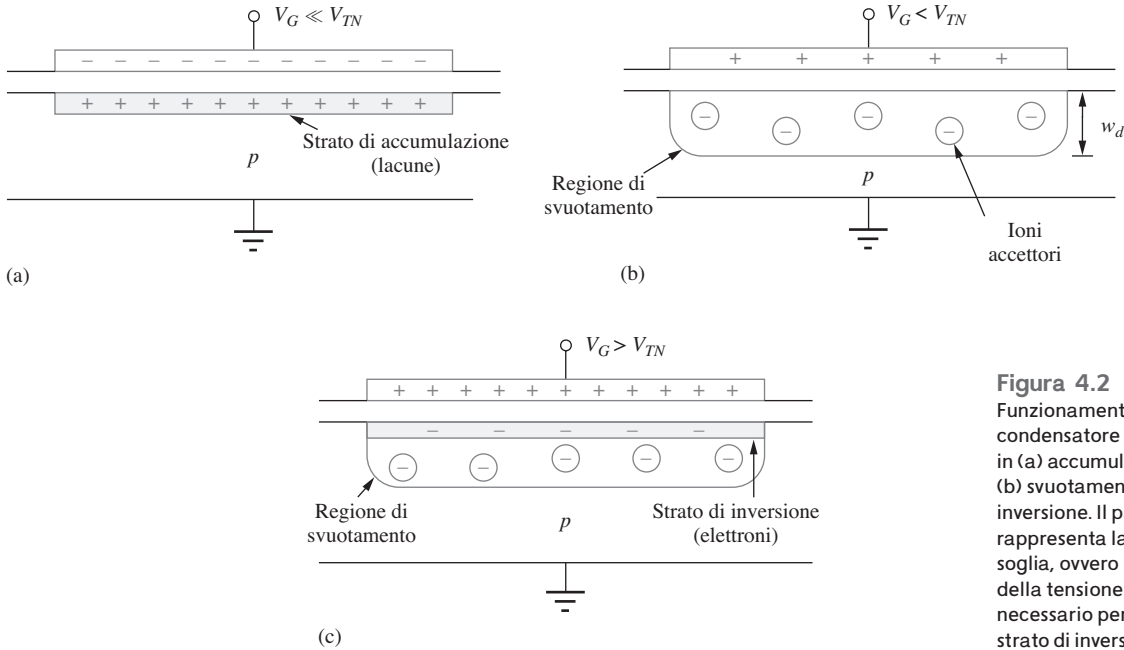


Figura 4.2
Funzionamento del condensatore MOS in (a) accumulazione, (b) svuotamento, (c) inversione. Il parametro V_{TN} rappresenta la tensione di soglia, ovvero il valore minimo della tensione di gate necessario per formare lo strato di inversione.

la regione di gate, costituita da lacune. In tali condizioni la concentrazione di lacune in superficie è maggiore rispetto al valore assunto nelle regioni interne del substrato; questa condizione è detta di **accumulazione**. Lo strato di accumulazione è molto sottile, e può essere assimilato a una distribuzione superficiale di cariche positive all'interfaccia ossido-silicio.

4.1.2 Regione di svuotamento

Supponiamo di applicare una tensione di gate positiva. All'aumentare della tensione v_G , le lacune vengono progressivamente respinte dalla superficie, fino a che la concentrazione superficiale diventa inferiore al valore relativo alle regioni interne del substrato. Questa condizione è detta di **svuotamento**; la regione sottostante l'elettrodo di gate risulta infatti svuotata da portatori liberi, in modo analogo a quanto si verifica nella regione di svuotamento presente in prossimità della giunzione pn . La Figura 4.2(b) mostra come la carica positiva presente sull'elettrodo di gate è bilanciata dalla carica negativa degli atomi accettori ionizzati nella regione di svuotamento. La profondità della regione di svuotamento w_d può assumere valori compresi tra frazioni di micron e diverse decine di micron, in funzione della tensione applicata e del drogaggio del substrato.

4.1.3 Regione di inversione

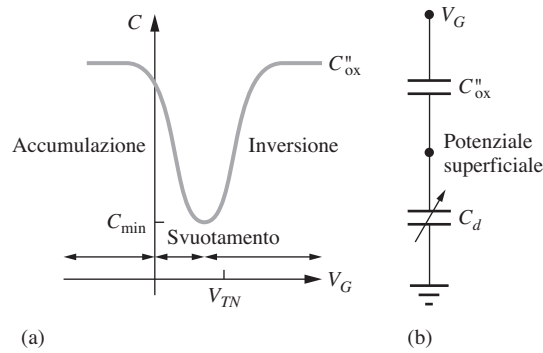
Se progressivamente aumentiamo la tensione positiva all'elettrodo di gate, gli elettroni nel substrato vengono attratti verso la superficie. Per un dato valore della tensione la concentrazione superficiale di elettroni diventa maggiore della concentrazione di lacune; si forma così uno **strato di inversione** superficiale di elettroni, e la regione in prossimità dell'interfaccia ossido-silicio, originariamente di tipo p , diventa di tipo n . [Figura 4.2(c)]. Lo strato di inversione è estremamente sottile e può essere assimilato a una distribuzione superficiale di cariche negative all'interfaccia ossido-silicio. L'elevata concentrazione di elettroni nello strato di inversione viene prodotta dai processi di generazione elettrone-lacuna all'interno della regione di svuotamento.

La carica positiva sull'elettrodo di gate è ora bilanciata da una carica negativa nel semiconduttore, costituita dagli elettroni relativi allo strato di inversione e dagli ioni accettori relativi alla regione di svuotamento. La tensione di gate in corrispondenza della quale si genera lo strato di inversione è detta **tensione di soglia** V_{TN} (*threshold voltage*).

La Figura 4.3 mostra la dipendenza della capacità della struttura MOS dalla tensione di gate. Per tensioni molto inferiori alla soglia la superficie del semiconduttore si trova in accumulazione [vedi Figura 4.2(a)], e la capacità è essenzialmente definita dallo **spessore dell'ossido di gate**. La *capacità dell'ossido di gate* per unità di area C''_{ox} è data dal condensa-

Figura 4.3

(a) Capacità di una struttura MOS con substrato di tipo p in funzione della tensione di gate per basse frequenze.
 (b) Modello della capacità.



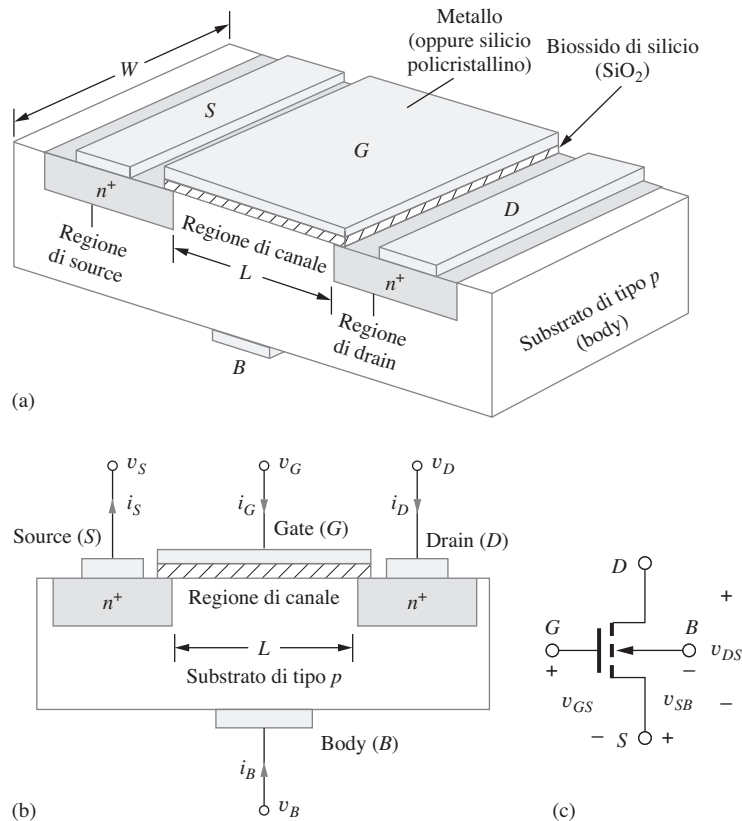
tore a facce parallele formato dal gate e dallo strato di accumulo con l'ossido come dielettrico. All'aumentare della tensione si forma una regione svuotata, come mostrato in Figura 4.2(b); in tal caso la distanza tra gli strati di carica del condensatore aumenta, e la capacità diminuisce. La capacità complessiva della struttura MOS può essere espressa come la combinazione serie della capacità associata all'ossido di gate C_{ox}'' , e della capacità C_d associata alla regione di svuotamento, che risulta funzione della tensione accumulazione [vedi Figura 4.3(b)]. Per valori della tensione superiori alla tensione di soglia V_{TN} , si forma uno strato di inversione alla superficie del semiconduttore [Figura 4.2(c)], e la capacità si riporta alla capacità associata all'ossido di gate.

4.2 MOSFET a canale n (NMOS)

Come mostrato in Figura 4.4, il MOSFET viene realizzato aggiungendo due diffusioni di tipo n molto drogate (n^+) alla struttura di Figura 4.1. Le diffusioni sono in grado di fornire elettroni che possono muoversi al di sotto della regione di gate se ai terminali della struttura sono applicate delle tensioni opportune.

Figura 4.4

(a) Struttura del transistor NMOS; (b) vista in sezione;
 (c) simbolo circuitale.



La Figura 4.4 mostra la struttura e il simbolo circuitale di un **MOSFET a canale n** , spesso indicato anche con il termine **transistore NMOS** oppure **NMOSFET**. La regione centrale del MOSFET è costituita dal condensatore MOS precedentemente analizzato, e l'elettrodo superiore del MOS è detto elettrodo di **gate** (G , **porta**) del MOSFET. Le due diffusioni di tipo n^+ realizzate nelle regioni del substrato adiacenti al gate sono dette regioni di **source** (S , **sorgente**) e **drain** (D , **pozzo**). Il substrato di tipo p del transistore NMOS viene collegato a un quarto terminale, detto **terminale di substrato** o di **body** (B , **corpo**).

Le tensioni e le correnti ai terminali dell'NMOS sono mostrate nelle Figure 4.4(b) e (c). La Figura 4.4(b) mostra il verso convenzionale fissato per le correnti di drain i_D , di source i_S , di gate i_G , e di body i_B . Le tensioni che interessano la polarizzazione del dispositivo sono la tensione gate-source $v_{GS} = v_G - v_S$, la tensione drain-source $v_{DS} = v_D - v_S$, e la tensione source-body $v_{SB} = v_S - v_B$. Nelle condizioni di funzionamento più frequentemente utilizzate nel transistore NMOS queste tensioni sono positive.

Si osservi che le regioni di source e drain formano delle giunzioni pn con il substrato. Queste giunzioni vengono sempre mantenute in condizioni di polarizzazione inversa, in modo da evitare iniezione di portatori nel substrato e isolare dispositivi adiacenti presenti nei circuiti integrati. La tensione applicata al substrato v_B deve essere quindi inferiore alle tensioni di source e drain, in modo da polarizzare inversamente le due giunzioni pn .

La regione di semiconduttore compresa tra le regioni di source e drain, sottostante la regione di gate, è detta **regione di canale** del MOSFET.

In Figura 4.4(a) è mostrata la **lunghezza di canale L** , misurata lungo la direzione parallela al verso della corrente che scorre nel canale, e la **larghezza del canale W** , misurata lungo la direzione perpendicolare al verso della corrente. Vedremo più avanti come la definizione dei valori di L e W rappresenti un passo importante nel progetto di circuiti integrati digitali e analogici.

4.2.1 Analisi qualitativa del comportamento i - v del transistore NMOS

Prima di ricavare l'espressione analitica per le caratteristiche corrente-tensione del transistore NMOS, cerchiamo di comprendere in modo qualitativo il funzionamento del dispositivo. In questa analisi faremo riferimento alla Figura 4.5, in cui le regioni di source, drain e body sono poste a massa.

Nel caso considerato in Figura 4.5(a) al terminale di gate è applicata una tensione gate-source $v_{GS} = V_{GS}$ costante, e di valore molto inferiore alla tensione di soglia V_{TN} . In queste condizioni di polarizzazione le regioni di source e drain sono collegate tra loro attraverso due giunzioni pn con l'anodo in comune (*back-to-back*), sicché solo una debole corrente di saturazione inversa fluisce attraverso questi due terminali. Per valori di V_{GS} prossimi, ma ancora inferiori, alla tensione di soglia, si forma una regione di svuotamento nella zona sottostante l'elettrodo di gate, che si unisce alle regioni di svuotamento associate alle giunzioni di source e drain, come mostrato in Figura 4.5(b). Poiché la regione di svuotamento è priva di portatori liberi, la corrente tra i terminali di source e drain è ancora trascurabile. Quando la tensione tra gate e canale supera la tensione di soglia, nel canale si forma uno strato di inversione costituito da elettroni provenienti dalle regioni di source e drain [Figura 4.5(c)], che collega elettricamente le due regioni.

Se a questo punto applichiamo tra i terminali di source e drain una tensione v_{DS} positiva, viene indotto un campo elettrico nel canale: gli elettroni nello strato di inversione vengono sospinti dal campo elettrico verso la regione di drain, dando origine a un flusso di corrente tra i due terminali.

Convenzionalmente la corrente nel canale del transistore NMOS ha verso opposto al flusso di elettroni [Figura 4.4(b)]: entra nel terminale di drain, attraversa il canale, ed esce dal terminale di source. Il terminale di gate è isolato dal canale, e la corrente di gate in condizioni stazionarie è quindi nulla: $i_G = 0$. Le giunzioni pn drain-substrato e source-substrato devono essere sempre polarizzate inversamente, in modo tale che questi diodi siano attraversati solo da deboli correnti inverse. Tali correnti sono usualmente trascurabili rispetto alla corrente i_{DS} ; possiamo quindi assumere che la corrente di substrato sia nulla: $i_B = 0$.

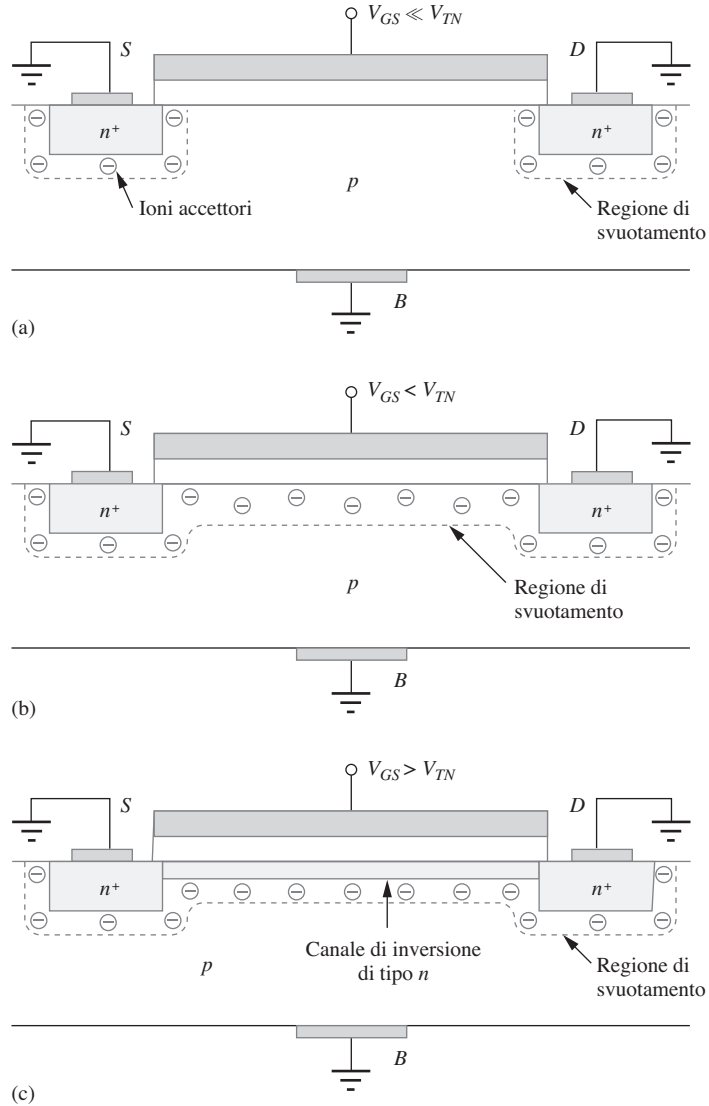
Quindi, affinché in un NMOSFET si abbia un flusso significativo di corrente nel canale, è necessario applicare un'opportuna tensione di gate. Una tensione di gate maggiore della tensione di soglia produce un arricchimento di cariche mobili (nell'NMOS elettroni) nel ca-

Figura 4.5

Analisi qualitativa del funzionamento di un transistor NMOS (a)

$V_{GS} \ll V_{TN}$.

(b) $V_{GS} < V_{TN}$. (c) $V_{GS} > V_{TN}$.



nale. Per questo motivo, tali dispositivi sono detti **MOSFET ad arricchimento** o a canale indotto. Più avanti verrà analizzato un altro tipo di MOSFET, detto a **svuotamento** o a canale preformato.

Nel paragrafo che segue ricaveremo l'espressione che esprime la corrente che attraversa i terminali di source e drain in funzione delle tensioni applicate al transistor NMOS.

4.2.2 Regione di triodo¹ del transistor NMOS

Nel Paragrafo 4.2.1 si è visto che le correnti i_G e i_B assumono valori trascurabili e possono essere ritenute nulle. La corrente che entra nel terminale di drain deve essere quindi uguale a quella che esce dal terminale di source, ovvero:

$$i_S = i_D \quad (4.1)$$

L'espressione per la corrente che attraversa i terminali di drain e source può essere ricavata analizzando il flusso di cariche nel canale mostrato in Figura 4.6, che si riferisce a un basso valore di v_{DS} . La carica per unità di lunghezza associata agli elettroni in un punto arbitrario del canale è data da:

$$Q' = -WC''_{ox}(v_{ox} - V_{TN}) \quad \text{per } v_{ox} \geq V_{TN} \quad (4.2)$$

¹ Questa regione di funzionamento è anche detta "regione lineare".

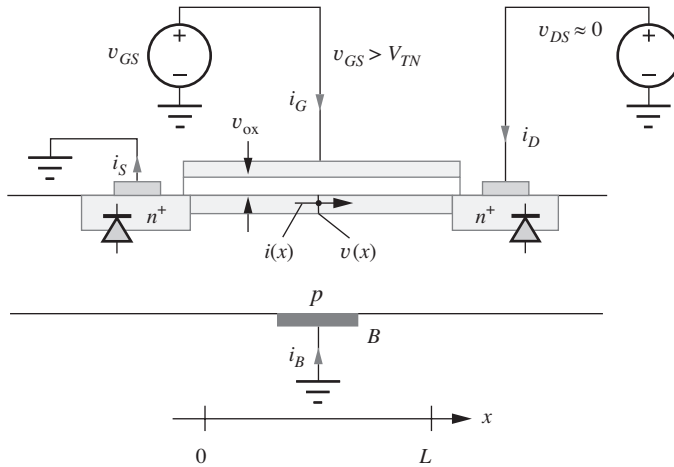


Figura 4.6
Modello del MOSFET per il
calcolo delle caratteristiche
 $i - v$.

dove $C''_{ox} = \epsilon_{ox}/T_{ox}$, capacità relativa all'ossido per unità di area (F/cm²),
 ϵ_{ox} = permittività dell'ossido (F/cm),²
 T_{ox} = spessore dell'ossido (cm),
 W = larghezza del canale (cm).

La tensione v_{ox} rappresenta la tensione ai capi dell'ossido ed è funzione della posizione lungo il canale:

$$v_{ox} = v_{GS} - v(x) \quad (4.3)$$

dove $v(x)$ rappresenta il potenziale di un punto del canale di ascissa x , riferito al source.

Si osservi che, affinché si formi lo strato di inversione, è necessario che la tensione v_{ox} sia maggiore di V_{TN} . Pertanto, la carica Q' è nulla per valori di v_{ox} inferiori a V_{TN} . In prossimità della regione di source si ha $v_{ox} = v_{GS}$, mentre in prossimità della regione di drain la tensione v_{ox} decresce al valore $v_{ox} = v_{GS} - v_{DS}$.

La corrente di deriva degli elettroni in un punto arbitrario del canale è data dal prodotto della carica per unità di lunghezza e della velocità v_x :

$$i(x) = Q'(x)v_x(x) \quad (4.4)$$

La carica Q' è data dalla (4.2), mentre la velocità v_x degli elettroni nel canale può essere espressa dal prodotto della mobilità degli elettroni e della componente del campo elettrico lungo l'asse x :

$$i(x) = Q'v_x = [-WC''_{ox}(v_{ox} - V_{TN})](-\mu_n E_x) \quad (4.5)$$

La componente del campo elettrico lungo l'asse x è data dalla derivata rispetto a x della caduta di tensione nel canale, cambiata di segno:

$$E_x = -\frac{dv(x)}{dx} \quad (4.6)$$

Combinando le formule dalla (4.3) alla (4.6) si ottiene l'espressione della corrente per un punto arbitrario del canale:

$$i(x) = -\mu_n C''_{ox} W [v_{GS} - v(x) - V_{TN}] \frac{dv(x)}{dx}$$

ovvero

$$i(x)dx = -\mu_n C''_{ox} W [v_{GS} - v(x) - V_{TN}] dv(x) \quad (4.7)$$

Ora, le tensioni alle estremità di source e drain del canale sono $v(0) = 0$ e $v(L) = v_{DS}$. Integrando l'Equazione (4.7) tra 0 e L si ricava:

$$\int_0^L i(x) dx = -\int_0^{v_{DS}} \mu_n C''_{ox} W [v_{GS} - v(x) - V_{TN}] dv(x) \quad (4.8)$$

² Per il biossido di silicio, $\epsilon_{ox} = 3.9 \epsilon_0$, dove $\epsilon_0 = 8.854 \times 10^{-14}$ F/cm.

Poiché non vi sono effetti che possono provocare la variazione della corrente di elettroni lungo il canale, la corrente risulta costante in ogni punto x del canale, $i(x) = -i_D$. Dalla (4.8) si ottiene quindi:

$$i_D L = \mu_n C''_{ox} W \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS}$$

ovvero

$$i_D = \mu_n C''_{ox} \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad (4.9)$$

Il prodotto $\mu_n C''_{ox}$ è fissato dal tipo di tecnologia scelta per il dispositivo e non può essere modificato nel progetto di un circuito. Nell'analisi o nel progetto di circuiti l'Equazione (4.9) è più usualmente scritta nella forma:

$$i_D = K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{oppure} \quad i_D = K_n \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad (4.10)$$

dove $K_n = K'_n W/L$, essendo $K'_n = \mu_n C''_{ox}$. I parametri K_n e K'_n sono detti **parametri di transconduttanza**, e la loro unità di misura è A/V^2 .

Le Equazioni (4.9) o (4.10) rappresentano le espressioni della corrente di drain per il transistor NMOS funzionante nella **regione di triodo**, in cui un canale conduttivo collega le regioni di source e drain. Questo collegamento permane se la tensione ai capi dell'ossido risulta in ogni punto del canale maggiore della tensione di soglia:

$$v_{GS} - v(x) \geq V_{TN} \quad \text{per } 0 \leq x \leq L \quad (4.11)$$

La tensione nel canale assume il valore massimo all'estremità di drain dove $v(L) = v_{DS}$. Le Equazioni (4.9) e (4.10) sono quindi valide finché risulta:

$$v_{GS} - v_{DS} \geq V_{TN} \quad \text{ovvero} \quad v_{GS} - V_{TN} \geq v_{DS} \quad (4.12)$$

Riassumendo i risultati fin qui ottenuti, nella regione di triodo la corrente è espressa da:

$$i_D = K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad (4.13)$$

per

$$v_{GS} - V_{TN} \geq v_{DS} \geq 0, \text{ e avendo posto } K'_n = \mu_n C''_{ox}$$

È utile riscrivere la (4.9) nella forma:

$$i_D = \left[C''_{ox} W \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) \right] \left(\mu_n \frac{v_{DS}}{L} \right) \quad (4.14)$$

Per piccoli valori della tensione drain-source, il primo termine può essere interpretato come il valor medio della carica per unità di lunghezza nel canale, essendo $\bar{v}(x) = v_{DS}/2$ il valor medio della caduta di tensione nel canale. Il secondo termine rappresenta la velocità di deriva degli elettroni, dove il rapporto v_{DS}/L può essere interpretato come il valor medio del campo elettrico nel canale.

Osserviamo che il termine "regione di triodo" è giustificato dal fatto che la corrente di drain risulta dipendente dalla tensione di drain in maniera simile a quanto si verifica nel triodo a vuoto introdotto molto prima del MOSFET (si veda la Tabella 1.2).

Notiamo infine che il punto di lavoro del MOSFET è rappresentato dalla coppia (I_D, V_{DS}) , anche se in generale si possono usare due dei tre valori I_D , V_{DS} o V_{GS} .

ESERCIZIO Si calcoli il parametro K'_n per un transistor con $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$ e $T_{ox} = 25 \text{ nm}$. Ripetere il calcolo con $T_{ox} = 5 \text{ nm}$.

RISPOSTA $69.1 \mu\text{A}/\text{V}^2$; $345 \mu\text{A}/\text{V}^2$.

ESERCIZIO Un transistor NMOS presenta $K'_n = 50 \mu\text{A}/\text{V}^2$. Si calcoli K_n assumendo $W = 20 \mu\text{m}$, $L = 1 \mu\text{m}$. Si ripeta il calcolo per $W = 60 \mu\text{m}$, $L = 3 \mu\text{m}$ e $W = 10 \mu\text{m}$, $L = 0.25 \mu\text{m}$.

RISPOSTE $1000 \mu\text{A}/\text{V}^2$; $1000 \mu\text{A}/\text{V}^2$; $2000 \mu\text{A}/\text{V}^2$.

ESERCIZIO Si calcoli la corrente di drain in un transistor NMOS per $V_{GS} = 0 \text{ V}$, 1 V , 2 V e 3 V , con $V_{DS} = 0.1 \text{ V}$, assumendo, $K'_n = 25 \mu\text{A/V}^2$, $V_{TN} = 1.5 \text{ V}$, $W = 10 \mu\text{m}$ e $L = 1 \mu\text{m}$. Qual è il valore di K_n ?

RISPOSTE 0; 0; $11.3 \mu\text{A}$; $36.3 \mu\text{A}$; $250 \mu\text{A/V}^2$.

4.2.3 Resistenza di conduzione

Le curve in Figura 4.7 sono state ottenute utilizzando la (4.13), assumendo $V_{TN} = 1 \text{ V}$ e $K_n = 250 \mu\text{A/V}^2$, e mostrano una porzione delle **caratteristiche di uscita** di un transistor NMOS. Le caratteristiche di uscita per un generico dispositivo a tre terminali rappresentano il grafico della corrente relativa al terminale di uscita, in questo caso la corrente di drain i_D , in funzione della tensione relativa alla porta di uscita, in questo caso la tensione drain-source v_{DS} . Le caratteristiche di uscita rappresentano quindi una famiglia di curve, ciascuna delle quali corrisponde a un diverso valore della tensione relativa alla porta di ingresso, in questo caso la tensione gate-source v_{GS} . Le caratteristiche di uscita dipendono, seppure debolmente, anche dal valore della tensione source-substrato.

Le curve mostrate in Figura 4.7 presentano un andamento pressoché lineare, giustificando il termine di **regione lineare** per questa porzione delle caratteristiche di uscita. Dall'analisi della curva relativa alla tensione $V_{GS} = 2 \text{ V}$, si osserva tuttavia uno scostamento dall'andamento lineare.

Analizziamo più in dettaglio la regione di triodo utilizzando la (4.9). Per piccoli valori della tensione drain-source tali che $v_{DS} \ll v_{GS} - V_{TN}$, l'Equazione (4.9) può essere semplificata come segue:

$$i_D \approx \mu_n C''_{ox} \frac{W}{L} (v_{GS} - V_{TN}) v_{DS} \quad (4.15)$$

in cui la corrente i_D che attraversa il MOSFET risulta direttamente proporzionale alla tensione v_{DS} ai capi del dispositivo. Il funzionamento del MOSFET può essere assimilato a quello di un resistore connesso tra i terminali di source e drain, il cui valore risulta controllato dalla tensione gate-source. Il termine transistor (*transistor*, da *transfer-resistor*) deriva proprio dall'analogia del funzionamento del dispositivo con un resistore controllato in tensione.

La resistenza del MOSFET nella regione di triodo in prossimità dell'origine, detta **resistenza di conduzione**, o **resistenza on** (*on-resistance*) R_{on} , è definita come:

$$R_{on} = \left[\frac{\partial i_D}{\partial v_{DS}} \bigg|_{v_{DS} \rightarrow 0} \right]_{\text{punto Q}}^{-1} = \frac{1}{K'_n \frac{W}{L} (v_{GS} - V_{TN})} \quad (4.16)$$

dove si è utilizzata la (4.13). Il valore di R_{on} gioca un ruolo molto importante nei circuiti CMOS, come sarà mostrato in seguito. Si noti che l'espressione (4.16) per la resistenza R_{on} può anche essere ottenuta calcolando il rapporto v_{DS}/i_D dalla (4.15).

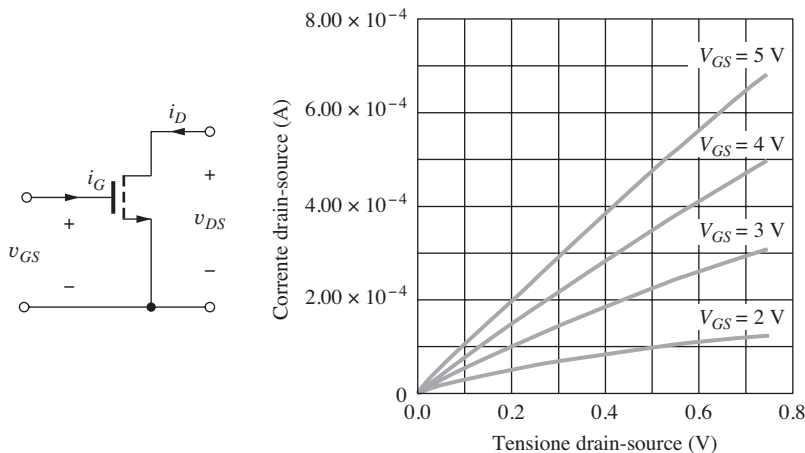


Figura 4.7
Caratteristiche $i-v$ del transistor NMOS nella regione di triodo ($V_{SB} = 0$).

In prossimità dell'origine le curve i - v presentano effettivamente un andamento lineare. Quando la condizione $v_{DS} \ll v_{GS} - V_{TN}$ non risulta verificata, le curve si scostano dall'andamento lineare, come avviene per la curva corrispondente a $V_{GS} = 2$ V in Figura 4.7. In questo caso si ha $V_{GS} - V_{TN} = 2$ V - 1 V = 1 V e l'andamento lineare è verificato solo per valori di v_{DS} inferiori a 0.1 V-0.2 V. Per contro, la curva corrispondente a $V_{GS} = 5$ V mostra un andamento pressoché lineare per l'intero intervallo di tensioni considerato in Figura 4.7. Quando il substrato è collegato direttamente al source si usa di solito il simbolo del MOS con tre terminali, come in Figura 4.7 e 4.8.

ESERCIZIO Si calcoli la resistenza R_{on} per un transistor NMOS, per $V_{GS} = 2$ V e 5 V, assumendo $V_{TN} = 1$ V e $K_n = 250 \mu\text{A}/\text{V}^2$. Qual è il valore di V_{GS} necessario per ottenere una resistenza di conduzione di 2 k Ω ?

RISPOSTE 4 k Ω ; 1 k Ω ; 3 V.

4.2.4 Transconduttanza

Una caratteristica importante dei transistori è la **transconduttanza**, indicata con il simbolo g_m . La transconduttanza di un dispositivo MOS descrive la variazione della corrente di drain al variare della tensione gate-source. In regione lineare si ha

$$g_m = \left. \frac{i_D}{v_{GS}} \right|_{\text{punto Q}} = K_n V_{DS} = \frac{I_D}{V_{GS} - V_{TN} - V_{DS}/2} \quad (4.17)$$

dove abbiamo calcolato la derivata dell'Equazione (4.15) e valutato il risultato nel punto di funzionamento. Il parametro g_m è molto usato nel progetto dei circuiti analogici. Maggiore è il valore della transconduttanza di un dispositivo, maggiore è l'amplificazione che possiamo aspettarci dall'amplificatore che fa uso di quel dispositivo.

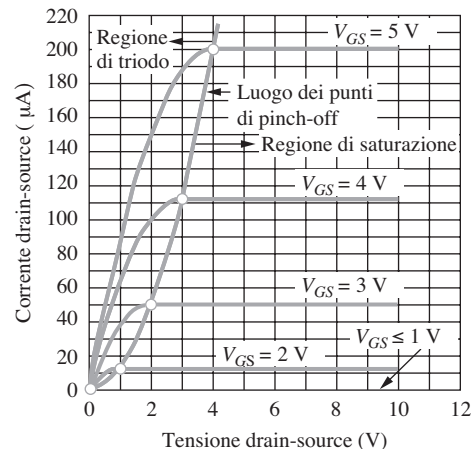
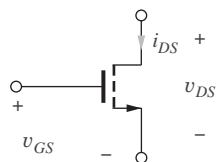
ESERCIZIO Si calcoli la corrente di drain e la transconduttanza per un transistor MOS che lavora con $V_{GS} = 2.5$ V, $V_{TN} = 1$ V, $V_{DS} = 0.25$ V e $K_n = 1$ mA/V².

RISPOSTE 0.344 mA; 0.25 mS.

4.2.5 Regione di saturazione del transistor NMOS

Come abbiamo osservato in precedenza, la (4.13) è valida finché lo strato di inversione collega le regioni di source e drain. Un fenomeno inaspettato si verifica nel MOSFET quando la tensione di drain supera la condizione limite della regione di triodo indicata nella (4.12). In tal caso la corrente non continua ad aumentare con la tensione v_{DS} ma satura a un valore costante. Questo comportamento è mostrato nelle caratteristiche i - v di Figura 4.8 che si riferiscono a diversi valori della tensione v_{GS} .

Figura 4.8
Caratteristiche di uscita per un transistor NMOS con $V_{TN} = 1$ V e $K_n = 25 \mu\text{A}/\text{V}^2$.



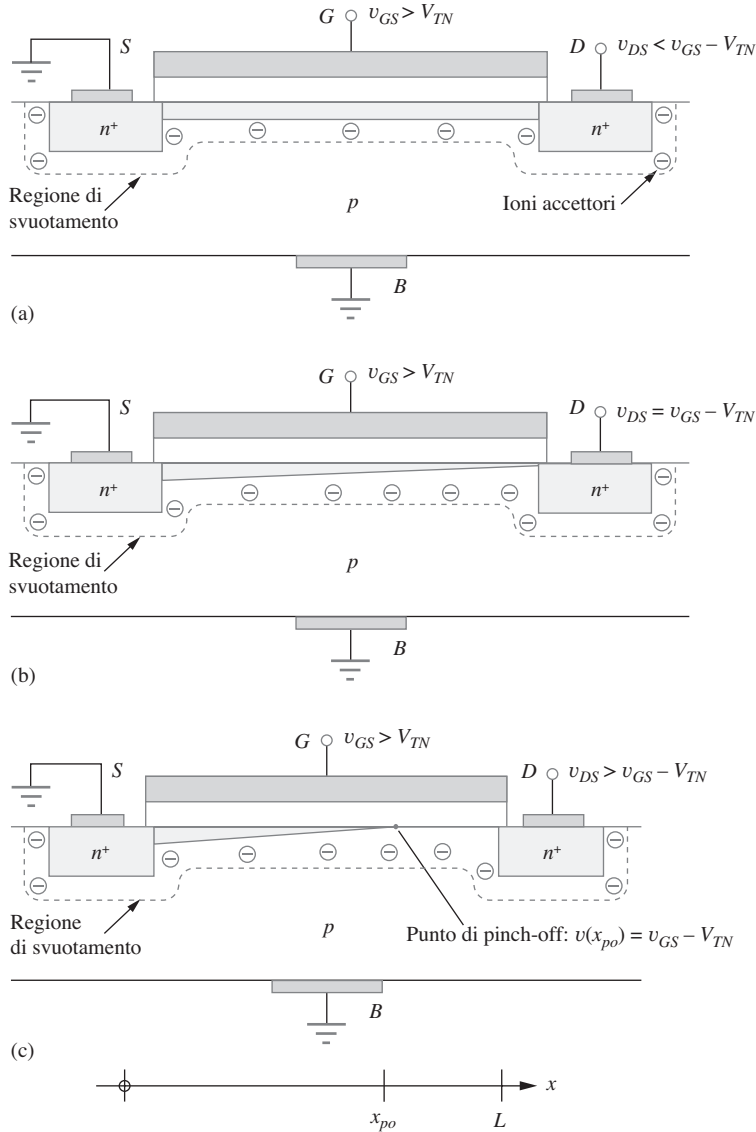


Figura 4.9

(a) MOSFET nella regione lineare. (b) MOSFET in condizioni di pinch-off all'estremità di drain. (c) Strozzamento (pinch-off) del canale per $v_{DS} > v_{GS} - V_{TN}$.

Allo scopo di comprendere l'origine di questo fenomeno, si consideri la Figura 4.9. Nella Figura 4.9(a) il MOSFET si trova nella regione di triodo con $v_{DS} < v_{GS} - V_{TN}$, come visto in precedenza. La Figura 4.9(b) si riferisce al caso $v_{DS} = v_{GS} - V_{TN}$, in cui lo strato di inversione è scomparso in prossimità del drain. Tale condizione è anche detta **strozzamento (pinch-off) del canale**. Per valori maggiori di v_{DS} , lo strato di inversione si forma solo in una parte della regione di canale [Figura 4.9(c)]. In tal caso il collegamento delle regioni di source e drain da parte del canale viene a mancare.

A prima vista, ci si potrebbe aspettare che la corrente si annulli quando si verifica lo strozzamento. Ciò tuttavia non si verifica. Come mostrato in Figura 4.9(c) la tensione presente nel punto x_{po} in cui si verifica lo strozzamento è sempre pari a:

$$v_{GS} - v(x_{po}) = V_{TN} \quad \text{ovvero} \quad v(x_{po}) = v_{GS} - V_{TN}$$

In altri termini, ai capi dello strato di inversione è sempre presente una tensione pari a $v_{GS} - V_{TN}$, inducendo un campo elettrico che trascina gli elettroni da sinistra verso destra. Quando gli elettroni raggiungono l'estremità della regione di inversione x_{po} , vengono iniettati nella regione di svuotamento presente tra lo strato di inversione e la regione di drain, dove, trascinati dal campo elettrico, raggiungono il drain. Una volta raggiunta la condizione di strozzamento, la tensione $v(x_{po})$ ai capi dello strato di inversione rimane costante, determinando un valore costante per la corrente di drain. Questa condizione di funzionamento è detta **regione di saturazione** o di **pinch-off**.

La regione di saturazione è la regione in cui il MOSFET viene polarizzato quando impiegato come amplificatore. Per contro, vedremo che la regione di saturazione nei transistori bipolari rappresenta una differente condizione di funzionamento. Indicheremo con il termine **regione attiva** la regione tipicamente utilizzata nelle applicazioni di amplificazione analogica sia per il transistor bipolare che per il MOSFET.

4.2.6 Modello matematico della regione di saturazione

Cerchiamo ora di ricavare un'espressione analitica per la corrente di drain nella regione di pinch-off. Ponendo $v_{DS} = v_{GS} - V_{TN}$ nella (4.13), si ottiene l'espressione della corrente di drain del MOSFET nella regione di saturazione:

$$i_D = \frac{K'_n}{2} \frac{W}{L} (v_{GS} - V_{TN})^2 \quad \text{per } v_{DS} \geq (v_{GS} - V_{TN}) \geq 0 \quad (4.18)$$

Questa espressione mostra che in regione di saturazione la corrente di drain ha una dipendenza di tipo quadratico dalla tensione gate-source, ed è indipendente dalla tensione drain-source.

Il valore della tensione v_{DS} in corrispondenza del quale si verifica lo strozzamento è anche indicato con il simbolo v_{DSAT} :

$$v_{DSAT} = v_{GS} - V_{TN}$$

La tensione v_{DSAT} è detta **tensione di saturazione** o **di pinch-off**. L'Equazione (4.18) può essere interpretata in maniera analoga alla (4.14):

$$i_D = \left(C''_{ox} W \frac{v_{GS} - V_{TN}}{2} \right) \left(\mu_n \frac{v_{GS} - V_{TN}}{L} \right) \quad (4.19)$$

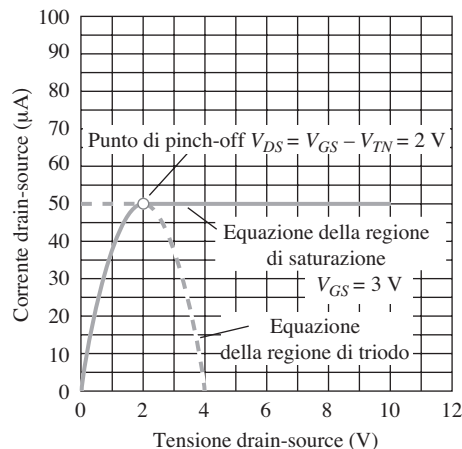
La tensione ai capi dello strato di inversione è pari a $v_{GS} - V_{TN}$, come mostrato in Figura 4.9(c). Il primo termine nella (4.19) rappresenta quindi il valor medio della carica nello strato di inversione, mentre il secondo termine rappresenta la velocità di deriva degli elettroni associata al campo elettrico pari a $(v_{GS} - V_{TN})/L$.

La Figura 4.8 mostra le caratteristiche di uscita complete per un transistor NMOS caratterizzato dai parametri $V_{TN} = 1$ V e $K_n = 25 \mu\text{A}/\text{V}^2$, in cui è evidenziato il luogo dei punti in cui ha inizio la regione di saturazione, definiti dalla condizione $v_{DS} = v_{DSAT}$. Alla sinistra di questa curva, il transistor si trova nella regione di triodo, mentre a destra si trova nella regione di saturazione. Per $v_{GS} \leq V_{TN} = 1$ V il transistor è **interdetto** (*cut off*), e la corrente di drain è nulla. Nella regione di saturazione, all'aumentare della tensione di gate si osserva una distanza crescente tra le diverse curve, a causa della dipendenza quadratica della corrente di drain dalla tensione gate-source [Equazione (4.18)].

La Figura 4.10 mostra una singola caratteristica di uscita del dispositivo, corrispondente alla tensione $V_{GS} = 3$ V. In questa figura viene riportato l'andamento delle equazioni che descrivono la regione di triodo e la regione di saturazione. La parabola mostrata in Figura 4.10 è stata ottenuta con l'Equazione (4.13), valida nella regione di triodo; per tensioni

Figura 4.10

Caratteristiche di uscita e intersezione nel punto di pinch-off delle curve relative alla regione di triodo e alla regione di saturazione.



di drain-source $V_{DS} > V_{GS} - V_{TN} = 2 \text{ V}$ questa equazione perde validità (porzione trattenuta della parabola), e la corrente deve essere calcolata utilizzando la (4.18). Si osservi infine che la tensione di drain deve comunque essere inferiore alla tensione di rottura associata alla giunzione pn drain-substrato.

ESERCIZIO Si calcoli la corrente di drain per un transistor NMOS polarizzato con $V_{GS} = 5 \text{ V}$ e $V_{DS} = 10 \text{ V}$, assumendo $V_{TN} = 1 \text{ V}$ e $K_n = 1 \text{ mA/V}^2$. Quanto vale il rapporto W/L se $K'_n = 40 \mu\text{A/V}^2$? Quanto vale W se $L = 0.35 \mu\text{m}$?

RISPOSTE 8.00 mA; 25/1; 8.75 μm .

4.2.7 Transconduttanza in saturazione

La transconduttanza g_m è stata definita nel Paragrafo 4.2.4 e collega la variazione della corrente di drain al cambiamento della tensione gate-source. Per la regione di saturazione si ha:

$$g_m = \left. \frac{di_D}{dv_{GS}} \right|_{\text{punto Q}} = K'_n \frac{W}{L} (V_{GS} - V_{TN}) = \frac{2I_D}{V_{GS} - V_{TN}} = \sqrt{2K_n I_D} \quad (4.20)$$

dove la derivata è stata calcolata usando la (4.18), e il risultato è stato valutato in corrispondenza del punto di lavoro. La transconduttanza in zona satura è (molto) maggiore di quella in zona triodo, fornendo quindi un guadagno maggiore nei circuiti analogici.

È interessante osservare che g_m è pari al reciproco della resistenza R_{on} in zona triodo, data dalla (4.16).

ESERCIZIO Si calcoli la corrente di drain e la transconduttanza per un NMOS che lavora in zona satura con $K_n = 1 \text{ mA/V}^2$, $V_{TN} = 1 \text{ V}$, $V_{GS} = 2.5 \text{ V}$.

RISPOSTE 1.13 mA; 1.5 mS.

4.2.8 Modulazione della lunghezza di canale

Le caratteristiche di uscita in Figura 4.8 mostrano che la corrente di drain nella regione di saturazione è costante. I risultati sperimentali indicano invece che le curve presentano una modesta pendenza, come evidenziato in Figura 4.11(a). L'incremento della corrente di drain con la tensione drain-source è dovuto al fenomeno di **modulazione della lunghezza di canale**, descritto in Figura 4.11(b). In questa figura si considera un transistor NMOS polarizzato in regione di saturazione ($v_{DS} > v_{DSAT}$). Si può notare come lo strozzamento si verifichi in un punto interno del canale; la lunghezza dello strato di inversione L è quindi inferiore alla distanza L_M tra le regioni di source e drain: $L = L_M - \Delta L$. Per valori di v_{DS} maggiori di v_{DSAT} la larghezza della regione di svuotamento ΔL aumenta, determinando una riduzione di L . Pertanto, la lunghezza del canale L nel denominatore della (4.18) diminuisce all'aumentare della tensione v_{DS} , e la corrente di drain aumenta con v_{DS} . L'Equazione (4.18) può essere modificata in modo da includere in prima approssimazione la dipendenza di i_{DS} da v_{DS} :

$$i_D = \frac{K'_n}{2} \frac{W}{L} (v_{GS} - V_{TN})^2 (1 + \lambda v_{DS}) \quad (4.21)$$

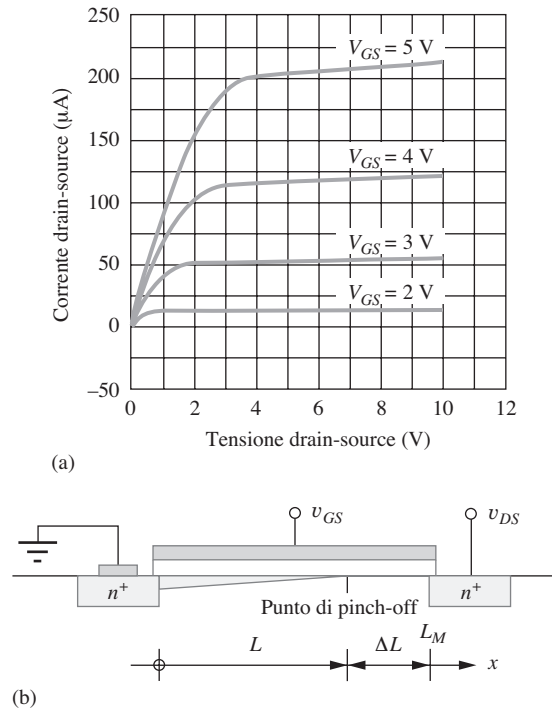
Il parametro λ è detto **parametro di modulazione della lunghezza di canale**. Il valore di λ dipende dalla lunghezza di canale. Valori tipici sono:

$$0.001 \text{ V}^{-1} \leq \lambda \leq 0.2 \text{ V}^{-1}$$

Il valore di λ considerato in Figura 4.11 è circa 0.01 V^{-1} , cui corrisponde un incremento della corrente di drain del 10% in corrispondenza di incrementi della tensione drain-source di 10 V.

Figura 4.11

(a) Caratteristiche di uscita in cui è presente l'effetto di modulazione della lunghezza di canale.
 (b) Modulazione della lunghezza di canale.



ESERCIZIO Si calcoli la corrente di drain per un transistor NMOS polarizzato con $V_{GS} = 5$ V e $V_{DS} = 10$ V assumendo $V_{TN} = 1$ V, $K_n = 1$ mA/V² e $\lambda = 0.02$ V⁻¹. Qual è il valore di I_D per $\lambda = 0$?

RISPOSTE 9.60 mA; 8.00 mA.

ESERCIZIO Si calcoli la corrente di drain per il transistor NMOS di Figura 4.11 polarizzato con $V_{GS} = 4$ V e $V_{DS} = 5$ V assumendo $V_{TN} = 1$ V, $K_n = 25$ $\mu A/V^2$ e $\lambda = 0.01$ V⁻¹. Si ripeta il calcolo per $V_{GS} = 5$ V e $V_{DS} = 10$ V.

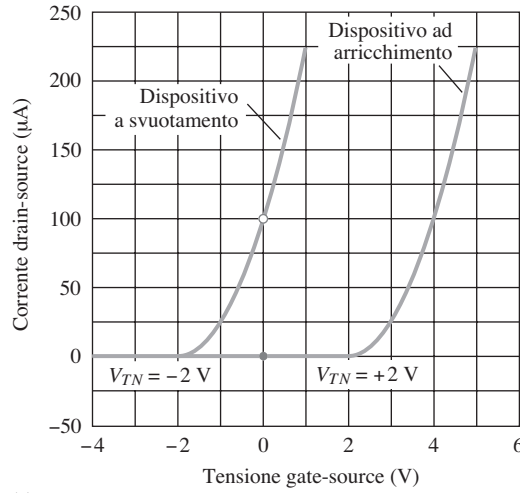
RISPOSTE 118 μA ; 220 μA .

4.2.9 Caratteristiche di trasferimento e transistori a svuotamento

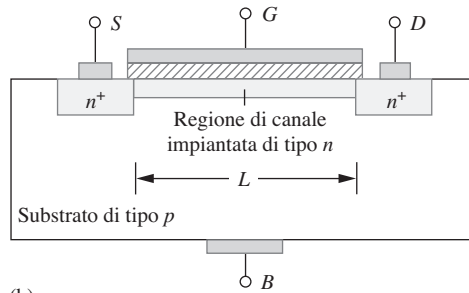
Abbiamo visto come le caratteristiche i - v del MOSFET possano essere descritte in forma grafica dalle caratteristiche di uscita mostrate per esempio nelle Figure 4.7, 4.8 o 4.11.

Le caratteristiche i - v del MOSFET possono essere anche riportate utilizzando una diversa rappresentazione, detta **caratteristica di trasferimento** o transcaratteristica, in cui la corrente di drain viene riportata in funzione della tensione gate-source per un valore fisso della tensione drain-source. La Figura 4.12(a) mostra le caratteristiche di trasferimento per due transistori NMOS in saturazione. Finora abbiamo supposto che la tensione di soglia di un transistor NMOS sia positiva. È questo il caso del **MOSFET ad arricchimento** (*enhancement mode*) corrispondente alla curva a destra in Figura 4.12(a), per il quale risulta $V_{TN} = +2$ V. Si può vedere chiaramente come il dispositivo sia interdetto per $v_{GS} \leq V_{TN}$, mentre entri in conduzione per $v_{GS} > V_{TN}$. Il MOS ad arricchimento è anche detto a canale indotto poiché il canale viene creato dal gate. È altresì riconoscibile la dipendenza quadratica della corrente dalla tensione gate-source, come espresso dalla (4.18).

È anche possibile realizzare transistori NMOS con tensioni di soglia $V_{TN} \leq 0$. Questi dispositivi sono detti **MOSFET a svuotamento** (*depletion mode*), anche detti MOS a canale preformato. La curva a sinistra in Figura 4.12(a) si riferisce a un dispositivo a svuotamento con $V_{TN} = -2$ V; si osservi che in questo caso per $v_{GS} = 0$ la corrente di drain è diversa da zero, e che per interdire il dispositivo occorre applicare una tensione v_{GS} negativa. Un MOS a canale preformato si trova a lavorare in arricchimento quando $V_{GS} > 0$ V o in modo a svuotamento quando il canale viene anche solo parzialmente svuotato delle cariche libere quando $V_{GS} < 0$ V.



(a)



(b)

La Figura 4.12(b) mostra la vista in sezione di un transistor NMOS a svuotamento. Per realizzare una regione di tipo n che collega le regioni di source e drain, si introducono atomi donatori con un processo detto di impiantazione ionica. Applicando al gate una tensione negativa si induce una regione di svuotamento nel canale di tipo n , che determina una riduzione della sezione disponibile al flusso di corrente.

L'introduzione di un dispositivo a svuotamento nella tecnologia NMOS ha consentito un significativo miglioramento delle prestazioni verso la metà degli anni Settanta, e ha rappresentato un passo importante nell'evoluzione dei circuiti logici MOS.

ESERCIZIO Si calcoli la corrente di drain per il transistor NMOS a svuotamento di Figura 4.12 per $V_{GS} = 0$ V e $K_n = 50 \mu\text{A}/\text{V}^2$. Si assuma che il transistor si trovi in saturazione. Qual è il valore di V_{GS} necessario affinché il transistor ad arricchimento di Figura 4.12 presenti la stessa corrente?

RISPOSTE $100 \mu\text{A}$; 4 V.

ESERCIZIO Si calcoli la corrente di drain per il transistor NMOS a svuotamento di Figura 4.12 per $V_{GS} = +1$ V e $K_n = 50 \mu\text{A}/\text{V}^2$. Si assuma il transistor in saturazione.

RISPOSTA $225 \mu\text{A}$. In queste condizioni il canale contiene più cariche libere rispetto a quelle fornite dagli ioni impiantati.

4.2.10 Effetto body

Finora abbiamo supposto che la tensione source-substrato v_{SB} sia nulla. Per $v_{SB} = 0$ il MOSFET si comporta come un dispositivo a tre terminali. Vedremo che in molti circuiti i terminali di substrato e source sono collegati a tensioni diverse, cosicché risulta $v_{SB} \neq 0$. Le caratteristiche $i-v$ dipendono dal valore della tensione v_{SB} a causa della dipendenza della tensione di soglia da v_{SB} . Questo fenomeno è detto **effetto body** o **effetto di substrato** e può essere descritto dall'espressione:

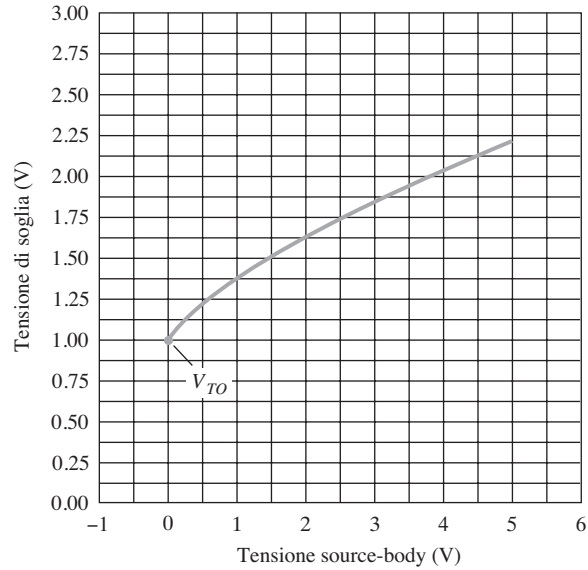
$$V_{TN} = V_{TO} + \gamma(\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \quad (4.22)$$

Figura 4.12

(a) Caratteristica di trasferimento per transistori NMOS ad arricchimento e svuotamento. (b) Vista in sezione di un transistor NMOS a svuotamento.

Figura 4.13

Variation della tensione di soglia con la tensione source-substrato per un transistor NMOS con $V_{TO} = 1 \text{ V}$, $2\phi_F = 0.6 \text{ V}$, $\gamma = 0.75 \sqrt{\text{V}}$.



dove V_{TO} = **valore della tensione di soglia per $v_{BS} = 0 \text{ (V)}$**

γ = **parametro relativo all'effetto body ($\sqrt{\text{V}}$)**

$2\phi_F$ = **parametro relativo al potenziale superficiale (V).**

Il parametro γ definisce l'intensità dell'effetto body e dipende dal rapporto delle capacità C''_{ox} e C_d associate rispettivamente all'ossido e alla regione di svuotamento (Figura 4.3). Il potenziale superficiale rappresenta approssimativamente la tensione ai capi della regione di svuotamento quando la struttura MOS è polarizzata all'inizio dell'inversione.

Valori tipici sono:

$$-5 \text{ V} \leq V_{TO} \leq +5 \text{ V}$$

$$0 \leq \gamma \leq 3 \sqrt{\text{V}}$$

$$0.3 \text{ V} \leq 2\phi_F \leq 1 \text{ V}$$

Nel seguito assumeremo $2\phi_F = 0.6 \text{ V}$, e l'Equazione (4.22) può essere riscritta nella forma:

$$V_{TN} = V_{TO} + \gamma(\sqrt{v_{SB} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) \quad (4.23)$$

La Figura 4.13 mostra un esempio relativo alla variazione della tensione di soglia in funzione della tensione source-substrato, per un transistor NMOS con $V_{TO} = 1 \text{ V}$ e $\gamma = 0.75 \sqrt{\text{V}}$. Si noti che $V_{TN} = V_{TO}$ per $v_{SB} = 0$, e che V_{TN} diventa maggiore di $2 V_{TO}$ per $v_{SB} = 5 \text{ V}$. L'effetto body assume un ruolo molto importante nel progetto dei circuiti digitali MOS.



NOTA PROGETTUALE

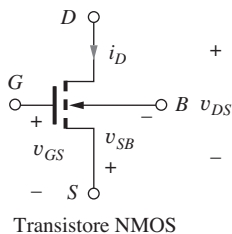
Modello matematico del transistor NMOS

Il modello matematico per il transistor NMOS nelle sue diverse regioni operative è rappresentato dal set

di equazioni sotto riportate e dovrebbe essere imparato a memoria.

SOMMARIO DEL MODELLO MATEMATICO DEL TRANSISTORE NMOS

Le Equazioni (4.24)-(4.28) rappresentano un modello completo del funzionamento in continua del transistor NMOS. Per tutte le regioni di funzionamento risulta:



Transistore NMOS

$$K_n = K'_n \frac{W}{L} \quad K'_n = \mu_n C''_{ox} \quad i_G = 0 \quad i_B = 0 \quad (4.24)$$

Regione di interdizione:

$$i_D = 0 \quad \text{per } v_{GS} \leq V_{TN} \quad (4.25)$$

Regione di triodo:

$$i_D = K_n \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{per } v_{GS} - V_{TN} \geq v_{DS} \geq 0 \quad (4.26)$$

Regione di saturazione:

$$i_D = \frac{K_n}{2} (v_{GS} - V_{TN})^2 (1 + \lambda v_{DS}) \quad \text{per } v_{DS} \geq (v_{GS} - V_{TN}) \geq 0 \quad (4.27)$$

Tensioni di soglia:

$$V_{TN} = V_{TO} + \gamma(\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \quad (4.28)$$

ESERCIZIO Si calcoli la tensione di soglia per il MOSFET di Figura 4.13 per una tensione source-substrato pari a 0 V, 1.5 V e 3 V.

RISPOSTE 1.00 V; 1.51 V; 1.84 V.

ESERCIZIO Si determinino la regione di funzionamento e la corrente di drain per un transistor NMOS caratterizzato dai parametri $V_{TN} = 1$ V, $K_n = 1$ mA/V² e $\lambda = 0.02$ V⁻¹ per i casi seguenti: (a) $V_{GS} = 0$ V e $V_{DS} = 1$ V; (b) $V_{GS} = 2$ V e $V_{DS} = 0.5$ V; (c) $V_{GS} = 2$ V e $V_{DS} = 2$ V.

RISPOSTE Interdizione, 0 A; triodo, 375 μ A; saturazione, 520 μ A.

4.3 MOSFET a canale p (PMOS)

Oltre ai MOSFET a canale n , è possibile realizzare anche MOSFET a canale p (**transistore PMOS**). I primi transistori MOS a essere commercializzati e utilizzati nei circuiti integrati erano dispositivi a canale p , poiché era più semplice controllarne il processo di fabbricazione. Il transistor PMOS viene realizzato formando le regioni di source e drain in un substrato di tipo n (Figura 4.14(a)). Il funzionamento del transistor PMOS è simile a quello del transistor a canale n , a eccezione del verso delle correnti e delle tensioni, che risulta invertito. La Figura 4.14(a) mostra il verso delle correnti nelle normali condizioni di funzionamento di un transistor PMOS. Per attirare le lacune in superficie e formare uno strato di inversione nella regione di canale è necessario applicare una tensione gate-source negativa ($v_{GS} < 0$, ovvero $v_{SG} > 0$). Per rendere possibile il processo di conduzione in un transistor PMOS ad arricchimento, la tensione gate-source deve assumere valori più negativi rispetto alla tensione di soglia, indicata con il simbolo $V_{TP} (< 0)$. Affinché le giunzioni source-substrato e drain-substrato risultino polarizzate inversamente le tensioni v_{SB} e v_{DB} devono essere negative; tale condizione è soddisfatta se $v_{DS} \leq 0$ (con $v_{SB} \leq 0$).

La Figura 4.14(b) mostra le caratteristiche di uscita relative a un transistor PMOS ad arricchimento. Per $v_{GS} \geq V_{TP} = -1$ V ($v_{SG} \leq -V_{TP} = +1$ V), il transistor è interdettato. Per valori della tensione di gate $v_{GS} \leq V_{TP}$ il dispositivo entra in conduzione.

Il PMOS si trova nella regione di triodo per bassi valori di V_{SD} ed entra in saturazione all'aumentare di V_{SD} . Le caratteristiche presentano un andamento simile a quello relativo all'NMOS, ma con segno opposto per le tensioni V_{DS} e V_{GS} .



NOTA PROGETTUALE

Modello matematico del transistor PMOS

Il modello matematico per il transistor PMOS nelle sue diverse regioni operative è rappresentato dal set

di equazioni sotto riportate che dovrebbero essere ricordate a memoria.

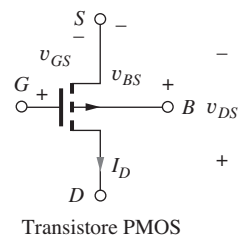
SOMMARIO DEL MODELLO MATEMATICO DEL TRANSISTORE PMOS

Il modello matematico del transistor PMOS è riassunto nelle Equazioni (4.29)-(4.33). In tutte le regioni di funzionamento risulta:

$$K_p = K'_p \frac{W}{L} \quad K'_p = \mu_p C''_{ox} \quad i_G = 0 \quad i_B = 0 \quad (4.29)$$

Regione di interdizione:

$$i_D = 0 \quad \text{per } V_{GS} \geq V_{TP} \quad (4.30)$$



Regione di triodo:

$$i_D = K_p \left(v_{GS} - V_{TP} - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{per } 0 \leq |v_{DS}| \leq |v_{GS} - V_{TP}| \quad (4.31)$$

Regione di saturazione:

$$i_D = \frac{K_p}{2} (v_{GS} - V_{TP})^2 (1 + \lambda |v_{DS}|) \quad \text{per } |v_{DS}| \geq |v_{GS} - V_{TP}| \geq 0 \quad (4.32)$$

Tensione di soglia:

$$V_{TP} = V_{TO} - \gamma (\sqrt{v_{BS} + 2\phi_F} - \sqrt{2\phi_F}) \quad (4.33)$$

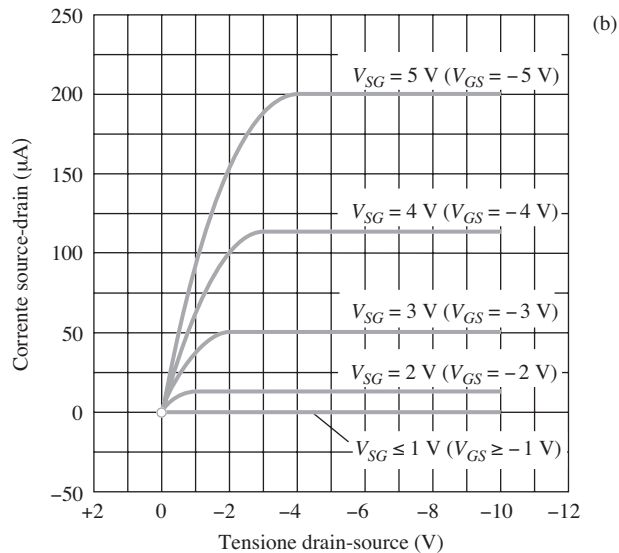
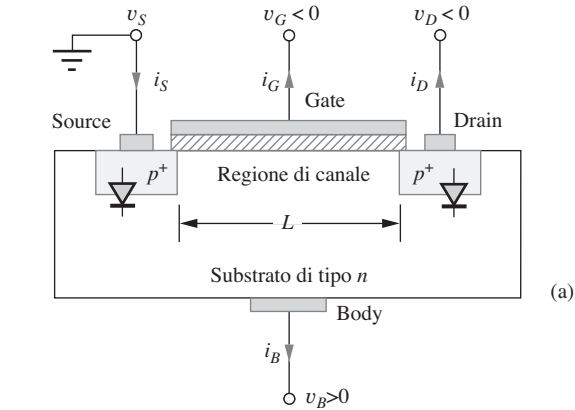
Le equazioni del PMOS possono essere scritte anche in vari altri modi. Quello presentato cerca di ridurre la quantità di segni negativi che sono spesso causa di errori. Per un transistor PMOS ad arricchimento risulta $V_{TP} < 0$, mentre per dispositivi a svuotamento $V_{TP} > 0$.

Le espressioni per la corrente di drain in un transistor PMOS sono simili a quelle relative al transistor NMOS, tranne che la direzione della corrente è invertita, e le tensioni v_{GS} , v_{DS} sono negative. Inoltre, occorre invertire il segno di V_{TP} . Il parametro γ viene considerato positivo sia per dispositivi a canale n che a canale p . All'aumentare della tensione v_{BS} la tensione V_{TP} diventa più negativa.

Un'importante differenza è associata alle espressioni di K_n e K_p . Nei dispositivi PMOS la corrente di drain risulta proporzionale alla mobilità delle lacune attraverso il parametro K_p . Poiché la mobilità delle lacune è inferiore a quella degli elettroni di circa il 40%, la corrente di drain nei dispositivi PMOS risulta inferiore secondo lo stesso fattore rispetto ai dispositivi a canale n . Un valore maggiore per la corrente di drain consente una maggiore velocità di funzionamento sia nelle applicazioni analogiche che in quelle digitali.

Figura 4.14

(a) Sezione di un transistor PMOS ad arricchimento.
(b) Caratteristiche di uscita di un transistor PMOS con $V_{TP} = -1\text{ V}$.



ESERCIZIO Si determinino la regione di funzionamento e la corrente di drain per un transistor PMOS caratterizzato dai parametri $V_{TP} = -1$ V, $K_p = 0.4$ mA/V² e $\lambda = 0.02$ V⁻¹ per i casi seguenti: (a) $V_{GS} = 0$ V e $V_{DS} = -1$ V; (b) $V_{GS} = -2$ V e $V_{DS} = -0.5$ V; (c) $V_{GS} = -2$ V e $V_{DS} = -2$ V.

RISPOSTE (a) interdizione, 0 A; (b) triodo, 150 μ A; (c) saturazione, 208 μ A.

4.4 Simboli circuitali del MOSFET

I simboli circuitali per i quattro tipi di MOSFET sono mostrati in Figura 4.15: (a) NMOS ad arricchimento, (b) PMOS ad arricchimento, (c) NMOS a svuotamento, (d) PMOS a svuotamento. I quattro terminali corrispondono a quelli di source (S), drain (D), gate (G) e body (B). La freccia relativa al **terminale di substrato** indica la polarità dei diodi substrato-source e substrato-drain; la freccia è quindi rivolta verso l'interno nel caso dei dispositivi NMOS e verso l'esterno per i transistori PMOS. I dispositivi ad arricchimento sono indicati con una linea tratteggiata nella regione di canale, mentre i dispositivi a svuotamento da una linea continua, che segnala l'esistenza di un canale preformato che collega le regioni di source e drain. Lo spazio tra gate e canale rappresenta la regione isolante di ossido. La Tabella 4.1 riassume i segni della tensione di soglia per i quattro tipi di transistori.

Tabella 4.1 Tipi di transistori MOS

	Transistori NMOS	Transistori PMOS
Dispositivi ad arricchimento	$V_{TN} > 0$	$V_{TP} < 0$
Dispositivi a svuotamento	$V_{TN} \leq 0$	$V_{TP} \geq 0$

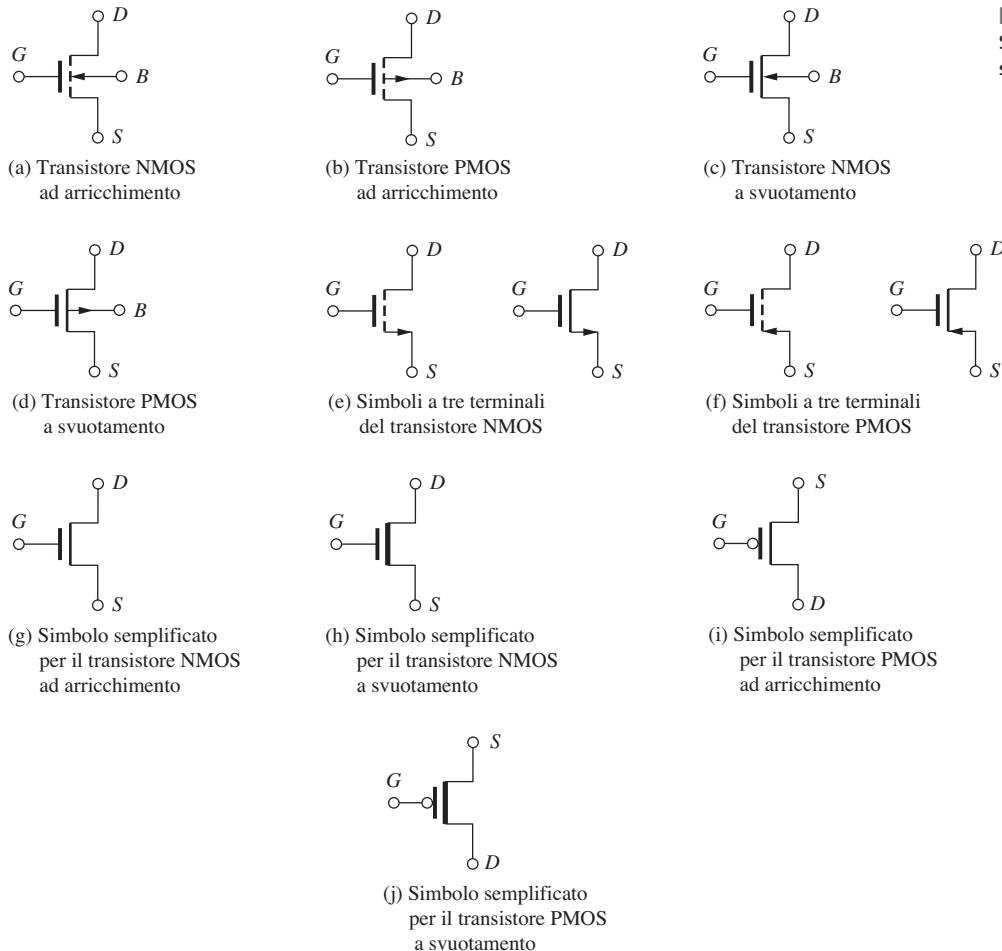


Figura 4.15 Simboli circuitali del MOSFET secondo lo standard IEEE.

In molte applicazioni il terminale di substrato è collegato a quello di source. In tal caso il MOSFET può essere considerato come un dispositivo a tre terminali, ed è spesso descritto dal simbolo semplificato in Figura 4.15(e) e 4.15(f). La freccia identifica il terminale di source ed è diretta secondo il verso positivo della corrente di drain.

È necessario segnalare che in altri testi o nella letteratura scientifica sono stati introdotti diversi altri simboli circuitali. Per esempio, sostituendo la linea tratteggiata con una linea continua e omettendo la freccia relativa al terminale di substrato nel simbolo del transistor NMOS ad arricchimento si ottiene il simbolo mostrato in Figura 4.15(g); per indicare un transistor a svuotamento si può usare un tratto più spesso per la linea che indica il canale che connette i terminali di source e drain (Figura 4.15(h)). Analogamente i simboli mostrati nelle Figure 4.15(i) e 4.15(j) rappresentano rispettivamente un transistor PMOS ad arricchimento e svuotamento. I simboli riportati nelle Figure 4.15(g) e (i) sono usualmente utilizzati nei testi di elettronica digitale.

La simmetria fra i transistori NMOS e PMOS è evidente dalle viste in sezione mostrate nelle Figure 4.4 e 4.14. Il terminale che svolge il ruolo di source è in realtà determinato dalla polarizzazione. La corrente può attraversare il canale in entrambe le direzioni, in funzione delle tensioni applicate. Nel caso dei transistori NMOS, la regione di drain corrisponde alla regione n^+ che si trova a potenziale maggiore, mentre quella a potenziale minore corrisponde alla regione di source. Nel caso dei transistori PMOS, la regione di drain corrisponde alla regione p^+ che si trova a potenziale minore, e quella a potenziale maggiore corrisponde alla regione di source. Questa simmetria è molto utile in alcune applicazioni, in particolare nelle memorie dinamiche ad accesso casuale (DRAM).



NOTA PROGETTUALE

Simmetria del MOSFET

Considerando la struttura del transistor MOSFET finora analizzata, possiamo individuare una completa simmetria tra i terminali di source e di drain. In queste condizioni il terminale che agisce da drain e quello che agisce da source sono determinati dalla tensione applicata, e la corrente può attraversare il

canale in entrambe le direzioni. Tuttavia in alcuni tipi di dispositivi reali la regione di drain ha un profilo di drogaggio diverso rispetto alla regione di source, per cui questa simmetria viene meno. In questo caso il dispositivo è ottimizzato per funzionare con la corrente che fluisce in una sola direzione.



ELETTRONICA IN AZIONE

La fotografia digitale

In precedenza abbiamo esaminato i sensori di immagine CCD ampiamente utilizzati in astronomia. Benché i sensori CCD producano delle immagini di alta qualità, richiedono uno speciale processo di fabbricazione con costi elevati, una circuiteria di controllo complessa, e inoltre presentano un elevato consumo di potenza. Agli inizi degli anni Novanta sono iniziati gli studi per l'implementazione della fotoregistrazione con tecnologia CMOS. Nel 1993 un circuito per la realizzazione della fotografia digitale in tecnologia CMOS fu sviluppato presso la Jet Propulsion Laboratory da un gruppo coordinato da Eric Fossum. Da allora la fotografia digitale è stata sviluppata in molte aziende, con circuiti CMOS in grado di integrare funzioni sempre più complesse su un singolo chip.

La foto a sinistra, a pagina seguente, mostra un sensore a CCD della Teledyne DALSA in grado di fornire immagini a colori con 4 milioni di pixel di-

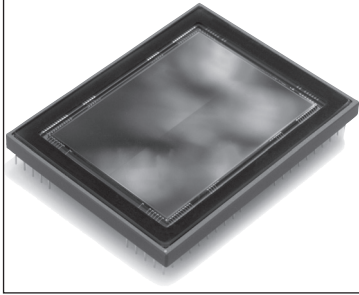
sposti su una matrice di 2352×1728 . Lo schema a destra mostra un sistema per l'acquisizione di immagini basato su fotodiodi. Applicando il segnale $\overline{\text{RESET}}$, il condensatore viene caricato alla tensione V_{DD} attraverso il transistor M_1 . Il segnale di reset viene quindi rimosso, e il condensatore è scaricato dalla corrente generata dal fotodiodo che viene esposto alla radiazione luminosa. La tensione ai capi del condensatore al termine del tempo di integrazione dipende dall'intensità della radiazione luminosa. Per leggere il valore di tensione presente sul condensatore, viene alzato il segnale di selezione di linea ROWSEL, e la tensione sul condensatore viene connessa attraverso M_2 e M_3 al bus indicato come COLUMN.

In molti casi le inevitabili variazioni delle caratteristiche dei dispositivi determinano delle variazioni del segnale prodotto da ciascun pixel, a parità dell'intensità della radiazione. Per eliminare l'errore in-

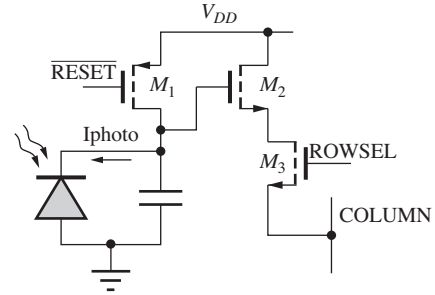
trodotto da queste variazioni è possibile utilizzare una tecnica di correzione nota come doppio campionamento correlato (correlated double sampling). Al termine della lettura del segnale relativo a un pixel, il pixel viene resettato, e l'operazione di lettura viene ripetuta per acquisire un segnale di riferimento. Il segnale di riferimento viene sottratto al

segnale desiderato, in modo da rimuovere gli effetti delle disuniformità e del rumore che sono comuni a entrambi i segnali.

Questi circuiti, che integrano elementi fotosensibili nella tecnologia CMOS digitale, sono oggi molto utilizzati nelle macchine fotografiche e nelle videocamere.



Sensore CCD Dalsa da 33 Megapixel
[Per gentile concessione di © Teledyne DALSA.]



Architettura tipica di un pixel con fotodiodo.

4.5 Capacità del MOSFET

In tutti i dispositivi elettronici sono presenti capacità interne che limitano le prestazioni ad alta frequenza. Nelle applicazioni digitali queste capacità limitano il tempo di commutazione dei circuiti, mentre negli amplificatori le capacità limitano l'intervallo di frequenze in cui l'amplificazione assume valori adeguati. È quindi importante conoscere le capacità parassite dei MOSFET e questo paragrafo ne discute l'origine e mostra come modellarle.

4.5.1 Capacità del transistor NMOS nella regione di triodo

La Figura 4.16(a) mostra le diverse capacità relative al MOSFET polarizzato nella regione di triodo, in cui è presente un canale che collega le regioni di source e drain. Un semplice modello che descrive queste capacità è stato proposto da Meyer [4]. Secondo il modello di Meyer la capacità totale gate-canale C_{GC} è data dal prodotto della **capacità gate-canale per unità di area** C''_{ox} (F/cm² oppure F/m²) e l'area dell'elettrodo di gate:

$$C_{GC} = C''_{ox} WL \quad (4.34)$$

Nella regione di triodo C_{GC} è suddivisa in due parti uguali fra source e drain. La **capacità gate-source** C_{GS} e la **capacità gate-drain** C_{GD} sono pari alla somma di metà della capacità gate-canale e della capacità parassita dovuta alla sovrapposizione dell'elettrodo di gate con le diffusioni di source e drain:

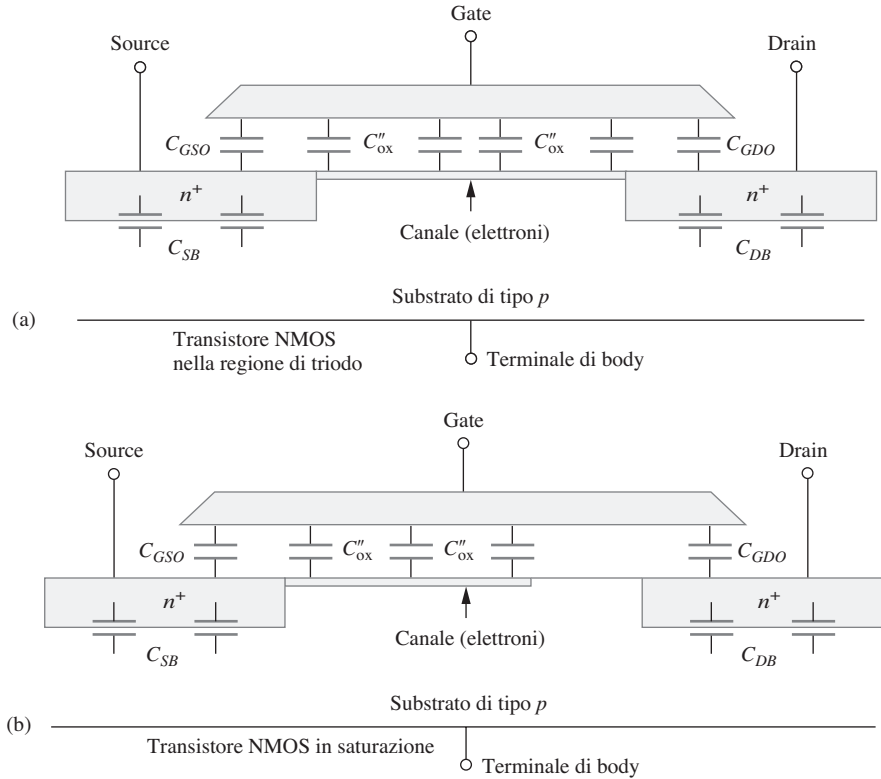
$$\begin{aligned} C_{GS} &= \frac{C_{GC}}{2} + C_{GSO}W = C''_{ox} \frac{WL}{2} + C_{GSO}W \\ C_{GD} &= \frac{C_{GC}}{2} + C_{GDO}W = C''_{ox} \frac{WL}{2} + C_{GDO}W \end{aligned} \quad (4.35)$$

Le capacità di sovrapposizione sono dovute a due contributi. Il primo è dovuto al fatto che l'elettrodo di gate non è perfettamente allineato alle diffusioni di source e drain, ma è parzialmente sovrapposto a tali diffusioni. Il secondo contributo è dovuto alla componente di bordo del campo elettrico tra l'elettrodo di gate e le regioni di source e drain.

Le **capacità di sovrapposizione tra gate e source** C_{GSO} e **gate e drain** C_{GDO} sono di solito definite come capacità per larghezza unitaria (F/m). Si noti come sia C_{GS} che C_{GD} presentino un termine proporzionale all'area di gate e uno proporzionale alla larghezza di gate.

Figura 4.16

(a) Capacità del transistor NMOS nella regione di triodo.
 (b) Capacità del transistor NMOS nella regione di saturazione.



La figura mostra anche le capacità associate alle giunzioni *pn* polarizzate inversamente source-substrato (source-body) C_{SB} e drain-substrato (drain-body) C_{DB} . Entrambe queste capacità presentano un termine proporzionale all'area della diffusione di source (A_S) o di drain (A_D) e un termine proporzionale al perimetro di source (P_S) o di drain (P_D):

$$C_{SB} = C_J A_S + C_{JSW} P_S \quad C_{DB} = C_J A_D + C_{JSW} P_D \quad (4.36)$$

La capacità C_J rappresenta la capacità per unità di area, mentre C_{JSW} è la capacità perimetrica per unità di lunghezza. Le capacità C_{SB} e C_{DB} sono presenti nella struttura indipendentemente dalla regione di funzionamento. Osserviamo inoltre che tali capacità sono funzioni delle tensioni [si veda l'Equazione (3.21)].

4.5.2 Capacità nella regione di saturazione

Nella regione di saturazione, cui fa riferimento la Figura 4.16(b), lo strato di inversione non si forma nella regione compresa tra il punto in cui avviene lo strozzamento del canale e la diffusione di drain. Secondo il modello di Meyer le capacità C_{GS} e C_{GD} sono pari a:

$$C_{GS} = \frac{2}{3} C_{GC} + C_{GSO} W \quad \text{e} \quad C_{GD} = C_{GDO} W \quad (4.37)$$

Si vede che C_{GS} è pari a 2/3 di C_{GC} , mentre in C_{GD} il contributo dovuto alla capacità gate-canale C_{GC} è assente. Si noti che C_{GD} risulti proporzionale a W , mentre C_{GS} contiene ancora un termine proporzionale a $W \times L$.

4.5.3 Capacità nella regione di interdizione

Nella regione di interdizione non vi è alcun canale (Figura 4.17), cosicché le capacità C_{GS} e C_{GD} contengono solo il contributo relativo alle capacità di sovrapposizione:

$$C_{GS} = C_{GSO} W \quad \text{e} \quad C_{GD} = C_{GDO} W \quad (4.38)$$

Come mostrato dalla Figura 4.17, una piccola capacità C_{GB} è presente tra i terminali di gate e body:

$$C_{GB} = C_{GB0} L \quad (4.39)$$

in cui C_{GB0} rappresenta la **capacità gate-body per lunghezza unitaria**.

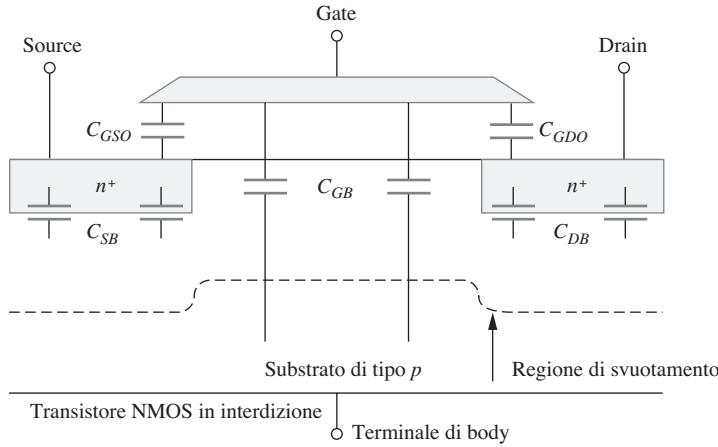


Figura 4.17
Capacità del transistor NMOS
nella regione di interdizione.

Dalle Equazioni (4.34)-(4.39) è evidente che le capacità del MOSFET dipendono dalla regione di funzionamento e sono descritte da funzioni non lineari delle tensioni applicate ai terminali del dispositivo. Nei capitoli seguenti studieremo come queste capacità influiscano sul funzionamento dei circuiti analogici. I programmi di simulazione circuitale come SPICE includono modelli completi per le capacità del transistor MOS, che possono quindi essere utilizzati per analizzare in modo accurato l'effetto delle capacità.

ESERCIZIO Si calcoli il valore di C_{GS} e C_{GD} per la regione di triodo e per quella di saturazione, assumendo $C''_{ox} = 200 \mu\text{F}/\text{m}^2$, $C_{GSO} = C_{GDO} = 300 \text{ pF}/\text{m}$, $L = 0.5 \mu\text{m}$ e $W = 5 \mu\text{m}$.

RISPOSTE 1.75 fF; 1.75 fF; 1.83 fF; 1.5 fF.

4.6 Modello SPICE del MOSFET

Il programma di simulazione SPICE consente di analizzare circuiti più complessi rispetto all'analisi manuale. La Figura 4.18 mostra la rappresentazione circuitale del modello del MOSFET implementato in SPICE. Si può osservare come sia necessario includere diversi elementi allo scopo di descrivere accuratamente le caratteristiche del MOSFET. Per esempio, le resistenze R_S e R_D sono inserite in serie ai terminali di source e drain. Inoltre sono presenti dei diodi in corrispondenza delle giunzioni source-substrato e drain-substrato. È evidente come la complessità del modello renda indispensabile l'impiego di un computer.

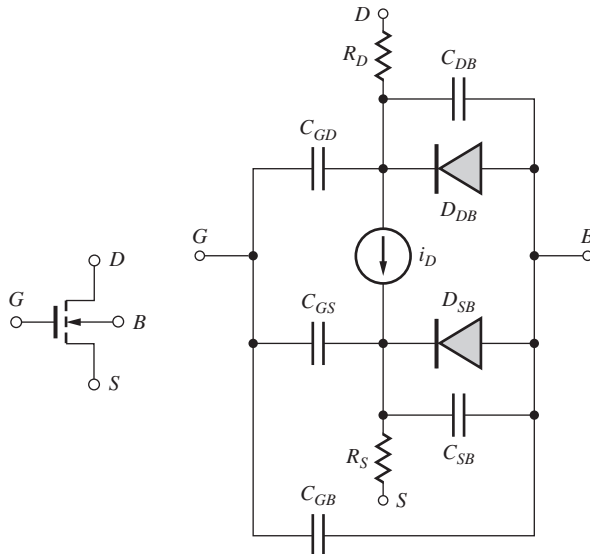


Figura 4.18
Modello SPICE del transistor
NMOS.

Tabella 4.2 Parametri SPICE

PARAMETRO	Notazione del testo	Simbolo SPICE	Valore di default
Parametro di transconduttanza	K'_n o K'_p	KP	$20 \mu\text{A}/\text{V}^2$
Tensione di soglia	V_{TN} o V_{TP}	VT	—
Tensione di soglia a polarizzazione nulla	V_{TO}	VTO	1 V
Potenziale superficiale	$2\phi_F$	PHI	0.6 V
Effetto body	γ	GAMMA	0
Modulazione della lunghezza di canale	λ	LAMBDA	0
Mobilità	μ_n o μ_p	UO	$600 \text{ cm}^2/(\text{V} \cdot \text{s})$
Capacità gate-drain per unità di larghezza	C_{GDO}	CGDO	0
Capacità gate-source per unità di larghezza	C_{GSO}	CGSO	0
Capacità gate-body per unità di larghezza	C_{GBO}	CGBO	0
Capacità di giunzione per unità di area	C_J	CJ	0
Coefficiente del gradiente della giunzione	MJ	MJ	0.5
Capacità perimetrale	C_{JSW}	CJSW	0
Coefficiente del gradiente della giunzione perimetrale	MJSW	MJSW	0.5
Spessore dell'ossido	T_{ox}	TOX	100 nm
Corrente di saturazione inversa della giunzione	I_S	IS	10 fA
Potenziale intrinseco	ϕ_j	PB	0.8 V
Resistenza di drain	—	RD	0
Resistenza di source	—	RS	0

Sono stati sviluppati decine di modelli del MOSFET [5] con diversa complessità. Tali modelli sono disponibili nelle diverse versioni di SPICE, e sono indicati dal comando “Level = Numero del modello”. Ciascun modello (o “livello”) è caratterizzato da una particolare formulazione matematica per la corrente di drain e per le capacità. Il modello precedentemente illustrato è il modello più semplice, ed è noto come il modello “level 1” (LEVEL = 1). La terminologia utilizzata in SPICE per indicare i diversi parametri differisce da quella utilizzata in questo testo e nella letteratura. Le equazioni relative al modello “level 1” implementate in SPICE sono riportate di seguito. La Tabella 4.2 mostra l'equivalenza tra i parametri del modello SPICE e quelli introdotti nel testo, riassunti nel Paragrafo 4.2. La tabella mostra anche il corrispondente valore di default. Per i transistori PMOS si impiega un modello simile, con le opportune modifiche relative alle polarità delle tensioni, e ai versi delle correnti e dei diodi.

$$\text{Regione di triodo: } i_D = KP \frac{W}{L} \left(v_{GS} - VT - \frac{v_{DS}}{2} \right) v_{DS} (1 + LAMBDA \cdot v_{DS})$$

$$\text{Regione di saturazione: } i_D = \frac{KP}{2} \frac{W}{L} (v_{GS} - VT)^2 (1 + LAMBDA \cdot v_{DS}) \quad (4.40)$$

$$\text{Tensione di soglia: } VT = VTO + GAMMA (\sqrt{v_{SB}} + PHI - \sqrt{PHI})$$

Si osservi come il modello SPICE “level 1” includa il termine di modulazione della lunghezza di canale anche nell'espressione relativa alla regione di triodo, in questo modo si ha la continuità della derivata prima della corrente nella transizione dalla zona triodo a quella saturazione e gli algoritmi di calcolo convergono più facilmente. Occorre altresì evitare di confondere il parametro SPICE VT relativo alla tensione di soglia con la tensione termica V_T .

Le capacità di giunzione sono espresse da una forma generalizzata della (3.21):

$$C_J = \frac{CJO}{\left(1 + \frac{v_R}{PB}\right)^{MJ}} \quad \text{e} \quad C_{JSW} = \frac{CJSWO}{\left(1 + \frac{v_R}{PB}\right)^{MJSW}} \quad (4.41)$$

dove v_R rappresenta la tensione inversa applicata alla giunzione.

ESERCIZIO Si calcoli il valore dei parametri SPICE KP, LAMBDA, VTO, PHI, W e L per un transistor caratterizzato da $V_{TN} = 1 \text{ V}$, $K_n = 150 \mu\text{A}/\text{V}^2$, $W = 1.5 \mu\text{m}$, $L = 0.25 \mu\text{m}$, $\lambda = 0.0133 \text{ V}^{-1}$ e $2\phi_F = 0.6 \text{ V}$.

RISPOSTE $150 \mu\text{A}/\text{V}^2$; 0.0133 V^{-1} ; 1 V; 0.6 V; $1.5 \mu\text{m}$; $0.25 \mu\text{m}$ (indicati in SPICE come 150U; 0.0133; 1; 0.6; 1.5U; 0.25U).

4.7 Riduzione delle dimensioni del transistor MOS

Nel Capitolo 1 abbiamo visto come lo sviluppo dell'industria dei semiconduttori sia caratterizzato da un costante incremento della complessità dei circuiti e del livello di integrazione. Tale incremento è sostenuto da una continua riduzione delle dimensioni dei transistori ("scaling"). Il primo studio apparso in letteratura in cui si sono stabilite delle indicazioni per la miniaturizzazione del MOSFET è dovuto a Dennard, Gaensslen e Yu [6, 7]. In questo studio si assume che il campo elettrico sia mantenuto costante al variare dei parametri geometrici del transistor. Per esempio, se una dimensione del dispositivo viene ridotta di un fattore di scala α , allora occorre ridurre la tensione applicata a tale dimensione dello stesso fattore, in modo da mantenere costante il campo elettrico nel dispositivo.

4.7.1 Corrente di drain

Applicando le regole di miniaturizzazione della teoria a campo costante al parametro di transconduttanza e all'espressione della corrente di drain nella regione di triodo, in cui le dimensioni geometriche W , L , T_{ox} sono ridotte del fattore di scala α , e tutte le tensioni, inclusa la tensione di soglia, sono ridotte dello stesso fattore, si ottiene:

$$K_n^* = \mu_n \frac{\varepsilon_{ox}}{T_{ox}/\alpha} \frac{W/\alpha}{L/\alpha} = \alpha \mu_n \frac{\varepsilon_{ox}}{T_{ox}} \frac{W}{L} = \alpha K_n$$

$$i_D^* = \mu_n \frac{\varepsilon_{ox}}{T_{ox}/\alpha} \frac{W/\alpha}{L/\alpha} \left(\frac{v_{GS}}{\alpha} - \frac{V_{TN}}{\alpha} - \frac{v_{DS}}{2\alpha} \right) \frac{v_{DS}}{\alpha} = \frac{i_D}{\alpha}$$
(4.42)

Vediamo che il nuovo valore del parametro di transconduttanza K_n^* risulta aumentato del fattore α , mentre la corrente di drain risulta ridotta dello stesso fattore.

4.7.2 Capacità di gate

In modo analogo si verifica facilmente che la capacità di gate viene ridotta del fattore α :

$$C_{GC}^* = (C_{ox}'')^* W^* L^* = \frac{\varepsilon_{ox}}{T_{ox}/\alpha} \frac{W/\alpha}{L/\alpha} = \frac{C_{GC}}{\alpha}$$
(4.43)

Nei circuiti digitali la velocità di funzionamento delle porte logiche dipende dalla rapidità con cui si verificano i transitori di carica e scarica delle capacità del circuito per effetto della corrente erogata dai transistori. Ricordando la relazione $i = C dv/dt$, possiamo stimare il ritardo relativo alla commutazione di una porta logica come:

$$\tau^* = C_{GC}^* \frac{\Delta V^*}{i_D^*} = \frac{C_{GC}}{\alpha} \frac{\Delta V/\alpha}{i_D/\alpha} = \frac{\tau}{\alpha}$$
(4.44)

Si vede come il ritardo del circuito sia ridotto del fattore di scala α .

4.7.3 Densità di integrazione e di potenza

Riducendo le dimensioni geometriche dei dispositivi del fattore α il numero di transistori che possono essere integrati in un'area assegnata aumenta del fattore α^2 . È quindi importante analizzare la potenza dissipata dal circuito e la potenza dissipata per unità di area all'aumentare del livello di integrazione. La potenza complessivamente dissipata da un transistor è pari al prodotto della tensione di alimentazione e della corrente di drain:

$$P^* = V_{DD}^* i_D^* = \left(\frac{V_{DD}}{\alpha} \right) \left(\frac{i_D}{\alpha} \right) = \frac{P}{\alpha^2}$$
(4.45)

e

$$\frac{P^*}{A^*} = \frac{P^*}{W^* L^*} = \frac{P/\alpha^2}{(W/\alpha)(L/\alpha)} = \frac{P}{WL} = \frac{P}{A}$$

L'Equazione (4.45) rappresenta un risultato molto importante, in quanto indica che la densità di potenza rimane costante nel processo di miniaturizzazione, anche se la densità di integrazione aumenta del fattore α^2 . Nel passato i microprocessori non hanno seguito le regole sopra descritte in quanto per diversi anni la tensione di alimentazione è rimasta costante al valore di 5 V. Successivamente, l'insostenibile incremento di potenza ha reso necessari l'introduzione di una riduzione graduale della tensione di alimentazione e il passaggio dalla tecnologia MOS alla tecnologia CMOS.

4.7.4 Il prodotto ritardo-potenza

Una cifra di merito utile per confrontare diverse famiglie logiche è il **prodotto ritardo-potenza** (PDP, *Power Delay Product*). Il prodotto della potenza dissipata e del tempo di ritardo descrive l'energia richiesta per effettuare un'operazione logica elementare:

$$\text{PDP}^* = P^* \tau^* = \frac{P}{\alpha^2} \frac{\tau}{\alpha} = \frac{\text{PDP}}{\alpha^3} \quad (4.46)$$

L'Equazione (4.46) mostra i vantaggi delle regole di miniaturizzazione, in quanto il prodotto ritardo-potenza risulta ridotto secondo il fattore α^3 .

Storicamente l'introduzione di nuovi sistemi litografici ha prodotto una miniaturizzazione dei transistori di un fattore di scala $\alpha = \sqrt{2}$. Pertanto in ogni generazione il livello di integrazione aumenta di un fattore 2 mentre il prodotto ritardo-potenza si riduce di un fattore di circa 1/3. Le regole di miniaturizzazione della teoria a campo costante sono riassunte nella Tabella 4.3.

ESERCIZIO La dimensione minima di una tecnologia MOS è ridotta da 0.18 μm a 22 nm. Si determini l'incremento del numero di circuiti che può essere integrato in un'assegnata area di semiconduttore. Di quanto migliora il prodotto ritardo-potenza?

RISPOSTE di 67 volte; di 550 volte.

ESERCIZIO Si supponga di ridurre le dimensioni geometriche del fattore di scala α mantenendo costanti le tensioni. Si determini la regola di variazione della corrente di drain, della potenza e della densità di potenza.

RISPOSTE $I_D^* = \alpha I_D$; $P^* = \alpha P$; $P^*/A^* = \alpha^3 P/A$.

Tabella 4.3 Teoria di miniaturizzazione a campo costante del MOSFET

Grandezza	Fattore di scala
Occupazione di area di un circuito	$1/\alpha^2$
Parametro di transconduttanza	α
Corrente	$1/\alpha$
Capacità	$1/\alpha$
Ritardo	$1/\alpha$
Potenza	$1/\alpha^2$
Potenza per unità di area (densità di potenza)	1
Prodotto ritardo-potenza	$1/\alpha^3$

4.7.5 Frequenza di transizione

Il rapporto tra la transconduttanza g_m e la capacità C_{GC} rappresenta la frequenza di transizione f_T , ovvero il valore massimo di frequenza per il quale il transistor presenta buone caratteristiche di amplificazione. La frequenza di transizione del MOSFET può essere ottenuta combinando le (4.20) e (4.34):

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_{GC}} = \frac{1}{2\pi} \frac{\mu_n}{L^2} (V_{GS} - V_{TN}) \quad (4.47)$$

Anche in questo caso vediamo i vantaggi della riduzione delle dimensioni del transistor in quanto f_T aumenta in modo quadratico se la lunghezza di canale L viene ridotta. Se viene scalata anche la tensione di alimentazione e quella di soglia dello stesso fattore α , la frequenza di transizione aumenta solo di un fattore α .

ESERCIZIO (a) Un MOSFET è caratterizzato da una lunghezza di canale di $0.25 \mu\text{m}$ e da una mobilità di $500 \text{ cm}^2/(\text{V} \cdot \text{s})$. Quanto vale la frequenza di transizione se $V_{GS} - V_{TN} = 1 \text{ V}$? (b) Si ripeta il calcolo per $L = 40 \text{ nm}$.

RISPOSTE (a) 127 GHz; (b) 4.97 THz. Ovviamente altri effetti parassiti (qui non descritti) limitano ulteriormente la massima frequenza di utilizzo dei MOSFET reali.

4.7.6 Limitazioni del funzionamento a campi elevati

A causa di diversi fattori, le regole di miniaturizzazione a campo costante non sono state osservate nella pratica. Per diversi anni, per motivi di standardizzazione, la tensione di alimentazione è rimasta costante al valore di 5 V. Conseguentemente, la riduzione delle dimensioni dei transistori ha portato a un incremento del campo elettrico. Valori elevati del campo elettrico possono degradare l'affidabilità a lungo termine del dispositivo, o provocare la rottura del dielettrico di gate o delle giunzioni.

Valori elevati del campo elettrico determinano anche una riduzione della mobilità a causa di due effetti. Il primo è legato all'incremento delle collisioni dei portatori con l'interfaccia silicio-ossido, con conseguente degrado della mobilità. Il secondo effetto è legato alla saturazione della velocità descritto nel Capitolo 2. Per bassi campi la velocità è proporzionale al campo elettrico [ipotesi alla base della (4.5)], mentre per campi maggiori di circa 10^5 V/cm i portatori raggiungono un valore costante della velocità v_{SAT} pari a 10^7 cm/s chiamata velocità di saturazione (Figura 2.5). L'effetto della riduzione della mobilità e della saturazione di velocità può essere incluso nell'espressione della corrente di drain come mostrato nell'Equazione (4.48), limitando la tensione drain-source al valore V_{SAT} , che è la tensione drain-source per la quale si raggiunge la velocità di saturazione:

$$\begin{aligned} i_D &= \mu_n C_{\text{ox}}'' \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{V_{\text{SAT}}}{2} \right) V_{\text{SAT}} = \\ &= K_n \left(v_{GS} - V_{TN} - \frac{V_{\text{SAT}}}{2} \right) V_{\text{SAT}} \quad \text{dove } V_{\text{SAT}} = \frac{v_{\text{SAT}} L}{\mu_n} \end{aligned} \quad (4.48)$$

L'uso di V_{SAT} rappresenta un'approssimazione lineare a tratti della caratteristica velocità-campo, come mostrato in Figura 4.19.

Si osservi che nella regione di saturazione della velocità, la corrente i_D diventa una funzione lineare della tensione v_{GS} e la transconduttanza diventa indipendente dal punto di lavoro:

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{\text{punto } Q} = K_n V_{\text{SAT}} = \frac{I_D}{V_{GS} - V_{TN} - \frac{V_{\text{SAT}}}{2}} \quad (4.49)$$

ESERCIZIO Un MOSFET presenta una lunghezza di canale di $1 \mu\text{m}$. Si calcoli il valore di V_{DS} per cui gli elettroni raggiungono la velocità di saturazione. Si ripeta il calcolo per $L = 0.1 \mu\text{m}$ e per $L = 22 \text{ nm}$.

RISPOSTE 10 V; 1 V; 0.22 V.

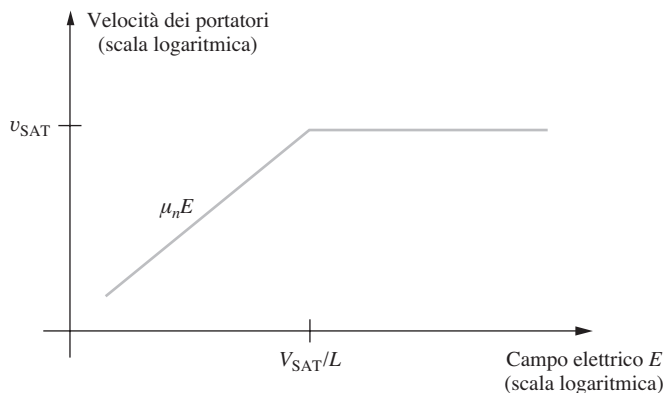


Figura 4.19
Approssimazione lineare a tratti della caratteristica campo-velocità.

4.7.7 Modello Unificato del MOSFET

Rabaey, Chandrakasan e Nicolic [8] hanno combinato le equazioni che descrivono il comportamento del MOSFET nelle regioni lineare, di saturazione e in regime di campo elevato ottenendo l'Equazione (4.50) normalmente detta *Modello Unificato*.

$$i_D = K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN} (1 + \lambda V_{DS}) \quad (4.50)$$

$$\text{con } V_{MIN} = \min\{(V_{GS} - V_{TN}), V_{DS}, V_{SAT}\}$$

Per compattare le equazioni delle varie regioni in una sola, si è incluso il fattore $(1 + \lambda V_{DS})$ anche per la regione lineare, analogamente a quanto viene fatto nel modello SPICE del Paragrafo 4.6. Anche se questo non è completamente esatto, l'errore introdotto è molto piccolo con i valori soliti di V_{DS} che si hanno in zona lineare. La (4.50) è un'espressione semplificata per i calcoli manuali e rappresenta solo un'approssimazione delle caratteristiche corrente-tensione dei transistori veri.

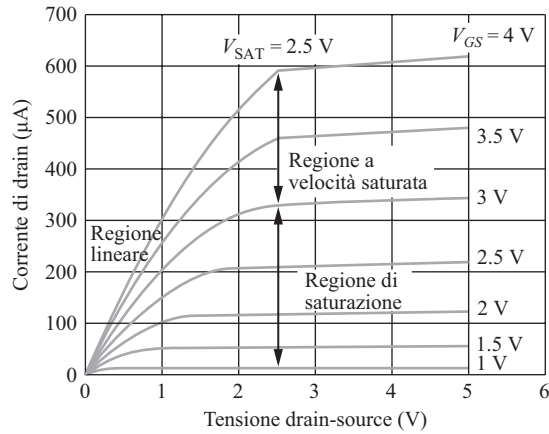
La Figura 4.20 mostra le caratteristiche di uscita come risultano dal *Modello Unificato*. Quando V_{GS} aumenta si ha il solito comportamento quadratico della regione di saturazione. Quando però $(V_{GS} - V_{TN}) > V_{SAT}$, il transistorore entra nella zona di saturazione di velocità e la distanza fra le curve diventa costante per aumenti costanti di V_{GS} .

ESERCIZIO Si calcoli il valore della corrente di drain per il transistorore di Figura 4.20 quando $V_{GS} = V_{DS} = 4 \text{ V}$. Quanto vale la corrente se $V_{SAT} = 20 \text{ V}$?

RISPOSTE 607.5 μA ; 661.5 μA .

Figura 4.20

Esempio delle caratteristiche di uscita di un transistorore MOS generate con il *Modello Unificato* con $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.5 \text{ V}$, $V_{SAT} = 2.5 \text{ V}$ e $\lambda = 0.02/\text{V}$.



SOMMARIO DELLE EQUAZIONI DEL MODELLO UNIFICATO

Transistore NMOS

$$\begin{aligned} K'_n &= K'_n \frac{W}{L} & K'_n &= \mu_n C''_{ox} & i_G &= 0 & i_B &= 0 \\ V_{TN} &= V_{TO} + \gamma(\sqrt{v_{SB}} + 2\phi_F - \sqrt{2\phi_F}) \\ i_D &= 0 & \text{per } v_{GS} &\leq V_{TN} \\ i_D &= K'_n \left(v_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN} (1 + \lambda V_{DS}) & \text{per } v_{GS} &> V_{TN} \\ V_{MIN} &= \min\{(V_{GS} - V_{TN}), V_{DS}, V_{SAT}\} \end{aligned} \quad (4.51)$$

Transistore PMOS

$$\begin{aligned} K'_p &= K'_p \frac{W}{L} & K'_p &= \mu_p C''_{ox} & i_G &= 0 & i_B &= 0 \\ V_{TP} &= V_{TO} - \gamma(\sqrt{v_{SB}} + 2\phi_F - \sqrt{2\phi_F}) \\ i_D &= 0 & \text{per } v_{GS} &\geq V_{TP} \\ i_D &= K'_p \left(v_{GS} - V_{TP} - \frac{V_{MIN}}{2} \right) V_{MIN} (1 + \lambda V_{DS}) & \text{per } v_{GS} &< V_{TP} \\ V_{MIN} &= \max\{(V_{GS} - V_{TP}), V_{DS}, V_{SAT}\} \end{aligned} \quad (4.52)$$

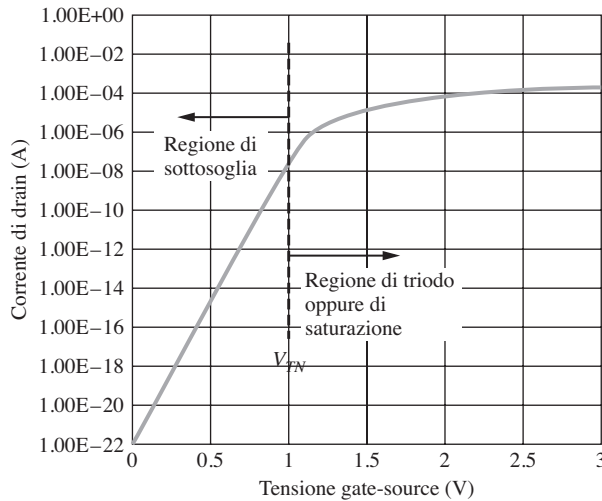


Figura 4.21
Regione di sottosoglia per un NMOS con $V_{TN} = 1\text{ V}$.

4.7.8 Corrente di sottosoglia

Nella trattazione del MOSFET fin qui presentata abbiamo assunto che il transistor risulti interdetto per valori della tensione gate-source inferiori della tensione di soglia. In realtà per $V_{GS} < V_{TN}$ la corrente di drain non risulta nulla. Come mostrato in Figura 4.21, quando la tensione V_{GS} diventa inferiore a V_{TN} la corrente di drain si riduce seguendo una legge esponenziale, come indicato dalla pendenza costante in figura. Tale condizione di funzionamento prende il nome di **regione di sottosoglia**. Per descrivere quanto rapidamente nel MOSFET la corrente di drain si riduce quando V_{GS} diventa inferiore a V_{TN} si fa riferimento al reciproco della pendenza della corrente ($1/S$) espressa in mV/decade. Questo parametro dipende dal rapporto tra le capacità C''_{ox} e C_d , [si veda la Figura 4.3(b)] e assume valori tipici compresi tra 60 mV/decade e 120 mV/decade.

Nel Paragrafo 4.7 abbiamo visto che nel processo di miniaturizzazione è necessario ridurre la tensione di soglia. Tuttavia una riduzione di V_{TN} determina una traslazione orizzontale dell'andamento mostrato in Figura 4.21, che si traduce in un incremento della corrente di perdita che attraversa il dispositivo in condizioni di interdizione. La corrente di perdita limita il tempo di immagazzinamento dei dati nelle memorie dinamiche, e può in generale limitare la durata delle batterie nei sistemi elettronici portatili.

ESERCIZIO (a) Si determini la corrente di perdita per il dispositivo di Figura 4.21 per $V_{GS} = 0.25\text{ V}$. (b) Assumendo per il dispositivo di Figura 4.21 una tensione di soglia $V_{TN} = 0.5\text{ V}$, si calcoli la corrente di perdita per $V_{GS} = 0\text{ V}$. (c) Un chip di memoria contiene 10^9 transistori, del tipo descritto al punto (b). Si calcoli la corrente di perdita complessiva per $V_{GS} = 0\text{ V}$.

RISPOSTE (a) $\approx 1\text{ nA}$; (b) $\approx 1\text{ fA}$; (c) $\approx 1\text{ }\mu\text{A}$.

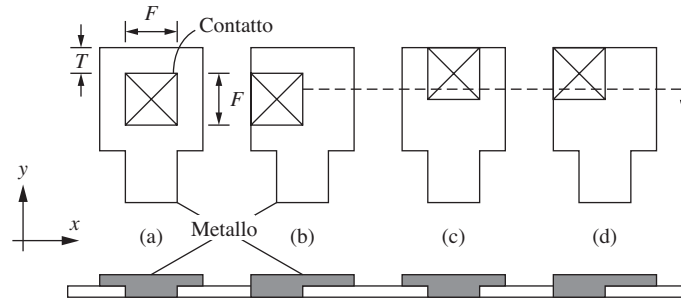
4.8 Fabbricazione del transistore MOS e regole di progetto

In aggiunta alla scelta della topologia del circuito un progettista deve anche definire il rapporto W/L per i transistori e sviluppare il tracciato (*layout*) del circuito in modo da soddisfare le specifiche assegnate. Il progetto di un circuito integrato è vincolato da un insieme di regole dette **regole di progetto** (*design rules* o *ground rules*). Tali regole sono caratteristiche di una determinata tecnologia e definiscono i valori minimi per diversi parametri geometrici, per le distanze tra elementi contigui oppure descrivono le regole di sovrapposizione. I processi bipolari e i processi MOS sono caratterizzati da diverse regole di progetto. Anche le regole di progetto relative a tecnologie MOS possono differire a seconda che si tratti di tecnologie per applicazioni analogiche o digitali, oppure se sono sviluppate da aziende diverse.

Figura 4.22

Errore di allineamento tra il tracciato della metallizzazione e quello dei contatti:

(a) allineamento corretto, (b) caso peggiore di errore di allineamento lungo la direzione x , (c) caso peggiore di errore di allineamento lungo la direzione y , (d) errore di allineamento in entrambe le direzioni.



4.8.1 Dimensione minima e tolleranza di allineamento

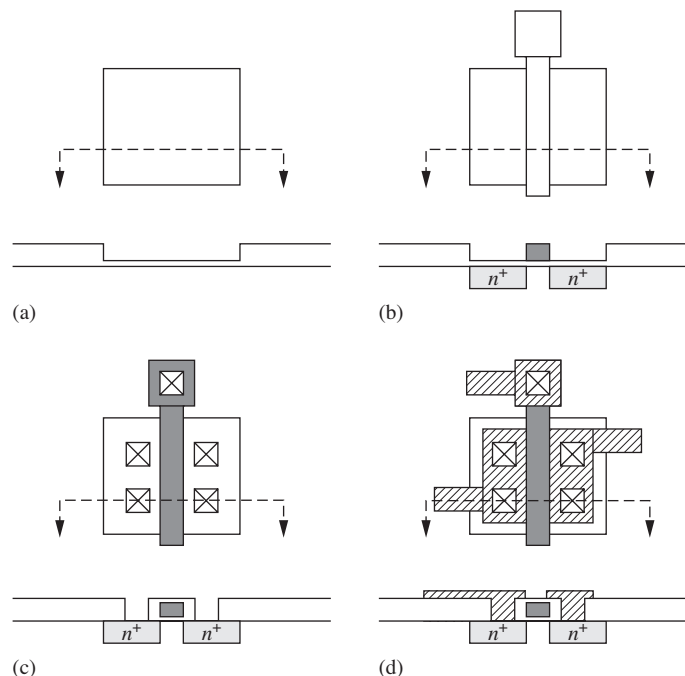
I processi tecnologici sono caratterizzati da una **dimensione minima** F (*minimum feature size*), che rappresenta il valore minimo della larghezza di una linea o di uno spazio che può essere realizzato con un processo litografico. Per generare l'insieme delle regole di progetto è anche necessario stabilire gli errori di allineamento tra due livelli di maschere in un processo. Per esempio, la Figura 4.22(a) mostra la posizione nominale di una linea di metallizzazione al di sopra di una finestra di contatto (indicata dal quadrato contrassegnato da una $\times$). Il metallo si sovrappone al contatto di almeno una **tolleranza di allineamento** T in ogni direzione. Il processo di allineamento può risultare impreciso, sicché la struttura effettivamente realizzata può presentare un errore di allineamento in entrambe le direzioni x e y . Le Figure 4.22(b)-(d) mostrano l'effetto di un errore di allineamento nelle direzioni x o y nel caso peggiore. Nelle regole di progetto qui considerate si assume lo stesso valore di tolleranza per le direzioni x e y . Se l'errore di allineamento risultasse maggiore della tolleranza T , si otterrebbero transistori che non funzionerebbero correttamente.

4.8.2 Layout del transistor MOS

La Figura 4.23 mostra il processo e l'insieme delle maschere utilizzati nella fabbricazione di un transistor MOS con gate in silicio policristallino. La prima maschera definisce l'area attiva del dispositivo ricoperta da un ossido sottile, mentre la seconda definisce l'elettrodo di gate realizzato in silicio policristallino. La regione di canale viene realizzata come l'intersezione delle prime due maschere; le regioni di source e drain sono formate nelle regioni dell'area attiva (definite dalla prima maschera) non coperte dall'elettrodo di gate (seconda maschera).

Figura 4.23

(a) Maschera dell'area attiva, (b) maschera dell'elettrodo di gate, (c) maschera delle finestre dei contatti, (d) maschera della metallizzazione.



Le ultime due maschere definiscono rispettivamente le finestre dei contatti e i contatti metallici. La successione delle maschere risulta:

Maschera della regione attiva	maschera 1
Maschera dell'elettrodo di gate	maschera 2 (allineata alla maschera 1)
Maschera delle finestre dei contatti	maschera 3 (allineata alla maschera 2)
Maschera della metallizzazione	maschera 4 (allineata alla maschera 3)

Nell'allineamento dei diversi livelli di maschera occorre sempre soddisfare le tolleranze indicate dalle regole di progetto. Nell'esempio considerato ogni livello di maschera è allineato rispetto al precedente, ma ci sono casi in cui ciò non si verifica.

Consideriamo ora un insieme di regole di progetto simile a quello sviluppato da Mead e Conway [3]. Queste regole sono state sviluppate in modo tale da poter facilmente trasferire il progetto di un circuito da una generazione a quella successiva cambiando semplicemente la dimensione di un parametro Λ . Tuttavia, l'insieme di regole di progetto così generato è in genere caratterizzato da tolleranze di allineamento tra i livelli di maschera di valore maggiore.

La Figura 4.24 mostra l'insieme delle regole di progetto in cui la minima dimensione è pari a $F = 2\Lambda$, e la tolleranza di allineamento risulta $T = F/2 = \Lambda$ (il parametro Λ potrebbe assumere valori quali per esempio $0.5 \mu\text{m}$, $0.25 \mu\text{m}$ o $0.1 \mu\text{m}$). Si osservi che la tolleranza di allineamento, pari alla metà della dimensione minima, è in genere un valore alquanto abbondante.

Per il transistor considerato nella Figura 4.24 tutte le linee e gli spazi presentano un valore minimo pari alla dimensione minima 2Λ . Anche le dimensioni dei contatti sono pari a 2Λ . Per garantire la sovrapposizione tra metallizzazione e contatti, anche nel caso peggiore di un errore di allineamento, si introduce una tolleranza pari a Λ intorno alla finestra di contatto. Il gate di polisilicio deve sovrapporsi a tutta la finestra dell'area attiva e dei contatti per 1Λ .

Tuttavia, poiché gli errori di allineamento possono accumularsi nelle maschere 2 e 3, le finestre dei contatti devono essere separate dal bordo dell'area attiva di 2Λ .

Il transistor di Figura 4.24 presenta un rapporto W/L pari a $10\Lambda/2\Lambda$, ovvero $5/1$, e l'area attiva è pari a $120 \Lambda^2$. Pertanto l'area relativa al canale rappresenta solo il 17% dell'area totale. Si osservi che l'elettrodo di gate in silicio policristallino definisce i bordi delle regioni di source e drain, sicché la regione di canale è "auto-allineata" all'elettrodo di gate, riducendo l'occupazione di area e le capacità parassite (Paragrafo 4.5).

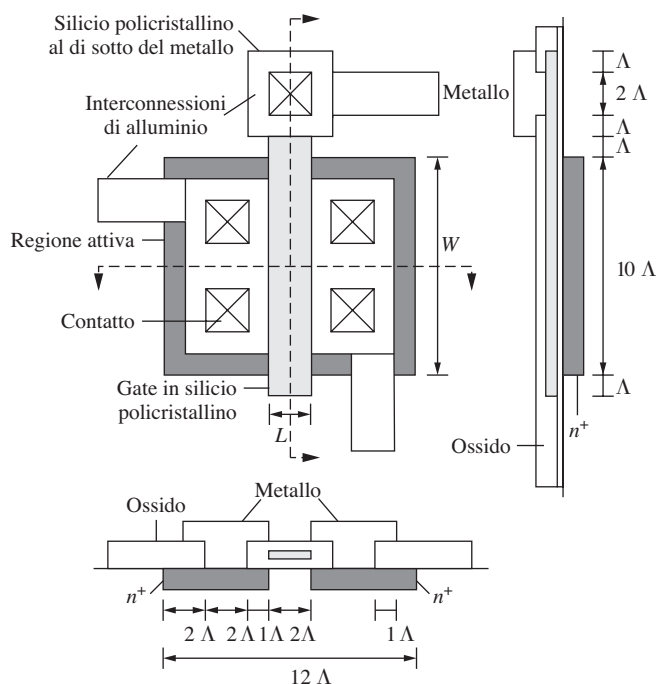


Figura 4.24

Vista dall'alto e in sezione dell'insieme di maschere per un transistor con $W/L = 5/1$. Sono anche indicate le regole di progetto.

ESERCIZIO Qual è l'area attiva del transistor di Figura 4.24 se $\Lambda = 125 \text{ nm}$? Quali sono i valori di W e L ? Qual è l'area della regione di gate? Quanti transistori possono essere integrati in una piastrina di area $1 \text{ cm} \times 1 \text{ cm}$ se le aree attive dei transistori devono essere separate da una distanza di almeno 4Λ ?

RISPOSTE $1.88 \mu\text{m}^2$; 250 nm ; $1.25 \mu\text{m}$; $0.31 \mu\text{m}^2$; 28.6 milioni.

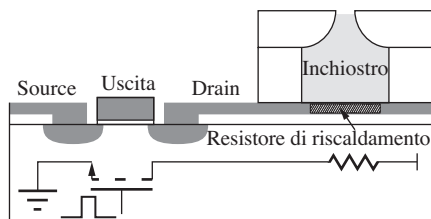


ELETTRONICA IN AZIONE

Stampanti termiche a getto di inchiostro

Le stampanti a getto di inchiostro (inkjet) sono evolute da prodotti di nicchia negli anni Sessanta a prodotti di notevole importanza nel mercato dell'elettronica di consumo. La tecnologia alla base delle stampanti inkjet è stata inventata nei laboratori Hewlett-Packard nel 1979. Da allora questa tecnologia si è evoluta a tal punto che le stampanti moderne erogano microgocce da 10 pL a 20 pL a frequenze di diversi kilohertz. Un aspetto molto importante nell'evoluzione di questa tecnologia è rappresentato dall'integrazione dell'apparato di erogazione con l'elettronica di controllo. Grazie alla tecnologia dei microsistemi elettro-mecanici (MEMS, *Micro-Electro-Mechanical Systems*), è stato infatti possibile integrare i transistori MOS nello stesso substrato dove vengono realizzate le strutture di erogazione dell'inchiostro.

La figura riporta uno schema semplificato della tecnologia inkjet. In questa figura si può riconoscere nella parte a sinistra un transistor MOS realizzato nel substrato di silicio. Una connessione metallica collega il drain del transistor a un resistore a film sottile disposto al di sotto della cavità contenente

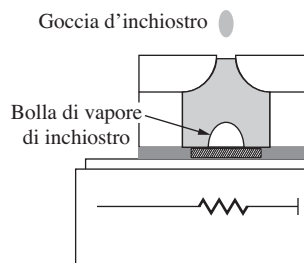


Scheda semplificata del dispositivo di eiezione dell'inchiostro integrato con un transistor MOS. Un impulso di tensione applicato al terminale di gate provoca il riscaldamento della resistenza.

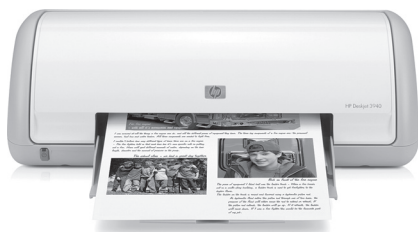
l'inchiostro. Quando al terminale di gate viene applicato un impulso di tensione, il resistore viene attraversato da una corrente che produce un rapido riscaldamento dell'inchiostro presente nella cavità. La temperatura della regione a contatto con il resistore aumenta fino a provocare l'evaporazione di una piccola quantità di inchiostro.

L'espansione dovuta alla formazione della bolla di vapore determina l'espulsione di una goccia di inchiostro dall'ugello verso il foglio di carta. Al termine dell'impulso di tensione la resistenza si raffredda, causando il collasso della bolla di vapore e il conseguente flusso di inchiostro da un serbatoio verso l'interno della cavità.

Grazie all'integrazione dell'elettronica e dei dispositivi di stampa, le stampanti a getto di inchiostro sono attualmente in grado di produrre immagini con qualità fotografica a costi ragionevoli. Nel corso del nostro studio vedremo spesso come un aspetto importante della moderna microelettronica sia la realizzazione di prodotti con elevato contenuto tecnologico e costi contenuti.



Il riscaldamento della resistenza vaporizza una piccola quantità di inchiostro causando l'espulsione di una goccia dall'ugello.



Stampante inkjet Hewlett-Packard. [© 1994-2006 Hewlett-Packard Company. Tutti i diritti sono riservati.]

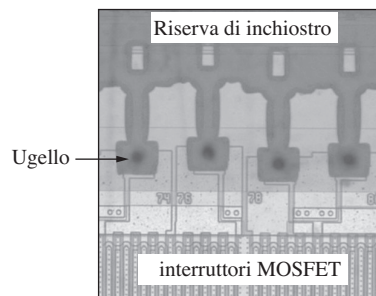


Immagine della testina di una stampante inkjet. [Per gentile concessione di Charles D. Ellis.]

4.9 Polarizzazione del MOSFET

Come precedentemente evidenziato, il progettista si trova di solito a dover scegliere la topologia del circuito, il rapporto W/L dei transistori e, nell'ambito di alcuni vincoli, la polarizzazione dei dispositivi. È quindi necessario analizzare diverse tecniche fondamentali per la polarizzazione del MOSFET.

4.9.1 Caratteristiche della polarizzazione

Abbiamo visto che il MOSFET presenta tre regioni di funzionamento: interdizione, triodo e saturazione. Nelle applicazioni circuitali occorre stabilire un opportuno punto di lavoro per il MOSFET in una determinata regione di funzionamento. Il punto di lavoro, o punto Q , è definito dalla coppia di valori (I_{DS} , V_{DS}), e può essere rappresentato da un punto nelle caratteristiche di uscita del dispositivo. Nei circuiti digitali, per esempio, il MOSFET viene utilizzato come un interruttore che commuta da uno stato di conduzione ("on") a uno di interdizione ("off"). Per esempio, in base alla scelta del punto di polarizzazione il circuito di Figura 4.25(a) può essere utilizzato per realizzare sia un invertitore in un circuito digitale, oppure un amplificatore lineare. La transcaratteristica del circuito è mostrata in Figura 4.26(a). Per bassi valori di v_{GS} il MOSFET è interdetto, e la tensione di uscita è pari a 5 V, cui corrisponde il livello alto (valore logico 1) nella logica binaria. All'aumentare di v_{GS} la tensione di uscita si riduce progressivamente, e raggiunge la tensione di 0.65 V per $v_{GS} = 5$ V. Questo valore corrisponde a un livello basso (valore logico 0). Queste condizioni di funzionamento sono mostrate anche nelle caratteristiche di uscita riportate in Figura 4.26(b). Quando il MOSFET è in conduzione viene attraversato da una corrente significativa e risulta $v_{DS} = 0.65$ V. Nello stato di interdizione la corrente è nulla e $v_{DS} = 5$ V.

Quando il MOSFET viene utilizzato come amplificatore il punto di lavoro viene scelto nella regione di elevata pendenza (ovvero alto guadagno) nelle caratteristiche di trasferimento di Figura 4.26(a). In queste condizioni il dispositivo si trova in saturazione, una regione in cui è possibile ottenere un'elevata amplificazione di tensione, corrente o potenza. Per stabilire questo punto di lavoro, viene applicato un opportuno valore alla tensione di

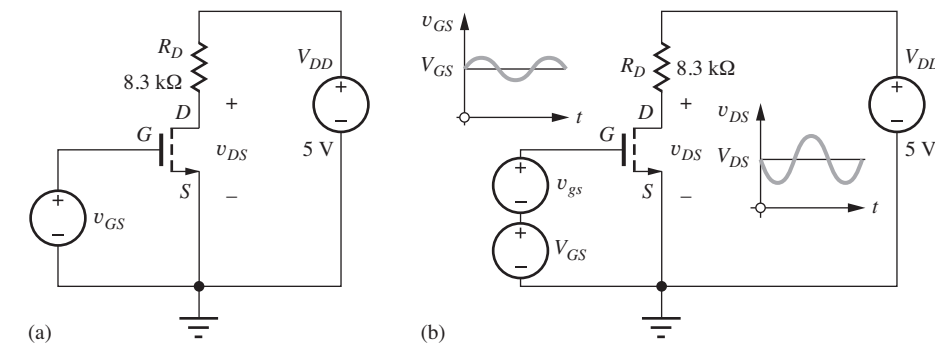


Figura 4.25

(a) Circuito utilizzato per la realizzazione di un invertitore. (b) Stesso circuito utilizzato per realizzare un amplificatore.

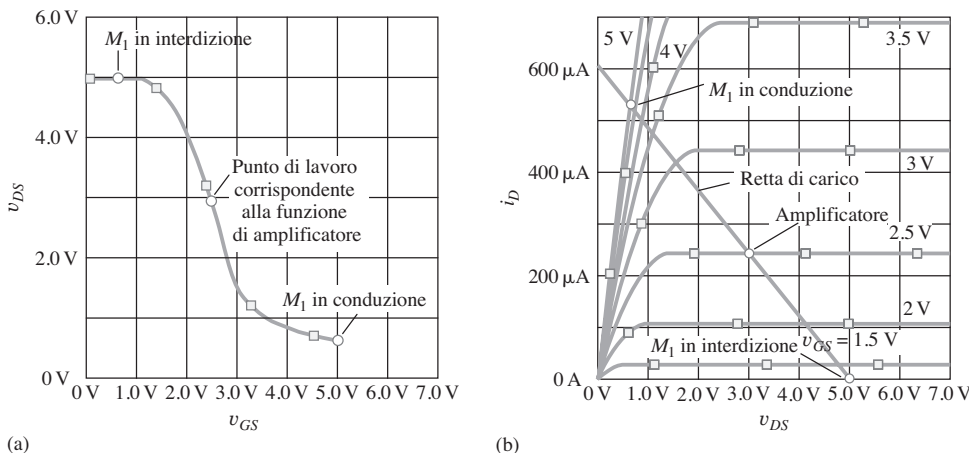


Figura 4.26

(a) Caratteristiche di trasferimento (VTC) con tre punti di lavoro (punti Q) corrispondenti a interruttore in conduzione, amplificatore e interruttore in interdizione. (b) Gli stessi tre punti di lavoro riportati sulle caratteristiche di uscita del transistor.

gate V_{GS} . Alla tensione di polarizzazione viene poi sovrapposto un segnale sinusoidale v_{gs} , in modo da variare la tensione di gate nell'intorno del valore costante.³ La variazione della tensione di gate complessiva v_{GS} determina una variazione della corrente di drain, e al terminale di drain si presenta un segnale di tensione corrispondente a una versione amplificata della tensione di ingresso.

La linea retta che interseca le caratteristiche di uscita del MOSFET, e determina il punto di lavoro Q , è detta **retta di carico** ed è già stata descritta nel Capitolo 3. Questa retta individua i valori possibili di I_D e V_{DS} , determinati dal circuito di polarizzazione. In questo caso, l'equazione della retta di carico è data da:

$$V_{DD} = I_D R_D + V_{DS}, \quad \text{ossia} \quad I_D = \frac{V_{DD}}{R_D} - \frac{V_{DS}}{R_D}$$

Nelle analisi manuali per il calcolo del punto di lavoro, di solito si trascura la modulazione della lunghezza di canale ($\lambda = 0$). La Figura 4.11 mostra che trascurando questo effetto, l'errore relativo al calcolo della corrente di drain è inferiore al 10%. D'altra parte, il grado di incertezza relativo ai parametri del transistor è di solito maggiore. Infatti, la tolleranza relativa ai parametri dei dispositivi integrati o discreti può raggiungere il 30-50%. Pertanto, trascurando l'effetto del parametro λ non si compromette la validità dell'analisi. Inoltre, in alcuni casi si utilizza la retroazione, che riduce ulteriormente l'effetto del parametro λ ; la validità dell'analisi non risulta quindi compromessa dall'approssimazione $\lambda = 0$. Per contro, vedremo che il valore di λ limita il guadagno di tensione nei circuiti di amplificazione analogici, e deve essere quindi incluso nell'analisi di questi circuiti.

Nell'analisi di circuiti contenenti MOSFET occorre anzitutto fare delle ipotesi in merito alla regione di funzionamento, in modo simile alla procedura di analisi dei circuiti con diodi presentata nel Capitolo 3. Nel caso più comune il transistor si trova polarizzato in saturazione, e gli esempi riportati di seguito si riferiscono a tale condizione. Assumendo $\lambda = 0$, dalla (4.27) vediamo che per calcolare la corrente di drain è necessario determinare la tensione V_{GS} . Una volta nota la corrente I_D , possiamo calcolare la tensione V_{DS} applicando la legge di Kirchhoff per le tensioni. Nell'approccio proposto di seguito si determina dapprima la tensione V_{GS} , quindi la corrente I_D , e infine la tensione V_{DS} .

Procedura per l'analisi della polarizzazione

1. Si assume una determinata regione di funzionamento (di solito la regione di saturazione).
2. Si analizza il circuito per determinare la tensione V_{GS} .
3. Dal valore di V_{GS} si determina la corrente I_D ; nota I_D si calcola V_{DS} .
4. Si verifica l'ipotesi relativa alla regione di funzionamento.
5. Se necessario si modifica l'ipotesi iniziale e si ripete l'analisi.



NOTA PROGETTUALE

Imporre la saturazione del transistor

Nell'analisi della polarizzazione è utile ricordare che un NMOS *ad arricchimento* risulta sempre polarizzato in saturazione se i terminali di gate e drain

si trovano allo stesso potenziale, ovvero se $V_{GS} = V_{DS}$. Lo stesso si verifica nel caso di un PMOS ad arricchimento se risulta $V_{SG} = V_{SD}$.

Per dimostrare questo risultato, ricordiamo che affinché un NMOS si trovi in pinch-off deve essere soddisfatta la condizione:

$$V_{DS} \geq V_{GS} - V_{TN}$$

Posto $V_{GS} = V_{DS}$ otteniamo:

$$V_{DS} \geq V_{DS} - V_{TN} \quad \text{ovvero} \quad V_{TN} \geq 0$$

che è sempre verificata in un transistor a canale n ad arricchimento. In modo analogo si procede per un PMOS ad arricchimento polarizzato con $V_{SD} = V_{SG}$.

³ Si ricordi che $v_{GS} = V_{GS} + v_{gs}$.

4.9.2 Polarizzazione con rete a 4 resistori

Il circuito di Figura 4.25(b) fornisce un valore costante per la tensione gate-source. Questo tipo di polarizzazione, sebbene teoricamente corretta, non è la più soddisfacente; infatti in realtà i parametri del transistor K_n , V_{TN} e λ non sono noti con precisione, le resistenze e le tensioni del circuito di polarizzazione sono caratterizzate da tolleranze (si veda il Paragrafo 1.8) e, infine, il valore dei parametri varia con la temperatura o per effetto dell'invecchiamento. La rete di polarizzazione a 4 resistori descritta in questo paragrafo fa uso di una retroazione negativa per fornire un punto di lavoro ben stabilizzato. Nel resto del testo si incontreranno molto spesso circuiti che usano la retroazione negativa.

POLARIZZAZIONE CON RETE A 4 RESISTORI

Esempio 4.1

La tecnica di polarizzazione più importante è rappresentata dalla rete a 4 resistori mostrata in Figura 4.27(a). L'introduzione della resistenza R_S consente di migliorare la stabilità del punto di lavoro rispetto alle variazioni dei parametri del circuito. La stabilità viene migliorata introducendo nel circuito una retroazione, un concetto che sarà illustrato in dettaglio in seguito. Si osservi anche che si impiega una sola tensione di alimentazione V_{DD} per entrambe le maglie di ingresso e di uscita. Nei circuiti analogici la rete a quattro resistori viene più sovente utilizzata per polarizzare il MOSFET nella regione di saturazione.

Si determini il punto di lavoro (I_D , V_{DS}) per il MOSFET nel circuito a 4 resistori di Figura 4.27.

PROBLEMA

Informazioni e dati noti: È nota la topologia del circuito in Figura 4.27, con $V_{DD} = 10\text{ V}$, $R_1 = 1\text{ M}\Omega$, $R_2 = 1.5\text{ M}\Omega$, $R_D = 75\text{ k}\Omega$, $R_S = 39\text{ k}\Omega$, $K_n = 25\text{ }\mu\text{A/V}^2$ e $V_{TN} = 1\text{ V}$.

SOLUZIONE

Incognite: Il punto di lavoro (I_D , V_{DS}), V_{GS} e la regione di funzionamento.

Approccio: Possiamo determinare il punto di lavoro utilizzando il modello matematico del MOSFET. Assumeremo che il dispositivo si trovi in una determinata regione di funzionamento, analizzeremo il circuito per determinare il punto di lavoro, e infine verificheremo se l'ipotesi iniziale risulta corretta.

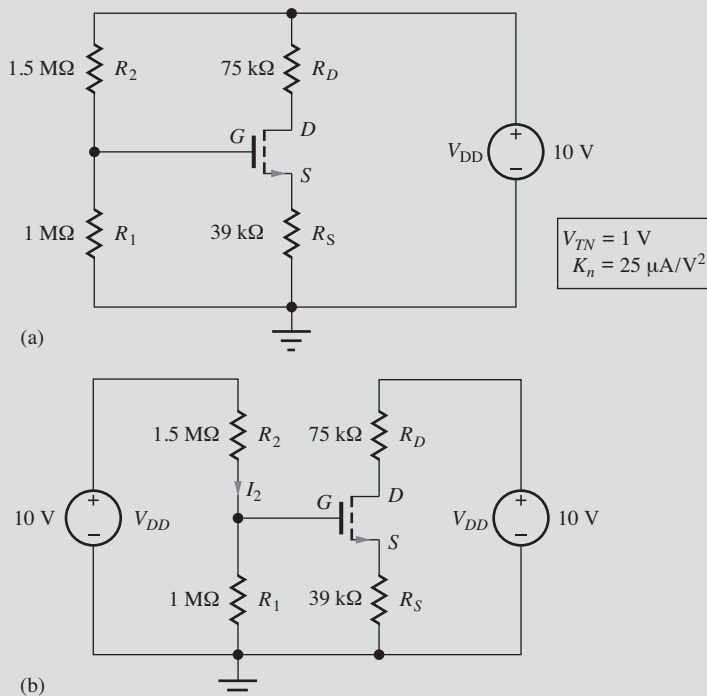


Figura 4.27

(a) Rete di polarizzazione del MOSFET a quattro resistori. (b) Circuito equivalente con due generatori di tensione.

Ipotesi: Assumeremo che il transistor si trovi nella regione di saturazione. Posto $\lambda=0$, la corrente di drain è data da:

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2 \quad (4.53)$$

Come al solito possiamo assumere $I_G = 0$, $I_B = 0$. L'ipotesi $\lambda = 0$ consente di semplificare l'analisi del circuito in quanto in tal caso la corrente di drain risulta indipendente dalla tensione V_{DS} (la rete a 4 resistori è infatti comunemente utilizzata nei circuiti analogici per polarizzare il MOSFET in saturazione).

Analisi: Per calcolare I_D occorre anzitutto determinare la tensione V_{GS} . Nel circuito equivalente riportato in Figura 4.27(b) il generatore di tensione è stato diviso in due generatori di tensione identici. Analogamente al circuito di Figura 4.25, si può applicare il teorema di Thévenin al circuito in esame, che risulta trasformato nel circuito di Figura 4.28. La tensione gate-source può essere quindi espressa in termini di R_{EQ} e V_{EQ} .

Per determinare il punto di lavoro nel circuito di Figura 4.28 consideriamo l'equazione relativa alla maglia di ingresso:

$$V_{EQ} = I_G R_{EQ} + V_{GS} + (I_G + I_D) R_S \quad \text{ovvero} \quad V_{EQ} = V_{GS} + I_D R_S \quad (4.54)$$

essendo $I_G = 0$. Sostituendo la (4.53) nella (4.54) otteniamo un'equazione quadratica nell'incognita V_{GS} :

$$V_{EQ} = V_{GS} + \frac{K_n R_S}{2} (V_{GS} - V_{TN})^2 \quad (4.55)$$

Si calcola la tensione V_{GS} con una equazione di secondo grado

$$V_{GS} = V_{TN} + \frac{1}{K_n R_S} \left(\sqrt{1 + 2K_n R_S (V_{EQ} - V_{TN})} - 1 \right) \quad (4.56)$$

Sostituendo il valore trovato nell'Equazione (4.54) si ottiene I_D

$$I_D = \frac{1}{2K_n R_S^2} \left(\sqrt{1 + 2K_n R_S (V_{EQ} - V_{TN})} - 1 \right)^2 \quad (4.57)$$

Per trovare la tensione drain-source si scrive l'equazione alla maglia che passa per drain e source del dispositivo.

$$V_{DD} = I_D R_D + V_{DS} + (I_G + I_D) R_S \quad \text{oppure} \quad V_{DS} = V_{DD} - I_D (R_D + R_S) \quad (4.58)$$

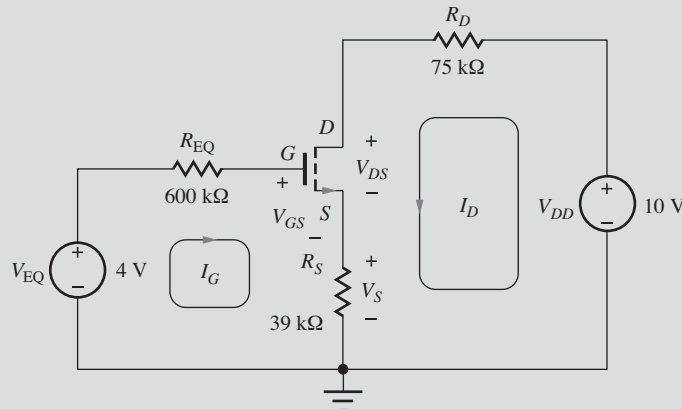
La semplificazione di (4.58) deriva dal fatto che $I_G = 0$.

Con riferimento ai valori riportati in Figura 4.28 e assumendo $V_{TN} = 1$ V, $K_n = 25$ $\mu\text{A}/\text{V}^2$, $V_{EQ} = 4$ V e $V_{DD} = 10$ V, dalle Equazioni (4.57) e (4.58) si ha

$$I_D = \frac{1}{2(25 \mu\text{A}/\text{V}^2)(39 \text{ k}\Omega)^2} \left(\sqrt{1 + 2(25 \mu\text{A}/\text{V}^2)(39 \text{ k}\Omega)(4 \text{ V} - 1 \text{ V})} - 1 \right)^2 = 34.4 \mu\text{A}$$

$$V_{DS} = 10 - 34.4 \mu\text{A} (75 \text{ k}\Omega + 39 \text{ k}\Omega) = 6.08 \text{ V}$$

Figura 4.28
Circuito equivalente per la rete di polarizzazione a quattro resistori.



Verifica dei risultati: Conoscendo $V_{DS} = 6.08 \text{ V}$ e facendo uso della (4.57) possiamo ora verificare se il transistoro si trova effettivamente in saturazione:

$$V_{GS} - V_{TN} = \frac{1}{K_n R_S} \left(\sqrt{1 + 2K_n R_S (V_{EQ} - V_{TN})} - 1 \right) = 1.66 \text{ V} \text{ quindi } V_{DS} > (V_{GS} - V_{TN})$$

L'ipotesi iniziale di funzionamento in regione di saturazione è quindi verificata, e il punto di lavoro è dato da $(34.4 \text{ } \mu\text{A}, 6.08 \text{ V})$, con $V_{GS} = 2.66 \text{ V}$.

Discussione: La rete a 4 resistori è una delle migliori soluzioni per la polarizzazione di transistori in circuiti a componenti discreti. Il punto di lavoro risulta sufficientemente stabile rispetto a variazione dei parametri o della temperatura. Questa rete di polarizzazione viene usualmente utilizzata nelle applicazioni analogiche per polarizzare il MOSFET nella regione di saturazione. Come osservato in precedenza la stabilizzazione del punto di lavoro è dovuta alla retroazione presente nel circuito. Allo scopo di verificare l'effetto della retroazione, supponiamo che per qualche motivo la corrente di drain subisca un incremento. Dall'Equazione (4.54) si vede che un incremento di I_D provoca una riduzione di V_{GS} , essendo V_{EQ} fissata. D'altra parte una riduzione di V_{GS} provoca una riduzione di I_D , che quindi si riporta al valore iniziale [si veda l'Equazione (4.53)].

Si osservi che in questo circuito si è considerata la rappresentazione a tre terminali del MOSFET, assumendo che il terminale di substrato sia collegato a quello di source. Se il terminale di substrato fosse posto a massa l'analisi diverrebbe più complessa poiché la tensione di soglia risulterebbe funzione della tensione applicata al terminale di source. Questo caso verrà esaminato in maggiore dettaglio nell'Esempio 4.2. Concludiamo l'analisi della rete a 4 resistori esaminando l'effetto del parametro λ ricorrendo all'analisi assistita da calcolatore.

Analisi assistita da calcolatore: Effettuando la simulazione SPICE con il modello LEVEL = 1 e i parametri considerati nell'analisi manuale ($K_P = 25\text{U}$, $V_{TO} = 1$) otteniamo lo stesso risultato dell'analisi manuale: $(34.4 \text{ } \mu\text{A}, 6.08 \text{ V})$. Assumendo LAMBDA = 0.02 la simulazione SPICE fornisce $(35.9 \text{ } \mu\text{A}, 5.91 \text{ V})$. Il punto di lavoro è variato del 5%, un valore molto inferiore alle incertezze relative ai parametri del dispositivo e alle resistenze di polarizzazione.

ESERCIZIO Usando la formula risolutiva dell'equazione di secondo grado, si derivi l'Equazione (4.56). Si noti che un'Equazione di secondo grado ha due soluzioni, ma solo una è significativa per il problema, l'altra va scartata.

ESERCIZIO Si determini il punto di lavoro nel circuito di Figura 4.28 assumendo $K_n = 30 \text{ } \mu\text{A/V}^2$.

RISPOSTA $(36.8 \text{ } \mu\text{A}, 5.81 \text{ V})$.

ESERCIZIO Si determini il punto di lavoro nel circuito di Figura 4.28 assumendo $V_{TN} = 1.5 \text{ V}$.

RISPOSTA $(26.7 \text{ } \mu\text{A}, 6.96 \text{ V})$.

ESERCIZIO Si determini il punto di lavoro nel circuito di Figura 4.28 assumendo $R_S = 62 \text{ k}\Omega$.

RISPOSTA $(25.4 \text{ } \mu\text{A}, 6.52 \text{ V})$.



NOTA PROGETTUALE

I valori I_D e V_{DS} del punto di lavoro di un MOSFET polarizzato nella regione di saturazione con la rete a quattro resistori valgono:

$$I_D = \frac{1}{2K_n R_S^2} \left(\sqrt{1 + 2K_n R_S (V_{EQ} - V_{TN})} - 1 \right)^2 \quad \text{e} \quad V_{DS} = V_{DD} - I_D (R_D + R_S)$$

dove V_{EQ} è la tensione equivalente di Thévenin fra il terminale di gate e il potenziale di riferimento (ground).

ESERCIZIO Si mostri che il punto di funzionamento nel circuito di Figura 4.27 con $R_1 = 1 \text{ M}\Omega$, $R_2 = 1.5 \text{ M}\Omega$, $R_S = 1.8 \text{ k}\Omega$, e $R_D = 39 \text{ k}\Omega$ è pari a (99.5 μA , 5.95 V).

ESERCIZIO Si determini il punto di funzionamento nel circuito di Figura 4.27 per $R_1 = 1.5 \text{ M}\Omega$, $R_2 = 1 \text{ M}\Omega$, $R_S = 22 \text{ k}\Omega$, e $R_D = 18 \text{ k}\Omega$.

RISPOSTA (99.2 μA , 6.03 V).

ESERCIZIO Si modifichi il valore di R_1 e R_2 in modo che la corrente di polarizzazione sia pari a 2 μA , mantenendo inalterato il valore di $V_{EQ} = 6 \text{ V}$. Quanto vale R_{EQ} ?

RISPOSTE 3 M Ω ; 2 M Ω ; 1.2 M Ω .



NOTA PROGETTUALE

Progetto del partitore di tensione di gate

Osserviamo che anche se le resistenze R_1 e R_2 in Figura 4.27 stabiliscono il valore di V_{EQ} , la corrente che le attraversa non interviene direttamente nel funzionamento del transistor. Pertanto possiamo scegliere il valore delle resistenze in modo da minimizzare tale corrente, mantenendo inalterato il punto di la-

voro del MOSFET. La corrente dipende dalla somma $R_1 + R_2$, che può essere scelta in modo che la corrente sia dell'ordine della centesima parte di I_D . Nel caso di Figura 4.27 la corrente I_2 è pari al 4% di I_D :

$$I_2 = \frac{10 \text{ V}}{1 \text{ M}\Omega + 1.5 \text{ M}\Omega} = 4 \mu\text{A}$$

4.9.3 Polarizzazione con tensione gate-source costante

La Figura 4.25(a) mostra un caso particolare di polarizzazione a quattro resistori in cui $R_S = 0$. In questa situazione le Equazioni (4.55), (4.56) e (4.58) diventano

$$V_{GS} = V_{EQ} \quad I_D = \frac{K_n}{2} (V_{EQ} - V_{TN})^2 \quad V_{DS} = V_{DD} - I_D R_D \quad (4.59)$$

Il problema di questo tipo di circuito è ovvio. La corrente di drain è completamente dipendente da K_n e da V_{TN} , che di solito hanno un'elevata dispersione di valori. Il punto di lavoro e addirittura la zona di funzionamento sono mal controllabili. Questo circuito di polarizzazione viene usato molto di rado.

4.9.4 Analisi basata sul metodo della retta di carico

Il punto di lavoro del circuito in Figura 4.27 può anche essere determinato per via grafica utilizzando il metodo della retta di carico, in modo analogo a quanto visto per il diodo. Questo metodo ci consente di vedere la posizione del punto di lavoro nel piano (I_D , V_{DS}), e di valutarne la distanza dalle regioni che separano la regione di saturazione dalle regioni di triodo e di interdizione. Tuttavia in questo circuito la tensione gate-source del MOSFET dipende anche dalla corrente di drain e per trovare il punto di lavoro si devono usare sia la transcaratteristica sia le caratteristiche di uscita.

Analisi con la retta di carico

La *retta di carico* mette in relazione V_{DS} e I_D . Per il circuito con quattro resistori, la tensione V_{DS} è pari alla tensione di alimentazione meno le cadute sui resistori di drain e di source:

$$V_{DS} = V_{DD} - I_D(R_D + R_S) \quad (4.60)$$

In questo circuito la tensione V_{GS} dipende anche dalla corrente I_D . Poiché la corrente di gate è nulla, il valore di V_{GS} è pari alla tensione di polarizzazione V_{EQ} meno la caduta di tensione sulla resistenza di source:

$$V_{GS} = V_{EQ} - I_D R_S \quad (4.61)$$

Questa espressione è chiamata *retta di polarizzazione*. Per trovare il punto di lavoro si disegna la retta di polarizzazione sul grafico della transcaratteristica del transistor per trovare il valore di V_{GS} . Poi si disegna sulle curve di uscita la retta di carico e si trova il punto di la-

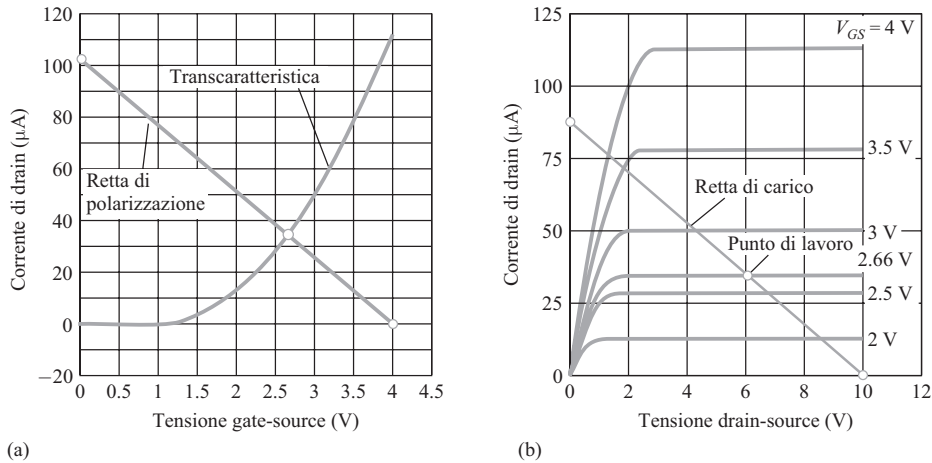


Figura 4.29
(a) Transcaratteristica e retta di polarizzazione;
(b) caratteristiche di uscita e retta di carico.

voro dove la retta di carico passa per la tensione V_{GS} trovata prima. Lo schema di Figura 4.27 ha le seguenti rette di polarizzazione e di carico

$$V_{GS} = 4 \text{ V} - 39 \text{ k}\Omega I_D \quad \text{e} \quad V_{DS} = 10 \text{ V} - 114 \text{ k}\Omega I_D \quad (4.62)$$

La retta di polarizzazione viene disegnata sulla transcaratteristica (I_D in funzione di V_{GS}) come mostrato in Figura 4.29(a). Per posizionare la retta sono necessari due punti, che si ricavano dall'Equazione (4.62), per $I_D = 0$ si ha $V_{GS} = 4$ V, mentre per $V_{GS} = 0$ si ha $I_D = 103 \mu A$. La retta di polarizzazione viene disegnata sulla transcaratteristica e l'intersezione delle due curve fornisce il valore di V_{GS} che in questo caso vale 2.66 V.

In modo analogo si calcolano due punti "comodi" per la retta di carico: per $I_D = 0$ si ha $V_{DS} = 10$ V, mentre per $V_{DS} = 0$ la corrente I_D vale 87.7 μA . Si traccia poi la retta di carico sulle caratteristiche di uscita, Figura 4.29(b). Si stima il punto di lavoro interpolando fra le curve a 2.5 V e 3 V per localizzare la tensione $V_{GS} = 2.66$ V. Sul grafico si legge $V_{DS} = 6$ V e $I_D = 35 \mu A$, valori vicini ai risultati precisi trovati con il modello matematico.

4.9.5 Analisi con effetto body

Nei circuiti integrati i transistori MOS hanno spesso connessioni di source e di substrato collegati a nodi diversi, ottenendo una tensione source-substrato V_{SB} diversa da 0, come mostrato in Figura 4.30. In questo circuito $V_{SB} = I_D R_S$ e questo sposta la tensione di soglia in funzione della corrente di drain. Ciò complica alquanto l'analisi e sposta il punto di lavoro trovato nel Paragrafo 4.9.2 (34.4 μA , 6.08 V). L'Esempio 4.2 analizza l'effetto della connessione mostrata in Figura 4.30.

ANALISI CON EFFETTO BODY

Esempio 4.2

Nel MOSFET di Figura 4.28 si ha $V_{SB} = 0$ e il transistorore si presenta come un dispositivo a 3 terminali. In questo esempio vedremo come il punto di lavoro viene modificato se il terminale di substrato è connesso come mostrato in Figura 4.30.

Si determini il punto di lavoro (I_D , V_{DS}) per il MOSFET nel circuito a 4 resistori di Figura 4.30 tenendo conto dell'effetto body.

PROBLEMA

Informazioni e dati noti: È nota la topologia del circuito in Figura 4.30, con $V_{EQ} = 4$ V, $R_{EQ} = 600 \text{ k}\Omega$, $R_S = 39 \text{ k}\Omega$, $R_D = 75 \text{ k}\Omega$, $K_n = 25 \mu A/V^2$ e $V_{TO} = 1$ V e $\gamma = 0.5 \sqrt{V}$.

SOLUZIONE

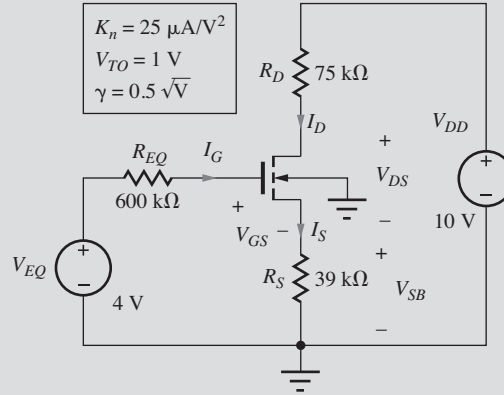
Incognite: I_D , V_{DS} , V_{GS} , V_{BS} , V_{TN} e la regione di funzionamento.

Approccio: In questo caso la tensione source-body è pari a $V_{SB} = I_S R_S = I_D R_S$ ed è diversa da zero. Dobbiamo quindi risolvere il sistema di equazioni:

$$\begin{aligned} V_{GS} &= V_{EQ} - I_D R_S \\ V_{SB} &= I_D R_S \\ V_{TN} &= V_{TO} + \gamma (\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \\ I_D &= \frac{K_n}{2} (V_{GS} - V_{TN})^2 \end{aligned} \quad (4.63)$$

Figura 4.30

Circuito di polarizzazione modificato in cui è presente l'effetto body.



Benché sia possibile risolvere queste equazioni per via analitica, è più semplice determinare il punto di lavoro con un metodo iterativo, utilizzando MATLAB, Mathcad o un foglio di calcolo, oppure un calcolatore elettronico.

Ipotesi: Assumeremo che il transistor si trovi nella regione di saturazione con $I_G = 0$, $I_B = 0$, $2\phi_F = 0.6 \text{ V}$.

Analisi: Utilizzando le ipotesi di cui sopra, e i valori indicati in Figura 4.30, il sistema di Equazioni (4.63) diventa:

$$\begin{aligned} V_{GS} &= 4 \text{ V} - 39 \text{ k}\Omega I_D & V_{SB} &= 39 \text{ k}\Omega I_D \\ V_{TN} &= 1 \text{ V} + 0.5 \sqrt{V} (\sqrt{V_{SB} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) & I'_D &= \frac{25 \mu\text{A/V}^2}{2} (V_{GS} - V_{TN})^2 \end{aligned} \quad (4.64)$$

e la tensione V_{DS} può essere calcolata da

$$V_{DS} = V_{DD} - I_D(R_D + R_S) = 10 \text{ V} - 114 \text{ k}\Omega I_D \quad (4.65)$$

Le Equazioni (4.64) sono state ordinate in modo tale da implementare facilmente la procedura iterativa di seguito descritta.

1. Assegnare un valore di tentativo a I_D .
2. Calcolare i valori di V_{GS} e V_{SB} .
3. Calcolare il valore di V_{TN} utilizzando il valore di V_{SB} .
4. Calcolare il valore aggiornato di I'_D , utilizzando i valori di V_{GS} e V_{TN} ottenuti ai passi 2 e 3, e confrontare il risultato con il valore relativo al passo 1.
5. Se per il valore calcolato risulta $I'_D \neq I_D$ ritornare al passo 1.

In questo caso non abbiamo indicato nessun metodo particolare per scegliere il nuovo valore di I_D (benché il problema possa essere risolto utilizzando il metodo di Newton), ma è relativamente semplice arrivare alla soluzione dopo pochi tentativi, utilizzando un computer per effettuare i calcoli. Si noti che il programma SPICE può anche fare la simulazione di questo circuito.

La Tabella 4.3 mostra i risultati ottenuti risolvendo le Equazioni (4.64) e (4.65) per tentativi successivi utilizzando un foglio di calcolo. Il processo di iterazione converge al valore di $30 \mu\text{A}$ per I_D e di 6.58 V per V_{DS} . Bisogna fare attenzione che le equazioni inserite nel foglio di calcolo descrivano correttamente tutte le regioni di funzionamento del transistor. In particolare si deve avere $I_D = 0$ se risulta $V_{GS} < V_{TN}$.

Verifica dei risultati: I valori ottenuti con la procedura iterativa sono

$$V_{DS} = 6.58 \text{ V}, V_{GS} - V_{TN} = 1.55 \text{ V} \quad \text{e quindi} \quad V_{DS} > (V_{GS} - V_{TN})$$

L'ipotesi iniziale di funzionamento in regione di saturazione è quindi verificata, e il punto di lavoro risulta $(30 \mu\text{A}, 6.58 \text{ V})$.

Discussione: L'analisi mostra che l'effetto body provoca un incremento della tensione di accensione da 1 V a 1.28 V e una riduzione della corrente di drain di circa il 13% (da $34.4 \mu\text{A}$ a $30 \mu\text{A}$).

Tabella 4.4 Ricerca iterativa del punto di lavoro

I_D	V_{SB}	V_{GS}	V_{TN}	I'_D	V_{DS}
4.750E-05	1.85E+00	2.15E+00	1.40E+00	7.065E-06	9.19E+00
5.000E-05	1.95E+00	2.05E+00	1.41E+00	5.102E-06	9.42E+00
4.000E-05	1.56E+00	2.44E+00	1.35E+00	1.492E-05	8.30E+00
3.000E-05	1.17E+00	2.83E+00	1.28E+00	3.011E-05	6.57E+00
2.995E-05	1.17E+00	2.83E+00	1.28E+00	3.020E-05	6.56E+00
3.010E-05	1.17E+00	2.83E+00	1.28E+00	2.993E-05	6.59E+00
3.005E-05	1.17E+00	2.83E+00	1.28E+00	3.002E-05	6.58E+00
3.004E-05	1.17E+00	2.83E+00	1.28E+00	3.004E-05	6.58E+00

ESERCIZIO Si determini il nuovo valore corrente di drain nel circuito di Figura 4.30 se $\gamma = 0.75 \sqrt{V}$.

RISPOSTA 28.2 μA .

Gli Esempi 4.1 e 4.2 hanno mostrato la tecnica da usare per analizzare la maggior parte dei circuiti che incontreremo. Le reti di polarizzazione a quattro resistori e a due resistori sono quelle più comunemente usate nei circuiti discreti, mentre nei circuiti integrati si usano per lo più specchi di corrente che saranno studiati in seguito.

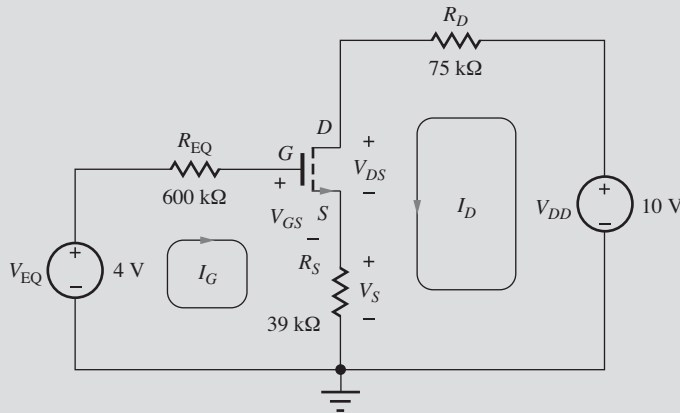
4.9.6 Analisi con il Modello Unificato

Il Modello Unificato comprende la saturazione di velocità dei portatori e in questa sezione viene presentato un esempio di analisi di un circuito a MOSFET che lavora nella regione a saturazione di velocità.

ANALISI CON IL MODELLO UNIFICATO

Esempio 4.3

In questo esempio si calcolerà il punto di funzionamento del circuito di polarizzazione a quattro resistori mostrato in Figura 4.28, facendo uso del Modello Unificato, con $V_{SAT} = 1 \text{ V}$.



Trovare il punto di lavoro (I_D , V_{DS}) del MOSFET di Figura 4.28 utilizzando il Modello Unificato con $V_{SAT} = 1 \text{ V}$. **PROBLEMA**

Informazioni e dati noti: Il circuito di Figura 4.28 con $V_{EQ} = 4 \text{ V}$, $R_{EQ} = 600 \text{ k}\Omega$, $R_S = 39 \text{ k}\Omega$, $R_D = 75 \text{ k}\Omega$, $K_n = 25 \mu\text{A}/\text{V}^2$, $V_{TN} = 1 \text{ V}$ e $V_{SAT} = 1 \text{ V}$. **SOLUZIONE**

Incognite: Punto di lavoro (I_D , V_{DS}) e la regione di funzionamento.

Approccio: In questo caso si devono risolvere le seguenti equazioni:

$$I_D = K_n \left(V_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN} \quad \text{con} \quad V_{MIN} = \min\{V_{GS} - V_{TN}, V_{DS}, V_{SAT}\}$$

$$\text{e} \quad V_{GS} = V_{EQ} - I_D R_S$$

Ipotesi: Si ha saturazione di velocità quando $V_{GS} - V_{TN} > V_{SAT}$ quindi in questo caso $V_{MIN} = V_{SAT}$.

Analisi: Con i valori dei parametri del transistor e dei componenti si ha:

$$I_D = 25 \mu\text{A}/\text{V}^2 \left(V_{GS} - 1\text{V} - \frac{1}{2}\text{V} \right) (1\text{V}) \quad \text{e} \quad V_{GS} = 4\text{V} - 39 \text{ k}\Omega I_D$$

Combinando queste due equazioni e risolvendo rispetto a I_D si ottiene

$$I_D = \frac{62.5 \mu\text{A}}{1.975} = 31.6 \mu\text{A}$$

La tensione drain-source viene calcolata con una maglia che passa fra drain e source:

$$V_{DS} = V_{DD} - I_D(R_D + R_S) = 10\text{V} - 31.7 \mu\text{A} (114 \text{ k}\Omega) = 6.39\text{V}$$

e il punto di lavoro è $I_D = 31.6 \mu\text{A}$ e $V_{DS} = 6.39\text{V}$.

Verifica dei risultati: $V_{GS} - V_{TN} = 1.76\text{V}$ e $V_{DS} = 6.39\text{V}$, quindi $V_{MIN} = 1\text{V}$ è una assunzione corretta.

Discussione: Il punto di funzionamento è simile a quello trovato precedentemente per la regione di saturazione. Il motivo principale per cui la variazione di corrente di drain è relativamente piccola risiede nella retroazione negativa introdotta dal resistore di source R_S che stabilizza il punto di lavoro anche se le caratteristiche del transistor variano.

4.10 Polarizzazione dei transistori PMOS

Nella tecnologia CMOS, attualmente la tecnologia più utilizzata, sono presenti sia transistori a canale n (NMOS) che transistori a canale p (PMOS). È quindi molto importante comprendere come polarizzare entrambi i transistori. Ovviamente le tecniche di polarizzazione dei transistori PMOS sono identiche a quelle utilizzate per i transistori NMOS. Negli esempi che seguono si è scelto di disegnare il transistor PMOS con il terminale di source in alto, coerentemente al fatto che il potenziale del terminale di source deve essere maggiore rispetto al drain. Le equazioni che descrivono il modello matematico del PMOS sono riassunte nel Paragrafo 4.3. Si rammenti che il verso convenzionale della corrente di drain risulta uscente dal terminale di drain, e la corrente I_D risulta pertanto positiva. D'altra parte, le tensioni V_{GS} e V_{DS} sono negative.

Esempio 4.4

RETE DI POLARIZZAZIONE A 4 RESISTORI PER IL TRANSISTORE PMOS

La rete a 4 resistori in Figura 4.31 presenta le stesse caratteristiche del circuito relativo al transistor NMOS descritto nell'Esempio 4.3. Come mostrato in Figura 4.31(a) si impiega una sola tensione di alimentazione V_{DD} per entrambi i circuiti di ingresso e uscita. Le resistenze R_1 e R_2 costituiscono un partitore di tensione. La resistenza R_S determina la corrente I_D , mentre la resistenza R_D determina la tensione V_{DS} .

PROBLEMA Si determini il punto di lavoro (I_D , V_{DS}) per il PMOS nel circuito a 4 resistori di Figura 4.31.

SOLUZIONE **Informazioni e dati noti:** È nota la topologia del circuito, con $V_{DD} = 10\text{V}$, $R_1 = 1\text{M}\Omega$, $R_2 = 1.5\text{M}\Omega$, $R_D = 75\text{k}\Omega$, $R_S = 39\text{k}\Omega$, $K_p = 25 \mu\text{A}/\text{V}^2$, $V_{TP} = -1\text{V}$ e $I_G = 0$.

Incognite: I_D , V_{DS} , V_{GS} e la regione di funzionamento.

Approccio: Possiamo determinare il punto di lavoro utilizzando il modello matematico del PMOS. Assumeremo che il dispositivo si trovi in una determinata regione di funzionamento, analizzeremo il circuito per determinare il punto di lavoro, e infine verificheremo se l'ipotesi iniziale risulta corretta. Determineremo dapprima V_{GS} , quindi I_D , e infine V_{DS} .

Ipotesi: Assumendo che il transistor si trovi nella regione di saturazione con $\lambda = 0$, la corrente di drain è data da:

$$I_D = \frac{K_p}{2} (V_{GS} - V_{TP})^2 \quad (4.66)$$

Analisi: Nel circuito equivalente riportato in Figura 4.31(b) il generatore di tensione è stato diviso in due generatori di tensione identici; applicando il teorema di Thévenin il circuito risulta trasformato nel circuito di Figura 4.31(c), dove:⁴

$$V_{EQ} = 10 \text{ V} \frac{1.5 \text{ M}\Omega}{1 \text{ M}\Omega + 1.5 \text{ M}\Omega} = 6 \text{ V} \quad \text{e} \quad R_{EQ} = 1 \text{ M}\Omega \parallel 1.5 \text{ M}\Omega = 600 \text{ k}\Omega$$

Si osservi che in questo circuito si è considerata la rappresentazione a tre terminali del MOSFET, assumendo che il terminale di substrato sia collegato a quello di source. Se il terminale di substrato fosse collegato alla tensione V_{DD} sarebbe necessario tener conto dell'effetto body, e l'analisi sarebbe simile a quella riportata nell'Esempio 4.2.

Per determinare la tensione V_{GS} scriviamo l'equazione relativa alla maglia di ingresso:

$$V_{DD} = I_S R_S - V_{GS} + I_G R_G + V_{EQ} \quad (4.67)$$

Essendo $I_G = 0$ si ha $I_D = I_S$, e la (4.67) diventa:

$$V_{DD} - V_{EQ} = I_D R_S - V_{GS} \quad (4.68)$$

Sostituendo la (4.66) nella (4.68) otteniamo un'equazione quadratica nell'incognita V_{GS} :

$$V_{DD} - V_{EQ} = \frac{K_p R_S}{2} (V_{GS} - V_{TP})^2 - V_{GS} \quad (4.69)$$

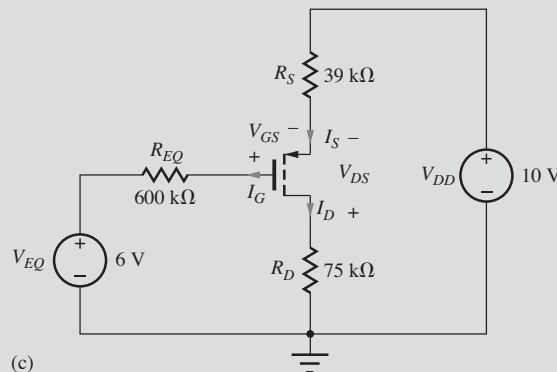
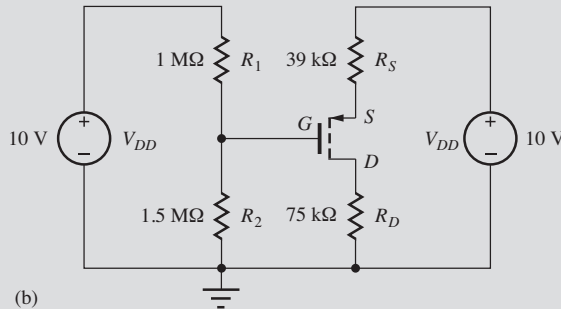
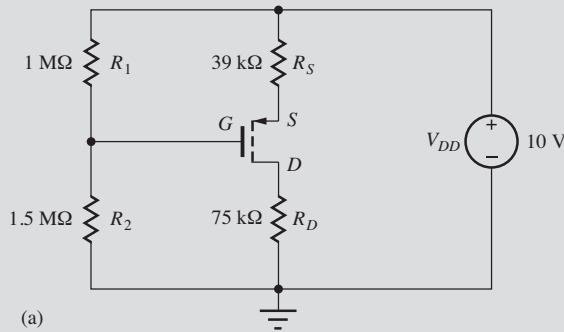


Figura 4.31
Rete di polarizzazione a quattro resistori per il transistore PMOS.

⁴ Si sarebbe potuto calcolare l'equivalente Thévenin riferito all'alimentazione positiva, ottenendo una forma più semplice per la (4.67) [N.d.C.].

Sostituendo i valori riportati in Figura 4.31 e assumendo $V_{TP} = -1$ V e $K_p = 25 \mu\text{A}/\text{V}^2$, si ha:

$$10 \text{ V} - 6 \text{ V} = \frac{(25 \mu\text{A}/\text{V}^2)(39 \text{ k}\Omega)}{2} (V_{GS} + 1 \text{ V})^2 - V_{GS}$$

e quindi

$$V_{GS}^2 - (0.051 \text{ V}) V_{GS} - 7.21 \text{ V}^2 = 0 \quad \text{da cui } V_{GS} = +2.71 \text{ V}, -2.66 \text{ V}$$

In corrispondenza della soluzione positiva $V_{GS} = +2.71$ V il PMOS risulta interdetto, essendo $V_{GS} > V_{TP} (= -1 \text{ V})$. La soluzione corretta è quindi $V_{GS} = -2.66$ V; sostituendo tale valore nella (4.66) si ottiene la corrente di drain:

$$I_D = \frac{25 \mu\text{A}/\text{V}^2}{2} (-2.66 \text{ V} + 1 \text{ V})^2 = 34.4 \mu\text{A}$$

Per completare l'analisi del punto di lavoro scriviamo l'equazione relativa alla maglia di uscita, ricordando che risulta $I_S = I_D$:

$$V_{DD} = I_S R_S - V_{DS} + I_D R_D \quad \text{ovvero} \quad V_{DD} = I_D (R_S + R_D) - V_{DS} \quad (4.70)$$

Sostituendo i valori relativi al circuito in esame otteniamo:

$$10 \text{ V} = (34.4 \mu\text{A})(39 \text{ k}\Omega + 75 \text{ k}\Omega) - V_{DS} \quad \text{ovvero} \quad V_{DS} = -6.08 \text{ V}$$

Verifica dei risultati: Risulta:

$$V_{DS} = -6.08 \text{ V} \quad \text{e} \quad V_{GS} - V_{TP} = -2.66 \text{ V} + 1 \text{ V} = -1.66 \text{ V}$$

da cui si vede che $|V_{DS}| \geq |V_{GS} - V_{TP}|$. L'ipotesi iniziale di funzionamento in regione di saturazione è quindi verificata e il punto di lavoro è dato da $(34.4 \mu\text{A}, -6.08 \text{ V})$, con $V_{GS} = -2.66 \text{ V}$.

Discussione: Come osservato nell'Esempio 4.1 la stabilizzazione del punto di lavoro è dovuta alla retroazione presente nel circuito. Infatti, se I_D aumentasse, essendo V_{EQ} fissa si avrebbe una diminuzione in modulo di V_{GS} (Equazione 4.68) e questa riduzione tenderebbe a ripristinare il valore originale della corrente di drain.

ESERCIZIO Si determini il punto di lavoro nel circuito di Figura 4.31 assumendo $R_S = 62 \text{ k}\Omega$.

RISPOSTA $(25.4 \mu\text{A}, -6.52 \text{ V})$.

ESERCIZIO (a) Si impieghi SPICE per determinare il punto di lavoro nel circuito di Figura 4.30. (b) Si ripeta la simulazione assumendo $R_S = 62 \text{ k}\Omega$. (c) Si ripetano le parti (a) e (b) assumendo $\lambda = 0.02 \text{ V}^{-1}$.

RISPOSTE (a) $(34.4 \mu\text{A}, -6.08 \text{ V})$; (b) $(25.4 \mu\text{A}, -6.52 \text{ V})$; (c) $(35.9 \mu\text{A}, -5.91 \text{ V})$, $(26.3 \mu\text{A}, -6.39 \text{ V})$.

Riferimenti bibliografici

- [1] U.S. Patent 1,900,018. Si vedano anche 1,745,175 e 1,877,140.
- [2] International Roadmap for Devices and Systems, <https://irds.ieee.org/>
- [3] C. Mead e L. Conway, *Introduction to VLSI Systems*, Addison Wesley, Reading, Massachusetts: 1980.
- [4] J.E. Meyer, "MOS models and circuit simulations," *RCA Review*, vol. 32, pp. 42-63, marzo 1971.
- [5] B.M. Wilamowski e R.C. Jaeger, *Computerized Circuit Analysis Using SPICE Programs*, McGraw-Hill, New York: 1997.
- [6] R.H. Dennard, F.H. Gaensslen, L. Kuhn e H.N. Yu, "Design of micron MOS switching devices," *IEEE IEDM Digest*, pp. 168-171, dicembre 1972.
- [7] R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous e A.R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *IEEE J. Solid-State Circuits*, vol. SC-9, no. 5, pp. 256-268, ottobre 1974.
- [8] J.M. Rabaey, A. Chandrakasan e B. Nikolic. *Digital Integrated Circuits*, seconda ed., Prentice Hall, New Jersey: 2005.

Il transistor bipolare a giunzione

5

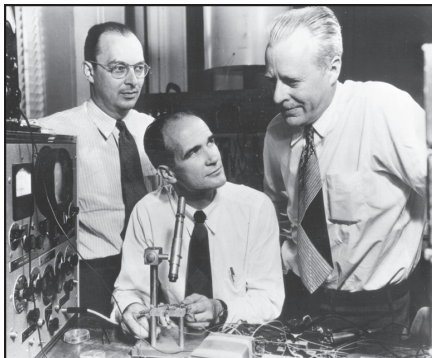
Obiettivi

- Descrivere la struttura fisica del transistor bipolare.
- Illustrare il principio di funzionamento e l'importanza del trasporto dei portatori minoritari nella regione di base.
- Studiare le caratteristiche del transistor ai terminali.
- Illustrare la differenza tra i dispositivi *npn* e *pnp*.
- Ricavare il modello del trasporto del transistor bipolare.
- Definire le quattro regioni di funzionamento del BJT.
- Illustrare le semplificazioni del modello per le diverse regioni di funzionamento.
- Descrivere l'origine dell'effetto Early e illustrarne il modello.
- Presentare il modello SPICE del BJT.
- Illustrare esempi relativi all'analisi del caso peggiore e all'analisi Monte Carlo per le reti di polarizzazione.

Novembre 2017 ha segnato il settantesimo anniversario della scoperta del transistor bipolare fatta da John Bardeen e Walter Brattain presso i Bell Laboratories. Nel giro di pochi mesi, William Shockley sviluppò la teoria del funzionamento del transistor bipolare a giunzione. Solo pochi anni dopo, nel 1956, Bardeen, Brattain e Shockley furono insigniti del premio Nobel per la Fisica per la scoperta del transistor.

Nel giugno 1948 i Bell Labs indissero una importante conferenza stampa per annunciare la scoperta (che ovviamente passò inosservata da parte del grande pubblico). Nel 1952 i Bell Labs resero disponibili le licenze per la realizzazione dei transistor per la modesta cifra di 25 000 dollari (più il pagamento di futuri diritti di sfruttamento). Nello stesso periodo Gordon Teal, un altro

membro del gruppo di dispositivi allo stato solido, lasciò i Bell Labs per lavorare allo sviluppo del transistor presso la Geophysical Services Inc., che in seguito divenne Texas Instruments (TI). Presso la TI egli sviluppò il primo transistor bipolare in silicio e in seguito la stessa TI propose sul mercato la prima radio interamente a transistori. Un'altra industria che iniziò a investire sullo sviluppo dei transistori fu la Tokyo Tsushin Kogyo, che nel 1955 divenne la Sony. Sony iniziò la commercializzazione di radio a transistori con una strategia di mercato basata sull'idea di rendere disponibile a ognuno la sua radio personale: iniziò in questo modo il mercato di massa per i dispositivi a transistor. Un resoconto molto interessante di questi e di altri sviluppi è disponibile in [1, 2] e nei riferimenti in essi contenuti.



John Bardeen, William Shockley e Walter Brattain nel laboratorio di Brattain (1948).
[Riproduzione autorizzata da Alcatel-Lucent USA Inc.]



Il primo transistor in germanio.
[Riproduzione autorizzata da Alcatel-Lucent USA Inc.]

Successivamente alla sua invenzione da parte di Bardeen, Brattain e Shockley e alla presentazione ai Bell Labs alla fine degli anni Quaranta, il **transistore bipolare a giunzione (BJT)** è stato il primo dispositivo a stato solido a tre terminali a godere di un ampio successo commerciale; i motivi di tale successo sono legati alla struttura del dispositivo, in quanto la sua regione attiva, collocata nella regione di base, è situata all'interno del dispositivo stesso ed è quindi meno sensibile alla presenza dei difetti che si formano nelle regioni superficiali. Per tale motivo era più semplice realizzare transistori bipolari anziché transistori MOS. I primi transistori bipolari furono commercializzati verso la fine degli anni Cinquanta. All'inizio degli anni Sessanta furono realizzati i primi circuiti integrati: porte logiche con resistori e transistori, e amplificatori operazionali contenenti alcuni transistori e resistori.

Anche se il MOSFET rappresenta la tecnologia dominante nei moderni circuiti integrati, i transistori bipolari sono tuttora ampiamente utilizzati nei circuiti analogici discreti e integrati. In particolare, il transistore bipolare è il dispositivo preferito in molte applicazioni in cui è richiesta un'elevata velocità oppure elevata precisione. Esempi di tali applicazioni sono i sistemi di comunicazione wireless. La tecnologia bipolare silicio-germanio (SiGe) rappresenta la tecnologia a maggior velocità di funzionamento per la realizzazione di circuiti trasmettitori su silicio.

Il transistore bipolare è costituito da una successione di tre regioni di semiconduttore drogato e presenta due varianti: il transistore *nnp* e il transistore *pnnp*. Il funzionamento del transistore è basato sul trasporto dei *portatori minoritari*, per diffusione e deriva, nella regione centrale, cioè nella base, del dispositivo. Poiché gli elettroni hanno mobilità e diffusività maggiore rispetto alle lacune, le prestazioni del transistore *nnp* sono naturalmente migliori rispetto a un dispositivo *pnnp*. Nella Parte III di questo testo, dedicata ai circuiti analogici, vedremo che il transistore bipolare presenta un guadagno di tensione superiore a quello dei MOSFET. D'altra parte, la resistenza di ingresso del BJT è molto più bassa, ed è necessario fornire una corrente continua di polarizzazione all'elettrodo di ingresso.

Il nostro studio del BJT ha inizio con l'analisi del transistore *nnp*, in seguito estesa al dispositivo *pnnp*. Si mostrerà la derivazione del **modello del trasporto**, una versione semplificata del modello di Gummel e Poon che sarà utilizzata come modello matematico per il funzionamento del BJT. Saranno quindi definite le quattro regioni di funzionamento del dispositivo e verranno sviluppati modelli semplificati per ciascuna di esse. Presenteremo infine alcuni esempi di circuiti che possono essere utilizzati per la polarizzazione del transistore bipolare. Il capitolo si chiude con un'analisi di caso peggiore e un'analisi Monte Carlo degli effetti delle tolleranze dei dispositivi sui circuiti di polarizzazione.

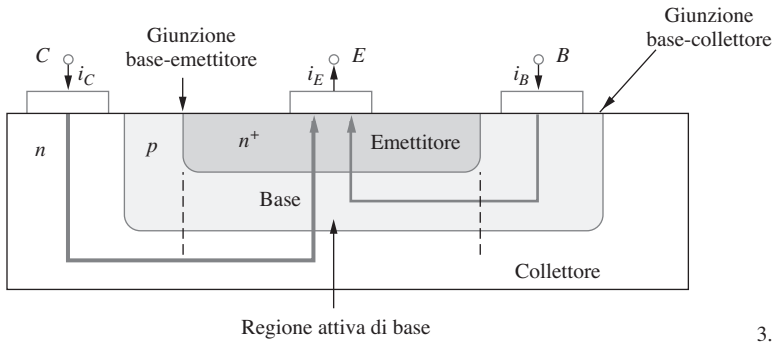
5.1 Struttura del transistore bipolare a giunzione

La struttura del transistore bipolare a giunzione consiste in una successione di tre regioni di materiale semiconduttore a drogaggio alternato di tipo *p* e *n*; tali regioni sono dette **emettitore** (E), **base** (B) e **collettore** (C) del transistore. La base è sempre drogata in maniera opposta alle altre due regioni. Si possono quindi realizzare transistori *nnp* oppure *pnnp*. Il funzionamento del dispositivo può essere compreso prendendo in considerazione la sezione trasversale del transistore *nnp* mostrata in Figura 5.1(a). Nella condizione di funzionamento normale, che come vedremo è quella di polarizzazione attiva diretta, la maggior parte della corrente entra nel terminale di collettore, attraversa la regione di base, ed esce dal terminale di emettitore. Una piccola corrente entra dal terminale di base, ed esce dal terminale di emettitore.

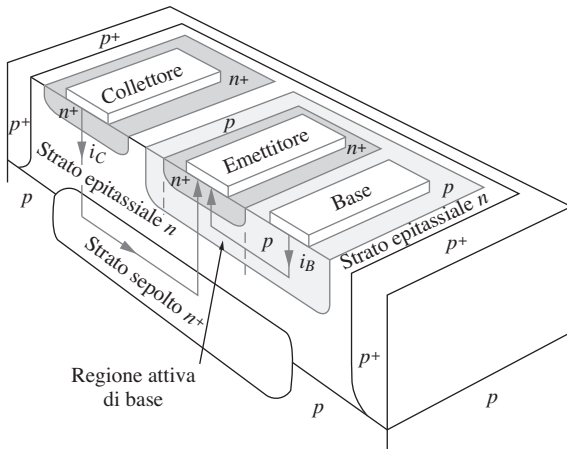
La parte più importante del transistore bipolare è la regione di base, situata al di sotto della regione molto drogata (n^+) di emettitore, e compresa tra le linee tratteggiate in Figura 5.1(a). Il flusso di portatori in questa regione definisce le caratteristiche i - v del BJT.

La Figura 5.1(b) mostra la complessa struttura di un transistore *nnp* realizzato in un circuito integrato. Una porzione considerevole della struttura mostrata in Figura 5.1(b) è destinata alla realizzazione dei contatti esterni relativi alle regioni di emettitore, base e collettore, e all'isolamento del transistore dai dispositivi adiacenti.

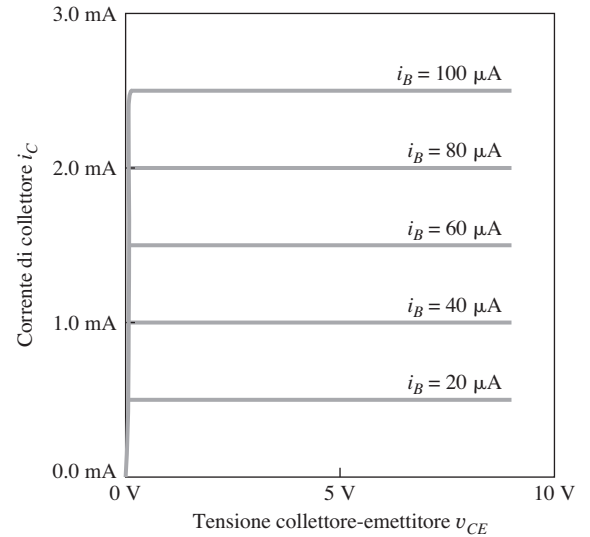
Nel transistore *nnp* mostrato in figura le correnti di collettore i_C e di base i_B entrano rispettivamente nei terminali di collettore (C) e di base (B), mentre la corrente di emettitore



(a)



(b)



(c)

Figura 5.1

(a) Vista in sezione di un transistor *npn*, in cui è indicato il verso delle correnti nelle condizioni di funzionamento normale (polarizzazione attiva diretta). (b) Sezione trasversale di un transistor bipolare *npn* per circuiti integrati. (c) Caratteristiche di uscita di un transistor *npn*.

i_E esce dal terminale di emettitore (E). La Figura 5.1(c) mostra un esempio di **caratteristiche di uscita** del transistor bipolare, in cui la corrente di collettore i_C viene riportata in funzione della tensione collettore-emettitore v_{CE} , per diversi valori della corrente di base i_B . Le caratteristiche $i-v$ hanno un aspetto molto simile alle caratteristiche di uscita di un transistor a effetto di campo (MOSFET). Osserviamo tuttavia una differenza fondamentale: una corrente significativa deve essere fornita alla base del transistor bipolare, mentre la corrente d'ingresso al terminale di gate di un MOSFET è nulla in condizioni stazionarie. Nei paragrafi che seguono svilupperemo un modello matematico delle caratteristiche $i-v$ del transistor bipolare sia *npn* sia *pnp*.

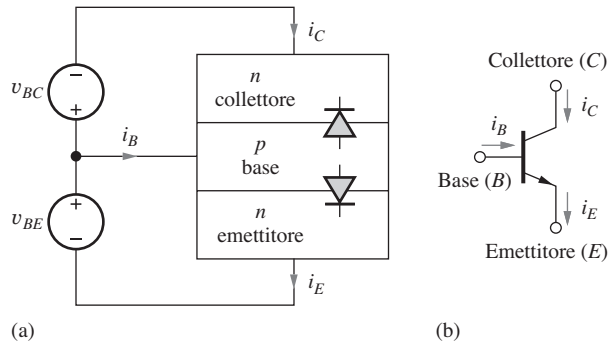
5.2 Il modello del trasporto del transistor *npn*

La Figura 5.2 mostra una schematizzazione del transistor bipolare *npn*. A prima vista il BJT sembra costituito semplicemente da due giunzioni *pn* collegate tra loro con l'anodo in comune (*back to back*). La base che separa le due giunzioni è molto sottile (da 0.1 μm a 100 μm), e determina l'interazione delle due giunzioni. Questa interazione è il fenomeno fisico che sta alla base del funzionamento del transistor bipolare: la regione *n* dell'emettitore inietta elettroni nella regione *p* della base; quasi tutti gli elettroni iniettati attraversano la stretta regione di base, e vengono estratti (o raccolti) dalla regione *n* del collettore.

La tensione base-emettitore v_{BE} e la tensione base-collettore v_{BC} applicate alle due giunzioni *pn* in Figura 5.2 determinano le correnti nel transistor bipolare e se positive polarizzano direttamente le due giunzioni. Le correnti ai tre terminali sono la **corrente di collettore** i_C , la **corrente di emettitore** i_E , e la **corrente di base** i_B . La tensione base emettitore v_{BE} e base collettore v_{BC} applicate alle due giunzioni *pn* di Figura 5.2 determinano l'intensità delle tre correnti del transistor bipolare. Queste due tensioni sono definite positive quando polarizzano in modo diretto le rispettive giunzioni *pn*. Le frecce indicano il verso

Figura 5.2

(a) Struttura idealizzata di un transistor *npn* in condizione di polarizzazione generale.
 (b) Simbolo circuitale del transistor *npn*.



convenzionale delle correnti, che coincide anche con la direzione positiva delle correnti nella maggior parte delle applicazioni circuitali con transistori *npn*. Il simbolo circuitale per il transistor *npn* è mostrato in Figura 5.2(b), in cui la freccia identifica il terminale di emettitore e indica il verso della corrente nelle condizioni di polarizzazione diretta della giunzione base-emettitore del transistor *npn*.

5.2.1 Caratteristiche in condizioni di funzionamento diretto

Le equazioni che descrivono le caratteristiche *i-v* statiche del dispositivo possono essere costruite utilizzando il principio della sovrapposizione per le correnti all'interno della struttura del dispositivo polarizzato di Figura 5.2(a), facendo agire un solo generatore di tensione alla volta.¹ In Figura 5.3 applichiamo solo una tensione arbitraria v_{BE} alla giunzione base-emettitore, mentre annulliamo con un cortocircuito la tensione applicata alla giunzione base-collettore. La tensione base-emettitore determina la corrente di emettitore i_E , che rappresenta la corrente totale che attraversa la giunzione base-emettitore. Questa corrente consta di due componenti.

La componente maggiore è data dalla **corrente diretta di trasporto** i_F che entra nel terminale di collettore, attraversa la sottile regione di base, ed esce dal terminale di emettitore. La corrente di collettore i_C è pari a i_F , che ha la stessa forma della corrente del diodo ideale:

$$i_C = i_F = I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] \quad (5.1)$$

Il parametro I_S rappresenta la **corrente di saturazione del transistor**, che è proporzionale all'area della sezione trasversale della regione attiva di base, e può assumere valori compresi in un ampio intervallo:

$$1 \text{ aA} \leq I_S \leq 1 \text{ nA}$$

Si noti che nell'Equazione (5.1) il termine V_T rappresenta la tensione termica introdotta nel Capitolo 2, pari a $V_T = kT/q \approx 25 \text{ mV}$ a temperatura ambiente.

Oltre alla corrente i_F una seconda componente di corrente attraversa la giunzione base-emettitore, ed è molto minore rispetto a i_F . Questa componente proviene dal terminale di base, e risulta direttamente proporzionale alla corrente i_F :

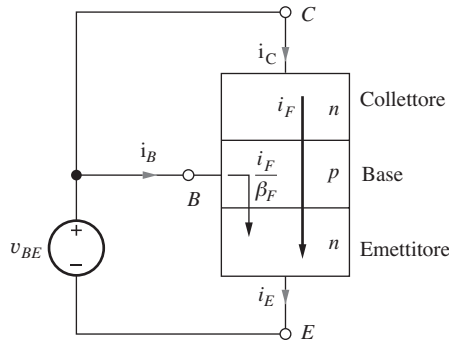
$$i_B = \frac{i_F}{\beta_F} = \frac{I_S}{\beta_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] \quad (5.2)$$

Il parametro β_F è detto **guadagno di corrente diretto (o normale)² a emettitore comune**, e assume valori tipicamente compresi nell'intervallo:

$$10 \leq \beta_F \leq 500$$

¹ Le equazioni differenziali che descrivono i fenomeni fisici interni del BJT sono equazioni lineari del secondo ordine. Queste equazioni sono lineari rispetto alle concentrazioni dei portatori minoritari; poiché le correnti sono legate alle concentrazioni dei portatori, è possibile applicare il metodo della sovrapposizione alle componenti di corrente che fluiscono nel dispositivo.

² Talvolta si utilizza il simbolo β_N per indicare il guadagno di corrente diretto a emettitore comune.

**Figura 5.3**

Transistore *npn* con tensione base-emettitore v_{BE} diversa da zero, e $v_{BC} = 0$.

La corrente di emettitore i_E può essere calcolata applicando la legge di Kirchhoff per le correnti:

$$i_C + i_B = i_E \quad (5.3)$$

Sommando le Equazioni (5.1) e (5.2) si ottiene:

$$i_E = \left(I_S + \frac{I_S}{\beta_F} \right) \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] \quad (5.4)$$

che può essere riscritta nella forma

$$i_E = I_S \left(\frac{\beta_F + 1}{\beta_F} \right) \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] = \frac{I_S}{\alpha_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] \quad (5.5)$$

Il parametro α_F è detto **guadagno di corrente diretto** (o **normale**)³ **a base comune**, e assume valori tipicamente compresi nell'intervallo:

$$0.9 \leq \alpha_F < 0.998$$

I parametri β_F e α_F sono legati dalle relazioni:

$$\alpha_F = \frac{\beta_F}{\beta_F + 1} \quad \text{oppure} \quad \beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (5.6)$$

Le Equazioni (5.1), (5.2) e (5.5) esprimono le caratteristiche fondamentali del transistor bipolare. Le tre correnti ai terminali sono legate alla tensione base-emettitore da una relazione esponenziale; questa dipendenza è più marcatamente non lineare della dipendenza di tipo quadratico che caratterizza i MOSFET.

Per le condizioni di polarizzazione di Figura 5.3 il transistor si trova in una regione di funzionamento detta **regione attiva diretta**,⁴ che verrà analizzata in maggiore dettaglio nel Paragrafo 5.9. Nella regione attiva diretta sussistono due relazioni estremamente utili. La prima può essere ottenuta dal rapporto delle correnti di collettore e base. Dalle (5.1), (5.2) e (5.3) si ricava:

$$\frac{i_C}{i_B} = \beta_F \quad \text{ovvero} \quad i_C = \beta_F i_B \quad \text{e} \quad i_E = (\beta_F + 1) i_B \quad (5.7)$$

La seconda relazione si ottiene dal rapporto delle correnti di collettore ed emettitore:

$$\frac{i_C}{i_E} = \alpha_F \quad \text{ovvero} \quad i_C = \alpha_F i_E \quad (5.8)$$

dove si sono utilizzate le (5.1) e (5.5). La (5.7) esprime una proprietà importante e utile del transistor bipolare: il transistor "amplifica" la corrente di base secondo il fattore β_F . Poiché il guadagno di corrente β_F è molto maggiore di 1, l'iniezione di una piccola corrente nella base del transistor produce una corrente molto maggiore sia al terminale di collettore che a quello di emettitore. L'equazione (5.8) indica invece che le correnti di emettitore e collettore sono quasi uguali, dal momento che $\alpha_F \approx 1$.

³ Talvolta si utilizza il simbolo α_N per indicare il guadagno di corrente diretto a base comune.

⁴ Le quattro regioni di funzionamento sono definite in maniera precisa nel Paragrafo 5.7.

5.2.2 Caratteristiche in condizioni di funzionamento inverso

Si consideri il transistor mostrato in Figura 5.4, per il quale facciamo agire solo la tensione v_{BC} applicata alla giunzione base-collettore mentre la giunzione base-emettitore è questa volta a polarizzazione nulla. La tensione base-collettore determina la corrente di collettore i_C . La maggior parte della corrente di collettore, la **corrente inversa di trasporto** i_R , entra nel terminale di emettitore, attraversa la regione di base, ed esce dal terminale di collettore. La corrente i_R assume una forma simile a quella di i_F :

$$i_R = I_S \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad \text{e} \quad i_E = -i_R \quad (5.9)$$

in cui la tensione che controlla la corrente è v_{BC} .

Anche in questo caso esiste una seconda componente di corrente che attraversa la giunzione base-collettore. Questa componente proviene dal terminale di base, e risulta direttamente proporzionale alla corrente i_R :

$$i_B = \frac{i_R}{\beta_R} = \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad (5.10)$$

Il parametro β_R è detto **guadagno di corrente inverso a emettitore comune**.⁵

Nel Capitolo 4 abbiamo visto che il MOSFET è un dispositivo simmetrico. Le Equazioni (5.1) e (5.9) mostrano che nel caso del transistor bipolare la simmetria sussiste per la corrente che attraversa la regione di base. La differenza tra i drogaggi di emettitore e collettore determina tuttavia una asimmetria significativa per la corrente di base che fluisce nel modo di funzionamento diretto e in quello inverso. Per dispositivi tipici, il guadagno diretto e inverso assumono valori compresi negli intervalli

$$0 < \beta_R \leq 10 \quad \text{mentre} \quad 10 \leq \beta_F \leq 500$$

La corrente di collettore nella Figura 5.4 può essere ottenuta dall'espressione delle correnti di base e collettore in maniera simile all'Equazione (5.5):

$$i_C = -\frac{I_S}{\alpha_R} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad (5.11)$$

in cui il parametro α_R è detto **guadagno di corrente inverso a base comune**.⁶

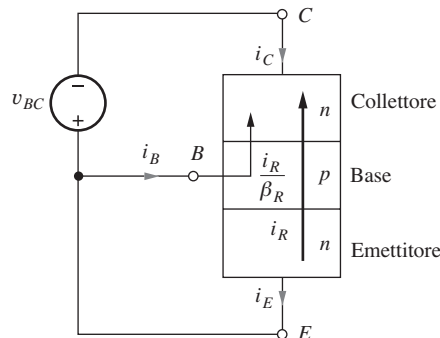
$$\alpha_R = \frac{\beta_R}{\beta_R + 1} \quad \text{oppure} \quad \beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (5.12)$$

Valori tipici per α_R sono compresi nell'intervallo

$$0 < \alpha_R \leq 0.9$$

La Tabella 5.1 mostra un confronto tra i valori per il guadagno di corrente a base comune α e del guadagno di corrente a emettitore comune β . Poiché α_F è usualmente maggiore di 0.95, il guadagno β_F può essere abbastanza elevato. Valori compresi tra 10 e 500 sono tipici

Figura 5.4
Transistore *npn* polarizzato con tensione base-collettore v_{BC} diversa da zero, e $v_{BE} = 0$.



⁵ Talvolta si utilizza il simbolo β_I per indicare il guadagno di corrente inverso a emettitore comune.

⁶ Talvolta si utilizza il simbolo α_I per indicare il guadagno di corrente inverso a base comune.

Tabella 5.1 Confronto tra i guadagni di corrente a emettitore comune e a base comune

α_F oppure α_R	$\beta_F = \frac{\alpha_F}{1 - \alpha_F}$ oppure $\beta_R = \frac{\alpha_R}{1 - \alpha_R}$
0.1	0.11
0.5	1
0.9	9
0.95	19
0.99	99
0.998	499

per β_F , benché sia possibile realizzare transistori per applicazioni speciali⁷ con valori del guadagno β_F fino a 5000 mentre per transistori di potenza ad alta tensione il guadagno di corrente β_F può scendere fino a 5. Il guadagno di corrente α_R è invece tipicamente inferiore a 0.5, il che corrisponde a valori di β_R inferiori a 1.

ESERCIZIO (a) Quali valori di β corrispondono ad $\alpha = 0.970, 0.993, 0.250$? (b) Quali valori di α corrispondono a $\beta = 40, 200, 3$?

RISPOSTE (a) 32.3; 142; 0.333. (b) 0.976; 0.995; 0.750.

5.2.3 Il modello del trasporto completo in condizioni arbitrarie di polarizzazione

Dalle espressioni delle correnti di collettore [Equazioni (5.1) e (5.11)], emettitore [Equazioni (5.4) e (5.9)] e base [Equazioni (5.2) e (5.10)] relative ai modi di funzionamento diretto e inverso, si ricavano le espressioni delle correnti totali ai terminali per un transistor npn in condizioni arbitrarie di polarizzazione (Figura 5.2):

$$\begin{aligned}
 i_C &= I_S \left[\exp\left(\frac{v_{BE}}{V_T}\right) - \exp\left(\frac{v_{BC}}{V_T}\right) \right] - \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \\
 i_E &= I_S \left[\exp\left(\frac{v_{BE}}{V_T}\right) - \exp\left(\frac{v_{BC}}{V_T}\right) \right] + \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] \\
 i_B &= \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right]
 \end{aligned} \quad (5.13)$$

Da questo sistema di equazioni si vede che sono necessari tre parametri per caratterizzare un dato dispositivo: I_S , β_F e β_R (si noti che anche la temperatura è un parametro importante in quanto $V_T = kT/q$, e I_S dipende fortemente dalla temperatura).

Il termine che appare in entrambe le espressioni della corrente di collettore ed emettitore nelle (5.13) è dato da

$$i_T = I_S \left[\exp\left(\frac{v_{BE}}{V_T}\right) - \exp\left(\frac{v_{BC}}{V_T}\right) \right] \quad (5.14)$$

che rappresenta la corrente trasportata attraverso la regione di base del transistor. La (5.14) mostra la simmetria che esiste tra le tensioni base-emettitore e base-collettore nel definire la corrente principale del dispositivo.

Il modello basato sulle Equazioni (5.13) prende il nome di **modello del trasporto**, ed è in realtà una versione semplificata del più complesso **modello di Gummel-Poon** [3, 4] che forma il nucleo del modello utilizzato nel programma di simulazione SPICE. Il modello di Gummel-Poon completo descrive in modo accurato le caratteristiche del BJT in un ampio intervallo di funzionamento, e ha ampiamente sostituito il **modello di Ebers-Moll** [5], proposto precedentemente (si veda il Problema 5.23).

Rispetto alle singole caratteristiche in funzionamento diretto (Paragrafo 5.2.1) e inverso (Paragrafo 5.2.2), il vantaggio del modello del trasporto completo è che può essere usato per determinare le correnti nel transistor bipolare in qualsiasi condizione di polarizzazione.

⁷ Questi dispositivi sono talvolta detti transistori "super-beta".

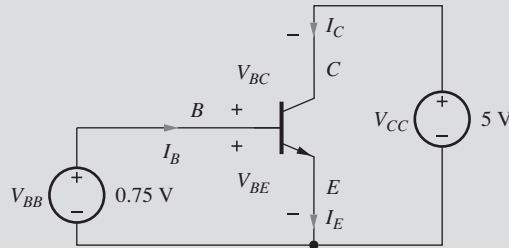
Esempio 5.1

CALCOLO DELLE CORRENTI DEL TRANSISTORE CON IL MODELLO DEL TRASPORTO

PROBLEMA Si impieghino le equazioni del modello del trasporto per determinare le tensioni e le correnti ai terminali del circuito in Figura 5.5, in cui un transistor *npn* è polarizzato da due generatori di tensione.

Figura 5.5

Esempio di circuito con transistor *npn*: $I_S = 0.1 \text{ fA}$, $\beta_F = 50$, $\beta_R = 1$.



SOLUZIONE **Informazioni e dati noti:** Il transistor *npn* in Figura 5.5 è polarizzato da due generatori di tensione $V_{BB} = 0.75 \text{ V}$ e $V_{CC} = 5.0 \text{ V}$. I parametri del transistor sono $I_S = 0.1 \text{ fA}$, $\beta_F = 50$ e $\beta_R = 1$.

Incognite: Le tensioni V_{BE} e V_{BC} , la corrente di emettitore I_E , la corrente di collettore I_C , la corrente di base I_B .

Approccio: Si determineranno dapprima le tensioni dall'analisi del circuito. Le tensioni saranno quindi utilizzate per calcolare le correnti usando l'Equazione (5.13).

Ipotesi: Useremo il modello del trasporto per il calcolo delle correnti. Assumeremo inoltre funzionamento a temperatura ambiente con $V_T = 25.0 \text{ mV}$.

Analisi: Nel circuito in esame la tensione base-emettitore V_{BE} è pari alla tensione del generatore V_{BB} , mentre la tensione base-collettore è pari alla differenza tra V_{BB} e V_{CC} :

$$V_{BE} = V_{BB} = 0.75 \text{ V}$$

$$V_{BC} = V_{BB} - V_{CC} = 0.75 \text{ V} - 5.00 \text{ V} = -4.25 \text{ V}$$

Sostituendo queste tensioni nell'Equazione (5.13) e utilizzando i valori dei parametri sopra indicati otteniamo

$$i_C = 0.1 \text{ fA} \left[\exp\left(\frac{0.75 \text{ V}}{25 \text{ mV}}\right) - \exp\left(\frac{-4.25 \text{ V}}{25 \text{ mV}}\right) \right] - \frac{0.1 \text{ fA}}{1} \left[\exp\left(\frac{-4.25 \text{ V}}{25 \text{ mV}}\right) - 1 \right]$$

$$i_E = 0.1 \text{ fA} \left[\exp\left(\frac{0.75 \text{ V}}{25 \text{ mV}}\right) - \exp\left(\frac{-4.25 \text{ V}}{25 \text{ mV}}\right) \right] + \frac{0.1 \text{ fA}}{50} \left[\exp\left(\frac{0.75 \text{ V}}{25 \text{ mV}}\right) - 1 \right]$$

$$i_B = \frac{0.1 \text{ fA}}{50} \left[\exp\left(\frac{0.75 \text{ V}}{25 \text{ mV}}\right) - 1 \right] + \frac{0.1 \text{ fA}}{1} \left[\exp\left(\frac{-4.25 \text{ V}}{25 \text{ mV}}\right) - 1 \right]$$

da cui

$$I_C = 1.07 \text{ mA} \quad I_E = 1.09 \text{ mA} \quad I_B = 21.4 \text{ } \mu\text{A}$$

Verifica dei risultati: La somma delle correnti di collettore e di base è pari alla corrente di emettitore come richiesto dalla KCL. Inoltre i valori ottenuti per le correnti vanno dai microampere ai milliampere, che risultano valori ragionevoli per la maggior parte dei dispositivi.

Discussione: Si osservi che la giunzione collettore-base in Figura 5.5 è polarizzata inversamente, cosicché i termini contenenti V_{BC} risultano trascurabili. In questo esempio il transistor è polarizzato nella regione attiva diretta in cui si ha:

$$\beta_F = \frac{I_C}{I_B} = \frac{1.07 \text{ mA}}{21.4 \text{ } \mu\text{A}} = 50 \quad \text{e} \quad \alpha_F = \frac{I_C}{I_E} = \frac{1.07 \text{ mA}}{1.09 \text{ mA}} = 0.982$$

ESERCIZIO Si ripeta l'Esempio 5.1 assumendo $I_S = 1 \text{ fA}$, $\beta_F = 100$ e $\beta_R = 0.50$, $V_{BE} = 0.70 \text{ V}$ e $V_{CC} = 10 \text{ V}$.

RISPOSTE $I_C = 1.45 \text{ mA}$, $I_E = 1.46 \text{ mA}$, $I_B = 14.5 \text{ } \mu\text{A}$.

Nei Paragrafi 5.6-5.12 definiremo in maniera precisa le quattro regioni di funzionamento del transistor bipolare e ricaveremo dei modelli semplificati per ciascuna regione.

5.3 Il transistor *pnp*

Il transistor *pnp* viene realizzato invertendo il tipo di drogaggio rispetto alla struttura *nnp*, come mostrato dalla Figura 5.6(a). Le frecce indicano la direzione normale della corrente nella maggior parte delle applicazioni circuitali. Le tensioni applicate alle due giunzioni *pn* sono la tensione emettitore-base v_{EB} e la tensione collettore-base v_{CB} . Anche in questo caso le tensioni positive polarizzano direttamente le rispettive giunzioni *pn*. La corrente di collettore i_C e la corrente di base i_B escono dai terminali, mentre la corrente di emettitore i_E entra nel dispositivo. Il simbolo circuitali è mostrato nella Figura 5.6(b); la freccia identifica l'emettitore ed è diretta secondo il verso della corrente nel caso di polarizzazione diretta della giunzione base-emettitore.

Le equazioni che descrivono le caratteristiche statiche i - v del transistor *pnp* possono essere costruite utilizzando il principio di sovrapposizione per le correnti interne al dispositivo, come visto per il transistor *nnp*. Nella Figura 5.7(a) la tensione v_{EB} è applicata alla giunzione emettitore-base, mentre la tensione collettore-base è pari a zero. La tensione emettitore-base stabilisce la corrente di trasporto diretta i_F che attraversa la regione di base e la corrente di base i_B che attraversa la giunzione emettitore-base del transistor:

$$\begin{aligned} i_C = i_F = I_S \left[\exp \left(\frac{v_{EB}}{V_T} \right) - 1 \right] \\ i_B = \frac{i_F}{\beta_F} = \frac{I_S}{\beta_F} \left[\exp \left(\frac{v_{EB}}{V_T} \right) - 1 \right] \end{aligned} \quad (5.15)$$

e

$$i_E = i_C + i_B = I_S \left(1 + \frac{1}{\beta_F} \right) \left[\exp \left(\frac{v_{EB}}{V_T} \right) - 1 \right]$$

Nella Figura 5.7(b) una tensione v_{CB} è applicata alla giunzione collettore-base, mentre la giunzione emettitore-base è questa volta a polarizzazione nulla. La tensione collettore-base stabilisce la corrente di trasporto inversa i_R e la corrente di base i_B :

$$\begin{aligned} -i_E = i_R = I_S \left[\exp \left(\frac{v_{CB}}{V_T} \right) - 1 \right] \\ i_B = \frac{i_R}{\beta_R} = \frac{I_S}{\beta_R} \left[\exp \left(\frac{v_{CB}}{V_T} \right) - 1 \right] \\ i_C = -I_S \left(1 + \frac{1}{\beta_R} \right) \left[\exp \left(\frac{v_{CB}}{V_T} \right) - 1 \right] \end{aligned} \quad (5.16)$$

dove la corrente di collettore è data da $i_C = i_E - i_B$.

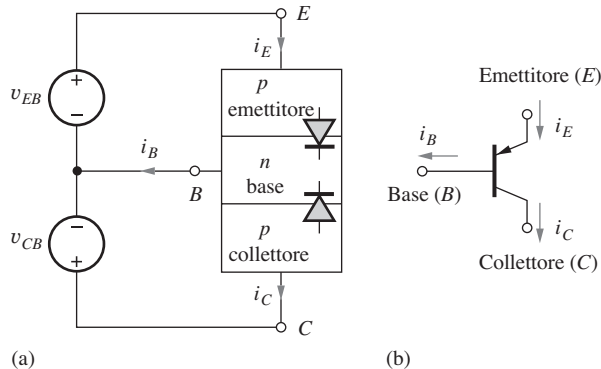
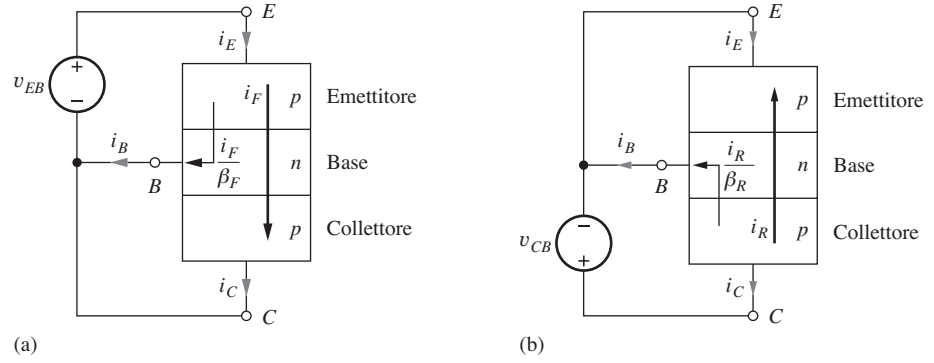


Figura 5.6

(a) Struttura idealizzata del transistor *pnp* con una polarizzazione generale. (b) Simbolo circuitali del transistor *pnp*.

Figura 5.7

(a) Transistore *pnp* con tensione v_{EB} applicata e $v_{CB} = 0$.
 (b) Transistore *pnp* con tensione v_{CB} applicata e $v_{EB} = 0$.



Per il caso delle polarizzazioni arbitrarie di Figura 5.6, dalle Equazioni (5.15) e (5.16) si ottengono le correnti totali di collettore, emettitore e base del transistore *pnp*:

$$\begin{aligned}
 i_C &= I_S \left[\exp\left(\frac{v_{EB}}{V_T}\right) - \exp\left(\frac{v_{CB}}{V_T}\right) \right] - \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right] \\
 i_E &= I_S \left[\exp\left(\frac{v_{EB}}{V_T}\right) - \exp\left(\frac{v_{CB}}{V_T}\right) \right] + \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right] \\
 i_B &= \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right]
 \end{aligned} \quad (5.17)$$

Analogamente alle Equazioni (5.13), valide per il transistore *nnp*, le Equazioni (5.17) rappresentano il modello semplificato di Gummel-Poon, o modello del trasporto, del transistore *pnp*, e possono essere utilizzate per stabilire una relazione tra le tensioni e le correnti ai terminali del dispositivo in condizioni di polarizzazioni arbitrarie. Si noti che queste equazioni sono identiche a quelle che descrivono il transistore *nnp*, a eccezione del fatto che v_{EB} e v_{CB} prendono rispettivamente il posto di v_{BE} e v_{BC} . La forma delle equazioni è il risultato della scelta oculata del verso convenzionale delle correnti nelle Figure 5.2 e 5.6.

ESERCIZIO Si determinino I_C , I_E e I_B per un transistore *pnp* caratterizzato da $I_S = 0.1$ fA, $\beta_F = 75$, $\beta_R = 0.40$, $V_{EB} = 0.75$ e $V_{CB} = +0.70$ V.

RISPOSTE $I_C = 0.563$ mA, $I_E = 0.938$ mA, $I_B = 0.376$ mA.

5.4 Rappresentazioni circuitali del modello del trasporto

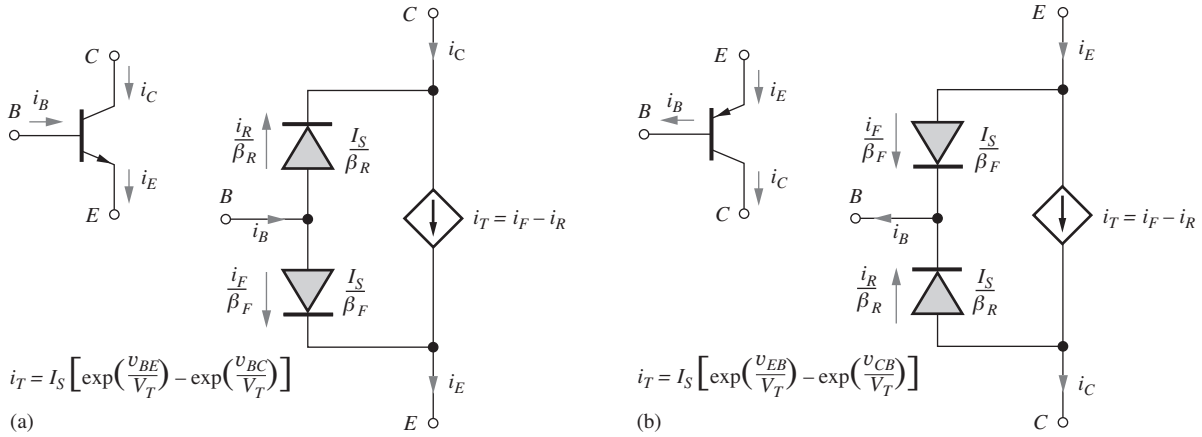
Nelle simulazioni circuitali e nelle analisi manuali le equazioni del modello del trasporto per i transistori *nnp* e *pnp* possono essere rappresentate dai circuiti equivalenti riportati nelle Figure 5.8(a) e (b). Nel modello del transistore *nnp* di Figura 5.8(a) la corrente totale di trasporto i_T che attraversa la base è determinata dai valori di I_S , v_{BE} e v_{BC} , ed è rappresentata da un generatore di corrente i_T :

$$i_T = i_F - i_R = I_S \left[\exp\left(\frac{v_{BE}}{V_T}\right) - \exp\left(\frac{v_{BC}}{V_T}\right) \right] \quad (5.18)$$

Le correnti relative ai diodi corrispondono alle due componenti della corrente di base:

$$i_B = \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad (5.19)$$

Considerazioni del tutto analoghe riguardano gli elementi circuitali del modello del transistore *pnp* mostrato in Figura 5.8(b).



ESERCIZIO Si determinino i_T per $I_S = 1$ fA, $V_{BE} = 0.75$ V e $V_{BC} = -2.0$ V.

RISPOSTA 10.7 mA.

ESERCIZIO Si determini i_T per il transistor dell'Esempio 5.1.

RISPOSTA 1.07 mA.

Figura 5.8

(a) Circuito equivalente relativo al modello del trasporto del transistor *nnp*.
(b) Circuito equivalente relativo al modello del trasporto del transistor *pnp*.

5.5 Il modello di Ebers-Moll (argomento avanzato)

Un modello molto utilizzato nel passato è il modello sviluppato da J.J. Ebers e J.L. Moll nei primi anni Cinquanta [5], che fornisce una rappresentazione alternativa al modello del trasporto descritto nel Paragrafo 5.2. Anche il modello di Ebers-Moll può essere sviluppato utilizzando la sovrapposizione delle correnti in polarizzazione diretta e inversa.

5.5.1 Caratteristiche del transistor *nnp* in polarizzazione diretta

La corrente totale che attraversa la giunzione emettitore-base in polarizzazione diretta nella Figura 5.3 è descritta dall'Equazione (5.5), che può essere riscritta nella forma

$$i_E = \frac{I_S}{\alpha_F} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] = I_{ES} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] \quad \text{dove } I_{ES} = \frac{I_S}{\alpha_F} \quad (5.20)$$

in cui il nuovo parametro I_{ES} rappresenta la corrente di saturazione inversa del diodo base-emettitore.

La corrente di collettore nell'Equazione (5.1) può essere riscritta in termini del parametro I_{ES} nella forma:

$$i_C = I_S \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] = \alpha_F I_{ES} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] \quad (5.21)$$

Il guadagno di corrente a base comune α_F rappresenta la frazione della corrente di emettitore che attraversa la base e giunge al terminale di collettore.

5.5.2 Caratteristiche del transistor in polarizzazione inversa

Nel caso di polarizzazione inversa mostrato in Figura 5.4, la corrente che attraversa la giunzione collettore-base è descritta dall'Equazione (5.11), che può essere riscritta nella forma:

$$i_C = -\frac{I_S}{\alpha_R} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] = -I_{CS} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad \text{dove } I_{CS} = \frac{I_S}{\alpha_R} \quad (5.22)$$

Il nuovo parametro I_{CS} rappresenta la corrente di saturazione inversa del diodo base-collettore. La corrente di emettitore data dalla (5.9) può essere riscritta in termini per parametro I_{CS} come:

$$i_E = -I_S \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] = -\alpha_R I_{CS} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad (5.23)$$

Il guadagno di corrente a base comune α_R rappresenta la frazione della corrente di collettore che attraversa la base e giunge al terminale di emettitore.

5.5.3 Il modello di Ebers-Moll del transistor *npn*

Le equazioni complete del modello di Ebers-Moll si ottengono combinando le Equazioni (5.20)-(5.23):

$$\begin{aligned} i_E &= I_{ES} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] - \alpha_R I_{CS} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \\ i_C &= \alpha_F I_{ES} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] - I_{CS} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \end{aligned} \quad (5.24)$$

Questo modello contiene quattro parametri I_{ES} , I_{CS} , α_F e α_R . Dalle definizioni dei parametri I_{ES} e I_{CS} , possiamo ottenere una importante relazione ausiliaria:

$$\alpha_F I_{ES} = \alpha_R I_{CS} \quad (5.25)$$

L'Equazione (5.25) mostra che vi sono solo tre parametri indipendenti nel modello di Ebers-Moll, così come nel modello del trasporto. La corrente di base $i_B = i_E - i_C$ risulta

$$i_B = (1 - \alpha_F) I_{ES} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] + (1 - \alpha_R) I_{CS} \left[\exp\left(\frac{v_{BC}}{V_T}\right) - 1 \right] \quad (5.26)$$

che è equivalente all'Equazione (5.13).

5.5.4 Il modello di Ebers-Moll del transistor *pnp*

Le equazioni per il transistor *pnp* possono essere ricavate in modo analogo:

$$\begin{aligned} i_E &= I_{ES} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right] - \alpha_R I_{CS} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right] \\ i_C &= \alpha_F I_{ES} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right] - I_{CS} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right] \\ i_B &= (1 - \alpha_F) I_{ES} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right] + (1 - \alpha_R) I_{CS} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right] \end{aligned} \quad (5.27)$$

Si osservi che verso delle correnti e delle tensioni del transistor *pnp* è opposto rispetto al caso del transistor *npn* come mostrato in Figura 5.6.

5.5.5 Rappresentazioni circuitali equivalenti per il modello di Ebers-Moll

Le rappresentazioni circuitali del modello di Ebers-Moll sono state implementate in diversi programmi di simulazione circuitale. I circuiti equivalenti di Ebers-Moll per i transistori *npn* e *pnp* sono mostrati nelle Figure 5.9(a) e 5.9(b). Le correnti dei diodi i_F e i_R dipendono rispettivamente dalle tensioni v_{BE} e v_{BC} applicate alle giunzioni base-emettitore e base-collettore, come mostrato dalle Equazioni (5.20) e (5.22). I generatori di corrente controllati rappresentano le frazioni delle correnti dei diodi che attraversano la regione di base del dispositivo.

ESERCIZIO Si determinino i valori di α_F , α_R , I_{ES} e I_{CS} , nel caso del transistor dell'Esempio 5.1. Si mostri che $\alpha_F I_{ES} = \alpha_R I_{CS}$.

RISPOSTE 0.980; 0.500; 102 aA; 200 aA; 100 aA = 100 aA.

ESERCIZIO Si ricavano le equazioni del modello di Ebers-Moll per il transistor *pnp*.

RISPOSTE Si vedano le (5.27).

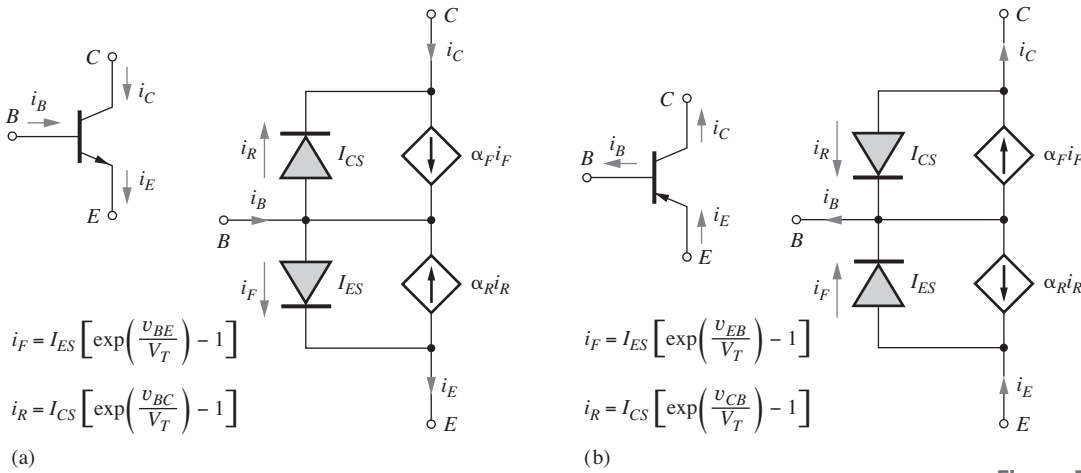


Figura 5.9

Rappresentazione circuitale del modello di Ebers-Moll per il transistor *npn* (a) e *pnp* (b).

5.6 Caratteristiche i - v del transistor bipolare

Il comportamento del BJT è rappresentato completamente dalle **caratteristiche di uscita** e **caratteristiche di trasferimento** (ricordiamo che simili caratteristiche sono state presentate nel Capitolo 4 per i MOSFET). Le caratteristiche di uscita rappresentano la relazione tra la corrente di collettore e la tensione collettore-emettitore oppure tra la corrente di collettore e la tensione collettore-base del transistor; le caratteristiche di trasferimento fanno riferimento invece alla relazione tra la corrente di collettore e la tensione base-emettitore. La conoscenza di entrambe le caratteristiche i - v è fondamentale per la comprensione del comportamento del transistor bipolare.

5.6.1 Caratteristiche di uscita

La Figura 5.10 mostra i circuiti per la misura oppure per la simulazione delle **caratteristiche di uscita a emettitore comune** (l'emettitore è comune alle maglie di ingresso e di uscita) per un BJT *npn* e per un BJT *pnp*. In questi circuiti la base del transistor è pilotata da un generatore di corrente costante, e le caratteristiche di uscita rappresentano il grafico di i_C in funzione di v_{CE} per il transistor *npn* (ovvero i_C in funzione di v_{EC} per il transistor *pnp*) utilizzando la corrente di base i_B come parametro. Osserviamo che il punto di lavoro, identificato dalla coppia di valori (I_C, V_{CE}) [oppure (I_C, V_{EC}) nel *pnp*], è rappresentato da un punto nelle caratteristiche di uscita.

Consideriamo dapprima il funzionamento del transistor *npn* per $v_{CE} \geq 0$, rappresentato dal primo quadrante del grafico in Figura 5.11. Per $i_B = 0$ il transistor è interdetto, mentre per valori di i_B maggiori di zero la corrente i_C aumenta con i_B . Per $v_{CE} \geq v_{BE}$ il transistor *npn* si trova nella regione attiva diretta, e la corrente di collettore è indipendente da v_{CE} , ed è approssimativamente pari a $i_C \approx \beta_F i_B$. Per $v_{CE} \leq v_{BE}$ il transistor entra nella regione di saturazione, in cui la tensione tra i terminali di collettore ed emettitore assume valori ridotti.

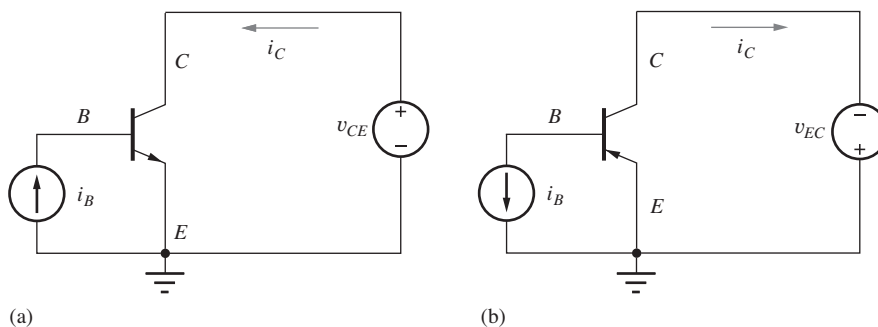
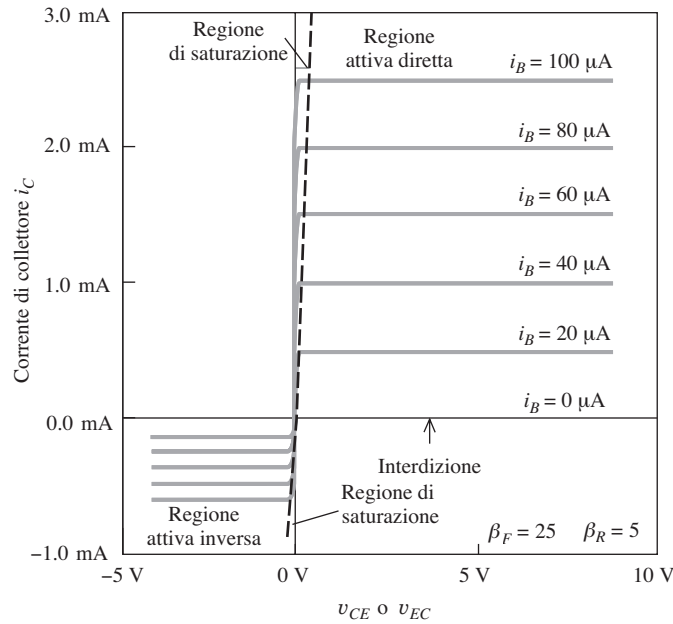


Figura 5.10

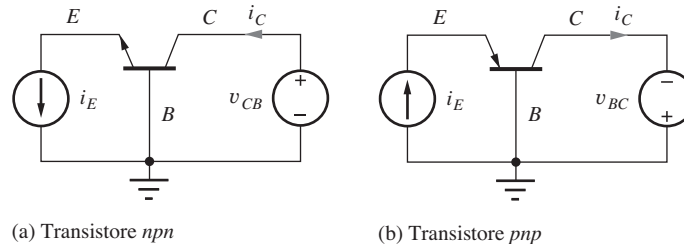
Circuiti per la determinazione delle caratteristiche di uscita a emettitore comune: (a) transistor *npn*, (b) transistor *pnp*.

Figura 5.11

Caratteristiche di uscita a emettitore comune per il transistor bipolare (i_C in funzione di v_{CE} per il transistor *nnp*; i_C in funzione di v_{EC} per il transistor *pnnp*).

**Figura 5.12**

Circuiti per la determinazione delle caratteristiche di uscita a base comune.



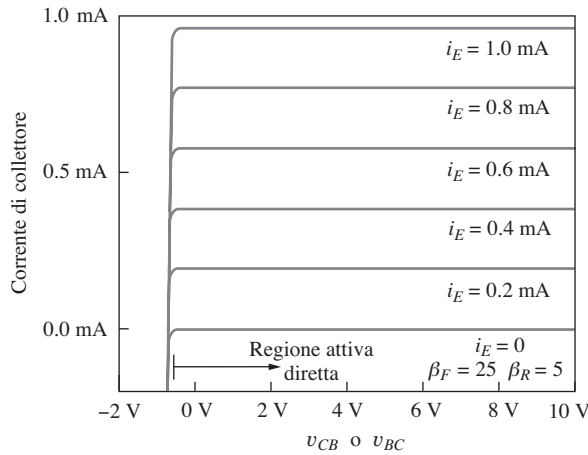
È importante osservare che la regione di saturazione del BJT non corrisponde alla regione di saturazione del MOSFET. Infatti, è la regione attiva diretta (o più semplicemente regione attiva) del BJT che corrisponde alla regione di saturazione del MOSFET. Per evitare ambiguità indicheremo come regione attiva per entrambi i dispositivi la regione più frequentemente utilizzata nelle applicazioni lineari in cui il transistor opera come amplificatore.

Nel terzo quadrante ($v_{CE} \leq 0$) i ruoli dell'emettitore e del collettore si invertono. Per $v_{CB} \leq v_{CE} \leq 0$ il transistor rimane in saturazione. Per $v_{CE} \leq v_{CB}$ il transistor entra nella **regione attiva inversa**, in cui le caratteristiche $i-v$ diventano nuovamente indipendenti da v_{CE} , e $i_C \approx -(\beta_R + 1) i_B$. Per migliorare la chiarezza del grafico le curve relative alla regione attiva inversa sono state riportate per un valore relativamente elevato del guadagno inverso a emettitore comune $\beta_R = 5$. Come abbiamo già osservato, il guadagno inverso β_R è spesso inferiore a 1.

Utilizzando le polarità definite nella Figura 5.10(b) per il transistor *pnnp*, le caratteristiche di uscita hanno forma identica a quelle mostrate in Figura 5.11, a eccezione del fatto che l'asse delle tensioni corrisponde alla tensione v_{EC} anziché v_{CE} . Si noti che il caso $i_B > 0$ e $i_C > 0$ corrisponde a correnti che escono dai terminali di base e collettore per il transistor *pnnp*.

La Figura 5.12 mostra i circuiti per la misura o la simulazione delle **caratteristiche di uscita a base comune** (la base è comune alle maglie di ingresso e di uscita dei transistori *nnp* e *pnnp*). In questi circuiti l'emettitore del transistor è pilotato da un generatore di corrente. Le caratteristiche di uscita rappresentano il grafico della corrente di collettore i_C in funzione della tensione v_{CB} per il transistor *nnp* (ovvero i_C in funzione di v_{BC} per il transistor *pnnp*), utilizzando i_E come parametro. Per $v_{CB} \geq 0$ il transistor in Figura 5.13 si trova nella regione attiva, sicché i_C risulta indipendente dalla tensione v_{CB} , e inoltre $i_C \approx i_E$, come si è visto poc'anzi. Per valori negativi di v_{CB} , la giunzione base-collettore diventa polarizzata direttamente, e la corrente di collettore cresce esponenzialmente (in direzione negativa), non appena la giunzione base-collettore entra in conduzione.

Utilizzando le polarità definite in Figura 5.12(b) per il transistor *pnnp*, le caratteristiche di uscita sono identiche a quelle mostrate in Figura 5.13, a eccezione dell'asse delle tensioni,

**Figura 5.13**

Caratteristiche di uscita a base comune del transistor bipolare (i_C in funzione di v_{CB} per il transistor npn ; i_C in funzione di v_{BC} per il transistor pnp).

che corrisponde alla tensione v_{BC} anziché v_{CB} . Ricordiamo ancora che il caso $i_B > 0$ e $i_C > 0$ corrisponde a correnti che escono dai terminali di emettitore e collettore del transistor pnp .

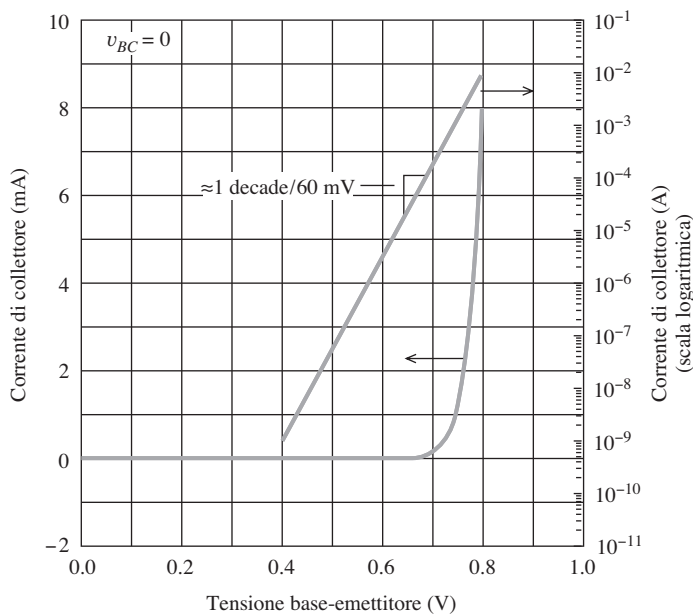
5.6.2 Caratteristiche di trasferimento

Le **caratteristiche di trasferimento a emettitore comune** del BJT rappresentano la relazione tra la corrente di collettore e la tensione base-emettitore del transistor. Un esempio relativo alle caratteristiche di trasferimento di un transistor npn è riportato in Figura 5.14 per il caso $v_{CB} = 0$, utilizzando sia scale lineari che semilogaritmiche.

La caratteristica corrente-tensione di trasferimento è praticamente identica a quella di un diodo a giunzione; questa circostanza può anche essere espressa matematicamente ponendo $v_{BC} = 0$ nell'espressione della corrente di collettore (5.13):

$$i_C = I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] \quad (5.28)$$

A causa della dipendenza esponenziale espressa dalla (5.28), il grafico con scale semilogaritmiche mostra la stessa pendenza osservata per il diodo pn . È sufficiente una variazione di v_{BE} pari a solo 60 mV per produrre una variazione della corrente di collettore di un fattore dieci. Inoltre, analogamente al diodo a giunzione, per una fissata corrente di collettore la tensione base-emettitore di un BJT al silicio presenta un coefficiente di temperatura pari a $-1.8 \text{ mV}/^\circ\text{C}$ (si veda il Paragrafo 3.5).

**Figura 5.14**

Caratteristica di trasferimento del BJT nella regione attiva diretta.

ESERCIZIO A quale tensione base-emettitore corrisponde una corrente di collettore $I_C = 100 \mu\text{A}$ per un transistor *npn* a temperatura ambiente con $I_S = 0.1 \text{ fA}$? Si ripeta l'esercizio per il caso $I_C = 1 \text{ mA}$.

RISPOSTE $v_{BE} = 0.691 \text{ V}; 0.748 \text{ V}$.

5.7 Regioni di funzionamento del transistor bipolare

Ciascuna delle giunzioni *pn* del transistor bipolare può essere polarizzata direttamente oppure inversamente, sicché vi sono quattro possibili regioni di funzionamento, come mostrato nella Tabella 5.2.

Il punto di lavoro determina la regione di funzionamento del transistor ed è definito dal valore di due delle quattro possibili tensioni e correnti ai terminali del dispositivo, come per esempio (I_C, V_{CE}) . Le caratteristiche del transistor differiscono significativamente nelle quattro regioni di funzionamento e, al fine di semplificare l'analisi circuitale, è necessario poter fare una stima ragionevole della regione di funzionamento in cui si trova a lavorare il BJT.

Quando entrambe le giunzioni sono polarizzate inversamente, il transistor non è attraversato da correnti apprezzabili (**regione di interdizione** o **cut off**) e può essere assimilato a un circuito aperto.

Se entrambe le giunzioni sono polarizzate direttamente, il transistor si trova nella **regione di saturazione**,⁸ e si comporta in modo simile a un cortocircuito. Le regioni di interdizione e di saturazione (regioni con il fondino grigio nella Tabella 5.2) sono per esempio utilizzate per la rappresentazione dei due stati della logica binaria nei circuiti digitali realizzati con BJT. Per esempio, la commutazione tra queste due regioni di funzionamento si verifica nei circuiti digitali TTL (transistor-transistor logic).

Nella **regione attiva diretta** (anche detta **regione attiva normale** o semplicemente **zona attiva**) la giunzione base-emettitore è polarizzata direttamente, mentre la giunzione base-collettore è polarizzata inversamente, e il BJT può fornire elevati guadagni di tensione, di corrente e di potenza. Nei circuiti analogici il transistor è tipicamente polarizzato in regione attiva diretta in modo da ottenere eccellenti caratteristiche di amplificazione. Nelle logiche ECL (*Emitter-Coupled Logic*), i circuiti digitali bipolari più veloci, la commutazione del transistor avviene tra la regione di interdizione e la regione attiva diretta.

Nella **regione attiva inversa** la giunzione base-emettitore è inversamente polarizzata e la giunzione base-collettore è polarizzata direttamente. In questa regione il transistor presenta un basso guadagno di corrente, sicché la regione attiva inversa è raramente utilizzata.

Le equazioni del modello del trasporto descrivono il comportamento del transistor bipolare per qualsiasi combinazione delle tensioni e correnti ai terminali. La forma completa delle Equazioni (5.13) e (5.17) è tuttavia relativamente complessa. Nelle sezioni successive ricaveremo delle relazioni semplificate per ciascuna regione di funzionamento.

Il punto di lavoro (punto *Q*) del BJT è di norma individuato dalla coppia (I_C, V_{CE}) per il transistor *npn* e dalla coppia (I_C, V_{EC}) per il transistor *pn*p.

Tabella 5.2 Regioni di funzionamento del transistor bipolare

Giunzione Base-emettitore	Giunzione base-collettore	
	Polarizzazione diretta	Polarizzazione inversa
Polarizzazione diretta	Regione di saturazione (interruttore chiuso)	Regione attiva diretta (o normale) (buon amplificatore)
Polarizzazione inversa	Regione attiva inversa (scarsa amplificazione)	Regione di interdizione (interruttore aperto)

⁸ Ricordiamo che la regione di saturazione del BJT non corrisponde alla regione di saturazione del MOSFET. Questa infelice terminologia ha origini storiche e bisogna conviverci.

ESERCIZIO Si identifichi la regione di funzionamento corrispondente ai seguenti casi:

(a) Transistore *npn* con $V_{BE} = 0.75$ V e $V_{BC} = -0.70$ V. (b) Transistore *pnp* con $V_{CB} = 0.70$ V e $V_{EB} = 0.75$ V.

RISPOSTE Regione attiva diretta; regione di saturazione.

5.8 Forme semplificate del modello del trasporto

Come osservato in precedenza le equazioni del modello del trasporto descrivono il funzionamento del transistor bipolare per valori arbitrari delle tensioni applicate. Poiché il modello risulta alquanto complesso nella forma più generale, è utile ricavare delle forme semplificate per ciascuna delle quattro regioni di funzionamento del dispositivo.

5.8.1 Modello semplificato per la regione di interdizione

La regione di funzionamento più semplice è la regione di interdizione, in cui entrambe le giunzioni sono polarizzate inversamente. Nella regione di interdizione si ha quindi $v_{BE} \leq 0$ e $v_{BC} \leq 0$. Assumiamo inoltre

$$v_{BE} < -4 \frac{kT}{q} \quad \text{e} \quad v_{BC} < -4 \frac{kT}{q} \quad \text{dove} \quad -4 \frac{kT}{q} = -0.1 \text{ V}$$

In queste condizioni i termini esponenziali nelle (5.13) risultano trascurabili, sicché le equazioni del transistor *npn* polarizzato nella regione di interdizione possono essere scritte nella forma semplificata:

$$\begin{aligned} i_C &= I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) - \exp \left(\frac{v_{BC}}{V_T} \right) \right] - \frac{I_S}{\beta_R} \left[\exp \left(\frac{v_{BC}}{V_T} \right) - 1 \right] \\ i_E &= I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) - \exp \left(\frac{v_{BC}}{V_T} \right) \right] + \frac{I_S}{\beta_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] \\ i_B &= \frac{I_S}{\beta_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp \left(\frac{v_{BC}}{V_T} \right) - 1 \right] \end{aligned} \quad (5.29)$$

ovvero

$$i_C = + \frac{I_S}{\beta_R} \quad i_E = - \frac{I_S}{\beta_F} \quad i_B = - \frac{I_S}{\beta_F} - \frac{I_S}{\beta_R}$$

Nella regione di interdizione le correnti ai terminali (i_C , i_E e i_B) sono costanti, e tipicamente inferiori alla corrente di saturazione I_S del transistor. Il modello semplificato per il caso in esame è mostrato nella Figura 5.15(b). Si vede che in interdizione le correnti ai terminali sono date da correnti di perdita (*leakage currents*), che risultano trascurabili nella maggior parte dei casi e possono quindi essere poste pari a zero.

Si è soliti assumere che il transistor in condizioni di interdizione sia “spento” (off), con correnti ai terminali nulle, come mostrato dal modello circuitale con terminali aperti in Figura 5.15(c). La regione di interdizione rappresenta lo stato di “interruttore aperto” ed è frequentemente utilizzata come uno dei due stati logici nei circuiti digitali.

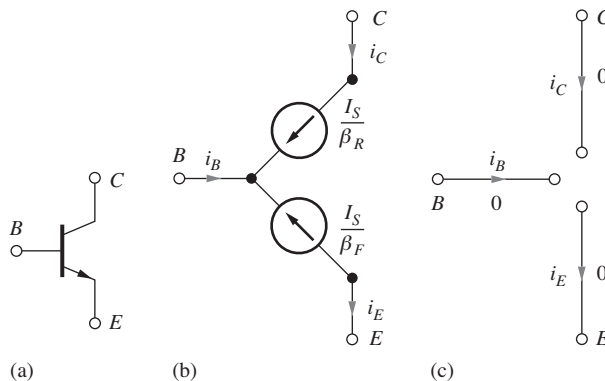


Figura 5.15

Modello del transistor in interdizione: (a) transistor *npn*, (b) modello con correnti di perdita costanti, (c) modello semplificato.

Esempio 5.2**BJT POLARIZZATO IN INTERDIZIONE**

PROBLEMA Si calcolino le correnti nel transistor di Figura 5.16 usando il modello semplificato di Figura 5.15, e si confrontino i risultati con quelli ottenuti utilizzando il modello del trasporto nella forma generale.

SOLUZIONE **Informazioni e dati noti:** I parametri riportati in figura sono $I_S = 0.1 \text{ fA}$, $\alpha_F = 0.95$, $\alpha_R = 0.25$, e inoltre $V_{BE} = 0 \text{ V}$, $V_{BC} = -5 \text{ V}$.

Incognite: I_E , I_B , I_C .

Approccio: Analizzeremo il transistor in Figura 5.16 usando dapprima il modello semplificato di Figura 5.15 e quindi il modello del trasporto.

Ipotesi: La tensione inversa di 5 V applicata alla giunzione base-collettore è molto maggiore di $4kT/q = 100 \text{ mV}$, cosicché è possibile semplificare i termini esponenziali contenenti V_{BC} .

Analisi: In questo circuito le tensioni $V_{BE} = 0$ e $V_{BC} = -5 \text{ V}$ sono in accordo con la definizione di regione di interdizione. Ci aspettiamo quindi che le correnti ai terminali risultino trascurabili. Se utilizziamo il modello a circuito aperto di Figura 5.15(c) le correnti I_C , I_E e I_B sono ovviamente nulle.

Per un calcolo più accurato delle correnti possiamo utilizzare le equazioni del modello del trasporto. Per il circuito di Figura 5.16 la tensione V_{BE} è nulla, mentre $V_{BC} \ll -4kT/q$. Pertanto le Equazioni (5.13) si scrivono:

$$I_C = I_S \left(1 + \frac{1}{\beta_R} \right) = \frac{I_S}{\alpha_R} = \frac{0.1 \text{ fA}}{0.25} = 0.4 \text{ fA}$$

$$I_E = I_S = 0.1 \text{ fA}$$

$$I_B = -\frac{I_S}{\beta_R} = -\frac{0.1 \text{ fA}}{\frac{1}{3}} = -0.3 \text{ fA}$$

Le correnti così calcolate sono molto piccole ma diverse da zero. Si noti in particolare che la corrente di base è diversa da zero, e che delle piccole correnti escono dai terminali di emettitore e di base del transistor.

Verifica dei risultati: Come verifica dei risultati si vede che la legge di Kirchhoff per le correnti risulta soddisfatta: $i_C + i_B = i_E$.

Discussione: Anche questo esempio mostra che l'accuratezza dei risultati dipende dalla complessità del modello [$(I_C, I_E, I_B) = (0, 0, 0)$ oppure [$(I_C, I_E, I_B) = (0.4 \text{ fA}, 0.1 \text{ fA}, -0.3 \text{ fA})$].

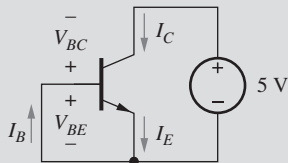
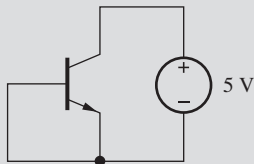


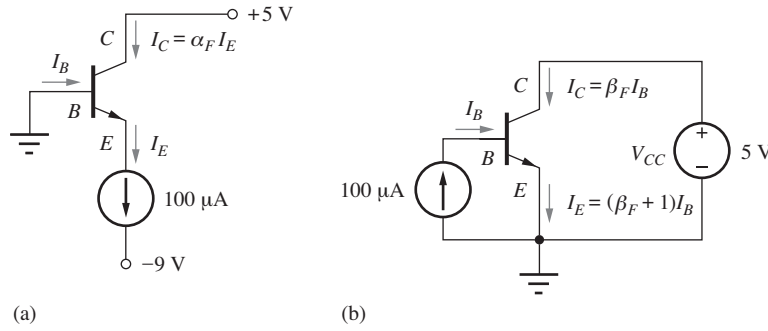
Figura 5.16
Transistore *nnp* polarizzato nella regione di interdizione (per i calcoli si assuma $I_S = 0.1 \text{ fA}$, $\alpha_F = 0.95$, $\alpha_R = 0.25$).

ESERCIZIO Si calcolino i valori delle correnti nel transistor di Figura 5.16 nei seguenti casi: (a) la tensione fornita dal generatore di tensione è pari a 10 V (b) la tensione base-emettitore è pari a -3 V .

RISPOSTE (a) I valori sono identici a quelli calcolati nell'Esempio 5.2; (b) 0.3 fA , 5.26 aA , -3.05 fA .

5.8.2 Modello semplificato per la regione attiva diretta

La regione attiva diretta è probabilmente la condizione di funzionamento più importante del BJT, in cui la giunzione base-emettitore è polarizzata direttamente, mentre la giunzione base-collettore è polarizzata inversamente. In questa regione il transistor presenta un elevato valore del guadagno di tensione, di corrente e di potenza, e può quindi essere utilizzato come amplificatore in applicazioni analogiche. Dalla Tabella 5.2 si vede la regione

**Figura 5.17**

Due transistori *nnp* operanti nella regione attiva (si assume $\alpha_F = 0.95$ e $I_S = 0.1 \text{ fA}$ per entrambi i dispositivi).

attiva diretta per un transistor *nnp* corrisponde a $v_{BE} \geq 0$ e $v_{BC} \leq 0$. Nella maggior parte dei casi risulta:

$$v_{BE} > 4 \frac{kT}{q} = 0.1 \text{ V} \quad \text{e} \quad v_{BC} < -4 \frac{kT}{q} = -0.1 \text{ V}$$

Possiamo quindi trascurare i termini esponenziali $\exp(-v_{BC}/V_T) \ll 1$ in modo analogo alle (5.29), otteniamo quindi:

$$\begin{aligned} i_C &= I_S \exp\left(\frac{v_{BE}}{V_T}\right) + \frac{I_S}{\beta_R} \\ i_E &= \frac{I_S}{\alpha_F} \exp\left(\frac{v_{BE}}{V_T}\right) + \frac{I_S}{\beta_F} \\ i_B &= \frac{I_S}{\beta_F} \exp\left(\frac{v_{BE}}{V_T}\right) - \frac{I_S}{\beta_F} - \frac{I_S}{\beta_R} \end{aligned} \quad (5.30)$$

Possiamo semplificare queste relazioni trascurando i termini che non contengono la funzione esponenziale, ottenendo le seguenti espressioni notevoli per le correnti del transistor in regione attiva diretta:

$$\begin{aligned} i_C &= I_S \exp\left(\frac{v_{BE}}{V_T}\right) \\ i_E &= \frac{I_S}{\alpha_F} \exp\left(\frac{v_{BE}}{V_T}\right) \\ i_B &= \frac{I_S}{\beta_F} \exp\left(\frac{v_{BE}}{V_T}\right) \end{aligned} \quad (5.31)$$

In queste equazioni appare evidente la dipendenza di tipo esponenziale tra le correnti ai terminali e la tensione v_{BE} . Nella regione attiva diretta tutte le correnti ai terminali hanno la stessa forma della corrente del diodo, e sono controllate dalla tensione base-emettitore, mentre risultano indipendenti dalla tensione base-collettore v_{BC} . La corrente di collettore può essere descritta da un generatore di corrente pilotato dalla tensione base-emettitore, e indipendente dalla tensione base-collettore.

Dal rapporto delle correnti espresse dalle (5.31) si ottengono due relazioni ausiliarie per la regione attiva diretta:

$$i_C = \alpha_F i_E \quad \text{e} \quad i_C = \beta_F i_B \quad (5.32)$$

Osservando che $i_E = i_B + i_C$, e utilizzando la (5.32), si ottiene un'ulteriore importante relazione:

$$i_E = (\beta_F + 1) i_B \quad (5.33)$$

I risultati relativi alle (5.32) e (5.33) possono essere utilizzati per l'analisi dei circuiti mostrati in Figura 5.17 come descritto negli esempi che seguono.

**NOTA PROGETTUALE****Regione attiva diretta del BJT**

Negli amplificatori lineari a BJT, il punto di lavoro è di norma situato nella regione attiva diretta. Il nostro modello DC della regione attiva diretta è molto semplice:

$$I_C = \beta_F I_B \quad \text{e} \quad I_E = (\beta_F + 1) I_B \quad \text{con} \quad V_{BE} \approx 0.7 \text{ V.}$$

Il funzionamento in regione attiva diretta richiede $V_{BE} > 0$ e $V_{CE} \geq V_{BE}$.

Esempio 5.3**POLARIZZAZIONE IN REGIONE ATTIVA CON CORRENTE DI EMETTITORE**

I generatori di corrente costante sono ampiamente usati per la polarizzazione dentro i circuiti integrati. Il generatore di Figura 5.17(a) fissa la corrente di polarizzazione del transistor.

PROBLEMA Si calcolino le correnti ai terminali e la tensione base-emettitore per il transistor di Figura 5.17(a) polarizzato con un generatore di corrente che fornisce la corrente di emettitore.

SOLUZIONE **Informazioni e dati noti:** I parametri riportati in figura sono $I_S = 0.1 \text{ fA}$, $\alpha_F = 0.95$. Inoltre dal circuito si vede che $V_{BC} = V_B - V_C = -5 \text{ V}$ e $I_E = 100 \text{ }\mu\text{A}$.

Incognite: I_C , I_B , V_{BE} .

Approccio: Si verificherà se il transistor risulta polarizzato in regione attiva, e si useranno le Equazioni (5.31)-(5.33) per calcolare le correnti e le tensioni.

Ipotesi: Funzionamento a temperatura ambiente con $V_T = 25.0 \text{ mV}$.

Analisi: Nel circuito di Figura 5.17(a) la corrente di emettitore $I_E = +100 \text{ }\mu\text{A}$ viene forzata da un generatore di corrente. Questa corrente produce una polarizzazione diretta della giunzione base-emettitore. Infatti, analizzando la (5.13), si vede che la tensione V_{BE} risulta positiva se la corrente di emettitore è positiva. Essendo $V_{BE} > 0$ e $V_{BC} < 0$, la condizione di funzionamento in regione attiva diretta risulta verificata. Le correnti di base e collettore possono essere determinate utilizzando le (5.32) e (5.33), con $I_E = 100 \text{ }\mu\text{A}$:

$$I_C = \alpha_F I_E = 0.95 \cdot 100 \text{ }\mu\text{A} = 95 \text{ }\mu\text{A}$$

Il guadagno di corrente β_F risulta

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} = \frac{0.95}{1 - 0.95} = 19 \quad \beta_F + 1 = 20$$

e inoltre

$$I_B = \frac{I_E}{\beta_F + 1} = \frac{100 \text{ }\mu\text{A}}{20} = 5 \text{ }\mu\text{A}$$

La tensione V_{BE} può essere calcolata dalla (5.31):

$$V_{BE} = V_T \ln \frac{\alpha_F I_E}{I_S} = (25 \text{ mV}) \ln \frac{0.95(100 \text{ }\mu\text{A})}{0.1 \text{ fA}} = 0.690 \text{ V}$$

Verifica dei risultati: Come verifica dei risultati si vede che la legge di Kirchhoff per le correnti risulta soddisfatta: $i_C + i_B = i_E$. Possiamo anche verificare il valore di V_{BE} usando le espressioni per i_C e i_B date dalle (5.31).

Discussione: Si vede che la maggior parte della corrente forzata nel terminale di emettitore, e uscente dal transistor, entra nel transistor come corrente di collettore. È questo il modo di funzionamento a base comune in cui $i_C = \alpha_F i_E$ con $\alpha_F \approx 1$.

ESERCIZIO Si calcolino i valori delle correnti e della tensione V_{BE} nel transistor di Figura 5.17(a) nei seguenti casi: (a) la tensione fornita dal generatore di tensione è pari a 10 V (b) il guadagno di corrente a emettitore comune è pari a 50.

RISPOSTE (a) I valori sono identici a quelli calcolati nell'Esempio 5.3; (b) 100 μA , 1.96 μA , 98.0 μA , 0.690 V.

POLARIZZAZIONE IN REGIONE ATTIVA CON CORRENTE DI BASE

Esempio 5.4

In Figura 5.17(b) un generatore di corrente polarizza il transistor in regione attiva diretta.

Si calcolino le correnti ai terminali e la tensione base-emettitore per il transistor di Figura 5.17(b) polarizzato con un generatore di corrente che fornisce la corrente di base.

PROBLEMA

Informazioni e dati noti: I parametri riportati in figura sono $I_S = 0.1 \text{ fA}$, $\alpha_F = 0.95$. Inoltre dal circuito si vede che $V_C = +5 \text{ V}$ e $I_B = 100 \mu\text{A}$.

SOLUZIONE

Incognite: I_C , I_E , V_{BE} , V_{BC} .

Approccio: Si verificherà che il transistor risulti polarizzato in regione attiva, e si useranno le Equazioni (5.31)-(5.33) per calcolare le correnti e le tensioni incognite.

Ipotesi: Funzionamento a temperatura ambiente con $V_T = 25.0 \text{ mV}$.

Analisi: Nel circuito di Figura 5.17(b) il generatore di corrente forza una corrente di base I_B pari a 100 μA . Questa corrente entra dal terminale di base ed esce dall'emettitore, polarizzando direttamente la giunzione base-emettitore. Ci aspettiamo quindi che le tensioni di polarizzazione assumano i valori $V_{BE} \approx 0.7 \text{ V}$, $V_{BC} = V_{BE} - 5 \text{ V} \approx -4.3 \text{ V}$. Pertanto le condizioni di polarizzazione soddisfano ancora una volta la definizione di regione attiva. Le correnti di emettitore e collettore possono essere quindi determinate ricorrendo alle (5.32) e (5.33) con $I_B = 100 \mu\text{A}$:

$$I_C = \beta_F I_B = 19 \cdot 100 \mu\text{A} = 1.90 \text{ mA}$$

$$I_E = (\beta_F + 1) I_B = 20 \cdot 100 \mu\text{A} = 2.00 \text{ mA}$$

La tensione V_{BE} può essere determinata dalla (5.31):

$$V_{BE} = V_T \ln \frac{I_C}{I_S} = (25 \text{ mV}) \ln \frac{1.9 \text{ mA}}{0.1 \text{ fA}} = 0.764 \text{ V}$$

$$V_{BC} = V_B - V_C = V_{BE} - V_C = 0.764 - 5 \text{ V} = -4.24 \text{ V}$$

Verifica dei risultati: Come verifica dei risultati si vede che la legge di Kirchhoff per le correnti risulta soddisfatta: $i_C + i_B = i_E$. Possiamo anche verificare il valore di V_{BE} usando le espressioni per i_E e i_B date dalle (5.31). Abbiamo anche verificato che le tensioni V_{BE} e V_{BC} soddisfano la definizione di regione attiva.

Discussione: Contrariamente al caso di Figura 5.17(a), nel circuito di Figura 5.17(b) si verifica un'elevata amplificazione di corrente in quanto la corrente di collettore è molto maggiore di quella forzata nel terminale di base.

ESERCIZIO Si calcolino i valori delle correnti ai terminali e della tensione V_{BE} nel transistor di Figura 5.17(b) nei seguenti casi: (a) la tensione fornita dal generatore di tensione è pari a 10 V (b) il guadagno di corrente a emettitore comune è pari a 50.

RISPOSTE (a) I valori sono identici a quelli calcolati nell'Esempio 5.4; (b) 5.00 mA, 100 μA , 5.10 mA, 0.789 V, -4.21 V.

ESERCIZIO Qual è il valore minimo di V_{CC} richiesto per mantenere il transistor polarizzato in regione attiva nel circuito di Figura 5.17(b)?

RISPOSTA $V_{BE} = 0.764 \text{ V}$.

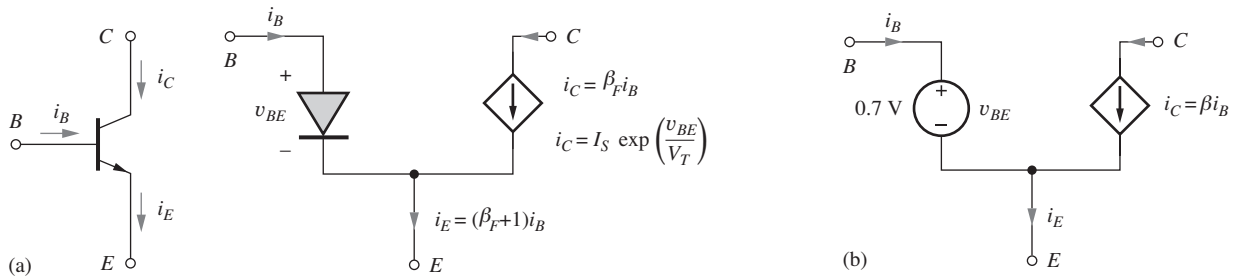


Figura 5.18 (a) Modello semplificato del transistor *npn* per la regione attiva diretta. (b) Modello ulteriormente semplificato del transistor *npn* per la regione attiva diretta.

Come mostrato nei semplici esempi sopra analizzati, le Equazioni (5.32) e (5.33) possono essere utilizzate per semplificare notevolmente l'analisi di circuiti che funzionano nella regione attiva diretta. È tuttavia importante ricordare che **le Equazioni (5.32) e (5.33) sono valide solo nella regione attiva diretta**.

Sulla base del risultato espresso dalla (5.32), si suole considerare il BJT come un dispositivo controllato in corrente. Dalle equazioni (5.31) si vede tuttavia che il funzionamento del transistor in regione attiva diretta è quello di un generatore di corrente non lineare controllato in tensione. La corrente di base deve essere considerata come una componente di corrente indesiderata che deve essere fornita al terminale di base affinché il transistor possa funzionare correttamente. In un transistor bipolare ideale il guadagno di corrente β_F sarebbe infinito, la corrente di base nulla, e le correnti di collettore ed emettitore uguali, analogamente al MOSFET. Sfortunatamente è impossibile realizzare un tale BJT.

Le Equazioni (5.31) giustificano il modello circuitale semplificato di Figura 5.18. La corrente relativa al diodo base-emettitore è amplificata secondo un fattore pari al guadagno di corrente a emettitore comune β_F , e appare al terminale di collettore. Si ricordi, tuttavia, che le correnti di base e collettore sono legate alla tensione base-emettitore da una relazione esponenziale. Poiché il diodo base-emettitore è polarizzato direttamente nella regione attiva diretta, il modello di transistor di Figura 5.18(a) può essere ulteriormente semplificato in quello mostrato in Figura 5.18(b), in cui il diodo viene rappresentato secondo il modello a caduta di tensione costante, pari in questo caso a $V_{BE} = 0.7$ V. In regione attiva diretta le tensioni relative ai terminali di base ed emettitore differiscono per una caduta di tensione di 0.7 V associata a tale diodo.

Esempio 5.5

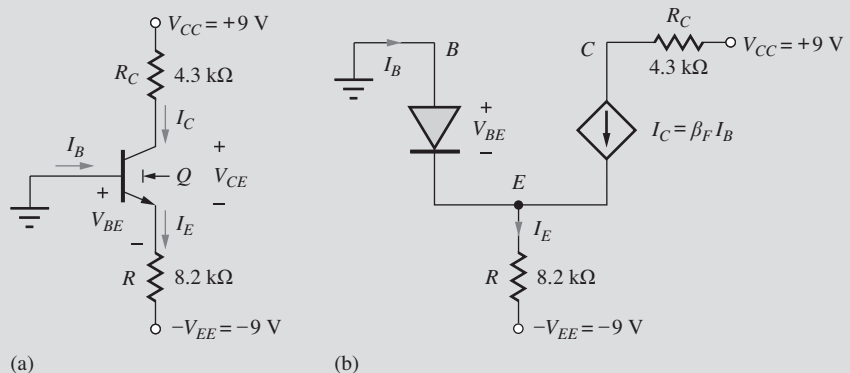
POLARIZZAZIONE IN REGIONE ATTIVA DIRETTA CON DUE GENERATORI DI TENSIONE

I circuiti analogici sono spesso alimentati con una tensione positiva e una negativa in modo da permettere le escursioni dei segnali. Nel circuito di Figura 5.19 si impiega un resistore e una tensione di -9 V in luogo del generatore di corrente del circuito di Figura 5.17(a).

PROBLEMA Si calcoli il punto di lavoro del transistor nel circuito di Figura 5.19.

Figura 5.19

(a) Esempio di circuito con transistor *npn* (si assuma $\beta_F = 50$ e $\beta_R = 1$).
(b) Modello semplificato per la regione attiva diretta.



Informazioni e dati noti: I parametri del transistor di Figura 5.19 sono $\beta_F = 50$ e $\beta_R = 1$. **SOLUZIONE**

Incognite: Il punto di lavoro (I_C , V_{CE}).

Approccio: In questo circuito la giunzione base-collettore è inversamente polarizzata dal generatore di tensione V_{CC} . Per effetto della combinazione del resistore e del generatore di tensione $-V_{EE}$ viene forzata una corrente che esce dal terminale di emettitore, polarizzando direttamente la giunzione base-emettitore. Il transistor sembra quindi polarizzato in regione attiva diretta.

Ipotesi: Assumiamo il transistor polarizzato in regione attiva diretta. Non essendo nota la corrente di saturazione I_S , assumeremo per V_{BE} un valore di 0.7 V, e il transistor può essere descritto dal modello approssimato di Figura 5.19(b).

Analisi: Le correnti possono essere determinate applicando la legge di Kirchhoff per le tensioni alla maglia di ingresso:

$$V_{BE} + 8.2 \text{ k}\Omega I_E - V_{EE} = 0$$

Essendo $V_{BE} = 0.7 \text{ V}$ si ha

$$0.7 \text{ V} + 8.2 \text{ k}\Omega I_E - 9 \text{ V} = 0 \quad \text{ovvero} \quad I_E = \frac{8.3 \text{ V}}{8.2 \text{ k}\Omega} = 1.01 \text{ mA}$$

Poiché $I_E = (\beta_F + 1)I_B$, otteniamo:

$$I_B = \frac{1.02 \text{ mA}}{50 + 1} = 19.8 \text{ }\mu\text{A} \quad \text{e} \quad I_C = \beta_F I_B = 0.990 \text{ mA}$$

Poiché le correnti sono positive, l'ipotesi di funzionamento in regione attiva diretta è corretta. La tensione collettore-emettitore è pari a:

$$V_{CE} = V_{CC} - I_C R_C - (-V_{BE}) = 9 \text{ V} - 0.990 \text{ mA}(4.3 \text{ k}\Omega) + 0.7 \text{ V} = 5.44 \text{ V}$$

Il punto di lavoro è quindi (0.990 mA, 5.4 V).

Verifica dei risultati: Possiamo verificare che la legge di Kirchhoff per le tensioni risulta soddisfatta lungo la maglia collettore-emettitore:

$$+9 \text{ V} - V_{RC} - V_{CE} - V_R - (-9 \text{ V}) = 9 \text{ V} - 4.3 \text{ V} - 5.4 \text{ V} - 8.3 \text{ V} + 9 \text{ V} = 0.$$

Inoltre, l'ipotesi in regione attiva diretta è soddisfatta in quanto la tensione V_{CE} è maggiore di $V_{BE} = 0.7 \text{ V}$. Anche la KCL è soddisfatta: $I_C + I_B = I_E$.

Discussione: In questo circuito si impiega un resistore e una tensione di -9 V in luogo del generatore di corrente del circuito di Figura 5.17(a).

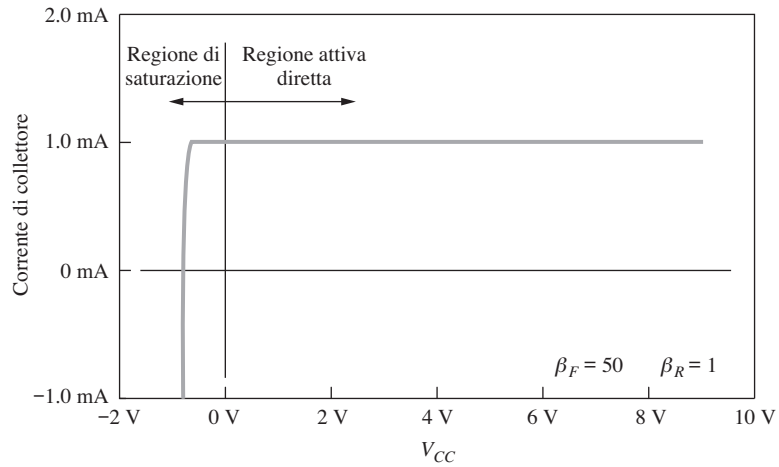
Analisi assistita da calcolatore: Come vedremo nel Paragrafo 5.11, il programma di simulazione SPICE dispone di un modello per il transistor bipolare. Utilizzando il modello di default, la simulazione SPICE fornisce un punto di lavoro in buon accordo con l'analisi manuale: (0.993 mA, 5.4 V).

ESERCIZIO (a) Si determini il punto di lavoro per il transistor in Figura 5.19 per una resistenza di 5.6 k Ω . (b) Qual è il valore di R necessario affinché la corrente sia pari a 100 μA ?

RISPOSTE (a) (1.45 mA, 3.5 V); (b) 82 k Ω .

La Figura 5.20 mostra i risultati della simulazione del circuito di Figura 5.19 in cui la corrente di collettore viene riportata in funzione della tensione di alimentazione V_{CC} . Per $V_{CC} > 0$ la giunzione base-collettore è polarizzata inversamente, e il transistor si trova nella regione attiva diretta. In questa regione di funzionamento il transistor è assimilabile a

Figura 5.20
Simulazione delle
caratteristiche di uscita del
circuito di Figura 5.23(a).



un generatore di corrente ideale che eroga una corrente pari a 1 mA, indipendentemente dalla tensione V_{CC} . Si osservi che in pratica il transistor si comporta come un generatore di corrente per valori di V_{CC} fino a circa -0.5 V. In base alla definizione di Tabella 5.2 il transistor si trova in saturazione per valori negativi di V_{CC} . In pratica il transistor entra nella piena regione di saturazione solo quando la giunzione base-collettore risulta significativamente polarizzata direttamente, ovvero per $V_{BC} \geq 0.5$ V.

ESERCIZIO Si determinino le correnti ai terminali nel transistor in Figura 5.19 per una resistenza di 5.6 k Ω al posto della resistenza di 8.2 k Ω .

RISPOSTE 1.48 mA, 29.1 μ A, 1.45 mA.

ESERCIZIO Si calcolino in modo accurato V_{BE} e V_{CE} nel circuito di Figura 5.19(a), assumendo $I_S = 0.5$ fA. (Si osservi come sia necessario ricorrere a un approccio iterativo.)

RISPOSTE 0.708 V, 5.44 V.

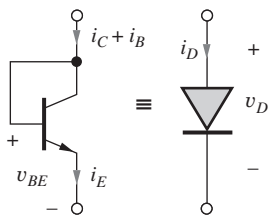


Figura 5.21
Transistore connesso come
diodo.

5.8.3 I diodi nei circuiti integrati bipolari

Nei circuiti integrati è spesso auspicabile che le caratteristiche dei diodi siano il più possibile simili a quelle dei transistori. Inoltre, l'area occupata da un diodo è circa uguale a quella di un transistor bipolare. Per questi motivi, usualmente i diodi sono realizzati connettendo i terminali di base e collettore dei transistori, come mostrato in Figura 5.21.

Utilizzando le equazioni del trasporto per queste condizioni ($v_{BC} = 0$) si ottiene l'equazione della corrente del diodo:

$$i_D = (i_C + i_B) = \left(I_S + \frac{I_S}{\beta_F} \right) \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] = \frac{I_S}{\alpha_F} \left[\exp \left(\frac{v_D}{V_T} \right) - 1 \right] \quad (5.34)$$

La corrente è descritta da un'equazione formalmente identica a quella del diodo, in cui la corrente di saturazione è determinata da parametri del transistor. Questa tecnica è sovente utilizzata sia nei circuiti analogici che in quelli digitali.

ESERCIZIO Qual è la corrente di saturazione equivalente del diodo di Figura 5.21 se il transistor è caratterizzato da $I_S = 20$ fA e $\alpha_F = 0.95$?

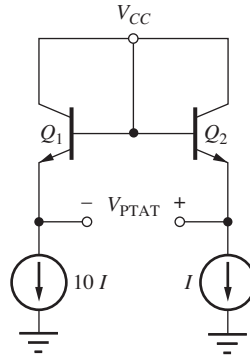
RISPOSTA 21 fA.



Termometria elettronica

Come abbiamo visto nel Capitolo 3, con un semplice circuito a diodi è possibile generare una tensione di uscita proporzionale alla temperatura assoluta. Questi circuiti vengono indicati con la sigla PTAT, **Proportional To Absolute Temperature**. Questo cir-

cuito può essere facilmente implementato con transistori bipolari come mostrato nella figura riportata di seguito, in cui i due transistori bipolari sono identici e sono polarizzati da due generatori di corrente caratterizzati da un rapporto 10:1 delle correnti.



La tensione di uscita è data da

$$V_{PTAT} = V_{E2} - V_{E1} = (V_{CC} - V_{BE2}) - (V_{CC} - V_{BE1}) = V_{BE1} - V_{BE2}$$

$$V_{PTAT} = V_T \ln\left(\frac{10I}{I_S}\right) - V_T \ln\left(\frac{I}{I_S}\right) = \frac{kT}{q} \ln(10)$$

Questo semplice circuito è comunemente utilizzato nella termometria elettronica.

5.8.4 Modello semplificato per la regione attiva inversa

Nella regione attiva inversa i ruoli dei terminali di emettitore e collettore risultano invertiti. Il diodo base-collettore è polarizzato direttamente, mentre la giunzione base-emettitore è polarizzata inversamente.

Possiamo quindi assumere $\exp(v_{BE}/V_T) \ll 1$ e trascurare questi termini nelle (5.13). Inoltre, trascurando i termini che non contengono la funzione esponenziale $\exp(v_{BC}/V_T)$, si ottengono le relazioni semplificate per la regione attiva inversa:

$$i_C = -\frac{I_S}{\alpha_R} \exp\left(\frac{v_{BC}}{V_T}\right)$$

$$i_E = -I_S \exp\left(\frac{v_{BC}}{V_T}\right)$$

$$i_B = \frac{I_S}{\beta_R} \exp\left(\frac{v_{BC}}{V_T}\right)$$
(5.35)

da cui si ha pure $i_E = -\beta_R i_B$ e $i_E = \alpha_R i_C$.

Le Equazioni (5.35) possono essere rappresentate dal circuito equivalente per la regione attiva inversa mostrato in Figura 5.22(b); la corrente di base associata al diodo base-collettore è amplificata secondo un fattore pari al guadagno di corrente inverso a emettitore comune β_R ; la corrente $\beta_R i_B$ entra dal terminale di emettitore.

Nella regione attiva inversa la giunzione base-collettore è polarizzata direttamente, cosicché il modello di Figura 5.22(b) può essere ulteriormente semplificato nel circuito di Figura 5.22(c), in cui la giunzione è stata sostituita da un generatore di tensione, in accordo con il modello a caduta di tensione costante. Nella regione attiva inversa le tensioni di base e collettore differiscono solo per la caduta di tensione di 0.7 V relativa a tale giunzione.

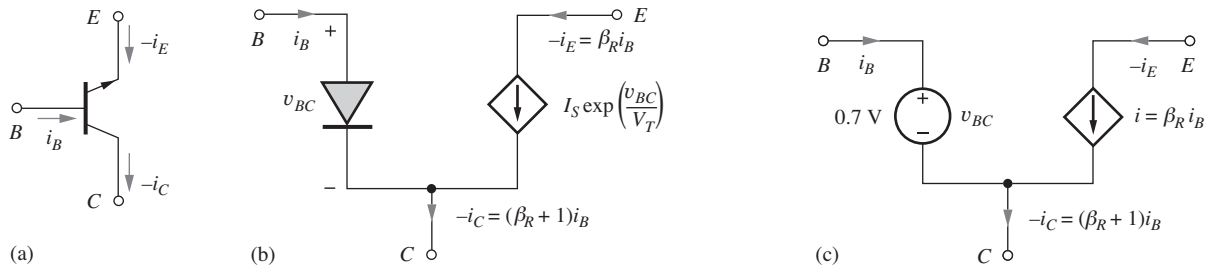


Figura 5.22 (a) Transistore *n*pn in regione attiva inversa. (b) Modello circuitale semplificato per la regione attiva inversa. (c) Modello circuitale ulteriormente semplificato del transistore *n*pn in regione attiva inversa.

Esempio 5.6

POLARIZZAZIONE DEL TRANSISTORE IN REGIONE ATTIVA INVERSA

La polarizzazione in regione attiva inversa viene raramente utilizzata nel progetto dei circuiti. Nei laboratori, tuttavia, può accadere che i terminali di emettitore e collettore vengano invertiti per errore. È quindi importante riconoscere quando il transistore risulta polarizzato in regione attiva inversa.

PROBLEMA Si calcoli il punto di lavoro del transistore nel circuito di Figura 5.23, ottenuto invertendo i terminali di emettitore e collettore nel transistore nel circuito di Figura 5.19 (il transistore potrebbe essere stato inavvertitamente inserito nel circuito in modo invertito).

SOLUZIONE **Informazioni e dati noti:** I parametri del transistore di Figura 5.23 sono $\beta_F = 50$ e $\beta_R = 1$.

Incognite: Il punto di lavoro (I_C , V_{CE}).

Approccio: In questo circuito la giunzione base-emettitore è inversamente polarizzata dal generatore di tensione V_{CC} . Per effetto della combinazione del resistore R e del generatore di tensione $-V_{EE}$ viene forzata una corrente che esce dal terminale di collettore, polarizzando direttamente la giunzione base-collettore. Il transistore sembra quindi polarizzato in regione attiva inversa.

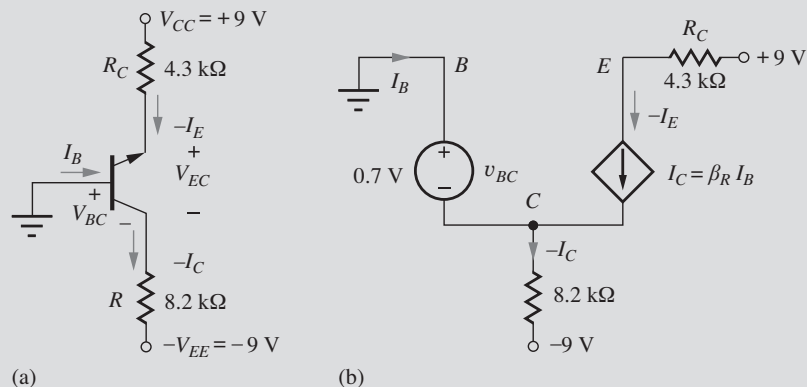
Ipotesi: Assumiamo il transistore polarizzato in regione attiva inversa. Non essendo nota la corrente di saturazione I_S , assumiamo per V_{BC} un valore di 0.7 V e il transistore può essere descritto dal modello approssimato di Figura 5.23(b).

Analisi: Le correnti possono essere determinate applicando la legge di Kirchhoff per le tensioni alla maglia base-collettore:

$$(-I_C) = \frac{-0.7 \text{ V} - (-9 \text{ V})}{8200 \, \Omega} = 1.01 \text{ mA}$$

Figura 5.23

(a) Circuito di Figura 5.19 in cui sono stati invertiti i terminali di emettitore e collettore.
 (b) Circuito equivalente semplificato basato sul modello del transistore in regione attiva inversa (l'analisi del circuito è riferita ai seguenti dati: $\beta_F = 50$ e $\beta_R = 1$).



La corrente che fluisce attraverso la resistenza da $8.2 \text{ k}\Omega$ non è cambiata rispetto al circuito di Figura 5.19. La corrente di base e la corrente erogata dal generatore di tensione $+9 \text{ V}$ sono invece molto diverse. Al nodo di collettore si ha $I_C = -(\beta_R + 1)I_B$, mentre al nodo di emettitore risulta $(-I_E) = \beta_R I_B$

$$I_B = \frac{1.01 \text{ mA}}{2} = 0.505 \text{ mA} \quad \text{e} \quad -I_E = (1)I_B = 0.505 \text{ mA}$$

$$V_{EC} = 9 \text{ V} - 4.3 \text{ k}\Omega (0.505 \text{ mA}) - (-0.7 \text{ V}) = 7.5 \text{ V}$$

Verifica dei risultati: Possiamo verificare che la legge di Kirchhoff per le tensioni risulta soddisfatta lungo la maglia collettore-emettitore:

$$+9 \text{ V} - V_{CE} - V_R - (-9 \text{ V}) = 9 \text{ V} - 9.7 \text{ V} - 8.3 \text{ V} + 9 \text{ V} = 0.$$

Anche la KCL è soddisfatta: $I_C + I_B = I_E$, e il verso delle correnti è in accordo con l'ipotesi di funzionamento in regione attiva inversa. Anche la verifica del segno di V_{EB} fornisce un risultato corretto: $V_{EB} = 9 \text{ V} - 4.3 \text{ k}\Omega (0.505 \text{ mA}) = 6.8 \text{ V} > 0$.

Discussione: Rispetto al caso di Figura 5.19 la corrente di base risulta molto maggiore, mentre la corrente erogata dall'alimentazione V_{CC} risulta più bassa.

Analisi assistita da calcolatore: Il modello per il transistor bipolare disponibile in SPICE è valido in ogni regione di funzionamento e i risultati della simulazione sono simili a quelli dell'analisi manuale.



NOTA PROGETTUALE

Differenza tra regione attiva diretta e inversa

Si osservi che nel funzionamento in regione attiva inversa le correnti ai terminali risultano molto diverse rispetto al caso di regione attiva diretta.

Questa differenza può essere utile per identificare nel laboratorio i transistori che sono stati montati in modo errato.

ESERCIZIO Si determinino le correnti ai terminali per il transistor in Figura 5.23 per una resistenza di $5.6 \text{ k}\Omega$.

RISPOSTE 1.48 mA ; 0.741 mA ; 0.741 mA .

5.8.5 Modello semplificato per la regione di saturazione

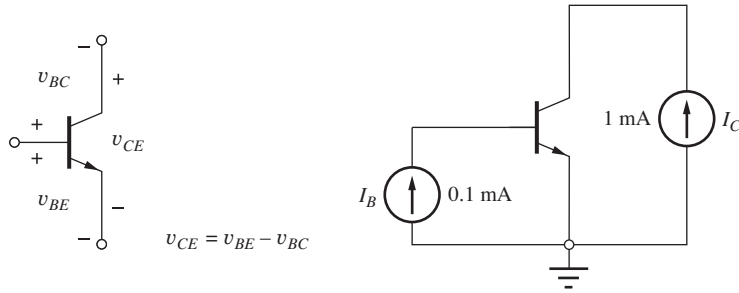
La quarta e ultima regione di funzionamento è la regione di saturazione. In questo modo di funzionamento entrambe le giunzioni sono polarizzate direttamente, e la caduta di tensione tra collettore ed emettitore è tipicamente molto piccola. Il valore assunto dalla tensione v_{CE} in condizioni di saturazione è detto **tensione di saturazione** del transistor: v_{CESAT} per il transistor *nnp*, ovvero v_{ECSAT} per il transistor *pnp*.

Allo scopo di calcolare v_{CESAT} , assumiamo che entrambe le giunzioni siano polarizzate direttamente, e che i_C e i_B nelle Equazioni (5.13) possano essere approssimate come segue:

$$\begin{aligned} i_C &= I_S \exp\left(\frac{v_{BE}}{V_T}\right) - \frac{I_S}{\alpha_R} \exp\left(\frac{v_{BC}}{V_T}\right) \\ i_B &= \frac{I_S}{\beta_F} \exp\left(\frac{v_{BE}}{V_T}\right) + \frac{I_S}{\beta_R} \exp\left(\frac{v_{BC}}{V_T}\right) \end{aligned} \quad (5.36)$$

Figura 5.24

Relazione tra le tensioni ai terminali del transistor.



Risolviendo questo sistema di equazioni, e ricordando la relazione $\beta_R = \alpha_R / (1 - \alpha_R)$, si ottengono le espressioni delle tensioni base-emettitore e base-collettore:

$$\begin{aligned} v_{BE} &= V_T \ln \frac{i_B + (1 - \alpha_R)i_C}{I_S \left[\frac{1}{\beta_F} + (1 - \alpha_R) \right]} \\ v_{BC} &= V_T \ln \frac{i_B - \frac{i_C}{\beta_F}}{I_S \left[\frac{1}{\alpha_R} \right] \left[\frac{1}{\beta_F} + (1 - \alpha_R) \right]} \end{aligned} \quad (5.37)$$

Applicando la seconda legge di Kirchhoff al transistor in Figura 5.24 si vede che la tensione collettore-emettitore è pari a $v_{CE} = v_{BE} - v_{BC}$, e sostituendo le (5.37) in questa relazione si ottiene l'espressione della tensione di saturazione del transistor *npn*:

$$v_{CESAT} = V_T \ln \left[\left(\frac{1}{\alpha_R} \right) \frac{1 + \frac{i_C}{(\beta_R + 1)i_B}}{1 - \frac{i_C}{\beta_F i_B}} \right] \quad \text{per} \quad i_B > \frac{i_C}{\beta_F} \quad (5.38)$$

Questa relazione è importante, e anche molto utile nel progetto di circuiti digitali bipolari. Per un dato valore della corrente di collettore l'Equazione (5.38) può essere utilizzata per determinare la corrente di base necessaria per ottenere un prefissato valore di v_{CESAT} .

Si osservi che l'Equazione (5.38) è valida solo se $i_B > i_C / \beta_F$. Questa è una condizione ausiliaria che può essere utilizzata per definire la regione di saturazione. Il rapporto i_C / β_F rappresenta la corrente di base necessaria per mantenere il transistor in regione attiva diretta; se la corrente di base è maggiore di questo valore, il transistor entra nella regione di saturazione. Il valore del rapporto i_C / i_B in condizioni di saturazione è detto **"beta forzato"** β_{FOR} del transistor, per il quale risulta $\beta_{FOR} \leq \beta_F$.

Esempio 5.7**CALCOLO DELLA TENSIONE DI SATURAZIONE DEL BJT**

PROBLEMA Si calcoli la tensione di saturazione in un transistor per il quale risulta $\beta_F = 50$ e $\beta_R = 1$, e polarizzato con $I_C = 1$ mA, $I_B = 0.1$ mA.

SOLUZIONE **Informazioni e dati noti:** I parametri del transistor sono $\beta_F = 50$ e $\beta_R = 1$ e le correnti ai terminali valgono $I_C = 1$ mA, $I_B = 0.1$ mA.

Incognite: La tensione collettore-emettitore.

Approccio: Essendo $I_C / I_B = 10 < \beta_F$, il transistor si trova effettivamente in saturazione. Possiamo quindi utilizzare la (5.38) per calcolare la tensione di saturazione.

Ipotesi: Funzionamento a temperatura ambiente con $V_T = 25.0$ mV.

Analisi: Posto $\alpha_R = \beta_R / (\beta_R + 1) = 0.5$ e $I_C / I_B = 10$ si ha:

$$v_{CESAT} = (25 \text{ mV}) \ln \left(\frac{1}{0.5} \right) \frac{1 + \frac{1 \text{ mA}}{2(0.1 \text{ mA})}}{1 - \frac{1 \text{ mA}}{50(0.1 \text{ mA})}} = 68 \text{ mV}$$

Verifica dei risultati: Il valore ottenuto per v_{CESAT} è basso, e appare quindi ragionevole.

Discussione: Si vede che il valore di V_{CE} ottenuto è effettivamente abbastanza piccolo. La tensione V_{CE} è tuttavia diversa da zero persino per $i_C = 0$ (si veda il Problema 5.58(b))! Questa è una differenza importante tra BJT e MOSFET. Nella regione di triodo del MOSFET la tensione tra drain e source si annulla solo quando la corrente di drain è pari a zero.

Analisi assistita da calcolatore: Possiamo effettuare la simulazione SPICE collegando un generatore di corrente al terminale di base e un generatore di corrente al terminale di collettore. La simulazione SPICE fornisce $v_{CESAT} = 70$ mV. La temperatura di default in SPICE è di 27 °C, e la differenza nel valore di V_T spiega la differenza tra la simulazione e l'analisi manuale.

ESERCIZIO Si determini la tensione di saturazione per il transistor dell'Esempio 5.7, per una corrente di base di 40 μ A.

RISPOSTA 99.7 mV.

ESERCIZIO Si utilizzino le Equazioni (5.37) per determinare le tensioni V_{BESAT} e V_{BCSAT} per il transistor dell'Esempio 5.7 assumendo $I_S = 1$ fA.

RISPOSTE 0.694 V; 0.627 V.

La Figura 5.25 mostra il modello circuitale semplificato per il transistor in saturazione, in cui i due diodi direttamente polarizzati sono descritti mediante due generatori di tensione. La tensione diretta di entrambi i diodi è di solito maggiore in regione di saturazione rispetto alla regione attiva, come mostrato in figura, dove si è assunto $V_{BESAT} = 0.75$ V e $V_{BCSAT} = 0.7$ V; in questo caso V_{CESAT} è pari a 50 mV. In saturazione le correnti ai terminali sono determinate dal circuito esterno, e non esistono delle semplici relazioni tra le correnti ai terminali a eccezione della relazione definita dalla legge di Kirchhoff: $i_C + i_B = i_E$.

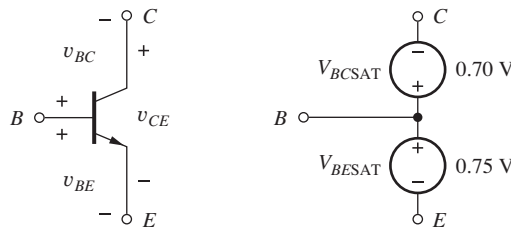


Figura 5.25
Modello semplificato per il transistor *npn* in saturazione.

ELETTRONICA IN AZIONE

Isolatori ottici

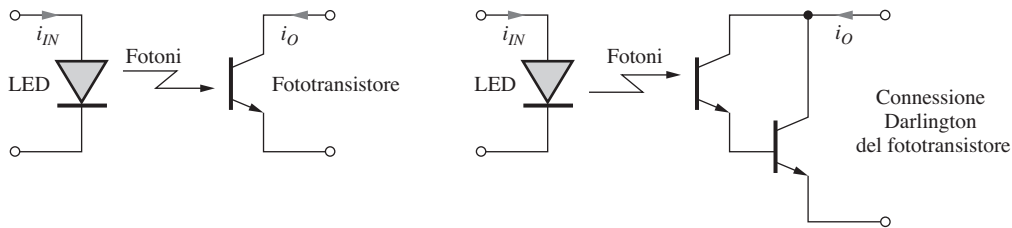
L'isolatore ottico, anche detto optoisolatore, rappresentato nella figura riportata di seguito, è un dispositivo molto utile che presenta un comportamento simile a quello di un transistor, ma caratterizzato da un'elevata tensione di rottura e bassa capacità tra i terminali di ingresso e uscita. La corrente di ingresso i_N pilota un diodo emettitore di luce (LED) che illumina la regione di base di un transistor bipolare *npn*. L'energia prodotta dall'assorbimento dei fotoni crea delle coppie elettrone-lacuna nella base del transistor. Le lacune forniscono la corrente di base, che viene quindi amplificata secondo il guadagno β_F del transistor, mentre gli

elettroni contribuiscono alla corrente di collettore. Le caratteristiche di uscita dell'isolatore ottico sono molto simili a quelle di un BJT polarizzato in regione attiva diretta (Figura 5.11).

Tuttavia, a causa della bassa efficienza di conversione dei fotoni in coppie elettrone-lacuna nel silicio, il rapporto di corrente $\beta_F = i_O/i_{IN}$ dell'isolatore ottico è di solito prossimo all'unità. Per questo motivo, la connessione Darlington è di solito utilizzata per migliorare il guadagno di corrente complessivo. In questo caso il guadagno di corrente viene aumentato di un fattore pari al guadagno di corrente del secondo transistor.

L'isolamento DC prodotto da questi dispositivi può superare il migliaio di volt, ed è limitato soprattutto dalla distanza dei pin e dalle caratteristiche del circuito stampato (*printed circuit board*) su cui viene

montato l'isolatore. L'isolamento AC è di alcuni picofarad, ed è limitato dalle capacità parassite tra i pin di ingresso e uscita.



5.9 Effetti non ideali nel transistor bipolare

Le caratteristiche del BJT differiscono dal modello matematico fin qui esposto a causa di diversi effetti. Innanzitutto dobbiamo tener conto nella scelta del transistor o delle tensioni di polarizzazione, delle tensioni di rottura associate alle giunzioni base-emettitore e base-collettore. Esistono anche delle capacità che limitano il comportamento ad alta frequenza del dispositivo. Un ulteriore limite alla velocità di funzionamento deriva dal valore finito della velocità degli elettroni e delle lacune nei semiconduttori, a cui sono associati dei tempi di ritardo. Infine, le caratteristiche di uscita presentano una dipendenza della corrente di collettore dalla tensione di collettore nella regione attiva simile a quella determinata dall'effetto di modulazione della lunghezza di canale per il MOSFET (Paragrafo 4.2.7). Nei paragrafi successivi questi effetti sono descritti in maggiore dettaglio.

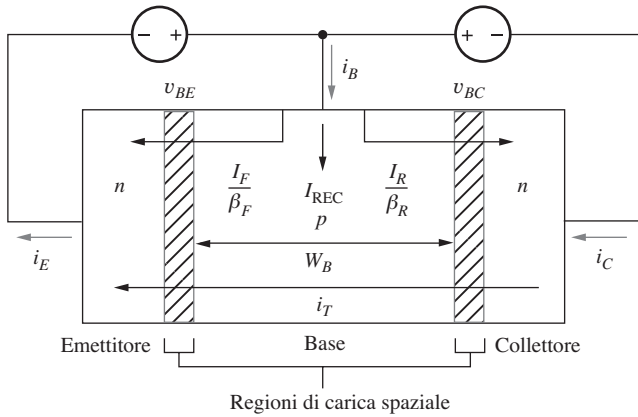
5.9.1 Tensioni di rottura delle giunzioni

Il transistor bipolare è costituito da due giunzioni *pn* opposte, ciascuna delle quali è caratterizzata da una tensione di rottura. Nella struttura del transistor (Figura 5.1), la regione di emettitore è quella maggiormente drogata, mentre quella di collettore presenta una più bassa concentrazione di atomi droganti. Questa differenza nelle concentrazioni di drogaggio determina un valore della tensione di rottura relativamente basso per il diodo base-emettitore (solitamente 3-10 V). D'altra parte, la giunzione base-collettore può essere opportunamente progettata in modo da presentare tensioni di rottura molto maggiori; è possibile realizzare dispositivi con elevate tensioni di rottura base-collettore, fino a diverse centinaia di volt mentre transistori speciali possono superare tensioni di 1000 V.

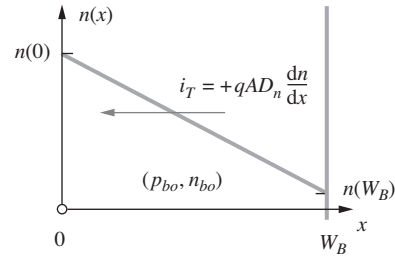
Per ogni applicazione occorre utilizzare transistori con tensioni di rottura maggiori delle tensioni inverse che si manifestano nelle condizioni di funzionamento del circuito. Per esempio, un transistor che funziona nella regione attiva diretta deve presentare una tensione di rottura base-collettore maggiore della tensione inversa applicata a tale giunzione. Nella regione di interdizione entrambe le giunzioni sono polarizzate inversamente, e la tensione inversa applicata alla giunzione base-emettitore non deve superare la corrispondente tensione di rottura che, come si è detto, assume valori relativamente bassi.

5.9.2 Trasporto dei portatori minoritari nella regione di base

La corrente nel transistor bipolare è essenzialmente associata ai fenomeni di trasporto di portatori minoritari nella regione di base. Nel transistor *npn* di Figura 5.26 la corrente di trasporto i_T è dovuta alla diffusione dei portatori minoritari nella regione di base (elettroni nei dispositivi *npn* ovvero lacune in quelli *pnp*). La corrente i_B è pari alla somma di due componenti associate alle lacune iniettate nelle regioni di emettitore e collettore e di una piccola corrente I_{REC} necessaria per rimpiazzare le lacune che si perdono a causa dei processi di ricombinazione con gli elettroni nella regione di base. Queste tre componenti di corrente sono mostrate in Figura 5.26(a).



(a)



(b)

Si può ricavare un'espressione per la corrente di trasporto i_T analizzando i processi di diffusione di portatori nella regione di base, e analizzando il legame tra le concentrazioni di portatori e le tensioni applicate. I modelli fisici (che non approfondiremo in questo testo) mostrano che le concentrazioni di elettroni alle due estremità della regione di base [0 e W_B di Figura 5.26(b)] sono legate alle tensioni base-emettitore e base-collettore dalle relazioni:

$$n(0) = n_{bo} \exp\left(\frac{v_{BE}}{V_T}\right) \quad \text{e} \quad n(W_B) = n_{bo} \exp\left(\frac{v_{BC}}{V_T}\right) \quad (5.39)$$

in cui n_{bo} rappresenta la **concentrazione di elettroni all'equilibrio termodinamico** nella regione di base di tipo p.

Le tensioni applicate alle due giunzioni stabiliscono quindi un gradiente di portatori minoritari all'interno della regione di base, come mostrato in Figura 5.26(b). In una base di spessore ridotto i processi di ricombinazione dei portatori sono trascurabili, e la concentrazione di portatori minoritari decresce linearmente all'interno della base. La corrente di diffusione, calcolata utilizzando la (2.14), è quindi data da:

$$i_T = qAD_n \frac{dn}{dx} = -qAD_n \frac{n_{bo}}{W_B} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - \exp\left(\frac{v_{BC}}{V_T}\right) \right] \quad (5.40)$$

dove A = area della sezione trasversale della regione di base

W_B = **spessore della regione di base**

Poiché il gradiente dei portatori è negativo la corrente i_T è diretta secondo il verso negativo dell'asse x , ed è quindi uscente dal terminale di emettitore.

Dal confronto delle Equazioni (5.40) e (5.18) si ottiene l'espressione della corrente di saturazione del transistor bipolare *npn*:

$$I_S = qAD_n \frac{n_{bo}}{W_B} = \frac{qAD_n n_i^2}{N_{AB} W_B} \quad (5.41a)$$

dove N_{AB} = concentrazione di drogaggio nella regione di base

n_i = concentrazione intrinseca dei portatori ($10^{10}/\text{cm}^3$)

$n_{bo} = n_i^2 / N_{AB}$ [dalla (2.12)]

L'espressione della corrente di saturazione per un transistor *pnp* si ottiene con semplici sostituzioni:

$$I_S = qAD_p \frac{p_{bo}}{W_B} = \frac{qAD_p n_i^2}{N_{DB} W_B} \quad (5.41b)$$

Ricordando dal Capitolo 2 che la mobilità μ , e quindi la diffusività $D = (kT/q) \mu$ (cm^2/s), è maggiore per gli elettroni rispetto alle lacune ($\mu_n > \mu_p$), si vede dalle (5.41) che la corrente di uscita risulta maggiore per il transistor *npn* rispetto al *pnp*, per gli stessi valori di concentrazione di drogaggio e tensioni applicate.

Figura 5.26

(a) Correnti nella regione di base di un transistor *npn*. (b) Concentrazione dei portatori minoritari nella regione di base di un transistor *npn*.

ESERCIZIO (a) Si determini il valore di D_n a temperatura ambiente per $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$.
 (b) Si calcoli il valore di I_S per un transistor caratterizzato dai seguenti parametri:
 $A = 50 \text{ } \mu\text{m}^2$, $W_B = 1 \text{ } \mu\text{m}$, $D_n = 12.5 \text{ cm}^2/\text{s}$ e $N_{AB} = 10^{18}/\text{cm}^3$.

RISPOSTE $12.5 \text{ cm}^2/\text{s}$; 1 aA .

5.9.3 Tempo di transito in base

Per portare il transistor in conduzione occorre iniettare una carica minoritaria all'interno della base, in modo da stabilire il gradiente di concentrazione mostrato in Figura 5.26(b). Il **tempo di transito diretto** τ_F rappresenta la costante di tempo associata all'immagazzinamento della carica minoritaria Q nella regione di base, ed è definito da:

$$\tau_F = \frac{Q}{I_T} \quad (5.42)$$

La Figura 5.27(a) mostra la distribuzione di portatori minoritari nella regione neutra di base di un transistor *npn* polarizzato nella regione attiva diretta con $v_{BE} > 0$ e $v_{BC} = 0$. L'area del triangolo rappresenta la carica minoritaria in eccesso Q che deve essere iniettata nella regione di base per sostenere la corrente di diffusione. Con riferimento alla Figura 5.27(a) e utilizzando la (5.39), si ottiene:

$$Q = qA[n(0) - n_{bo}] \frac{W_B}{2} = qAn_{bo} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] \frac{W_B}{2} \quad (5.43)$$

Per il caso mostrato in Figura 5.27(a) si ha pure:

$$i_T = \frac{qAD_n}{W_B} n_{bo} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] \quad (5.44)$$

Sostituendo nella (5.42) le (5.43) e (5.44) si ottiene l'espressione del tempo di transito diretto in un transistor *npn*:

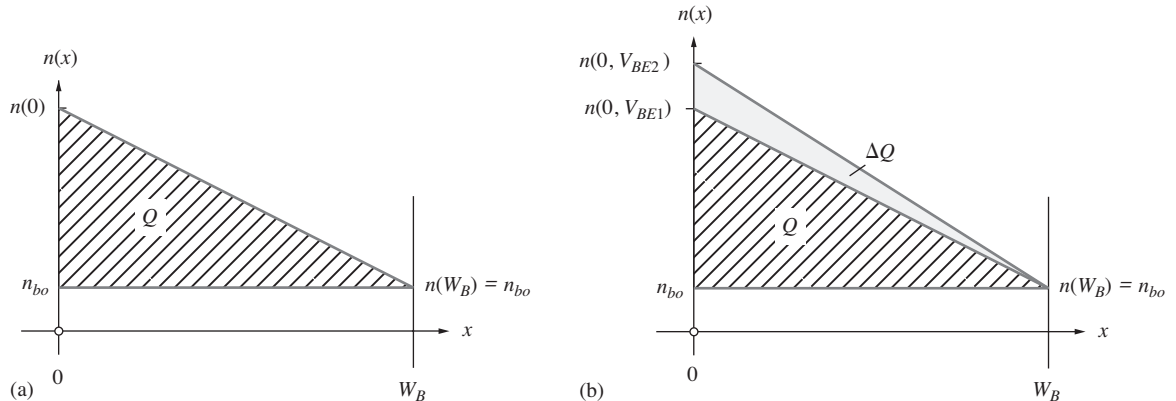
$$\tau_F = \frac{W_B^2}{2D_n} = \frac{W_B^2}{2V_T\mu_n} \quad (5.45a)$$

Nel caso del transistor *pnp* il tempo di transito è dato da:

$$\tau_F = \frac{W_B^2}{2D_p} = \frac{W_B^2}{2V_T\mu_p} \quad (5.45b)$$

Figura 5.27

(a) Carica minoritaria in eccesso Q immagazzinata nella regione di base del transistor bipolare.
 (b) Variazioni della carica immagazzinata Q in corrispondenza di variazioni di v_{BE} .



po di transito espresso dall'Equazione (5.45) rappresenta quindi un limite superiore alla frequenza di funzionamento f del transistor:

$$f \leq \frac{1}{2\pi\tau_F} \quad (5.46)$$

Dalla (5.45) vediamo che il tempo di transito è inversamente proporzionale alla mobilità dei portatori minoritari nella regione di base. La differenza tra le mobilità degli elettroni e delle lacune determina quindi anche una maggiore velocità di funzionamento per il transistor npn secondo un fattore 2-2.5 rispetto al transistor pnp , per una data geometria e drogaggio. L'Equazione (5.45) indica anche l'importanza di ridurre il più possibile lo spessore di base W_B del transistor. I primi transistori presentavano spessori di base dell'ordine di 10 μm , mentre i dispositivi moderni sono caratterizzati da spessori di 0.025 μm (25 nm) o inferiori.

CALCOLO DELLA CORRENTE DI SATURAZIONE E DEL TEMPO DI TRANSITO

Esempio 5.8

La fisica del dispositivo ci ha permesso di trovare delle espressioni per stimare la corrente di saturazione inversa e il tempo di transito in funzione della struttura del dispositivo. Calcoliamo ora dei valori tipici per I_S e τ_F .

Si determini la corrente di saturazione e il tempo di transito in base per un transistor npn con regione di emettitore di dimensioni 100 $\mu\text{m} \times 100 \mu\text{m}$, un drogaggio di base $N_{AB} = 10^{17}/\text{cm}^3$ e uno spessore di base di 1 μm . Si assuma $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$.

PROBLEMA

Informazioni e dati noti: Area di emettitore = 100 $\mu\text{m} \times 100 \mu\text{m}$, $N_{AB} = 10^{17}/\text{cm}^3$, $W_B = 1 \mu\text{m}$, $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$.

SOLUZIONE

Incognite: La corrente di saturazione I_S e il tempo di transito τ_F .

Approccio: Si utilizzeranno le Equazioni (5.41) e (5.45).

Ipotesi: Assumeremo inoltre funzionamento a temperatura ambiente con $V_T = 25.0 \text{ mV}$ e $n_i = 10^{10}/\text{cm}^3$.

Analisi: Dalla (5.41) otteniamo

$$\begin{aligned} I_S &= \frac{qAD_n n_i^2}{N_{AB} W_B} \\ &= \frac{(1.6 \times 10^{-19} \text{ C})(10^{-2} \text{ cm})^2 \left(25 \text{ mV} \times 500 \frac{\text{cm}^2}{\text{V} \cdot \text{s}} \right) \left(\frac{10^{20}}{\text{cm}^6} \right)}{\left(\frac{10^{17}}{\text{cm}^3} \right) (10^{-4} \text{ cm})} = 2 \text{ fA} \end{aligned}$$

in cui si ha $D_n = (kT/q)\mu_n$ [si ricordi la (2.15)].

Dalla (5.45) risulta:

$$\tau_F = \frac{W_B^2}{2V_T \mu_n} = \frac{(10^{-4} \text{ cm})^2}{2(25 \text{ mV}) \left(500 \frac{\text{cm}^2}{\text{V} \cdot \text{s}} \right)} = 400 \text{ ps}$$

Verifica dei risultati: I risultati appaiono ragionevoli, e il valore di I_S è compreso nell'intervallo indicato nel Paragrafo 5.2.

Discussione: Il funzionamento del transistor considerato deve essere quindi limitato a frequenze inferiori a $1/(2\pi\tau_F) = 400 \text{ MHz}$.

5.9.4 Capacità di diffusione

Come osservato nel Capitolo 3, le capacità presenti nei dispositivi hanno l'effetto di limitarne il funzionamento ad alta frequenza. Allo scopo di analizzare le capacità presenti nel BJT, osserviamo che in corrispondenza di una variazione della tensione base-emettitore, e quindi della corrente di collettore, si verifica una variazione della carica minoritaria nella regio-

ne di base, come mostrato in Figura 5.27(b). Questa variazione della carica associata a variazioni di v_{BE} può essere descritta da una capacità C_D , detta **capacità di diffusione**, posta in parallelo al diodo base-emettitore direttamente polarizzato. Questa capacità è definita dalla relazione:

$$C_D = \left. \frac{dQ}{dv_{BE}} \right|_{\text{punto } Q} = \frac{1}{V_T} \frac{qA n_{bo} W_B}{2} \exp\left(\frac{V_{BE}}{V_T}\right) \quad (5.47)$$

L'equazione precedente può essere riscritta nella forma

$$C_D = \frac{1}{V_T} \left[\frac{qAD_n n_{bo}}{W_B} \exp\left(\frac{V_{BE}}{V_T}\right) \right] \left(\frac{W_B^2}{2D_n} \right) \approx \frac{I_T}{V_T} \tau_F \quad (5.48)$$

Poiché nella regione attiva diretta la corrente di trasporto rappresenta praticamente l'intera corrente di collettore, l'espressione della capacità di diffusione può essere espressa dalla relazione di uso frequente:

$$C_D = \frac{I_C}{V_T} \tau_F \quad (5.49)$$

Dalla (5.49) si vede che la capacità di diffusione C_D risulta direttamente proporzionale alla corrente e inversamente proporzionale alla temperatura T . Per esempio, un BJT polarizzato con una corrente $I_C = 1$ mA e con $\tau_F = 400$ ps presenta una capacità di diffusione pari a:

$$C_D = \frac{I_C}{V_T} \tau_F = \frac{1 \text{ mA}}{25 \text{ mV}} (400 \text{ ps}) = 16 \text{ pF}$$

Il valore della capacità di diffusione è quindi significativo, e risulta anche maggiore a correnti più elevate.

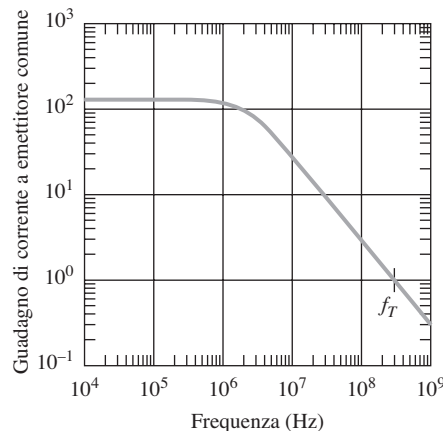
ESERCIZIO Si calcoli la capacità di diffusione per un transistor di potenza polarizzato con una corrente di 10 A, e con una temperatura di funzionamento di 100 °C. Si assuma $\tau_F = 4$ ns.

RISPOSTA 1.24 μF (un valore elevato).

5.9.5 Dipendenza del guadagno di corrente a emettitore comune dalla frequenza

A causa della presenza delle capacità di diffusione e giunzione, il guadagno di corrente del transistor bipolare risulta dipendente dalla frequenza. La variazione del guadagno con la frequenza è mostrata in Figura 5.28. A basse frequenze il guadagno assume un valore costante β_F , ma diminuisce al crescere della frequenza. La **frequenza di transizione** f_T è definita come la frequenza in corrispondenza della quale il modulo del guadagno di corrente risulta pari a 1.

Figura 5.28
Guadagno di corrente a emettitore comune β in funzione della frequenza.



L'andamento del guadagno di corrente mostrato in figura è descritto matematicamente dalla relazione:

$$\beta(f) = \frac{\beta_F}{\sqrt{1 + \left(\frac{\beta_F f}{f_T}\right)^2}} = \frac{\beta_F}{\sqrt{1 + \left(\frac{f}{f_\beta}\right)^2}} \quad (5.50)$$

dove $f_\beta = f_T / \beta_F$ è la **frequenza di taglio**. Per il transistor di Figura 5.28 si ha $\beta_F = 125$ e $f_T = 300$ MHz.

ESERCIZIO Si determini la frequenza di taglio per il transistor in Figura 5.28.

RISPOSTA 2.4 MHz.

5.9.6 Effetto Early

L'esame delle caratteristiche di uscita mostrate in Figura 5.12 e 5.14 mostra che nella regione attiva diretta la corrente del transistor assume un valore costante. Le caratteristiche dei dispositivi reali, tuttavia, mostrano una pendenza positiva, come evidenziato dalla Figura 5.29; la corrente di collettore quindi non è del tutto indipendente dalla tensione v_{CE} , analogamente a quanto accade anche nel MOSFET.

Risultati sperimentali hanno mostrato che estrapolando le curve relative alle caratteristiche di uscita, si ottiene un unico punto di intersezione con l'asse delle tensioni. La tensione $v_{CE} = -V_A$ corrispondente al punto di intersezione è detta **tensione di Early**, mentre il fenomeno è detto **effetto Early** [5], dal ricercatore dei laboratori Bell, James Early, che per primo ne identificò l'origine. Per tracciare le curve in Figura 5.29 è stato utilizzato un valore relativamente basso per la tensione di Early (14 V), per evidenziare il fenomeno. Valori usuali per la tensione di Early sono compresi nell'intervallo:

$$10 \text{ V} \leq V_A \leq 400 \text{ V}$$

5.9.7 Modelli per l'effetto Early

La dipendenza della corrente di collettore dalla tensione collettore-emettitore può essere facilmente inclusa nel modello matematico semplificato relativo alla regione attiva diretta, modificando le Equazioni (5.31) come segue:

$$\begin{aligned} i_C &= I_S \left[\exp\left(\frac{v_{BE}}{V_T}\right) \right] \left[1 + \frac{v_{CE}}{V_A} \right] \\ \beta_F &= \beta_{F0} \left[1 + \frac{v_{CE}}{V_A} \right] \\ i_B &= \frac{I_S}{\beta_{F0}} \left[\exp\left(\frac{v_{BE}}{V_T}\right) \right] \end{aligned} \quad (5.51)$$

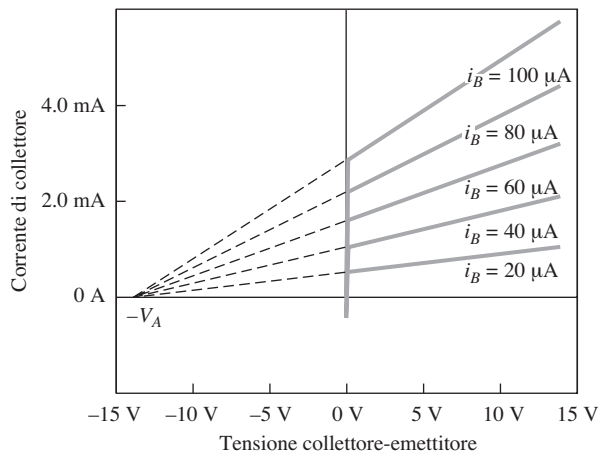
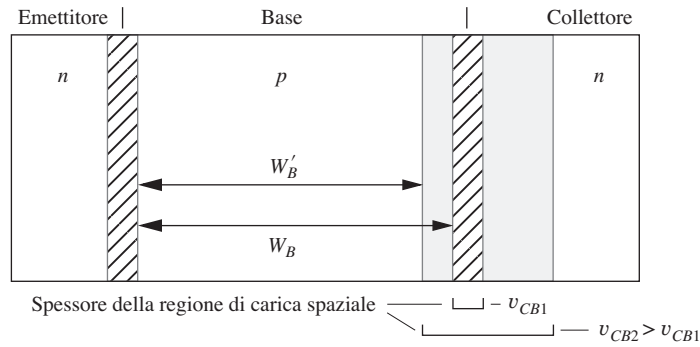


Figura 5.29

Caratteristiche di uscita a emettitore comune e tensione di Early V_A .

Figura 5.30

Modulazione dello spessore di base, o effetto Early.



dove β_{F0} rappresenta il valore di β_F estrapolato per $V_{CE} = 0$. In queste espressioni la corrente di collettore e il guadagno di corrente hanno la stessa dipendenza da v_{CE} , mentre la corrente di base rimane indipendente da v_{CE} ; ciò è in accordo con i risultati mostrati in Figura 5.29, in cui le curve relative a diversi valori della corrente di base risultano maggiormente distanziate al crescere della tensione v_{CE} , a causa del fatto che il guadagno di corrente cresce con v_{CE} .

ESERCIZIO Un transistor è caratterizzato da $I_S = 1$ fA, $\beta_{F0} = 75$ e $V_A = 50$ V, ed è polarizzato dalle tensioni $V_{BE} = 0.7$ V e $V_{CE} = 10$ V. Si determinino I_B , β_F e I_C . Quale sarebbe il valore di β_F e I_C se $V_A = \infty$?

RISPOSTE 19.3 μ A, 90, 1.74 mA; 75, 1.45 mA.

5.9.8 Origine dell'effetto Early

La causa dell'effetto Early è la variazione dello spessore di base W_B indotta dalla tensione base-collettore. Al crescere della tensione inversa ai capi della giunzione collettore-base, lo spessore della regione di svuotamento aumenta e lo spessore della base diminuisce. Questo meccanismo, detto **modulazione dello spessore di base**, è mostrato in Figura 5.30, in cui lo spessore della regione di svuotamento collettore-base è mostrato per due valori della tensione collettore-base. Un incremento della tensione inversa determina una riduzione dello spessore di base dal valore W_B al valore W_B' . L'Equazione (5.40) indica che la corrente di collettore è inversamente proporzionale allo spessore di base W_B , sicché una riduzione di W_B determina un incremento della corrente di trasporto i_T . La riduzione di W_B al crescere di V_{CB} è quindi la causa dell'effetto Early.

L'effetto Early riduce la resistenza di uscita del transistor bipolare, e determina un limite significativo al fattore di amplificazione del BJT; queste limitazioni verranno analizzate in dettaglio nello studio dei circuiti analogici bipolari.

È interessante osservare come l'effetto Early sia simile all'effetto di modulazione della lunghezza di canale nel MOSFET, e come entrambi i fenomeni siano dovuti alla variazione della lunghezza caratteristica del dispositivo con la tensione applicata al terminale di uscita.

5.10 Transconduttanza

Come si è osservato nel Capitolo 4 la **transconduttanza** è un importante parametro del transistor. Nel caso del BJT la transconduttanza descrive la variazione della corrente di collettore in corrispondenza di variazioni della tensione base-emettitore. La transconduttanza è definita da:

$$g_m = \left. \frac{di_C}{dv_{BE}} \right|_{\text{punto } Q} \quad (5.52)$$

Per la polarizzazione in regione attiva diretta l'espressione della transconduttanza può essere determinata sostituendo la (5.31) nella (5.52):

$$g_m = \frac{d}{dV_{BE}} \left\{ I_S \exp \left(\frac{V_{BE}}{V_T} \right) \right\} \Big|_{\text{punto } Q} = \frac{1}{V_T} I_S \exp \left(\frac{V_{BE}}{V_T} \right) = \frac{I_C}{V_T} \quad (5.53)$$

L'Equazione (5.53) è una relazione molto importante, e mostra che g_m è direttamente proporzionale alla corrente di collettore; questo risultato è spesso utilizzato nel progetto di circuiti con transistori bipolari. Come vedremo più avanti, la transconduttanza risulta significativamente maggiore nei transistori bipolari rispetto ai MOSFET. È utile osservare che il legame fra capacità di diffusione definito dalla (5.49) può essere riscritto nella forma:

$$\tau_F = \frac{C_D}{g_m} \quad \text{oppure} \quad C_D = g_m \tau_F \quad (5.54)$$

ESERCIZIO Si determini il valore della transconduttanza g_m per $I_C = 100 \mu\text{A}$ e $I_C = 1 \text{ mA}$, e il corrispondente valore della capacità di diffusione. Si assuma un tempo di transito in base di 25 ps.

RISPOSTA 4 mS; 40 mS; 0.1 pF; 1.0 pF.



NOTA PROGETTUALE

Transconduttanza del transistor bipolare

$$g_m = \frac{I_C}{V_T}$$

La transconduttanza del BJT è significativamente più alta di quella riscontrabile nei MOS a parità di corrente di polarizzazione. Le ragioni di questa differenza saranno discusse in maggior dettaglio nei Capitoli 13 e 14.



NOTA PROGETTUALE

Tempo di transito

$$\tau_F = \frac{C_D}{g_m}$$

Il tempo di transito τ_F impone un limite superiore alla risposta in frequenza del transistor bipolare.

5.11 Tecnologia bipolare e modello SPICE del BJT

Per sviluppare il modello del transistor bipolare implementato in SPICE è necessario analizzare la struttura fisica del dispositivo. Infatti, il modello matematico precedentemente illustrato non include diversi parametri parassiti che sono legati alla struttura fisica del transistor. È necessario pertanto aggiungere tali effetti al modello relativo alla regione intrinseca del dispositivo. Tuttavia, è bene tenere a mente che anche il modello SPICE del transistor bipolare, sebbene relativamente complesso, rappresenta comunque un'approssimazione basata su un circuito a parametri concentrati di fenomeni di natura distribuita. Benché non faremo uso del modello SPICE nelle analisi manuali, è nondimeno importante studiarne le caratteristiche in modo da essere in grado di interpretare correttamente i risultati delle simulazioni qualora differiscano dall'analisi manuale, oppure dai risultati attesi.

5.11.1 Descrizione qualitativa

La Figura 5.31(a) mostra la struttura del dispositivo in Figura 5.1, mentre il circuito equivalente SPICE è riportato in Figura 5.31(b). Gli elementi circuitali i_C , i_B , C_{BE} e C_{BC} sono relativi al modello intrinseco precedentemente descritto. Il generatore di corrente i_C rappresen-

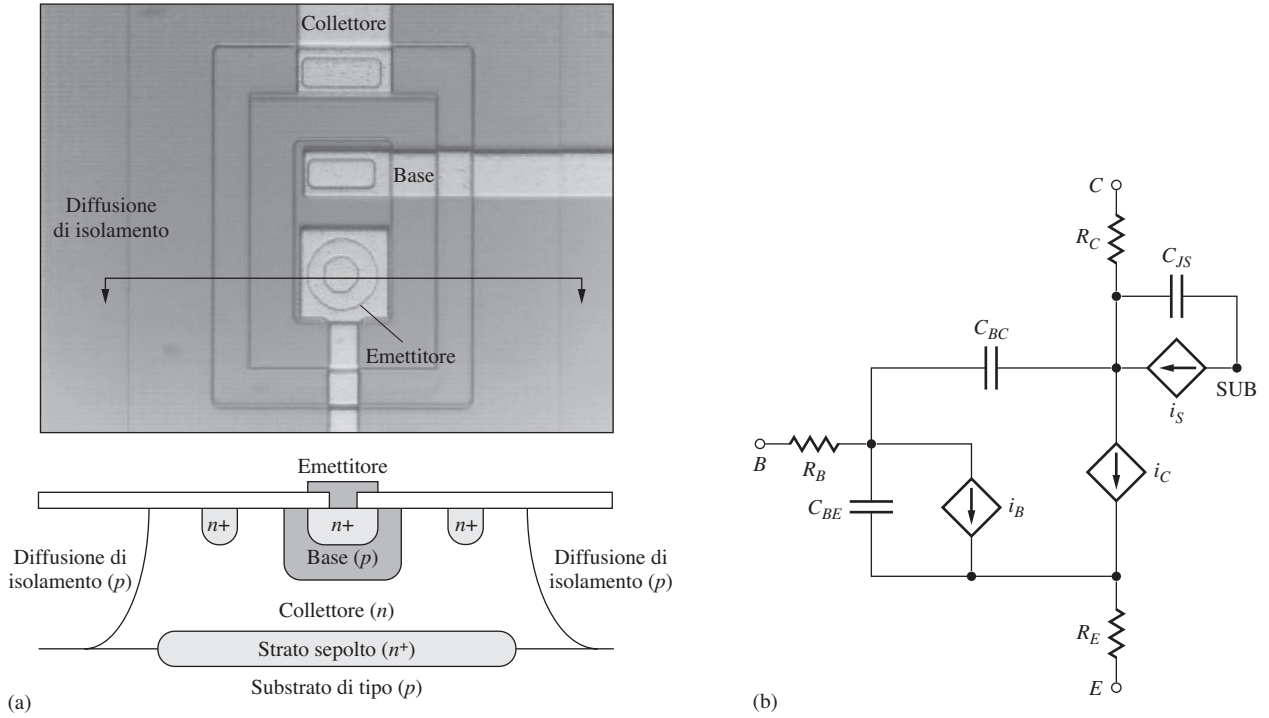


Figura 5.31
(a) Vista dall'alto e in sezione di un transistor con isolamento a giunzione.
(b) Modello SPICE del transistor npn.

ta la corrente che attraversa la base dall'emettitore al collettore, mentre il generatore di corrente i_B rappresenta la corrente di base complessiva. Le **capacità base-emettitore** C_{BE} e **base-collettore** C_{BC} includono sia il contributo delle capacità di diffusione che quello delle capacità di giunzione associate ai diodi base-emettitore e base-collettore.

Il modello contiene elementi circuitali aggiuntivi che descrivono diversi effetti indesiderati presenti nei dispositivi reali. Nella struttura è presente una giunzione pn polarizzata inversamente, di dimensioni estese, che isola la regione n del dispositivo dal substrato di tipo p , e il transistor da dispositivi vicini. Questa tecnica di isolamento è nota come isolamento a giunzione. Gli elementi circuitali relativi al diodo associato a tale giunzione sono la corrente i_S e la capacità C_{JS} . La resistenza R_B descrive la resistenza presente tra il terminale esterno di base (B) e il terminale relativo alla regione interna di base. Analogamente le resistenze R_C e R_E descrivono le resistenze parassite associate alle regioni neutre di collettore ed emettitore.

5.11.2 Equazioni del modello SPICE

Il modello SPICE è estremamente generale, ma anche notevolmente complesso. Per questo motivo le equazioni di seguito riportate rappresentano delle forme semplificate del modello effettivamente implementato. La Tabella 5.3 riporta i parametri SPICE presenti nelle equazioni del modello. Per una descrizione più approfondita si rimanda il lettore a [8].

Le correnti di collettore e base sono date da

$$i_C = \frac{(i_F - i_R)}{KBQ} - \frac{i_R}{BR} - i_{RG} \quad \text{e} \quad i_B = \frac{i_F}{BF} + \frac{i_R}{BR} + i_{FG} + i_{RG}$$

in cui le componenti diretta e inversa della corrente di trasporto risultano:

$$i_F = IS \cdot \left[\exp\left(\frac{v_{BE}}{NF \cdot V_T}\right) - 1 \right] \quad \text{e} \quad i_R = IS \cdot \left[\exp\left(\frac{v_{BC}}{NR \cdot V_T}\right) - 1 \right] \quad (5.55)$$

La corrente di base include due componenti aggiuntive che descrivono le correnti di ricombinazione associate alle giunzioni base-emettitore e base-collettore:

$$i_{FG} = ISE \cdot \left[\exp\left(\frac{v_{BE}}{NE \cdot V_T}\right) - 1 \right] \quad \text{e} \quad i_{RG} = ISC \cdot \left[\exp\left(\frac{v_{BC}}{NC \cdot V_T}\right) - 1 \right]$$

Tabella 5.3 Parametri del modello SPICE del transistor bipolare (*nnp/pnp*)

Parametro	Nome	Default	Valore tipico
Corrente di saturazione	IS	10^{-16} A	3×10^{-17} A
Guadagno di corrente diretto	BF	100	100
Coefficiente di emissione diretto	NF	1	1.03
Tensione di Early diretta	VAF	∞	75 V
Corrente di ginocchio diretta	IKF	∞	0.05 A
Corrente di ginocchio inversa	IKR	∞	0.01 A
Guadagno di corrente inverso	BR	1	0.5
Coefficiente di emissione inverso	NR	1	1.05
Resistenza di base	RB	0	250 Ω
Resistenza di collettore	RC	0	50 Ω
Resistenza di emettitore	RE	0	1 Ω
Tempo di transito diretto	TF	0	0.15 ns
Tempo di transito inverso	TR	0	15 ns
Corrente di saturazione del diodo base-emettitore	ISE	0	1 pA
Coefficiente di emissione del diodo base-emettitore	NE	1.5	1.4
Capacità di giunzione base-emettitore	CJE	0	0.5 pF
Potenziale di giunzione base-emettitore	PHIE	0.8 V	0.8 V
Coefficiente relativo al gradiente della giunzione base-emettitore	ME	0.5	0.5
Corrente di saturazione del diodo base-collettore	ISC	0	1 pA
Coefficiente di emissione del diodo base-collettore	NC	1.5	1.4
Capacità di giunzione base-collettore	CJC	0	1 pF
Potenziale di giunzione base-collettore	PHIC	0.75 V	0.7 V
Coefficiente relativo al gradiente della giunzione base-collettore	MC	0.33	0.33
Corrente di saturazione del diodo di substrato	ISS	0	1 fA
Coefficiente di emissione del diodo di substrato	NS	1	1
Capacità di giunzione di substrato	CJS	0	3 pF
Potenziale di giunzione di substrato	VJS	0.75 V	0.75 V
Coefficiente relativo al gradiente della giunzione di substrato	MJS	0	0.5

Nel modello si introduce anche un termine KBQ contenente le tensioni VAF e VAR che descrivono l'effetto Early rispettivamente in polarizzazione diretta e inversa. Il termine KBQ contiene anche i parametri IKF e IKR, ovvero delle "correnti di ginocchio" che descrivono la riduzione del guadagno di corrente per elevate correnti:

$$KBQ = \left(\frac{1}{2} \right) \frac{1 + \left[1 + 4 \left(\frac{i_F}{IKF} + \frac{i_R}{IKR} \right) \right]^{NK}}{1 + \frac{v_{CB}}{VAF} + \frac{v_{EB}}{VAR}}$$

Osserviamo che, contrariamente alla (5.51), il termine che descrive l'effetto Early contiene la tensione v_{BC} , anziché la tensione v_{CE} .

La corrente associata alla giunzione con il substrato è espressa come:

$$i_S = ISS \cdot \left[\exp \left(\frac{v_{SUB-C}}{NS \cdot V_T} \right) - 1 \right]$$

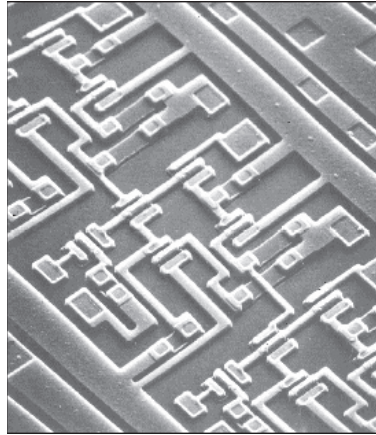
Le capacità presenti in Figura 5.31(b) sono date da:

$$C_{BE} = \frac{i_F}{NE \cdot V_T} TF + \frac{CJE}{\left(1 - \frac{v_{BE}}{PHIE} \right)^{MJE}} \quad \text{e} \quad C_{BC} = \frac{i_R}{NC \cdot V_T} TR + \frac{CJC}{\left(1 - \frac{v_{BC}}{PHIC} \right)^{MJC}}$$

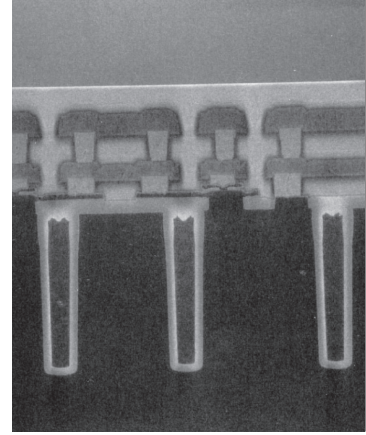
$$C_{JS} = \frac{CJS}{\left(1 + \frac{v_{SUB-C}}{VJS} \right)^{MJS}} \quad (5.56)$$

Figura 5.32

(a) Vista dall'alto di un circuito integrato con isolamento a trincea. (b) Vista in sezione di un transistor bipolare avanzato con isolamento a trincea. [(a) e (b): J.D. Cressler, "Reengineering silicon: SiGe heterojunction bipolar technology", IEEE Spectrum, Vol. 32, Issue: 3, pp. 49-55, marzo 1995. Copyright © 1995, IEEE, riproduzione autorizzata.]



(a)



(b)

Le capacità C_{BE} e C_{BC} contengono due contributi, uno relativo alle capacità di diffusione (descritte dai parametri TF, NE e TR e NC), e l'altro alle capacità di giunzione (descritte dai parametri CJE, PHIE, MJE e CJC, PHIC e MJC). Le resistenze R_B , R_C e R_E rappresentano rispettivamente le resistenze di base, collettore ed emettitore.

Il modello SPICE per il transistor *pnp* si ricava in modo immediato da quello mostrato in Figura 5.31(b), invertendo il verso dei generatori di corrente, nonché la polarità delle tensioni presenti nelle equazioni del modello.

5.11.3 Transistori bipolari avanzati

Nei transistori impiegati nelle applicazioni digitali a elevata velocità o nei circuiti a RF l'isolamento elettrico tra dispositivi adiacenti viene realizzato con trincee di ossido di silicio, che consentono di ridurre le capacità parassite e aumentare il livello di integrazione. Inoltre tali dispositivi presentano emettitori realizzati in silicio policristallino, e una regione di base di spessore estremamente ridotto, che può essere realizzata in silicio-germanio anziché silicio. In tal modo è possibile realizzare dispositivi con tempi di transito molto bassi. La Figura 5.32 mostra la sezione di un transistor silicio-germanio (SiGe) con isolamento a trincea (*trench*) per applicazioni ad alta frequenza. I transistori SiGe realizzati nei laboratori presentano frequenze di transizione maggiori di 300 GHz.

ESERCIZIO Un transistor bipolare con un guadagno di corrente pari a 80 e una tensione di Early di 70 V presenta una corrente di collettore pari a 350 μA in corrispondenza di una tensione $V_{BE} = 0.68$ V. Si determinino i parametri SPICE BF, IS e VAF. Si assuma $T = 27^\circ\text{C}$.

RISPOSTE 80, 1.35 fA, 70 V.

5.12 Polarizzazione del BJT

Lo scopo della polarizzazione è quello di stabilire un assegnato **punto di lavoro**, o punto *Q*. Nel transistor bipolare il punto di lavoro è rappresentato dai valori della corrente di collettore e della tensione collettore-emettitore (I_C , V_{CE}) per il transistor *nnp*, ovvero dalla tensione emettitore-collettore per il *pnp* (I_C , V_{EC}).

La scelta del punto di lavoro è molto diversa nei circuiti logici e negli amplificatori. Per esempio il circuito di Figura 5.33(a) può essere utilizzato sia come invertitore in un circuito logico oppure come amplificatore, in funzione della scelta del punto di lavoro. La caratteristica di trasferimento (transcaratteristica) è riportata in Figura 5.34(a). Per bassi valori di v_{BE} il transistor è praticamente interdetto, e la tensione di uscita è pari a 5 V, corrispondente al valore logico "1" (alto) nella logica binaria. Non appena v_{BE} supera 0.6 V, il transistor entra in conduzione, e la tensione di uscita si riduce rapidamente, raggiungendo il va-

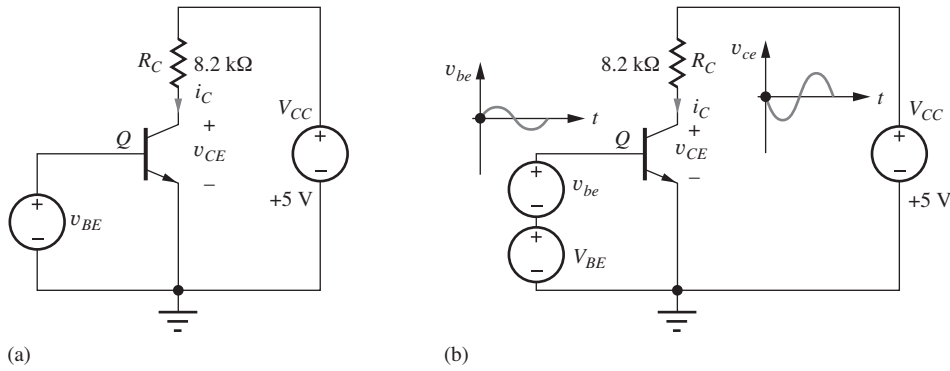


Figura 5.33

(a) Invertitore logico.
(b) Amplificatore realizzato con lo stesso circuito.

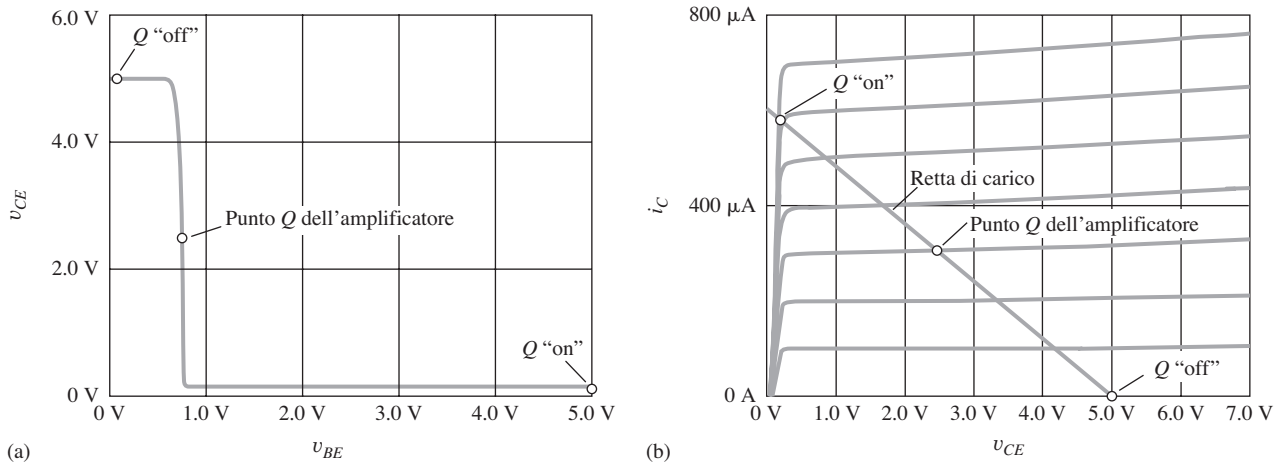


Figura 5.34 (a) Caratteristica di trasferimento. Sono riportati i punti Q relativi all'invertitore (stati on e off) e all'amplificatore. (b) Punti Q riportati sulle caratteristiche di uscita.

lore di 0.18 V se v_{BE} è maggiore di 0.8 V. Il transistor in queste condizioni si trova in saturazione, e la tensione di uscita corrisponde al valore logico "0" (basso). I due stati logici sono anche riportati sulle caratteristiche di uscita mostrate in Figura 5.34(b). Quando il transistor si trova in conduzione ("on") conduce una corrente elevata e la tensione di uscita è bassa, mentre quando è interdetto ("off") la tensione di uscita raggiunge 5 V.

Quando il transistor viene impegnato come amplificatore, il punto Q viene posto nella regione a elevata pendenza (ovvero elevato guadagno) delle caratteristiche di trasferimento di Figura 5.34(a). In queste condizioni il transistor è polarizzato in regione attiva diretta, in modo da ottenere un elevato guadagno di tensione, corrente e potenza. Per stabilire il punto di lavoro viene applicata una tensione costante V_{BE} , come mostrato in Figura 5.33(b). Alla tensione di polarizzazione V_{BE} viene sovrapposto un segnale AC v_{be} di piccola ampiezza, in modo da variare la tensione al nodo di base⁹ nell'intorno del valore di polarizzazione. La variazione della tensione complessiva base-emettitore v_{BE} determina una variazione della corrente di collettore, e quindi della tensione di collettore che risulta amplificata rispetto alla tensione di ingresso.

Nei paragrafi 5.7-5.11 sono stati illustrati i modelli semplificati relativi alle quattro regioni di funzionamento del BJT. Anziché inserire i modelli circuitali semplificati negli schemi circuitali, faremo riferimento alle relazioni matematiche semplificate relative a ciascuna regione di funzionamento. Per esempio, per la regione attiva diretta utilizzeremo le relazioni $V_{BE} = 0.7$ V e $I_C = \beta_F I_B$ per semplificare l'analisi circuitale. Inoltre, nell'analisi dei circuiti di polarizzazione si assumerà un valore infinito per la tensione di Early. In generale, se si include l'effetto Early l'analisi delle condizioni di polarizzazione risulta considerevolmente più complessa, mentre la variazione dei risultati è inferiore al 10%. Nella maggior parte dei casi le tolleranze relative ai resistori e generatori possono essere del 5-10%, mentre il guada-

⁹ Si ricordi che $v_{BE} = V_{BE} + v_{be}$.

gno di corrente β_F può variare di un fattore 4:1 o 10:1. Per esempio, per il guadagno di corrente possono essere specificati un valore minimo di 50 e un valore tipico di 100, mentre manca la specifica per il valore massimo. Queste tolleranze rendono trascurabile l'errore che si commette ignorando l'effetto Early. Trascureremo quindi l'effetto Early nel progetto di massima del circuito; i risultati dell'analisi manuale possono essere corretti attraverso simulazioni SPICE, se è necessaria una maggiore precisione.

5.12.1 Rete di polarizzazione a quattro resistori

A causa della caratteristica esponenziale fra corrente di collettore e tensione base-emettitore e della forte dipendenza dalla temperatura, una polarizzazione con V_{BE} costante, come mostrata in Figura 5.33, non è una soluzione utilizzabile in pratica. Uno dei migliori circuiti per la stabilizzazione del punto di lavoro del transistor è la rete di polarizzazione a quattro resistori mostrata in Figura 5.35(a). Le resistenze R_1 e R_2 formano un partitore di tensione, che tende a stabilire una tensione costante, compresa tra 12 V e 0 V, alla base del transistor Q_1 . Le resistenze R_E e R_C sono utilizzate per definire la corrente di emettitore e la tensione collettore-emettitore.

Il nostro obiettivo è quello di trovare il punto di lavoro del transistor: (I_C , V_{CE}). Iniziamo l'analisi del circuito di Figura 5.35(a) dividendo la tensione di alimentazione in due generatori di tensione uguali (Figura 5.35(b)), e quindi sostituendo alla rete di polarizzazione di base il relativo circuito equivalente secondo Thévenin, come mostrato in Figura 5.35(c). V_{EQ} e R_{EQ} sono dati da:

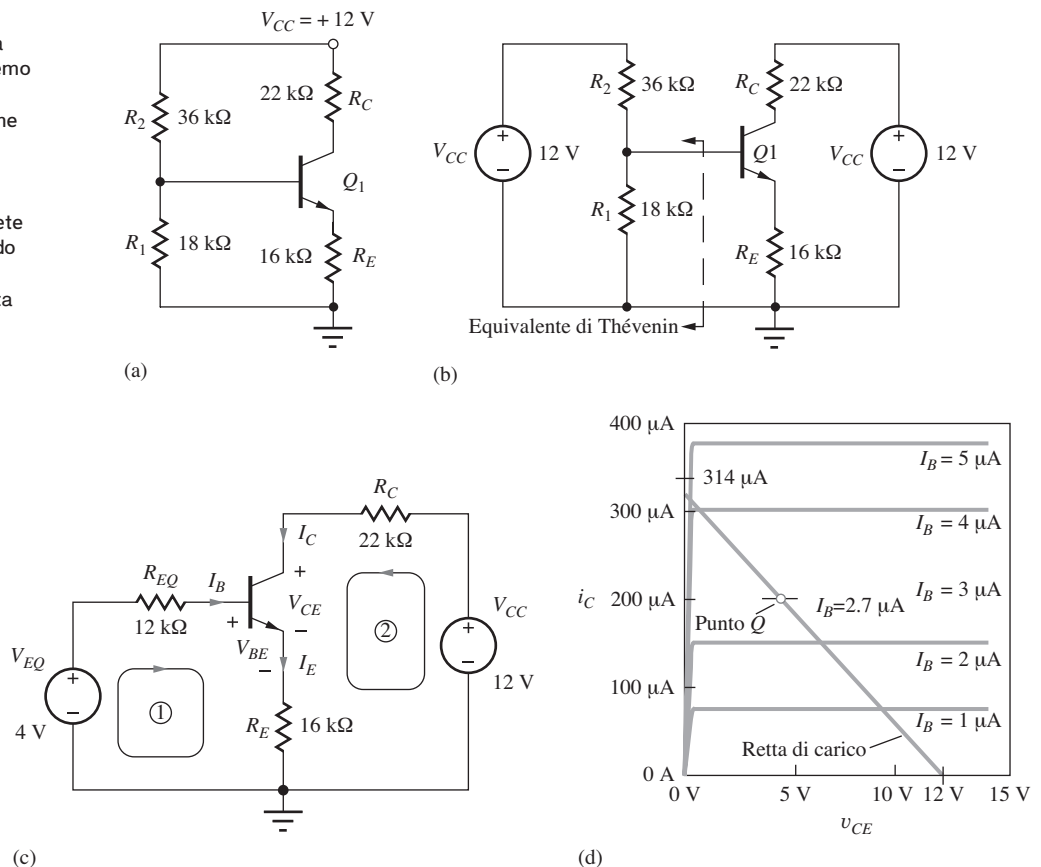
$$V_{EQ} = V_{CC} \frac{R_2}{R_1 + R_2} \quad R_{EQ} = \frac{R_1 R_2}{R_1 + R_2} \quad (5.57)$$

Con i valori di Figura 5.35(c) si ottiene $V_{EQ} = 4$ V e $R_{EQ} = 12$ k Ω .

Assumiamo ora che il transistor si trovi in una particolare regione di funzionamento, in modo da semplificare le equazioni del modello del BJT. Poiché la regione di funzionamento più comune per questo circuito di polarizzazione è la regione attiva diretta, sarà questa la

Figura 5.35

(a) Rete di polarizzazione a quattro resistori (assumeremo $\beta_F = 75$ per l'analisi).
(b) Circuito di polarizzazione a quattro resistori di Figura 5.35(a) con due generatori di tensione.
(c) Semplificazione della rete di polarizzazione utilizzando il teorema di Thévenin.
(d) Metodo grafico con retta di carico per il circuito di polarizzazione a quattro resistori.



regione scelta per iniziare l'analisi. Utilizzando la legge di Kirchhoff per le tensioni riferita alla maglia 1 si ha:

$$V_{EQ} = I_B R_{EQ} + V_{BE} + I_E R_E = I_B R_{EQ} + V_{BE} + (\beta_F + 1) I_B R_E \quad (5.58)$$

da cui si può ricavare I_B :

$$I_B = \frac{V_{EQ} - V_{BE}}{R_{EQ} + (\beta_F + 1) R_E} \quad \text{dove} \quad V_{BE} = V_T \ln \left(\frac{I_B}{I_S / \beta_F} + 1 \right) \quad (5.59)$$

Sfortunatamente, da queste due espressioni discende un'equazione trascendente. Tuttavia, se assumiamo un valore approssimato per V_{BE} , possiamo ricavare le correnti di collettore ed emettitore usando le relazioni ausiliarie $I_C = \beta_F I_B$ e $I_E = (\beta_F + 1) I_B$:

$$I_C = \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{\beta_F} + \frac{(\beta_F + 1)}{\beta_F} R_E} \quad \text{e} \quad I_E = \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{(\beta_F + 1)} + R_E} \quad (5.60)$$

Per grandi valori del guadagno ($\beta_F \gg 1$), le Equazioni (5.59) e (5.60) si semplificano:

$$I_E \approx I_C \approx \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{\beta_F} + R_E} \quad \text{con} \quad I_B \approx \frac{V_{EQ} - V_{BE}}{R_{EQ} + \beta_F R_E} \quad (5.61)$$

Ora che I_C è nota, possiamo usare la maglia 2 per trovare V_{CE} :

$$V_{CE} = V_{CC} - I_C R_C - I_E R_E = V_{CC} - I_C \left(R_C + \frac{R_E}{\alpha_F} \right) \quad (5.62)$$

dove è stata usata la relazione $I_E = I_C / \alpha_F$. Tipicamente $\alpha_F \approx 1$, per cui l'Equazione (5.62) può essere ridotta a

$$V_{CE} \approx V_{CC} - I_C (R_C + R_E) \quad (5.63)$$

Nel caso del circuito di Figura 5.35(c), stiamo ipotizzando il funzionamento nella regione attiva diretta con $V_{BE} = 0.7$ V, quindi il punto di lavoro (I_C , V_{CE}) risulta

$$I_C \approx \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{\beta_F} + R_E} = \frac{(4 - 0.7) \text{ V}}{\frac{12 \text{ k}\Omega}{75} + 16 \text{ k}\Omega} = 204 \text{ }\mu\text{A} \quad \text{con} \quad I_B = \frac{204 \text{ }\mu\text{A}}{75} = 2.72 \text{ }\mu\text{A}$$

$$V_{CE} \approx V_{CC} - I_C (R_C + R_E) = 12 \text{ V} - 204 \text{ }\mu\text{A} (22 \text{ k}\Omega + 16 \text{ k}\Omega) = 4.25 \text{ V}$$

Usando le Equazioni (5.60) e (5.62) si può ottenere una stima più precisa del punto di lavoro, ovvero (202 μA , 4.30 V). Tenuto conto che non conosciamo il valore esatto di V_{BE} , che il β_F è fortemente variabile da un transistor all'altro e che non abbiamo considerato alcuna tolleranza, le espressioni approssimate danno un risultato più che soddisfacente dal punto di vista ingegneristico.

Tutti i valori di corrente calcolati sono maggiori di zero e, usando l'Equazione (5.62) per ricavare V_{CE} , si arriva a $V_{BC} = V_{BE} - V_{CE} = 0.7 \text{ V} - 4.32 \text{ V} = -3.62 \text{ V}$. La giunzione base-collettore risulta quindi polarizzata inversamente, per cui l'ipotesi di funzionamento nella regione attiva diretta è verificata. Il punto Q ottenuto tramite l'analisi precedente è quindi (204 μA , 4.25 V).

Per concludere l'analisi della rete di polarizzazione riportiamo la retta di carico e localizziamo il punto di lavoro sulle caratteristiche di uscita. L'equazione della retta di carico è data dalla (5.62):

$$V_{CE} = V_{CC} - \left(R_C + \frac{R_E}{\alpha_F} \right) I_C = 12 \text{ V} - 38.2 \text{ k}\Omega \cdot I_C \quad (5.64)$$

Per disegnare la retta di carico sono necessari due punti. Scegliendo $I_C = 0$ si ha $V_{CE} = 12 \text{ V}$, mentre per $V_{CE} = 0$ risulta $I_C = 314 \text{ }\mu\text{A}$. La retta di carico così identificata è riportata con le caratteristiche di uscita in Figura 5.35(d). La corrente di base precedentemente calcolata risulta $I_B = 2.7 \text{ }\mu\text{A}$, e l'intersezione della curva relativa a $I_B = 2.7 \text{ }\mu\text{A}$ con la retta di carico definisce il punto di lavoro. Dai risultati ottenuti possiamo stimare la posizione della caratteristica relativa a $I_B = 2.7 \text{ }\mu\text{A}$.

ESERCIZIO Si trovino i valori di I_B , I_C , I_E e V_{CE} usando le espressioni esatte fornite dalle Equazioni (5.59), (5.60) e (5.62).

RISPOSTA 2.69 μA ; 202 μA ; 204 μA ; 4.28 V.

ESERCIZIO Si determini il punto di lavoro per il circuito di Figura 5.35 se $R_1 = 180 \text{ k}\Omega$ e $R_2 = 360 \text{ k}\Omega$.

RISPOSTA (185 μA , 4.93 V).



NOTA PROGETTUALE

Approssimazioni per la rete a quattro resistori

Se la corrente del partitore R_1 - R_2 è molto maggiore della corrente di base, le espressioni seguenti forniscono delle buone approssimazioni per il punto di

lavoro del transistor bipolare nel circuito di polarizzazione a quattro resistenze:

$$I_C \approx \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{\beta_F} + R_E} \approx \frac{V_{EQ} - V_{BE}}{R_E} \quad \text{e} \quad V_{CE} \approx V_{CC} - I_C(R_C + R_E)$$

5.12.2 Obiettivi di progetto relativi alla rete di polarizzazione a quattro resistori

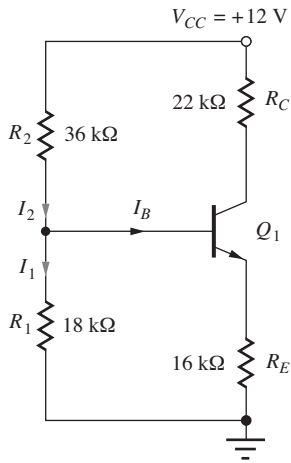


Figura 5.36
Correnti nella rete di polarizzazione.

Dopo l'analisi del circuito di polarizzazione a quattro resistori, prendiamo in esame gli obiettivi di progetto relativi a questa tecnica di polarizzazione semplificando ulteriormente le espressioni delle correnti di collettore e di emettitore nell'Equazione (5.61), assumendo che $R_{EQ}/\beta_F \ll R_E$. Con questa ipotesi si ottiene

$$I_E \approx I_C \approx \frac{V_{EQ} - V_{BE}}{R_E} \quad (5.65)$$

Il valore della resistenza equivalente del circuito semplificato di Thévenin è usualmente scelta in modo che la relativa caduta di tensione $I_B R_{EQ}$ sia trascurabile. In tali condizioni le correnti I_C e I_E sono definite dai valori di V_{EQ} , V_{BE} e R_E . Inoltre il valore di V_{EQ} deve essere sufficientemente elevato in modo che piccole variazioni di V_{BE} non alterino apprezzabilmente il valore di I_E .

Nel circuito di polarizzazione riportato in Figura 5.36, l'ipotesi che la caduta di tensione su R_{EQ} sia trascurabile [$I_B R_{EQ} \ll (V_{EQ} - V_{BE})$] è equivalente alla condizione $I_B \ll I_2$, cosicché $I_1 \approx I_2$; in tal caso la corrente di base non altera apprezzabilmente la corrente che attraversa il partitore di tensione. Utilizzando l'espressione approssimata fornita dall'Equazione (5.65) si arriva a una stima per le correnti di collettore ed emettitore nel circuito in Figura 5.35 pari a:

$$I_C \approx I_E \approx \frac{4 \text{ V} - 0.7 \text{ V}}{16 \text{ k}\Omega} = 206 \mu\text{A}$$

Il valore calcolato è praticamente coincidente con il valore precedentemente ottenuto con l'analisi più accurata. Questo è il risultato che deve essere raggiunto in una rete di polarizzazione correttamente dimensionata. Se il punto di lavoro risulta indipendente dalla corrente di base I_B , risulta anche indipendente dal guadagno di corrente β_F (un parametro difficilmente controllabile). La corrente di emettitore sarà quindi approssimativamente uguale sia utilizzando dispositivi con un guadagno di corrente di 50 che transistori con $\beta_F = 500$.

In generale, esistono molte combinazioni di R_1 e R_2 in corrispondenza di un assegnato valore di V_{EQ} . È quindi necessario un ulteriore vincolo per ultimare il progetto. Un criterio ovvio è quello di limitare la potenza dissipata dal partitore di tensione ponendo $I_2 \leq I_C/5$. Questa condizione garantisce che la potenza dissipata nei resistori di polarizzazione R_1 e R_2 sia inferiore rispetto al 20% della potenza complessivamente dissipata dal circuito in condizioni stazionarie, e allo stesso tempo consente di verificare la condizione $I_2 \gg I_B$ per $\beta \geq 50$.

ESERCIZIO Si mostri che la condizione $I_2 = I_C/5$ è equivalente alla condizione $I_2 = 10I_B$ se $\beta_F = 50$.

ESERCIZIO Si determini il punto di lavoro per il circuito di Figura 5.35(a), per $\beta_F = 500$.

RISPOSTA (206 μA , 4.18 V).

PROGETTAZIONE DELLA RETE A 4 RESISTORI PER LA POLARIZZAZIONE DEL TRANSISTORE

Esempio 5.9

Si progetti la rete a 4 resistori in modo da ottenere un punto di lavoro (750 μA , 5 V) utilizzando una tensione di alimentazione di 15 V e un transistor con valore minimo del guadagno di corrente pari a 100.

PROBLEMA

Informazioni e dati noti: È nota la topologia del circuito, con $V_{CC} = 15\text{ V}$; per il transistor risulta $\beta_F = 100$, $I_C = 750\text{ }\mu\text{A}$ e $V_{CE} = 5\text{ V}$.

SOLUZIONE

Incognite: La tensione V_B , le tensioni ai capi di R_E e R_C , i valori di R_1 , R_2 , R_C e R_E .

Approccio: Definiremo anzitutto le frazioni della tensione V_{CC} presenti ai capi di R_C , R_E e ai capi del transistor. Successivamente, sceglieremo le correnti I_1 e I_2 per la rete di polarizzazione, e infine calcoleremo i parametri della rete sulla base dei valori assegnati alle tensioni e alle correnti.

Ipotesi: Il transistor è polarizzato in regione attiva diretta, la tensione base-emettitore è pari a 0.7 V e l'effetto Early è trascurabile.

Analisi: Per calcolare il valore delle resistenze è necessario conoscere le tensioni ai capi di R_C e R_E , e la tensione V_B . Il valore specificato per V_{CE} è pari a 5 V. Una scelta comunemente adottata è che la frazione rimanente della tensione di alimentazione ($V_{CC} - V_{CE}$) = 10 V sia ripartita in parti uguali ai capi di R_E e R_C . Si ha quindi $V_E = 5\text{ V}$ e $V_C = V_E + V_{CE} = 10\text{ V}$. I valori di R_C e R_E risultano quindi:

$$R_C = \frac{V_{CC} - V_C}{I_C} = \frac{5\text{ V}}{750\text{ }\mu\text{A}} = 6.67\text{ k}\Omega \quad \text{e} \quad R_E = \frac{V_E}{I_E} = \frac{5\text{ V}}{758\text{ }\mu\text{A}} = 6.60\text{ k}\Omega$$

La tensione di base è pari a $V_B = V_E + V_{BE} = 5.7\text{ V}$. In regione attiva diretta si ha $I_B = I_C/\beta_F = 750\text{ }\mu\text{A}/100 = 7.5\text{ }\mu\text{A}$. Scegliendo poi $I_2 = 10I_B$, otteniamo $I_2 = 75\text{ }\mu\text{A}$, $I_1 = 9I_B = 67.5\text{ }\mu\text{A}$, e le resistenze R_1 e R_2 possono essere calcolate:

$$\begin{aligned} R_1 &= \frac{V_B}{I_1} = \frac{5.7\text{ V}}{67.5\text{ }\mu\text{A}} = 84.4\text{ k}\Omega \\ R_2 &= \frac{V_{CC} - V_B}{I_2} = \frac{15 - 5.7\text{ V}}{75\text{ }\mu\text{A}} = 124\text{ k}\Omega \end{aligned} \quad (5.66)$$

Verifica dei risultati: Le tensioni $V_{BE} = 0.7\text{ V}$ e $V_{BC} = 5.7\text{ V} - 10\text{ V} = -4.3\text{ V}$ sono in accordo con l'ipotesi di funzionamento in regione attiva diretta.

Discussione: In base ai valori ottenuti il punto di lavoro dovrebbe risultare molto prossimo al valore specificato. Tuttavia, se dovessimo realizzare il circuito in laboratorio dovremmo utilizzare valori standard per le resistenze. Dall'Appendice A vediamo che i valori più prossimi sono $R_1 = 82\text{ k}\Omega$, $R_2 = 120\text{ k}\Omega$, $R_E = 6.8\text{ k}\Omega$, e $R_C = 6.8\text{ k}\Omega$.

Analisi assistita da calcolatore: I valori finali per gli elementi della rete sono mostrati in Figura 5.37, e il punto di lavoro ottenuto con la simulazione SPICE (con $IS = 2\text{ F}$) è (734 μA , 4.97 V), con $V_{BE} = 0.65\text{ V}$. Possiamo usare SPICE per verificare se l'effetto Early modifichi in modo apprezzabile il risultato. Ponendo $VAF = 75$ la simulazione SPICE fornisce (737 μA , 4.93 V), cosicché l'effetto Early è effettivamente trascurabile.

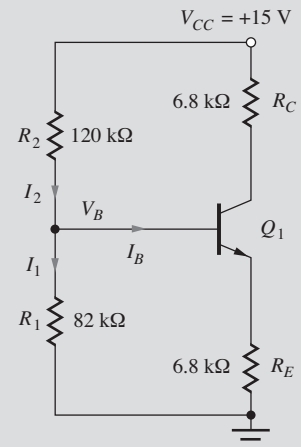


Figura 5.37
Circuito di polarizzazione finale relativo al punto di lavoro (750 μA , 5 V).

ESERCIZIO Si ripeta il progetto della rete a 4 resistori in modo che risulti $I_C = 75 \mu\text{A}$ e $V_{CE} = 5 \text{ V}$.

RISPOSTE (66.7 k Ω , 66.0 k Ω , 844 k Ω , 1.24 M Ω) $\rightarrow$ (68 k Ω , 68 k Ω , 820 k Ω , 1.20 M Ω).



NOTA PROGETTUALE

Progetto della rete a quattro resistori

Possiamo riassumere i passi relativi al progetto della rete di polarizzazione a 4 resistori:

1. Scegliere un valore per la tensione equivalente secondo Thévenin V_{EQ} : $\frac{V_{CC}}{4} \leq V_{EQ} \leq \frac{V_{CC}}{2}$
2. Scegliere R_1 in modo che $I_1 = 9I_B$: $R_1 = \frac{V_{EQ}}{9I_B}$
3. Scegliere R_2 in modo che $I_2 = 10I_B$: $R_2 = \frac{V_{CC} - V_{EQ}}{10I_B}$
4. R_E risulta determinata dal valore di V_{EQ} e dal valore specificato di I_C : $R_E \approx \frac{V_{EQ} - V_{BE}}{I_C}$
5. R_C risulta determinata dal valore specificato di V_{CE} : $R_C \approx \frac{V_{CC} - V_{CE}}{I_C} - R_E$

Esempio 5.10

ANALISI DI UN BJT POLARIZZATO IN SATURAZIONE

In questo esempio esaminiamo l'effetto di una variazione da 22 k Ω a 56 k Ω per la resistenza di collettore nel circuito di Figura 5.35(a). Come vedremo, per il circuito in esame l'ipotesi di funzionamento in regione attiva diretta non risulta verificata, e sarà quindi necessario ripetere l'analisi assumendo una nuova condizione di funzionamento.

PROBLEMA Si determini il punto di lavoro per il transistor di Figura 5.38.

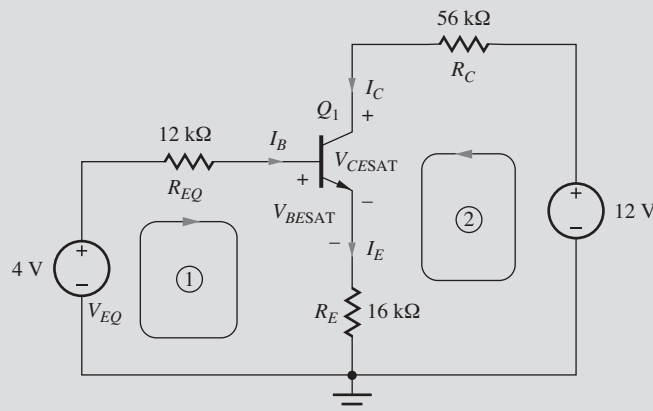
SOLUZIONE **Informazioni e dati noti:** È nota la topologia del circuito in Figura 5.38, con $V_{EQ} = 4 \text{ V}$, $R_{EQ} = 12 \text{ k}\Omega$, $V_{CC} = 12 \text{ V}$, $R_E = 16 \text{ k}\Omega$, $R_C = 56 \text{ k}\Omega$.

Incognite: I_C e V_{CE} .

Approccio: Faremo un'ipotesi iniziale in merito alla regione di funzionamento del transistor, e verificheremo al termine dell'analisi se i risultati sono in accordo con l'ipotesi iniziale. Per il calcolo delle correnti si analizzerà la maglia di ingresso, mentre dall'analisi della maglia di uscita si determinerà la tensione V_{CE} .

Figura 5.38

Circuito di polarizzazione con resistenza di collettore pari a 56 k Ω ($\beta_F = 75$).



Ipotesi: Il transistor è polarizzato in regione attiva diretta, la tensione base-emettitore è pari a 0.7 V e l'effetto Early è trascurabile ($V_A \rightarrow \infty$).

Analisi: La maglia 1 per il circuito in Figura 5.38 è identica a quella considerata in Figura 5.35(c), e la corrente I_B è quindi data dalla (5.59) con $\beta_F = 75$:

$$I_B = \frac{4 \text{ V} - 0.7 \text{ V}}{1.21 \text{ M}\Omega} = 2.73 \text{ }\mu\text{A} \quad I_C = \beta_F I_B = 205 \text{ }\mu\text{A}$$

$$I_E = (\beta_F + 1) I_B = 208 \text{ }\mu\text{A}$$

Dall'analisi della maglia 2 si ottiene l'espressione di V_{CE} [si veda la (5.60)]:

$$V_{CE} = V_{CC} - \left(R_C + \frac{R_E}{\alpha_F} \right) I_C = 12 \text{ V} - 72.2 \text{ k}\Omega \times I_C = -2.80 \text{ V}$$

Il punto di lavoro risulta quindi (205 μA , -2.80 V).

Verifica dei risultati: Il valore calcolato di V_{CE} è negativo, in contrasto all'ipotesi iniziale di funzionamento in regione attiva diretta (inoltre, per il circuito in esame un valore di V_{CE} negativo è assurdo). Dobbiamo quindi definire una nuova regione di funzionamento e ripetere l'analisi.

Analisi - seconda iterazione: Poiché la tensione V_{CE} è negativa possiamo assumere che il transistor si trovi in saturazione (in cui V_{CE} assume valori molto piccoli). Dalle equazioni alle maglie 1 e 2 si ha:

$$\begin{aligned} 4 \text{ V} &= 12 \text{ k}\Omega I_B + V_{BESAT} + 16 \text{ k}\Omega I_E \\ 12 \text{ V} &= 56 \text{ k}\Omega I_C + V_{CESAT} + 16 \text{ k}\Omega I_E \end{aligned} \quad (5.67)$$

Assumendo $V_{BESAT} = 0.75 \text{ V}$, $V_{CESAT} = 0.05 \text{ V}$, e ricordando che $I_E = I_B + I_C$, dalle (5.65) otteniamo:

$$I_C = 160 \text{ }\mu\text{A} \quad I_B = 24 \text{ }\mu\text{A} \quad \text{e} \quad I_E = I_B + I_C = 184 \text{ }\mu\text{A}$$

Il punto di lavoro risulta quindi (160 μA , 0.05 V).

Verifica dei risultati: Le tre correnti ai terminali sono positive, e $I_C/I_B < \beta_F$ (ovvero $\beta_{FOR} < \beta_F$). L'ipotesi di funzionamento in regione di saturazione è quindi corretta. I valori di V_{BESAT} e V_{CESAT} possono essere calcolati dalle (5.65) a verifica dell'analisi manuale. I valori così ottenuti sono in buon accordo con i valori assunti: $V_{BESAT} = 0.77 \text{ V}$, $V_{CESAT} = 0.096 \text{ V}$.

Discussione: Il problema in esame illustra un caso in cui l'ipotesi iniziale relativa alla regione di funzionamento non è verificata, rendendo necessaria una seconda iterazione.

Analisi assistita da calcolatore: Utilizzando la simulazione SPICE per verificare l'analisi manuale si ottiene:

$$I_C = 160 \text{ }\mu\text{A} \quad I_B = 28 \text{ }\mu\text{A} \quad \text{e} \quad I_E = 188 \text{ }\mu\text{A}$$

Le piccole differenze con i valori calcolati sono dovute alle differenze nei valori di V_{BESAT} e V_{CESAT} utilizzati nell'analisi manuale rispetto a quelli calcolati da SPICE.

ESERCIZIO Si determini il massimo valore di R_C nel circuito di Figura 5.38 per il quale il transistor risulta polarizzato in regione attiva (con $V_{CE} = 0.7 \text{ V}$).

RISPOSTA 38.9 k Ω .

ESERCIZIO Si sostituisca il valore di I_C , I_B e I_E nella (5.67) e si verifichi il valore di V_{BESAT} e V_{CESAT} .

Esempio 5.11**PROGETTAZIONE DELLA RETE A 2 RESISTORI PER LA POLARIZZAZIONE DEL TRANSISTORE**

In questo esempio analizziamo un diverso circuito di polarizzazione di un transistor *pnp* che fa uso solo di due resistori. Lo stesso circuito può essere usato anche per gli *nnp*.

PROBLEMA Si determini il punto di lavoro del transistor nel circuito di Figura 5.39. Si assuma $\beta_F = 50$.

SOLUZIONE **Informazioni e dati noti:** È nota la topologia del circuito di Figura 5.39; per il transistor *pnp* risulta $\beta_F = 50$.

Incognite: I_C e V_{CE} .

Approccio: Assumeremo il transistor polarizzato in regione attiva diretta, analizzeremo quindi il circuito e verificheremo se i risultati sono in accordo con l'ipotesi iniziale.

Ipotesi: Il transistor è polarizzato in regione attiva diretta, la tensione V_{EB} è pari a 0.7 V e l'effetto Early è trascurabile.

Analisi: Applicando la legge di Kirchhoff per le tensioni otteniamo:

$$9 \text{ V} = V_{EB} + 18 \text{ k}\Omega I_B + 1 \text{ k}\Omega (I_C + I_B) \quad (5.68)$$

Poiché assumiamo che il transistor si trovi in regione attiva diretta con $V_{EB} = 0.7 \text{ V}$ e $\beta_F = 50$, si ha

$$9 \text{ V} = 0.7 \text{ V} + 18 \text{ k}\Omega I_B + 1 \text{ k}\Omega \times 51 I_B \quad (5.69)$$

e quindi

$$I_B = \frac{9 \text{ V} - 0.7 \text{ V}}{69 \text{ k}\Omega} = 120 \text{ }\mu\text{A} \quad I_C = 50 I_B = 6.01 \text{ mA} \quad (5.70)$$

La tensione emettitore-collettore è data da:

$$V_{EC} = 9 \text{ V} - 1 \text{ k}\Omega (I_C + I_B) = 2.88 \text{ V} \quad \text{e} \quad V_{BC} = 2.18 \text{ V} \quad (5.71)$$

Il punto di lavoro risulta quindi $(I_C, V_{EC}) = (6.01 \text{ mA}, 2.88 \text{ V})$.

Verifica dei risultati: Poiché i valori di I_B , I_C e V_{BC} sono positivi, l'ipotesi di funzionamento in regione attiva è verificata.

Analisi assistita da calcolatore: Il punto di lavoro ottenuto con la simulazione SPICE è (6.04 mA, 2.95 V), in accordo con l'analisi manuale.

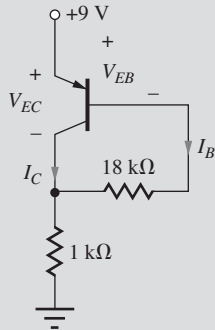


Figura 5.39 Rete di polarizzazione a 2 resistori di un transistor *pnp*.

ESERCIZIO Si ripeta il calcolo del punto di lavoro nel caso in cui la resistenza di 18 kΩ viene portata a un valore di 36 kΩ.

RISPOSTE (4.77 mA, 4.13 V).

ESERCIZIO Si disegni la rete di polarizzazione a 2 resistori per un transistor *nnp* con una singola alimentazione di +9 V, con le stesse resistenze considerate in Figura 5.39 (il circuito assume una forma speculare rispetto alla rete di Figura 5.39).

RISPOSTA Si veda il circuito in Figura P5.95.

Sebbene gli esempi di cui sopra illustrino solo alcune delle possibili reti di polarizzazione per transistori bipolari, le tecniche di analisi utilizzate rappresentano le tecniche fondamentali per la determinazione del punto di lavoro in una qualsiasi rete di polarizzazione.

5.12.3 Analisi iterativa della rete di polarizzazione a 4 resistori

Per determinare il valore di I_C nel circuito di Figura 5.35, dobbiamo risolvere la coppia di equazioni seguente:

$$I_C = \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{\beta_F} + \frac{(\beta_F + 1)}{\beta_F} R_E} \quad \text{con} \quad V_{BE} = V_T \ln \left(\frac{I_C}{I_S} + 1 \right) \quad (5.72)$$

Tabella 5.4 Soluzione iterativa della polarizzazione del BJT
 $I_S = 1 \text{ fA}$, $V_T = 25 \text{ mV}$

$V_{BE} \text{ (V)}$	$I_C \text{ (A)}$	$V'_{BE} \text{ (V)}$
0.7000	2.015E-04	0.6507
0.6507	2.046E-04	0.6511
0.6511	2.045E-04	0.6511

Nell'analisi presentata nel Paragrafo 5.1.1, abbiamo aggirato i problemi connessi alla risoluzione della corrispondente equazione trascendente ipotizzando di conoscere un valore approssimato di V_{BE} . Tuttavia, è possibile trovare una soluzione numerica di questa coppia di equazioni per mezzo di una semplice procedura iterativa.

1. Stimare un valore iniziale di V_{BE} .
2. Calcolare il corrispondente valore di I_C tramite l'equazione
$$I_C = \frac{V_{EQ} - V_{BE}}{\frac{R_{EQ}}{\beta_F} + \frac{(\beta_F + 1)}{\beta_F} R_E}$$
3. Aggiornare la stima di V_{BE} con l'espressione $V'_{BE} = V_T \ln\left(\frac{I_C}{I_S} + 1\right)$.
4. Ripetere i passi 2 e 3 fino a che la stima di V_{BE} non converge a un valore stabile.

La Tabella 5.4 riporta i risultati di questa procedura iterativa mostrando che, in questo caso, la convergenza viene raggiunta in sole tre iterazioni. La convergenza rapida discende dal fatto che la caratteristica $I_C - V_{BE}$ è molto ripida.

A questo punto è lecito chiedersi se il risultato appena ottenuto è migliore di quello ricavato nel Paragrafo 5.12.1. In generale, i risultati non possono essere migliori dei dati di ingresso. In questo caso abbiamo bisogno di conoscere la corrente di saturazione I_S e la temperatura T per calcolare V_{BE} . Nella soluzione approssimata precedente abbiamo semplicemente stimato direttamente il valore di V_{BE} . In pratica, è raro conoscere con precisione il valore sia di I_S che di T , quindi spesso una stima diretta di V_{BE} dà risultati più che adeguati.

ESERCIZIO Si ripeta l'analisi iterativa per trovare i valori di I_C e V_{BE} se $V_T = 25.8 \text{ mV}$.

RISPOSTA 203.3 μA , 0.6718 V.

5.13 Tolleranze nei circuiti di polarizzazione

Quando si realizza un circuito a componenti discreti in un laboratorio, oppure si realizza un circuito integrato, i valori dei componenti del circuito e dei parametri dei dispositivi sono caratterizzati da tolleranze. I resistori disponibili in commercio sono caratterizzati da tolleranze del 5%, 2% oppure 1%, mentre i resistori realizzati nei circuiti integrati possono esibire variazioni anche maggiori ($\pm 30\%$). Le tolleranze delle tensioni di alimentazione sono spesso comprese tra il 5% e il 10%.

Per un dato tipo di transistor bipolare, parametri quali il guadagno di corrente possono variare di un fattore compreso tra 5 e 1, oppure tra 10 e 1, oppure possono essere specificati il valore nominale e il valore minimo. La corrente di saturazione di un BJT (oppure di un diodo) può variare di uno o due ordini di grandezza, mentre la tensione di Early può presentare variazioni del $\pm 20\%$. In circuiti basati su transistori MOSFET il valore della tensione di soglia e della transconduttanza può essere soggetto a notevoli variazioni, e nei circuiti con amplificatori operazionali le variazioni specificate per i parametri caratteristici degli amplificatori (per esempio guadagno ad anello aperto, resistenza di ingresso, resistenza di uscita, corrente di polarizzazione di ingresso, frequenza di transizione) sono tipicamente molto ampie.

All'incertezza sul valore iniziale dei componenti del circuito, si aggiungono variazioni dovute alla temperatura e agli effetti dell'invecchiamento. È importante comprendere l'effetto di queste variazioni sul funzionamento del circuito, per progettare circuiti che funzioni-

no correttamente anche in presenza di tali variazioni. L'analisi del caso peggiore e l'analisi Monte Carlo sono due approcci utilizzati per analizzare l'effetto delle tolleranze sulle prestazioni del circuito.

5.13.1 Analisi del caso peggiore

L'**analisi del caso peggiore** (*worst-case analysis*) è stata spesso utilizzata per garantire il corretto funzionamento di un circuito anche nel caso in cui tutti i componenti esibiscano la massima variazione possibile. Per esempio, nell'analisi del punto di funzionamento a riposo, si considerano i valori massimi e minimi che possono essere assunti dai diversi parametri, in modo da valutare i limiti estremi fra cui può variare il punto di lavoro. Sfortunatamente, un progetto basato sul caso peggiore è di solito sovra-dimensionato e poco conveniente dal punto di vista economico. È nondimeno importante comprendere gli aspetti essenziali di questa tecnica e le sue limitazioni.

Esempio 5.12

ANALISI DEL CASO PEGGIORE PER LA RETE DI POLARIZZAZIONE A 4 RESISTORI

PROBLEMA Si determinino i valori per il caso peggiore di I_C e V_{CE} per il transistor nel circuito di Figura 5.40, che rappresenta una versione semplificata della rete di polarizzazione a 4 resistori riportata nella Figura 5.35. Si assuma che la tolleranza sia pari al 5% per l'alimentazione, e pari al 10% per le resistenze. Si farà inoltre l'ipotesi che il valore nominale del guadagno del transistor sia 75, con una tolleranza del 50%.

SOLUZIONE **Informazioni e dati noti:** Sono note la topologia del circuito e le tolleranze per la tensione di alimentazione (5%) e per le resistenze (10%); per il transistor risulta $\beta_{FO} = 75$, con una tolleranza del 50%.

Incognite: I valori minimi e massimi di I_C e V_{CE} .

Approccio: Determineremo anzitutto i valori minimi e massimi per V_{EQ} e R_{EQ} , e successivamente quelli per I_B e I_C . Sulla base dei risultati relativi alla corrente di collettore, determineremo i valori estremi per V_{CE} .

Ipotesi: Per semplificare l'analisi assumeremo che la caduta di tensione su R_{EQ} sia trascurabile, e che β_F sia sufficientemente elevato in modo che la corrente di collettore possa essere calcolata dalla seguente relazione approssimata:

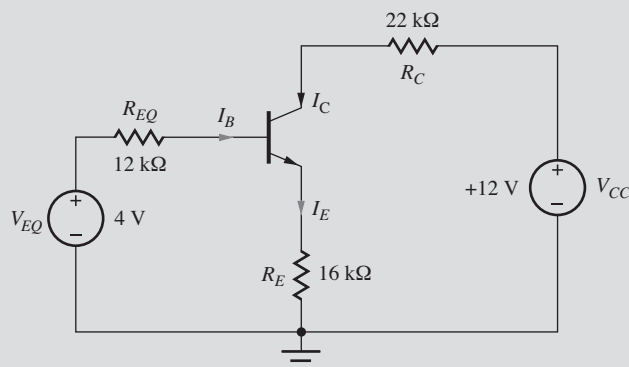
$$I_C \approx I_E = \frac{V_{EQ} - V_{BE}}{R_E} \quad (5.73)$$

Infine, assumeremo che la tensione base-emettitore sia pari a 0.7 V.

Analisi: Affinché I_C assuma il valore massimo, è necessario che V_{EQ} assuma il valore massimo, mentre il valore di R_E dovrebbe essere minimo. Viceversa, in corrispondenza del valore minimo di I_C , V_{EQ} assume il valore minimo, mentre R_E assume il valore massimo. Le variazioni di V_{BE} si assumeranno trascurabili, benché tale effetto possa essere tenuto in conto se necessario.

Figura 5.40

Schema semplificato del circuito di polarizzazione a quattro resistori di Figura 5.35(c) riferito ai valori nominali dei parametri.



I valori estremi di R_E sono $0.9 \times 16 \text{ k}\Omega = 14.4 \text{ k}\Omega$, e $1.1 \times 16 \text{ k}\Omega = 17.6 \text{ k}\Omega$. I valori estremi di V_{EQ} sono espressi da una relazione più complessa:

$$V_{EQ} = V_{CC} \frac{R_1}{R_1 + R_2} = \frac{V_{CC}}{1 + \frac{R_2}{R_1}} \quad (5.74)$$

Per ottenere il valore massimo di V_{EQ} il numeratore della (5.74) dovrebbe assumere il valore massimo, e il denominatore quello minimo. Pertanto V_{CC} e R_1 devono assumere il valore massimo e R_2 quello minimo. Viceversa, per determinare il valore minimo di V_{EQ} , occorre considerare il valore minimo di V_{CC} e R_1 , e quello massimo per R_2 . I valori massimo e minimo di V_{EQ} così calcolati risultano:

$$V_{EQ}^{\max} = \frac{12 \text{ V}(1.05)}{1 + \frac{36 \text{ k}\Omega(0.9)}{18 \text{ k}\Omega(1.1)}} = 4.78 \text{ V} \quad \text{e} \quad V_{EQ}^{\min} = \frac{12 \text{ V}(0.95)}{1 + \frac{36 \text{ k}\Omega(1.1)}{18 \text{ k}\Omega(0.9)}} = 3.31 \text{ V}$$

Sostituendo questi valori nella (5.73) si ottengono i valori estremi di I_C :

$$I_C^{\max} = \frac{4.78 \text{ V} - 0.7 \text{ V}}{14.4 \text{ k}\Omega} = 283 \text{ }\mu\text{A} \quad \text{e} \quad I_C^{\min} = \frac{3.31 \text{ V} - 0.7 \text{ V}}{17.6 \text{ k}\Omega} = 148 \text{ }\mu\text{A}$$

I valori estremi di V_{CE} possono essere valutati in modo analogo, facendo attenzione a possibili semplificazioni delle variabili:

$$V_{CE} = V_{CC} - I_C R_C - I_E R_E \approx V_{CC} - I_C R_C - \frac{V_{EQ} - V_{BE}}{R_E} R_E \quad (5.75)$$

$$V_{CE} \approx V_{CC} - I_C R_C - V_{EQ} + V_{BE}$$

Il valore massimo di V_{CE} nell'Equazione (5.75) si ottiene in corrispondenza del minimo valore di I_C e R_C , e viceversa. In base alla (5.75) i valori estremi di V_{CE} risultano:

$$V_{CE}^{\max} \approx 12 \text{ V}(1.05) - (148 \text{ }\mu\text{A})(22 \text{ k}\Omega \times 0.9) - 3.31 \text{ V} + 0.7 \text{ V} = 7.06 \text{ V reg. attiva}$$

$$V_{CE}^{\min} \approx 12 \text{ V}(0.95) - (283 \text{ }\mu\text{A})(22 \text{ k}\Omega \times 1.1) - 4.78 \text{ V} + 0.7 \text{ V} = 0.471 \text{ in saturazione!}$$

Verifica dei risultati: Nel caso dell'estremo superiore il transistor rimane in regione attiva, mentre nel caso dell'estremo inferiore risulta debolmente polarizzato in saturazione. Poiché nell'ultimo caso l'ipotesi di funzionamento in regione attiva non è verificata, i valori calcolati di V_{CE} e I_C non sono in realtà corretti.

Discussione: I valori massimo e minimo di I_C differiscono di un fattore 2! Il valore massimo di I_C risulta maggiore del 38% rispetto al valore nominale di $210 \text{ }\mu\text{A}$, e il valore minimo risulta inferiore del 37% rispetto al valore nominale. È quindi evidente che il circuito analizzato non garantisce il corretto funzionamento del transistor nella regione di funzionamento desiderata nel caso peggiore.

5.13.2 Analisi Monte Carlo

Nei circuiti reali la variazione dei parametri sarà caratterizzata da una certa distribuzione statistica, ed è improbabile che tutti i componenti assumano simultaneamente i relativi valori estremi. Pertanto l'analisi del caso peggiore fornisce una stima eccessivamente pessimistica delle variazioni del funzionamento di un circuito. Un approccio migliore, di tipo statistico, è il metodo Monte Carlo.

Come abbiamo visto nel Capitolo 1, l'analisi **Monte Carlo** è basata sulla scelta casuale di circuiti che rappresentano variazioni di un dato circuito, allo scopo di predirne il funzionamento su base statistica. Nell'analisi Monte Carlo il valore di ciascun parametro viene scelto in modo casuale all'interno del relativo intervallo di variazione, e il circuito viene successivamente analizzato. Diversi insiemi casuali di parametri sono generati, e il comportamento statistico del circuito viene quindi definito dall'analisi di diversi casi.

Nell'Esempio 5.13 faremo uso del foglio di calcolo Excel per effettuare l'analisi Monte Carlo della rete di polarizzazione a 4 resistori. Come evidenziato nel Capitolo 1, il foglio di calcolo Excel contiene la funzione `RAND()` (in Excel italiano la funzione è `CASUALE()`) che

genera in modo casuale numeri uniformemente distribuiti tra 0 e 1. Per utilizzare $\text{RAND}()$ nell'analisi Monte Carlo, il valore medio deve essere centrato in R_{nom} e l'ampiezza della distribuzione deve essere pari a $(2\varepsilon) \times R_{\text{nom}}$:

$$R = R_{\text{nom}}[1 + 2\varepsilon(\text{RAND}() - 0.5)] \quad (5.76)$$

Esempio 5.13

ANALISI MONTE CARLO PER LA RETE DI POLARIZZAZIONE A 4 RESISTORI

Confrontiamo l'analisi del caso peggiore dell'Esempio 5.12 con una simulazione di 500 casi con i valori dei componenti scelti casualmente.

PROBLEMA Si effettui l'analisi Monte Carlo per determinare la distribuzione statistica della corrente di collettore e della tensione collettore-emettitore per il circuito di Figura 5.35 e 5.40, caratterizzato da una tolleranza del 5% per la tensione di alimentazione, del 10% per le resistenze, e del 50% per il guadagno di corrente, con un valore nominale $\beta_{FO} = 75$.

SOLUZIONE **Informazioni e dati noti:** È nota la topologia del circuito in Figura 5.35(a) e in forma semplificata in Figura 5.40, e le tolleranze per la tensione di alimentazione (5%) e per le resistenze (10%); per il transistor risulta $\beta_{FO} = 75$, con una tolleranza del 50%.

Incognite: La distribuzione statistica di I_C e V_{CE} .

Approccio: Per effettuare l'analisi Monte Carlo del circuito di Figura 5.35 si assegnano valori casuali a V_{CC} , R_1 , R_2 , R_E e β_F , che vengono successivamente utilizzati per determinare I_C e V_{CE} . Poiché si impiega un foglio di calcolo per eseguire l'analisi, si farà riferimento alle equazioni esatte del circuito.

Ipotesi: Assumeremo che la tensione base-emettitore sia pari a 0.7 V, e che le variabili casuali siano indipendenti l'una dall'altra.

Analisi assistita da calcolatore: Utilizzando le stesse tolleranze considerate nell'analisi del caso peggiore, la tensione di alimentazione, le resistenze e il guadagno di corrente sono rappresentati dalle relazioni:

$$\begin{aligned} 1. \quad & V_{CC} = 12(1 + 0.1(\text{RAND}() - 0.5)) \\ 2. \quad & R_1 = 18\,000(1 + 0.2(\text{RAND}() - 0.5)) \\ 3. \quad & R_2 = 36\,000(1 + 0.2(\text{RAND}() - 0.5)) \\ 4. \quad & R_E = 16\,000(1 + 0.2(\text{RAND}() - 0.5)) \\ 5. \quad & R_C = 22\,000(1 + 0.2(\text{RAND}() - 0.5)) \\ 6. \quad & \beta_F = 75(1 + (\text{RAND}() - 0.5)) \end{aligned} \quad (5.77)$$

Si osservi che ciascuna variabile deve chiamare indipendentemente la funzione $\text{RAND}()$, in modo che i valori casuali siano indipendenti tra loro.

Nei risultati ottenuti con il foglio di calcolo, mostrati in Figura 5.41, i valori dei diversi parametri nelle (5.77) sono utilizzati per valutare le espressioni che descrivono il funzionamento del circuito:

$$\begin{aligned} 7. \quad & V_{EQ} = V_{CC} \frac{R_1}{R_1 + R_2} \\ 8. \quad & R_{EQ} = \frac{R_1 R_2}{R_1 + R_2} \\ 9. \quad & I_B = \frac{V_{EQ} - V_{BE}}{R_{EQ} + (\beta_F + 1)R_E} \\ 10. \quad & I_C = \beta_F I_B \\ 11. \quad & I_E = \frac{I_C}{\alpha_F} \\ 12. \quad & V_{CE} = V_{CC} - I_C R_C - I_E R_E \end{aligned} \quad (5.78)$$

Analisi Monte Carlo											
Case #	V _{CC} (1)	R ₁ (2)	R ₂ (3)	R _E (4)	R _C (5)	β_F (6)	V _{EQ} (7)	R _{EQ} (8)	I _B (9)	I _C (10)	V _{CE} (12)
1	12.277	16 827	38 577	15 780	23 257	67.46	3.729	11 716	2.87E-06	1.93E-04	4.687
2	12.202	18 188	32 588	15 304	23 586	46.60	4.371	11 673	5.09E-06	2.37E-04	2.891
3	11.526	16 648	35 643	14 627	20 682	110.73	3.669	11 348	1.87E-06	2.07E-04	4.206
4	11.658	17 354	33 589	14 639	22 243	44.24	3.971	11 442	5.00E-06	2.21E-04	3.420
5	11.932	19 035	32 886	16 295	20 863	62.34	4.374	12 056	3.61E-06	2.25E-04	3.500
6	11.857	18 706	32 615	15 563	21 064	60.63	4.322	11 888	3.83E-06	2.32E-04	3.286
7	11.669	18 984	39 463	17 566	21 034	42.86	3.790	12 818	4.07E-06	1.75E-04	4.859
8	12.222	19 291	37 736	15 285	22 938	63.76	4.135	12 765	3.53E-06	2.25E-04	3.577
9	11.601	17 589	34 032	17 334	23 098	103.07	3.953	11 596	1.85E-06	1.90E-04	3.873
10	11.533	17 514	33 895	17 333	19 869	71.28	3.929	11 547	2.63E-06	1.88E-04	4.505
11	11.436	19 333	34 160	15 107	22 593	68.20	4.133	12 346	3.34E-06	2.28E-04	2.797
12	11.962	18 810	33 999	15 545	22 035	53.69	4.261	12 110	4.25E-06	2.28E-04	3.330
13	11.801	19 610	37 917	14 559	21 544	109.65	4.023	12 925	2.11E-06	2.31E-04	3.426
14	12.401	17 947	34 286	15 952	21 086	107.84	4.261	11 780	2.09E-06	2.26E-04	4.002
15	11.894	16 209	35 321	17 321	23 940	45.00	3.741	11 111	3.89E-06	1.75E-04	4.607
16	12.329	16 209	37 873	16 662	23 658	112.01	3.695	11 351	1.63E-06	1.83E-04	4.923
17	11.685	19 070	35 267	15 966	21 864	64.85	4.101	12 377	3.29E-06	2.13E-04	3.559
18	11.456	18 096	37 476	15 529	20 141	91.14	3.730	12 203	2.17E-06	1.98E-04	4.370
19	12.527	18 752	38 261	15 186	21 556	69.26	4.120	12 584	3.26E-06	2.26E-04	4.180
20	12.489	17 705	36 467	17 325	20 587	83.95	4.082	11 919	2.35E-06	1.97E-04	4.979
21	11.436	18 773	34 697	16 949	21 848	65.26	4.015	12 182	3.01E-06	1.96E-04	3.768
22	11.549	16 830	38 578	16 736	19 942	109.22	3.508	11 718	1.57E-06	1.71E-04	5.247
23	11.733	16 959	39 116	15 944	21 413	62.82	3.548	11 830	2.86E-06	1.80E-04	4.965
24	11.738	18 486	35 520	17 526	20 455	70.65	4.018	12 158	2.70E-06	1.90E-04	4.457
25	11.679	18 908	38 236	15 160	21 191	103.12	3.864	12 652	2.05E-06	2.12E-04	3.958
Valor medio	11.848	18 014	35 102	15 973	21 863	67.30	4.024	11 885	3.44E-06	2.09E-04	3.880
Deviaz. Stand.	0.296	958	2596	1108	1309	23.14	0.264	520	1.14E-06	2.18E-05	0.657

(X) = Numero con cui è riportata l'equazione nel testo

Poiché tali espressioni vengono valutate dal calcolatore, nelle (5.78) sono state utilizzate le espressioni esatte per ciascuna grandezza, anziché quelle approssimate.¹⁰

Una volta inserite le (5.77) e (5.78) in una riga del foglio di calcolo, questa può essere copiata in un numero arbitrario di righe. Il foglio di calcolo ripete automaticamente l'analisi per ciascuna riga, che rappresenta una delle possibili condizioni di funzionamento. In tal modo si costruisce la distribuzione statistica per ciascuna grandezza relativa al circuito. Alla fine di ogni colonna è possibile calcolare il valor medio e la deviazione standard utilizzando delle funzioni disponibili nel foglio di calcolo, mentre i risultati complessivi del foglio di calcolo possono essere utilizzati per costruire gli istogrammi relativi al funzionamento del circuito.

La Figura 5.41 mostra un esempio di parte dei risultati del foglio di calcolo, relativi a 25 casi per il circuito di Figura 5.40, mentre l'insieme complessivo dell'analisi di 500 casi è mostrato negli istogrammi di I_C e V_{CE} in Figura 5.42. I valori medi di I_C e V_{CE} sono rispettivamente pari a 207 μA e 4.06 V, in buon accordo con le stime iniziali relative ai valori nominali dei parametri. La deviazione standard è rispettivamente pari a 19.6 μA e 0.64 V.

Verifica dei risultati e discussione: I calcoli relativi all'analisi del caso peggiore considerata nel paragrafo precedente sono rappresentati dalle frecce. Si può notare come i risultati dell'analisi del caso peggiore siano ben oltre i limiti della distribuzione statistica, e che il funzionamento in saturazione non venga previsto dall'analisi statistica. Se la distribuzione del punto di lavoro descritta dagli istogrammi di Figura 5.42 non rispettasse gli obiettivi di progetto si potrebbero modificare le tolleranze dei parametri (per esempio prendendo in considerazione resistori più costosi con tolleranze minori) ed effettuare nuovamente l'analisi Monte Carlo.

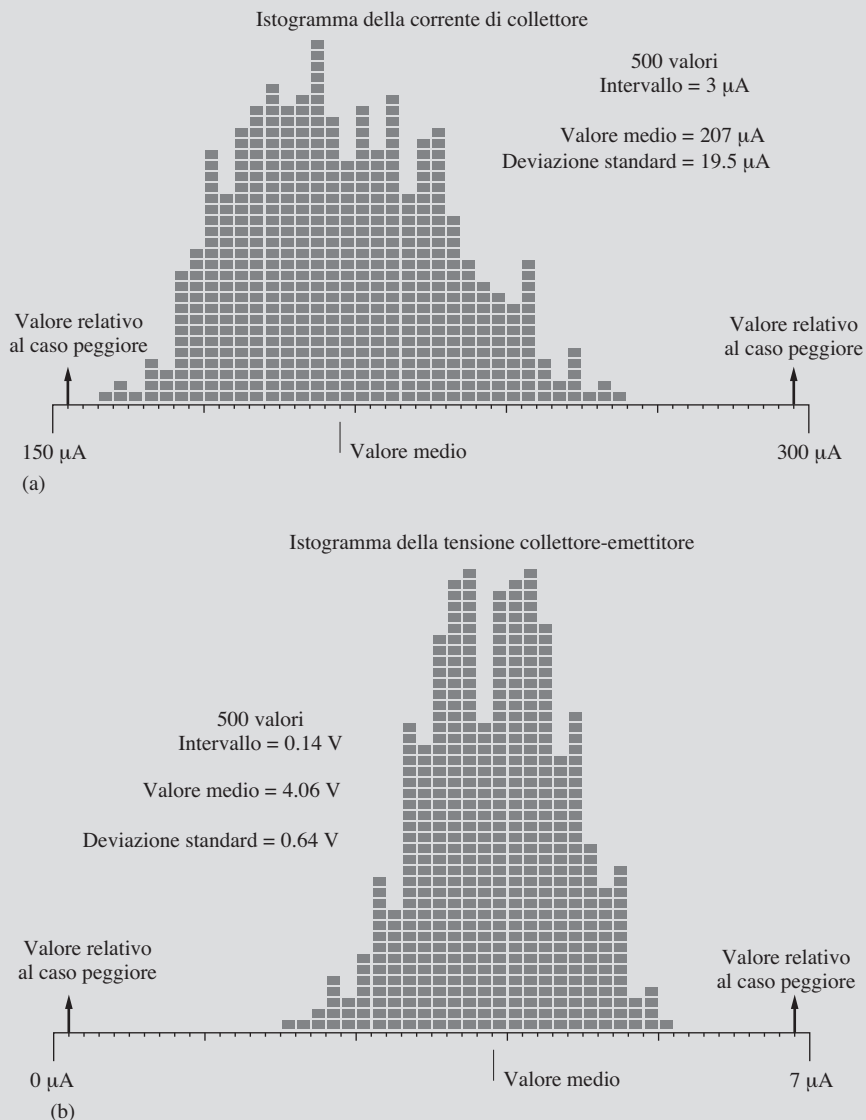
Figura 5.41

Esempio di analisi Monte Carlo mediante foglio di calcolo.

¹⁰ Si osservi che anche V_{BE} potrebbe essere trattata come una variabile casuale.

Figura 5.42

(a) Istogramma relativo alla corrente di collettore.
 (b) Istogramma relativo alla tensione collettore-emettitore.



In alcune versioni del programma di simulazione SPICE (per esempio PSPICE o LTSpice) è disponibile come opzione l'analisi Monte Carlo, in cui viene effettuata in modo automatico la simulazione completa del circuito in corrispondenza di un numero arbitrario di casi prova scelti in modo casuale. Questi programmi forniscono degli strumenti molto potenti, che consentono di effettuare analisi statistiche molto più complesse dell'analisi manuale. Utilizzando questi programmi si possono ottenere stime relative alla distribuzione statistica del ritardo, della risposta in frequenza e così via, per circuiti complessi con molti transistori.

Riferimenti bibliografici

- [1] W.F. Brinkman, "The transistor: 50 glorious years and where we are going," *IEEE International Solid-State Circuits Conference Digest*, vol. 40, pp. 22-26, febbraio 1997.
- [2] W.F. Brinkman, Douglas E. Haggan e William W. Troutman, "A history of the invention of the transistor and where it will lead us," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1858-1865, dicembre 1997.
- [3] H.K. Gummel e H.C. Poon, "A compact bipolar transistor model," *ISSCC Digest of Technical Papers*, pp. 78, 79, 146, febbraio 1970.
- [4] H.K. Gummel, "A charge control relation for bipolar transistors," *Bell System Technical Journal*, gennaio 1970.
- [5] J.J. Ebers e J.L. Moll, "Large signal behavior of junction transistors," *Proc. IRE.*, pp. 1761-1772, dicembre 1954.
- [6] R.C. Jaeger e A.J. Brodersen, "Self consistent bipolar transistor models for computer simulation," *Solid-State Electronics*, vol. 21, no. 10, pp. 1269-1272, ottobre 1978.
- [7] J.M. Early, "Effects of space-charge layer widening in junction transistors," *Proc. IRE.*, pp. 1401-1406, novembre 1952.
- [8] B.M. Wilamowski e R.C. Jaeger, *Computerized Circuit Analysis Using SPICE Programs*, McGraw-Hill, New York: 1997.
- [9] J.D. Cressler, "Reengineering silicon: SiGe heterojunction bipolar technology," *IEEE Spectrum*, pp. 49-55, marzo 1995.

Obiettivi

- Introdurre i concetti fondamentali della logica digitale.
- Analizzare le caratteristiche di tensione di inverter ideali e non ideali.
- Definire i livelli logici e i corrispondenti stati logici all'ingresso e all'uscita delle porte logiche.
- Presentare i criteri principali per la progettazione di porte logiche.
- Capire il concetto di reiezione del rumore e margine di rumore; presentare esempi di calcolo del margine di rumore.
- Misurare le prestazioni dinamiche delle porte logiche, in particolare tempi di salita e discesa, ritardo di propagazione, prodotto potenza-ritardo.
- Passare in rassegna le proprietà fondamentali dell'algebra booleana e delle funzioni NOT, OR, AND, NOR e NAND.
- Apprendere le basi del progetto degli invertitori; capire perché i transistori sono usati al posto dei resistori.
- Analizzare semplici progetti di invertitori basati su transistori.
- Approfondire il progetto di porte logiche MOS che utilizzano un solo tipo di transistor (NMOS o PMOS).
- Capire le differenze di prestazioni tra circuiti con carico attivo formato da un dispositivo MOS in saturazione o in regione lineare oppure realizzato con un dispositivo MOS a svuotamento.
- Imparare a progettare porte NAND e NOR con più ingressi.
- Imparare a progettare porte logiche che realizzano funzioni complesse espresse come somma di prodotti.
- Derivare espressioni e discutere tecniche approssimate per il calcolo dei tempi di salita e di discesa e del ritardo di propagazione di varie famiglie logiche.

L'elettronica digitale ha avuto un profondo effetto sulle nostre vite attraverso la presenza significativa di microprocessori e microcontrollori in prodotti industriali e dedicati al mercato consumer. Il microprocessore costituisce il cuore di tablet, personal computer e workstation; l'elaborazione digitale dei segnali è alla base delle moderne telecomunicazioni. I microcontrollori si trovano ormai ovunque, dai riproduttori di musica digitale ai frigoriferi, dalle lavatrici agli aspirapolveri. Nelle automobili di lusso oltre 50 microprocessori possono lavorare insieme al controllo del veicolo: si stima infatti che nel prossimo futuro l'elettronica contribuirà fino al 50% del costo totale di un'automobile di lusso.

Il mercato dell'elettronica digitale è largamente dominato dalla tecnologia a MOS complementare (CMOS). Tuttavia, come evidenziato nel capitolo precedente, i primi processi produttivi erano sviluppati per dispositivi bipolari ed i primi circuiti integrati utilizzavano transistori bipolari. Il rapido sviluppo dell'elettronica digitale è stato reso possibile dai progettisti che hanno sviluppato le prime famiglie logiche bipolari chiamate logica resistore-transistore (RTL, *Resistor-Transistor Logic*) e logica

diodo-transistore (DTL, *Diode-Transistor Logic*). Queste famiglie furono successivamente rimpiazzate da famiglie logiche bipolari più robuste, quali la logica transistore-transistore (TTL, *Transistor-Transistor Logic*) e logica ad accoppiamento di emettitore (ECL, *Emitter-Coupled Logic*), che potevano essere facilmente interconnesse per creare sistemi digitali altamente affidabili. Versioni ad alte prestazioni dei componenti TTL ed ECL sono in uso tutt'oggi.

È servito almeno un decennio per sviluppare processi di fabbricazione affidabili per la realizzazione di componenti CMOS. Il primo circuito integrato MOS ad alta densità è comparso intorno al 1970 e utilizzava tecnologia PMOS.

Lo sviluppo del microprocessore monolitico ha costituito una svolta epocale ed è attribuito a Ted Hoff, che convinse Intel a sviluppare il microprocessore 4004. Questo componente conteneva 2300 transistori ed era dotato di registri a 4 bit; progettato da un gruppo guidato da Federico Faggin, fu introdotto nel 1971 [1]. Come spesso accade, le attività su processori monolitici crebbero rapidamente nei laboratori di ricerca di tutto il mondo.

Nei quarant'anni seguenti, l'industria ha sviluppato microprocessori monolitici di incredibile complessità, tanto che oggi sono disponibili chip che impiegano oltre un miliardo di transistori e le proiezioni IRDS, discusse nel Capitolo 1, prevedono entro il 2020 l'apparizione di microprocessori con oltre 10 miliardi di transistori.

Dalla metà degli anni '70 i dispositivi PMOS sono stati rapidamente rimpiazzati dalla tecnologia NMOS la quale offre prestazioni migliori. I componenti Intel 8080, 8085 e 8086 furono realizzati in logica NMOS. Un miglioramento significativo delle prestazioni dei circuiti NMOS si ebbe con l'introduzione di dispositivi realizzati con MOS a svuotamento; nel 1990 il dr. Toshiaki Masuhara di Hitachi ricevette il IEEE Solid-State Circuits Award per la sua attività in tale ambito.

Verso la metà degli anni '80, la potenza dissipata nei microprocessori basati su tecnologia NMOS raggiunse livelli ingestibili; l'industria passò alla tecnologia CMOS quasi da un giorno all'altro. La tecnologia CMOS è da allora quella dominante nell'elettronica digitale; il Capitolo 7 è dedicato alla progettazione di logiche CMOS.

In questo capitolo iniziamo il nostro studio dei circuiti logici digitali con l'introduzione di alcuni concetti e definizioni importanti relativi ai circuiti logici. Approfondiremo in seguito la progettazione di circuiti MOS basati su singolo transistor (NMOS o PMOS): tale tecnologia è indicata come tecnologia a "canale singolo". I componenti pseudo NMOS utilizzano transistori di carico PMOS e costituiscono una sorta di ponte verso le

moderne porte logiche basate su tecnologia a CMOS, che usano sia transistori PMOS sia transistori NMOS, come descritto nel Capitolo 7. Le memorie MOS sono discusse nel Capitolo 8, mentre i circuiti logici bipolari sono trattati nel Capitolo 9.



Processore Intel® con architettura Ivytown. Il processore contiene 4.3 miliardi di transistori, 15 core e 37.5 MB di cache L3 realizzata con tecnologia Intel da 22 nm 9-metal Hi-K tri-gate con gate metallico. [Stefan Rusu, et al. "Ivytown: A 22nm 15-Core Enterprise XeonProcessor Family" 2014 IEEE International Solid-State Circuits Conference, per gentile concessione di Intel Corporation.]

6.1 Porte logiche ideali

Inizieremo la nostra descrizione delle porte logiche considerando le caratteristiche di un invertitore ideale. Sebbene non sia possibile in pratica ottenere un comportamento ideale da un circuito elettronico, i concetti e le definizioni che saranno introdotti formeranno la base per il nostro studio delle effettive realizzazioni circuitali delle porte logiche in tecnologia MOS e bipolare.

Nel trattare i circuiti digitali ci limiteremo a considerare una logica di tipo binario, che richiede alle porte logiche di operare soltanto tra due stati discreti. Inoltre, si adotterà la convenzione secondo la quale il livello di tensione più alto corrisponde allo stato logico 1, mentre il livello di tensione inferiore corrisponde allo stato logico 0 (logica positiva).

In Figura 6.1 sono mostrati la caratteristica di trasferimento (VTC, *Voltage Transfer Characteristic*) ideale e il simbolo logico di un invertitore. Le tensioni di alimentazione positiva e negativa, indicate esplicitamente come V_+ e V_- , non sono incluse nella maggior parte degli schemi logici. Per tensioni di ingresso v_I inferiori alla **tensione di riferimento** (*reference voltage*) V_{REF} , la tensione di uscita v_O sarà al livello logico alto V_H . Quando la tensione di ingresso cresce superando V_{REF} , la tensione di uscita varia bruscamente, portandosi al livello logico basso V_L . I valori di tensione in uscita corrispondenti a V_H e a V_L sono generalmente compresi fra le tensioni di alimentazione V_+ e V_- . Non è detto che V_H sia uguale a V_+ o che V_L sia uguale a V_- ; in altre parole, per una tensione di ingresso uguale a V_+ oppure a V_- , l'uscita non necessariamente deve raggiungere V_- o V_+ . I livelli di tensione dipendono dalla particolare famiglia logica considerata; la tensione di riferimento V_{REF} è determinata dal circuito interno della porta logica.

In quasi tutti i circuiti digitali, la tensione di alimentazione è predeterminata da vincoli tecnologici o da criteri relativi alla dissipazione di potenza dell'intero sistema. Per esempio,

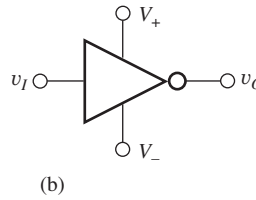
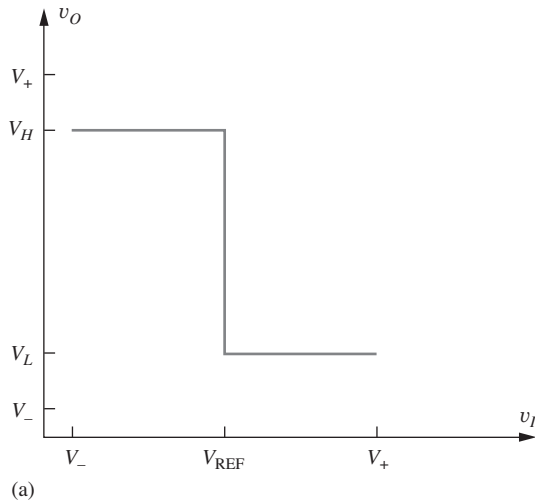


Figura 6.1

(a) Caratteristica di trasferimento di un invertitore ideale.

(b) Simbolo logico dell'invertitore.

il valore $V_+ = 5.0 \text{ V}$ (con $V_- = 0$) è stato per molti anni lo standard per l'alimentazione di circuiti logici. Viene però adoperata sempre più diffusamente una tensione di alimentazione compresa tra 1.8 e 3.3 V, a causa delle limitazioni imposte da tecnologie più avanzate in termini di dissipazione di potenza, rimozione del calore e tensione di rottura. In aggiunta a questo, si consideri che molti sistemi sono progettati per essere alimentati a batterie, con tensioni di alimentazioni comprese fra 1 V e 1.5 V.

6.2 Definizione dei livelli logici e dei margini di rumore

Concettualmente, un invertitore come quello di Figura 6.2(a) può essere realizzato con un interruttore controllato dalla tensione di ingresso v_I , come indicato in Figura 6.2(b). Quando è chiuso, l'interruttore forza la tensione di uscita v_O al valore V_L ; quando l'interruttore è aperto il resistore porta la tensione di uscita al valore di V_H . Per il circuito in Figura 6.2(b) si ha: $V_L = 0 \text{ V}$ e $V_H = V_+$.

L'interruttore controllato in tensione può essere realizzato o con un **transistore MOS** come mostrato in Figura 6.2(c), o con un transistore bipolare [Figura 6.2(d)]. I transistori M_S e Q_S possono commutare fra due stati: interdizione (off) oppure conduzione (on). Il resistore di carico R porta la tensione di uscita a $V_H = V_+$ quando il transistore M_S o Q_S è nello stato off. Se la tensione di ingresso supera la tensione di soglia di M_S o la tensione di accensione della giunzione base-emettitore di Q_S , il transistore conduce una corrente che fa abbassare la tensione di uscita fino a V_L . Quando i transistori sono adoperati come interruttori, come nelle Figure 6.2(c) e (d), la tensione V_L non raggiunge mai il valore di 0 V.

Una discussione dettagliata del progetto di questi circuiti è presentata in questo capitolo e all'interno del Capitolo 9.

In un circuito invertitore reale, la transizione fra V_H e V_L non avviene in modo brusco come mostrato in Figura 6.1(a) ma è invece graduale, come indicato dalla caratteristica di trasferimento illustrata in Figura 6.3(a). Non esiste un valore univoco, ben definito per V_{REF} , mentre invece è possibile definire nuovi importanti livelli di tensione in ingresso.

Quando v_I è inferiore al **livello logico basso in ingresso**, V_{IL} , l'uscita è, per definizione, al valore logico alto, o nello stato 1. Al crescere della tensione di ingresso, la tensione di

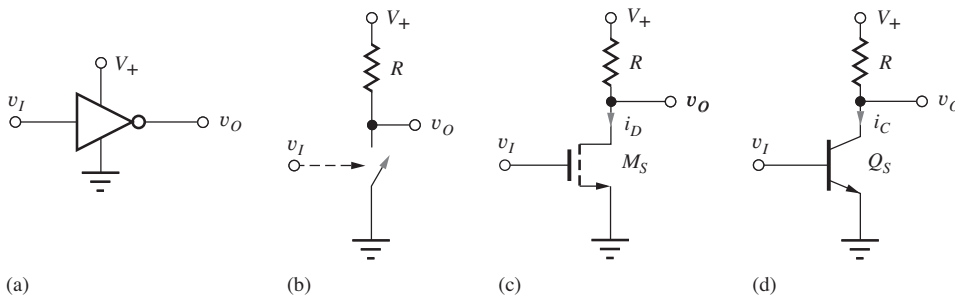


Figura 6.2

(a) Invertitore con tensioni di alimentazione di 0 V e di V_+ .

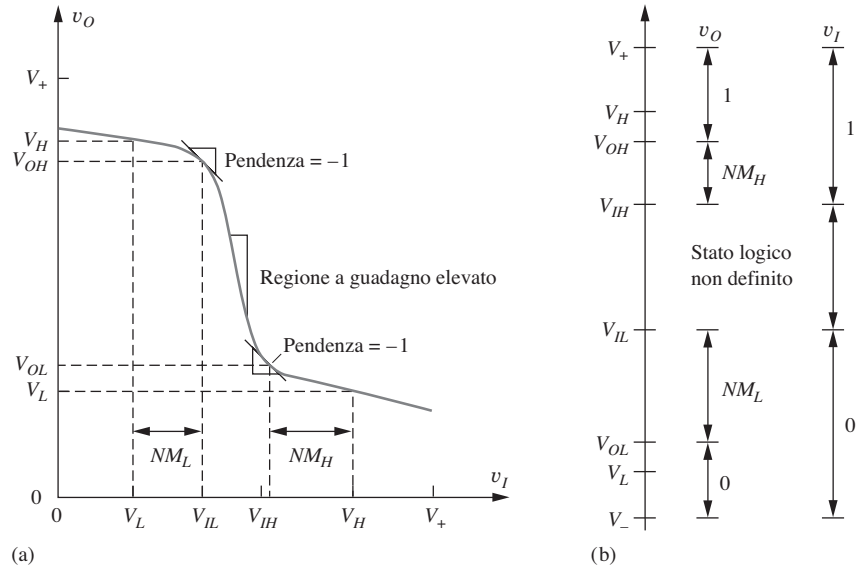
(b) Invertitore composto da un resistore di carico e un interruttore.

(c) Invertitore con un transistore NMOS utilizzato come interruttore.

(d) Invertitore con un transistore bipolare utilizzato come interruttore.

Figura 6.3

(a) Caratteristica di trasferimento per gli invertitori di Figura 6.2 con $V_- = 0$.
 (b) Relazioni fra livelli di tensione e stati logici, in logica positiva.



uscita v_O decresce. Quando v_I supera la tensione V_{IH} , corrispondente al **livello logico alto in ingresso**, l'uscita è allo stato logico 0. Le tensioni di ingresso V_{IL} e V_{IH} sono definite come i punti in cui la pendenza della caratteristica di trasferimento è pari a -1 . All'ingresso dell'invertitore una tensione inferiore a V_{IL} è riconosciuta come valore logico 0, mentre una tensione superiore a V_{IH} viene riconosciuta come valore logico 1. Tensioni di ingresso comprese fra V_{IH} e V_{IL} non rappresentano un livello logico valido e generano una tensione di uscita cui corrisponde un livello logico indeterminato. La regione di transizione a elevata pendenza fra i due punti V_{IL} e V_{IH} rappresenta quindi uno stato logico indefinito.¹ Le tensioni V_{OH} e V_{OL} in Figura 6.3(a) rappresentano le tensioni di uscita corrispondenti, rispettivamente, alle tensioni di ingresso V_{IL} e V_{IH} .

In capitoli successivi di questo libro vedremo che la regione della caratteristica di trasferimento con elevata pendenza negativa compresa fra V_{IL} e V_{IH} corrisponde a un'elevata "amplificazione di tensione" del segnale di ingresso, ed utilizzeremo questa regione per amplificare segnali analogici. Il guadagno è dato dalla pendenza della caratteristica di trasferimento. Si noti che tanto maggiore è il guadagno, tanto minore è il campo di tensioni corrispondente allo stato logico indefinito in Figura 6.3.

Una rappresentazione alternativa dei livelli di tensione e dei corrispondenti valori logici è riportata in Figura 6.3(b). I vari termini riportati in Figura 6.3 sono definiti rigorosamente come segue.

6.2.1 Livelli logici

- V_L Tensione nominale corrispondente a uno stato logico basso all'uscita di un invertitore per $v_I = v_H$. In generale, $V_- \leq V_L$.
- V_H Tensione nominale corrispondente a uno stato logico alto all'uscita di un invertitore per $v_I = V_L$. In generale, $V_H \leq V_+$.
- V_{IL} Massima tensione di ingresso riconosciuta come livello logico basso.
- V_{IH} Minima tensione di ingresso riconosciuta come livello logico alto.
- V_{OH} Tensione di uscita corrispondente alla tensione di ingresso V_{IL} .
- V_{OL} Tensione di uscita corrispondente alla tensione di ingresso V_{IH} .

Nel caso delle porte logiche MOS, V_- assume di solito il valore di 0 V, mentre V_+ vale 2.5 V o 3.3 V. Tensioni di alimentazione V_+ pari a 5 V sono comunemente utilizzate in logica bipolare. Tuttavia, sono possibili altri valori di V_- e V_+ . Per esempio, la logica ad accoppiamento di emettitore (ECL), discussa nel Capitolo 9 dedicato alle logiche bipolari, utilizzava storicamente i valori: $V_+ = 0$ V e $V_- = -5.2$ V o -4.5 V. Sono inoltre state sviluppate nuove porte ECL a bassa dissipazione di potenza, con una tensione di alimentazione di soli 2 V.

¹ Questa regione è caratterizzata da un elevato guadagno di tensione. Vedi i Problemi 6.6 e 6.7.

6.2.2 Margini di rumore

Il **margin di rumore** (*Noise Margin*) nello stato alto NM_H e il margine di rumore nello stato basso NM_L rappresentano dei “margin di sicurezza” che evitano che la porta logica possa produrre dei livelli logici errati in presenza di rumore sovrapposto al segnale di ingresso. I margini di rumore sono necessari per assorbire le differenze di tensione che possono manifestarsi tra l'uscita di una porta logica e l'ingresso di una porta logica successiva a causa di disturbi. Questi disturbi possono essere segnali estranei accoppiati induttivamente o mediante capacità all'ingresso di una porta logica, o rappresentare gli effetti di variazioni parametriche fra due porte di una stessa famiglia logica.

La Figura 6.4 mostra alcuni invertitori interconnessi fra loro e illustra l'importanza dei margini di rumore. Le linee di alimentazione in un circuito stampato o all'interno di un circuito integrato, che noi consideriamo quasi sempre come delle interconnessioni a resistenza nulla (dei cortocircuiti), sono in realtà delle reti RLC distribuite.

In Figura 6.4 l'uscita del primo invertitore, v_{O1} , e l'ingresso del secondo invertitore, v_{I2} , non sono necessariamente uguali. Poiché i segnali logici si propagano da una porta logica a quella successiva, i loro livelli di tensione vengono influenzati dalla resistenza R , dalla induttanza L e dalla capacità C delle linee di interconnessione. Segnali che commutano molto rapidamente possono inoltre indurre dei transitori di tensione e di corrente su linee adiacenti, a causa di accoppiamenti capacitivi e induttivi indicati con C_c e M . In ambienti a radio frequenza, le interconnessioni possono inoltre agire come piccole antenne che contribuiscono a generare disturbi indesiderati nei circuiti digitali. Problemi simili hanno luogo nella rete di distribuzione dell'alimentazione. Sia la corrente continua assorbita dalle varie porte logiche, sia i transitori che si generano durante ogni commutazione possono causare cadute di tensione lungo le varie componenti (R_p , L_p , C_p) delle linee di alimentazione.

I margini di rumore sono utili anche per assorbire le variazioni parametriche che si hanno fra le varie porte logiche. Inevitabili scostamenti fra i parametri dei dispositivi nascono infatti durante le varie fasi di produzione di ogni circuito elettronico, mentre ulteriori variazioni parametriche sono dovute alle variazioni di tensione di alimentazione e di temperatura. Generalmente, il costruttore specifica per V_H , V_L , V_{IL} , V_{OL} , V_{IH} e V_{OH} dei valori minimi o massimi garantiti. Nella nostra analisi, tuttavia, ci limiteremo a calcolare i valori nominali di queste tensioni.

È possibile definire i margini di rumore in modi differenti [2-4]. In questo libro utilizzeremo una definizione basata sulle tensioni di ingresso e di uscita corrispondenti ai punti in cui la caratteristica di trasferimento ha pendenza -1 , come mostrato in Figura 6.3(a):

- NM_L margine di rumore associato con un ingresso logico basso, definito come:

$$NM_L = V_{IL} - V_{OL} \quad (6.1)$$

- NM_H margine di rumore associato con un ingresso logico alto, definito come:

$$NM_H = V_{OH} - V_{IH} \quad (6.2)$$

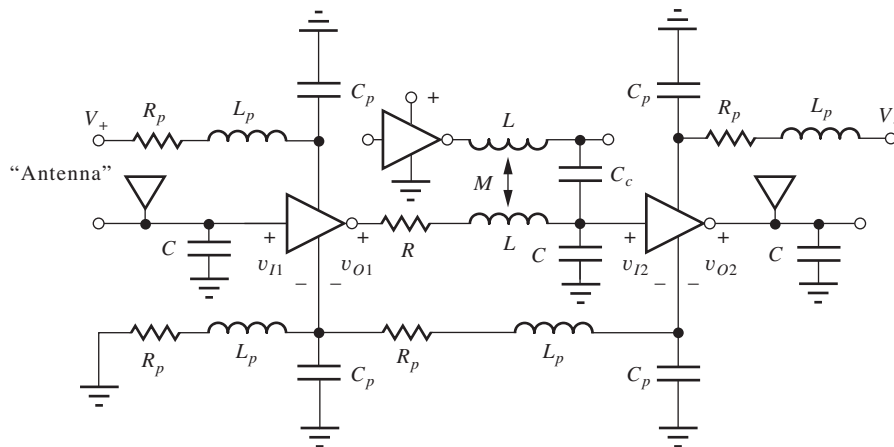


Figura 6.4

Circuito composto da più invertitori. Sono evidenziati i parametri parassiti delle linee di alimentazione e delle interconnessioni.

I margini di rumore rappresentano l'ampiezza dei disturbi necessari per modificare i livelli logici in una lunga (teoricamente, infinita) catena di invertitori o per modificare lo stato di un bistabile elementare (circuito che studieremo in capitoli successivi). Si può dimostrare [2-4] che le definizioni corrispondenti alle Equazioni (6.1) e (6.2) massimizzano la somma dei due margini di rumore. Queste definizioni forniscono una metrica ragionevole per confrontare i margini di rumore di differenti famiglie logiche e sono relativamente facili da comprendere e calcolare.²

ESERCIZIO Una porta TTL ha per i suoi livelli logici i seguenti valori: $V_{OH} = 3.6\text{ V}$, $V_{OL} = 0.4\text{ V}$, $V_{IH} = 2.0\text{ V}$ e $V_{IL} = 0.8\text{ V}$. Quali sono i margini di rumore?

RISPOSTE $MN_H = 1.6\text{ V}$; $NM_L = 0.4\text{ V}$.

6.2.3 Criteri di progetto per una porta logica

Nello sviluppo del progetto di una porta logica occorre tener presente alcuni obiettivi.

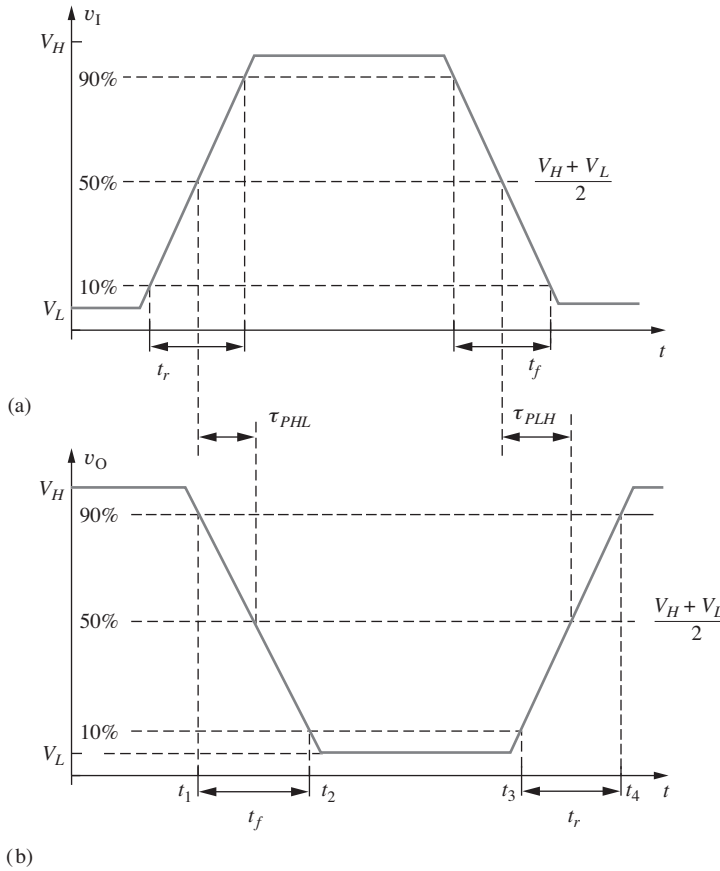
1. Dalla Figura 6.1 vediamo che una porta logica ideale è un dispositivo fortemente non lineare, che tenta di quantizzare il segnale di ingresso in due soli livelli di uscita. In una porta logica reale [la cui caratteristica è riportata nella Figura 6.3(a)] dobbiamo cercare di minimizzare il campo delle tensioni di ingresso cui corrisponde un livello logico indefinito. I margini di rumore devono essere quanto più grandi possibili.
2. Una porta logica dovrebbe essere un dispositivo unidirezionale. L'ingresso deve controllare l'uscita per produrre una ben definita funzione logica. Variazioni di tensione all'uscita di una porta logica non dovrebbero influenzare l'ingresso del circuito.
3. I livelli logici devono essere rigenerati quando i segnali passano attraverso una porta. In altre parole, i livelli di tensione all'uscita di una porta devono essere compatibili con i livelli di tensione in ingresso a una successiva porta logica della stessa famiglia.
4. L'uscita di una porta logica dovrebbe essere in grado di pilotare più di una porta. Il numero di ingressi che possono essere pilotati dall'uscita di una data porta logica prende il nome di **fan-out**. Il termine **fan-in** si riferisce invece al numero di ingressi di una porta logica.
5. Una porta logica deve consumare meno potenza possibile (e deve occupare la minore superficie possibile, se stiamo progettando un circuito integrato), rispettando i vincoli relativi alla velocità del circuito.

6.3 Risposta dinamica di una porta logica

Oggigiorno, anche il pubblico indistinto ha familiarità con la crescita sempre maggiore delle prestazioni dei circuiti logici. I microprocessori vengono infatti pubblicizzati evidenziandone la frequenza di clock: 1 GHz, 2 GHz, 3 GHz e così via. In ultima analisi, la frequenza di clock di un processore dipende dalle prestazioni dinamiche dei circuiti logici elementari che lo compongono. In termini ingegneristici, le prestazioni nel dominio del tempo di una famiglia logica sono il ritardo medio di propagazione e i tempi di salita e di discesa, parametri definiti in questo paragrafo.

La Figura 6.5 mostra le tensioni di ingresso e di uscita idealizzate, in funzione del tempo, di un invertitore. I segnali di ingresso e di uscita commutano tra i due livelli logici statici V_L e V_H . A causa delle capacità presenti nella porta logica, le forme d'onda mostrano tempi di salita e di discesa diversi da zero e inoltre si evidenzia un ritardo di propagazione fra i due segnali.

² In taluni casi, queste semplici definizioni possono fornire un valore negativo per uno dei due margini di rumore.

**Figura 6.5**

Forme d'onda idealizzate all'ingresso e all'uscita di un invertitore: (a) tensione di ingresso, (b) tensione di uscita.

$$V_{10\%} = V_L + 0.1 \Delta V$$

$$V_{90\%} = V_L + 0.9 \Delta V = V_H - 0.1 \Delta V$$

$$\Delta V = V_H - V_L$$

6.3.1 Tempi di salita e di discesa

Il **tempo di salita** (*rise time*) t_r di un dato segnale è definito come il tempo necessario affinché il segnale compia una transizione fra il punto al 10% e il punto al 90% delle forme d'onda, come indicato in Figura 6.5. Il **tempo di discesa** (*fall time*) t_f è definito come il tempo richiesto per effettuare una transizione fra il punto al 90% e quello al 10% della forma d'onda. Le tensioni corrispondenti ai punti al 10% e al 90% sono definiti e in funzione di V_L e di V_H e della escursione logica (*logic swing*) ΔV :

$$\begin{aligned} V_{10\%} &= V_L + 0.1 \Delta V \\ V_{90\%} &= V_L + 0.9 \Delta V = V_H - 0.1 \Delta V \end{aligned} \quad (6.3)$$

dove $\Delta V = V_H - V_L$.

In generale, i tempi di salita e di discesa sono fra loro differenti, così come possono essere fra loro differenti le forme d'onda di ingresso e di uscita.

6.3.2 Ritardo di propagazione

Il ritardo di propagazione viene definito come la differenza fra gli istanti in cui i segnali di ingresso e di uscita raggiungono i rispettivi **punti al 50%**. Il punto al 50% è pari al valore di tensione corrispondente alla metà della transizione totale fra V_H e V_L :

$$V_{50\%} = \frac{V_H + V_L}{2} \quad (6.4)$$

Il **tempo di propagazione** per la **transizione alto-basso dell'uscita** è indicato con τ_{PHL} mentre quello della **transizione basso-alto** viene indicato con τ_{PLH} . In generale, questi due ritardi non saranno uguali fra di loro; si definisce perciò il **ritardo medio di propagazione** τ_P come:

$$\tau_P = \frac{\tau_{PLH} + \tau_{PHL}}{2} \quad (6.5)$$

Il ritardo medio di propagazione è una delle figure di merito che viene comunemente adoperata per confrontare le caratteristiche di differenti famiglie logiche. Nei capitoli successivi studieremo il tempo di propagazione per varie famiglie logiche MOS e bipolari.

ESERCIZIO Supponiamo che le forme d'onda in Figura 6.5 siano quelle di una porta ECL con $V_L = -2.6$ V e $V_H = -0.6$ V. Supponiamo inoltre che $t_1 = 100$ ns, $t_2 = 105$ ns, $t_3 = 150$ ns e $t_4 = 153$ ns. Quali sono i valori di $V_{10\%}$, $V_{90\%}$, $V_{50\%}$, t_r e t_f ?

RISPOSTE -2.4 V; -0.8 V; -1.6 V; 3 ns; 5 ns.

6.3.3 Prodotto ritardo-potenza

La metrica tradizionalmente utilizzata per confrontare le prestazioni di famiglie logiche differenti è il prodotto ritardo-potenza dissipata, che rappresenta la quantità di energia necessaria per effettuare un'operazione logica.

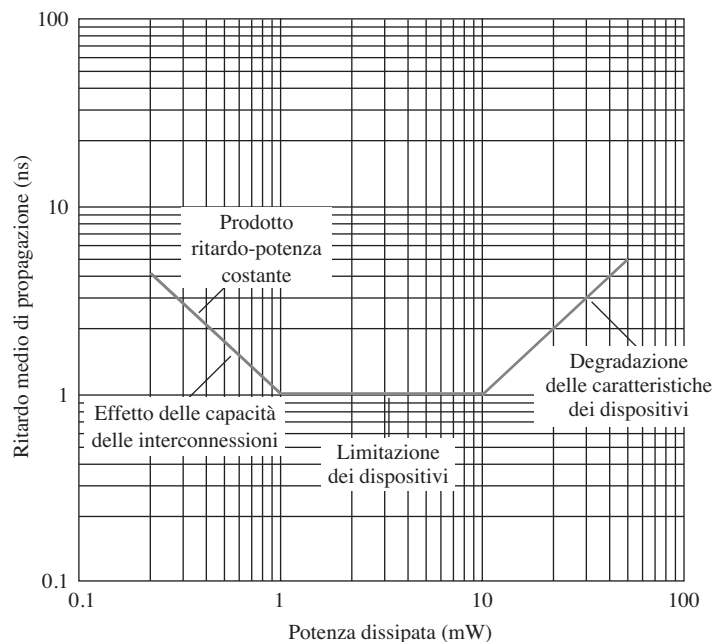
La Figura 6.6 mostra l'andamento del ritardo medio di propagazione di una generica porta logica in funzione della potenza dissipata dalla porta medesima. La potenza dissipata da una porta logica può essere modificata aumentando o riducendo le dimensioni dei transistori e dei resistori o modificando la tensione di alimentazione. A bassi livelli di potenza, il ritardo della porta è dominato dall'effetto delle capacità delle interconnessioni, e il ritardo decresce all'aumentare della dissipazione di potenza. All'aumentare delle dimensioni dei dispositivi e della dissipazione di potenza, i ritardi del circuito vengono limitati dalla velocità intrinseca di commutazione dei dispositivi elettronici e diventano indipendenti dalla potenza dissipata. In tecnologia bipolare, quando il livello di potenza cresce ulteriormente le proprietà dei transistori cominciano a degradare, come indicato in Figura 6.6.

Nella regione di basse potenze, il ritardo medio di propagazione decresce proporzionalmente all'aumentare della potenza dissipata, ossia è costante il **prodotto ritardo-potenza** (PDP, *Power-Delay Product*),

$$PDP = P\tau_P \quad (6.6)$$

dove P è la potenza media dissipata dalla porta logica. Il valore di PDP rappresenta l'energia (in joule) richiesta per effettuare una singola operazione logica ed è un'altra cifra di merito frequentemente adoperata per confrontare diverse famiglie logiche. Le prime famiglie logiche erano caratterizzate da prodotti ritardo-potenza compresi fra 10 e 100 pJ, mentre molti degli attuali circuiti logici integrati hanno un PDP compreso fra 10 e 100 fJ.

Figura 6.6
Ritardo di una porta logica in funzione della dissipazione di potenza.



È stato stimato che l'energia minima necessaria per differenziare efficacemente due stati logici è dell'ordine di: $\ln(2)kT$, ovvero approssimativamente 4×10^{-20} J a temperatura ambiente [5]. Pertanto, anche le migliori famiglie logiche attuali sono caratterizzate da valori del prodotto ritardo-potenza molti ordini di grandezza maggiori rispetto al limite teorico [6].

ESERCIZIO (a) Qual è il prodotto ritardo-potenza (a basse potenze) per la porta logica cui si riferisce la Figura 6.6? (b) Quanto vale il PDP per $P = 3$ mW? (c) Quanto vale il PDP a 20 mW?

RISPOSTE 1 pJ; 3 pJ; 40 pJ.

6.4 Richiami di algebra booleana

L'algebra delle funzioni logiche binarie è nota come **algebra booleana**, dal nome di G. Boole, che nel 1849 presentò una formulazione matematica per trattare la logica del pensiero umano e del ragionamento [7]. Le Tabelle dalla 6.1 alla 6.6 e la discussione che segue offrono un rapido sunto dell'algebra booleana.

La Tabella 6.1 elenca le operazioni logiche elementari nel caso di due ingressi: la funzione logica calcolata all'uscita di una porta è rappresentata da una variabile Z ed è una funzione delle variabili logiche di ingresso: $Z = f(A, B)$. Per realizzare una qualsiasi funzione booleana, una famiglia logica deve fornire l'inversione (funzione NOT) più almeno una delle altre funzioni logiche, come la OR o la AND. Vedremo, in seguito, che logiche di tipo NMOS possono essere adoperate per implementare facilmente funzioni di tipo NOR e di tipo NAND; la porta TTL elementare realizza efficacemente funzioni NAND mentre le porte logiche ECL meglio si prestano all'implementazione di funzioni OR/NOR. Si noti in Tabella 6.1 che la funzione NOT è equivalente all'uscita sia di una porta NOR sia di una porta NAND a singolo ingresso.

Le **tabelle di verità** e i simboli logici per le cinque funzioni di Tabella 6.1 appaiono nelle Tabelle dalla 6.2 alla 6.6 e nelle Figure dalla 6.7 alla 6.9. La tabella di verità riporta l'uscita Z per tutte le possibili combinazioni delle variabili di ingresso A e B . L'invertitore, $Z = \bar{A}$, ha un singolo ingresso e l'uscita rappresenta l'inversione logica o il complemento della variabile di ingresso, come indicato dalla barra di negazione (vedi Tabella 6.2 e Figura 6.7).

Le Tabelle 6.3 e 6.4 sono le tabelle di verità per una porta OR e per una porta AND a due ingressi; i corrispondenti simboli logici appaiono in Figura 6.8. L'operazione OR è indicata dal simbolo $+$; la sua uscita Z è 1 quando una o entrambe le variabili di ingresso A e B sono 1; è zero solo se entrambi gli ingressi sono 0. L'operazione AND è indicata dal simbolo $\cdot$, come in $A \cdot B$, che si può scrivere in maniera più compatta come AB . L'uscita Z è 1 solo se en-

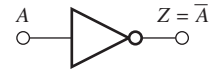


Figura 6.7
Simbolo dell'invertitore.

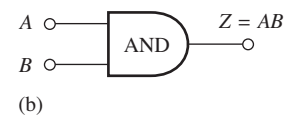
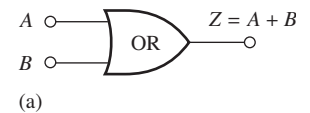


Figura 6.8
(a) Simbolo della porta OR.
(b) Simbolo della porta AND.

Tabella 6.1 Operazioni logiche booleane fondamentali

Operazione	Rappresentazione booleana
NOT	$Z = \bar{A}$
OR	$Z = A + B$
AND	$Z = A \cdot B = AB$
NOR	$Z = \overline{A + B}$
NAND	$Z = \overline{A \cdot B} = \overline{AB}$

Tabella 6.2 Tabella di verità per la porta NOT (invertitore)

A	$Z = \bar{A}$
0	1
1	0

Tabella 6.3 Tabella di verità per la porta OR

A	B	$Z = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Tabella 6.4 Tabella di verità per la porta AND

A	B	$Z = AB$
0	0	0
0	1	0
1	0	0
1	1	1

Tabella 6.5 Tabella di verità per la porta NOR		
A	B	$Z = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Tabella 6.6 Tabella di verità per la porta NAND		
A	B	$Z = \overline{AB}$
0	0	1
0	1	1
1	0	1
1	1	0

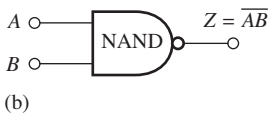
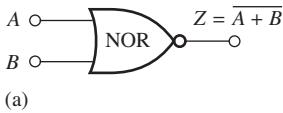


Figura 6.9

(a) Simbolo della porta NOR.
(b) Simbolo della porta NAND.

trambe le variabili di ingresso A e B sono nello stato 1; è 0 se uno solo o entrambi gli ingressi sono 0.

Le Tabelle 6.5 e 6.6 sono le tabelle di verità per porte NOR e per porte NAND a due ingressi, i cui simboli logici sono riportati in Figura 6.9. Queste funzioni rappresentano il complemento delle operazioni OR e AND. L'operazione NOR è rappresentata come $Z = \overline{A + B}$ e la sua uscita Z è pari a 1 solo se entrambi gli ingressi sono 0. Per l'operazione NAND, $Z = \overline{AB}$, l'uscita Z è sempre 1 eccetto il caso in cui entrambi gli ingressi sono nello stato 1.

In questo capitolo e nei seguenti vedremo che uno dei maggiori vantaggi della logica MOS è la sua capacità di realizzare facilmente delle funzioni logiche più complesse, in particolare espressioni logiche rappresentate come il complemento di una **somma di prodotti** o nella forma **AND-OR-INVERT** (AOI):

$$Z = \overline{AB + CD + E} \quad \text{oppure} \quad Z = \overline{ABC + DE} \quad (6.7)$$

Le identità booleane mostrate in Tabella 6.7 possono essere molto utili per semplificare una data espressione logica. La tabella include inoltre le proprietà fondamentali della logica booleana: commutativa, associativa e distributiva.

Tabella 6.7 Utili relazioni booleane		
$A + 0 = A$	$A \cdot 1 = A$	Identità Proprietà commutativa Proprietà associativa Proprietà distributiva Complementazione Idempotenza Elemento nullo Teorema di De Morgan
$A + B = B + A$	$AB = BA$	
$A + (B + C) = (A + B) + C$	$A(BC) = (AB)C$	
$A + BC = (A + B)(A + C)$	$A(B + C) = AB + AC$	
$A + \overline{A} = 1$	$A \cdot \overline{A} = 0$	
$A + A = A$	$A \cdot A = A$	
$A + 1 = 1$	$A \cdot 0 = 0$	
$A + B = \overline{\overline{A} \overline{B}}$	$\overline{AB} = \overline{A} + \overline{B}$	

Esempio 6.1

SEMPLIFICAZIONE DI UNA ESPRESSIONE LOGICA

PROBLEMA Utilizzare le relazioni booleane in Tabella 6.7 per mostrare che l'espressione

$$Z = \overline{A}BC + ABC + \overline{A}BC \quad \text{può essere ridotta a: } Z = (A + B)C$$

SOLUZIONE **Informazioni e dati noti:** Le due espressioni per Z appena scritte, le identità booleane in Tabella 6.7.

Incognite: Verificare che Z è equivalente ad $(A + B)C$.

Approccio: Applicare le varie identità della Tabella 6.7 per semplificare l'espressione di Z.

Ipotesi: Nessuna

Analisi:

$$Z = \overline{A}BC + ABC + \overline{A}BC$$

$$Z = \overline{A}BC + ABC + ABC + \overline{A}BC \quad \text{poiché} \quad ABC = ABC + ABC$$

$$Z = A(\overline{B} + B)C + (\overline{A} + A)BC \quad \text{usando la proprietà distributiva}$$

$$Z = A(1)C + (1)BC \quad \text{poiché} \quad (\overline{B} + B) = (B + \overline{B}) = 1$$

$$Z = AC + BC \quad \text{poiché} \quad A(1)C = AC(1) = AC$$

$$Z = (A + B)C \quad \text{usando la proprietà distributiva}$$

Controllo dei risultati: Abbiamo ottenuto la risposta desiderata. Un ulteriore controllo mostra che la sequenza dei passi svolti per risolvere il problema è corretta.

ESERCIZIO Semplificare l'espressione logica $Z = (A + B)(B + C)$

RISPOSTE $Z = B + AC$.

6.5 Progetto di circuiti logici NMOS

Nella parte rimanente di questo capitolo, studieremo le caratteristiche e i criteri di progetto delle porte logiche MOS che utilizzano transistori MOS a canale n (logiche NMOS) e a canale p (logiche PMOS). Lo studio di questi circuiti aiuterà a comprendere molti concetti fondamentali dei circuiti logici e inoltre consentirà di apprezzare i miglioramenti ottenibili adottando i circuiti CMOS, che saranno oggetto del prossimo capitolo.

Cominceremo a studiare le tecniche di progetto di invertitori MOS, analizzando la caratteristica di trasferimento e i margini di rumore; considereremo invertitori con quattro differenti tipi di carico: resistivo, carico attivo formato con un dispositivo MOS in saturazione o in regione lineare e infine carico attivo realizzato con un dispositivo MOS a svuotamento. Mostriamo come sia possibile progettare porte logiche NOR, NAND e altre porte complesse quali semplici estensioni del progetto dell'invertitore elementare. In seguito, analizzeremo i tempi di salita e di discesa e il ritardo di propagazione delle porte logiche.

La corrente di drain di un dispositivo MOS dipende dalla tensione gate-source v_{GS} , dalla tensione drain-source v_{DS} , dalla tensione source-body v_{SB} e dai parametri del dispositivo: il parametro di transconduttanza K'_n , la tensione di soglia V_{TN} e il **rapporto d'aspetto del canale W/L** . I valori di v_{GS} e di v_{DS} sono limitati dalla tensione di alimentazione del circuito, mentre i parametri tecnologici fissano i valori di K'_n e di V_{TN} . Pertanto, il compito del progettista è quello di definire la topologia del circuito e i rapporti W/L dei vari dispositivi MOS in modo da ottenere la funzione logica desiderata.

In molti casi, la tensione di alimentazione è prefissata o per limitazioni tecnologiche o da considerazioni a livello di sistema. Per esempio, come ricordato nel Paragrafo 6.1, per molti anni il valore standard di tensione di alimentazione per i circuiti digitali è stato³ $V_{DD} = 5.0$ V. Oggi viene adoperato diffusamente un livello di tensione di alimentazione compreso tra 1.8 V e 3.3 V, mentre molti sistemi come i telefoni cellulari e i computer palmari (PDA, *Personal Digital Assistant*) sono alimentati a batterie, con tensioni di alimentazione comprese fra 1 V e 1.5 V.

Inizieremo il nostro studio dei circuiti logici MOS considerando il progetto dell'invertitore NMOS con un carico resistivo. Questo circuito è utilizzato raramente, tuttavia lo analizzeremo in dettaglio in quanto fornisce un'ottima base per la comprensione delle caratteristiche delle logiche NMOS. Nei circuiti integrati, il resistore di carico richiede l'utilizzo di un'area di silicio molto grande ed è pertanto sostituito con un secondo transistor NMOS. Questo "dispositivo di carico" può essere collegato in tre differenti configurazioni che studieremo in dettaglio nei Paragrafi 6.6 e 6.7.

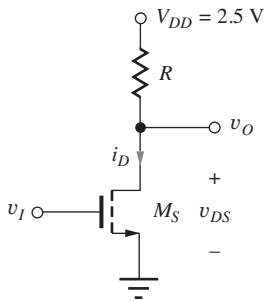
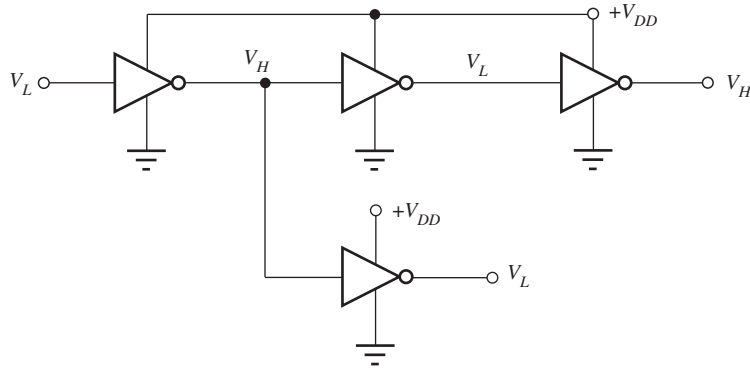
6.5.1 Invertitore NMOS con carico resistivo

Un sistema digitale complesso è formato da un gran numero di porte logiche, ed è necessario tener presente che ogni singola porta logica è in generale interconnessa con altre porte. Come mostrato schematicamente in Figura 6.10, l'uscita di una porta pilota l'ingresso di una o più porte logiche a valle. Pertanto, una porta avrà un'uscita $v_O = V_H$ quando al suo ingresso è applicata una tensione $v_I = V_L$ e viceversa. Per il progetto di circuiti NMOS, è conveniente procedere dapprima al calcolo della V_H per poi applicare la tensione così ottenuta all'ingresso di una porta al fine di ottenere il valore di V_L .

³ V_{DD} e V_{SS} sono i simboli utilizzati tradizionalmente per denotare rispettivamente le tensioni di alimentazione positive e negative in circuiti MOS.

Figura 6.10

Una rete composta da quattro invertitori.

**Figura 6.11**

Invertitore NMOS con carico resistivo.

L'invertitore elementare di Figura 6.11 è formato da un dispositivo NMOS, indicato con M_S , e da una **resistenza di carico**. Il dispositivo NMOS è progettato in modo tale da portare la tensione di uscita a V_L quando è in conduzione, mentre il resistore ha il compito di portare la tensione di uscita verso la V_{DD} (*pull-up*), quando l'NMOS è interdetto. Il transistor NMOS è progettato per commutare fra la regione lineare delle sue caratteristiche quando $v_I = V_H$ e la regione di interdizione quando $v_I = V_L$. Il progettista del circuito deve scegliere i valori della resistenza di carico R e il rapporto W/L del **transistore di commutazione** M_S in modo tale che l'invertitore soddisfi le specifiche assegnate. Nel nostro caso, le due variabili di progetto ci consentiranno di fissare sia il valore di V_L che la dissipazione di potenza della porta logica.

Analizziamo il funzionamento dell'invertitore. Scrivendo l'equazione per la maglia di uscita si ha:

$$v_O = v_{DS} = V_{DD} - i_D R \quad (6.8)$$

Quando la tensione di ingresso è a livello logico basso, $v_I = V_L$, il dispositivo M_S deve essere interdetto e quindi $i_D = 0$, per cui:

$$v_O = V_{DD} = V_H \quad (6.9)$$

Pertanto, in questo particolare circuito, il valore di V_H coincide con la tensione di alimentazione $V_{DD} = 2.5$ V.

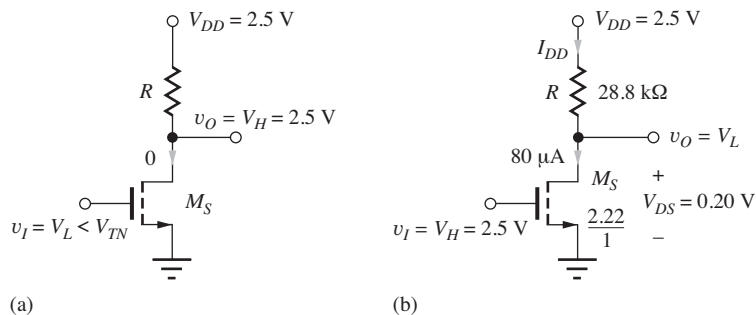
Per assicurare che il transistor M_S sia in interdizione quando la tensione di ingresso è pari a V_L , come in Figura 6.12(a), la tensione gate-source di M_S ($v_{GS} = V_L$) deve essere minore della tensione di soglia V_{TN} . Una scelta ragionevole per V_L è fra il 25% e il 50% di V_{TN} , in modo da garantire un adeguato margine di rumore. Per $V_{TN} = 0.6$ V, questo si traduce in un valore accettabile di V_L compreso tra 0.15 V e 0.30 V; assumeremo un valore di progetto di $V_L = 0.20$ V.

6.5.2 Progetto del rapporto W/L di M_S

Il valore di W/L necessario per avere $V_L = 0.2$ V può essere calcolato facilmente, noti i parametri del dispositivo MOS. Nel seguito assumeremo: $V_{TN} = 0.6$ V e $K'_n = 100 \mu\text{A}/\text{V}^2$. Per completare il progetto del circuito dobbiamo fissare un valore opportuno per la potenza che viene dissipata dall'invertitore NMOS, quando $v_O = V_L$. La potenza dissipata è propor-

Figura 6.12

Analisi dell'invertitore NMOS con carico resistivo. (a) Stato logico 0, $v_I = V_L$ (b) Stato logico 1, $v_I = V_H$.



zionale alla corrente I_{DD} assorbita dall'invertitore ed è data da $P = V_{DD} \times I_{DD}$. Utilizzando $P = 0.20 \text{ mW}$ (si vedano i Problemi 6.1 e 6.2)⁴ abbiamo:

$$0.20 \mu\text{W} = 2.5 \text{ V} \times I_{DD} \quad \text{da cui:} \quad I_{DD} = 80 \mu\text{A}$$

Ora possiamo determinare il valore del W/L di M_S , utilizzando l'espressione per la corrente di drain di un dispositivo NMOS nelle condizioni mostrate in Figura 6.12(b). In questo caso la tensione di ingresso è $V_H = 2.5 \text{ V}$, mentre l'uscita dell'invertitore è pari alla V_L . Il dispositivo opera in regione lineare, poichè $v_{GS} - V_{TN} = 2.5 \text{ V} - 0.6 \text{ V} = 1.9 \text{ V}$ mentre $v_{DS} = V_L = 0.20 \text{ V}$ e quindi $v_{DS} < v_{GS} - V_{TN}$. Abbiamo pertanto:

$$i_D = K'_n \left(\frac{W}{L} \right)_S (v_{GS} - V_{TN} - 0.5v_{DS}) v_{DS} \quad (6.10)$$

da cui, sostituendo i valori numerici:

$$80 \mu\text{A} = \left(100 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{W}{L} \right)_S (2.5 \text{ V} - 0.6 \text{ V} - 0.10 \text{ V})(0.20 \text{ V})$$

Risolviendo l'Equazione (6.10) si ottiene: $(W/L)_S = 2.22/1$.

6.5.3 Progetto del resistore di carico

Nota la corrente assorbita dall'invertitore per $v_O = V_L$, il valore del resistore di carico R si ottiene da:

$$R = \frac{V_{DD} - V_L}{I_{DD}} = \frac{(2.5 - 0.20) \text{ V}}{80 \mu\text{A}} = 28.8 \text{ k}\Omega \quad (6.11)$$

Questo valore è riportato nel circuito di Figura 6.12(b).

ESERCIZIO Riprogettare la porta logica di Figura 6.12 in modo che operi a una potenza di 0.4 mW , mantenendo invariata la tensione $V_L = 0.20 \text{ V}$

RISPOSTE $(W/L)_S = 4.44/1$; $R = 14.4 \text{ k}\Omega$.

6.5.4 Rappresentazione con retta di carico

Un modo immediato per visualizzare il funzionamento dell'invertitore consiste nel disegnare la retta di carico sovrapposta alle caratteristiche di uscita del transistor MOS come mostra la Figura 6.13. L'equazione della retta di carico è data dall'Equazione (6.8) che qui si ripete per convenienza:

$$v_{DS} = V_{DD} - i_D R$$

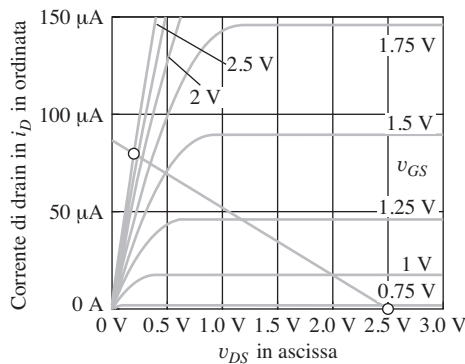


Figura 6.13

Caratteristiche di uscita del MOS e retta di carico.

⁴ Sarebbe preferibile risolvere questi problemi prima di proseguire.

Quando il transistor è interdetto, $i_D = 0$ e $v_{DS} = V_{DD} = 2.5$ V. Quando il transistor è in conduzione, il MOSFET opera in regione lineare con $v_{GS} = V_H = 2.5$ V e $v_{DS} = v_O = V_L = 0.20$ V. Il MOSFET commuta fra i due punti di funzionamento sulla retta di carico, individuati dai cerchi di Figura 6.13. Il MOSFET è interdetto nel punto corrispondente al cerchio a destra della retta di carico. Nel punto corrispondente al cerchio a sinistra della retta di carico il MOSFET presenta una piccola resistenza, e la corrente è determinata principalmente dalla resistenza di carico. (Si noti come la corrente in questo punto sia poco dipendente dalla v_{GS}).

Esempio 6.2

PROGETTO DI UN INVERTITORE NMOS CON CARICO RESISTIVO

PROBLEMA Progettare un invertitore con carico resistivo, per: $V_{DD} = 3.3$ V e $P = 0.1$ mW con $V_L = 0.2$ V. Assumere: $K'_n = 60$ $\mu\text{A}/\text{V}^2$ e $V_{TN} = 0.75$ V.

SOLUZIONE **Informazioni e dati noti:** Topologia circuitale in Figura 6.11, $V_{DD} = 3.3$ V, $P = 0.1$ mW, $V_L = 0.2$ V, $K'_n = 60$ $\mu\text{A}/\text{V}^2$ e $V_{TN} = 0.75$ V.

Incognite: Il valore della resistenza di carico R , il rapporto W/L del transistor di commutazione M_S .

Approccio: Utilizzare la specifica sulla dissipazione di potenza per ottenere la corrente I_{DD} per $v_O = V_L$. Utilizzare V_{DD} , V_L e I_{DD} per calcolare R . Determinare V_H . Utilizzare V_H , V_L e I_{DD} per ottenere $(W/L)_S$.

Ipotesi: M_S è in interdizione per $v_I = V_L$. M_S è in regione lineare $v_O = V_L$.

Analisi: Utilizzando la specifica sulla dissipazione di potenza nel circuito riportato in Figura 6.11 abbiamo:

$$I_{DD} = \frac{P}{V_{DD}} = \frac{100 \mu\text{W}}{3.3 \text{ V}} = 30.3 \mu\text{A}$$

$$R = \frac{V_{DD} - V_L}{I_{DD}} = \frac{3.3 - 0.2}{30.3} \frac{\text{V}}{\mu\text{A}} = 102 \text{ k}\Omega$$

Per $v_I = V_L = 0.2$ V, il MOSFET è in interdizione, in quanto 0.2 V è inferiore alla tensione di soglia. Pertanto, il livello alto di uscita è: $V_H = V_{DD} = 3.3$ V. L'espressione della corrente di drain del MOSFET in regione lineare, per $v_{GS} = v_I = V_H$ e per: $v_{DS} = v_O = V_L$, è la seguente:

$$I_D = K'_n \left(\frac{W}{L} \right)_S \left(V_H - V_{TN} - \frac{V_L}{2} \right) V_L$$

Eguagliando questa espressione al valore di I_{DD} calcolato in precedenza si ha:

$$30.3 \mu\text{A} = \left(60 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{W}{L} \right)_S \left(3.3 \text{ V} - 0.75 \text{ V} - \frac{0.2 \text{ V}}{2} \right) 0.2 \text{ V} \rightarrow \left(\frac{W}{L} \right)_S = \frac{1.03}{1}$$

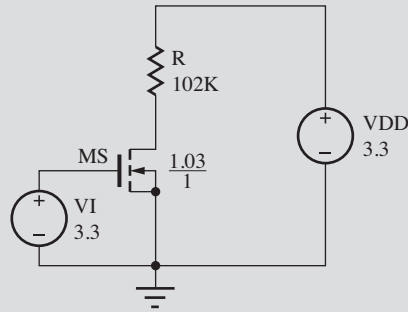
In definitiva, i valori di progetto sono: $R = 102 \text{ k}\Omega$ e $(W/L)_S = 1.03/1$.

Controllo dei risultati: Dobbiamo verificare che il MOSFET sia effettivamente in regione lineare per $v_O = V_L$. Risulta: $V_{GS} - V_{TN} = 3.3 \text{ V} - 0.75 \text{ V} = 2.55 \text{ V}$ che effettivamente è maggiore di $V_{DS} = 0.2$ V. Possiamo inoltre verificare la correttezza del valore di (W/L) calcolando il valore della corrente di drain per $v_{GS} = v_I = V_H$ e per: $v_{DS} = v_O = V_L$

$$I_D = \left(60 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{1.03}{1} \right) \left(3.3 \text{ V} - 0.75 \text{ V} - \frac{0.2 \text{ V}}{2} \right) 0.2 \text{ V} = 30.3 \mu\text{A}$$

Discussione: Questo nuovo progetto, con tensione di alimentazione e dissipazione di potenza ridotte, richiede un valore maggiore della resistenza di carico ed un dispositivo più piccolo.

Progettazione assistita al calcolatore: Verifichiamo i nostri valori di progetto con SPICE. Il circuito da simulare è mostrato di seguito. Il transistor NMOS utilizza il modello LEVEL = 1 con KP = 60U, VTO = 1, W = 1.03U, L = 1U. Il punto di lavoro del transistor ottenuto con SPICE è (30.4 μ A, 0.201 V) in accordo con le specifiche di progetto.



ESERCIZIO (a) Riprogettare l'invertitore dell'Esempio 6.2 in modo da avere: $V_L = 0.1$ V con $R = 102$ k Ω . (b) Verificare il progetto con SPICE.

RISPOSTE $(W/L)_S = 2.09/1$.

6.5.5 La resistenza on del MOSFET

Quando l'uscita della porta logica è nello stato basso, la tensione di uscita può essere calcolata considerando un partitore resistivo formato dalla resistenza di carico R e dalla **resistenza on** R_{on} del MOSFET, come mostrato in Figura 6.14.

$$V_L = V_{DD} \frac{R_{on}}{R_{on} + R} = V_{DD} \frac{1}{1 + \frac{R}{R_{on}}} \quad (6.12)$$

dove:

$$R_{on} = \frac{v_{DS}}{i_D} = \frac{1}{K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right)} \quad (6.13)$$

La R_{on} deve essere molto minore della R , in modo da ridurre la V_L . È importante osservare che la R_{on} rappresenta una resistenza non-lineare, in quanto il valore di R_{on} dipende dalla v_{DS} . Tutte le porte NMOS che studieremo in questo capitolo sono esempi di logica **"a rapporto"**, in quanto devono essere progettate in modo tale che la resistenza on del dispositivo di commutazione sia molto più piccola di quella del dispositivo di carico ($R_{on} \ll R$), per garantire un ridotto valore di V_L .

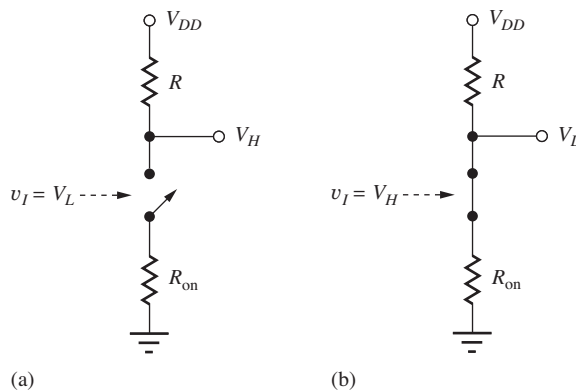


Figura 6.14

Rappresentazione semplificata di un invertitore: (a) Stato off o di interdizione, (b) Stato on o di conduzione.

Esempio 6.3**CALCOLO DELLA RESISTENZA on**

PROBLEMA Calcolare la resistenza on per il MOSFET in Figura 6.12 quando la tensione di uscita è V_L .

SOLUZIONE **Informazioni e dati noti:** $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.60 \text{ V}$, $(W/L) = 2.22/1$, $V_{DS} = V_L = 0.20 \text{ V}$.

Incognite: La resistenza on del MOSFET.

Approccio: Utilizzare i dati noti per valutare l'Equazione (6.13)

Ipotesi: Il MOSFET è in regione lineare.

Analisi: La R_{on} può essere ottenuta utilizzando l'Equazione (6.13)

$$R_{on} = \frac{1}{\left(100 \frac{\mu\text{A}}{\text{V}^2}\right) \left(\frac{2.22}{1}\right) \left(2.5 \text{ V} - 0.60 \text{ V} - \frac{0.20 \text{ V}}{2}\right)} = 2.50 \text{ k}\Omega$$

Controllo dei risultati: Dobbiamo verificare il valore ottenuto, utilizzando la R_{on} per calcolare V_L

$$V_L = V_{DD} \frac{R_{on}}{R_{on} + R} = 5 \text{ V} \frac{2.5 \text{ k}\Omega}{2.5 \text{ k}\Omega + 28.8 \text{ k}\Omega} = 0.20 \text{ V}$$

$R_{on} = 2.5 \text{ k}\Omega$ fornisce il corretto valore di V_L . Da notare ancora che: $R_{on} \ll R$. Verifichiamo, infine, l'ipotesi relativa alla regione di funzionamento del MOSFET: $V_{GS} - V_{TN} = 2.5 \text{ V} - 0.6 \text{ V} = 1.9 \text{ V}$ e: $V_{DS} = V_L = 0.20 \text{ V}$.

ESERCIZIO Qual è il valore di R_{on} necessario per ottenere: $V_L = 0.15 \text{ V}$? Qual è il nuovo valore di (W/L) corrispondente?

RISPOSTE $1.84 \text{ k}\Omega$, $2.98/1$.

ESERCIZIO Qual è il valore di R_{on} per il MOSFET nell'Esercizio 6.2? Utilizzare il valore di R_{on} per calcolare V_L .

RISPOSTE $6.61 \text{ k}\Omega$; 0.201 V .

6.5.6 Analisi dei margini di rumore

La Figura 6.15 riporta una simulazione SPICE della caratteristica di trasferimento per l'invertitore NMOS di Figura 6.12. Siamo ora in grado di individuare i valori di V_{IL} , V_{OL} , V_{IH} , V_{OH} che corrispondono ai punti in cui la pendenza della caratteristica di trasferimento dell'invertitore è pari a -1 , secondo la definizione data nel Paragrafo 6.2.

6.5.7 Calcolo di V_{IL} e di V_{OH}

La nostra analisi comincia con l'espressione della retta di carico (Equazione (6.8)), qui ripetuta:

$$v_O = V_{DD} - i_D R \quad (6.14)$$

Riferiamoci di nuovo alla Figura 6.11, con $v_I = V_{IL}$. In questa condizione, $v_{GS} (= v_I)$ è piccola mentre $v_{DS} (= v_O)$ è grande, per cui possiamo aspettarci che il MOS sia in regione di saturazione, con la corrente di drain data da:

$$i_D = (K_n/2)(V_{GS} - V_{TN})^2 \quad \text{dove} \quad K_n = K'_n(W/L) \text{ e } v_{GS} = v_I$$

Sostituendo questa espressione per la i_D nell'equazione della retta di carico (Equazione (6.14)), si ottiene:

$$v_O = V_{DD} - \frac{K_n}{2}(v_I - V_{TN})^2 R \quad (6.15)$$

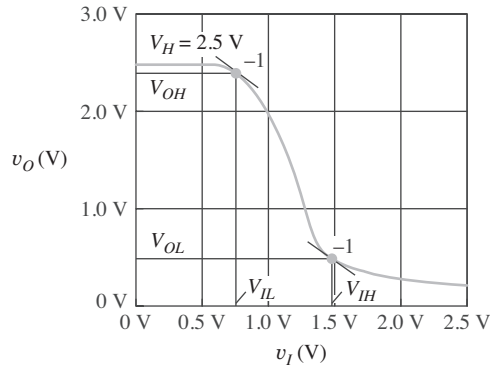


Figura 6.15
Simulazione della
caratteristica di trasferimento
di una porta logica NMOS con
carico resistivo.

Effettuando la derivata di v_O rispetto a v_I si ha:

$$\frac{dv_O}{dv_I} = -K_n(v_I - V_{TN})R \quad (6.16)$$

Imponendo che la derivata sia -1 per $v_I = V_{IL}$ si ricava:

$$V_{IL} = V_{TN} + \frac{1}{K_n R} \quad \text{con} \quad V_{OH} = V_{DD} - \frac{1}{2K_n R} \quad (6.17)$$

Si noti che il valore di V_{IL} è leggermente maggiore di V_{TN} ; questo è un risultato atteso, infatti la tensione di ingresso deve superare V_{TN} affinché M_S entri in conduzione. Osserviamo inoltre che V_{OH} è leggermente minore di V_{DD} . Il termine $1/(K_n R)$ rappresenta il rapporto fra il parametro di transconduttanza del transistor e il valore della resistenza di carico. Al crescere di K_n , per un assegnato valore di R , il valore di V_{IL} diminuisce mentre V_{OH} aumenta.

ESERCIZIO Mostrare che il fattore $1/(K_n R)$ ha le dimensioni di una tensione.

6.5.8 Calcolo di V_{IH} e di V_{OL}

Per $v_I = V_{IH}$, la v_{GS} è grande mentre v_{DS} è piccola, per cui possiamo ipotizzare che il MOSFET operi in regione lineare, con la corrente di drain data da: $i_{DS} = K_n[v_{GS} - V_{TN} - (v_{DS}/2)]v_{DS}$. Sostituendo quest'espressione per i_D nell'Equazione (6.14) e osservando che $v_O = v_{DS}$ si ottiene:

$$v_O = V_{DD} - K_n R \left(v_I - V_{TN} - \frac{v_O}{2} \right) v_O$$

da cui

$$\frac{v_O^2}{2} - v_O \left[v_I - V_{TN} + \frac{1}{K_n R} \right] + \frac{V_{DD}}{K_n R} = 0 \quad (6.18)$$

Risolvendo in v_O e ponendo $dv_O/dv_I = -1$ per $v_I = V_{IH}$ si ha:

$$V_{IH} = V_{TN} - \frac{1}{K_n R} + 1.63 \sqrt{\frac{V_{DD}}{K_n R}} \quad \text{con:} \quad V_{OL} = \sqrt{\frac{2V_{DD}}{3K_n R}} \quad (6.19)$$

In questo caso osserviamo che i valori di V_{OL} e V_{IH} dipendono dal rapporto $V_{DD}/K_n R$.

6.5.9 Margine di rumore per l'invertitore con carico resistivo

Combinando i risultati delle Equazioni (6.17) e (6.19) si ottengono le espressioni per i margini di guadagno

$$NM_H = V_{DD} - V_{TN} + \frac{1}{2K_n R} - 1.63 \sqrt{\frac{V_{DD}}{K_n R}} \quad \text{e} \quad NM_L = V_{TN} + \frac{1}{K_n R} - \sqrt{\frac{2V_{DD}}{3K_n R}} \quad (6.20)$$

Il prodotto $K_n R$ lega la capacità di pilotaggio del MOSFET con la resistenza del carico; il margine di rumore aumenta all'aumentare di $K_n R$ per valori tipici di $K_n R > 2$.

Esempio 6.4**CALCOLO DEI MARGINI DI RUMORE PER L'INVERTITORE CON CARICO RESISTIVO**

PROBLEMA Calcolare i margini di rumore per l'invertitore NMOS in Figura 6.12(b).

SOLUZIONE **Informazioni e dati noti:** Topologia circuitale in Figura 6.11, con: $R = 28.8 \text{ k}\Omega$, $(W/L)_S = 2.22/1$, $K'_n = 100 \text{ }\mu\text{A/V}^2$, $V_{TN} = 0.60 \text{ V}$.

Incognite: I valori di $K_n R$, V_{IL} , V_{OH} , V_{IH} , V_{OL} , NM_L e NM_H .

Approccio: Utilizzare i dati noti per valutare le Equazioni (6.17) e (6.19), ottenendo: V_{IL} , V_{OH} , V_{IH} , V_{OL} . Calcolare i margini di rumore, dati da: $NM_H = V_{OH} - V_{IH}$; $NM_L = V_{IL} - V_{OL}$.

Ipotesi: L'Equazione (6.17) assume che il MOSFET operi in regione di saturazione, la (6.19) assume che il dispositivo operi in regione lineare.

Analisi: Per l'invertitore riportato in Figura 6.12(b) si ha:

$$V_{TN} = 0.60 \text{ V} \quad K'_n \frac{W}{L} = 100 \frac{2.22}{1} \frac{\mu\text{A}}{\text{V}^2} = 222 \frac{\mu\text{A}}{\text{V}^2} \quad R = 28.8 \text{ k}\Omega \quad K_n R = 6.39 \text{ V}^{-1}$$

Dall'Equazione (6.17) si ricava:

$$V_{IL} = 0.60 \text{ V} + \frac{1}{\left(222 \frac{\mu\text{A}}{\text{V}^2}\right)(28.8 \text{ k}\Omega)} = 0.756 \text{ V}$$

e

$$V_{OH} = 2.5 \text{ V} - \frac{1}{2 \left(222 \frac{\mu\text{A}}{\text{V}^2}\right)(28.8 \text{ k}\Omega)} = 2.42 \text{ V}$$

Dall'Equazione (6.19) si ha:

$$V_{IH} = 0.60 \text{ V} - \frac{1}{\left(222 \frac{\mu\text{A}}{\text{V}^2}\right)(28.8 \text{ k}\Omega)} + 1.63 \sqrt{\frac{2.5 \text{ V}}{\left(222 \frac{\mu\text{A}}{\text{V}^2}\right)(28.8 \text{ k}\Omega)}} = 1.46 \text{ V}$$

$$V_{OL} = \sqrt{\frac{2(2.5 \text{ V})}{3 \left(222 \frac{\mu\text{A}}{\text{V}^2}\right)(28.8 \text{ k}\Omega)}} = 0.51 \text{ V}$$

I margini di rumore sono quindi pari a:

$$NM_H = 2.42 \text{ V} - 1.46 \text{ V} = 0.96 \text{ V} \quad \text{e} \quad NM_L = 0.76 \text{ V} - 0.51 \text{ V} = 0.25 \text{ V}$$

Controllo dei risultati: I valori di V_{IL} , V_{OH} , V_{IH} , V_{OL} sono in accordo con i risultati della simulazione di Figura 6.15. Verifichiamo l'ipotesi relativa alla regione di funzionamento del MOSFET per l'Equazione (6.17). Risulta: $v_{DS} = 2.42 \text{ V}$ e $v_{GS} - V_{TN} = 0.76 \text{ V} - 0.6 \text{ V} = 0.16 \text{ V}$. Poiché $v_{DS} > (v_{GS} - V_{TN})$ l'ipotesi iniziale è confermata. Verifichiamo analogamente l'ipotesi relativa alla regione di funzionamento del MOSFET per l'Equazione (6.18). In questo caso abbiamo: $v_{DS} = 0.51 \text{ V}$ e $v_{GS} - V_{TN} = 1.46 \text{ V} - 0.6 \text{ V} = 0.86 \text{ V}$. Poiché $v_{DS} < (v_{GS} - V_{TN}) = 0.25 \text{ V}$ l'ipotesi iniziale è confermata.

Discussione: La nostra analisi indica che, nel caso in esame, una lunga catena di invertitori può tollerare dei disturbi di ampiezza fino a 0.25 V per lo stato logico basso e fino a 0.96 V per lo stato logico alto. Si noti che i due margini di rumore, come frequentemente accade, sono sostanzialmente differenti fra loro.

ESERCIZIO (a) Calcolare i margini di rumore per l'invertitore dell'Esempio 6.2. (b) Verificare i risultati ottenuti con SPICE.

RISPOSTE $NM_L = 0.32 \text{ V}$; $NM_H = 1.45 \text{ V}$; ($V_{IL} = 0.090 \text{ V}$, $V_{OH} = 3.22 \text{ V}$, $V_{IH} = 1.77 \text{ V}$, $V_{OL} = 0.591 \text{ V}$).

Come accennato in precedenza, i valori di V_{IL} , V_{OL} , V_{IH} e V_{OH} specificati dal costruttore rappresentano in effetti dei parametri caratteristici per una data famiglia logica che portano in conto le possibili variazioni dei parametri tecnologici, della temperatura di funzionamento,

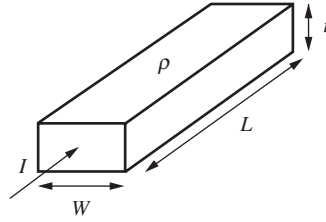


Figura 6.16
Geometria di un semplice
resistore integrato.

della tensione di alimentazione, delle condizioni di carico e così via. Nell'Esempio 6.4 abbiamo ottenuto i valori di V_{IL} , V_{OL} , V_{IH} e V_{OH} e i margini di rumore in condizioni nominali di funzionamento a temperatura ambiente.

6.5.9 Il problema del resistore di carico

L'invertitore NMOS con carico resistivo è stato utilizzato per introdurre i criteri di progetto delle porte logiche NMOS. Benché questo tipo di circuito potrebbe essere realizzato con componenti discreti, nei circuiti integrati non vengono adoperati invertitori NMOS con carico resistivo, a causa dell'elevata area occupata dal resistore.

Per analizzare in maggior dettaglio questo punto, consideriamo la barretta di materiale semiconduttore mostrata in Figura 6.16, con una resistenza data da:

$$R = \frac{\rho L}{tW} \quad (6.21)$$

dove: ρ = resistività
 L, W, t = lunghezza, larghezza e spessore della barretta.

In un circuito integrato, un resistore potrebbe per esempio essere realizzato con una regione di silicio di resistività $1 \text{ m}\Omega \cdot \text{cm}$, con uno spessore di $1 \mu\text{m}$. Per questi parametri, il resistore da carico di $28.8 \text{ k}\Omega$ utilizzato nei paragrafi precedenti richiederebbe un rapporto L/W pari a:

$$\frac{L}{W} = \frac{Rt}{\rho} = \frac{(2.88 \times 10^4 \Omega)(1 \times 10^{-4} \text{ cm})}{1 \text{ m}\Omega \cdot \text{cm}} = \frac{2880}{1}$$

Supponiamo che la minima dimensione realizzabile con il nostro processo tecnologico (*minimum feature size*) sia $F = 1 \mu\text{m}$. Scegliendo $W = F$, la lunghezza L del resistore dovrebbe essere $2880 \mu\text{m}$, con un'area occupata di $2880 \mu\text{m}^2$.

Per il MOS M_S , il rapporto W/L è pari a $2.22/1$. Se la lunghezza del canale è presa uguale a F , l'area complessiva del gate del dispositivo è di soli $2.22 \mu\text{m}^2$. Dunque, la resistenza di carico richiederà un'area più di 1000 volte maggiore rispetto a quella del transistor M_S . Un simile utilizzo di area è inaccettabile per il progetto di un circuito integrato. La soluzione a questo problema si ottiene sostituendo il resistore di carico con un transistor.

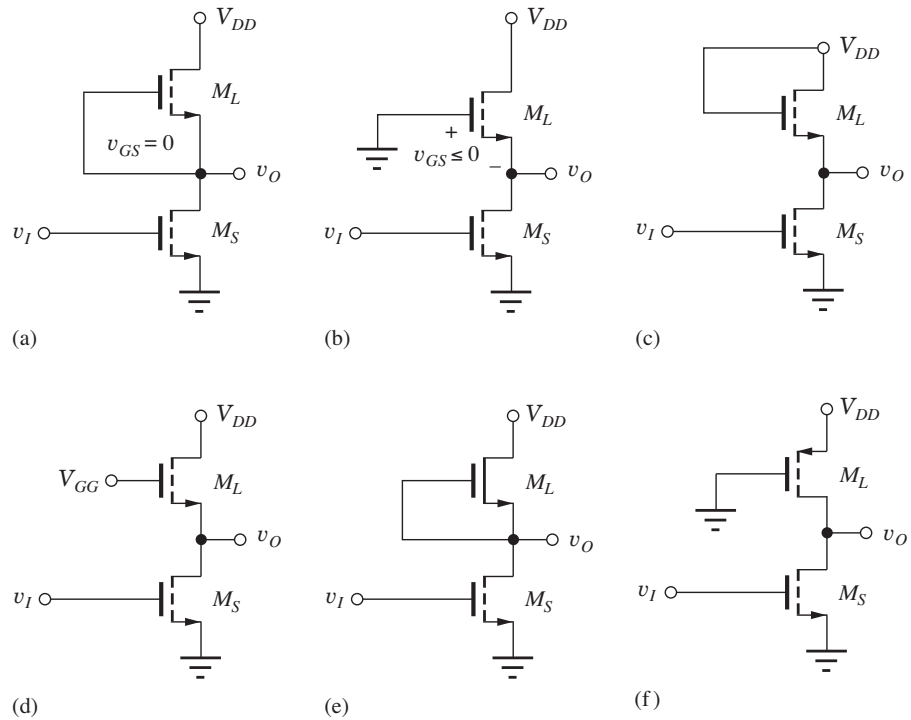
6.6 Utilizzo di dispositivi attivi in alternativa al resistore di carico

In Figura 6.17 sono mostrate sei configurazioni per rimpiazzare il resistore di carico con un MOSFET. Quest'operazione richiede di sostituire un resistore (avente due terminali) con un MOSFET (con tre terminali) e occorre decidere come collegare i terminali aggiuntivi. Nei transistori NMOS la corrente scorre dal drain al source, quindi collegheremo questi due terminali in sostituzione del resistore. Tuttavia, come indicato in Figura 6.17, sono possibili varie soluzioni per il collegamento del gate.

Una prima possibilità consiste nel collegare il gate al source, come in Figura 6.17(a). Peraltro, in questo caso $v_{GS} = 0$ e il MOSFET M_L sarà permanentemente interdetto, assumendo che esso sia un dispositivo ad arricchimento con $V_{TN} > 0$. Un problema simile esiste se il gate viene collegato a 0 V , come in Figura 6.17(b). Anche in questo caso, la connessione sul gate forza la v_{GS} a essere minore o uguale a zero, e il dispositivo di carico rimane interdetto. Le due alternative appena descritte non possono funzionare perché un transistor NMOS ad arricchimento non può condurre corrente nelle condizioni descritte.

Figura 6.17

Possibili opzioni per utilizzare un dispositivo NMOS come elemento di carico in un invertitore: (a) gate del dispositivo di carico collegato al proprio source, (b) gate del dispositivo di carico collegato a V_{SS} , (c) invertitore NMOS con dispositivo di carico in saturazione, (d) dispositivo di carico in regione lineare, (e) invertitore con carico a svuotamento, (f) invertitore pseudo NMOS. Si noti che le configurazioni (a) e (b) non sono funzionanti.



I prossimi Paragrafi contengono un'introduzione al comportamento dei circuiti presentati in Figura 6.17(c) ed (e).

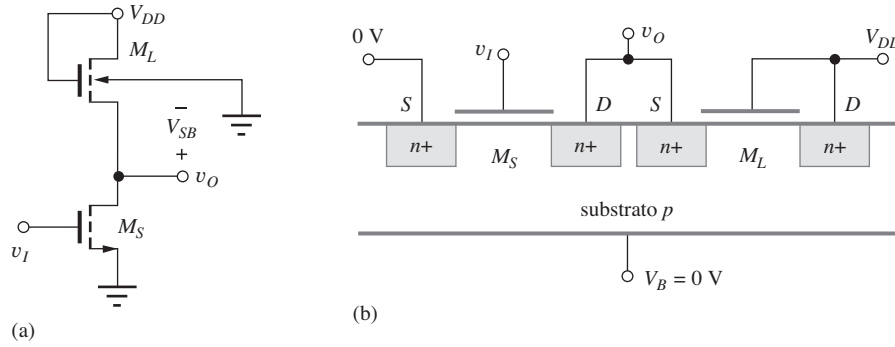
La logica MOS con carico in saturazione ha giocato un ruolo importante nella storia dei circuiti elettronici ed è stata utilizzata nel progetto dei primi microprocessori, dapprima in tecnologia PMOS e in seguito NMOS. Lo studio di questa famiglia logica, presentata nel paragrafo seguente, ci fornirà le basi per comprendere molte delle problematiche relative al progetto dei circuiti MOS VLSI. Le caratteristiche dell'invertitore con carico in regione lineare Figura 6.17(d) e con carico a svuotamento Figura 6.17(e) sono discusse nei Paragrafi 6.2 e 6.3. Il circuito pseudo NMOS Figura 6.17(f) è a volte usato nel progetto di dispositivi CMOS.

6.6.1 Invertitore NMOS con dispositivo di carico in saturazione

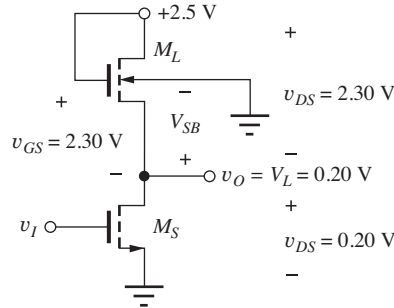
Una prima scelta che porta a un circuito funzionante è mostrata in Figura 6.17(c): tale configurazione è usata nel progetto di logiche NMOS e, in passato, PMOS. In questo caso il gate è collegato al drain e quindi $v_{DS} = v_{GS}$. Il dispositivo di carico opera in regione di saturazione, in quanto $v_{GS} - V_{TN} = v_{DS} - V_{TN} < v_{DS}$ per $V_{TN} > 0$. Poiché il dispositivo di carico opera sempre in regione di saturazione, chiameremo questo circuito **invertitore con carico in saturazione**.

La Figura 6.18(a) mostra lo schema circuitale dell'invertitore NMOS con carico in saturazione, mentre la Figura 6.18(b) mostra la sezione di un circuito integrato, composto dai due MOS che costituiscono l'invertitore con carico in saturazione. Il substrato è comune a entrambi i transistori NMOS, dunque la tensione di substrato sarà la stessa per M_S e per M_L . La tensione tipicamente adoperata per il terminale di substrato è di 0 V, sebbene nel passato venissero utilizzate tensioni negative di -5 V o di -8 V. Per $V_B = 0$ V, v_{SB} per il dispositivo di commutazione M_S è sempre zero, mentre la v_{SB} del dispositivo di carico M_L varia al variare di v_O . Infatti, $v_{SB} = v_O$, come mostrato in Figura 6.18(a). A causa delle differenti tensioni source-body, le tensioni di soglia dei transistori M_S e M_L saranno differenti e verranno in seguito indicate rispettivamente come V_{TNS} e V_{TNL} .

Per il progetto dell'invertitore con dispositivo di carico in saturazione, utilizzeremo le stesse specifiche adoperate nel caso del circuito con carico resistivo ($I_{DD} = 80$ μ A con $V_{DD} = 2.5$ V e $V_L = 0.20$ V). Agiremo sul rapporto W/L di M_L per limitare la corrente as-

**Figura 6.18**

(a) Invertitore con carico di saturazione.
(b) Realizzazione integrata dell'invertitore.

**Figura 6.19**

Invertitore con carico in saturazione per $v_O = V_L$.

sorbita dalla porta logica e la dissipazione di potenza. Poiché M_L opera in regione di saturazione, la sua corrente di drain è data da:

$$i_D = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (v_{GS} - V_{TNL})^2 \quad (6.22)$$

Per le condizioni circuitali mostrate in Figura 6.19, il dispositivo di carico M_L ha $v_{GS} = 2.30$ V per $v_O = 0.20$ V.

Prima di procedere al calcolo di W/L , è necessario determinare il valore della tensione di soglia V_{TNL} , che è influenzata dall'effetto body secondo la relazione:

$$V_{TNL} = V_{TO} + \gamma(\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \quad (6.23)$$

dove: V_{TO} = il valore di V_{TNL} (V) per tensione V_{SB} nulla

γ = parametro dell'effetto body ($\sqrt{V}$)

$2\phi_F$ = parametro legato al potenziale superficiale (V)

Nel seguito di questo capitolo, utilizzeremo i parametri riportati in Tabella 6.8.

Per il dispositivo di carico si ha:

$$v_{SB} = v_S - v_B = 0.20 \text{ V} - 0 \text{ V} = 0.20 \text{ V}$$

e:

$$V_{TNL} = 0.6 \text{ V} + 0.5 \sqrt{V} (\sqrt{0.20 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) = 0.66 \text{ V}$$

Possiamo ora calcolare il rapporto W/L per il dispositivo di carico:

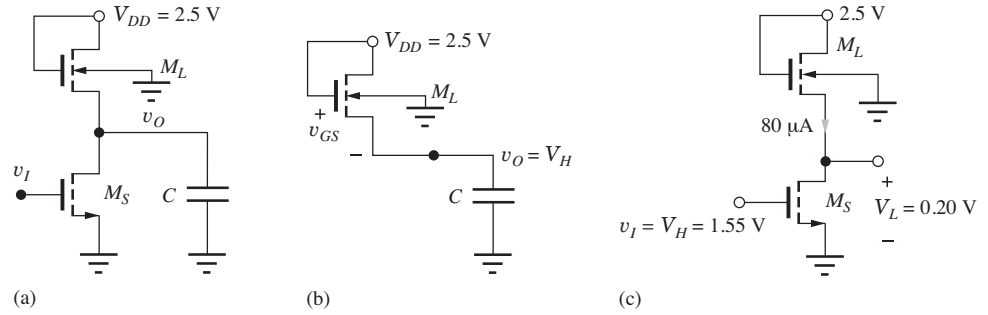
$$\left(\frac{W}{L} \right)_L = \frac{2i_D}{K'_n (v_{GS} - V_{TNL})^2} = \frac{2 \cdot 50 \mu\text{A}}{100 \frac{\mu\text{A}}{\text{V}^2} (2.30 \text{ V} - 0.66 \text{ V})^2} = \frac{1}{1.68} \quad (6.24)$$

Tabella 6.8

	Parametri dei dispositivi NMOS ad arricchimento	Parametri dei dispositivi NMOS a svuotamento	Parametri dei dispositivi PMOS ad arricchimento
V_{TO}	0.60 V	-1 V	-0.6 V
γ	$0.50 \sqrt{V}$	$0.50 \sqrt{V}$	$0.75 \sqrt{V}$
$2\phi_F$	0.60 V	0.60 V	0.70 V
K'_n	$100 \mu\text{A}/\text{V}^2$	$100 \mu\text{A}/\text{V}^2$	$40 \mu\text{A}/\text{V}^2$

Figura 6.20

(a) Invertitore con capacità di carico. (b) Il livello alto in uscita si raggiunge quando $v_I = V_L$ e M_S è interdetto. (c) Condizioni di polarizzazione utilizzate per determinare $(W/L)_S$.



Si noti che la lunghezza del canale del dispositivo di carico è maggiore della sua larghezza. In quasi tutti i circuiti integrati digitali, una delle due dimensioni di ogni MOS viene scelta quanto più piccola possibile, pari quindi alla minimum feature size F . Il rapporto W/L viene usualmente indicato con il numero più piccolo normalizzato a uno. Per $F = 1 \mu\text{m}$, l'area del gate di M_L è di soli $1.68 \mu\text{m}^2$, comparabile con l'area di M_S .

Calcolo di V_H

Sfortunatamente, l'utilizzo di un dispositivo di carico in saturazione ha un effetto negativo su alcune caratteristiche della porta logica, per esempio il valore di V_H non sarà più uguale a V_{DD} . Per meglio comprendere il funzionamento delle porte logiche MOS, è spesso utile considerare un carico capacitivo applicato all'uscita della porta, come mostrato in Figura 6.20. Supponiamo che $v_I = V_L$, in modo che M_S è interdetto. Il dispositivo di carico M_L carica il condensatore C fin quando la corrente attraverso M_L non si annulla, il che si verifica per $v_{GS} = V_{TN}$:

$$v_{GS} = V_{DD} - V_H = V_{TN} \quad \text{ovvero} \quad V_H = V_{DD} - V_{TN} \quad (6.25)$$

Pertanto, per un invertitore NMOS con carico in saturazione, la tensione di uscita raggiunge un valore massimo inferiore di una tensione di soglia rispetto alla tensione di alimentazione V_{DD} . In assenza di effetto body, la tensione di uscita raggiungerebbe il valore $V_H = 2.5 \text{ V} - 0.6 \text{ V} = 1.9 \text{ V}$, con una riduzione significativa del livello alto di uscita V_H rispetto al caso dell'invertitore con carico resistivo in cui $V_H = 2.5 \text{ V}$.

L'effetto body contribuisce a rendere la situazione ancora peggiore. Con l'aumentare della tensione di uscita, v_{SB} aumenta e la tensione di soglia aumenta al di sopra di V_{TO} (vedere Equazione (6.23)), con conseguente ulteriore degradazione di V_H . Quando v_O raggiunge V_H , si hanno le seguenti relazioni:

$$V_H = V_{DD} - V_{TNL} = V_{DD} - [V_{TO} + \gamma(\sqrt{V_H + 2\phi_F} - \sqrt{2\phi_F})] \quad (6.26)$$

Utilizzando l'Equazione (6.26) con i parametri di Tabella 6.8 e con $V_{DD} = 2.5 \text{ V}$, possiamo ottenere la V_H come soluzione della seguente equazione di secondo grado:

$$(V_H - 1.9 \text{ V} - 0.5 \sqrt{V} \sqrt{0.6 \text{ V}})^2 = 0.25 \text{ V} (V_H + 0.6 \text{ V})$$

da cui si ottiene:

$$V_H = 1.55 \text{ V} \quad \text{oppure} \quad 3.27 \text{ V}$$

Nel nostro circuito, il valore di V_H non può superare la tensione di alimentazione V_{DD} , di modo che l'unica soluzione accettabile per l'equazione di secondo grado è $V_H = 1.55 \text{ V}$. Possiamo verificare l'esattezza dei nostri calcoli valutando la tensione di soglia del dispositivo di carico utilizzando l'Equazione (6.23):

$$V_{TNL} = 0.6 \text{ V} + 0.5 \sqrt{V} (\sqrt{(1.55 + 0.6) \text{ V}} - \sqrt{0.6 \text{ V}}) = 0.95 \text{ V}$$

da cui si ricava:

$$V_H = V_{DD} - V_{TNL} = 2.5 \text{ V} - 0.95 \text{ V} = 1.55 \text{ V}$$

che è in accordo con il valore ottenuto in precedenza.

Usando una espressione esplicita per la soluzione dell'Equazione (6.26), V_H può essere calcolato direttamente come:

$$V_H = \frac{B - \sqrt{B^2 - 4C}}{2} \quad \text{con}$$

$$B = 2 \left[V_{DD} - V_{TO} + \gamma \sqrt{2\phi_F} + \frac{\gamma^2}{2} \right] \quad \text{e} \quad C = (V_{DD} - V_{TO})^2 + 2\gamma \sqrt{2\phi_F} (V_{DD} - V_{TO})$$

Calcolo di $(W/L)_S$

Possiamo ora completare il progetto dell'invertitore, calcolando il rapporto W/L per il transistor di commutazione. Le condizioni di polarizzazione per $v_O = V_L$ sono riportate in Figura 6.20(c), in cui la corrente di drain di M_S è pari al valore di progetto di $80 \mu\text{A}$. Per $V_{GS} = 1.55 \text{ V}$, $V_{DS} = 0.20 \text{ V}$ e $V_{TNS} = 0.60 \text{ V}$ il transistor di commutazione opera in regione lineare. Pertanto risulta:

$$i_D = K'_n \left(\frac{W}{L} \right)_S \left(v_{GS} - V_{TNS} - \frac{v_{DS}}{2} \right) v_{DS}$$

$$80 \mu\text{A} = 100 \frac{\mu\text{A}}{\text{V}^2} \left(\frac{W}{L} \right)_S \left(1.55 \text{ V} - 0.6 \text{ V} - \frac{0.20 \text{ V}}{2} \right) 0.20 \text{ V}$$

$$\left(\frac{W}{L} \right)_S = \frac{4.71}{1}$$

Il progetto finale dell'invertitore è mostrato in Figura 6.21, in cui $(W/L)_S = 4.71/1$ e $(W/L)_L = 1/1.68$. Si noti che le dimensioni del dispositivo di commutazione sono aumentate rispetto all'invertitore con carico resistivo, per compensare la riduzione del livello logico alto, passato da 2.5 V a 1.55 V .

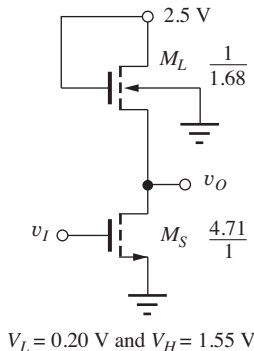
ESERCIZIO Calcolare V_H per l'invertitore di Figura 6.18(a), per $V_{TO} = 0.75 \text{ V}$. Assumere che gli altri parametri rimangano costanti.

RISPOSTE 1.43 V .

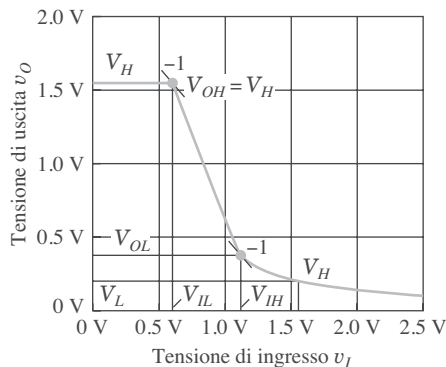
ESERCIZIO (a) Qual è il valore di $(W/L)_S$ necessario per ottenere $V_L = 0.15 \text{ V}$ in Figura 6.20? Assumere che: $i_D = 80 \mu\text{A}$. Qual è il nuovo valore di V_{TNL} per $v_O = V_L$? Quale valore di $(W/L)_L$ è richiesto per avere $i_D = 80 \mu\text{A}$ con $V_L = 0.15 \text{ V}$? (b) Ripetere i calcoli per $V_L = 0.10 \text{ V}$.

RISPOSTE (a) $6.10/1$, 0.646 V , $1/1.82$; (b) $8.89/1$, 0.631 V , $1/1.96$.

La Figura 6.21(b) mostra il risultato di una simulazione SPICE della caratteristica di trasferimento del circuito di Figura 6.21(a). Per bassi valori della tensione di ingresso l'uscita è costante a 1.55 V . Al crescere della tensione di ingresso, la caratteristica di trasferimento varia bruscamente quando v_I supera la tensione di soglia di M_S . La tensione di uscita decresce quindi rapidamente e raggiunge il valore di progetto di 0.20 V per un ingresso di 1.55 V .



(a)



(b)

Figura 6.21

(a) Progetto dell'invertitore con carico in saturazione.
(b) Simulazione SPICE della caratteristica di trasferimento dell'invertitore NMOS con carico in saturazione.



NOTE PROGETTUALI

Strategia di progetto dell'invertitore logico

1. Noti i valori di progetto di V_{DD} , V_L e i livelli di potenza, si ricava I_{DD} e la potenza.
2. Si calcola il valore della resistenza di carico oppure il valore del rapporto $(W/L)_L$ per il transistor di carico in funzione di V_L e I_{DD} .
3. Ipotizzando che il transistor M_S sia in interdizione, si trova il valore di tensione di uscita allo stato alto V_H .
4. Si applica V_H all'ingresso dell'invertitore e si calcola $(W/L)_S$ del transistor M_S in funzione di V_L e I_{DD} .
5. Si verificano le ipotesi relative alle regioni di funzionamento di M_S e M_L per $v_O = V_L$.
6. Si verifica il comportamento complessivo dell'invertitore con simulazioni SPICE.

Esempio 6.5

PROGETTO DI UN INVERTITORE CON CARICO IN SATURAZIONE

Progettiamo ora un invertitore con carico in saturazione in grado di operare con tensione di alimentazione pari a 3.3 V, tenendo in conto l'effetto body.

PROBLEMA Si progetti un invertitore con carico in saturazione simile a quello di Figura 6.21 con $V_{DD} = 3.3$ V e $V_L = 0.2$ V. Si assumano $I_{DD} = 60$ μ A, $K'_n = 50$ μ A/V², $V_{TO} = 0.75$ V, $\gamma = 0.5$ $\sqrt{V}$ e $2\phi_F = 0.6$ V.

SOLUZIONE **Informazioni e dati noti:** Il circuito di Figura 6.21; $V_{DD} = 3.3$ V, $I_{DD} = 60$ μ A, $V_L = 0.2$ V, $K'_n = 50$ μ A/V², $V_{TO} = 0.75$ V, $\gamma = 0.5$ $\sqrt{V}$ e $2\phi_F = 0.6$ V.

Incognite: I rapporti W/L del transistor di carico e del transistor di commutazione M_S e M_L .

Approccio: Si determini innanzitutto V_H , tenendo conto dell'effetto body sulla tensione di soglia del transistor di carico tramite l'Equazione (6.26). Si passi poi a determinare I_D e le tensioni nel circuito per trovare $(W/L)_L$. Si usino V_H e i valori forniti di V_L e I_D per trovare infine $(W/L)_S$.

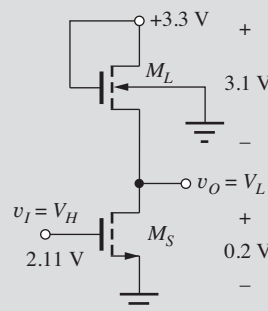
Ipotesi: M_S è in interdizione quando $v_I = V_L$. Per $v_O = V_L$, M_S è in regione lineare e M_L opera in saturazione.

Analisi: Le condizioni di operazione dei transistori di carico e commutazione sono mostrati nella figura sottostante, parte (a), per $v_O = V_L$. Per calcolare il valore del rapporto $(W/L)_S$ per il dispositivo di carico, occorre tenere conto che la corrente di drain vale 60 μ A. Occorre ricalcolare la tensione di soglia poiché la tensione body del carico è 0.2 V quando $v_O = V_L = 0.2$ V.

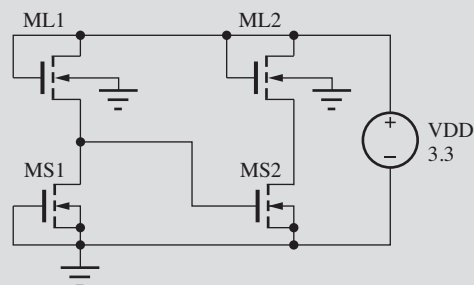
$$I_{DL} = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (V_{GSL} - V_{TNL})^2$$

$$V_{TNL} = 0.75 \text{ V} + 0.5 \sqrt{V} (\sqrt{0.2 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) = 0.81 \text{ V}$$

$$60 \mu\text{A} = \frac{50 \frac{\mu\text{A}}{\text{V}^2}}{2} \left(\frac{W}{L} \right)_L (3.3 \text{ V} - 0.2 \text{ V} - 0.81 \text{ V})^2 \rightarrow \left(\frac{W}{L} \right)_L = \frac{1}{2.19}$$



(a)



(b)

Per calcolare (W/L) del transistor di commutazione, occorre prima trovare V_H . Considerando i valori associati a questa tecnologia, l'Equazione (6.26) diventa

$$V_H = 3.3 \text{ V} - \left[0.75 \text{ V} + 0.5 \sqrt{V} \left(\sqrt{V_H + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}} \right) \right]$$

da cui si ottiene

$$V_H^2 - (6.125 \text{ V})V_H + 8.476 \text{ V}^2 = 0 \quad \text{per cui} \quad V_H = 2.11 \text{ V} \quad \text{oppure} \quad 4.01 \text{ V}$$

Poiché V_H non può essere maggiore di V_{DD} , la scelta corretta è $V_H = 2.11 \text{ V}$. Si osservi che nel calcolo è stata aggiunta una cifra decimale per aumentare la precisione del risultato.

L'espressione per la corrente di drain del transistor di commutazione in regione lineare con $v_I = V_H$ e $v_O = V_L$ è

$$I_{DS} = K'_n \left(\frac{W}{L} \right)_S \left(V_H - V_{TN} - \frac{V_L}{2} \right) V_L$$

Poiché la corrente di drain vale $60 \mu\text{A}$ otteniamo

$$60 \mu\text{A} = \left(50 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{W}{L} \right)_S \left(2.11 \text{ V} - 0.75 \text{ V} - \frac{0.2 \text{ V}}{2} \right) 0.2 \text{ V} \rightarrow \left(\frac{W}{L} \right)_S = \frac{4.76}{1}$$

I nostri valori di progetto sono quindi $(W/L)_S = 4.76/1$ e $(W/L)_L = 1/2.19$.

Verifica dei risultati: Dobbiamo verificare l'assunzione di operazione in regione lineare e saturazione dei due MOSFET.

Per il transistor di commutazione, $V_{GS} - V_{TN} = 2.11 \text{ V} - 0.75 \text{ V} = 1.36 \text{ V}$, maggiore di $V_{DS} = 0.2 \text{ V}$: l'ipotesi di operazione in regione lineare è quindi corretta. Per il dispositivo di carico, $V_{GS} - V_{TN} = 3.1 \text{ V} - 0.81 \text{ V} = 2.29 \text{ V}$ e $V_{DS} = 3.1 \text{ V}$, consistente con l'operazione in regime di saturazione. Possiamo verificare ulteriormente il calcolo di V_H usando tale valore per trovare la soglia di M_L :

$$V_{TNL} = 0.75 \text{ V} + 0.5 \sqrt{V} \left(\sqrt{2.11 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}} \right) = 1.19 \text{ V}$$

Il risultato appare corretto in quando $V_H + V_{TNL} = 2.11 \text{ V} + 1.19 \text{ V} = 3.3 \text{ V}$, che deve essere pari a V_{DD} .

Verifichiamo anche i valori di W/L , usandoli per ricalcolare le correnti di drain:

$$I_{DS} = \left(50 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{4.76}{1} \right) \left(2.11 \text{ V} - 0.75 \text{ V} - \frac{0.2 \text{ V}}{2} \right) 0.2 \text{ V} = 60.0 \mu\text{A}$$

$$I_{DL} = \frac{50 \mu\text{A}}{2} \left(\frac{1}{2.19} \right) (3.3 \text{ V} - 0.2 \text{ V} - 0.81 \text{ V})^2 = 59.9 \mu\text{A}$$

Entrambi i risultati confermano la validità del progetto, avendo assunto inizialmente $I_{DD} = 60 \mu\text{A}$.

Analisi assistita da calcolatore: Verifichiamo il nostro progetto con SPICE, considerando lo schema circuitale nella figura di pagina precedente, parte (b). Due invertitori sono collegati in cascata al fine di ottenere V_H e V_L con una sola simulazione. I transistori NMOS usano il modello LEVEL = 1 con KP = 50U, VTO = 0.75, GAMMA = 0.5 e PHI = 0.6. Le dimensioni dei transistori sono indicate specificando $W = 4.76\text{U}$ e $L = 1\text{U}$ per M_S e $W = 1\text{U}$ e $L = 2.19\text{U}$ per M_L . L'analisi DC fornisce $V_H = 2.11 \text{ V}$ e $V_L = 0.196 \text{ V}$. La corrente di drain del transistor M_{S2} vale $60.1 \mu\text{A}$. Tutti i valori trovati sono in buon accordo con le specifiche del progetto.

ESERCIZIO Si riprogetti l'invertitore dell'Esempio 6.5 al fine di avere $V_L = 0.1 \text{ V}$.

RISPOSTE $(W/L)_S = 9.16/1$; $(W/L)_L = 1/2.44$ (si osservi che $V_{TNL} = 0.781 \text{ V}$).

Esempio 6.6**ANALISI DI LIVELLI LOGICI DI UN INVERTITORE CON CARICO IN SATURAZIONE**

Calcolare i livelli logici associati a un circuito progettato da altri richiede un procedimento diverso rispetto a quello usato per progettare noi stessi un invertitore. In questo esercizio, calcoleremo V_H e V_L di uno specifico circuito.

PROBLEMA Trovare i livelli logici alto e basso e la corrente di alimentazione di un invertitore con carico saturato con $(W/L)_S = 10/1$ e $(W/L)_L = 2/1$. L'invertitore opera con $V_{DD} = 2.5$ V. Si assumano $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{TO} = 0.60$ V, $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6$ V.

SOLUZIONE **Informazioni e dati noti:** Il circuito di Figura 6.18(a); $V_{DD} = 2.5$ V, $(W/L)_S = 10/1$, $(W/L)_L = 2/1$, $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{TO} = 0.60$ V, $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6$ V.

Incognite: V_H , V_L e I_{DD} per entrambi gli stati logici

Approccio: Si inizi determinando V_H . Si tenga conto dell'effetto body sulla tensione di soglia del transistor di carico risolvendo l'Equazione (6.26). Si usi quindi V_H e i parametri dei transistori indicati per trovare V_L uguagliando la corrente di drain nei transistori di commutazione e di carico. Si usi infine V_L per calcolare I_{DS} .

Ipotesi: M_S è in interdizione quando $v_I = V_L$. Per $v_O = V_L$, M_S opera nella regione lineare e M_L è in saturazione.

Analisi: Iniziamo calcolando V_H e usiamo poi questo risultato per calcolare V_L . Per i valori di questa tecnologia, l'Equazione (6.26) fornisce

$$V_H = 2.5 \text{ V} - \left[0.60 \text{ V} + 0.5 \sqrt{V} \left(\sqrt{V_H + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}} \right) \right]$$

da cui si ricava

$$V_H^2 - (4.824 \text{ V}) V_H + 5.082 \text{ V}^2 = 0 \quad \text{e quindi} \quad V_H = 3.27 \text{ V} \quad \text{oppure} \quad 1.55 \text{ V}$$

Poiché V_H non può essere maggiore di V_{DD} , il valore corretto è $V_H = 1.55$ V. Si osservi che nel calcolo è stata aggiunta una cifra decimale per aumentare la precisione del risultato. Poiché M_S è in interdizione, non esiste un percorso per la corrente da V_{DD} e quindi $I_{DD} = 0$ quando $v_O = V_H$.

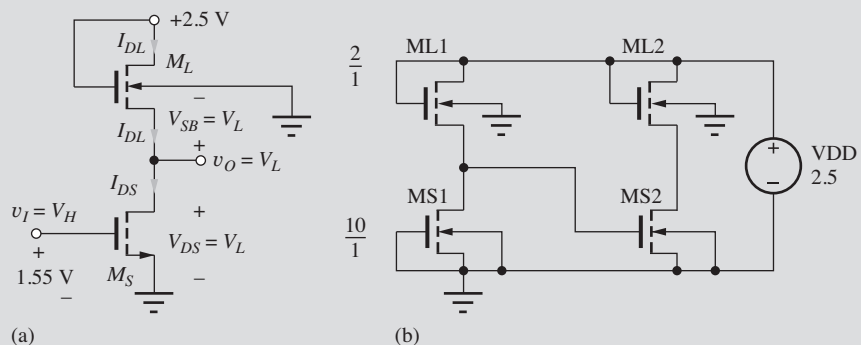
A questo punto, possiamo verificare questo risultato per evitare la propagazione di errori nei calcoli. Possiamo usare V_H per trovare V_{TNL} e verificare che tale tensione sia consistente con il valore di V_H :

$$V_{TNL} = 0.60 \text{ V} + 0.5 \sqrt{V} \left(\sqrt{1.55 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}} \right) = 0.946 \text{ V}$$

$$V_H = 2.5 \text{ V} - 0.946 \text{ V} = 1.55 \text{ V}$$

Osserviamo che il valore di V_H è corretto.

Per calcolare V_L , usiamo il fatto che I_{DS} deve uguagliare I_{DL} in condizioni stazionarie. Il transistor di carico è in saturazione e ci aspettiamo che il transistor di commutazione sia in regione lineare poiché la sua tensione tra drain e source è realisticamente piccola ($V_{DS} = V_L$).



Per $I_{DS} = I_{DL}$, abbiamo

$$K'_n \left(\frac{10}{1} \right) \left(V_{GSS} - V_{TNS} - \frac{V_L}{2} \right) V_L = \frac{K'_n}{2} \left(\frac{1}{2} \right) (2.5 \text{ V} - V_L - V_{TNL})^2$$

con

$$V_{TNL} = 0.60 \text{ V} + 0.5 \sqrt{V} \left(\sqrt{V_L + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}} \right)$$

Dal circuito mostrato in figura di pagina precedente, $V_{GSS} = 1.55 \text{ V}$ e $V_{TNS} = 0.60 \text{ V}$, poiché non c'è effetto body in M_S . Sfortunatamente, V_{TNL} è funzione della tensione incognita V_L poiché la tensione source-body di M_L è pari a V_L .

Approccio 1: Poiché ci aspettiamo che V_L sia piccola, i suoi effetti su V_{TNL} saranno altresì limitati, e un approccio per calcolare V_L consiste proprio nell'ignorare l'effetto body nel transistor di carico. In questo modo, eguagliando I_{DS} e I_{DL} otteniamo

$$K'_n \left(\frac{10}{1} \right) \left(1.55 \text{ V} - 0.6 \text{ V} - \frac{V_L}{2} \right) V_L = \frac{K'_n}{2} \left(\frac{2}{1} \right) (2.5 \text{ V} - V_L - 0.6 \text{ V})^2$$

che, opportunamente rielaborata, fornisce un'espressione quadratica da cui ricaviamo $V_L = 1.80 \text{ V}$ oppure $V_L = 0.33 \text{ V}$. Scegliamo $V_L = 0.33 \text{ V}$ in quanto l'altra soluzione non è consistente con le regioni di operazione dei transistori che abbiamo ipotizzate. Per il valore di V_L così ottenuto, la corrente di M_S vale

$$I_{DS} = \left(100 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{10}{1} \right) \left(1.55 \text{ V} - 0.6 \text{ V} - \frac{0.33 \text{ V}}{2} \right) (0.33 \text{ V}) = 259 \mu\text{A}$$

Approccio 2: Possiamo ottenere una soluzione più accurata calcolando numericamente la soluzione simultanea delle equazioni per la corrente di drain e la tensione di soglia. Il risultato è $V_L = 0.290 \text{ V}$ con $V_{TNL} = 0.68 \text{ V}$. Possiamo quindi calcolare la corrente in M_S usando il valore di V_L così trovato, ottenendo

$$I_{DS} = \left(100 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{10}{1} \right) \left(1.55 \text{ V} - 0.6 \text{ V} - \frac{0.29 \text{ V}}{2} \right) (0.29 \text{ V}) = 234 \mu\text{A}$$

Il valore approssimato calcolato con l'Approccio 1 sovrastima di circa il 10% il valore più corretto ottenuto con l'Approccio 2; nella maggior parte dei casi questo errore è trascurabile.

Verifica dei risultati: Abbiamo già verificato in precedenza il valore trovato per V_H . Per V_L dobbiamo verificare che i due MOSFET operino in regione lineare e in saturazione. Per il transistor di commutazione, $V_{GS} - V_{TN} = 1.55 \text{ V} - 0.6 \text{ V} = 0.96 \text{ V}$, maggiore di $V_{DS} = 0.29 \text{ V}$: l'ipotesi di operazione in regione lineare è quindi corretta. Per il dispositivo di carico, $V_{GS} - V_{TN} = 2.5 \text{ V} - 0.29 \text{ V} - 0.68 \text{ V} = 1.53 \text{ V}$ e $V_{DS} = 2.5 \text{ V} - 0.29 \text{ V} = 2.21 \text{ V}$, consistente con l'operazione in regime di saturazione. Possiamo verificare ulteriormente i nostri risultati trovando la corrente di drain in M_L :

$$I_{DL} = \left(\frac{100}{2} \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{2}{1} \right) (2.5 \text{ V} - 0.29 \text{ V} - 0.68 \text{ V})^2 = 234 \mu\text{A}$$

Questo risultato è in accordo con il valore di I_{DS} .

Analisi assistita da calcolatore: Verifichiamo il nostro progetto con SPICE, considerando lo schema circuitale nella figura di pagina precedente, parte (b). Due invertitori sono collegati in cascata al fine di ottenere V_H e V_L con una sola simulazione. Il gate di MS1 è collegato a 0 V per obbligare MS1 a operare in interdizione.

I transistori NMOS usano il modello LEVEL = 1 con KP = 100U, VTO = 0.60, GAMMA = 0.5, e PHI = 0.6. Le dimensioni dei transistori sono indicate specificando W = 10U e L = 1U per M_S e W = 2U e L = 1U per M_L . L'analisi DC fornisce $V_H = 1.55 \text{ V}$ e $V_L = 0.289 \text{ V}$. La corrente in V_{DD} vale 234 μA . Tutti i valori trovati sono in buon accordo con quelli ottenuti manualmente.

ESERCIZIO Si usi il risolutore della propria calcolatrice o si scriva uno script MATLAB per trovare V_H dell'Esempio 6.6.

ESERCIZIO Si ripetano i calcoli dell'esercizio precedente assumendo $\gamma = 0$. Si verifichino i risultati con simulazioni SPICE.

RISPOSTE 1.90 V; 0 A; 0.235 V; 278 μ A.

Analisi dei margini di rumore

Possiamo ora procedere al calcolo di V_{IL} , V_{OL} , V_{IH} e V_{OH} per l'invertitore con carico in saturazione. Ricordiamo che questi valori sono definiti dai punti della caratteristica di trasferimento per i quali la pendenza della caratteristica è pari a -1 .

In Figura 6.21(b) la pendenza della caratteristica di trasferimento varia bruscamente quando M_S comincia a condurre, ovvero quando $v_I = V_{TNS}$. Questo punto definisce dunque la V_{IL} :

$$V_{IL} = V_{TNS} = 0.6 \text{ V} \quad \text{per } V_{OH} = V_{DD} - V_{TNL} = 1.55 \text{ V}$$

Calcoliamo ora V_{IH} e V_{OL} ; per ottenere una relazione fra v_I e v_O , osserviamo che le correnti di drain dei dispositivi di commutazione e di carico devono essere uguali. Per $v_I = V_{IH}$, l'ingresso è a un potenziale relativamente alto, mentre la tensione di uscita è bassa. Possiamo dunque ipotizzare che M_S sia in regione lineare, mentre già sappiamo che M_L opera comunque in regione di saturazione. Eguagliando le correnti di drain dei dispositivi di commutazione e di carico abbiamo:

$$\begin{aligned} i_{DS} &= i_{DL} \\ K_S \left(v_I - V_{TNS} - \frac{v_O}{2} \right) v_O &= \frac{K_L}{2} (V_{DD} - v_O - V_{TNL})^2 \\ K_S &= K'_n \left(\frac{W}{L} \right)_S \quad \text{e} \quad K_L = K'_n \left(\frac{W}{L} \right)_L \end{aligned}$$

Il punto di interesse è quello in cui $dv_O/dv_I = -1$. Risolvere l'equazione precedente per individuare il punto in cui la derivata è pari a -1 è alquanto tedioso, per cui riportiamo di seguito solo i risultati finali dell'analisi. I calcoli dettagliati sono disponibili sul sito web dedicato al libro.

$$\begin{aligned} V_{OL} &= \frac{V_{DD} - V_{TNL}}{\sqrt{1 + 3K_R}} \quad \text{con} \quad V_{TNL} = V_{TO} + \gamma (\sqrt{V_{OL} + 2\phi_F} - \sqrt{2\phi_F}) \\ K_R &= \frac{(W/L)_S}{(W/L)_L} \quad V_{IH} = V_{TNS} + \frac{V_{OL}}{2} + \frac{(V_{DD} - V_{OL} - V_{TNL})^2}{2K_R V_{OL}} \end{aligned}$$

Sostituendo i valori relativi all'invertitore con carico a svuotamento progettato in precedenza, otteniamo:

$$V_{OL} = \frac{2.5 \text{ V} - V_{TNL}}{\sqrt{1 + 3(4.71)(1.68)}} \quad \text{con} \quad V_{TNL} = 0.6 \text{ V} + 0.5\sqrt{V} (\sqrt{V_{OL} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}})$$

Queste due relazioni possono essere riarrangiate per ottenere un'equazione di secondo grado in V_{OL} , utilizzando la medesima tecnica adoperata in precedenza per calcolare V_H . Di seguito proponiamo invece l'utilizzo di una tecnica iterativa per ottenere numericamente la soluzione delle due equazioni tramite una calcolatrice o un foglio di calcolo. I passi da seguire nelle iterazioni sono i seguenti:

1. Scegliere un valore iniziale, di tentativo, per V_{OL} .
2. Calcolare il valore corrispondente di V_{TNL} .
3. Aggiornare il valore di V_{OL} .
4. Ripetere i passi 2 e 3 fino al raggiungimento della convergenza.

La Tabella 6.9 riporta un esempio del processo iterativo per l'invertitore riportato in Figura 6.21.

Tabella 6.9

Iterazione	V_{OL} (V)	V_{TNL} (V)	V'_{OL} (V)
1	0.5000	0.7371	0.3544
2	0.3544	0.7011	0.3616
3	0.3616	0.7030	0.3612
4	0.3612	0.7029	0.3613
5	0.3613	0.7029	0.3613

Dunque abbiamo $V_{OL} = 0.36$ V con $V_{TNL} = 0.70$ V. Questi valori possono essere utilizzati per calcolare V_{IH}

$$V_{IH} = 0.6 \text{ V} + \frac{0.36 \text{ V}}{2} + \frac{(2.5 \text{ V} - 0.36 \text{ V} - 0.70 \text{ V})^2}{2(4.71)(1.68)(0.36 \text{ V})} = 1.14 \text{ V}$$

I valori di V_{IH} e V_{OL} sono in accordo con la simulazione della caratteristica di trasferimento riportata in Figura 6.21. I margini di rumore sono dati da:

$$NM_L = V_{IL} - V_{OL} = 0.60 \text{ V} - 0.36 \text{ V} = 0.24 \text{ V}$$

$$NM_H = V_{OH} - V_{IH} = 1.55 \text{ V} - 1.14 \text{ V} = 0.41 \text{ V}$$

Rispetto all'invertitore con carico resistivo, il valore di NM_L rimane simile, mentre il valore di NM_H si deteriora, a causa della riduzione del livello di uscita alto, V_H . Si noti, inoltre, che i margini di rumore migliorano al crescere del parametro K_R .

Estrazione dei margini di rumore da simulazioni SPICE

È anche possibile ricavare in maniera semplificata i valori di V_{IL} , V_{OH} , V_{IH} e V_{OL} in base ai risultati delle simulazioni SPICE riportati in Figura 6.21, cercando numericamente i punti per cui la derivata della caratteristica di trasferimento vale -1 .

Di conseguenza, troviamo $V_{IL} = V_{TNS} \approx 0.6$ V e $V_{OH} = V_H \approx 1.55$ V; $V_{IH} \approx 1.12$ V e $V_{OL} \approx 0.38$ V.⁵

I margini di rumore per l'invertitore con carico saturato sono quindi:

$$NM_H = V_{OH} - V_{IH} = 1.55 \text{ V} - 1.12 \text{ V} = 0.43 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} = 0.60 \text{ V} - 0.38 \text{ V} = 0.22 \text{ V}$$

6.6.2 Invertitore NMOS con dispositivo di carico in regione lineare

La Figura 6.17(d) fornisce una seconda utile interconnessione per il dispositivo di carico M_L . In questo caso, il gate del dispositivo di carico è collegato a una tensione di alimentazione separata V_{GG} . Il valore di V_{GG} deve essere superiore di almeno una tensione di soglia rispetto alla tensione di alimentazione V_{DD} :

$$V_{GG} \geq V_{DD} + V_{TNL}$$

In questo modo, la tensione di uscita nello stato alto V_H sarà uguale a V_{DD} .

La regione di funzionamento di M_L in Figura 6.22 può essere ottenuta comparando $V_{GS} - V_{TNL}$ con V_{DS} . Essendo v_O la tensione sul source del dispositivo di carico e poiché $V_{GG} \geq V_{DD} + V_{TNL}$ abbiamo:

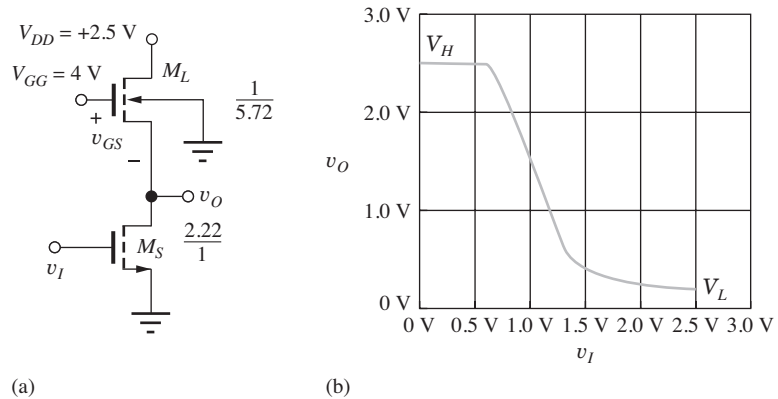
$$\begin{aligned} v_{GS} - V_{TNL} &= V_{GG} - v_O - V_{TNL} \\ &\geq V_{DD} + V_{TNL} - v_O - V_{TNL} \\ &\geq V_{DD} - v_O \end{aligned} \quad (6.27)$$

Dunque, $v_{GS} - V_{TNL} \geq V_{DD} - v_O$ e poiché $v_{DS} = V_{DD} - v_O$ il dispositivo di carico opera sempre in regione lineare.

⁵ Si osservi che, al fine di stimare con maggiore accuratezza i punti in cui la derivata vale -1 , è possibile calcolare con SPICE la derivata numerica della caratteristica di trasferimento, per esempio chiedendo al programma di disegnare la quantità $D(V_O)/D(V_I)$.

Figura 6.22

(a) Progetto di un invertitore con un dispositivo di carico regione lineare.
 (b) Caratteristica di trasferimento dell'invertitore NMOS con dispositivo di carico in regione lineare.



I rapporti W/L per M_S e M_L possono essere calcolati utilizzando metodi simili a quelli visti nei precedenti paragrafi; i risultati sono mostrati in Figura 6.22(a). Poiché V_H è ora pari a 1.5 V, il W/L di M_S è di nuovo 2.22/1. D'altro canto, per $v_O = V_L$, la v_{GS} di M_L è grande e $(W/L)_L$ deve essere ridotto a 1/5.72 al fine di limitare la corrente al livello desiderato (la verifica di questi valori è rimandata al Problema 6.67). Il risultato della simulazione PSPICE della caratteristica di trasferimento dell'invertitore NMOS con dispositivo di carico in regione lineare è mostrato in Figura 6.22(b).

L'introduzione di una tensione di alimentazione ausiliaria V_{GG} consente di risolvere il problema del ridotto valore di V_H dell'invertitore con dispositivo di carico in saturazione. Tuttavia, il costo di una tensione di alimentazione aggiuntiva e l'aumento della complessità delle interconnessioni, dovuta alla distribuzione di una ulteriore tensione di alimentazione a ogni porta logica, fa sì che le logiche NMOS con dispositivo di carico in regione lineare siano utilizzate raramente.

ESERCIZIO Calcolare i valori di V_{IL} , V_{OH} , V_{IH} , V_{OL} , NM_H e NM_L per il dispositivo di carico in regione lineare, usando il grafico in Figura 6.22(b).

RISPOSTE 0.64 V; 2.42 V; 1.46 V; 0.52 V; 0.12 V, 0.96 V.

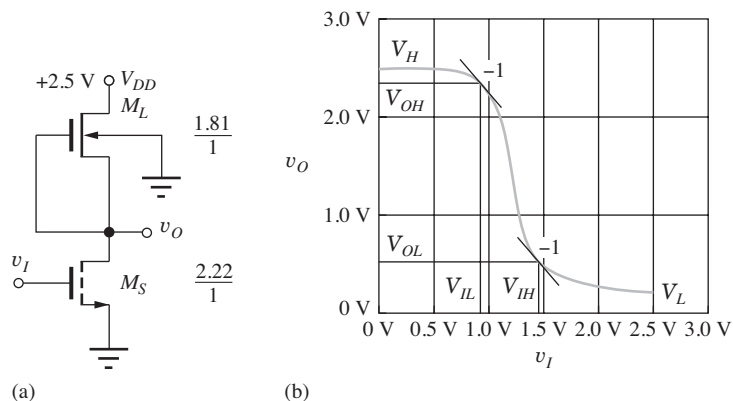
6.6.3 Invertitore NMOS con dispositivo di carico a svuotamento

I circuiti con dispositivi di carico in regione di saturazione e in regione lineare furono quelli inizialmente adoperati per lo sviluppo di circuiti integrati digitali, in quanto nei primi processi tecnologici NMOS e PMOS tutti i dispositivi dovevano avere la stessa tensione di soglia. Grazie al perfezionamento delle tecniche di impiantazione ionica, divenne possibile aggiustare selettivamente la tensione di soglia del dispositivo di carico, in modo da alterarne le caratteristiche trasformandolo in un transistor a svuotamento, con $V_{TN} < 0$.

La topologia circuitale per l'invertitore NMOS con **dispositivo di carico a svuotamento** è mostrata in Figura 6.23(a). Poiché la tensione di soglia del dispositivo a svuotamento è negativa, esiste un canale anche per $v_{GS} = 0$, e il dispositivo di carico è in grado di

Figura 6.23

(a) Invertitore NMOS con dispositivo di carico a svuotamento.
 (b) Simulazione SPICE della caratteristica di trasferimento dell'invertitore NMOS con carico a svuotamento (a).



condurre corrente fin quando la sua tensione drain-source non si annulla. Quando il dispositivo di commutazione M_S si interdice, ($v_I = V_L$), la tensione di uscita può così salire fino a $V_H = V_{DD}$.

Per $v_I = V_{OH}$, l'uscita è bassa e $v_O = V_L$. In questo stato, la corrente è limitata dal dispositivo a svuotamento, che è normalmente progettato in modo tale da lavorare in regione di saturazione, con:

$$v_{DS} \geq v_{GS} - V_{TNL} = 0 - V_{TNL} \quad \text{ovvero} \quad v_{DS} \geq -V_{TNL}$$

Progetto del rapporto W/L di M_L

Come esempio di progetto assumeremo $V_{DD} = 2.5$ V, $V_L = 0.25$ V e $V_{TNL} = -1$ V. Per $v_O = V_L$, la tensione ai capi del dispositivo di carico è $V_{DS} = 2.30$ V, che è maggiore di $-V_{TNL} = 1$ V e il dispositivo M_L opera in regione di saturazione. La corrente di drain del dispositivo a svuotamento può quindi essere scritta come:

$$i_{DL} = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (v_{GSL} - V_{TNL})^2 = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (V_{TNL})^2 \quad (6.28)$$

Anche in questo caso, come per l'invertitore con carico in saturazione, dobbiamo portare in conto l'effetto body nel MOSFET a svuotamento e quindi dobbiamo calcolare V_{TNL} prima di poter determinare $(W/L)_L$. Per il dispositivo a svuotamento utilizzeremo i parametri in Tabella 6.8, e quindi:

$$V_{TNL} = -1 \text{ V} + 0.5 \sqrt{V} (\sqrt{(0.20 + 0.6) \text{ V}} - \sqrt{0.6 \text{ V}}) = -0.94 \text{ V}$$

Assumendo una corrente di $80 \mu\text{A}$ con $K'_n = 100 \mu\text{A/V}^2$ e una tensione di soglia del dispositivo a svuotamento di -0.94 V, otteniamo:

$$(W/L)_L = 1.81/1 = 1/0.55$$

Progetto del rapporto W/L di M_S

Quando $v_I = V_H = V_{DD}$, il dispositivo di commutazione ha di nuovo la completa tensione di alimentazione applicata al gate, e il suo rapporto W/L sarà identico a quello relativo al progetto della porta NMOS con carico resistivo: $(W/L)_S = 2.22/1$. Il progetto completo dell'invertitore con dispositivo di carico a svuotamento appare in Figura 6.23(a). I livelli logici del circuito sono $V_L = 0.20$ V e $V_H = 2.5$ V.

La Figura 6.23(b) mostra i risultati di una simulazione SPICE della caratteristica di trasferimento per l'invertitore di Figura 6.23(a). Per bassi valori della tensione di ingresso, l'uscita è a 2.5 V. Al crescere della tensione di ingresso, la pendenza della caratteristica di trasferimento varia gradualmente, poiché il transistor di commutazione entra in conduzione quando la tensione di ingresso supera la tensione di soglia. Quando la tensione di ingresso aumenta ulteriormente, la tensione di uscita diminuisce rapidamente e infine raggiunge il valore di progetto di 0.20 V per una tensione di ingresso di 2.5 V.

Margini di rumore per l'invertitore con carico a svuotamento

In analogia con quanto fatto nel caso di invertitore con dispositivo di carico in saturazione, è possibile ricavare una stima dei valori di V_{IL} , V_{OH} , V_{IH} e V_{OL} direttamente dai risultati delle simulazioni SPICE presentati in Figura 6.23(b). Si ottiene quindi $V_{IL} = 0.93$ V, $V_{OH} = 2.35$ V, $V_{IH} \approx 1.45$ V e $V_{OL} \approx 0.50$ V.

Una stima dei margini di rumore per questo invertitore con dispositivo di carico in saturazione è quindi

$$NM_H = V_{OH} - V_{IH} = 2.35 \text{ V} - 1.45 \text{ V} = 0.90 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} = 0.93 \text{ V} - 0.50 \text{ V} = 0.43 \text{ V}$$

Rispetto ai margini di rumore dell'invertitore con carico resistivo ($NM_H = 0.96$ V, $NM_L = 0.25$ V) si osserva che NM_H è simile mentre NM_L è migliorato.

Esempio 6.7**INVERTITORE NMOS CON CARICO A SVUOTAMENTO**

PROBLEMA Progettare l'invertitore con carico a svuotamento di Figura 6.23(a), assumendo una tensione di alimentazione $V_{DD} = 3.3$ V. Assumere inoltre $V_{TO} = 0.6$ V per il transistor di commutazione e $V_{TO} = -1$ V per il dispositivo di carico a svuotamento. Gli altri parametri di progetto rimangono inalterati ($V_L = 0.20$ V, $P = 0.20$ mW ecc.)

SOLUZIONE **Informazioni e dati noti:** Topologia circuitale in Figura 6.23(a), con: $V_{DD} = 3.3$ V, $P = 0.20$ mW, $V_L = 0.20$ V, $K'_n = 100 \mu\text{A}/\text{V}^2$, $V_{TOS} = 0.60$ V, $V_{TOL} = -1$ V, $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6$ V per entrambi i transistori.

Incognite: La corrente I_{DD} erogata dall'alimentazione, i rapporti W/L del dispositivo di commutazione M_S e del dispositivo di carico M_L .

Approccio: Calcolare V_H . Utilizzare V_H , I_{DD} e il valore specificato di V_L per ottenere $(W/L)_S$. Calcolare V_{TNL} . Utilizzare I_{DD} , V_{TNL} e le tensioni nel circuito per ottenere $(W/L)_L$.

Ipotesi: Il MOSFET M_S è interdetto per $v_I = V_L$. Per $v_O = V_L$, M_S è in regione lineare ed M_L è in saturazione.

Analisi: Dobbiamo dapprima ottenere la corrente erogata dall'alimentazione per $v_O = V_L$, in modo da poter procedere al calcolo dei rapporti W/L di entrambi i transistori.

$$I_{DD} = \frac{P}{V_{DD}} = \frac{0.20 \text{ mW}}{3.3 \text{ V}} = 60.6 \mu\text{A}$$

Il valore di V_H è uguale a V_{DD} , assumendo che la tensione di soglia del dispositivo a svuotamento rimanga negativa per $v_O = V_{DD}$. Controlliamo il valore di V_{TNL} :

$$V_{TNL} = -1 \text{ V} + 0.5 \sqrt{V} (\sqrt{3.3 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) = -0.40 \text{ V}$$

Pertanto, $V_H = V_{DD} = 3.3$ V. Possiamo ora determinare le dimensioni del dispositivo di commutazione. Il transistor ha: $V_{GS} = V_H = 3.3$ V e $V_{DS} = V_L = 0.20$ V, come mostrato in figura.

$$60.6 \mu\text{A} = \left(100 \frac{\mu\text{A}}{\text{V}^2}\right) \left(\frac{W}{L}\right)_S \left(3.3 \text{ V} - 0.6 \text{ V} - \frac{0.20 \text{ V}}{2}\right) 0.20 \text{ V} \rightarrow \left(\frac{W}{L}\right)_S = \frac{1.17}{1}$$

Per progettare il rapporto W/L del transistor di carico dobbiamo calcolarne la tensione di soglia per $v_O = V_L = 0.20$ V (si noti che per questo dispositivo: $V_{SB} = V_L = 0.20$ V).

$$V_{TNL} = -1 \text{ V} + 0.5 \sqrt{V} (\sqrt{0.20 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) = -0.940 \text{ V}$$

$$60.6 \mu\text{A} = \left(\frac{100}{2} \frac{\mu\text{A}}{\text{V}^2}\right) \left(\frac{W}{L}\right)_L (-0.94 \text{ V})^2 \rightarrow \left(\frac{W}{L}\right)_L = \frac{1.37}{1}$$

Controllo dei risultati: Dobbiamo verificare le ipotesi relative alle regioni di funzionamento dei due MOSFET. Per il dispositivo di commutazione: $V_{GS} - V_{TN} = 3.3 \text{ V} - 0.6 \text{ V} = 2.7 \text{ V}$ che è maggiore di $V_{DS} = 0.20 \text{ V}$ e l'ipotesi iniziale di funzionamento in regione lineare è confermata. Per il dispositivo di carico: $V_{GS} - V_{TN} = 0 \text{ V} - (-0.93 \text{ V}) = 0.93 \text{ V}$ e $V_{DS} = 3.3 \text{ V} - 0.20 \text{ V} = 3.10 \text{ V}$, valori consistenti con l'ipotesi di funzionamento in regione di saturazione. Possiamo effettuare un ulteriore controllo sui valori di W/L , calcolando direttamente le correnti di drain:

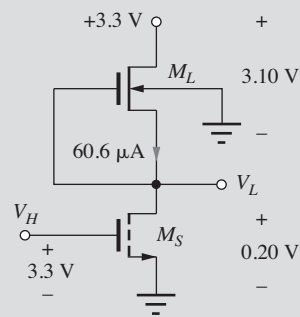
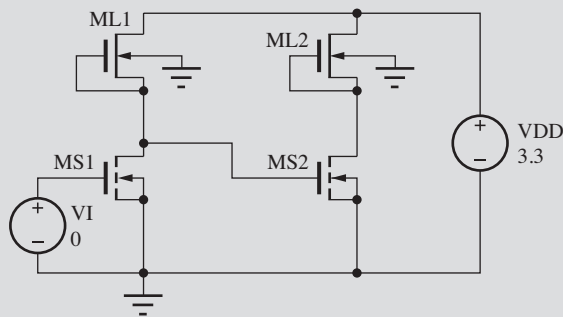
$$I_{DS} = \left(100 \frac{\mu\text{A}}{\text{V}^2}\right) \left(\frac{1.17}{1}\right) \left(3.3 \text{ V} - 0.60 \text{ V} - \frac{0.20 \text{ V}}{2}\right) 0.20 \text{ V} = 60.8 \mu\text{A}$$

$$I_{DL} = \frac{100 \mu\text{A}}{2} \left(\frac{1.37}{1}\right) [0 \text{ V} - (-0.94 \text{ V})]^2 = 60.5 \mu\text{A}$$

I risultati sono concordi, a meno di errori di arrotondamento.

Discussione: Confrontando il nuovo progetto con quello di Figura 6.23(a), osserviamo che, dovendo mantenere lo stesso valore di V_L con una corrente I_{DD} maggiore ed una V_H minore, è necessario aumentare il rapporto W/L per il dispositivo M_S . Il valore più piccolo della tensione di soglia modifica solo leggermente il valore di W/L . Il ridotto valore di V_H riduce l'effetto body nel dispositivo di carico.

Analisi assistita al calcolatore: Verifichiamo il nostro progetto con SPICE. È opportuno simulare due invertitori in cascata, in modo da ottenere sia V_H che V_L con un'unica simulazione. Il dispositivo ad arricchimento utilizza il modello LEVEL = 1, con KP = 100U, VTO = 0.60, GAMMA = 0.5 e PHI = 0.6. Per il dispositivo a svuotamento il valore di VTO portato a: VTO = -1. Le dimensioni dei dispositivi sono: W = 1.17U e L = 1U per M_S e W = 1.37U, L = 1U per M_L . SPICE riporta: $V_H = 3.30$ V e $V_L = 0.20$ V con $I_D = 60.6$ μ A per il transistor M_{S2} . Tutti i valori confermano la correttezza del nostro progetto.



ESERCIZIO Calcolare i nuovi rapporti W/L , dei transistori dell'Esempio 6.7, assumendo $V_{TOL} = -1.5$ V.

RISPOSTE $(W/L)_S = 1.17/1$; $(W/L)_L = 1/1.72$.

6.7 Confronto fra gli invertitori NMOS

La Figura 6.24 e la Tabella 6.10 consentono di confrontare i quattro progetti di invertitori NMOS discussi nei paragrafi precedenti. La porta con carico resistivo occupa troppa area per essere implementata in forma integrata. La configurazione con carico in saturazione è il circuito più semplice, che utilizza soltanto dispositivi NMOS ad arricchimento; tuttavia soffre dello svantaggio che nello stato logico alto la tensione di uscita è minore della tensione di alimentazione. Vedremo inoltre, nei paragrafi successivi, che la dinamica della porta con carico in saturazione è peggiore rispetto a quella delle altre configurazioni circuitali. Il circuito con dispositivo di carico in regione di linearità risolve il problema dei livelli logici e della velocità ma richiede il costo aggiuntivo di un'ulteriore tensione di alimentazione, che

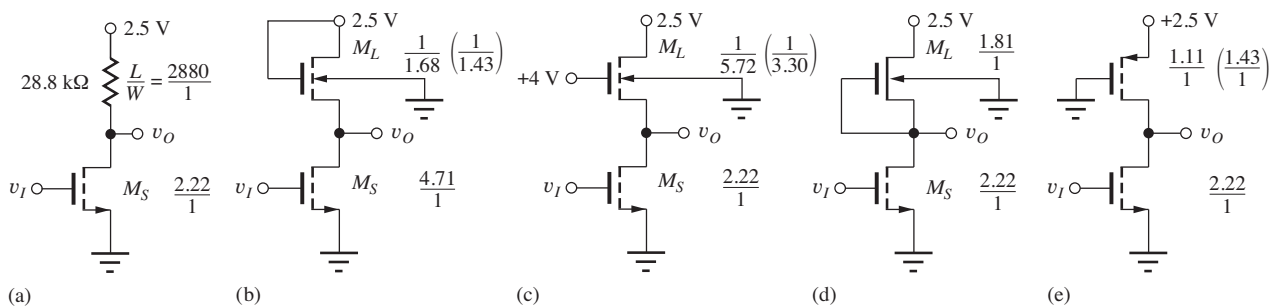


Figura 6.24 Confronto fra i progetti di quattro invertitori NMOS: (a) invertitore con carico resistivo, (b) invertitore con carico in saturazione, (c) invertitore con carico in regione lineare, (d) invertitore con carico a svuotamento, (e) invertitore pseudo NMOS. I valori tra parentesi si riferiscono alle dimensioni ricavate tenendo conto della saturazione della velocità, come discusso nel Paragrafo 6.9.

Tabella 6.10 Caratteristiche degli invertitori

	Invertitore con carico resistivo	Invertitore con carico in saturazione	Invertitore con carico in regione lineare	Invertitore con carico a svuotamento	Invertitore pseudo NMOS
V_H	2.50 V	1.55 V	2.50 V	2.50 V	2.50 V
V_L	0.20 V	0.20 V	0.20 V	0.20 V	0.20 V
NM_L	0.25 V	0.22 V	0.12 V	0.43 V	0.46 V
NM_H	0.96 V	0.33 V	0.96 V	0.90 V	0.75 V
Area	2880 μm^2	6.39 μm^2	7.94 μm^2	4.03 μm^2	3.33 μm^2

causa una congestione nelle linee di collegamento all'interno di un circuito integrato. Questa configurazione, inoltre, è caratterizzata da un pessimo valore di NM_L .

Grazie allo sviluppo del processo di impiantazione ionica e all'invenzione della tecnologia con carico a svuotamento, i circuiti NMOS con dispositivi di carico a svuotamento divennero quelli più diffusamente adoperati. Nell'invertitore con carico a svuotamento, la maggiore complessità del processo costruttivo è compensata dalla ridotta occupazione di area del circuito. Questa configurazione circuitale garantisce inoltre $V_H = V_{DD}$ e fornisce i migliori margini di rumore.

Il dispositivo di carico a svuotamento tende a comportarsi come un generatore di corrente costante durante gran parte della transizione di uscita; vedremo nei prossimi paragrafi che ciò contribuisce a rendere la logica con carico a svuotamento anche la più veloce fra le quattro configurazioni di invertitori. Considereremo i circuiti di Figura 6.24 come i **progetti di riferimento per gli invertitori NMOS** e utilizzeremo questi circuiti come punto di partenza per lo sviluppo di progetti più complessi nei paragrafi seguenti.

Grazie ai suoi molteplici vantaggi, la logica NMOS con carico a svuotamento è stata la tecnologia dominante per molti anni per il progetto di microprocessori. Peraltro, la notevole dissipazione di potenza statica tipica delle logiche NMOS è divenuta infine la principale limitazione all'ulteriore aumento di densità dei circuiti integrati. Conseguentemente, si è assistito a un rapido sviluppo della più complessa tecnologia CMOS, che verrà studiata in dettaglio nel prossimo capitolo.

6.8 Effetto della saturazione della velocità sul progetto statico dell'invertitore

La saturazione della velocità limita la corrente del MOSFET rispetto a quella fornita dalla caratteristica quadratica del transistor in regione di saturazione. La corrente più bassa richiede quindi una correzione del rapporto W/L ottenuto nel paragrafo precedente.

In questo paragrafo useremo il Modello Unificato (Paragrafo 4.7.7) per progettare varie porte logiche NMOS. Ricordiamo che il Modello Unificato permette di calcolare la corrente di drain come

$$i_D = K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN} (1 + \lambda V_{DS}) \quad \text{con } V_{MIN} = \min\{(V_{GS} - V_{TN}), V_{DS}, V_{SAT}\} \quad (6.29)$$

e assumiamo che il parametro λ sia trascurabile nell'analisi in continua che stiamo per svolgere.

6.8.1 Progetto del transistor di commutazione

Per il progetto del transistor di commutazione assumiamo che il transistor M_S sia o in interdizione (con $V_O = V_H$ e $i_D = 0$) o in conduzione (con $V_O = V_L = 0.2$ V e $i_D = 80$ μA). Quando il transistor è interdetto, la corrente è uguale a zero e non ci sono conseguenze sul valore di $(W/L)_S$. Quando $V_O = V_L$, osserviamo che $V_{DS} = 0.2$ V e sia $V_{GS} - V_{TN}$ sia V_{SAT} sono maggiori di 0.2 V. Di conseguenza, $V_{MIN} = 0.2$ V e non ci sono variazioni sul valore di $(W/L)_S$ per nessuna delle configurazioni dell'invertitore NMOS che sono state considerate.

6.8.2 Progetto del transistor di carico

Contrariamente a quanto succede con il progetto del transistor di commutazione, la saturazione della velocità ha un effetto sui valori del rapporto W/L del transistor di carico nei vari invertitori NMOS, come descritto nel seguito. Assumiamo che i valori di V_{GS} , V_{TN} e V_{DS} siano quelli ricavati nel Paragrafo 6.6.

Invertitore con carico in saturazione

Per il dispositivo con carico in saturazione, $V_{GS} - V_{TN} = 2.5 \text{ V} - 0.2 \text{ V} - 0.66 \text{ V} = 1.64 \text{ V}$, $V_{DS} = 2.5 \text{ V} - 0.2 \text{ V} = 2.3 \text{ V}$ e $V_{SAT} = 1.2 \text{ V}$. Di conseguenza, $V_{MIN} = 1.2 \text{ V}$ e il dispositivo di carico deve fornire una corrente di $80 \mu\text{A}$. Calcolando il rapporto W/L per il dispositivo di carico:

$$I_D = K'_n \left(\frac{W}{L} \right)_L \left(V_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN}$$

quindi

$$80 \mu\text{A} = 100 \frac{\mu\text{A}}{\text{V}^2} \left(\frac{W}{L} \right)_L \left(1.64 \text{ V} - \frac{1.2 \text{ V}}{2} \right) 1.2 \text{ V}$$

otteniamo $\left(\frac{W}{L} \right)_L = \frac{1}{1.56}$. In questo caso, la lunghezza del canale deve essere leggermente ridotta, con conseguente aumento del rapporto W/L per aumentare la corrente fornita dal dispositivo di carico.

Invertitore con dispositivo di carico in regione lineare

Nel caso di dispositivo di carico in regione lineare, $V_{GS} - V_{TN} = 4 \text{ V} - 0.2 \text{ V} - 0.66 \text{ V} = 3.14 \text{ V}$, $V_{DS} = 2.5 \text{ V} - 0.2 \text{ V} = 2.3 \text{ V}$ e $V_{SAT} = 1.2 \text{ V}$. Di conseguenza, $V_{MIN} = 1.2 \text{ V}$, e il dispositivo di carico deve fornire una corrente di $80 \mu\text{A}$. Calcolando il rapporto W/L per il dispositivo di carico:

$$I_D = K'_n \left(\frac{W}{L} \right)_L \left(V_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN}$$

quindi

$$80 \mu\text{A} = 100 \frac{\mu\text{A}}{\text{V}^2} \left(\frac{W}{L} \right)_L \left(3.14 \text{ V} - \frac{1.2 \text{ V}}{2} \right) 1.2 \text{ V}$$

otteniamo $\left(\frac{W}{L} \right)_L = \frac{1}{3.81}$. Anche in questo caso, la lunghezza del canale deve essere ridotta per aumentare la corrente erogabile dal dispositivo di carico.

Invertitore con carico a svuotamento

Nel caso di invertitore con carico a svuotamento, $V_{GS} - V_{TN} = 0 - (-0.94 \text{ V}) = 0.94 \text{ V}$, $V_{DS} = 2.5 \text{ V} - 0.2 \text{ V} = 2.3 \text{ V}$ e $V_{SAT} = 1.2 \text{ V}$. Di conseguenza, $V_{MIN} = 0.94 \text{ V}$ e il dispositivo di carico deve fornire una corrente di $80 \mu\text{A}$. Calcolando W/L per il dispositivo di carico:

$$I_D = K'_n \left(\frac{W}{L} \right)_L \left(V_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN}$$

quindi

$$80 \mu\text{A} = 100 \frac{\mu\text{A}}{\text{V}^2} \left(\frac{W}{L} \right)_L \left(0.94 \text{ V} - \frac{0.94 \text{ V}}{2} \right) 0.94 \text{ V}$$

otteniamo $\left(\frac{W}{L} \right)_L = \frac{1.81}{1}$. In questo caso, il rapporto W/L del dispositivo di carico rimane inalterato.

Invertitore pseudo NMOS

In quest'ultimo caso, $V_{GS} - V_{TN} = 2.5 \text{ V} - 0.6 \text{ V} = 1.9 \text{ V}$, $V_{DS} = 2.5 \text{ V} - 0.2 \text{ V} = 2.3 \text{ V}$ e $V_{SAT} = 1.2 \text{ V}$. Di conseguenza, $V_{MIN} = 1.2 \text{ V}$ e il dispositivo di carico deve fornire una corrente di $80 \mu\text{A}$.

Calcolando W/L per il dispositivo di carico:

$$I_D = K'_p \left(\frac{W}{L} \right)_p \left(V_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN}$$

o

$$80 \mu\text{A} = 40 \frac{\mu\text{A}}{\text{V}^2} \left(\frac{W}{L} \right)_p \left(1.9 \text{ V} - \frac{1.2 \text{ V}}{2} \right) 1.2 \text{ V}$$

otteniamo $\left(\frac{W}{L} \right)_L = \frac{1.28}{1}$. In questo caso, il rapporto W/L del dispositivo di carico deve aumentare per fornire la corrente di drain richiesta.

6.8.3 Riassunto degli effetti della saturazione della velocità

La saturazione della velocità limita la corrente di drain del transistor MOS a valori inferiori rispetto a quelli previsti dal modello quadratico impiegato per descrivere il funzionamento del dispositivo in saturazione. Le modifiche nel progetto statico dell'invertitore sono riassunte in Figura 6.24. Poiché il transistor di commutazione opera in linearità con valori piccoli di tensione drain-source, il rapporto $(W/L)_S$ non subisce variazioni a causa delle limitazioni imposte dalla saturazione della velocità. Tuttavia, il W/L della maggior parte dei transistori di carico devono essere modificati per compensare per la ridotta capacità del dispositivo di carico di trasportare corrente. Tali modifiche dipendono dal tipo di configurazione e vanno da una riduzione del 33% dell'area del gate per il carico in regione lineare fino ad un aumento del 15% dell'area nel caso dell'invertitore pseudo NMOS.

6.9 Porte logiche NMOS elementari

Una famiglia logica completa deve fornire non solo la funzione logica NOT, ma anche funzioni logiche ad almeno due ingressi, come le funzioni AND oppure OR. In logica NMOS è possibile realizzare sia porte logiche NOR che porte NAND aggiungendo un transistor al semplice invertitore. La porta NOR rappresenta la combinazione di un'operazione OR seguita da un'inversione, mentre la funzione NAND rappresenta un'operazione AND seguita da un'inversione.

Nel seguito continueremo ad adottare la convenzione di logica positiva per correlare i livelli di tensione alle variabili logiche: un livello di tensione elevato corrisponde a un valore logico 1, mentre un livello di tensione basso corrisponde a un valore logico 0:

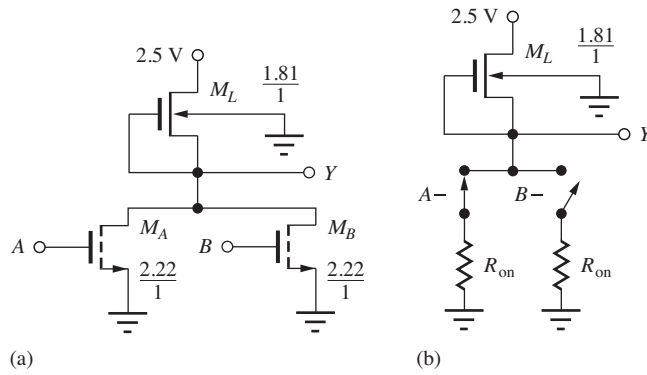
$$V_H \equiv 1 \quad \text{e} \quad V_L \equiv 0$$

6.9.1 Porte NOR

In Figura 6.25 il transistor di commutazione M_S dell'invertitore è stato sostituito con due dispositivi M_A e M_B per formare una porta NOR a due ingressi. Se uno o entrambi gli ingressi A e B sono nello stato logico alto, si avrà un passaggio di corrente attraverso almeno uno dei due dispositivi di commutazione, e l'uscita sarà al livello logico basso. Solo se gli ingressi A e B sono entrambi nello stato logico basso l'uscita della porta logica sarà alta. La tabella di verità per questo circuito, mostrata in Tabella 6.11, corrisponde a quella della funzione NOR $Y = \overline{A + B}$.

Le dimensioni dei dispositivi che formano la nostra porta logica saranno definite sulla base dei risultati ottenuti nel progetto dell'invertitore di riferimento, di cui abbiamo discusso al termine del Paragrafo 6.7 [Figura 6.24(d)]. Le dimensioni dei dispositivi devono essere scelte in modo tale da soddisfare le specifiche relative ai livelli logici e alla dissipazione di potenza, nelle condizioni peggiori.

Consideriamo lo schema della porta NOR a due ingressi di Figura 6.25(b). La condizione peggiore per lo stato in cui l'uscita è bassa si ha quando uno solo dei due dispositivi M_A o M_B è in conduzione, per cui bisogna considerare la R_{on} di un singolo transistor per stabilire il livello desiderato di tensione per uscita bassa. Pertanto, $(W/L)_A$ e $(W/L)_B$ devono entrambi essere eguali alle dimensioni di M_S nell'invertitore di riferimento (2.22/1). Se acca-

**Figura 6.25**

(a) Porta NOR a due ingressi in tecnologia NMOS: $Y = \overline{A + B}$.
 (b) Modello semplificato con il transistore A in conduzione.

Tabella 6.11 Tabella di verità della porta NOR	
$A \ B$	$Y = \overline{A + B}$
0 0	1
0 1	0
1 0	0
1 1	0

de che entrambi i dispositivi M_A e M_B sono in conduzione ($A = 1$ e $B = 1$), allora la resistenza equivalente dei due dispositivi in parallelo sarà $R_{on}/2$ e la tensione di uscita sarà inferiore al valore di progetto originale $V_{OL} = 0.20$ V.

Quando conduce uno soltanto dei due dispositivi M_A o M_B , la corrente è limitata dal dispositivo di carico, e le tensioni nel circuito sono esattamente le stesse dell'invertitore di riferimento.⁶ Dunque, il rapporto W/L del dispositivo di carico è lo stesso dell'invertitore di riferimento ($1.81/1$). Il progetto completo della porta NOR è riportato in Figura 6.25(a).

ESERCIZIO Disegnare lo schema di una porta NOR a tre ingressi. Quali sono i valori di W/L per i transistori partendo dall'invertitore di riferimento di Figura 6.25(a)?

RISPOSTE Aggiungere un terzo transistore M_C tra uscita e 0 V. $1.81/1$; $2.22/1$; $2.22/1$; $2.22/1$.

6.9.2 Porte NAND

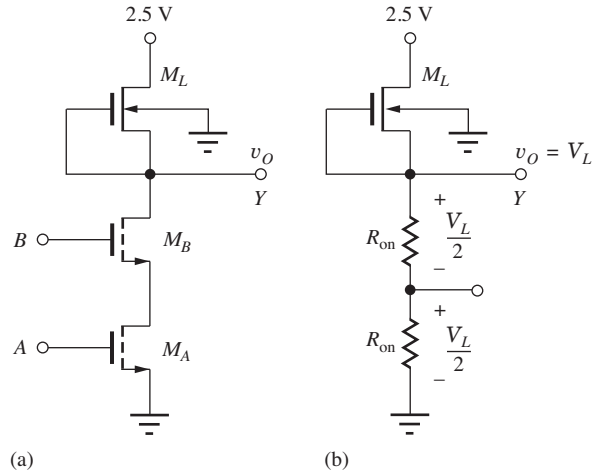
In Figura 6.26(a), è stato aggiunto un secondo transistore NMOS in serie con il dispositivo di commutazione originale dell'invertitore, in modo da formare una porta NAND a due ingressi. In questo circuito avremo un passaggio di corrente attraverso la serie dei due dispositivi di commutazione solo se entrambi gli ingressi A e B sono nello stato logico alto. Solo in questa circostanza l'uscita si porta a livello logico basso. Se uno solo dei due ingressi A oppure B è basso, il percorso conduttivo si interrompe e l'uscita della porta logica diviene alta. La tabella di verità per questa porta (Tabella 6.12) corrisponde a quella della funzione logica NAND $Y = \overline{AB}$.

Tabella 6.12 Tabella di verità della porta NAND	
$A \ B$	$Y = \overline{AB}$
0 0	1
0 1	1
1 0	1
1 1	0

⁶ In effetti, la situazione peggiore per la corrente nel dispositivo di carico si ha quando M_A e M_B sono entrambi in conduzione, poiché in questo caso la caduta ai capi del dispositivo di carico è leggermente maggiore e il valore di V_{SB} è minore. In ogni caso, questo effetto è sufficientemente piccolo da poter essere trascurato. Vedi il Problema 6.81.

Figura 6.26

Porta NAND a due ingressi
in tecnologia NMOS.



Dimensionamento dei transistori di commutazione

Le dimensioni dei dispositivi della porta logica NAND sono sempre calcolate a partire dall'invertitore di riferimento di Figura 6.26(d). I rapporti W/L dei vari transistori devono essere scelti in modo tale da soddisfare le specifiche relative ai livelli logici e alla dissipazione di potenza, nelle condizioni peggiori. Consideriamo lo schema semplificato di porta NAND a due ingressi mostrato in Figura 6.26(b). L'uscita si porta al livello logico basso quando sia M_A sia M_B sono in conduzione. La resistenza combinata dei due dispositivi sarà ora pari a $2R_{on}$. Al fine di ottenere il livello desiderato di tensione per uscita bassa, $(W/L)_A$ e $(W/L)_B$ devono valere approssimativamente il doppio del rapporto W/L del dispositivo M_S nell'invertitore di riferimento, visto che la resistenza on di un dispositivo MOS in regione lineare è inversamente proporzionale al rapporto W/L del transistorore:

$$R_{on} = \frac{v_{DS}}{i_D} = \frac{1}{K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right)} \quad (6.30)$$

Un secondo modo per calcolare le dimensioni dei dispositivi M_A e M_B è di considerare le tensioni ai capi dei due dispositivi quando v_O è nello stato basso. Nel nostro progetto, $V_{OL} = 0.20$ V. Assumiamo che metà di questa tensione cada ai capi di ognuno dei due transistori di commutazione. Poiché $v_{GS} - V_{TN} \gg v_{DS}/2$ abbiamo:

$$i_D = K'_n \left(\frac{W}{L} \right)_S (v_{GS} - V_{TN} - 0.5v_{DS})v_{DS} \approx K'_n \left(\frac{W}{L} \right)_S (v_{GS} - V_{TN})v_{DS} \quad (6.31)$$

e quindi il valore di W/L dei due dispositivi deve essere raddoppiato rispetto all'invertitore di riferimento, in modo da avere la stessa corrente con un valore dimezzato di v_{DS} . La Figura 6.27(a) mostra il progetto della porta NAND ottenuto a partire da queste considerazioni.

Abbiamo effettuato due approssimazioni nell'analisi precedente. Anzitutto, le tensioni source-body dei due dispositivi non sono uguali, e pertanto le tensioni di soglia di M_A e di M_B sono leggermente differenti. In secondo luogo, $V_{GSA} \neq V_{GSB}$. Dalla Figura 6.27(a), $V_{GSA} = 2.5$ V, mentre $V_{GSB} = 2.4$ V. Il progetto della porta NAND portando in conto questi due effetti è mostrato in Figura 6.27(b). (La verifica dei valori di W/L riportati in questa figura è rimandata al Problema 6.83). Si noti che le dimensioni dei dispositivi sono state modificate solo leggermente. Il progetto iniziale di Figura 6.27(a) è quindi adeguato per gran parte delle applicazioni.

Dimensionamento del dispositivo di carico

Quando sia M_A sia M_B conducono la corrente è limitata dal dispositivo di carico. La tensione ai capi del transistorore di carico è esattamente la stessa dell'invertitore di riferimento. Dunque, il rapporto W/L del dispositivo di carico è lo stesso dell'invertitore di riferimento (1.81/1). Il progetto completo della porta NAND, basato sul dimensionamento semplificato dei dispositivi M_A e M_B , è riportato in Figura 6.27(a).

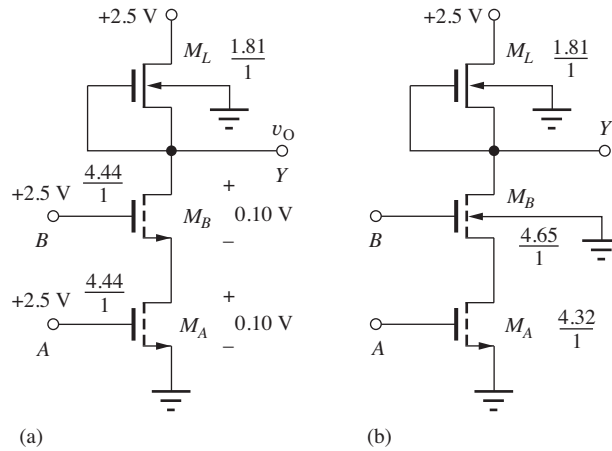


Figura 6.27

Porta NAND a due ingressi:
(a) progetto semplificato,
(b) progetto definitivo.

ESERCIZIO Disegnare lo schema di una porta NAND a tre ingressi. Quali sono i valori di W/L per i transistori, generalizzando il progetto di Figura 6.27(a)?

RISPOSTE 1.81/1; 6.66/1; 6.66/1; 6.66/1.

6.9.3 Layout delle porte NOR e NAND in tecnologia NMOS con carico a svuotamento

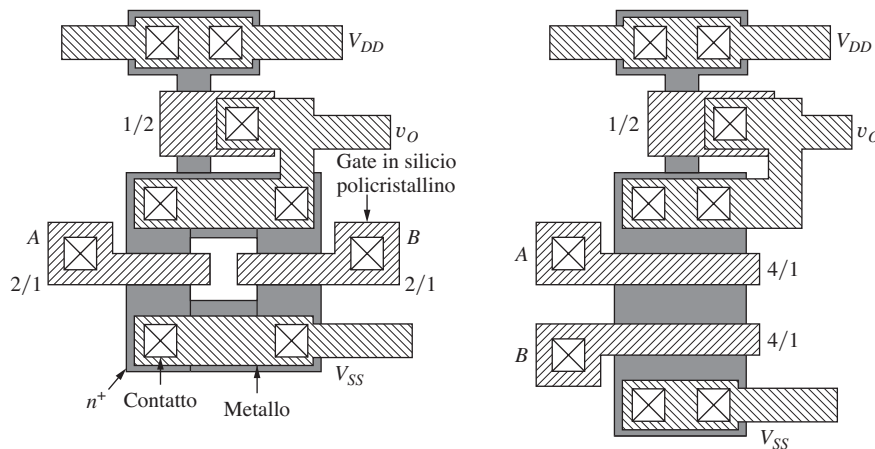
La Figura 6.28 mostra dei semplici layouts per porte NOR e NAND a due ingressi, ottenuti utilizzando regole di base simili a quelle delineate nei capitoli precedenti.

Nella porta NOR i terminali di source e di drain dei dispositivi di commutazione A e B sono collegati in parallelo utilizzando la regione n^+ . Il source del dispositivo di carico è a sua volta collegata ai drain dei dispositivi A e B tramite la regione n^+ . I terminali del gate e di source del dispositivo di carico sono collegati fra loro tramite una linea di metallo che rappresenta, inoltre, l'uscita della porta logica.

Nel layout della porta NAND, il source del transistore A e il drain del transistore B sono realizzati con una singola regione n^+ ; non è necessario realizzare dei contatti per collegare i due terminali. Le W dei transistori A e B della porta NAND sono all'incirca doppie rispetto ai corrispondenti dispositivi della porta NOR, in modo da mantenere la medesima tensione di uscita bassa per le due porte logiche. Il dispositivo di carico è identico nella NAND e nella NOR.

6.10 Porte logiche NMOS complesse

Uno dei vantaggi principali dei circuiti logici MOS è la possibilità di realizzare efficacemente delle **porte logiche complesse**.



(a) Porta NOR a due ingressi

(b) Porta NAND a due ingressi

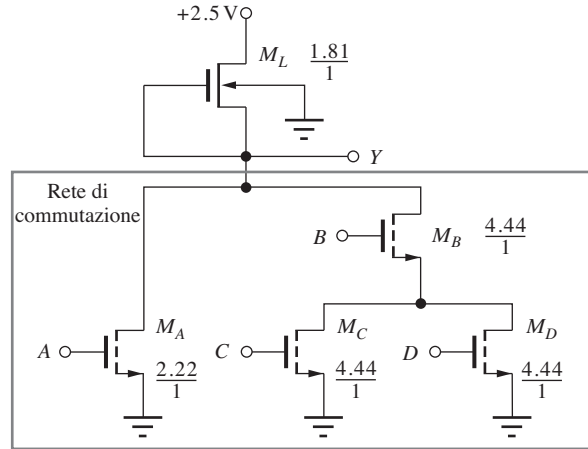
Figura 6.28

Possibili layouts per (a) una porta NOR e due ingressi e (b) una porta NAND e due ingressi.

Figura 6.29

Porta logica NMOS complessa:

$$Y = \overline{A + BC + BD}.$$



Si consideri il circuito di Figura 6.29. L'uscita Y sarà a livello logico basso ogni volta che esiste un percorso conduttivo attraverso la rete formata dai transistori di commutazione. Per questo particolare circuito, la tensione di uscita sarà bassa se almeno uno dei seguenti cammini è in conduzione: A oppure BC (B and C), oppure BD (B and D). L'uscita Y può quindi essere espressa logicamente come:

$$\overline{Y} = A + BC + BD \quad \text{ovvero} \quad Y = \overline{A + BC + BD}$$

$$\text{ovvero} \quad Y = \overline{A + B(C + D)}$$

Il circuito realizza direttamente una funzione logica espressa come **somma di prodotti**. Questa porta logica è spesso indicata come invertitore AND-OR (AOI, AND-OR-INVERT) ed è ampiamente usata come blocco elementare delle reti di porte programmabili dall'utilizzatore (FPGA, *Field Programmable Gate Arrays*).

I termini (A ,⁷ BC , BD) che richiedono l'operatore AND, sono formati allineando in verticale due transistori; le uscite sono poi collegate insieme per realizzare la funzione OR; infine la porta logica fornisce automaticamente l'operazione NOT.

Nella versione di dimensioni minime mostrata in Figura 6.29 si può osservare che non è necessario duplicare il transistor B . Il dimensionamento dei dispositivi sarà di nuovo valutato considerando il funzionamento del circuito nel caso peggiore. Se consideriamo il nostro invertitore di riferimento, il dispositivo M_A deve avere $W/L = 2.22/1$, poiché deve essere in grado di mantenere la tensione di uscita a 0.25 V quando è l'unico dispositivo in conduzione. Negli altri due cammini possibili, M_B è in serie con M_C o con M_D . Dunque, nel caso peggiore, ci saranno due dispositivi in serie per cui avremo: $(W/L)_B = (W/L)_C = (W/L)_D = 4.44/1$. Le dimensioni del dispositivo di carico rimangono le stesse dell'invertitore di riferimento.

Il circuito in Figura 6.30 fornisce un secondo esempio di dimensionamento di porte logiche complesse. In questo circuito ci sono due possibili cammini conduttivi attraverso la rete formata dai transistori di commutazione: AB (A and B) oppure CDB (C and D and B). La tensione di uscita sarà bassa se almeno uno dei due cammini è in conduzione per cui si ha:

$$\overline{Y} = AB + CDB \quad \text{ovvero} \quad Y = \overline{AB + CDB} \quad \text{ovvero} \quad Y = \overline{(A + C)DB}$$

Il dimensionamento dei dispositivi può essere effettuato in due modi.

Nel primo metodo, si deve valutare il numero massimo di transistori in serie in ogni possibile percorso conduttivo. Nel nostro caso, il percorso CDB ha tre dispositivi in serie. Facendo ognuno di questi dispositivi con un W/L tre volte maggiore rispetto a quello del transistor di commutazione dell'invertitore di riferimento, il percorso CDB avrà una resistenza on uguale a quella di M_S nell'invertitore di riferimento. Dunque, ognuno dei tre transistori M_B , M_C e M_D deve avere $W/L = 6.66/1$. Il secondo percorso contiene i transistori M_A e M_B . Anche in questo caso, imponiamo che la somma delle resistenze on dei di-

⁷ $A = A \cdot 1$.

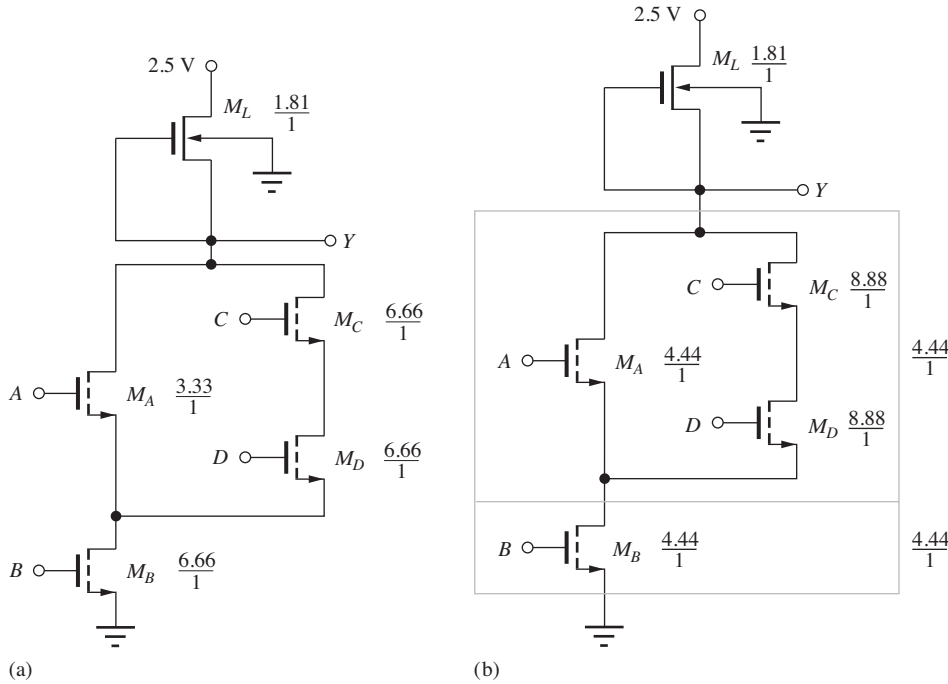


Figura 6.30

(a) Realizzazione NMOS della funzione logica: $Y = AB + CDB$ o $Y = (A + CD)B$.
(b) Dimensionamento alternativo per i dispositivi.

spositivi M_A e M_B sia pari a quella del dispositivo di commutazione M_S dell'invertitore di riferimento:

$$\frac{R_{on}}{\left(\frac{W}{L}\right)_A} + \frac{R_{on}}{\left(\frac{W}{L}\right)_B} = \frac{R_{on}}{\left(\frac{W}{L}\right)_S} \quad (6.32)$$

Nell'Equazione (6.32), R_{on} rappresenta la resistenza on di un transistor con $W/L = 1$. Poiché $(W/L)_B$ è stata calcolata in precedenza abbiamo:

$$\frac{R_{on}}{\left(\frac{W}{L}\right)_A} + \frac{R_{on}}{6.66} = \frac{R_{on}}{2.22} \quad (6.33)$$

Risolviendo per l'incognita $(W/L)_A$ si ottiene il valore di $3.33/1$. Poiché la corrente di funzionamento della porta è la stessa dell'invertitore di riferimento, le dimensioni del dispositivo di carico rimangono invariate. Il progetto completo del circuito è riportato in Figura 6.30(a).

La Figura 6.30(b) mostra un secondo metodo che può essere seguito per stabilire le dimensioni dei dispositivi. Il circuito di commutazione può essere suddiviso in due sotto-reti collegate in serie: il transistor B in serie con la combinazione in parallelo di A e di CD . Dobbiamo imporre che le resistenze on di queste due sotto-reti siano eguali fra loro. Poiché le due sotto-reti sono in serie, abbiamo: $(W/L)_B = 2(2.22/1) = 4.44/1$. A questo punto, dobbiamo imporre che le resistenze on di ogni possibile percorso attraverso la rete $(A + CD)$ siano uguali a quella di un dispositivo con $W/L = 4.44/1$. Dunque: $(W/L)_A = 4.44/1$ e $(W/L)_C = (W/L)_D = 8.88/1$. Il progetto complessivo del circuito è riportato in Figura 6.30(b).

Scelta fra i due progetti

Indicando con F la minima dimensione realizzabile con il nostro processo tecnologico (*minimum feature size*), l'area totale del gate dei transistori di commutazione per il progetto di Figura 6.30(b) è di $28.5F^2$. Il circuito precedente, riportato in Figura 6.30(a) richiede un'area totale del gate di $25.1F^2$. Dunque, il secondo progetto richiede un utilizzo di area maggiore del 13% rispetto al primo.

Minimizzare l'utilizzo di area è spesso fondamentale nel progetto di un circuito integrato, per cui il dimensionamento dei dispositivi mostrato in Figura 6.30(a) è da preferirsi rispetto a quello di Figura 6.30(b).

Esempio 6.8**DIMENSIONAMENTO DI UNA PORTA LOGICA COMPLESSA**

PROBLEMA Calcolare l'espressione logica per la porta in Figura 6.31. Progettare i rapporti W/L dei transistori sulla base dell'invertitore di riferimento di Figura 6.24(d).

SOLUZIONE **Informazioni e dati noti:** Topologia circuitale in Figura 6.31; invertitore di riferimento in Figura 6.24(d) con $(W/L)_S = 2.22/1$ e $(W/L)_L = 1.81/1$.

Incognite: Espressione logica per l'uscita Y ; rapporti W/L per tutti i transistori.

Approccio: Identificare i cammini conduttivi che possono portare l'uscita al livello logico basso; l'uscita Y può essere espressa come somma di prodotti, complementata, delle descrizioni dei possibili cammini conduttivi. Effettuare il dimensionamento dei dispositivi in ogni cammino in modo da ottenere la stessa resistenza on del transistor di commutazione dell'invertitore di riferimento.

Ipotesi: Trascuriamo gli effetti delle piccole differenze di potenziale fra source e substrato per i transistori di commutazione; trascuriamo inoltre le differenze fra le V_{GS} dei transistori di commutazione.

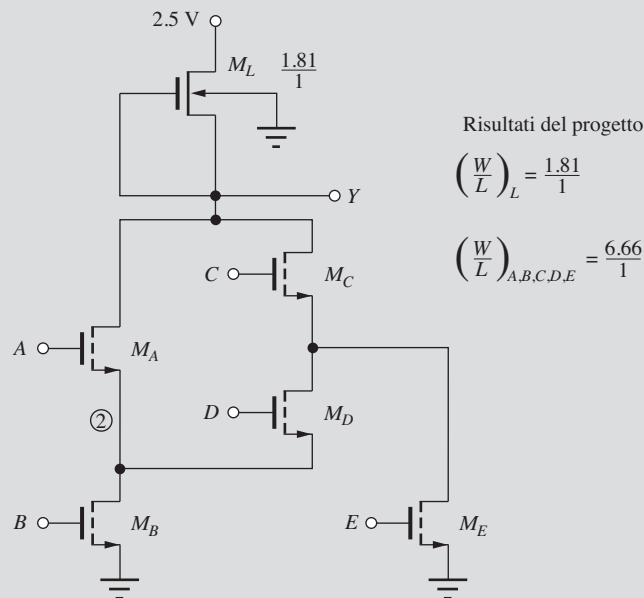


Figura 6.31 Realizzazione NMOS della funzione logica: $Y = \overline{AB + CDB + CE + ADE}$.

Analisi: Confrontando i due circuiti in Figura 6.31 e in Figura 6.30 notiamo che nell'ultimo circuito è stato inserito un quinto transistor nella rete di commutazione. Ci sono ora quattro possibili cammini conduttivi attraverso la rete di transistori di commutazione: AB oppure CDB oppure CE oppure ADE . L'uscita sarà basse se almeno uno di questi cammini è in conduzione e quindi si ha:

$$\overline{Y} = AB + CDB + CE + ADE \quad \text{o} \quad Y = \overline{AB + CDB + CE + ADE}$$

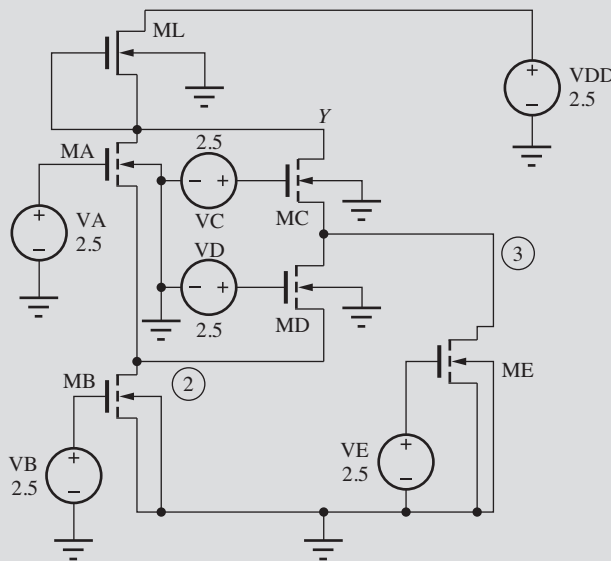
Poiché la corrente e la dissipazione di potenza del circuito in questione devono essere uguali a quelli dell'invertitore di riferimento, il dispositivo di carico sarà lo stesso dell'invertitore. La rete dei dispositivi di commutazione non può essere suddivisa in rami in serie e parallelo; pertanto il dimensionamento dei dispositivi seguirà l'approccio basato sull'individuazione del percorso più sfavorito. Il percorso CDB ha tre transistori in serie e quindi il W/L di questi dispositivi dovrà essere tre volte maggiore rispetto al transistor di commutazione dell'invertitore di riferimento, ovvero $6.66/1$. Anche il percorso ADE ha tre transistori in serie e, poiché D ha $(W/L) = 6.66/1$, anche i rapporti W/L di A e di E devono essere $6.66/1$. In definitiva, tutti i dispositivi della rete di commutazione avranno i medesimi valori di W/L .

Controllo dei risultati: Dobbiamo controllare i due cammini rimanenti, AB e CE , verificando che venga rispettata la specifica sul livello di uscita basso. Entrambi i cammini sono costituiti da due transistori con $W/L = 6.66/1$ in serie. La W/L equivalente per ognuno dei due cammini è: $3.33/1$. Poiché W/L di $3.33/1$ è maggiore rispetto al valore di $2.22/1$ dell'invertitore di riferimento, il valore di V_L sarà inferiore a 0.20 V quando conduce uno dei due cammini AB o CE .

Discussione: Si noti che la corrente che circola nel transistor D fluisce in un verso quando il percorso CDB è in conduzione e nel verso opposto quando il percorso ADE è attivo. Se consideriamo la Figura 6.18(b), si vede come un transistor MOS sia in effetti un dispositivo simmetrico. L'unico modo per stabilire quali siano i terminali di source e di drain è quello di considerare i potenziali applicati ai terminali. Per il transistor NMOS, il terminale di drain sarà quello a potenziale maggiore, mentre il terminale di source sarà quello a potenziale più basso. La natura bidirezionale del transistor MOS è una caratteristica determinante per il progetto di memorie dinamiche ad accesso casuale (DRAM) ad alta densità di integrazione, che saranno discusse nei capitoli seguenti.

Analisi assistita al calcolatore: Possiamo utilizzare SPICE per ottenere i valori effettivi di V_L per differenti combinazioni degli ingressi, per valutare l'influenza sulle caratteristiche della porta logica dell'effetto body e delle diverse tensioni V_{GS} per i dispositivi della rete di commutazione. Lo schema del circuito simulato in SPICE è riportato di seguito. I valori dei parametri per i dispositivi di commutazione sono: $V_{TO} = 0.60$, $K_P = 100U$, $GAMMA = 0.5$, $PHI = 0.6$, $W = 6.66U$ e $L = 1U$. Per il dispositivo di carico si ha: $V_{TO} = -1$, $K_P = 100U$, $GAMMA = 0.5$, $PHI = 0.6$, $W = 1.81U$ e $L = 1U$. I risultati di SPICE sono i seguenti:

ABCDE	Y (mV)	Nodo 2 (mV)	Nodo 3 (mV)	I_{DD} (μA)
11000	132	64.4	0	80.1
01110	203	64.4	132	80.1
00101	132	0	64.4	80.1
11111	64.6	31.9	31.9	80.1



ESERCIZIO (a) Calcolare la corrente erogata dall'alimentazione, I_{DD} , quando il potenziale al nodo Y è 203 mV. (b) Ripetere i calcoli per 132 mV. (c) Ripetere nuovamente i calcoli per 64.4 mV.

RISPOSTE (a) 80.1 μA , (b) 80.1 μA , (c) 80.1 μA .

ESERCIZIO Usando SPICE, costruire la tabella completa delle tensioni ai nodi Y, 2 e 3 per tutte le 32 combinazioni degli ingressi del circuito dell'Esempio 6.8.

6.11 Dissipazione di potenza

In questo paragrafo considereremo i due principali contributi alla dissipazione di potenza in invertitori NMOS. Il primo è dato dalla dissipazione di potenza statica che si ha quando l'uscita della porta logica è stabile in uno dei due possibili stati logici. Il secondo è dato dalla potenza che viene dissipata al fine di caricare e scaricare la capacità di carico totale in uscita durante le commutazioni della porta logica.

6.11.1 Dissipazione di potenza statica

La **dissipazione di potenza statica** complessiva di una porta logica è la media fra la dissipazione di potenza quando l'uscita è nello stato logico basso e quella per uscita nello stato logico alto. La potenza dissipata dalla porta logica è data $P = V_{DD}i_{DD}$, dove i_{DD} è la corrente erogata dall'alimentazione V_{DD} . La dissipazione di potenza media dipende dalla frazione di tempo che l'uscita spende nei due stati logici. Se assumiamo che la porta logica permane metà del tempo in ognuno dei due stati logici (*duty-cycle* del 50%), allora la dissipazione di potenza media può essere calcolata come:

$$P_{av} = \frac{V_{DD}I_{DDH} + V_{DD}I_{DDL}}{2} \quad (6.34)$$

dove: I_{DDH} = corrente assorbita dalla porta per $v_O = V_H$
 I_{DDL} = corrente assorbita dalla porta per $v_O = V_L$

Per le porte logiche NMOS considerate in questo capitolo, la corrente assorbita è nulla quando v_O è pari a V_H . Dunque, $I_{DDH} = 0$ e la dissipazione media di potenza è uguale a metà della dissipazione di potenza per uscita bassa:

$$P_{av} = \frac{V_{DD}I_{DDL}}{2} \quad (6.35)$$

Se il *duty-cycle* è differente dal 50%, è sufficiente modificare il fattore 2 al denominatore della (6.35).

ESERCIZIO Qual è la dissipazione di potenza media per le porte di Figura 6.24?

RISPOSTE 0.10 mW.

6.11.2 Dissipazione di potenza dinamica

Una seconda importante causa di dissipazione di potenza è la **dissipazione di potenza dinamica**, dovuta ai processi di carica e di scarica della capacità all'uscita di una porta logica. Consideriamo il semplice circuito di Figura 6.32(a), in cui un condensatore viene caricato alla tensione V_{DD} attraverso un resistore non lineare (come un dispositivo MOS di carico).

Assumiamo che il condensatore sia inizialmente scarico; all'istante $t = 0$ l'interruttore si chiude e ha inizio il processo di carica del condensatore. Assumiamo inoltre che l'elemento non lineare continui a fornire corrente fin quando la tensione ai suoi capi non si annulla (come accade, per esempio, per un carico a svuotamento). L'energia totale E_D fornita dall'alimentazione è data da:

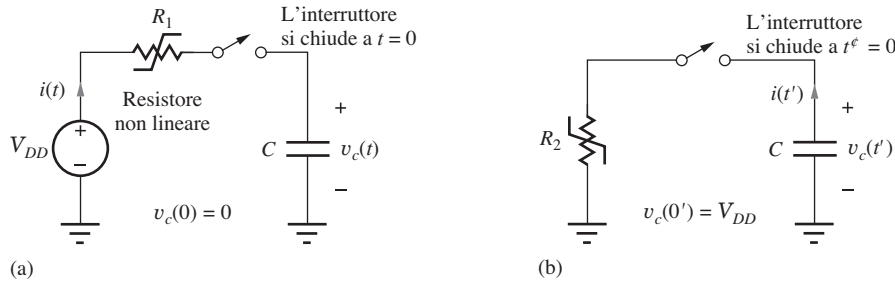
$$E_D = \int_0^{\infty} P(t) dt \quad (6.36)$$

La potenza $P(t)$ è pari a $V_{DD}i(t)$, e poiché V_{DD} è costante, si ha:

$$E_D = V_{DD} \int_0^{\infty} i(t) dt \quad (6.37)$$

La corrente fornita dall'alimentazione V_{DD} è uguale a quella che fluisce nel condensatore C , per cui:

$$E_D = V_{DD} \int_0^{\infty} C \frac{dv_C}{dt} dt = CV_{DD} \int_{V_C(0)}^{V_C(\infty)} dv_C \quad (6.38)$$

**Figura 6.32**

Semplice modello circuitale per il calcolo della dissipazione di potenza dinamica:

(a) carica di C , (b) scarica di C .

Integrando fra $t = 0$ e $t \rightarrow \infty$, con $V_C(0) = 0$ e $V_C(t \rightarrow \infty) = V_{DD}$ si ottiene:

$$E_D = CV_{DD}^2 \quad (6.39)$$

Noi sappiamo che l'energia E_S immagazzinata in un condensatore C è data da:

$$E_S = \frac{CV_{DD}^2}{2} \quad (6.40)$$

e pertanto l'energia E_L dissipata nell'elemento resistivo deve essere:

$$E_L = E_D - E_S = \frac{CV_{DD}^2}{2} \quad (6.41)$$

Consideriamo ora il circuito in Figura 6.32(b), in cui il condensatore è inizialmente carico a V_{DD} . All'istante $t' = 0$ l'interruttore si chiude e il condensatore si scarica attraverso un altro resistore non lineare (come un transistor MOS ad arricchimento). Consideriamo di nuovo lo stato stazionario, quando la tensione ai capi del condensatore ha raggiunto il valore finale $V_C = 0$. L'energia E_S immagazzinata in precedenza nel condensatore è stata ora completamente dissipata nel resistore. L'energia totale E_{TD} dissipata nel processo complessivo di carica e di scarica del condensatore è pari a:

$$E_{TD} = \frac{CV_{DD}^2}{2} + \frac{CV_{DD}^2}{2} = CV_{DD}^2 \quad (6.42)$$

Dunque, ogni volta che una porta logica effettua un ciclo completo di commutazione, i transistori all'interno della porta dissipano un'energia pari a E_{TD} . Le porte logiche usualmente cambiano stato con una data frequenza f (numero di commutazioni al secondo), e la potenza dinamica P_D dissipata dalla porta logica è data da:

$$P_D = CV_{DD}^2 f \quad (6.43)$$

Abbiamo quindi una corrente media ($CV_{DD}f$) erogata dall'alimentazione V_{DD} .

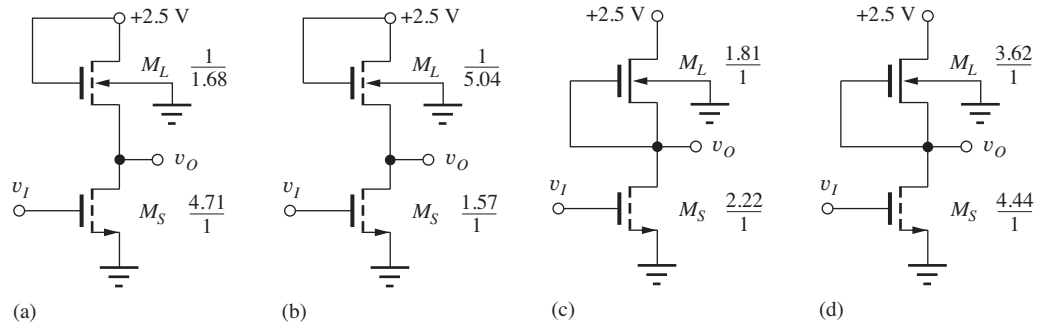
ESERCIZIO Qual è la potenza dinamica dissipata caricando e scaricando alternativamente un condensatore da 1 pF tra 2.5 e 0 V a una frequenza di 32 MHz? E a una frequenza di 3.2 GHz?

RISPOSTE 200 μ W, 20 mW.

Si noti che la dissipazione di potenza in questo esercizio è pari alla dissipazione di potenza statica per $v_O = V_{OL}$ nel nostro invertitore NMOS di riferimento. In circuiti logici ad alta velocità, la componente dinamica della dissipazione di potenza può essere dominante. Vedremo nel prossimo capitolo che questa è in effetti la causa primaria di dissipazione di potenza nelle porte logiche CMOS.

6.11.3 Dimensionamento delle porte logiche NMOS rispetto alla potenza dissipata

Nel progetto di sistemi digitali complessi, sono spesso adoperate porte logiche con differenti dissipazioni di potenza, in modo da poter pilotare differenti capacità di carico a varie velocità. Consideriamo, per esempio, l'invertitore con carico in saturazione mostrato in

**Figura 6.33**

Dimensionamento di un invertitore NMOS rispetto alla potenza dissipata. Il circuito in (b) dissipa un terzo della potenza del circuito (a), mentre l'invertitore NMOS (d) opera al doppio della potenza del circuito (c).

Figura 6.33(a). La dissipazione di potenza statica viene determinata per $v_O = V_{OL}$. M_S opera in regione lineare, M_L è in saturazione e le correnti di drain dei due transistori sono date da:

$$i_{DL} = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (v_{GSL} - V_{TNL})^2 \quad (6.44)$$

$$i_{DS} = K'_n \left(\frac{W}{L} \right)_S \left(v_{GSS} - V_{TNS} - \frac{v_{DSS}}{2} \right) v_{DSS}$$

Le correnti in entrambi i dispositivi sono proporzionali ai rispettivi valori di W/L . Se raddoppiamo il W/L , sia del dispositivo di carico che del dispositivo di commutazione, entrambe le correnti di drain si raddoppieranno, senza modificare i livelli di tensione. Allo stesso modo, se riduciamo i W/L di un fattore 3 sia per il dispositivo di carico che per quello di commutazione, le correnti di drain dei due transistori si ridurranno di un fattore 3 senza modificare i livelli di tensione nel circuito. In definitiva, cambiando di uno stesso fattore i W/L di M_S e di M_L , la dissipazione di potenza della porta può essere facilmente aumentata o diminuita, senza alterare i valori di V_L e di V_H . Con questa tecnica, l'invertitore di Figura 6.33(b) è stato progettato per operare con un terzo della dissipazione di potenza dell'invertitore di Figura 6.33(a), riducendo il valore dei W/L di ogni dispositivo di un fattore 3. Questa possibilità di modificare la dissipazione di potenza senza alterare i livelli di tensione (*power scaling*) è una prerogativa delle logiche a rapporto.

Operando in maniera analoga, è possibile modificare la dissipazione di potenza di tutte le porte logiche NMOS studiate finora. Per esempio, l'invertitore con carico a svuotamento di Figura 6.33(d) è stato progettato per operare a un livello di potenza doppio rispetto al circuito di Figura 6.33(c), aumentando il valore di W/L di ogni dispositivo di un fattore 2. Come vedremo fra breve, questa stessa tecnica può essere adoperata anche per modificare la risposta dinamica di un invertitore.

ESERCIZIO Quali devono essere i nuovi valori dei rapporti W/L per i transistori della porta in Figura 6.33(a) per una potenza di 0.1 mW?

RISPOSTE 1/3.36 e 2.36/1.

ESERCIZIO Quali devono essere i nuovi valori dei rapporti W/L per i transistori della porta in Figura 6.33(c) per una potenza di 4 mW?

RISPOSTE 36.2/1 e 44.4/1.

ESERCIZIO Quali devono essere i rapporti W/L per i transistori della porta in Figura 6.33(c) per ridurre la potenza di un terzo mantenendo lo stesso valore di V_L ?

RISPOSTE 1/1.66; 1.11/1; 2.22/1; 2.22/1; 2.22/1.

6.12 Comportamento dinamico delle porte NMOS

Finora, in questo capitolo, abbiamo considerato il solo progetto statico di porte logiche NMOS. La risposta nel dominio del tempo, d'altro canto, gioca un ruolo fondamentale nelle applicazioni dei circuiti logici. Il ritardo fra le variazioni degli ingressi e le transizioni delle uscite dei circuiti logici è dovuto alla presenza di capacità parassite, collegate fra i nodi dei

circuiti e ground. In questo paragrafo e nei successivi analizzeremo le varie capacità presenti in un circuito MOS per poi studiare il comportamento dinamico delle porte logiche. Verranno considerate varie configurazioni di invertitore, calcolando il tempo di salita t_r , quello di discesa t_f e il ritardo medio di propagazione τ_p (tutti questi parametri sono stati definiti nel Paragrafo 6.3).

6.12.1 Capacità nei circuiti logici MOS

La Figura 6.34(a) mostra un circuito composto da due invertitori NMOS in cascata, in cui sono indicate le varie capacità associate a ogni transistor. Ogni dispositivo presenta delle capacità fra i terminali gate-source, gate-drain, source-body e drain-body. Alcune di queste capacità non compaiono nello schema, in quanto sono cortocircuitate dalle varie interconnessioni presenti nel circuito (C_{SB1} , C_{GS2} , C_{SB3} , C_{GS4}). Oltre alle capacità dei dispositivi MOS, la figura include una capacità di interconnessione C_W , che porta in conto gli effetti della linea di collegamento fra le due porte logiche. Per semplificare l'analisi dei tempi di ritardo del circuito, tutte le capacità collegate a un dato nodo verranno sostituite da un'unica capacità C , come mostrato in Figura 6.34(b). Si deve qui ricordare che le capacità di un transistor MOS sono funzioni non lineari delle tensioni applicate al dispositivo. Noi non tenteremo di ricavare un'espressione precisa di C in funzione di tutte le capacità presenti nel circuito di Figura 6.34(a), ma assumeremo di avere già una stima del valore di C . Esistono dei programmi automatici in grado di estrarre il valore di C a partire dal tracciato (*layout*) di un circuito integrato, mentre stime più accurate del comportamento nel dominio del tempo possono essere ottenute utilizzando simulazioni circuitali SPICE.

Limitazioni al fan-out nelle logiche NMOS

Il fan-out di una porta logica MOS non è limitato da vincoli legati al funzionamento in condizioni stazionarie, dato che l'ingresso di una porta MOS non assorbe corrente in DC (vedremo in seguito che questa considerazione non si applica alle porte logiche bipolari).

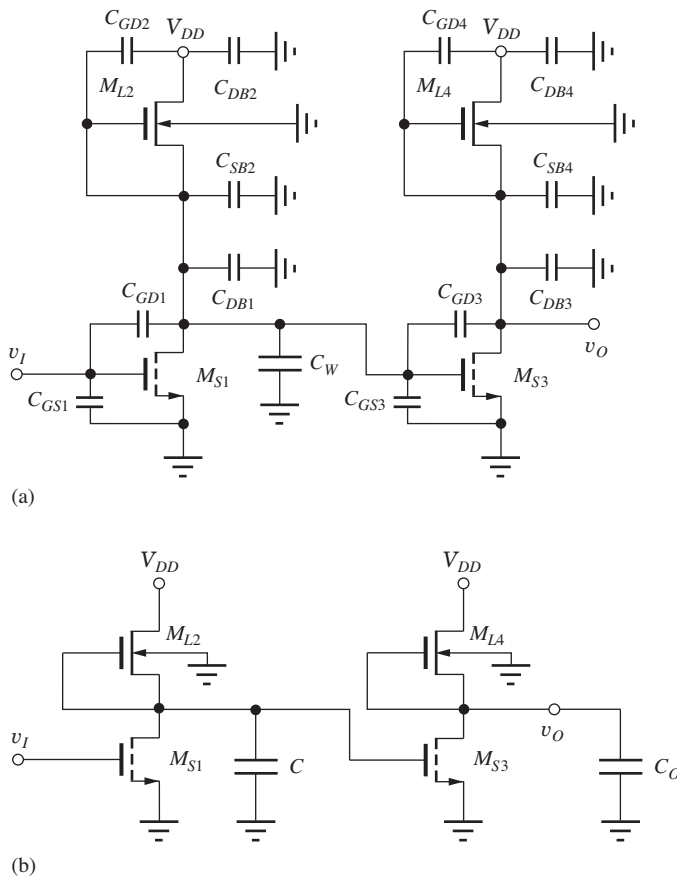


Figura 6.34

(a) Capacità associate a una coppia di invertitori.
(b) Modello a capacità concentrate per gli invertitori.

Tuttavia, all'aumentare delle porte logiche collegate a una data uscita (vedi Figura 6.34 e 6.10) il valore della capacità C aumenta e, come vedremo fra breve, ciò comporta un degrado della risposta del circuito nel dominio del tempo. Pertanto, il fan-out di una porta MOS è in effetti limitato dal massimo degrado che può essere tollerato per il ritardo del circuito.

Stima delle capacità

La capacità di carico C_L può essere stimata in maniera approssimata in funzione del fan-out delle porte:

$$C_L = C_{out} + FO \times C_{in} + C_W \quad (6.45)$$

dove C_{out} è la capacità vista all'uscita della porta C_{in} è la capacità d'ingresso della porta, C_W è la capacità del collegamento che unisce una porta alla successiva, FO è il fan-out. È possibile calcolare il "ritardo in assenza di carico" di un invertitore ponendo $FO = 1$ e $C_W = 0$.

Per il circuito in Figura 6.34, si ricava la seguente stima per le capacità di ingresso e uscita della porta logica:

$$C_{out} \approx C_{GD1} + C_{DB1} + C_{SB2} + C_{GD2} \quad e \quad C_{in} \approx C_{GS3} + 2C_{GD3} \quad (6.46)$$

Nella stima di C_{in} , il fattore 2 è introdotto per tenere conto del fatto che la variazione di tensione su C_{GD3} è pari a due volte la variazione di tensione sull'ingresso della porta.

6.12.2 Risposta dinamica dell'invertitore NMOS con carico resistivo

La Figura 6.34 mostra il circuito dell'invertitore con carico resistivo di cui ci siamo occupati in precedenza. Per semplicità di analisi, il segnale logico di ingresso verrà rappresentato come una funzione ideale a gradino. Procediamo ora al calcolo dei tempi di salita, di discesa e di ritardo dell'invertitore.

Calcolo di t_r e di τ_{PLH}

Per il calcolo del tempo di salita assumiamo che le tensioni di ingresso e di uscita abbiano raggiunto i rispettivi valori di regime per $t < 0$: $v_I = V_H = 2.5$ V e $v_O = V_L = 0.20$ V. Al tempo $t = 0$ il segnale di ingresso passa istantaneamente da $v_I = 2.5$ V a $v_I = 0.20$ V. Poiché la tensione gate-source del transistor di commutazione scende al di sotto della tensione di soglia, il transistor MOS si interdice istantaneamente. Il condensatore di uscita può quindi caricarsi da $v_O = V_L = 0.20$ V a $v_O = V_H = V_{DD} = 2.5$ V. In questo caso la forma d'onda in uscita è quella fornita dalla semplice rete RC, formata dal resistore di carico R e dalla capacità di carico C . Dalla nostra conoscenza dei circuiti a singola costante di tempo otteniamo:

$$v_O(t) = V_F - (V_F - V_I) \exp\left(-\frac{t}{RC}\right) = V_F - \Delta V \exp\left(-\frac{t}{RC}\right) \quad (6.47)$$

dove V_F è la tensione finale sul condensatore, V_I è la tensione iniziale sul condensatore e $\Delta V = V_F - V_I$ è la variazione di tensione sulla capacità. Per l'invertitore di Figura 6.35: $V_F = 2.5$ V, $V_I = 0.20$ V e $\Delta V = 2.30$ V.

Il tempo di salita è determinato dalla differenza fra l'istante di tempo t_1 in cui $v_O(t_1) = V_I + 0.1 \Delta V$ e il tempo t_2 in cui $v_O(t_2) = V_I + 0.9 \Delta V$. Utilizzando l'Equazione (6.47) otteniamo:

$$V_I + 0.1 \Delta V = V_F - \Delta V \exp\left(\frac{-t_1}{RC}\right) \quad \text{che fornisce} \quad t_1 = -RC \ln 0.9 \quad (6.48)$$

$$V_I + 0.9 \Delta V = V_F - \Delta V \exp\left(\frac{-t_2}{RC}\right) \quad \text{che fornisce} \quad t_2 = -RC \ln 0.11 \quad (6.49)$$

da cui ricaviamo:

$$t_r = t_2 - t_1 = RC \ln 9 = 2.2RC \quad (6.50)$$

Il tempo di ritardo τ_{PLH} è determinato dalla condizione $v_O(\tau_{PLH}) = V_I + 0.5 \Delta V$, che fornisce:

$$\tau_{PLH} = -RC \ln 0.5 = 0.69RC \quad (6.51)$$

Le Equazioni (6.50) e (6.51) rappresentano le tipiche espressioni per i tempi di salita e propagazione di una rete RC. Analisi simili mostrano che $t_f = 2.2RC$ e $\tau_{PHL} = 0.69RC$. Si noti che queste espressioni sono valide solo per semplici reti di tipo RC.

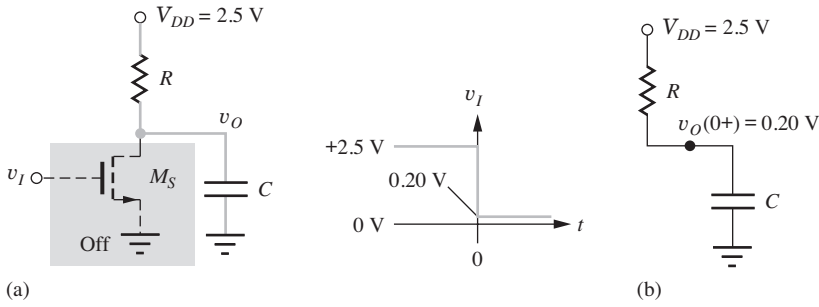
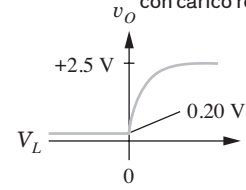


Figura 6.35

Modello per il calcolo del tempo di salita nell'invertitore con carico resistivo.



NOTA PROGETTUALE

Tempi e ritardi di circuiti RC

I tempi di salita e di discesa e i tempi ritardo di una rete RC valgono

$$t_r = t_f = 2.2RC \quad \tau_{PLH} = \tau_{PHL} = 0.69RC$$

ESERCIZIO Calcolare t_r e τ_{PLH} per l'invertitore con carico resistivo avente $C = 0.2 \text{ pF}$ e $R = 28.2 \text{ k}\Omega$.

RISPOSTE 12.7 ns; 3.97 ns.

ESERCIZIO Ricavare l'espressione del tempo di discesa τ_f e del tempo di ritardo τ_{PHL} di una rete RC.

RISPOSTE $t_f = 2.2RC$; $\tau_{PHL} = 0.69RC$.

Calcolo di τ_{PHL} e di t_f

Consideriamo ora un'analisi più accurata del transitorio di commutazione alto-basso con $v_I = V_L = 0.20 \text{ V}$ e $v_O = V_H = 2.5 \text{ V}$, come mostrato in Figura 6.36. All'istante $t = 0$ l'ingresso commuta istantaneamente da $v_I = 0.20 \text{ V}$ a $v_I = 2.5 \text{ V}$. Al tempo $t = 0^+$ il transistorore M_5 ha $v_{GS} = 2.5 \text{ V}$ e $v_{DS} = 2.5 \text{ V}$ per cui è in forte conduzione e può scaricare la capacità fino a quando v_O raggiunge il valore di V_L .

La Figura 6.37 mostra le correnti i_R e i_{DS} nel resistore di carico e nel transistorore di commutazione in funzione di v_O , durante la transizione fra V_H e V_L . La corrente disponibile per scaricare il condensatore C è la differenza tra queste due correnti:

$$i_C = i_{DS} - i_R$$

Poiché l'elemento di carico è un resistore lineare, la corrente nel resistore cresce linearmente al variare di v_O fra V_H e V_L . Quando il transistorore M_5 entra in conduzione, si ha il passaggio di un'elevata corrente di drain che scarica rapidamente la capacità di carico C . Il valore di V_L viene raggiunto quando la corrente attraverso il condensatore si annulla e $i_R = i_D$. Si noti che la corrente di drain è molto più grande della corrente nel resistore per la maggior parte del periodo di tempo corrispondente a τ_{PHL} . Ciò comporta dei valori di τ_{PHL} e t_f mol-

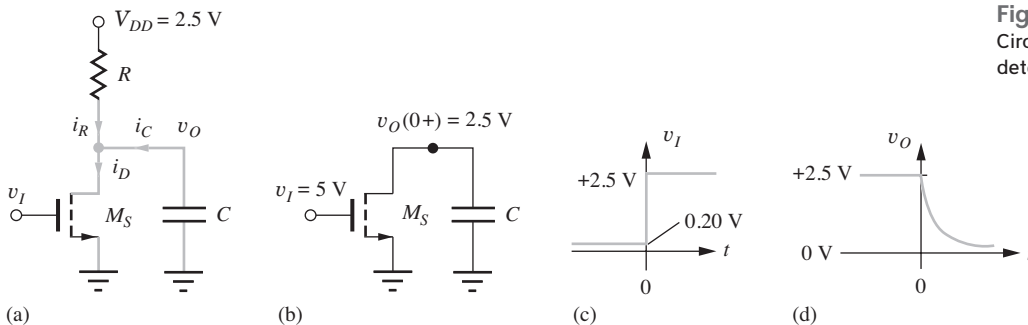
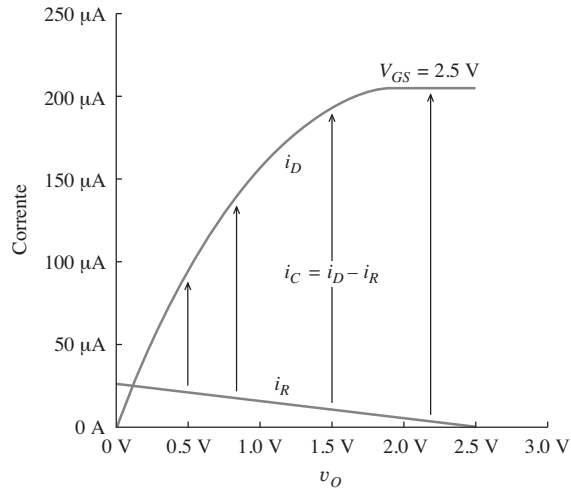


Figura 6.36

Circuiti semplificati per la determinazione di t_f e di τ_{PHL} .

Figura 6.37

Corrente di drain e corrente nel resistore di carico in funzione di v_O .



to inferiori rispetto a τ_{PLH} e t_r . Questa è una caratteristica dei circuiti logici NMOS. Un altro modo per spiegare questa differenza fra τ_{PHL} e τ_{PLH} è di ricordare che la resistenza on del transistor MOS deve essere molto più piccola di R in modo da forzare V_L a un valore basso. Dunque la "costante di tempo" apparente per la forma d'onda in discesa sarà molto più piccola di quella relativa alla forma d'onda in salita.

Il calcolo di t_f e di τ_{PHL} è complicato dal fatto che il transistor NMOS cambia la propria regione di funzionamento durante la transizione della tensione di uscita. Pertanto, l'equazione differenziale che modella la transizione fra V_H e V_L cambia nel punto in cui il transistor cambia regione di funzionamento.

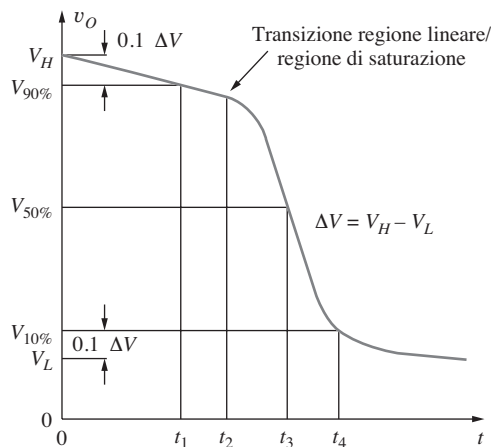
Cominciamo con il semplificare il nostro modello del circuito. Dalla Figura 6.37 si può vedere che i_D è sempre molto maggiore di i_R per tutti i valori di v_O , tranne quando v_O è molto prossimo a V_{OL} . Pertanto, possiamo trascurare la corrente che fluisce nel resistore e assumere che tutta la corrente di drain dell'NMOS sia disponibile per scaricare la capacità di carico, come mostrato in Figura 6.36(b). Assumiamo che il segnale di ingresso sia una funzione a gradino, con $v_I = 2.5 V$ al tempo $t = 0$. Nel medesimo istante, la tensione di uscita V_C sul condensatore è $V_H = V_{DD} = 2.5 V$, e la tensione del gate è pari a $V_G = 2.5 V$.

Il grafico di Figura 6.38 mostra gli istanti di tempo più importanti che dovremo considerare nel seguito. Al tempo t_1 la tensione di uscita si è ridotta del 10% dello swing logico ΔV , mentre il tempo t_4 corrisponde all'istante in cui l'uscita si è ridotta del 90% di ΔV . Dunque, $t_f = t_4 - t_1$. All'istante t_3 l'uscita è nel punto al 50%, dato da $v_{50\%} = (V_H + V_L)/2$, per cui: $\tau_{PHL} = t_3$. L'istante di tempo t_2 è molto importante per la nostra analisi, poiché in questo punto $v_O = V_{DD} - V_{TNS}$, e il transistor passa dal regime di funzionamento in regione di saturazione a quello in regione lineare. Dunque, l'equazione differenziale che modella il funzionamento del circuito cambierà all'istante $t = t_2$.

Figura 6.38

Calcolo di τ_{PHL} e di t_f per l'invertitore con carico resistivo. Il tempo di discesa è dato da: $t_f = t_4 - t_1$; il ritardo di propagazione è pari a:

$$\tau_{PHL} = t_3.$$



Calcolo di τ_{PHL}

Procederemo dapprima al calcolo di τ_{PHL} , per poi valutare t_f . Al tempo $t = 0^+$, il transistor NMOS in Figura 6.36(b) opera in regione di saturazione, e la corrente nel condensatore è descritta dalla seguente equazione:

$$\frac{K_S}{2} (v_{GS} - V_{TNS})^2 = -C \frac{dv_C}{dt} \quad \text{con} \quad v_C(0^+) = V_H \quad (6.52)$$

in cui $v_{GS} = V_H$ e V_{TNS} sono entrambe costanti. Dunque, il condensatore si scarica a corrente costante fin quando il MOSFET non entra in regione lineare di funzionamento, al tempo t_2 quando $v_C = v_{GS} - V_{TNS}$. Il MOSFET entra in regione lineare dopo che la tensione sulla capacità si è abbassata di una tensione di soglia. Il tempo t_2 può quindi essere calcolato come:

$$t_2 = \frac{2CV_{TNS}}{K_S(V_H - V_{TNS})^2} = 2R_{onS}C \frac{V_{TNS}}{(V_H - V_{TNS})} \quad (6.53)$$

in cui $R_{onS} = \frac{1}{K_S(V_H - V_{TNS})}$

rappresenta la resistenza on equivalente del transistor NMOS con $v_{GS} = V_{DD}$ e $v_{DS} = 0$.

Una volta che il transistor è entrato in regione lineare, l'equazione che descrive la scarica della capacità diviene:

$$K_S \left(v_{GS} - V_{TNS} - \frac{v_C}{2} \right) v_C = -C \frac{dv_C}{dt} \quad (6.54)$$

poiché la v_{DS} del MOSFET coincide con la v_C . Riscrivendo l'ultima equazione con $v_{GS} = V_{DD}$ e integrando si ha:

$$\int_{V_2}^{V_3} \frac{dv_C}{(2(V_H - V_{TNS}) - v_C)v_C} = - \int_{t_2}^{t_3} \frac{K_S}{2C} dt \quad (6.55)$$

in cui i limiti di integrazione sono definiti da:

$$V_2 = v_C(t_2) = V_H - V_{TNS} \quad \text{e} \quad V_3 = v_C(t_3) = 0.5(V_H + V_L)$$

La soluzione di questa equazione può essere ottenuta osservando che:

$$\int \frac{dx}{(a-x)x} = -\frac{1}{a} \ln \left(\frac{x-a}{x} \right) \quad (6.56)$$

Utilizzando l'Equazione (6.54), $t_3 - t_2$ può essere espresso in questo modo:

$$t_3 - t_2 = \frac{C}{K_S(V_H - V_{TNS})} \ln \left\{ \left(\frac{V_2}{V_3} \right) \left[\frac{V_3 - 2(V_H - V_{TNS})}{V_2 - 2(V_H - V_{TNS})} \right] \right\} \quad (6.57)$$

$$t_3 - t_2 = R_{onS}C \ln \left[4 \left(\frac{V_H - V_{TNS}}{V_H + V_L} \right) - 1 \right] \quad (6.58)$$

Il tempo di propagazione τ_{PHL} è proprio uguale a t_3 , ed è dato da:

$$\tau_{PHL} = t_3 = (t_3 - t_2) + t_2 = R_{onS}C \left\{ \ln \left[4 \left(\frac{V_H - V_{TNS}}{V_H + V_L} \right) - 1 \right] + \frac{2V_{TNS}}{V_H - V_{TNS}} \right\} \quad (6.59)$$

L'ultima equazione è estremamente utile: non solo descrive il comportamento del circuito NMOS ma, come vedremo in seguito, caratterizza il ritardo delle porte logiche CMOS, che rappresentano la famiglia logica a tutt'oggi più importante.

Calcolo di t_f

Il tempo di discesa t_f può essere scritto come:

$$t_f = t_4 - t_1 = (t_4 - t_2) - (t_2 - t_1)$$

Nell'intervallo di tempo $t_2 - t_1$ il MOSFET è in saturazione e la corrente che scarica il condensatore è costante. Pertanto si ha:

$$\Delta t = C \frac{\Delta V}{I}$$

$$t_2 - t_1 = C \frac{(V_H - 0.1 \Delta V) - (V_H - V_{TNS})}{\frac{K_s}{2} (V_H - V_{TNS})^2} = 2R_{ons} C \frac{V_{TNS} - 0.1 \Delta V}{V_H - V_{TNS}} \quad (6.60)$$

Nell'intervallo di tempo fra t_2 e t_4 , il MOSFET opera in regione lineare e il circuito è descritto dall'equazione:

$$\int_{V_2}^{V_4} \frac{dv_C}{(2(V_H - V_{TNS}) - v_C)v_C} = \int_{t_2}^{t_4} \frac{K_s}{2C} dt \quad (6.61)$$

in cui i limiti di integrazione sono ora dati da:

$$V_2 = v_C(t_2) = V_H - V_{TNS} \quad \text{e} \quad V_4 = v_C(t_3) = V_H - 0.9 \Delta V \quad (6.62)$$

Utilizzando le Equazioni (6.54) e (6.55) si ha:

$$t_4 - t_2 = R_{ons} C \ln \left(\frac{V_H - 2V_{TNS} + 0.9 \Delta V}{V_H - 0.9 \Delta V} \right) \quad (6.63)$$

e la nostra stima per il tempo di discesa è data da:

$$t_f = t_4 - t_1 = R_{ons} C \left[\ln \left(\frac{V_H - 2V_{TNS} + 0.9 \Delta V}{V_H - 0.9 \Delta V} \right) + 2 \left(\frac{V_{TNS} - 0.1 \Delta V}{V_H - V_{TNS}} \right) \right] \quad (6.64)$$

Esempio 6.9

CARATTERISTICHE DINAMICHE DELL'INVERTITORE CON CARICO RESISTIVO

PROBLEMA Calcolare t_f , t_r , τ_{PHL} , τ_{PLH} per l'invertitore con carico resistivo di Figura 6.24 con $C = 0.5$ pF e $R = 28.8$ k Ω .

SOLUZIONE **Informazioni e dati noti:** Topologia circuitale in Figura 6.24; $R = 28.8$ k Ω , $C = 0.5$ pF, $V_{DD} = 2.5$ V, $(W/L) = 2.22/1$, $V_H = 2.5$ V, $V_L = 0.20$ V e $K_S = (2.22) (100) \mu\text{A}/\text{V}^2$.

Incognite: t_f , t_r , τ_{PHL} , τ_{PLH} e τ_p

Approccio: Calcolare t_r e τ_{PLH} utilizzando le Equazioni (6.50) e (6.51); calcolare R_{ons} e utilizzare questo parametro per valutare le Equazioni (6.57) e (6.64); $\tau_p = (\tau_{PLH} + \tau_{PHL})/2$.

Ipotesi: Per il calcolo di R_{ons} si assume che il MOS sia in regione lineare.

Analisi: Per l'invertitore con carico resistivo, il tempo di salita e il ritardo di propagazione basso-alto sono:

$$t_r = 2.2RC = 2.2(28.8 \text{ k}\Omega)(0.5 \text{ pF}) = 31.7 \text{ ns}$$

$$\tau_{PLH} = 0.69RC = 0.69(28.8 \text{ k}\Omega)(0.5 \text{ pF}) = 9.94 \text{ ns}$$

Al fine di calcolare t_f e τ_{PHL} valutiamo dapprima R_{ons} :

$$R_{ons} = \frac{1}{K_S(V_H - V_{TNS})} = \frac{1}{(2.22) \left(100 \frac{\mu\text{A}}{\text{V}^2} \right) (2.5 - 0.6) \text{ V}} = 2.37 \text{ k}\Omega$$

Sostituendo i valori numerici nelle Equazioni (6.59) e (6.64) si ha:

$$\tau_{PHL} = R_{ons} C \left\{ \ln \left[4 \left(\frac{V_H - V_{TNS}}{V_H + V_L} \right) - 1 \right] + \frac{2V_{TNS}}{V_H - V_{TNS}} \right\}$$

$$t_f = t_4 - t_1 = R_{ons} C \left[\ln \left(\frac{V_H - 2V_{TNS} + 0.9 \Delta V}{V_H - 0.9 \Delta V} \right) + 2 \left(\frac{V_{TNS} - 0.1 \Delta V}{V_H - V_{TNS}} \right) \right]$$

Per l'invertitore considerato si ha:

$$\ln \left[4 \left(\frac{2.5 - 0.60}{2.5 + 0.2} \frac{\text{V}}{\text{V}} \right) - 1 \right] + \left(\frac{2(0.6)}{2.5 - 0.6} \frac{\text{V}}{\text{V}} \right) = 1.23$$

$$\ln \left[\frac{2.5 - 1.2 + 0.9(2.3)}{2.5 - 0.9(2.3)} \frac{\text{V}}{\text{V}} \right] + 2 \left(\frac{0.6 - 0.1(2.3)}{2.5 - 0.6} \frac{\text{V}}{\text{V}} \right) = 2.45$$

e quindi:

$$\tau_{PHL} = 1.23 R_{onS} C = 1.23(2.37 \text{ k}\Omega)(0.5 \text{ pF}) = 1.46 \text{ ns}$$

$$t_f = 2.45 R_{onS} C = 2.45(2.37 \text{ k}\Omega)(0.5 \text{ pF}) = 2.90 \text{ ns}$$

Il ritardo medio di propagazione vale infine:

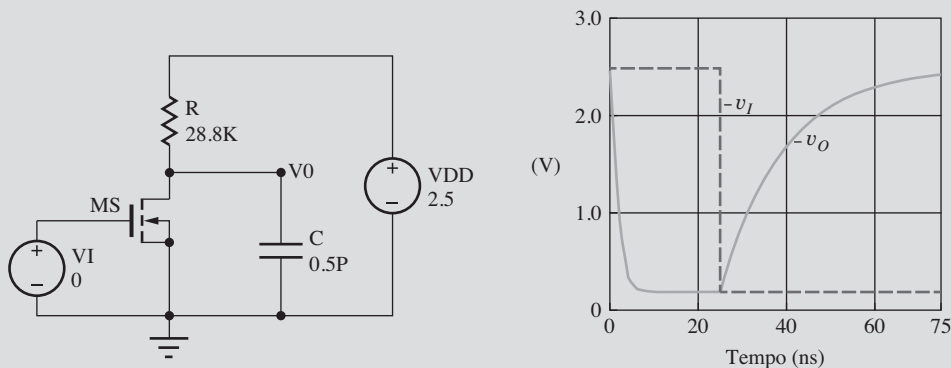
$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} = \frac{9.94 + 1.46}{2} \text{ ns} = 5.70 \text{ ns}$$

Controllo dei risultati: Osserviamo che i tempi di salita e discesa, così come i due ritardi di propagazione, sono asimmetrici, come atteso. Verifichiamo l'ipotesi relativa alla regione di funzionamento del MOSFET, per il calcolo della resistenza on:

$$V_{GS} - V_{TN} = 2.5 \text{ V} - 0.6 \text{ V} = 1.9 \text{ V} \quad \text{e} \quad V_{DS} = 0.25 \text{ V}.$$

Discussione: Si noti che l'asimmetria fra i tempi di salita e discesa e fra τ_{PHL} e τ_{PLH} è caratteristica delle logiche a rapporto, in cui il dispositivo di commutazione deve avere una resistenza on molto più piccola del dispositivo di carico, in modo da garantire il valore desiderato di V_L . Osserviamo che in questo esempio τ_{PLH} è circa 7 volte maggiore di τ_{PHL} e che t_r è più di 7 volte t_f .

Analisi assistita al calcolatore: Controlliamo l'esattezza dei nostri calcoli effettuando una simulazione SPICE in transitorio. Nello schema riportato di seguito, VI è un generatore di tensione a impulso, con tensione iniziale di 0 V, tensione massima di 2.5 V tempo di ritardo nullo, tempo di salita e di discesa di 0.1 ns, durata dell'impulso di 24.9 ns e periodo di 100 ns. I tempi di salita e di discesa di VI sono stati scelti in modo da essere molto minori rispetto ai valori attesi per l'invertitore. I parametri per la simulazione in transitorio sono: tempo di partenza 0, tempo di stop 100 ns, passo 0.025 ns.



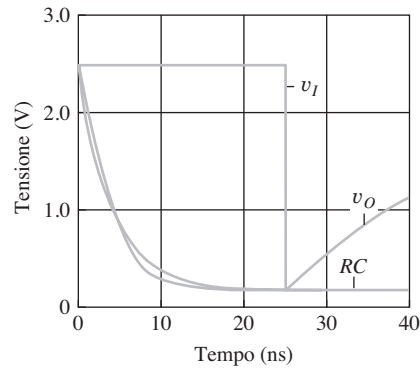
I risultati di SPICE sono simili ai nostri calcoli semplificati: $t_f = 3.9 \text{ ns}$, $\tau_{PHL} = 1.6 \text{ ns}$, $t_r = 31 \text{ ns}$ e $\tau_{PLH} = 10 \text{ ns}$. Si osservi come, al fine di estrarre questi valori dalla simulazione, sia necessario ingrandire la scala orizzontale nell'intorno della regione con il fronte di discesa della forma d'onda. Il paragrafo seguente presenta una tecnica di calcolo di t_f che permette di ottenere stime più prossime a quelle reali.

ESERCIZIO Calcolare i valori di t_f , t_r , τ_{PHL} , τ_{PLH} e τ_p per $C = 0.25 \text{ pF}$.

RISPOSTE 2.20 ns; 15.8 ns; 0.71 ns; 4.97 ns; 2.84 ns.

Figura 6.39

Simulazione SPICE della transizione alto-basso della tensione di uscita per un invertitore con carico resistivo con $C = 1\text{ pF}$ e approssimazione con resistenza ON efficace.



Stima semplificata dei tempi di salita e discesa

I risultati delle Equazioni (6.59) e (6.64), per quanto rigorosi, si basano su ipotesi iniziali approssimate. È possibile ottenere una stima ragionevole dei tempi t_f e τ_{PHL} definendo un “valore efficace” della resistenza on del transistor MOS. Durante il transitorio tale resistenza cambia continuamente al variare della tensione drain-source del transistor. Il valore efficace della resistenza on sarà quindi scelto per minimizzare l'errore tra l'andamento reale della curva tempo-tensione del MOS e un andamento esponenziale; il valore così trovato sarà usato nelle Equazioni 6.48 e 6.59 per calcolare t_f e τ_{PHL} .

Iniziamo semplificando il nostro modello per il circuito. Dalla Figura 6.37 possiamo osservare che $i_D \gg i_R$ tranne quando v_O è prossimo a V_L . La corrente che scorre nel resistore può quindi essere trascurata e si può assumere che tutta la corrente di drain del transistor NMOS sia disponibile per scaricare la capacità di carico, come mostrato in Figura 6.36(b). Assumiamo nuovamente che il segnale di ingresso sia una funzione a gradino, con $V_I = 2.5\text{ V}$ al tempo $t = 0$. Nel medesimo istante, la tensione di uscita V_C sul condensatore è $V_H = V_{DD} = 2.5\text{ V}$ e la tensione del gate è pari a $V_G = 2.5\text{ V}$.

La Figura 6.39 mostra una simulazione SPICE della tensione di uscita dell'invertitore con carico resistivo con $R = 28.8\text{ k}\Omega$ e $(W/L)_S = 2.22/1$ nel caso di transizione alto-basso. È sovrapposto il transitorio di scarica esponenziale di un circuito RC con un valore costante di R : è evidente che l'andamento reale della tensione di uscita nel tempo è molto simile a quello di una funzione esponenziale. Il valore efficace della resistenza on usato nella simulazione è

$$R = R_{\text{eff}} = 1.7R_{\text{onS}} \quad \text{con} \quad R_{\text{onS}} = \frac{1}{K_n(V_H - V_{\text{TNS}})} \quad (6.65)$$

dove il fattore 1.7 minimizza l'errore tra le curve dei transistori del circuito MOS e del circuito RC. R_{onS} rappresenta la resistenza on del transistor di commutazione, definita nell'Equazione 4.16 con $v_{GS} = V_H$. Sostituendo $R = R_{\text{eff}}$ nelle equazioni per t_f e τ_{PHL} di una rete RC otteniamo

$$\tau_{PHL} = 0.69(1.7R_{\text{onS}})C \approx 1.2R_{\text{onS}}C \quad \text{e} \quad t_f = 2.2(1.7)R_{\text{onS}}C \approx 3.7R_{\text{onS}}C \quad (6.66)$$

ESERCIZIO Stimare τ_{PHL} e t_f per il dispositivo dell'Esempio 6.8 usando i risultati dell'Equazione (6.66).

RISPOSTE $\tau_{PHL} = 1.2R_{\text{onS}}C = 1.2(2.37\text{ k}\Omega)(0.5\text{ pF}) = 1.42\text{ ns}$

$t_f = 3.7R_{\text{onS}}C = 3.7(2.37\text{ k}\Omega)(0.5\text{ pF}) = 4.39\text{ ns}$

ottenendo così

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} = \frac{9.95 + 1.42}{2}\text{ ns} = 5.68\text{ ns}.$$

6.12.3 Risposta dinamica dell'invertitore NMOS con carico a svuotamento

La complessità matematica dell'analisi aumenta nel caso di invertitori che utilizzano transistori MOS come elementi di carico. Nell'effettuare i calcoli manualmente, possiamo ottenere risultati approssimati trascurando l'effetto body; stime più accurate possono ottenersi mediante simulazione circuitale con SPICE.

Come menzionato in precedenza, le porte logiche NMOS statiche sono "a rapporto", in quanto devono essere progettate in modo tale che la resistenza on del dispositivo di commutazione sia molto più piccola di quella del dispositivo di carico in modo tale da garantire un ridotto valore di V_L . Si può pertanto assumere che durante la transizione alto-basso la corrente di drain del dispositivo di commutazione sia molto maggiore di quella del dispositivo di carico ($i_{DS} \gg i_{DL}$), tranne quando v_O è molto prossima a V_L .

Pertanto, possiamo trascurare la corrente che fluisce nel carico e assumere che tutta la corrente di drain dell'NMOS di commutazione sia disponibile per scaricare la capacità di carico, come mostrato in Figura 6.36.

Stima del tempo di discesa e del ritardo di propagazione alto-basso

Le condizioni durante il transitorio alto-basso dell'uscita per l'invertitore con carico a svuotamento sono analoghe a quelle viste in precedenza per l'invertitore con carico resistivo, dato che $V_H = V_{DD}$ in entrambi i circuiti e dato che trascuriamo la corrente nel dispositivo di carico. Pertanto, il tempo di discesa t_f e il ritardo di propagazione alto-basso τ_{PHL} sono uguali a quelli calcolati in precedenza (Equazioni (6.64) e (6.59)):

$$t_f = R_{onS} C \left[\ln \left(\frac{V_H - 2V_{TNS} + 0.9 \Delta V}{V_H - 0.9 \Delta V} \right) + 2 \left(\frac{V_{TNS} - 0.1 \Delta V}{V_H - V_{TNS}} \right) \right] \quad (6.67)$$

$$\tau_{PHL} = R_{onS} C \left\{ \ln \left[4 \left(\frac{V_H - V_{TNS}}{V_H + V_L} \right) - 1 \right] + \frac{2V_{TNS}}{V_H - V_{TNS}} \right\} \quad (6.68)$$

$$R_{onS} = \frac{1}{K_S(V_H - V_{TNS})}$$

Stima del tempo di salita e del ritardo di propagazione basso-alto

La Figura 6.40 mostra lo schema dell'invertitore con carico a svuotamento. Al tempo $t = 0$ il segnale di ingresso si abbassa e il transistor M_S si interdice. La corrente che fluisce dal source di M_L carica la capacità di uscita dal valore iniziale V_L al valore finale $V_{DD} = 2.5$ V. La Figura 6.41 mostra gli istanti di tempo più importanti che dovremo considerare per lo studio della transizione basso-alto. I tempi t_1 e t_4 corrispondono ai punti al 10% e al 90%, rispettivamente, e determinano il tempo di salita. Il tempo t_3 corrisponde al punto al 50% e $\tau_{PLH} = t_3$, assumendo che il segnale di ingresso sia una funzione a gradino. L'istante di tempo t_2 è il punto in cui il dispositivo a svuotamento passa dal regime di funzionamento in regione di saturazione a quello in regione lineare. Al tempo $t = t_2$ risulta quindi $V_{DS} = -V_{TNL}$, poiché $V_{GS} = 0$. Nella Figura 6.41 $t_2 < t_3$, ma è possibile che t_2 sia maggiore di t_3 , a seconda del valore di V_{TNL} .

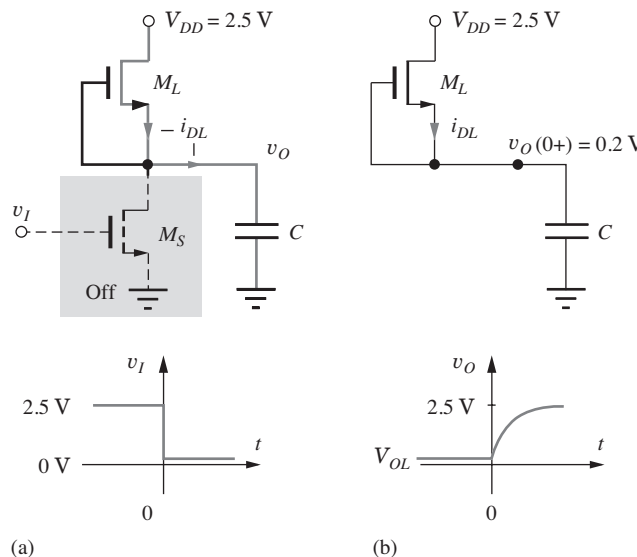
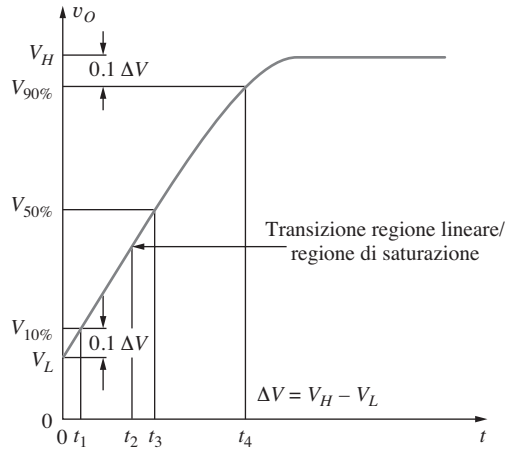


Figura 6.40

Transitorio di commutazione basso-alto per un invertitore NMOS con carico a svuotamento.

Figura 6.41

Transizione basso-alto
per l'invertitore con carico
a svuotamento.



Calcolo di τ_{PLH}

Il ritardo di propagazione $\tau_{PLH} = t_3$ può essere scritto come:

$$\tau_{PLH} = t_2 + (t_3 - t_2) \quad (6.69)$$

Il dispositivo di carico opera in saturazione per $0 \leq t \leq t_2$, e in regione lineare per $t > t_2$. Il dispositivo a svuotamento è dunque inizialmente in regime di saturazione e, poiché $v_{GS} = 0$, si ha:

$$i_{DL} = \frac{K_L}{2} (V_{TNL})^2 \quad (6.70)$$

L'equazione precedente vale fin quando:

$$v_{DS} > v_{GS} - V_{TNL}, \quad \text{ovvero: } v_{DS} > -V_{TNL}, \quad \text{in quanto } v_{GS} = 0.$$

Poiché $v_{DS} = V_{DD} - v_O$, il dispositivo di carico sarà in saturazione per

$$v_O < V_{DD} + V_{TNL}$$

(si ricordi che $V_{TNL} < 0$ per il dispositivo a svuotamento.) All'istante t_2 il dispositivo di carico opera al limite della regione di saturazione:

$$t_2 = \frac{C}{i_{DL}} [v(t_2) - v(0)] \quad \text{ovvero} \quad t_2 = \frac{2C}{K_L (V_{TNL})^2} [V_{DD} + V_{TNL} - V_L] \quad (6.71)$$

Nell'intervallo $t_2 - t_3$, il dispositivo di carico opera in regione lineare, con $v_{GS} = 0$ e con $v_{DS} = V_{DD} - v_C$:

$$i_{DL} = K_L \left(0 - V_{TNL} - \frac{V_{DD} - v_C}{2} \right) (V_{DD} - v_C) \quad (6.72)$$

Ancora una volta, $i_{DL} = C \frac{dv_C}{dt}$, per cui si ha:

$$\int_{V_2}^{V_3} \frac{dv_C}{(-2V_{TNL} - (V_{DD} - v_C))(V_{DD} - v_C)} = \int_{t_2}^{t_3} \frac{K_L}{2C} dt \quad (6.73)$$

in cui $V_2 = V_{DD} - V_{TNL}$ e $V_3 = (V_H + V_L)/2$. Utilizzando l'Equazione (6.58), si ha:

$$t_3 - t_2 = R_{onL} C \ln \left[4 \left(\frac{-V_{TNL}}{V_H - V_L} \right) - 1 \right] \quad (6.74)$$

dove la resistenza on del dispositivo a svuotamento è data da:

$$R_{onL} = \frac{1}{K_L (-V_{TNL})}$$

Infine, possiamo scrivere:

$$\tau_{PLH} = (t_3 - t_2) + t_2 = R_{onL} C \left\{ \ln \left[4 \left(\frac{-V_{TNL}}{V_H - V_L} \right) - 1 \right] + 2 \frac{V_H + V_{TNL} - V_L}{(-V_{TNL})} \right\} \quad (6.75)$$

Calcolo del tempo di salita

Il tempo di salita può essere scritto come:

$$t_t = t_4 - t_1 = (t_4 - t_2) - (t_2 - t_1)$$

Il transistor è in saturazione nell'intervallo di tempo compreso fra t_1 e t_2 mentre opera in regione lineare da t_2 a t_4 . Definendo $V_2 = V_C(t_2)$, si ha: $V_2 = V_{DD} + V_{TNL}$. All'istante t_4 , la tensione di uscita è al punto al 90% e:

$$V_{90\%} = V_{DD} - 0.1\Delta V$$

Utilizzando ancora una volta l'Equazione (6.55) si ottiene, dopo qualche manipolazione algebrica:

$$t_4 - t_2 = R_{onL}C \ln \left[\left(-\frac{2V_{TNL}}{0.1\Delta V} \right) - 1 \right] \quad (6.76)$$

e:

$$t_2 - t_1 = \frac{2C}{K_L(V_{TNL})^2} [V_H + V_{TNL} - (V_L + 0.1\Delta V)] \quad (6.77)$$

Combinando le Equazioni (6.76) e (6.77) otteniamo il tempo di salita:

$$t_r = R_{onL}C \left\{ \ln \left[\left(-\frac{2V_{TNL}}{0.1\Delta V} \right) - 1 \right] + 2 \frac{V_H + V_{TNL} - V_L - 0.1\Delta V}{(-V_{TNL})} \right\} \quad (6.78)$$

6.12.4 Invertitore NMOS con carico in saturazione

L'analisi dinamica dell'invertitore con carico in saturazione è simile a quella effettuata per l'invertitore con carico resistivo e per l'invertitore con carico a svuotamento. Riportiamo di seguito solo i risultati finali dell'analisi; i calcoli dettagliati sono disponibili sul sito web del libro. Nelle formule seguenti ricordiamo che il valore di V_H per l'invertitore con carico in saturazione è inferiore rispetto a V_{DD} .

$$\begin{aligned} \tau_{PHL} &= R_{onS}C \left\{ \ln \left[4 \left(\frac{V_H - V_{TNS}}{V_H + V_L} \right) - 1 \right] + \frac{2V_{TNS}}{V_H - V_{TNS}} \right\} \\ t_f &= R_{onS}C \left[\ln \left(\frac{V_H - 2V_{TNS} + 0.9\Delta V}{V_H - 0.9\Delta V} \right) + 2 \left(\frac{V_{TNS} - 0.1\Delta V}{V_H - V_{TNS}} \right) \right] \\ \tau_{PLH} &= 2R_{onL}C \quad t_r = \frac{160}{9} R_{onL}C \\ R_{onL} &= \frac{1}{K_L(V_H - V_L)} \quad R_{onS} = \frac{1}{K_S(V_H - V_{TNS})} \end{aligned} \quad (6.79)$$

6.12.5 Confronto delle risposte dinamiche degli invertitori NMOS

Confrontiamo qui i ritardi di propagazione delle cinque configurazioni di invertitori NMOS usando i risultati di simulazioni SPICE raccolti nella Tabella 6.13. Dalla Tabella si osserva che in tutte le configurazioni i valori di τ_{PHL} e t_f sono molto simili: questo deriva dal fatto che i transistori di commutazione sono stati progettati per avere la stessa resistenza in conduzione e quindi per avere lo stesso valore di V_L . Se supponiamo, in maniera molto semplificata, che la corrente di carica dal transistor di commutazione⁸ sia costante, troviamo

$$\begin{aligned} I_D &= \left(\frac{100}{2} \frac{\mu A}{V^2} \right) \left(\frac{2.22}{1} \right) (2.5 V - 0.6 V)^2 = 401 \mu A \\ \tau_{PHL} &\approx \frac{C}{I_D} \left(\frac{\Delta V}{2} \right) = \left(\frac{0.1 pF}{401 \mu A} \right) \left(\frac{2.5 V - 0.2 V}{2} \right) = 0.29 ns \end{aligned} \quad (6.80)$$

che costituisce una stima leggermente ottimistica dei ritardi di propagazione.

⁸ I transistori di commutazione sono tutti in saturazione all'inizio della transizione.

Figura 6.42

Confronto fra le caratteristiche dei dispositivi di carico in circuiti logici NMOS. Ogni carico è progettato in modo da erogare una corrente di $80\ \mu\text{A}$ per $v_O = V_L = 0.20\ \text{V}$.
 (a) Carico formato da un NMOS in saturazione, includendo l'effetto body.
 (b) Carico in saturazione, senza effetto body.
 (c) Carico formato da un NMOS in linearità, includendo l'effetto body.
 (d) Carico in linearità, senza l'effetto body.
 (e) Resistenza di carico di $28.8\ \text{k}\Omega$.
 (f) Carico formato da un NMOS a svuotamento, includendo l'effetto body.
 (g) Carico a svuotamento, senza effetto body.
 (h) Carico con transistor PMOS per l'invertitore pseudo NMOS.

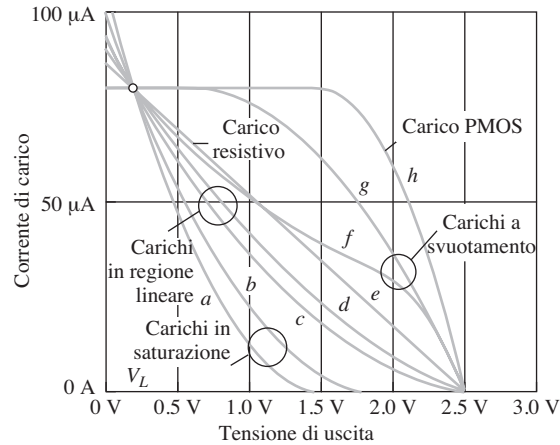


Tabella 6.13 Tempi di salita e discesa e ritardi di propagazione dell'invertitore NMOS* (ns)

	τ_{PHL}	τ_{PLH}	t_f	t_r
Carico resistivo	0.35	2.0	0.72	6.3
Pseudo NMOS	0.31	1.3	0.84	3.0
Carico a svuotamento	0.33	2.0	0.73	4.6
Carico in regione lineare	0.32	1.8	0.83	9.6
Carico in saturazione	0.33	1.6	0.65	14.2

* Circuito di Figura 6.24 con $C = 0.1\ \text{pF}$.

Osserviamo inoltre che i valori di τ_{PLH} sono molto simili, con l'eccezione degli invertitori con carico in saturazione e pseudo NMOS. L'invertitore pseudo NMOS ha la miglior corrente di pilotaggio mentre il ridotto intervallo di tensioni con cui opera ($\Delta V = 1.35\ \text{V}$ invece di $2.3\ \text{V}$ per gli altri invertitori) permette di ottenere una risposta più rapida dell'invertitore con carico in saturazione.

Le maggiori differenze tra i ritardi si osservano nei tempi di salita e sono causate dalle diverse correnti fornite ai vari invertitori quando l'uscita passa dal livello basso V_L al livello alto V_H , come mostrato in Figura 6.42. Le dimensioni dei transistori sono state scelte in maniera tale che la corrente in ogni dispositivo fosse $80\ \mu\text{A}$ quando v_O è al livello logico basso ($0.20\ \text{V}$), e la corrente in ogni dispositivo diminuisce con l'aumentare della tensione di uscita. Il carico PMOS fornisce la corrente maggiore mentre il carico in saturazione quella minore. Come riferimento, si osservi la retta (e) in Figura 6.42, corrispondente al carico resistivo di $28.8\ \text{k}\Omega$. L'effetto body degrada in maniera significativa le caratteristiche dei dispositivi di carico in saturazione, in linearità e a svuotamento.

Entrambe le caratteristiche del carico in saturazione (a e b) forniscono correnti significativamente inferiori del carico resistivo su tutto l'intervallo di tensioni di uscita. Di conseguenza, è ragionevole aspettarsi che gli invertitori con carico in saturazione mostrino i peggiori valori di t_r . Osserviamo inoltre che in tale configurazione la corrente nel carico va a zero prima che la tensione di uscita raggiunga $2.5\ \text{V}$. Gli invertitori con dispositivo di carico in regione lineare (c e d) rappresentano un miglioramento rispetto al caso del carico in saturazione ma forniscono ancora una corrente minore rispetto al caso del carico resistivo. I dispositivi di carico a svuotamento (f e g) sono quelli che forniscono la corrente maggiore durante la transizione e quindi dovrebbero mostrare i migliori valori di t_r . In particolare, il dispositivo con carico a svuotamento ideale (g) dovrebbe fornire una corrente significativamente maggiore del caso del carico resistivo. Tuttavia, nei dispositivi con carico a svuotamento l'effetto body riduce la corrente in maniera significativa. Possiamo osservare il vantaggio significativo del dispositivo di carico PMOS che porta ai migliori valori di t_r e τ_{PLH} presenti in Tabella 6.13.

Le equazioni semplificate per i ritardi degli invertitori sono raccolte in Tabella 6.14: contengono tutte un termine RC , prodotto della capacità di carico e dalla resistenza on efficace del dispositivo di commutazione o di carico, mentre le costanti moltiplicative dipendono dalla topologia circuitale, dalle varie tensioni presenti nei circuiti considerati e dal com-

Tabella 6.14 Tempi di salita e discesa e ritardi di propagazione dell'invertitore NMOS

	τ_{PHL}	τ_{PLH}	t_f	t_r
Carico resistivo	$1.2R_{onS}C$	$0.69RC$	$3.7R_{onS}C$	$2.2RC$
Pseudo NMOS	$1.2R_{onS}C$	$1.2R_{onL}C$	$3.7R_{onS}C$	$3.7R_{onL}C$
Carico a svuotamento	$1.2R_{onS}C$	$3.6R_{onL}C$	$3.7R_{onS}C$	$8.1R_{onL}C$
Carico in saturazione	$1.2R_{onS}C$	$3.0R_{onL}C$	$3.7R_{onS}C$	$11.9R_{onL}C$
Carico in regione lineare	$1.2R_{onS}C$	$0.69R_{onL}C$	$3.7R_{onS}C$	$3.7R_{onL}C$
$R_{onS} = \frac{1}{K_S(V_H - V_{TNS})} \quad R_{onL} = \frac{1}{K_L V_{GS} - V_{TNL} }$				

portamento non lineare dei transistori. Va infine osservato che i tempi che caratterizzano le risposte dinamiche degli invertitori sono inversamente proporzionali alla mobilità dei portatori, poiché la resistenza non dipende dalla mobilità attraverso i coefficienti K_S e K_L . Per questo motivo, i dispositivi NMOS sono tipicamente 2.5 volte più veloci dei corrispondenti dispositivi PMOS operanti alle stesse tensioni, il che ha portato al rapido passaggio dalla tecnologia PMOS alla tecnologia NMOS appena furono superati i problemi tecnologici di quest'ultima.

6.12.6 Effetto della saturazione della velocità sui ritardi di propagazione dell'invertitore

La Tabella 6.15 raccoglie i valori dei tempi di salita e discesa e dei ritardi di propagazione per i vari invertitori, calcolati includendo la saturazione delle velocità e assumendo $V_{SAT} = 1.2$ V. Confrontando questi risultati con quelli in Tabella 6.13, si osservano solo piccole variazioni sui tempi di salita e discesa e sui ritardi di propagazione, imputabili ad una riduzione dei livelli di corrente nei transistori. Per livelli di tensione di alimentazione pari a 2.5 V e con i parametri dei transistori che sono stati usati, $V_{GS} - V_{TN} \leq 1.9$ V, e i transistori rimangono per poco tempo in regime di saturazione della velocità: per questo motivo l'effetto di V_{SAT} è così limitato per i dispositivi considerati. Tuttavia, diventa più importante per transistori con valori più bassi di V_{SAT} .

6.12.7 Dimensionamento basato su simulazioni di un circuito di riferimento

In molti casi pratici, in particolare quando si usano processi tecnologici avanzati, non è possibile ottenere una espressione in forma chiusa per tempi e ritardi di un particolare invertitore. I modelli per ottenere le caratteristiche i - v possono essere troppo complicati da usare nei calcoli a mano, oppure i modelli possono esistere solo in forma tabulare. In questo caso, è possibile basare il nostro progetto riscaldando i risultati di simulazioni circuitali di un invertitore di riferimento con capacità di carico nota. Ovviamente, è necessario conoscere il vero valore della capacità di carico, che può essere inizialmente stimato dalle dimensioni attese e poi raffinato usando strumenti CAD che ricavano il valore della capacità di carico direttamente dal layout del circuito integrato. È poi possibile riscaldare le dimensioni dell'invertitore in base ai nuovi valori della capacità di carico al fine di ottenere i ritardi desiderati.

Tabella 6.15 Tempi di salita e discesa e ritardi di propagazione dell'invertitore NMOS con saturazione della velocità* (ns)

	τ_{PHL}	τ_{PLH}	t_f	t_r
Carico resistivo	0.35	1.9	0.80	8.3
Pseudo NMOS	0.45	1.4	0.94	3.1
Carico a svuotamento	0.42	2.0	0.81	4.6
Carico in regione lineare	0.35	2.1	0.76	9.9
Carico in saturazione	0.33	1.6	0.65	14.2

* Circuito di Figura 6.24 con $C = 0.1$ pF e $V_{SAT} = 1.2$ V.

Nonostante le espressioni per ritardi e tempi di propagazione che abbiamo ottenuto usando un modello $i-v$ del primo ordine non siano più quantitativamente accurate per le più moderne tecnologie (per esempio per i processi CMOS a 22 nm), due relazioni importanti continuano a essere vere: il ritardo è proporzionale alla capacità di carico totale C_L ed è inversamente proporzionale a (W/L) . Di conseguenza, al fine di ottenere un dimensionamento corretto, le dimensioni dei dispositivi devono essere aumentate per ridurre il ritardo di propagazione e per pilotare una capacità maggiore. I nuovi valori $(W/L)'$ sono legati ai valori di riferimento $(W/L, C_{Lref}, \tau_{Pref})$ secondo la relazione

$$\tau'_P = \left(\frac{W}{L} \right)' \times \left(\frac{C'_L}{C_{Lref}} \right) \times \tau_{Pref} \quad \text{oppure} \quad \left(\frac{W}{L} \right)' = \left(\frac{W}{L} \right) \times \left(\frac{\tau_{Pref}}{\tau'_P} \right) \times \left(\frac{C'_L}{C_{Lref}} \right) \quad (6.81)$$

I risultati del riscalamento sono spesso migliorati costruendo una libreria di porte di riferimento, che include non solo invertitori ma anche altre porte quali NAND, NOR, AOI multi ingresso (2, 3, ecc.). Quest'ultima soluzione permette di tenere in conto i vari componenti che contribuiscono all'effettivo valore della capacità di carico.

6.12.8 Misura del ritardo intrinseco tramite oscillatore ad anello

Un metodo comunemente usato per misurare il ritardo di propagazione medio τ_{P0} di un invertitore di riferimento si basa sulla costruzione di un lungo anello di invertitori come mostrato in Figura 6.43. Tale anello può essere studiato in un circuito integrato reale o tramite simulazioni. Il circuito prende il nome di **oscillatore ad anello** e il numero di invertitori è solitamente dispari al fine di assicurare che il circuito presenti comportamento oscillante. La forma d'onda all'uscita di un generico invertitore è simile a un'onda quadra con periodo T pari a due giri (*round trip*) nell'anello,

$$T = N(\tau_{PLH} + \tau_{PHL}) = 2N \times \tau_{P0} \quad (6.82)$$

dove τ_{P0} è il ritardo di propagazione medio dell'invertitore in assenza di carico ($FO = 1$, $C_W = 0$).

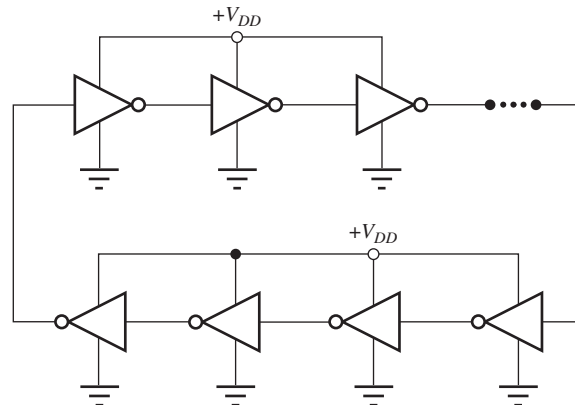
ESERCIZIO Qual è la frequenza di oscillazione di un oscillatore ad anello formato da 401 invertitori caratterizzati ognuno da un ritardo di propagazione di 1 ns?

RISPOSTA 1.25 MHz.

6.12.9 Invertitore in assenza di carico

In ultima istanza, il ritardo dell'invertitore di riferimento è legato alle caratteristiche del transistore e alla tensione di alimentazione. A titolo di esempio, consideriamo una cascata di invertitori NMOS i cui ritardi di propagazione siano dati da $\tau_P = kR_{on}C$ dove k dipende dal dispositivo di carico e dalla tecnologia come mostrato in Tabella 6.14. Se si assume che la capacità totale di carico sia dominata dalla capacità di ingresso dell'invertitore C_{in} , è pos-

Figura 6.43
Oscillatore ad anello formato da un elevato numero dispari di invertitori.



sibile trovare un'espressione per il limite superiore del ritardo di propagazione τ_{P0} dell'invertitore

$$\tau_{P0} = kR_{on}C \approx kR_{on}C_{in} \propto \frac{C_{ox}'' \cdot W \cdot L}{\mu_n C_{ox}'' \frac{W}{L} (V_{DD} - V_{TN})} \quad (6.83)$$

oppure

$$\tau_{P0} \propto \frac{L^2}{\mu_n (V_{DD} - V_{TN})}$$

Nell'Equazione (6.83), abbiamo usato la solita espressione per R_{on} e abbiamo assunto che la capacità d'ingresso dell'invertitore sia proporzionale alla sua area del gate. Dall'Equazione (6.83) osserviamo che il ritardo dell'invertitore è proporzionale al quadrato della lunghezza del canale e inversamente proporzionale alla mobilità dei portatori e alla tensione di alimentazione; esso non dipende invece dalla larghezza dell'invertitore: è quindi ovvio che i progettisti di porte logiche cerchino di usare canali di lunghezza più corta possibile. Nella realtà, il ritardo di propagazione dell'invertitore è maggiore rispetto al valore predetto dall'Equazione (6.83) poiché nel calcolo abbiamo trascurato le capacità di uscita.

ESERCIZIO Calcolare il valore t_{P0} di un invertitore realizzato con tecnologia con $L = 250$ nm, $\mu_n = 500$ cm²/(V · s), $V_{DD} = 3.3$ V e $V_{TN} = V_{DD}/4$.

RISPOSTA 505 fs.

PROGETTO DI UN INVERTITORE PER UN ASSEGNATO RITARDO DI PROPAGAZIONE

Esempio 6.10

Le porte logiche che devono pilotare segnali esterni a un circuito integrato, sono tipicamente caricate da capacità di valore relativamente grande. Progettare un invertitore con carico a svuotamento in modo da ottenere un ritardo di propagazione di 2 ns pilotando una capacità di carico di 10 pF. Utilizzare l'invertitore di riferimento di Figura 6.24 e le equazioni in Tabella 6.14. Calcolare i tempi di salita e di discesa della porta logica.

PROBLEMA

Informazioni e dati noti: Circuito dell'invertitore con carico a svuotamento di Figura 6.24(d) con: $C = 10$ pF, $V_{DD} = 2.5$ V, $K_n' = 100$ μ A/V², $V_{TNS} = 0.6$ V, $V_{TNL} = -1$ V, $V_L = 0.20$ V, $V_H = 2.5$ V, $(W/L)_S = 2.22/1$ e $(W/L)_L = 1.81/1$.

SOLUZIONE

Incognite: $(W/L)_S$, $(W/L)_L$, t_f , t_r .

Approccio: Utilizzare i risultati di Tabella 6.14 per ottenere i valori di R_{onL} e R_{onS} . Determinare i rapporti W/L a partire dalle resistenze-on e dai dati relativi all'invertitore di riferimento.

Ipotesi: Le equazioni in Tabella 6.14 trascurano l'effetto body nel dispositivo di carico.

Soluzione - Metodo 1: Utilizzando le equazioni in Tabella 6.14 per l'invertitore con carico a svuotamento possiamo scrivere le espressioni per il ritardo medio di propagazione dell'invertitore:

$$\tau_P = \frac{1.2R_{onS}C + 3.6R_{onL}C}{2} = \frac{C}{2K_L} \left[\frac{1.2}{\frac{K_S}{K_L}(V_H - V_{TNS})} + \frac{3.6}{(V_{GSL} - V_{TNL})} \right]$$

Dal progetto dell'invertitore di riferimento abbiamo: $K_S/K_L = 2.22/1.81 = 1.23$. Risolvendo per K_L e per i rapporti W/L dei due transistori si ricava:

$$K_L = \frac{10 \text{ pF}}{2(2 \text{ ns})} \left[\frac{1.2}{1.23(2.5 \text{ V} - 0.6 \text{ V})} + \frac{3.6}{(0 \text{ V} + 1 \text{ V})} \right] = 1.03 \frac{\text{mA}}{\text{V}^2}$$

$$\left(\frac{W}{L} \right)_L = \frac{K_L}{100 \frac{\mu\text{A}}{\text{V}^2}} = \frac{103}{1} \quad \left(\frac{W}{L} \right)_S = 1.23 \left(\frac{W}{L} \right)_L = \frac{127}{1}$$

I tempi di salita e di discesa possono essere valutati usando le equazioni in Tabella 6.14:

$$t_r = \frac{8.1(10 \text{ pF})}{103 \left(100 \frac{\mu\text{A}}{\text{V}^2} \right) (3 \text{ V})} = 7.86 \text{ ns} \quad \text{e} \quad t_f = \frac{3.7(10 \text{ pF})}{127 \left(100 \frac{\mu\text{A}}{\text{V}^2} \right) (1.9 \text{ V})} = 1.53 \text{ ns}$$

Soluzione - Metodo 2: Possiamo risolvere diversamente il problema assegnato, utilizzando le relazioni che legano il ritardo di un invertitore con le dimensioni dei dispositivi. In questo modo è inoltre possibile tenere in conto l'influenza dell'effetto body. Dai risultati delle simulazioni in Tabella 6.13, notiamo che τ_P per l'invertitore di riferimento è di 3.1 ns, con una capacità di carico di 0.1 pF. Noi desideriamo un ritardo di 2 ns per una capacità di carico di 10 pF. Pertanto, le dimensioni dei dispositivi devono essere aumentate di un fattore: $\alpha = (1.15 \text{ ns}/2 \text{ ns}) \cdot (10 \text{ pF}/0.1 \text{ pF}) = 57.5$. Le nuove dimensioni dei dispositivi saranno: $(W/L)_S = 57.5(2.22/1) = 128/1$ e $(W/L)_L = 57.5(1.81/1) = 103/1$. Si noti che le dimensioni dei dispositivi sono maggiori rispetto a quanto calcolato in precedenza, a causa dell'effetto body del transistor di carico.

I tempi di salita e di discesa possono essere ottenuti a partire dai risultati in Tabella 6.16:

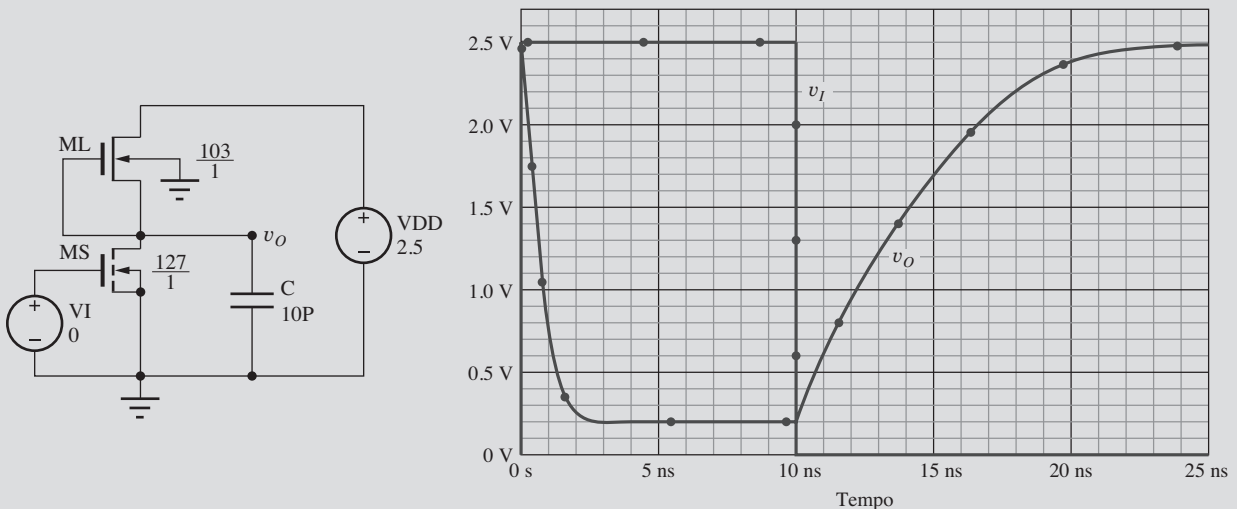
$$t_r = 4.6 \text{ ns} \left(\frac{2 \text{ ns}}{1.15 \text{ ns}} \right) = 8.0 \text{ ns} \quad \text{e} \quad t_f = 0.73 \text{ ns} \left(\frac{2 \text{ ns}}{1.15 \text{ ns}} \right) = 1.27 \text{ ns}$$

Controllo dei risultati: I risultati ottenuti con i due metodi appaiono ragionevoli. Il miglior controllo sarà ottenuto a seguito di una simulazione SPICE del circuito.

Discussione: Per ottenere ridotti tempi di propagazione con elevate capacità di carico è necessario l'utilizzo di transistori di grandi dimensioni. La capacità di ingresso di questo invertitore sarà a sua volta elevata, richiedendo un ulteriore stadio pilota. Il progetto ottimo di questa "catena" di stadi invertitori sarà studiato nel prossimo capitolo.

Analisi assistita al calcolatore: Controlliamo l'esattezza dei nostri calcoli effettuando una simulazione in transitorio del circuito dimensionato con il secondo metodo. Nello schema riportato di seguito, VI è un generatore di tensione a impulso, con tensione iniziale di 0 V, tensione massima di 2.5 V tempo di ritardo nullo, tempo di salita e di discesa di 0.05 ns, durata dell'impulso di 9.9 ns e periodo di 25 ns. I tempi di salita e di discesa di VI sono stati scelti in modo da essere molto minori rispetto ai valori attesi per l'invertitore. I parametri per la simulazione in transitorio sono: tempo di partenza 0, tempo di stop 25 ns, passo 0.025 ns.

Dal grafico della risposta in transitorio otteniamo: $\tau_{PHL} = 0.55 \text{ ns}$, $\tau_{PLH} = 3.5 \text{ ns}$, con: $\tau_P = 8.2 \text{ ns}$. I tempi di salita e discesa sono, rispettivamente, 8.2 ns e 1.2 ns. Tutti i valori sono in accordo con le specifiche di progetto.



ESERCIZIO Calcolare la dissipazione di potenza dell'invertitore dell'Esempio 6.10. Qual è la dissipazione di potenza dinamica se l'invertitore commuta ogni 20 ns?

RISPOSTE 5.72 mW; 2.65 mW.

ESERCIZIO Calcolare le dimensioni dei dispositivi dell'Esempio 6.10, assumendo una capacità di carico di 20 pF e un tempo medio di propagazione di 1 ns (frequenza di 1 GHz). Qual è la dissipazione di potenza dell'invertitore?

RISPOSTE 412/1; 508/1; 106 mW.

6.13 Porte logiche PMOS

Nei paragrafi precedenti di questo capitolo, ci siamo concentrati sui circuiti logici NMOS. Come già menzionato, la logica PMOS ha preceduto storicamente la logica NMOS, dalla quale fu rapidamente soppiantata per via delle migliori prestazioni, non appena il processo di produzione dei circuiti NMOS raggiunse la piena maturazione. In questo paragrafo presentiamo una breve discussione dei circuiti logici PMOS.

6.13.1 Invertitore PMOS

I circuiti logici PMOS appaiono speculari rispetto a quelli NMOS, come mostrato nella Figura 6.44 che mostra gli equivalenti PMOS degli invertitori presentati in Figura 6.24. In questi circuiti, la tensione di alimentazione è stata portata a -2.5 V e ogni transistor NMOS è stato sostituito da un dispositivo PMOS.

Ogni circuito è stato progettato per assorbire la stessa potenza dell'equivalente circuito NMOS: $P = 0.20$ mW. Si osservi che, per il circuito in Figura 6.44(a), $V_L = -2.5$ V e $V_H = -0.20$ V. Nel circuito con carico saturato Figura 6.44(b), $V_L = -1.55$ V e $V_H = -0.20$ V, usando i valori in Tabella 6.10. I valori dei rapporti W/L sono stati calcolati semplicemente riscaldando i rapporti W/L degli invertitori NMOS in base al rapporto delle mobilità $\mu_n/\mu_p = 2.5$.

6.13.2 Porte logiche NOR e NAND

Le porte logiche NOR e NAND di tipo PMOS in Figura 6.45 sono speculari rispetto ai circuiti NMOS di Figura 6.25 e 6.26. L'alimentazione è stata portata a -2.5 V e ogni transistor NMOS è stato sostituito da un dispositivo PMOS. I rapporti W/L sono stati riscaldati in funzione del rapporto delle mobilità, pari a 2.5. Circuiti logici complessi possono essere costruiti in maniera analoga a quanto discusso per il caso NMOS. Come osservato in precedenza, la logica NMOS assicura un miglioramento della velocità (pari a un fattore 2.5) rispetto alla logica PMOS a parità di capacità e dimensioni del gate. I vari tempi di salita e discesa e i ritardi di propagazione possono essere calcolati usando le formule presentate in Tabella 6.14.

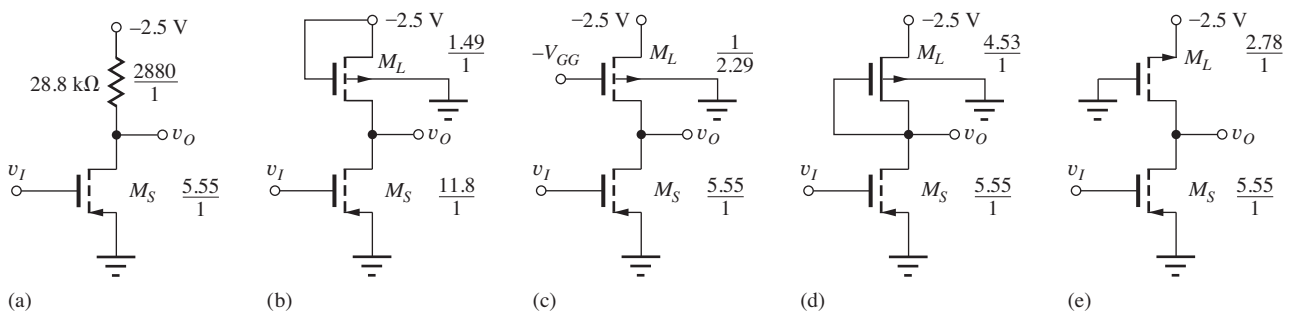
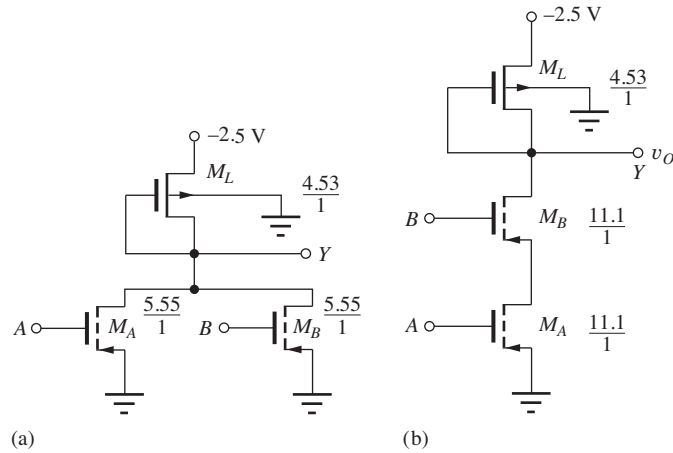


Figura 6.44 Invertitori PMOS. (a) Carico resistivo. (b) Carico in saturazione. (c) Carico in linearità. (d) Carico a svuotamento. (e) Pseudo PMOS.

Figura 6.45

Porte logiche PMOS a due ingressi. (a) Porta NAND. (b) Porta NOR (assumendo convenzione logica positiva).



Riferimenti bibliografici

- [1] "The 4004 Microprocessor of Faggin, Hoff, Mazor e Shima", *IEEE Solid-State Circuits Magazine*, vol. 1, no. 1, inverno 2009.
- [2] J.R. Houser, "Noise margin criteria for digital logic circuits", *IEEE Trans. on Education*, vol. 36, no. 4, pp. 363-368, novembre 1993.
- [3] C.F. Hill, "Noise margin and noise immunity in logic circuits", *Microelectronics*, vol. 1, pp. 16-21, aprile 1968.
- [4] J. Lohstroh, E. Seevinck e J. Degroot, "Worst-case static noise margin criteria for logic circuits and their mathematical equivalence", *IEEE J. of Solid-State Circuits*, vol. SC-18, no. 6, pp. 803-806, dicembre 1983.
- [5] J.D. Meindl e J.A. Davis, "The fundamental limit on binary switching energy for terascale integration (TSI)", *IEEE J. of Solid-State Circuits*, vol. 35, no. 10, pp. 1515-1516, ottobre 2000.
- [6] R.M. Swanson e J.D. Meindl, "Ion-implanted complementary MOS transistors in low-voltage circuits", *IEEE J. of Solid-State Circuits*, vol. SC-7, no. 2, pp. 146-153, aprile 1972.
- [7] G. Boole, *An Investigation of the Laws of Thought, on Which Are Founded the Mathematical Theories of Logic and Probability*, 1849. Ristampato da Dover Publications, Inc., New York: 1954.

Lecture aggiuntive

V.P. Nelson, et al. *Analysis and Design of Logic Circuits*, Prentice-Hall, Englewood Cliffs, N.J.: 1995.

Progetto di circuiti logici MOS complementari (CMOS)

7

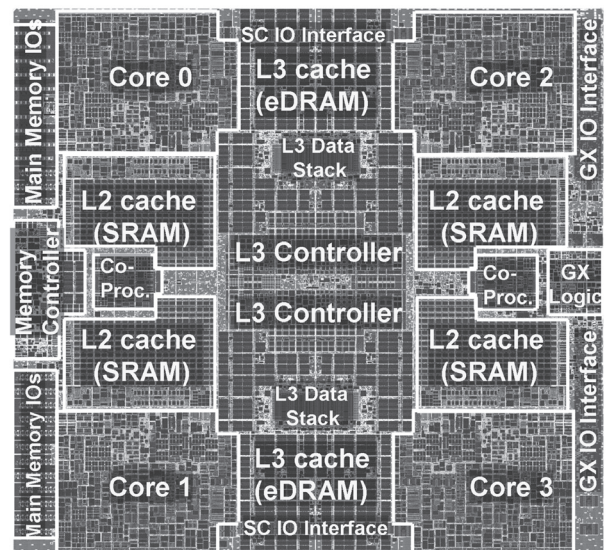
Obiettivi

- Discutere i concetti di base delle porte logiche CMOS.
- Analizzare la caratteristica di trasferimento in tensione di un invertitore CMOS.
- Imparare a progettare invertitori CMOS, porte logiche NOR e NAND e circuiti logici complessi in tecnologia CMOS.
- Capire le sorgenti di dissipazione di potenza statica e dinamica nelle porte CMOS.
- Ottenere delle espressioni per valutare il tempo di salita e discesa, il ritardo di propagazione e il prodotto ritardo-potenza delle porte logiche CMOS.
- Ricavare delle espressioni per il margine di rumore delle porte CMOS.
- Imparare a progettare stadi buffer.
- Interpretare il layout degli invertitori e delle porte logiche CMOS.
- Capire il problema del "latchup" nella tecnologia CMOS.

La tecnologia con MOS complementari (CMOS) è di gran lunga la tecnologia più comunemente adoperata nei moderni circuiti integrati VLSI. La logica CMOS è stata descritta per la prima volta da Wanlass e Sah [1] nel 1963, ma per molti anni la tecnologia CMOS è stata utilizzata soltanto in circuiti integrati a bassa scala di integrazione, composti da un numero limitato di porte logiche, piuttosto che per la realizzazione di circuiti integrati complessi. Infatti i circuiti logici CMOS richiedono l'utilizzo non solo di transistori NMOS, ma anche di dispositivi PMOS, integrati nello stesso substrato. Ciò comporta un aumento della complessità e del costo del processo di fabbricazione rispetto alle famiglie logiche NMOS. Le porte logiche CMOS, inoltre, richiedono un numero maggiore di dispositivi rispetto alle logiche NMOS; ciò comporta l'utilizzo di un'area di silicio maggiore che contribuisce ad aumentare ulteriormente i costi di produzione. Per questi motivi, le porte CMOS furono inizialmente utilizzate solo in applicazioni che richiedevano un consumo di potenza estremamente ridotto, per le quali erano giustificati i maggiori costi di produzione.

Come già discusso nel Capitolo 6, a partire dagli inizi degli anni Ottanta del secolo scorso, la dissipazione di potenza dei circuiti integrati NMOS divenne il fattore limitante per lo sviluppo di circuiti integrati ad altissima scala di integrazione. Per risolvere il problema della dissipazione della potenza statica, l'industria dei microprocessori cominciò ad adottare la tecnologia CMOS.

Attualmente la tecnologia CMOS è lo standard industriale per la realizzazione di circuiti integrati digitali. Per l'importanza dell'innovazione introdotta, nel 1991 è stato assegnato a Frank Wanlass l'IEEE Solid-State Circuits Society Field Award per l'invenzione della logica CMOS.



Processore Quad-Core IBM z196. J. Warnock *et al.*, "Circuit and Physical Design Implementation of the Microprocessor Chip for the zEnterprise System", *IEEE Journal of Solid-State Circuits*, vol. 47, no. 1, pp. 151-163, gennaio 2012.

In questo capitolo ci occuperemo del progetto di circuiti logici CMOS, iniziando con la caratterizzazione dell'invertitore CMOS, per poi procedere con il progetto di porte NOR, NAND e porte logiche complesse. Si mostrerà che il progetto di porte logiche CMOS è determinato fondamentalmente da considerazioni relative al ritardo di propagazione. Saranno inoltre analizzati i margini di rumore e il prodotto ritardo-potenza dell'invertitore CMOS per poi procedere allo studio delle porte di trasmissione. Presenteremo infine un'introduzione alla tecnologia dei circuiti CMOS mostrando come siano presenti dei transistori bipolari parassiti all'interno della struttura CMOS. Qualora questi dispositivi bipolari dovessero portarsi in conduzione potrebbe manifestarsi un fenomeno potenzialmente distruttivo, detto *latchup*.

7.1 Tecnologia dell'invertitore CMOS

La realizzazione di circuiti CMOS richiede una tecnologia di fabbricazione in grado di realizzare transistori sia NMOS che PMOS su uno stesso substrato. Una possibile realizzazione è mostrata in Figura 7.1. In questo caso i transistori NMOS sono fabbricati all'interno di un substrato di silicio di tipo *p*. Una regione *n* poco drogata, chiamata buca o tasca *n* (*n-well*), viene realizzata all'interno del substrato di tipo *p*. Il transistore PMOS è posto nella tasca *n*, che diventa quindi il body del dispositivo PMOS. Si noti che in questo modo si forma un diodo fra la tasca *n* e il substrato di tipo *p*; questa giunzione *pn* deve essere sempre polarizzata inversamente, mediante opportuni collegamenti ai terminali di alimentazione V_{DD} e V_{SS} (per esempio, 2.5 V e 0 V).

La Figura 7.1 mostra i collegamenti fra i due transistori necessari per realizzare un invertitore CMOS; lo schema circuitale corrispondente è mostrato in Figura 7.2(a). Il transistore NMOS funziona in modo analogo al dispositivo di commutazione delle porte logiche NMOS studiate nel precedente capitolo; peraltro, il dispositivo PMOS non si comporta come un carico passivo ma è esso stesso pilotato dal segnale di ingresso v_I .

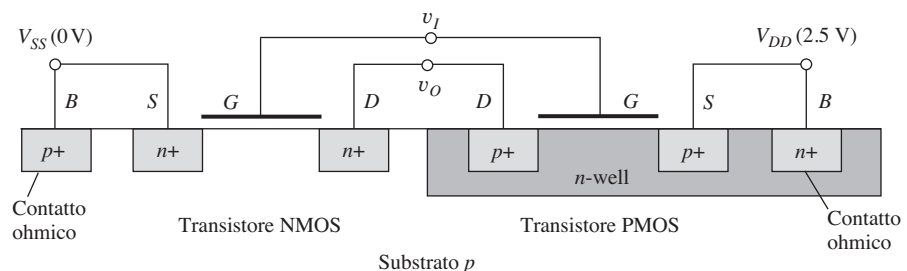
La porta logica CMOS può essere schematizzata in prima approssimazione con il circuito di Figura 7.2(b), in cui lo stato dei due interruttori è controllato dalla tensione di ingresso v_I . Il circuito è progettato in modo tale che in condizioni stazionarie non si formi mai un percorso conduttivo fra la tensione di alimentazione V_{DD} e la V_{SS} . Quando il transistore NMOS è in conduzione il dispositivo PMOS è interdetto e, viceversa, se il transistore PMOS è in conduzione il dispositivo NMOS è interdetto.

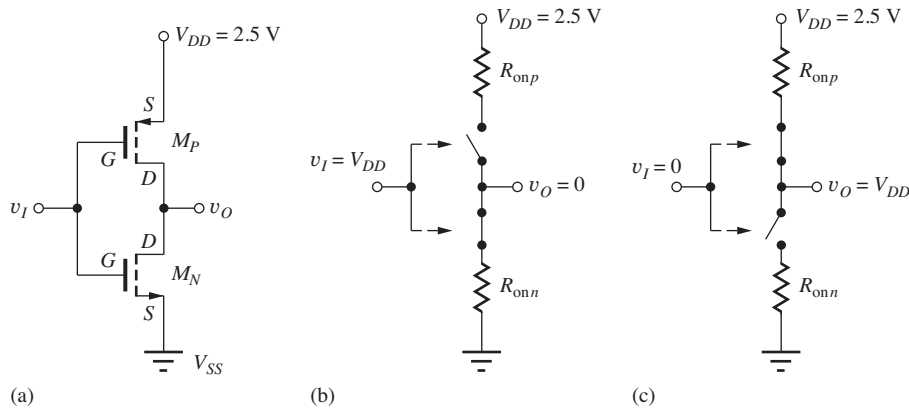
Come mostrato in Figura 7.2(a), nell'invertitore CMOS il source del transistore PMOS è connesso a V_{DD} e il source del transistore NMOS è collegato a V_{SS} ; in questo modo l'effetto body è eliminato in entrambi i dispositivi, poiché i substrati sia dell'NMOS che del PMOS sono collegati ai rispettivi source.

Le Figure 7.2(b) e 7.2(c) mostrano modelli semplificati per l'invertitore CMOS. In Figura 7.2(b), il segnale di ingresso è al livello logico alto ($v_I = V_{DD}$) e l'uscita è collegata a 0 V tramite la resistenza on del NMOS. In Figura 7.2(c), l'ingresso dell'invertitore è basso ($v_I = 0$) e l'uscita è collegata a V_{DD} tramite la resistenza on del PMOS.

Prima di iniziare il progetto dell'invertitore CMOS dobbiamo conoscere i parametri dei dispositivi. Nel seguito utilizzeremo i dati riportati in Tabella 7.1. I parametri dell'NMOS sono gli stessi utilizzati nel Capitolo 6. Nei circuiti CMOS i transistori sono normalmente progettati in modo da avere tensioni di soglia (con $V_{SB} = 0$) uguali in modulo, nel nostro caso $V_{TON} = +0.6$ V e $V_{TOP} = -0.6$ V. Ricordiamo che $K'_n = \mu_n C''_{ox}$ e che $K'_p = \mu_p C''_{ox}$ e che la

Figura 7.1
Circuito CMOS realizzato in tecnologia *n-well*; i transistori NMOS e PMOS sono integrati su un unico substrato di silicio.



**Figura 7.2**

(a) Un invertitore CMOS utilizza un transistor NMOS e un transistor PMOS. (b) Modello semplificato per l'invertitore CMOS per ingresso alto. L'uscita è collegata a 0 V tramite la resistenza on del NMOS. (c) Modello semplificato per l'invertitore CMOS per ingresso basso. L'uscita è collegata a V_{DD} tramite la resistenza on del PMOS.

Tabella 7.1 Parametri dei transistori

	Dispositivo NMOS	Dispositivo PMOS
V_{TO}	0.6 V	-0.6 V
γ	0.50 $\sqrt{V}$	0.75 $\sqrt{V}$
$2\phi_F$	0.60 V	0.70 V
K'	100 $\mu\text{A}/\text{V}^2$	40 $\mu\text{A}/\text{V}^2$

mobilità delle lacune nel canale del PMOS è approssimativamente il 40% della mobilità degli elettroni nel canale del NMOS. I valori in Tabella 7.1 riflettono questa differenza poiché il valore di K' per il dispositivo NMOS è circa 2.5 volte maggiore rispetto a quello del transistor PMOS. Si notino ancora i differenti valori per γ e $2\phi_F$ nei due tipi di transistor, dovuti al fatto che il body del PMOS (la tasca *n*) ha un drogaggio differente rispetto al substrato di tipo *p* del NMOS.

Indicando con V_{TN} la tensione di soglia del transistor NMOS e con V_{TP} quella del PMOS si ha:

$$V_{TN} = V_{TON} + \gamma_N (\sqrt{V_{SBN} + 2\phi_{FN}} - \sqrt{2\phi_{FN}}) \quad (7.1)$$

e

$$V_{TP} = V_{TOP} - \gamma_P (\sqrt{V_{BSP} + 2\phi_{FP}} - \sqrt{2\phi_{FP}})$$

Per $v_{SBN} = 0$, $V_{TN} = V_{TON}$, e per $v_{BSP} = 0$, $V_{TP} = V_{TOP}$.

ESERCIZIO (a) Quali sono i valori di K_p e di K_n per transistori con $W/L = 20/1$? (b) Un transistor NMOS è polarizzato con una tensione $V_{SB} = 2.5$ V. Qual è il valore di V_{TN} ? (c) Un transistor PMOS è polarizzato con una tensione $V_{BS} = 2.5$ V. Qual è il valore di V_{TP} ?

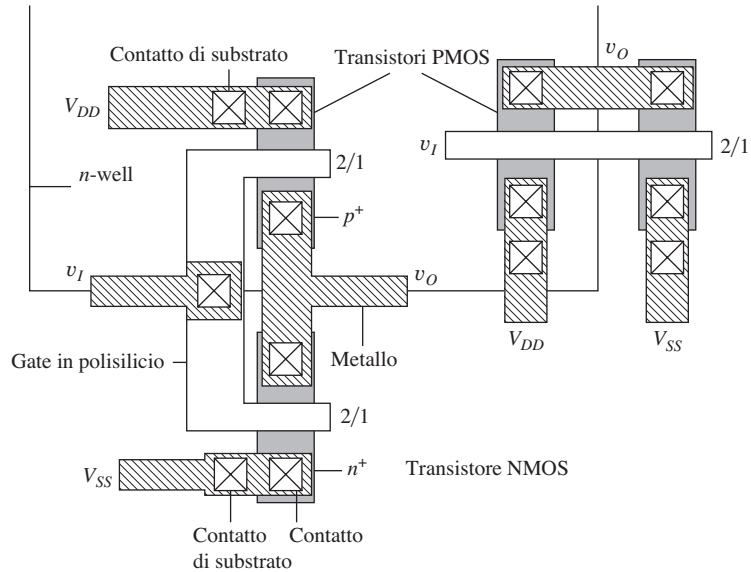
RISPOSTE (a) 800 $\mu\text{A}/\text{V}^2$, 2 mA/V^2 ; (b) 1.09 V; (c) -1.31 V.

7.1.1 Layout dell'invertitore CMOS

La Figura 7.3 mostra due possibili layout per un invertitore CMOS. Nel layout di sinistra, il transistor in basso è un NMOS (realizzato direttamente nel substrato *p*), mentre il transistor in alto è un PMOS (posizionato all'interno della *n*-well). I gate in polisilicio dei due transistori sono collegati fra loro e ad essi viene applicato il segnale di ingresso v_I ; le diffusioni di drain dei due dispositivi sono collegate mediante una metallizzazione che rappresenta l'uscita dell'invertitore. I terminali di source del NMOS e del PMOS sono rispettivamente quello più in basso e quello più in alto e sono collegati alle linee di ground e di alimentazione. Ogni dispositivo ha un contatto di substrato collegato al source del transistor. In questo particolare layout, entrambi i transistori hanno un rapporto W/L di 2/1. Nel layout a destra i due dispositivi sono affiancati; l'ingresso dell'invertitore è costituito dalla linea di polisilicio orizzontale, che costituisce il gate di entrambi i dispositivi.

Figura 7.3

Layout di due invertitori CMOS.

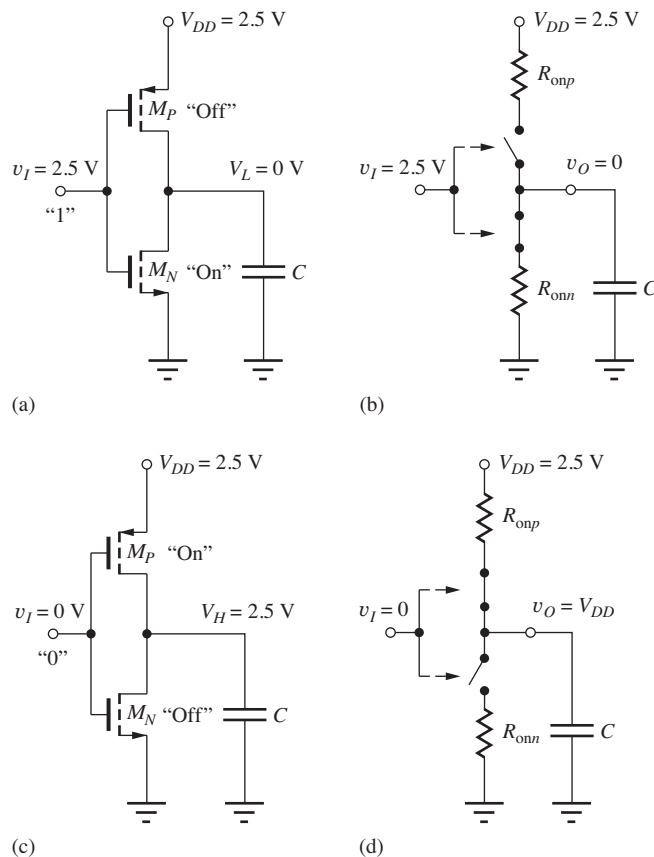


7.2 Caratteristiche statiche dell'invertitore CMOS

Consideriamo un invertitore CMOS con ingresso a livello logico alto, $v_I = +2.5\text{ V}$, come mostrato in Figura 7.4(a). In questo caso $v_{GS} = +2.5\text{ V}$ per il transistore NMOS, e $v_{SG} = 0\text{ V}$ per il transistore PMOS. Il transistore NMOS è in conduzione, poiché $v_{GS} > V_{TN}$, mentre il dispositivo PMOS è interdetto in quanto $v_{SG} = 0\text{ V}$. Pertanto, il condensatore di carico C può scaricarsi attraverso il transistore NMOS, e v_O raggiunge 0 V . Poiché il transistore PMOS è interdetto, non c'è flusso di corrente attraverso la serie di M_N e M_P . La Figura 7.4(b) mostra il circuito equivalente semplificato dell'invertitore, per v_I ad un livello logico alto.

Figura 7.4

(a) Invertitore CMOS con ingresso alto. M_N è in conduzione mentre M_P è interdetto. (b) Modello semplificato dell'invertitore per ingresso alto. La capacità si scarica attraverso la resistenza on del transistore NMOS. (c) Invertitore CMOS con ingresso basso. M_N è interdetto mentre M_P è in conduzione. (d) Modello semplificato dell'invertitore per ingresso basso. La capacità si carica a V_{DD} attraverso la resistenza on del PMOS.



La capacità di uscita C viene scaricata attraverso la resistenza di conduzione del transistor NMOS; la corrente continua a scorrere nel transistor NMOS finché $v_{DS} = 0$ V.

Se v_I è posta a livello logico basso, $v_I = 0$ V, come mostrato in Figura 7.4(c), il transistor NMOS è interdetto, con $v_{GS} = 0$ V. Per il transistor PMOS, la tensione v_{SG} è pari a -2.5 V ed è quindi maggiore della tensione di soglia del dispositivo. Il PMOS è in conduzione e la capacità di carico C si carica fino a raggiungere la tensione di alimentazione V_{DD} (2.5 V). Completato il transitorio di carica della C , le correnti in M_N e in M_P sono entrambe nulle, poiché il transistor NMOS è interdetto. Il circuito equivalente semplificato dell'invertitore, per ingresso basso, è riportato in Figura 7.4(d).

Alcune importanti caratteristiche dell'invertitore CMOS si possono già dedurre dopo questa prima analisi del circuito. I valori di V_L e V_H sono pari a 0 V e a V_{DD} rispettivamente, e lo swing logico ΔV è uguale alla tensione di alimentazione. Per il circuito di Figura 7.4, $V_H = 2.5$ V, $V_L = 0$ V e lo swing logico è pari a $\Delta V = 2.5$ V. È importante infine sottolineare che la dissipazione statica di potenza è nulla, poiché I_D è nulla in entrambi gli stati logici.

7.2.1 Caratteristica di trasferimento dell'invertitore CMOS

La Figura 7.5 mostra i risultati di una simulazione della caratteristica di trasferimento di un **invertitore CMOS simmetrico**, progettato con $K_n = K_p$. La caratteristica di trasferimento può essere suddivisa in cinque differenti regioni, come mostrato in figura e come riportato in Tabella 7.2.

Per una tensione di ingresso minore di $V_{TN} = 0.6$ V, siamo nella regione 1, il transistor NMOS è interdetto, e l'uscita è mantenuta a $V_H = 2.5$ V dal dispositivo PMOS. Allo stesso modo, per una tensione di ingresso maggiore di $V_{DD} - |V_{TP}| = 1.9$ V, siamo nella regione 5, il transistor PMOS è interdetto e l'uscita è mantenuta a $V_L = 0$ V dal transistor NMOS.

Nella regione 2, il transistor NMOS è in saturazione mentre il PMOS è in regione lineare; nella regione 3, entrambi i transistori sono in saturazione. Il punto di confine fra le regioni 2 e 3 sulla caratteristica di trasferimento corrisponde al funzionamento del dispositivo

Tabella 7.2 Regioni di funzionamento dei transistori in un invertitore CMOS simmetrico				
Regione	Tensione di ingresso v_I	Tensione di uscita v_O	Transistore NMOS	Transistore PMOS
1	$v_I \leq V_{TN}$	$V_H = V_{DD}$	Interdizione	Lineare
2	$V_{TN} < v_I \leq v_O + V_{TP}$	Alta	Saturazione	Lineare
3	$v_I \approx V_{DD}/2$	$V_{DD}/2$	Saturazione	Saturazione
4	$v_O + V_{TN} < v_I \leq (V_{DD} - V_{TP})$	Bassa	Lineare	Saturazione
5	$v_I \geq (V_{DD} - V_{TP})$	$V_L = 0$	Lineare	Interdizione

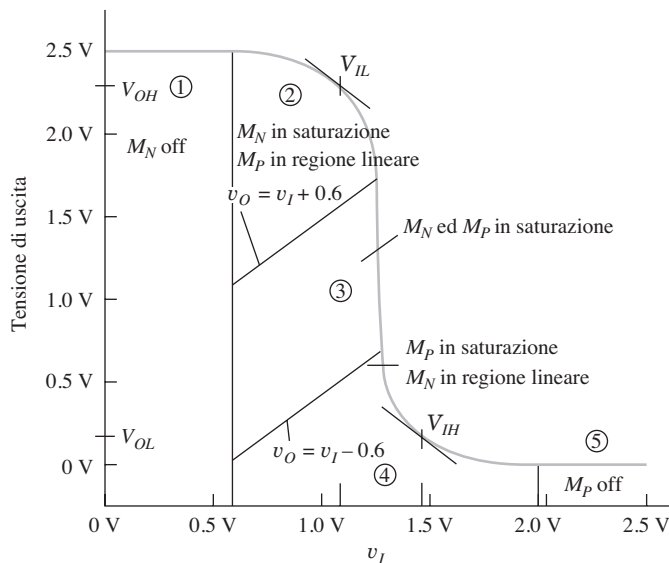


Figura 7.5

La caratteristica di trasferimento di un invertitore CMOS può essere separata nelle cinque regioni mostrate in Tabella 7.2

PMOS al limite fra la regione lineare e quella di saturazione. La condizione di saturazione del dispositivo PMOS richiede:

$$\begin{aligned} |v_{DS}| &\geq |v_{GS} - V_{TP}| \\ (2.5 \text{ V} - v_O) &\geq (2.5 \text{ V} - v_I) - 0.6 \text{ V} \\ v_O &\leq v_I + 0.6 \text{ V} \end{aligned} \quad (7.2)$$

Analogamente, il confine fra le regioni 3 e 4 della caratteristica di trasferimento è definito dal funzionamento del dispositivo NMOS al limite fra la regione lineare di funzionamento e quella di saturazione. La condizione di saturazione del dispositivo NMOS comporta:

$$\begin{aligned} v_{DS} &\geq v_{GS} - V_{TN} \\ v_O &\geq v_I - 0.6 \text{ V} \end{aligned} \quad (7.3)$$

Nella regione 4 il transistor PMOS è in saturazione, mentre il dispositivo NMOS è in regione lineare. Infine, per tensione di ingresso uguale $V_{DD}/2$ (regione 3), entrambi i transistori operano in regione di saturazione.

ESERCIZIO Supponiamo che $v_I = 1 \text{ V}$ per l'invertitore CMOS di Figura 7.4. (a) Qual è il campo di valori di v_O per cui M_N è in saturazione e M_P è in regione lineare? (b) Per quali valori entrambi i transistori sono in saturazione? (c) Per quali valori M_P è in saturazione e M_N è in regione lineare?

RISPOSTE $(1.6 \text{ V} \leq v_O \leq 2.5 \text{ V}); (0.4 \text{ V} \leq v_O \leq 1.6 \text{ V}); (0 \text{ V} \leq v_O \leq 0.4 \text{ V})$.

ESERCIZIO Il valore di $(W/L)_N$ di M_N in Figura 7.4 è 10/1. Qual è il valore di $(W/L)_P$ necessario a realizzare un invertitore simmetrico?

RISPOSTE 25/1.

La Figura 7.6 mostra i risultati di una simulazione della caratteristica di trasferimento di un invertitore CMOS simmetrico ($K_p = K_n$), per diversi valori di V_{DD} . Si noti che i livelli logici di uscita V_L e V_H sono sempre pari a 0 e a V_{DD} . Al crescere della tensione d'ingresso da 0 V a V_{DD} , l'uscita rimane costante sia per $v_I < V_{TN}$, sia per $v_I > (V_{DD} - |V_{TP}|)$.

Grazie alla simmetria del circuito, la transizione fra V_H e V_L si verifica in corrispondenza della tensione $v_I = V_{DD}/2$. La linea retta sul grafico di Figura 7.5 rappresenta il luogo dei punti in cui $v_O = v_I$ e interseca le caratteristiche di trasferimento per $v_I = V_{DD}/2$, sempre a causa della simmetria del circuito.

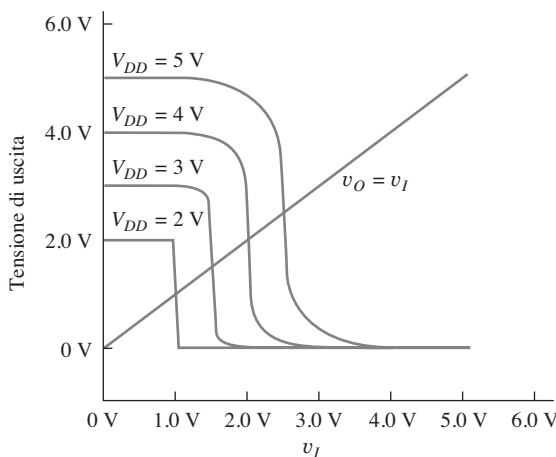


Figura 7.6 Caratteristica di trasferimento per un invertitore CMOS simmetrico ($K_R = 1$), per $V_{DD} = 5 \text{ V}, 4 \text{ V}, 3 \text{ V}$ e 2 V .

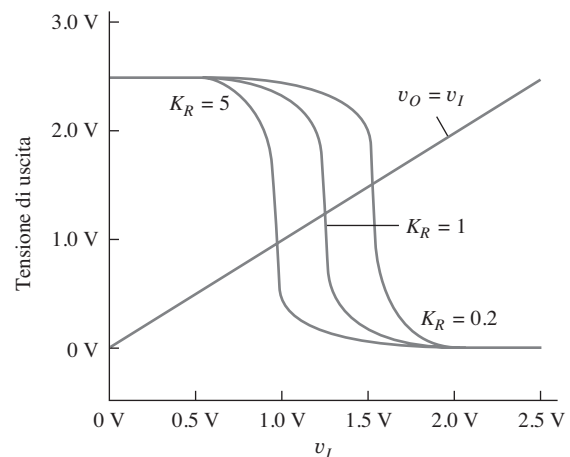


Figura 7.7 Caratteristica di trasferimento per un invertitore CMOS per $K_R = 5, 1$ e 0.2 , con $V_{DD} = 2.5 \text{ V}$. $K_R = K_n/K_p$.

Se $K_p \neq K_n$ la caratteristica di trasferimento non è più simmetrica rispetto a $V_{DD}/2$. Per semplificare la notazione introduciamo un parametro K_R , definito come: $K_R = K_n/K_p$. Le caratteristiche di trasferimento per tre differenti invertitori con $K_R = 5$, 1, e 0.2 sono mostrate in Figura 7.7. Per $K_R > 1$, l'NMOS è più "forte" rispetto al PMOS e la caratteristica di trasferimento trasla a sinistra rispetto a quella dell'invertitore CMOS simmetrico. Analogamente, per $K_R < 1$, il PMOS è più "forte" rispetto all'NMOS e la caratteristica di trasferimento si sposta a destra rispetto a quella per $K_R = 1$.

Come abbiamo accennato nei capitoli precedenti, un MOS non si interdice bruscamente quando la tensione gate-source è minore della tensione di soglia ma continua invece a condurre una piccola corrente. Questa caratteristica consente a un invertitore CMOS di operare a tensioni di alimentazione estremamente ridotte. È stato dimostrato [2, 3] che la minima tensione di alimentazione per un circuito CMOS è di soli $2V_T \ln(2)$, corrispondenti a meno di 40 mV a temperatura ambiente.

ESERCIZIO Eguagliare le espressioni delle correnti di drain di M_N e di M_P e mostrare che la condizione $v_O = v_I$ si ha per una tensione pari a $V_{DD}/2$ in un invertitore simmetrico. Quale tensione corrisponde a $v_O = v_I$ in un invertitore con $K_R = 10$ e $V_{DD} = 4$ V? Ripetere il calcolo per $K_R = 0.1$ e $V_{DD} = 4$ V.

RISPOSTE 1.27 V; 2.73 V.

7.2.2 Margini di rumore per l'invertitore CMOS

Data l'importanza della famiglia logica CMOS, è opportuno analizzare in dettaglio i margini di rumore dell'invertitore. Le tensioni V_{IL} e V_{IH} sono definite graficamente nelle Figure 7.5 e 7.8 come i punti in cui la caratteristica di trasferimento ha una pendenza di -1 . Procediamo dapprima al calcolo di V_{IH} .

Per v_I prossimo a V_{IH} , la v_{DS} di M_P sarà grande mentre quella di M_N sarà piccola. Pertanto assumiamo che il dispositivo PMOS sia in saturazione mentre il dispositivo NMOS sia in regione lineare. Le correnti di drain dei due transistori devono essere uguali. Abbiamo quindi:

$$K_n \left(v_I - V_{TN} - \frac{v_O}{2} \right) (v_O) = \frac{K_p}{2} (v_I - V_{DD} - V_{TP})^2 \quad (7.4)$$

Per il transistore M_N , $v_{GS} = v_I$ e $v_{DS} = v_O$. Per il transistore M_P , $v_{SG} = V_{DD} - v_I$, mentre $v_{SD} = V_{DD} - v_O$. Pertanto possiamo scrivere:

$$K_R (2v_I - 2V_{TN} - v_O)(v_O) = (v_I - V_{DD} - V_{TP})^2 \quad (7.5)$$

in cui $K_R = K_n/K_p$. Risolvendo rispetto a v_O si ha:

$$v_O = (v_I - V_{TN}) \pm \sqrt{(v_I - V_{TN})^2 - \frac{(v_I - V_{DD} - V_{TP})^2}{K_R}} \quad (7.6)$$

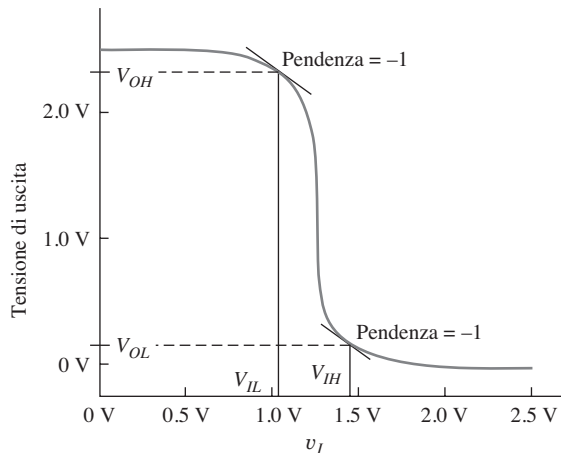


Figura 7.8

Caratteristica di trasferimento per un invertitore CMOS con evidenziati i valori V_{IL} e V_{IH} .

Per calcolare V_{IH} dobbiamo effettuare la derivata rispetto a v_I e imporre che tale derivata sia pari a -1 . I calcoli sono semplici ma noiosi (e possono essere svolti molto rapidamente al calcolatore con l'aiuto di un programma che consenta la manipolazione di equazioni in forma simbolica)¹. Il risultato finale è il seguente:

$$V_{IH} = \frac{2K_R(V_{DD} - V_{TN} + V_{TP})}{(K_R - 1)\sqrt{1 + 3K_R}} - \frac{(V_{DD} - K_R V_{TN} + V_{TP})}{K_R - 1} \quad (7.7)$$

Il valore di V_{OL} corrispondente a V_{IH} è:

$$V_{OL} = \frac{(K_R + 1)V_{IH} - V_{DD} - K_R V_{TN} - V_{TP}}{2K_R} \quad (7.8)$$

Nel caso particolare in cui $K_R = 1$ abbiamo:

$$V_{IH} = \frac{5V_{DD} + 3V_{TN} + 5V_{TP}}{8} \quad \text{e} \quad V_{OL} = \frac{V_{DD} - V_{TN} + V_{TP}}{8} \quad (7.9)$$

V_{IL} può essere ottenuto in modo analogo. Per v_I prossimo a V_{IL} , la v_{DS} di M_P sarà piccola mentre quella di M_N sarà grande. Pertanto è ragionevole assumere che il dispositivo NMOS sia in saturazione e che il dispositivo PMOS sia in regione lineare. Eguagliando le correnti di drain dei due transistori si ha:

$$K_p \left(v_I - V_{DD} - V_{TP} - \frac{v_O - V_{DD}}{2} \right) (v_O - V_{DD}) = \frac{K_n}{2} (v_I - V_{TN})^2 \quad (7.10)$$

ovvero:

$$(2v_I - V_{DD} - 2V_{TP} - v_O)(v_O - V_{DD}) = K_R(v_I - V_{TN})^2$$

Ancora una volta, possiamo risolvere rispetto a v_O , effettuare la derivata rispetto a v_I e imporre tale derivata pari a -1 per $v_I = V_{IL}$, ottenendo infine:

$$V_{IL} = \frac{2\sqrt{K_R}(V_{DD} - V_{TN} + V_{TP})}{(K_R - 1)\sqrt{K_R + 3}} - \frac{(V_{DD} - K_R V_{TN} + V_{TP})}{K_R - 1} \quad (7.11)$$

Il valore di V_{OH} corrispondente a V_{IL} è:

$$V_{OH} = \frac{(K_R + 1)V_{IL} + V_{DD} - K_R V_{TN} - V_{TP}}{2} \quad (7.12)$$

Nel caso particolare in cui $K_R = 1$, abbiamo:

$$V_{IL} = \frac{3V_{DD} + 5V_{TN} + 3V_{TP}}{8} \quad \text{e} \quad V_{OH} = \frac{7V_{DD} + V_{TN} - V_{TP}}{8} \quad (7.13)$$

I margini di rumore per $K_R = 1$ si ottengono dalle Equazioni (7.9) e (7.13):

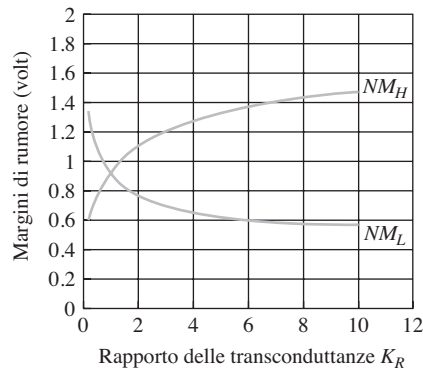
$$NM_H = \frac{V_{DD} - V_{TN} - 3V_{TP}}{4} \quad \text{e} \quad NM_L = \frac{V_{DD} + 3V_{TN} + V_{TP}}{4} \quad (7.14)$$

Per $V_{DD} = 2.5$ V, $V_{TN} = 0.6$ V e $V_{TP} = -0.6$ V, i margini di rumore sono entrambi 0.93 V.

La Figura 7.9 riporta l'andamento dei margini di rumore dell'invertitore CMOS in funzione di K_R , per $V_{DD} = 2.5$ V, $V_{TN} = 0.6$ V e $V_{TP} = -0.6$ V. Per un invertitore simmetrico ($K_R = 1$), i margini di rumore sono uguali e pari a 0.93 V, in accordo con i calcoli teorici.

Figura 7.9

Margini di rumore in funzione di K_R per un invertitore CMOS con $V_{DD} = 2.5$ V e $V_{TN} = -V_{TP} = 0.6$ V, $K_R = K_n/K_p$.



¹ Per esempio, Mathematica, MAPLE, Macsyma, e così via.

ESERCIZIO Qual è il valore di K_R per un invertitore CMOS in cui $(W/L)_P = (W/L)_N$? Calcolare i margini di rumore per questo valore di K_R e per $V_{DD} = 2.5$ V, $V_{TN} = 0.6$ V, $V_{TP} = -0.6$ V.

RISPOSTE 2.5; $NM_L = 0.728$ V, $NM_H = 1.15$ V.

7.3 Comportamento dinamico dell'invertitore CMOS

Come abbiamo visto nel paragrafo precedente, la dissipazione di potenza statica e i valori di V_H e di V_L non sono dei parametri di progetto nei circuiti CMOS. La scelta delle dimensioni dei transistori NMOS e CMOS è dettata dal comportamento dinamico della porta logica, vale a dire dal valore desiderato del **ritardo medio di propagazione** τ_p .

7.3.1 Stima del ritardo di propagazione

Possiamo ottenere una stima del ritardo medio di propagazione dell'invertitore CMOS studiando il circuito di Figura 7.10, in cui l'invertitore è pilotato da un generatore di tensione a gradino. Per $t < 0$, il transistor NMOS è interdetto e il PMOS è in conduzione. L'uscita è a livello logico alto con $v_O = V_H = V_{DD}$. All'istante $t = 0$, la tensione di ingresso commuta istantaneamente da 0 V a 2.5 V e, per $t = 0^+$, il transistor NMOS è in conduzione ($v_{GS} = +2.5$ V) mentre il transistor PMOS è interdetto ($v_{SG} = 0$ V). Pertanto, il circuito si semplifica in quello riportato in Figura 7.10(b). La tensione sulla capacità è pari a V_{DD} a $t = 0^+$, per poi ridursi mentre C si scarica attraverso il transistor NMOS. Il dispositivo NMOS inizia a condurre in regione di saturazione con $v_{DS} = v_{GS} = V_{DD}$ ed entra in regione lineare quando $v_{DS} = (v_{GS} - V_{TN}) = (V_{DD} - V_{TN})$. Il transistor NMOS continua a scaricare la capacità fino a quando la v_{DS} si annulla. Pertanto, $V_L = 0$ V.

Possiamo osservare che il circuito mostrato in Figura 7.10(b) è esattamente lo stesso utilizzato nel capitolo precedente per determinare τ_{PHL} per l'invertitore NMOS sia con carico resistivo che con carico a svuotamento. Utilizzando l'Equazione (6.66) si ha:

$$\tau_{PHL} \approx 1.2 R_{onn} C \quad \text{dove} \quad R_{onn} = \frac{1}{K_n (V_H - V_{TN})} \quad (7.15)$$

Per un invertitore CMOS con $V_H = 2.5$ V, $V_{TN} = 0.6$ V e $V_L = 0$, τ_{PHL} diviene:

$$\tau_{PHL} = 1.2 R_{onn} C \approx 0.63 \text{ V}^{-1} \frac{C}{K_n} \quad (7.16)$$

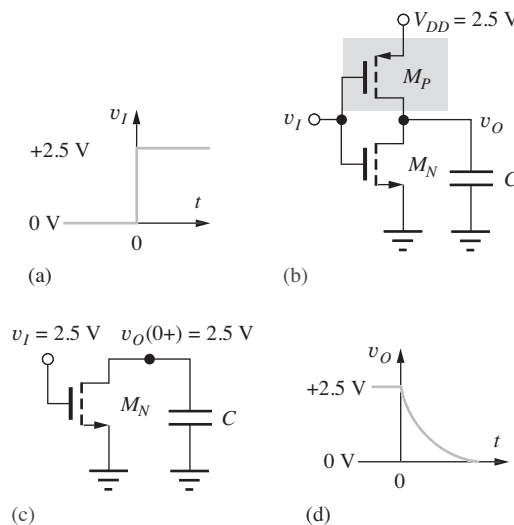
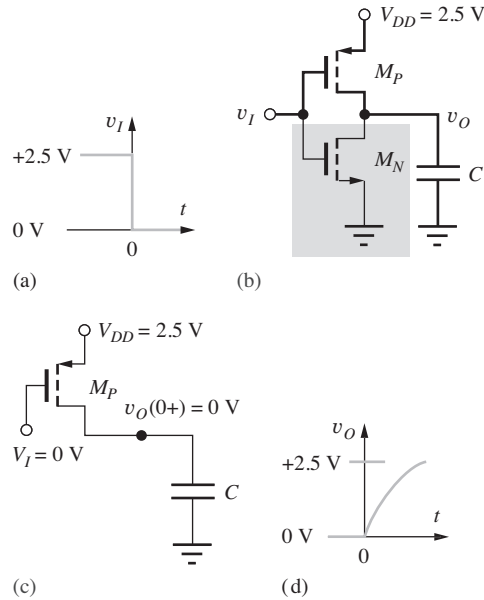


Figura 7.10
Transizione alto-basso
dell'uscita in un invertitore
CMOS.

Figura 7.11

Transizione basso-alto
dell'uscita in un invertitore
CMOS.



Consideriamo ora l'invertitore pilotato da un generatore di tensione a gradino che commuta da +2.5 V a 0 V all'istante $t = 0$. (Figura 7.11). Per $t < 0$, il transistore PMOS è interdetto e il transistore NMOS è in conduzione, forzando l'uscita a livello logico basso con $v_O = V_L = 0$. All'istante $t = 0$, la tensione di ingresso commuta istantaneamente da 2.5 V a 0 V. Per $t = 0^+$, il transistore PMOS è in conduzione ($v_{SG} = +2.5$ V) mentre il transistore NMOS è interdetto ($v_{GS} = 0$ V). Pertanto il circuito si semplifica in quello riportato in Figura 7.11(b). La tensione sulla capacità è nulla a $t = 0^+$, per poi crescere verso V_{DD} mentre C si carica attraverso il transistore PMOS. Il dispositivo PMOS inizia a condurre in regione di saturazione per poi entrare nella regione lineare. Il transistore PMOS continua a condurre fino a quando la sua v_{DS} si annulla, per $v_O = V_H = V_{DD}$. Per il calcolo di τ_{PLH} possiamo utilizzare equazioni simili a quelle riportate in Equazione (7.15). Per un invertitore CMOS con $V_{DD} = 2.5$ V e $V_{TP} = -0.6$ V, τ_{PLH} diviene:

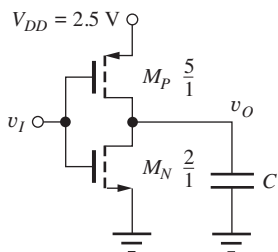
$$\tau_{PLH} \approx 1.2 R_{onp} C \quad \text{per } R_{onp} = \frac{1}{K_p(V_H + V_{TP})} \quad (7.17)$$

$$\tau_{PLH} \approx 0.63 V^{-1} \frac{C}{K_p} \quad (7.18)$$

La sola differenza fra le Equazioni (7.16) e (7.18) è il valore di R_{onn} e di R_{onp} . Dalla Tabella 7.1, ci aspettiamo che K'_n sia all'incirca 2.5 volte maggiore rispetto a K'_p . In logica CMOS un invertitore "simmetrico" con $\tau_{PLH} = \tau_{PHL}$ può essere progettato ponendo $(W/L)_P = 2.5(W/L)_N$, in modo da compensare la differenza delle mobilità. A causa delle regole di progetto, in molte tecnologie MOS i transistori di dimensioni minime presentano un valore $(W/L) = (2/1)$. Nel seguito, utilizzeremo l'invertitore simmetrico di Figura 7.12, caratterizzato da $(W/L)_N = (2/1)$ e $(W/L)_P = (5/1)$, come l'**invertitore CMOS di riferimento**.

Poiché abbiamo progettato questa porta logica per avere $\tau_{PLH} = \tau_{PHL}$, il ritardo medio di propagazione è dato da:

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} = \tau_{PHL} = 1.2 R_{onn} C \quad (7.19)$$

**Figura 7.12**

Invertitore CMOS di
riferimento simmetrico.

ESERCIZIO Calcolare il ritardo di propagazione dell'invertitore di riferimento in Figura 7.12 per $C = 1$ pF. Ripetere il calcolo per $C = 0.2$ pF.

RISPOSTE 3.16 ns; 0.63 ns.

7.3.2 Tempi di salita e di discesa

In un invertitore CMOS i **tempi di salita e di discesa** sono approssimativamente il doppio dei corrispondenti ritardi di propagazione:

$$t_f = 2\tau_{PHL} \quad \text{e} \quad t_r = 2\tau_{PLH} \quad (7.20)$$

Utilizzando i risultati dell'esercizio precedente ci aspettiamo tempi di salita e di discesa di 6.3 ns per il nostro invertitore di riferimento caricato con una capacità di 1 pF.

7.3.3 Riscaldamento delle prestazioni

Una volta caratterizzato il ritardo di un singolo invertitore tramite un approccio analitico o simulazioni è possibile riscaldare le dimensioni (ossia il rapporto (W/L)) dell'invertitore per variare le prestazioni e tenere conto delle variazioni della capacità di carico. Nonostante le espressioni per ritardi e tempi di propagazione che abbiamo ottenuto usando un modello $i-v$ del primo ordine non siano più quantitativamente accurati per le più moderne tecnologie (per esempio per i processi CMOS a 22 nm), due relazioni importanti continuano ad essere vere: il ritardo è proporzionale alla capacità di carico totale C_L ed è inversamente proporzionale a (W/L) . Di conseguenza, al fine di ottenere un dimensionamento corretto, le dimensioni dei dispositivi devono essere aumentate per ridurre il ritardo di propagazione e per pilotare una capacità maggiore. I nuovi valori $(W/L)'$ sono legati ai valori di riferimento (W/L) , $C_{L\text{ref}}$, $\tau_{P\text{ref}}$ secondo la relazione

$$\tau'_P = \frac{\left(\frac{W}{L}\right)'}{\left(\frac{W}{L}\right)} \times \left(\frac{C'_L}{C_{L\text{ref}}}\right) \times \tau_{P\text{ref}} \quad \text{oppure} \quad \left(\frac{W}{L}\right)' = \left(\frac{W}{L}\right) \times \left(\frac{\tau_{P\text{ref}}}{\tau'_P}\right) \times \left(\frac{C'_L}{C_{L\text{ref}}}\right) \quad (7.21)$$

A titolo di esempio, l'invertitore di Figura 7.13(a) ha un ritardo di 1 ns poiché i rapporti W/L di entrambi i transistori sono 3.16 volte maggiori di quelli dell'invertitore di riferimento in Figura 7.12. L'invertitore di Figura 7.13(b) ha un ritardo di 1.6 ns poiché i suoi transistori sono quattro volte più grandi di quelli dell'invertitore di riferimento ma la capacità di carico è doppia:

$$\tau'_P = \frac{\left(\frac{2}{1}\right)'}{\left(\frac{8}{1}\right)'} \times \left(\frac{2 \text{ pF}}{1 \text{ pF}}\right) \times 3.26 \text{ ns} = 1.58 \text{ ns}$$

ESERCIZIO Un invertitore deve pilotare una capacità di carico di 5 pF con $\tau_p = 1$ ns. Modificare le dimensioni dei transistori dell'invertitore di riferimento per ottenere il ritardo indicato.

RISPOSTE $(W/L)_P = 78.8/1$; $(W/L)_N = 31.5/1$.

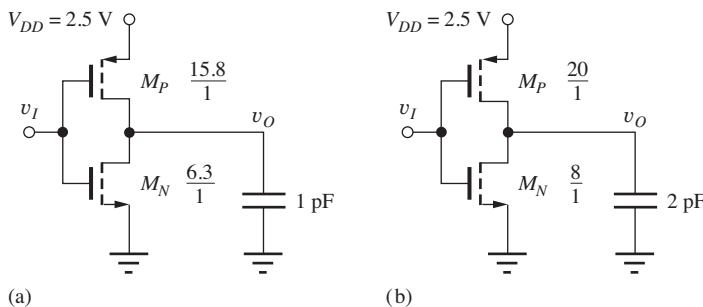


Figura 7.13

Invertitori CMOS con differenti tempi di propagazione.
(a) $\tau_p = 1$ ns, (b) $\tau_p = 1.6$ ns.

Esempio 7.1**PROGETTO DI UN INVERTITORE CMOS CON RITARDO ASSEGNATO**

SPECIFICHE DI PROGETTO Progettare un invertitore CMOS, alimentato a 3.3 V, in grado di pilotare una capacità di carico di 0.2 pF con un ritardo di 250 ps. Assumere che le tensioni di soglia dei dispositivi siano: $V_{TN} = -V_{TP} = 0.75$ V.

SOLUZIONE **Informazioni e dati noti:** $V_{DD} = 3.3$ V; $C = 0.2$ pF, $\tau_P = 250$ ps; $V_{TN} = -V_{TP} = 0.75$ V.

Incognite: $(W/L)_N$, $(W/L)_P$.

Approccio: Utilizzare l'Equazione (7.15) per ottenere i valori di R_{onn} e di $(W/L)_N$; calcolare $(W/L)_P$ come: $(W/L)_P = 2.5(W/L)_N$.

Ipotesi: Progetteremo un invertitore simmetrico; i valori di K' sono quelli riportati in Tabella 7.1: $K'_n = 100 \mu\text{A}/\text{V}^2$ e $K'_p = 40 \mu\text{A}/\text{V}^2$.

Analisi: Dalla (7.15) si ottiene:

$$R_{onn} = \frac{\tau_{PHL}}{1.2 C} = \frac{250 \text{ ps}}{1.2 (0.2 \text{ pF})} = 1040 \Omega$$

$$\left(\frac{W}{L}\right)_N = \frac{1}{K'_n R_{onn} (V_{DD} - V_{TN})} = \frac{1}{\left(100 \frac{\mu\text{A}}{\text{V}^2}\right) (1040 \Omega) (3.3 \text{ V} - 0.75 \text{ V})} = \frac{3.77}{1}$$

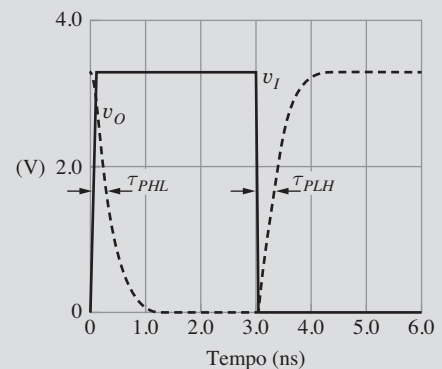
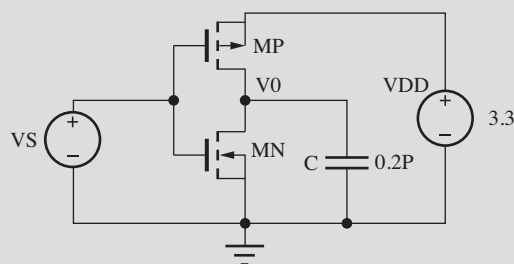
$$\left(\frac{W}{L}\right)_P = \frac{K'_n}{K'_p} \left(\frac{W}{L}\right)_N = 2.5 \left(\frac{W}{L}\right)_N = \frac{9.43}{1}$$

Controllo dei risultati: Verifichiamo il valore della resistenza-on del PMOS:

$$R_{onp} = \frac{1}{K_p (V_{DD} + V_{TP})} = \frac{1}{(9.43) \left(40 \frac{\mu\text{A}}{\text{V}^2}\right) (3.3 \text{ V} - 0.75 \text{ V})} = 1040 \Omega$$

Discussione: Le resistenze on dei due dispositivi sono uguali, per cui i tempi di salita e di discesa del nostro circuito saranno uguali. La costante di tempo $R_{on}C$ è di 208 ps, consistente con le specifiche assegnate.

Analisi assistita al calcolatore: Verifichiamo il nostro progetto con SPICE. Nello schema seguente, VS è un generatore di tensione a impulso, con tensione iniziale di 0 V, tensione massima di 3.3 V, tempo di ritardo nullo, tempi di salita e di discesa di 50 ps, durata dell'impulso di 2.95 ns e periodo di 6 ns. I parametri per la simulazione in transitorio sono: tempo di partenza 0, tempo di stop 6 ns, passo 5 ps. Dalle forme d'onda di uscita otteniamo dei tempi di propagazione simmetrici, di circa 280 ps, che confermano la validità del nostro progetto.



ESERCIZIO In base ai risultati delle simulazioni dell'Esempio 7.1, quali rapporti W/L sono necessari per ottenere un ritardo di propagazione di 250 ps?

RISPOSTE 4.22/1; 10.6/1.

ESERCIZIO Calcolare i rapporti (W/L) nell'Esempio 7.1, assumendo per le tensioni di soglia dei dispositivi i valori: $V_{TN} = -V_{TP} = 0.5$ V.

RISPOSTE 3.43/1; 8.59/1.

7.3.4 Effetto della saturazione della velocità sui ritardi dell'invertitore CMOS

Come discusso nei Capitoli 4 e 6, la saturazione della velocità limita la corrente del MOSFET rispetto a quella fornita dalla caratteristica quadratica del transistor in regione di saturazione. La corrente più bassa aumenta i tempi di salita e discesa e i ritardi di propagazione; per mantenere gli stessi tempi e gli stessi ritardi, può rendersi necessaria una modifica del rapporto W/L . In questo paragrafo useremo il Modello Unificato (Paragrafo 4.7.7) per progettare varie porte logiche NMOS. Ricordiamo che il Modello Unificato permette di calcolare la corrente di drain come

$$i_D = K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{V_{MIN}}{2} \right) V_{MIN} (1 + \lambda V_{DS}) \text{ con } V_{MIN} = \min\{(V_{GS} - V_{TN}), V_{DS}, V_{SAT}\} \quad (7.22)$$

e assumiamo che il parametro λ sia trascurabile nell'analisi in continua che stiamo per svolgere.

Stima numerica

Possiamo ottenere facilmente l'andamento della tensione di uscita $v_O(t)$ del circuito in Figura 7.10, poiché in tale circuito la corrente di scarica del condensatore C è uguale alla corrente di drain del transistor NMOS. Usando la relazione $i_D = -C dv_O/dt$, otteniamo la seguente equazione per la variazione della tensione di uscita in funzione del tempo:

$$v_O(t + \Delta t) = v_O(t) - \frac{i_D(t) \Delta t}{C} \quad (7.23)$$

che può essere valutata numericamente assumendo un passo temporale costante. Esempi di risultati sono mostrati in Figura 7.14 per $\Delta t = 0.01$ ns, $C = 0.2$ pF e $v_O(0) = 2.5$ V. La Tabella 7.3 riporta i risultati numerici per i ritardi dell'invertitore simmetrico della Figura 7.14. Confrontando i risultati, possiamo osservare un peggioramento del 25% per il

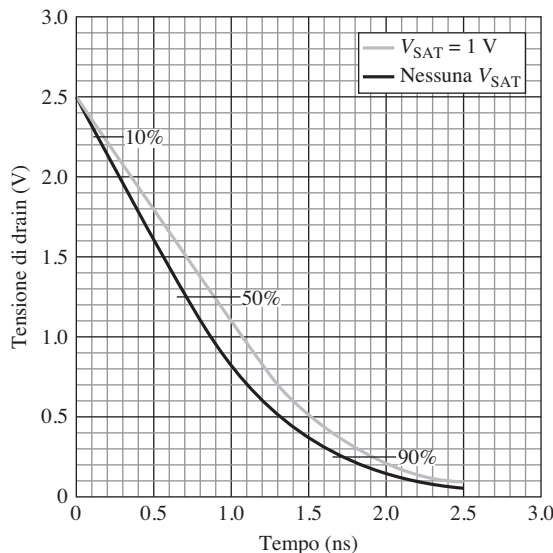


Figura 7.14

Transitorio di scarica di un invertitore CMOS con e senza saturazione della velocità. I livelli pari al 10%, 50% e 90% sono indicati come riferimento.

Tabella 7.3 Tempo di propagazione e ritardi dell'invertitore CMOS simmetrico* (ns)

V_{SAT}	τ_P	t_f	t_r
Nessuna	0.71	1.58	1.58
1 V	0.89	1.74	1.74

* Invertitore CMOS simmetrico mostrato in Figura 7.12 con $C = 0.2$ pF.

ritardo di propagazione e del 10% per i tempi di salita e discesa. Il ritardo di propagazione presenta la variazione maggiore in quando la saturazione della velocità riduce il tasso di carica e scarica all'inizio del transistoro. Notiamo inoltre che le curve hanno una pendenza pressoché costante da $t = 0$ a $t = \tau_P$. I tempi di salita e discesa sono più sensibili alla corrente durante l'intero transistoro. Valori minori di V_{SAT} contribuiscono a peggiorare ulteriormente le prestazioni.

ESERCIZIO (a) Quali rapporti (W/L) occorre usare per i transistori NMOS e PMOS al fine di ottenere un ritardo di propagazione di 0.71 ns nel caso di $V_{SAT} = 1$ V in Tabella 7.3? (b) Quali rapporti (W/L) sono necessari per i transistori NMOS e PMOS al fine di ottenere tempi di salita e discesa di 1.58 ns nel caso di $V_{SAT} = 1$ V?

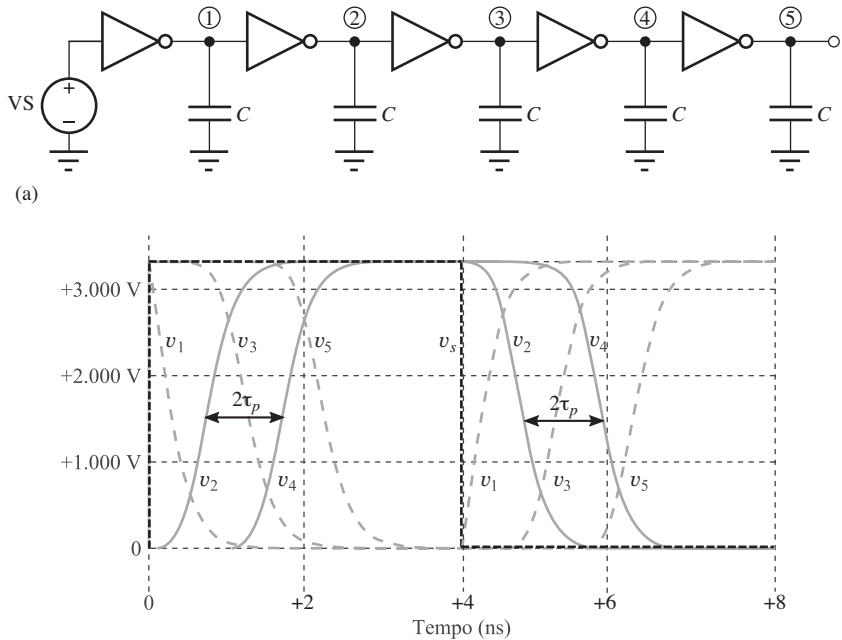
RISPOSTE 2.51/1, 6.27/1; 2.20/1, 5.51/1.

7.3.5 Ritardo di una cascata di invertitori

L'analisi che ci ha portato all'Equazione (7.15) si basa sull'ipotesi che il segnale di ingresso sia un gradino ideale. Ovviamente questa condizione non può essere ottenuta in un circuito reale, in cui ogni segnale avrà tempi di salita e di discesa diversi da zero. Pertanto, la stima del ritardo data dalla (7.15) è ottimistica. Utilizziamo SPICE per analizzare questa problematica in maggior dettaglio. Il circuito simulato è costituito dalla cascata di cinque invertitori identici, ed è riportato in Figura 7.15(a). Il primo invertitore è pilotato da generatore di tensione a impulso, tempi di salita e di discesa di 2 ps, durata dell'impulso di 5 ns e periodo di 10 ns.

Le uscite dei cinque invertitori sono mostrate nelle forme d'onda di Figura 7.15(b). Il ritardo di propagazione del primo invertitore (pilotato dall'ingresso a gradino) è di circa 0.28 ns, in accordo con il progetto dell'Esempio 7.1. I ritardi degli altri quattro invertitori, invece, sono significativamente maggiori, a causa dei tempi di salita e di discesa delle forme d'onda in ingresso ai vari invertitori. La Figura 7.15(b) evidenzia che i ritardi degli invertitori simulati (con l'eccezione del primo) sono molti simili fra loro. Il ritardo attraverso

Figura 7.15
(a) Circuito composto dalla cascata di cinque invertitori CMOS identici. (b) Forme d'onda di uscita per i cinque invertitori, ottenute utilizzando per i dispositivi i parametri calcolati nell'Esempio 7.1. VS è un generatore che produce un impulso della durata di 4 ns, $V_{DD} = 3.3$ V e $C = 0.2$ pF.



ogni coppia di invertitori è di circa 1ns, corrispondente a: $\tau_{PHL} = \tau_{PLH} = 0.5$ ns. Il valore ottenuto è circa il doppio di quello previsto dall'Equazione (7.15). Sulla base di questi risultati, modificheremo le nostre stime dei ritardi di propagazione come segue:

$$\tau_{PHL} \approx 2.4 R_{onn} C \quad R_{onn} = \frac{1}{K_n (V_{DD} - V_{TN})} \quad t_r = 2\tau_{PLH}$$

$$\tau_{PLH} \approx 2.4 R_{onp} C \quad R_{onp} = \frac{1}{K_p (V_{DD} + V_{TP})} \quad t_f = 2\tau_{PHL}$$

ESERCIZIO Quali sono le nuove equazioni per $\tau_{PHL} = \tau_{PLH}$ [simili alle (7.16) e (7.17)] nel caso in cui: $V_{DD} = 2.5$ V, $V_{TN} = 0.6$ V, $V_{TP} = -0.6$ V?

RISPOSTE $\tau_{PHL} \approx 2.4 R_{onn} C = 1.26 V^{-1} C / K_n$; $\tau_{PLH} = 2.4 R_{onp} C = 1.26 V^{-1} C / K_p$.

ESERCIZIO Quali sono le nuove equazioni per $\tau_{PHL} = \tau_{PLH}$ [simili alle (7.16) e (7.17)] nel caso in cui: $V_{DD} = 3.3$ V, $V_{TN} = 0.75$ V, $V_{TP} = -0.75$ V?

RISPOSTE $\tau_{PHL} \approx 2.4 R_{onn} C = 0.94 V^{-1} C / K_n$; $\tau_{PLH} = 2.4 R_{onp} C = 0.94 V^{-1} C / K_p$.

7.4 Dissipazione di potenza e prodotto ritardo-potenza nelle logiche CMOS

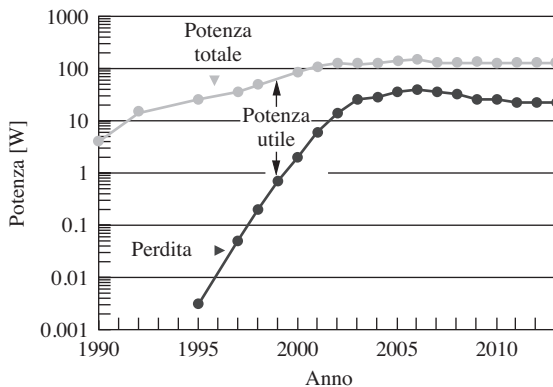
7.4.1 Dissipazione di potenza statica

La dissipazione di **potenza statica** in porte logiche CMOS è molto spesso trascurabile. Quando un invertitore CMOS si trova in condizioni di riposo in uno dei due stati logici, infatti, non esiste un passaggio diretto di corrente fra V_{DD} e V_{SS} . Tuttavia, in applicazioni a bassissimo consumo e nel progetto di circuiti integrati con un numero di porte estremamente grande, la dissipazione di potenza statica può essere un parametro importante. L'effettiva dissipazione di potenza statica è diversa da zero a causa delle correnti (dette "di perdita" o di *leakage*) che fluiscono nelle giunzioni inversamente polarizzate drain-substrato dei transistori NMOS e PMOS, e nella giunzione, anch'essa inversamente polarizzata, fra la *n*-well e il substrato di tipo *p*.

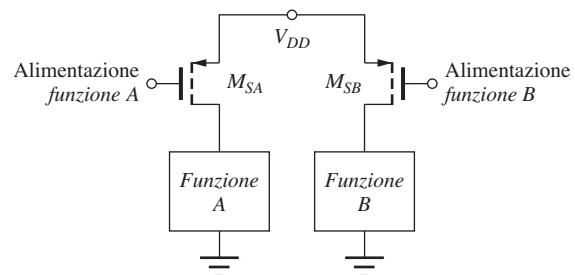
La corrente di leakage di queste giunzioni *pn* scorre tra le alimentazioni e contribuisce direttamente alla dissipazione di potenza statica. Nei processori per server, realizzati con tecnologie che impiegano dimensioni caratteristiche inferiori ai 100 nm, la potenza dissipata per leakage ammonta a quasi il 20% della potenza complessivamente dissipata, come visibile in Figura 7.16(a). Per questo motivo, vengono continuamente introdotte nuove soluzioni al fine di ridurre la dissipazione di potenza statica; un esempio elementare è mostrato in Figura 7.16(b), in cui due transistori PMOS sono stati introdotti per controllare l'alimentazione fornita ai blocchi logici, che possono essere costituiti da poche porte logiche o da circuiti più complessi come le unità logico aritmetiche (arithmetic logic unit, ALU) o un core completo in CPU multi-core. Quando il transistor PMOS è in interdizione, esso è l'unico componente che contribuisce al leakage e alla dissipazione di potenza statica.

Figura 7.16

(a) Evoluzione della potenza nei processori per server, © Intel Corporation, su gentile concessione di Stefan Rusu; (b) il consumo di potenza statica può essere ridotto spegnendo selettivamente le funzioni inattive.



(a)



(b)

7.4.2 Dissipazione di potenza dinamica

Due sono le componenti della dissipazione di **potenza dinamica** in porte logiche CMOS. Poiché la capacità di carico viene caricata e scaricata a una frequenza f , un primo contributo alla dissipazione di potenza è quello dato dall'Equazione (6.43):

$$P_D = CV_{DD}^2 f \quad (7.24)$$

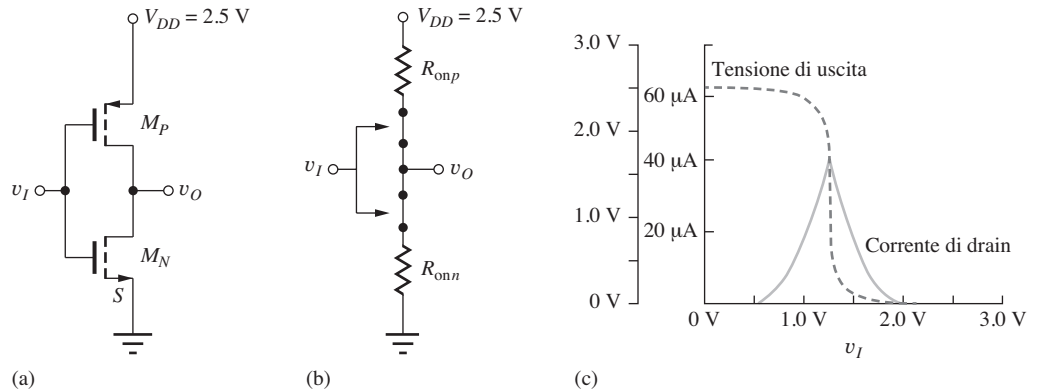
La potenza dinamica P_D è tipicamente la componente più importante della dissipazione di potenza in porte logiche CMOS operanti ad alta frequenza.

Durante la commutazione di una porta logica CMOS si ha un secondo fenomeno che dà luogo a dissipazione di potenza dinamica. La Figura 7.17 mostra la corrente assorbita da un invertitore CMOS simmetrico, in assenza di capacità di carico ($C = 0$), in funzione della tensione di ingresso v_I . La corrente è nulla per $v_I < V_{TN}$ poiché il transistor NMOS è interdetto. Quando la tensione di ingresso supera V_{TN} , entrambi i transistori sono in conduzione e si ha un passaggio di corrente. La corrente assorbita raggiunge il massimo per $v_I = v_O = V_{DD}/2$. Quando v_I cresce ulteriormente, la corrente decresce, per annullarsi quando il PMOS si interdice, per: $v_I > (V_{DD} - |V_{TP}|)$.

Nel dominio del tempo si ha un impulso di corrente assorbito dall'alimentazione ogni volta che l'uscita dell'invertitore cambia stato, come mostrato in Figura 7.18. (Nella letteratura tecnica questi impulsi di corrente vengono spesso impropriamente denominati come "correnti di cortocircuito".) In circuiti CMOS ad alta velocità questi impulsi di corrente danno luogo a una componente di dissipazione di potenza dinamica che può raggiungere il 20 o il 30% di quella fornita dall'Equazione (7.24).

Figura 7.17

(a) Invertitore CMOS;
(b) Modello con interruttore ideale e resistenza di conduzione per l'invertitore con $V_{TN} \leq v_I \leq V_{DD} - |V_{TP}|$;
(c) Corrente assorbita da un invertitore CMOS simmetrico, in funzione della tensione di ingresso.

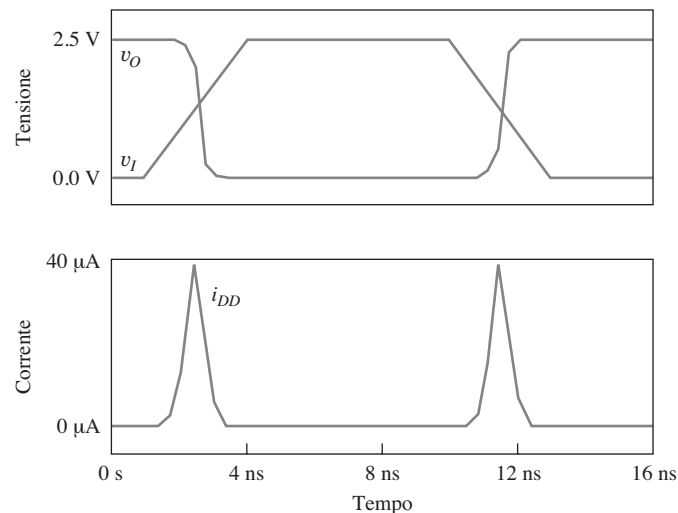


ESERCIZIO Calcolare il valore massimo di corrente che fluisce nell'invertitore di Figura 7.12 per $v_I = V_{DD}/2$.

RISPOSTE 42.3 μA .

Figura 7.18

Simulazione SPICE della corrente assorbita da un invertitore CMOS simmetrico, durante la commutazione del circuito.



7.4.3 Prodotto ritardo-potenza

Il **prodotto ritardo-potenza (PDP)**, definito nel Paragrafo 6.3, è una cifra di merito importante per confrontare le prestazioni di differenti famiglie logiche:

$$\text{PDP} = P_{av} \tau_P \quad (7.25)$$

Per le logiche CMOS, il contributo dominante per la dissipazione di potenza è generalmente quello necessario per caricare e scaricare la capacità di carico C . Si ha quindi: $P_{av} = CV_{DD}^2 f$. La frequenza di commutazione $f = (1/T)$ può essere espressa in funzione del tempo di salita t_r , del tempo di discesa t_f e del ritardo di propagazione τ_P , considerando la forma d'onda riportata in Figura 7.19. Il periodo T deve soddisfare la seguente relazione:

$$T \geq t_r + t_a + t_f + t_b \quad (7.26)$$

Alla massima frequenza di commutazione, i tempi t_a e t_b sono prossimi a zero, mentre i tempi di salita e di discesa rappresentano all'incirca l'80% del periodo. Assumendo un invertitore simmetrico, con eguali tempi di salita e di discesa, e utilizzando le Equazioni (7.19)-(7.20), l'Equazione (7.26) può essere approssimata da

$$T \geq \frac{2t_r}{0.8} = \frac{2(2\tau_P)}{0.8} = 5\tau_P \quad (7.27)$$

Un limite inferiore per il prodotto ritardo-potenza per le porte logiche CMOS è quindi dato da:

$$\text{PDP} \geq \frac{CV_{DD}^2}{5\tau_P} \tau_P = \frac{CV_{DD}^2}{5} \quad (7.28)$$

L'Equazione (7.28) evidenzia l'importanza di utilizzare una bassa tensione di alimentazione, visto che il PDP cresce con legge quadratica con la tensione V_{DD} . Per esempio, riducendo la tensione di alimentazione da 5 V a 3.3 V, si ha una riduzione del prodotto ritardo-potenza di un fattore 2.5. L'Equazione (7.28) mostra inoltre l'importanza di ridurre la capacità di carico.

ESERCIZIO (a) Qual è il prodotto ritardo-potenza per l'invertitore di riferimento in Figura 7.12 con una tensione di alimentazione $V_{DD} = 2.5$ V e una capacità di carico di 100 fF? (b) Ripetere i calcoli per una tensione di alimentazione di 3.3 V. (c) Ripetere i calcoli per una tensione di alimentazione di 1.8 V.

RISPOSTE 130 fJ; 220 fJ; 65 fJ.

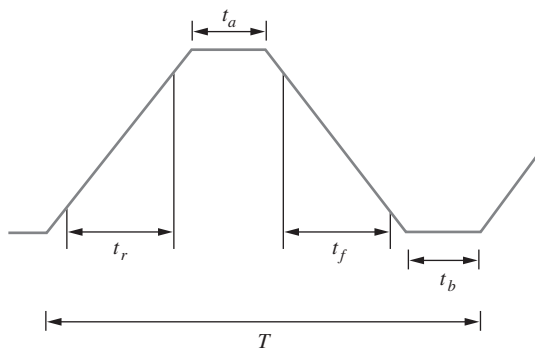


Figura 7.19
Forma d'onda per un invertitore CMOS.



ELETTRONICA IN AZIONE

CMOS - la chiave per le tecnologie portatili

Potenti strumenti portatili da usare per comunicazioni, misure e calcolo sono stati il sogno di moltissimi autori di fantascienza, dalle prime serie televisive degli anni '40, passando per i film di ambienta-

zione spaziale degli anni '50 e '60, arrivando infine ai primi viaggi di Star Trek. Negli ultimi trent'anni molti progettisti dell'ambito microelettronico hanno lavorato per realizzare questo sogno.

L'era dei circuiti integrati inizia negli anni '60, quando però l'integrazione ancora ridotta e gli elevati consumi di potenza non rendono ancora possibile un funzionamento a batteria dei circuiti. Verso la metà degli anni '80, le tecnologie CMOS si diffondono ampiamente ed è finalmente disponibile una tecnologia in grado di realizzare i sogni degli scrittori di molti anni prima, grazie alle dimensioni ridotte dei circuiti, all'elevata capacità computazionale raggiungibile e ai bassi consumi. Con la progressiva riduzione delle dimensioni dei circuiti CMOS negli anni '90, sono progressivamente apparsi in commercio molti dispositivi portatili quali i telefoni cellulari, i ricevitori GPS e i computer palmari. I telefoni cellulari sono dispositivi estremamente complessi e includono tipicamente una CPU, memorie, circuiti di ingresso e uscita, antenne a radiofrequenza, circuiti per la gestione della batteria, schermi sensibili al tocco (*touchscreen*), schermi a cristalli liquidi (*LCD*), insieme a molti moduli opzionali (quali moduli di comunicazione Bluetooth e infrarosso) e altre interfacce. Nel complesso, un telefono cellulare può contenere milioni di transistori. Il bassissimo consumo di corrente in standby della tecnologia CMOS permette ai progettisti di utilizzare circuiti complessi che dissipano potenza solo quando in funzione.

In questo capitolo, abbiamo ipotizzato che il transistor CMOS sia attraversato da una corrente nulla quando la tensione tra gate e source è inferiore alla tensione di soglia; da ciò deriva il ridotto consumo di corrente in standby delle porte logiche CMOS.

Tuttavia, nella pratica, questa corrente non è esattamente nulla; una piccola corrente, di valore compreso tra 10 pA e 1 nA scorre anche quando il transistor è off. Nonostante tale corrente possa sembrare insignificante, quando la moltiplichiamo per un numero di porte logiche dell'ordine del milione otteniamo valori di corrente che possono avere un impatto significativo sulla durata della batteria. I processi tecnologici in cui si utilizzano gate di dimensioni inferiori a 100 nm presentano valori significativi di corrente di leakage sotto soglia: i progettisti hanno dovuto quindi inventare nuove soluzioni circuitali per ridurre tali correnti e i processi produttivi sono stati modificati per introdurre soglie multiple al fine di limitare la dissipazione di potenza. Queste nuove famiglie logiche CMOS sono basate sui concetti visti in questo capitolo e sono presentate nel dettaglio in corsi avanzati di progettazione VLSI.

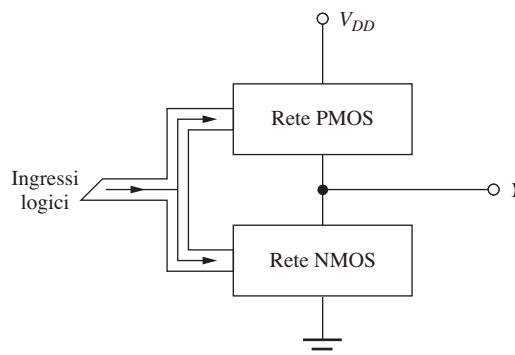


Due modelli di telefono cellulare iPhone.
[Foto: © George Frey/Getty Images.]

7.5 Porte NOR e NAND CMOS

Nei prossimi paragrafi analizzeremo in dettaglio il funzionamento di porte logiche CMOS, tra cui la porta logica NOR, la porta logica NAND e porte logiche complesse. La struttura generale di una porta logica CMOS è mostrata in Figura 7.20 e consiste di due reti: una composta da transistori NMOS (rete di pull-down) e una composta da dispositivi PMOS (rete di pull-up). Per ogni variabile logica di ingresso in una porta CMOS, ci sarà un transistor NMOS nella rete di pull-down e un transistor PMOS nella rete di pull-up. Dunque una porta logica CMOS avrà due transistori per ogni variabile di ingresso. Per ogni possibile ingresso, esiste un cammino conduttivo attraverso una e una sola delle due reti di pull-up e di pull-down.

Figura 7.20
Struttura generale
di una porta logica CMOS.



7.5.1 Porte logiche NOR CMOS

La realizzazione di una **porta logica NOR** a due ingressi è mostrata in Figura 7.21. Per la porta NOR, è sufficiente che uno solo degli ingressi sia alto per portare l'uscita a livello logico basso. Dunque, la rete di pull-down è identica a quella della porta logica NOR NMOS, studiata nel capitolo precedente. Peraltro, dovendo progettare una porta logica CMOS, dobbiamo assicurarci che non esista un passaggio di corrente statico attraverso il circuito, e questo richiede l'uso di due PMOS in serie nella rete di pull-up.

La natura complementare delle due reti di pull-up e di pull-down è evidenziata in Tabella 7.4. Si ha un percorso conduttivo attraverso la rete di NMOS per $A = 1$ o per $B = 1$, come mostrano i campi evidenziati nella tabella. Un percorso conduttivo attraverso la rete di pull-up si ha solo quando sia A che B sono zero.

In generale, un collegamento in parallelo nella rete di NMOS corrisponde a un collegamento in serie nella rete di PMOS e viceversa. Studieremo fra breve un metodo rigoroso per realizzare le due reti di pull-up e di pull-down.

Dimensionamento dei transistori

Possiamo determinare le dimensioni dei transistori che costituiscono la porta NOR a due ingressi utilizzando le nostre conoscenze relative al progetto di porte logiche NMOS. Per i circuiti CMOS, dobbiamo fare in modo che i tempi di ritardo siano uguali a quelli dell'invertitore di riferimento, anche per la peggiore delle combinazioni degli ingressi. Per la rete di NMOS, il caso peggiore si ha per $AB = 10$ oppure 01 ; in questo caso uno solo dei transistori A o B è in conduzione. Pertanto le dimensioni di questi dispositivi devono essere le stesse del transistor NMOS dell'invertitore di riferimento. La rete di PMOS conduce solo quando $AB = 00$, e in questo caso ci sono due dispositivi in serie. Per ottenere la stessa resistenza on dell'invertitore di riferimento, ogni PMOS deve avere dimensioni doppie: $(W/L)_P = 2(5/1) = 10/1$. I valori di W/L per i dispositivi della porta NOR a due ingressi sono riportati in Figura 7.21.

Effetto body

Dalla Figura 7.21 si può notare che uno dei due PMOS non ha il terminale di source collegato alla tensione V_{DD} , quindi per questo dispositivo il source e il substrato non sono in cortocircuito. Durante le commutazioni, la tensione di soglia di questo PMOS varia al variare della tensione fra source e body. Peraltro, una volta raggiunta la condizione stazionaria, per esempio con $v_O = V_H$, tutti i terminali di source e di drain dei PMOS saranno a un potenziale pari a V_{DD} . Dunque, la resistenza on totale dei transistori PMOS non è influenzata dall'effetto body una volta che il livello logico finale è raggiunto. Durante il transitorio, d'al-

Tabella 7.4 Tabella di verità per la porta NOR e stato dei dispositivi						
A	B	$Y = \overline{A + B}$	NMOS-A	NMOS-B	PMOS-A	PMOS-B
0	0	1	Off	Off	On	On
0	1	0	Off	On	On	Off
1	0	0	On	Off	Off	Off
1	1	0	On	On	Off	Off

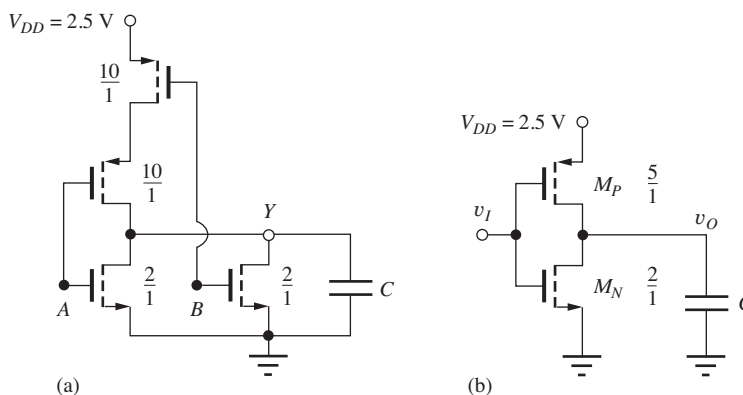
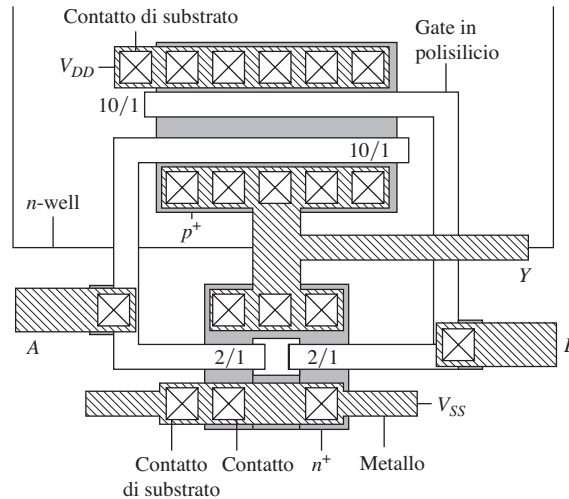


Figura 7.21

(a) Porta logica NOR a due ingressi; (b) invertitore di riferimento.

Figura 7.22

Layout di una porta NOR CMOS a due ingressi, con tempi di propagazione simmetrici. Si noti che l'area dei dispositivi PMOS è molto maggiore rispetto agli NMOS.



tronde, la tensione di soglia cambia in funzione del tempo e $|V_{TP}| > |V_{TOP}|$, rallentando leggermente il tempo di salita della porta logica. Un'analisi di questo fenomeno svolta utilizzando il simulatore circuitale SPICE è rimandata ai Problemi 7.31-7.32.

Layout della porta NOR a due ingressi

La Figura 7.22 mostra un possibile layout per la porta NOR a due ingressi. I due NMOS, realizzati nel substrato p , sono caratterizzati da un rapporto $W/L = 2/1$. I due PMOS sono allocati in una n -well comune e hanno $W/L = 10/1$. Si noti che il drain del PMOS superiore ed il source del PMOS inferiore sono realizzati con un'unica diffusione p . Per questo collegamento non sono necessari contatti o metallizzazioni.

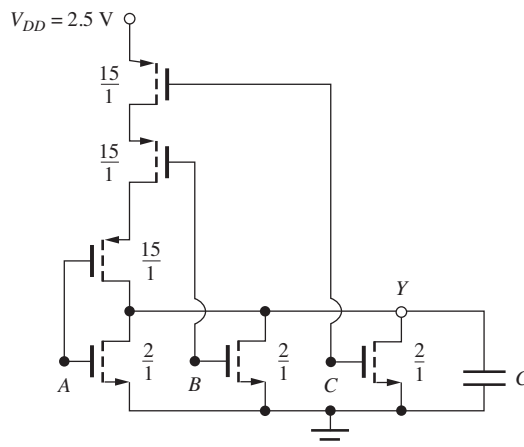
I gate degli NMOS e dei PMOS sono collegate con delle linee di metallo che rappresentano gli ingressi A e B della porta logica; analogamente una linea di metallo collega i drain dei tre dispositivi collegato al terminale di uscita Y . I contatti di substrato sono posti in prossimità dei terminali source dei transistori NMOS e del PMOS superiore. Si noti che gran parte dell'area del circuito è occupata dai dispositivi PMOS.

Porta NOR a tre ingressi

La Figura 7.23 mostra lo schema di una porta NOR a tre ingressi, e la Tabella 7.5 ne riporta la tabella di verità. Come nel caso della porta logica NMOS, l'uscita è bassa quando almeno uno dei transistori A , B oppure C è in conduzione. L'unico caso in cui esiste un percorso conduttivo attraverso la rete di PMOS si ha per $A = B = C = 0$. Ognuno dei transistori NMOS deve da solo essere in grado di scaricare la capacità di carico nel tempo desiderato, pertanto i rapporti W/L degli NMOS saranno ognuno $2/1$, uguali a quelli dell'invertitore di riferimento. La rete di PMOS ha ora tre dispositivi in serie e quindi ognuno dei transistori deve avere una larghezza di gate W tre volte maggiore di quella del dispositivo dell'invertitore di riferimento ($W/L = 15/1$).

Figura 7.23

Porta logica NOR a tre ingressi.



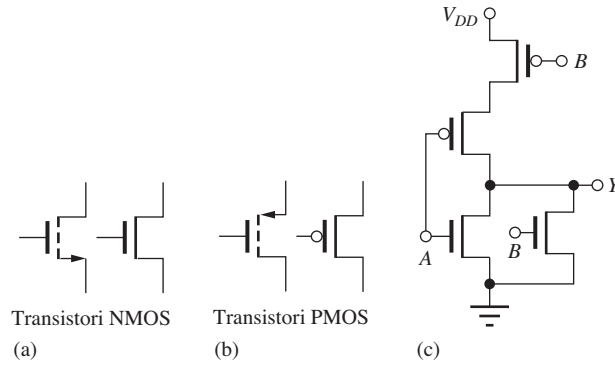


Figura 7.24

Simboli semplificati per dispositivi (a) NMOS e (b) PMOS. (c) Schema di porta logica NOR rappresentata con simboli semplificati.

Tabella 7.5 Tabella di verità per la porta NOR a tre ingressi

A	B	C	$Y = \overline{A + B + C}$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

È possibile ottenere la rete di PMOS direttamente a partire dalla tabella di verità. Dalla Tabella 7.4 per la porta NOR a due ingressi, vediamo che $Y \equiv \overline{A} \overline{B}$ per cui, utilizzando le identità in Tabella 6.7 si ha $\overline{Y} = A + B$. Per la porta NOR a tre ingressi descritta dalla Tabella 7.5 abbiamo: $Y = \overline{A} \overline{B} \overline{C}$ e quindi: $\overline{Y} = A + B + C$. La rete NMOS realizza la funzione logica $\overline{Y} = A + B + C$, scritta in termini delle variabili di ingresso non complementate, mentre la rete PMOS realizza la funzione logica $Y = \overline{A} \overline{B} \overline{C}$, scritta in termini dei complementi delle variabili di ingresso (si noti, infatti, che un PMOS è in conduzione quando il potenziale di gate è a livello logico basso, mentre è interdetto se il potenziale sul gate è pari a V_{DD}). Le due funzioni $\overline{Y}$ e Y per le reti di NMOS e di PMOS devono essere minimizzate, in modo tale da utilizzare il numero minimo possibile di dispositivi nelle due reti.

In molti testi di progetto di circuiti integrati, si adoperano dei simboli semplificati per i dispositivi MOS, mostrati in Figura 7.24. I simboli dei transistori NMOS e PMOS differiscono fra loro solo per un piccolo cerchio che contraddistingue il gate dei dispositivi PMOS. In questo libro, peraltro, noi continueremo a utilizzare la simbologia standard.

Porte logiche NAND CMOS

La struttura di una **porta NAND CMOS** a due ingressi è mostrata in Figura 7.25, la relativa tabella di verità è riportata in Tabella 7.6. Dalla tabella di verità per la porta NAND vediamo che: $Y = \overline{A} \overline{B}$, per cui l'uscita è bassa solo quando entrambi gli ingressi A e B sono alti. Dunque, la rete di NMOS è composta da due transistori in serie ed è identica a quella della porta NAND realizzata in tecnologia NMOS.

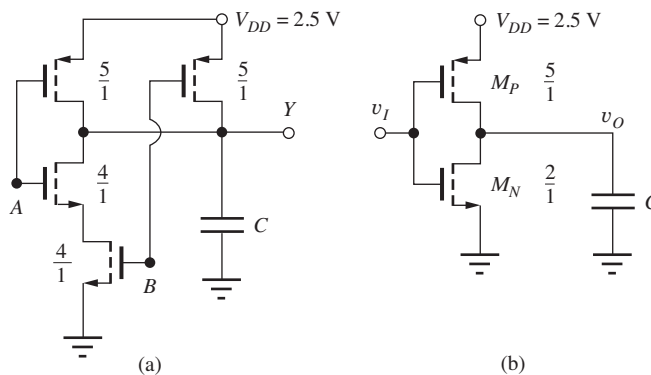


Figura 7.25

(a) Porta logica NAND a due ingressi; (b) invertitore di riferimento.

Tabella 7.6 Tabella di verità per la porta NAND e stato dei dispositivi						
A	B	$Y = \overline{AB}$	NMOS-A	NMOS-B	PMOS-A	PMOS-B
0	0	1	Off	Off	On	On
0	1	1	Off	On	On	Off
1	0	1	On	Off	Off	Off
1	1	0	On	On	Off	Off

Dimensionamento dei transistori

Determineremo le dimensioni dei transistori nella porta NAND a due ingressi utilizzando nuovamente le nostre conoscenze relative al progetto di porte logiche NMOS. Poiché abbiamo due transistori in serie nella rete di NMOS, ognuno di essi deve essere due volte più largo rispetto all'invertitore di riferimento e avrà quindi: $W/L = 4/1$. Nella rete di PMOS, ognuno dei transistori deve da solo essere in grado di caricare la capacità di carico nel tempo desiderato. Pertanto, i rapporti W/L dei PMOS saranno uguali a quelli dell'invertitore di riferimento, come indicato in Figura 7.25.

Porte NAND a più ingressi

La Figura 7.26 mostra il circuito di una porta NAND a cinque ingressi. La rete di NMOS consiste in una serie di cinque dispositivi, mentre quella di PMOS è formata da un gruppo di cinque transistori in parallelo. Per ottenere la stessa velocità dell'invertitore di riferimento nella transizione alto-basso, ogni transistore NMOS deve essere cinque volte più largo rispetto a quello di riferimento. I transistori PMOS hanno le stesse dimensioni dell'invertitore di riferimento.

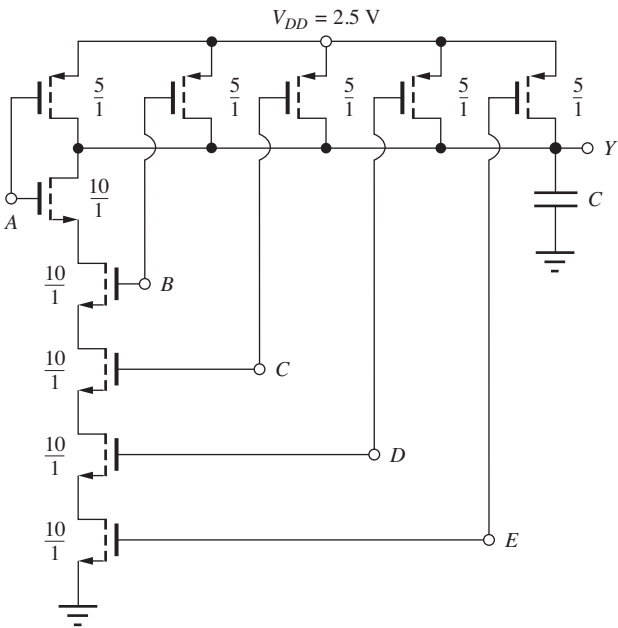
ESERCIZIO Disegnare lo schema di una porta NAND a 4 ingressi, in analogia alla porta a 5 ingressi di Figura 7.26. Come devono essere scelti i rapporti W/L dei transistori?

RISPOSTE 8/1; 5/1.

7.6 Porte logiche CMOS complesse

Così come per le porte logiche NMOS, la flessibilità delle logiche CMOS non viene utilizzata appieno se il progettista utilizza soltanto porte NAND, NOR e invertitori. Un significativo vantaggio del progetto di circuiti logici CMOS consiste nella possibilità di realizzare direttamente porte logiche complesse. In questo paragrafo ci occupiamo del progetto di **porte logiche complesse** con l'ausilio degli Esempi 7.2 e 7.3.

Figura 7.26
Porta NAND a cinque ingressi
in tecnologia CMOS:
 $Y = \overline{ABCDE}$.



PROGETTO DI UNA PORTA LOGICA CMOS COMPLESSA

Esempio 7.2

Progettare una porta logica CMOS che realizzi la funzione logica: $Y = \overline{A + BC + BD}$

Informazioni e dati noti: La funzione logica: $Y = \overline{A + BC + BD}$ ovvero: $\bar{Y} = A + BC + BD$, identica a quella realizzata dalla porta NMOS di Figura 6.35. La rete di pull-down, riportata in Figura 7.27(a), è esattamente la stessa della porta NMOS.

Incognite: Topologia della rete PMOS; rapporti W/L di tutti i transistori.

Approccio: In questo caso, la rete di NMOS è già nota e dobbiamo costruire la rete di PMOS corrispondente; a tal fine utilizzeremo un metodo grafico. I rapporti W/L dei vari dispositivi saranno determinati dopo aver ottenuto la topologia della rete di PMOS.

Ipotesi: Progetteremo un circuito simmetrico, basato sull'invertitore di riferimento di Figura 7.12.

Analisi: La rete NMOS è nota e quindi costruiremo la rete PMOS corrispondente a partire dal grafo della rete NMOS, mostrato in Figura 7.27(b). Ogni nodo nella rete NMOS corrisponde a un nodo nel grafo, includendo il nodo 0 per il riferimento e il nodo 2 per l'uscita. Ogni transistore NMOS è rappresentato da un arco che collega i nodi di source e di drain del transistore ed è etichettato con la variabile logica di ingresso.

Per realizzare la rete di PMOS cominciamo con il disporre un nuovo nodo all'interno di ogni maglia del grafo della rete NMOS [nodi 4 e 5 in Figura 7.27(c)]. Dobbiamo poi aggiungere due ulteriori nodi: uno rappresenta l'uscita e uno rappresenta V_{DD} [nodi 2' e 3 in Figura 7.27(c)]. Vengono quindi aggiunti degli archi, evidenziati in grigio in Figura 7.27(d), che collegano i nuovi nodi. Questi archi, che corrisponderanno a transistori PMOS della rete di pull-up, tagliano gli archi del grafo NMOS. Come evidenziato in Figura 7.27(d), ogni PMOS ha lo stesso nome dell'arco NMOS che lo interseca. Questa costruzione dà luogo a una rete PMOS minima, che ha un solo transistore per ogni ingresso logico. Il grafo completo della rete PMOS è riportato in Figura 7.27(d), e la corrispondente rete di pull-up è mostrata in Figura 7.28. A ogni arco del grafo PMOS corrisponde un transistore PMOS nella rete di pull-up. Si noti che i nodi 2 e 2' rappresentano il medesimo modo di uscita.

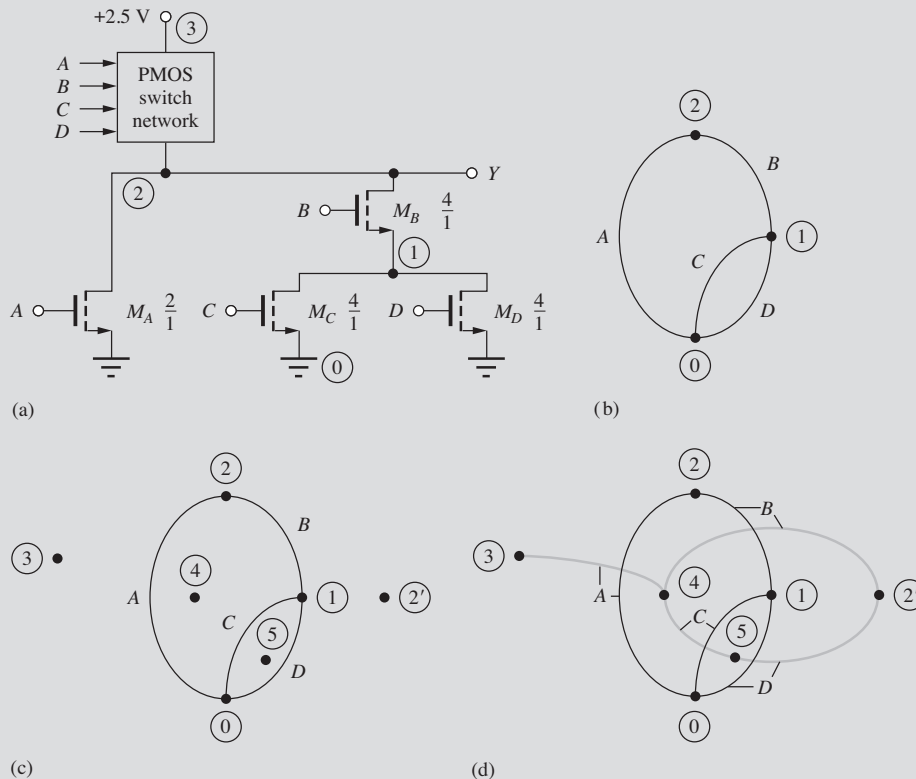


Figura 7.27

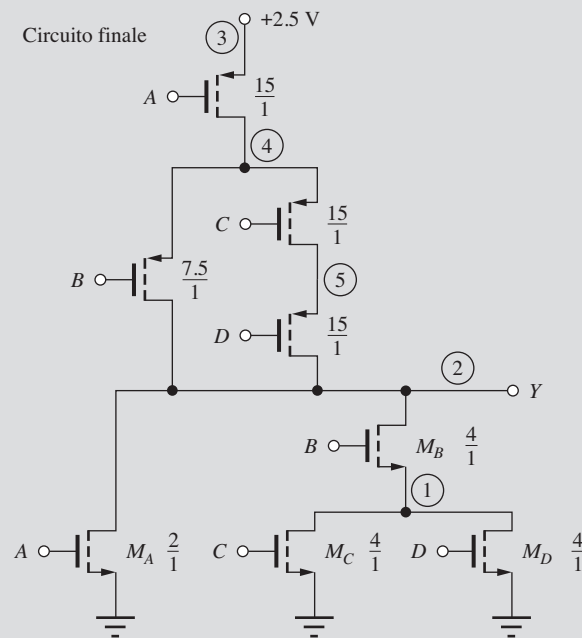
Costruzione dei grafi delle reti di PMOS e di NMOS. (a) Rete NMOS. (b) Grafo NMOS. (c) Grafo NMOS con l'aggiunta di nuovi nodi. (d) Grafo con l'aggiunta degli archi PMOS.

Per completare il progetto di questa porta CMOS, dobbiamo definire i rapporti W/L dei transistori. Nella rete di NMOS, il percorso peggiore contiene due transistori in serie, e i dispositivi B , C e D devono avere ognuno una larghezza doppia rispetto a quella dell'invertitore di riferimento. Il transistor A deve avere la stessa dimensione del transistor NMOS dell'invertitore di riferimento. Nella rete di PMOS, il percorso peggiore ha tre transistori in serie, per cui i dispositivi A , C , D devono essere tre volte più larghi rispetto al transistor PMOS dell'invertitore di riferimento. Le dimensioni del transistor B sono ottenute utilizzando il metodo della resistenza on descritto dalla Equazione (6.32), in cui R_{on} rappresenta la resistenza on di un transistor di dimensioni minime, con $W/L = 1/1$:

$$\frac{R_{on}}{\left(\frac{15}{1}\right)} + \frac{R_{on}}{\left(\frac{W}{L}\right)_B} = \frac{R_{on}}{\left(\frac{5}{1}\right)} \quad \text{ovvero} \quad \left(\frac{W}{L}\right)_B = \frac{7.5}{1}$$

Il progetto completo è mostrato in Figura 7.28.

Figura 7.28
Realizzazione con tecnologia CMOS della funzione logica:
 $Y = \overline{A + BC + BD}$.



La Figura 7.29 mostra una seconda realizzazione della stessa rete logica, in cui i nodi 2 e 3 nel grafo PMOS sono stati scambiati fra di loro. I percorsi conduttivi attraverso la rete di PMOS sono rimasti invariati, per cui la funzione logica implementata è la stessa.

Controllo dei risultati: Per verificare la correttezza della topologia della rete di PMOS, riscriviamo la Y come prodotto di somme:

$$Y = \overline{A + B(C + D)} = \overline{A} \cdot (\overline{B} + \overline{C} \overline{D})$$

Nella rete di PMOS deve attivarsi un cammino conduttivo quando A conduce e inoltre conducono B ovvero C e D contemporaneamente. La rete di PMOS in Figura 7.29 rispetta queste condizioni (si ricordi che l'inversione di ogni variabile di ingresso è realizzata direttamente dai transistori PMOS, che conducono quando il segnale sul gate è basso).

Discussione: Si noti che la rete PMOS di Figura 7.28 può essere anche ottenuta direttamente a partire dalla rete NMOS, mediante successive applicazioni della regola di trasformazione serie/parallelo. La rete di NMOS consiste di due rami in parallelo: uno costituito dal transistor A e uno composto dai transistori B , C , D . La rete PMOS, pertanto, ha due rami in serie, uno composto dal transistor A e uno rappresentante il ramo con B , C , D . Il secondo ramo della rete NMOS è composto da un collegamento in serie del transistor B

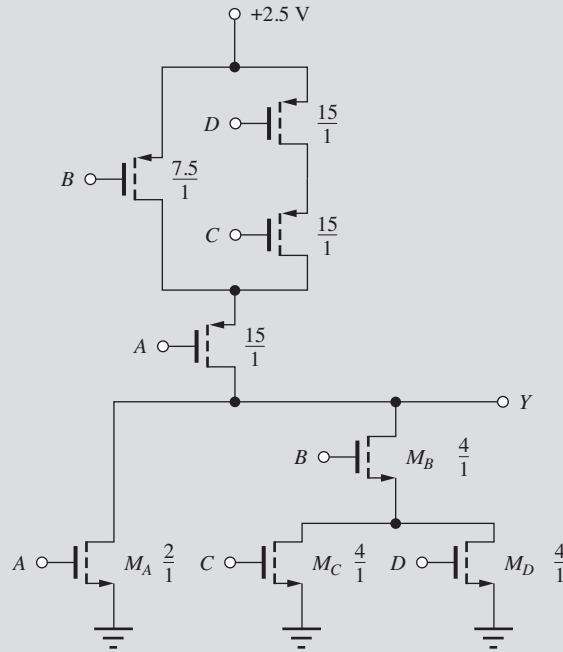


Figura 7.29 Circuito equivalente a quello della porta logica in Figura 7.28.

con un terzo ramo costituito dal parallelo di C e D . Nella rete di PMOS ciò corrisponde al transistor B collegato in parallelo alla combinazione in serie dei transistori C e D . Questo processo può essere utilizzato per ottenere la rete PMOS a partire dalla rete NMOS e viceversa. Peraltro, non può essere applicato quando si hanno dei rami collegati “a ponte”, come nell'esempio successivo.

ESERCIZIO Disegnare un'altra versione del circuito in Figura 7.29.

RISPOSTE Negli schemi di Figura 7.28 e 7.29 è possibile scambiare le posizioni dei transistori PMOS C e D . Un'altra possibilità è quella di scambiare le posizioni dei transistori NMOS che formano la sottorete $B(C + D)$.

PROGETTO DI UNA PORTA LOGICA CMOS COMPLESSA CON UN TRANSISTORE COLLEGATO “A PONTE”

Esempio 7.3

Progettare la versione CMOS della porta logica di Figura 6.32, che implementa la funzione logica: $Y = \overline{AB + CE + ADE + CDB}$

**SPECIFICHE
DI PROGETTO**

Informazioni e dati noti: La funzione logica: $Y = \overline{AB + CE + ADE + CDB}$ ovvero: $\overline{Y} = AB + CE + ADE + CDB$. La rete di pull-down è esattamente la stessa della porta NMOS in Figura 6.32.

SOLUZIONE

Incognite: Topologia della rete PMOS; rapporti W/L di tutti i transistori.

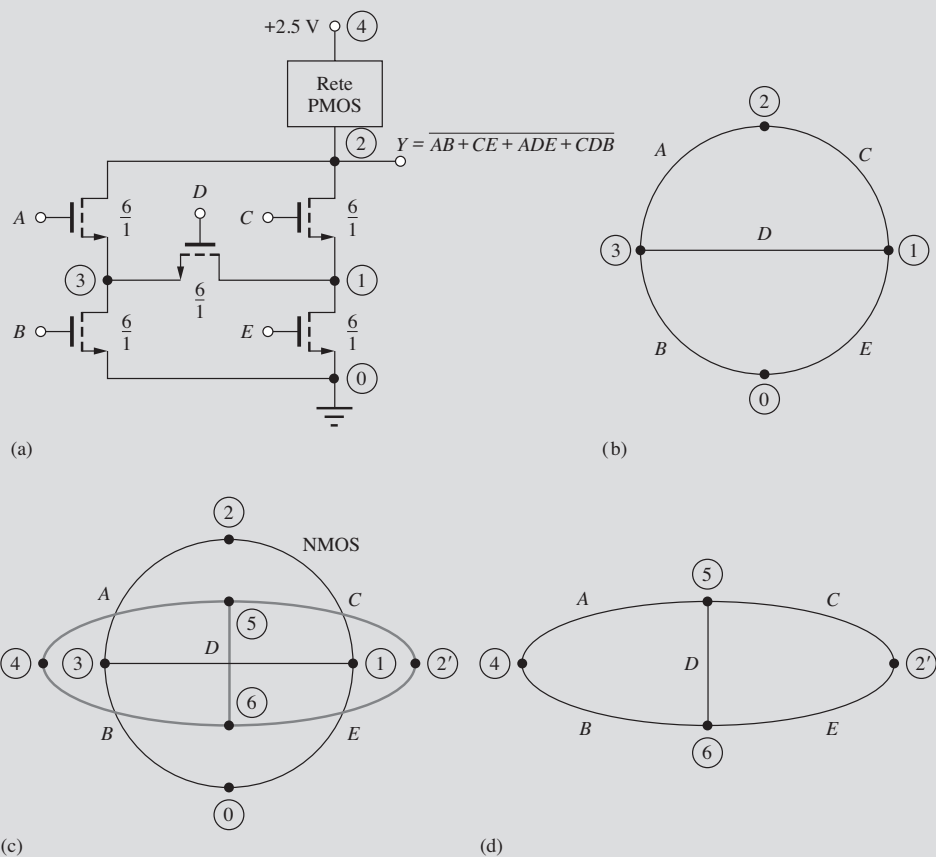
Approccio: Anche in questo esempio la rete di NMOS è già nota e dobbiamo costruire la rete di PMOS corrispondente; a tal fine utilizzeremo il metodo grafico introdotto nell'esempio precedente. I rapporti W/L dei vari dispositivi saranno determinati dopo aver ottenuto la topologia della rete di PMOS.

Ipotesi: Progetteremo un circuito simmetrico, basato sull'invertitore di riferimento di Figura 7.12.

Analisi: La Figura 7.30(b) mostra il grafo della rete NMOS. Il grafo corrispondente per la rete PMOS è riportato in Figura 7.30(c): sono stati aggiunti i nuovi nodi 5 e 6, all'interno dei cammini chiusi formati dagli archi ACD e BED ; inoltre sono stati aggiunti i nodi $2'$ e 4

Figura 7.30

(a) Rete NMOS di una porta logica CMOS complessa.
 (b) Grafo NMOS.
 (c) Costruzione del grafo PMOS.
 (d) Grafo della rete PMOS.



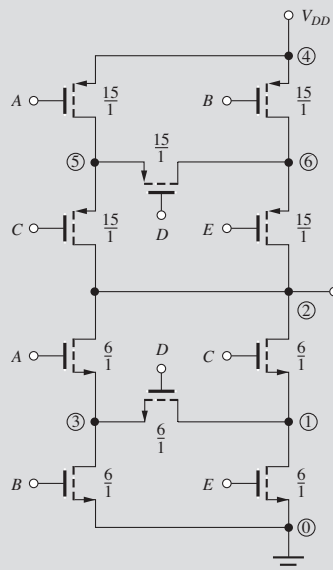
per rappresentare l'uscita e l'alimentazione a +5 V. Lo schema finale della porta CMOS è riportato in Figura 7.31. In questo caso inusuale, le topologie delle reti NMOS e PMOS sono identiche. Il transistor *D* è collegato "a ponte" in entrambe le reti. Il percorso peggiore, in entrambe le reti, contiene tre dispositivi in serie; pertanto tutti i transistori hanno dimensioni tre volte maggiori rispetto ai dispositivi dell'invertitore di riferimento.

Controllo dei risultati: Un nuovo controllo dei passi seguiti per ottenere la rete di PMOS conferma la correttezza del nostro progetto.

Discussione: In questo caso non è agevole verificare la correttezza del progetto utilizzando le trasformazioni serie/parallelo, a causa della presenza del dispositivo collegato "a ponte".

Figura 7.31

Realizzazione mediante tecnologia CMOS della funzione logica:
 $Y = \overline{AB + CE + ADE + CDB}$.



ESERCIZIO Disegnare un'altra versione del circuito in Figura 7.31.

RISPOSTE Possono essere modificate la rete NMOS, quella PMOS o entrambe. Nella rete NMOS è possibile scambiare le posizioni dei transistori *A* e *B* e dei transistori *C* ed *E*. Si noti questi scambi devono essere effettuati entrambi, al fine di preservare la funzione logica realizzata dal circuito. Analogamente, nella rete PMOS è possibile scambiare le posizioni dei transistori *A* e *C* e dei transistori *B* ed *E*. Anche in questo caso è necessario effettuare entrambi gli scambi.

7.7 Progetto e prestazioni di porte logiche ad area minima

Poiché è presente sia un dispositivo NMOS che un PMOS per ogni variabile logica di ingresso, le porte CMOS richiedono un'area maggiore rispetto alle logiche NMOS, che utilizzano un solo dispositivo di carico, indipendentemente dal numero delle variabili di ingresso. Inoltre, i collegamenti in serie di dispositivi nelle reti NMOS e PMOS, richiedono l'utilizzo di dispositivi di area elevata, al fine di limitare il ritardo di propagazione. D'altronde, per ottenere le massime prestazioni è necessario in molti casi ottimizzare il ritardo solo di alcuni *percorsi critici* all'interno di un sistema digitale complesso. Se il ritardo di una porta logica non è di importanza cruciale, è possibile ottenere una sensibile riduzione dell'occupazione di area utilizzando esclusivamente transistori di dimensioni minime. Per esempio, la Figura 7.32 mostra una realizzazione con transistori a dimensione minima della porta logica di Figura 7.28. Nel nuovo progetto viene penalizzato il tempo di propagazione al fine di ridurre l'occupazione di area. L'area totale di gate per il circuito di Figura 7.32 è di $16F^2$, dove con F si è indicata la minimum feature size, mentre l'area totale di gate per il circuito di Figura 7.28 è di $66.5F^2$, quattro volte maggiore.

Proviamo ora a effettuare una stima del tempo di propagazione che, nel caso peggiore, possiamo aspettarci dalla porta logica progettata con dispositivi ad area minima, rispetto al ritardo dell'invertitore di riferimento. Nella rete di NMOS, il percorso peggiore contiene due dispositivi in serie, con $W/L = 2/1$, con una R_{on} equivalente a quella di un dispositivo $1/1$. Poiché nell'invertitore di riferimento il dispositivo NMOS presenta un rapporto $W/L = 2/1$, il ritardo di propagazione alto-basso della nostra porta logica sarà il doppio rispetto al ritardo τ_{PHL} dell'invertitore di riferimento: $\tau_{PHL} = 2\tau_{PHL}$. Il cammino peggiore nella rete PMOS contiene tre dispositivi in serie con un rapporto W/L totale equivalente di $2/3$, rispetto al fattore $5/1$ dell'invertitore di riferimento. Dunque, il ritardo di propagazione basso-alto è legato al ritardo τ_{PLH} dell'invertitore di riferimento dalla relazione:

$$\tau_{PLH} = \frac{\left(\frac{5}{1}\right)}{\left(\frac{2}{3}\right)} \tau_{PLH} = 7.5\tau_{PLH}$$

Il ritardo medio di propagazione della porta logica con dispositivi di dimensioni minime è pari a:

$$\tau_p = \frac{(\tau_{PLH} + \tau_{PHL})}{2} = \frac{(2\tau_{PLH} + 7.5\tau_{PLH})}{2} = \frac{9.5\tau_{PLH}}{2} = 4.75\tau_{PLH}$$

ricordando che l'invertitore di riferimento era simmetrico, con:

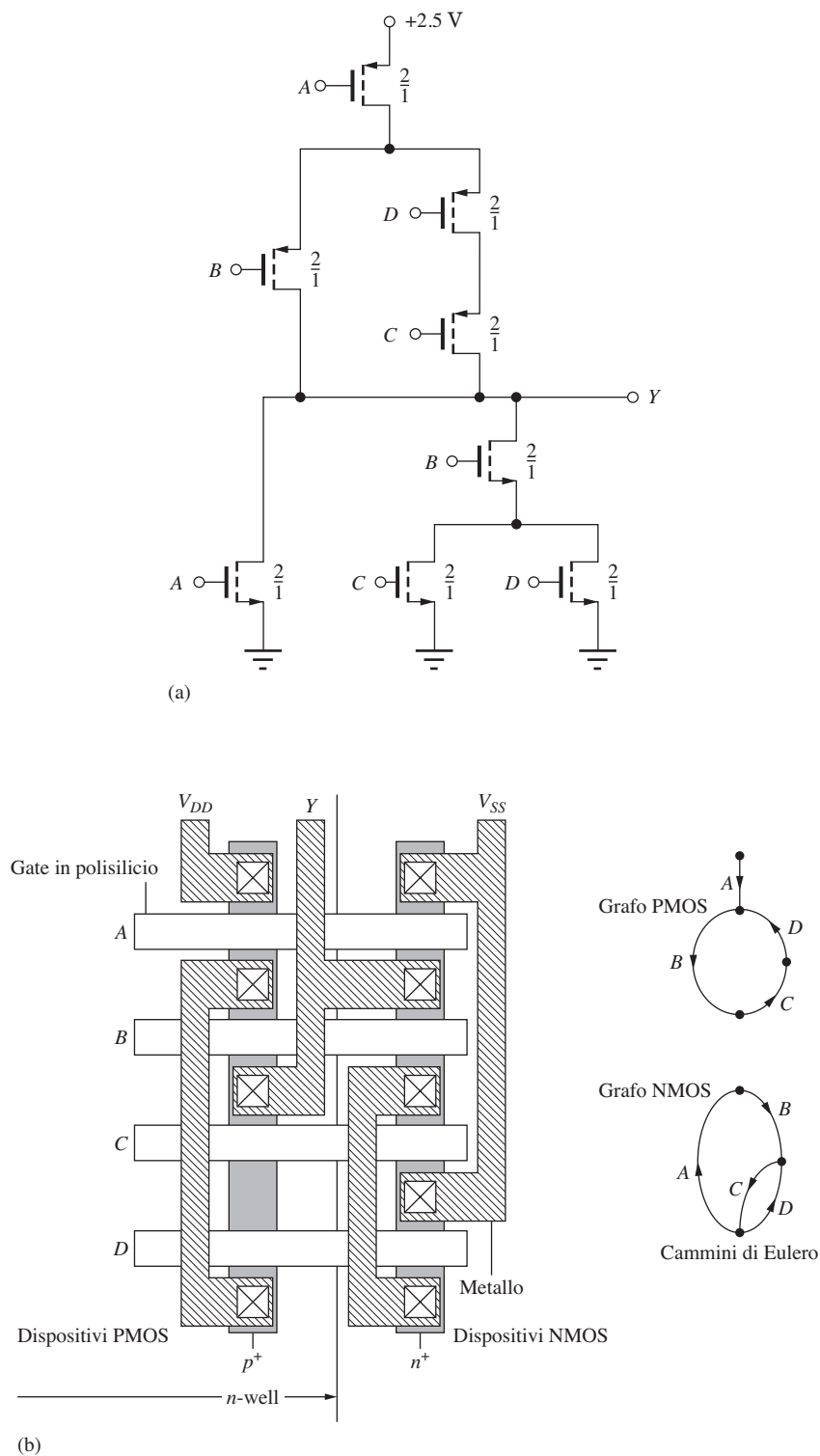
$$\tau_{PHL} = \tau_{PLH}$$

In definitiva, a parità di capacità di carico, il ritardo di propagazione della porta logica con dispositivi ad area minima sarà 4.75 volte maggiore rispetto a quello dell'invertitore di riferimento.

La Figura 7.32(b) mostra il layout della porta logica. I transistori sono allineati verticalmente e i gate dei dispositivi sono realizzate mediante strisce orizzontali di polisilicio. Al fine di realizzare il circuito desiderato, le diffusioni (che rappresentano i terminali di source

Figura 7.32

(a) Realizzazione ad area minima di una porta CMOS complessa.
 (b) Layout della porta.



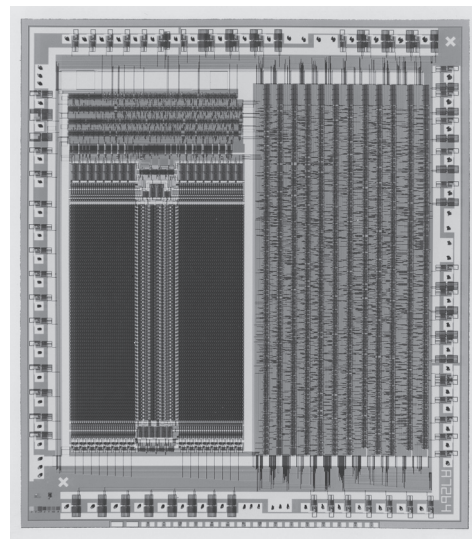
e di gate dei vari transistori) sono collegate mediante linee di metallo. Questo tipo di layout richiede l'identificazione di un "cammino di Eulero" nei grafi delle reti NMOS e PMOS. Il **cammino di Eulero** connette tutti i transistori nel grafo della rete NMOS (o PMOS), passando una e una sola volta attraverso ogni transistore. Il cammino può passare più di una volta per uno stesso nodo. Per ottenere un layout simile a quello di Figura 7.32 è necessario che i cammini di Eulero delle reti di NMOS e di PMOS abbiano la stessa sequenza di transistori; nel caso in figura la sequenza è: *ABCD*.



Porte logiche AND-OR-INVERT nelle Librerie di Celle

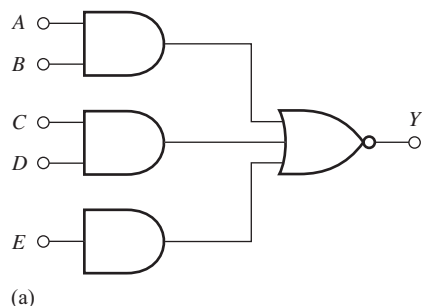
Il progetto basato su Celle Standard utilizza librerie di blocchi logici predefiniti che sono collocati in un circuito più complesso e collegati tra loro dal progettista o, più spesso, tramite strumenti di sviluppo automatizzati. Le librerie contengono un gran numero di celle, dalle porte logiche più semplici ai moltiplicatori, dalle unità logico aritmetiche alle CPU, dalle memorie ai registri a scorrimento. I circuiti integrati così realizzati hanno un aspetto estremamente regolare, come possiamo osservare dall'immagine a lato.

La porta AND-OR-INVERT (AOI), introdotta nel Capitolo 6, rappresenta un blocco logico fondamentale ampiamente usato nei progetti basati su Celle Standard. Il diagramma logico e la realizzazione in tecnologia CMOS di un AOI (2-2-1) che implementa la funzione logica $\overline{Y} = AB + CD + \overline{E}$ sono mostrati nella figura sottostante. Si osservi che la notazione 2-2-1 si riferisce agli ingressi della porta logica, due porte AND con due ingressi ognuna e una porta AND con un solo ingresso. Nella realizzazione con transistori, la rete NMOS è la stessa che avremmo se usassimo le corrispondenti porte logiche NMOS. La rete PMOS, invece, realizza la funzione $Y = (\overline{A} + \overline{B})(\overline{C} + \overline{D})(\overline{E})$: i tre rami paralleli della re-

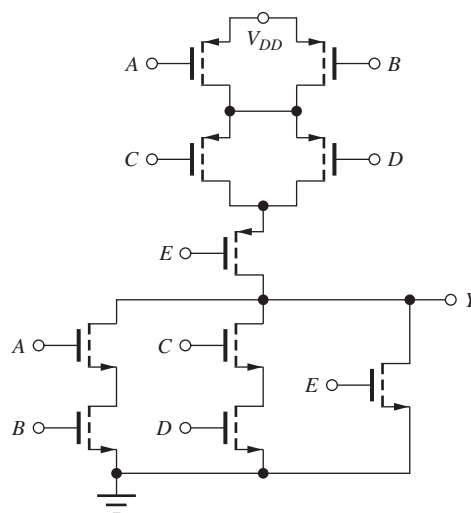


Esempio di circuito integrato. [Per gentile concessione del Prof. Charles E. Stroud, ECE Department, Auburn University.]

te NMOS sono sostituiti da tre rami in serie, in maniera tale che i rami AND della rete NMOS diventano rami OR per quella PMOS.



(a)



(b)

(a) Diagramma logico per una porta AOI (2-2-1); (b) corrispondente realizzazione con tecnologia CMOS.

ESERCIZIO Disegnare il diagramma logico e lo schema circuitale di un AOI (2-2-2).

RISPOSTE Si aggiunga un secondo ingresso (F) alla porta AND inferiore nel diagramma logico. Si aggiunga un transistor NMOS F in serie al transistor E nella zona con transistori NMOS e un transistor PMOS F in parallelo al transistor E nella zona con transistori PMOS.

7.8 Circuiti di buffer

La capacità di ingresso di una porta logica, negli odierni circuiti integrati ad alta densità, ha un valore molto basso, compreso tipicamente fra 10 fF e 100 fF, e il ritardo di propagazione di una porta CMOS che pilota una capacità di carico così esigua può essere ben al di sotto di 1 ns. Peraltro, sono frequenti i casi in cui si incontrano delle capacità di carico molto più elevate: per esempio le wordline di una RAM o di una ROM costituiscono un carico capacitivo relativamente grande; lunghe linee di interconnessione in un bus dati all'interno di un microprocessore possono anch'esse rappresentare una significativa capacità di carico. Inoltre, i circuiti che devono pilotare delle linee esterne al chip possono avere capacità di carico dell'ordine di 10 pF o di 50 pF, un valore tre ordini di grandezza maggiore rispetto alle capacità interne di un circuito integrato. Sappiamo che il ritardo di una porta CMOS è proporzionale alla capacità di carico, per cui si avrebbe un ritardo estremamente grande se fosse utilizzato un invertitore ad area minima per pilotare una capacità di carico così elevata. D'altro canto, se si aumentano le dimensioni dell'invertitore per ridurne il tempo di ritardo, si avrebbe anche un corrispondente aumento della capacità di ingresso dell'invertitore che a sua volta comporterebbe un aumento del ritardo di propagazione dello stadio che pilota l'invertitore.

7.8.1 Ritardo di un circuito disaccoppiatore (buffer)

È stato dimostrato [4, 5] che è possibile minimizzare il ritardo complessivo utilizzando una cascata di stadi invertitori, come mostrato in Figura 7.33, in modo da formare un circuito disaccoppiatore o **buffer**. I rapporti W/L dei transistori vengono aumentati di un opportuno fattore β (*taper factor*) da uno stadio invertitore al successivo. La capacità di carico è quindi pari a $C_L = \beta^N C_o$ dove C_o è la capacità di ingresso dell'invertitore di riferimento mentre N è il numero di stadi del buffer. L'analisi viene semplificata assumendo che la capacità complessiva di ogni nodo sia dominata dalla capacità di ingresso dell'invertitore successivo. Dunque, il carico capacitivo per il primo invertitore è βC_o , per il secondo invertitore $\beta^2 C_o$ e così via. Se indichiamo con τ_o il ritardo dell'invertitore di riferimento che pilota una capacità di carico C_o , il ritardo di ognuno degli invertitori dello stadio buffer sarà $\beta \tau_o$ e il ritardo di propagazione complessivo sarà:

$$\tau_B = N\beta\tau_o \quad (7.29)$$

in cui:

$$\beta^N = \frac{C_L}{C_o} \quad (7.30)$$

Risolvendo l'Equazione (7.30) per β si ottiene:

$$\beta = \left(\frac{C_L}{C_o} \right)^{1/N} \quad (7.31)$$

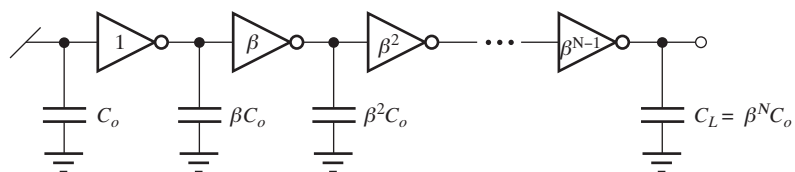
Sostituendo questo risultato nella (7.29) si ottiene l'espressione per il ritardo complessivo del buffer:

$$\tau_B = N \left(\frac{C_L}{C_o} \right)^{1/N} \tau_o \quad (7.32)$$

In quest'ultima equazione, il fattore N cresce se vengono aggiunti ulteriori stadi al buffer, mentre il valore del termine legato al rapporto delle capacità decresce al crescere di N . Il comportamento opposto di questi due fattori determina l'esistenza di un valore ottimo di N , per un assegnato rapporto di capacità.

Figura 7.33

Un circuito disaccoppiatore, o buffer, per il pilotaggio di carichi capacitivi elevati.



7.8.2 Numero ottimo di stadi

Il numero di stadi che minimizza il ritardo complessivo del buffer può essere ottenuto effettuando una derivata rispetto a N dell'Equazione (7.32), e ponendo la derivata a zero. I calcoli possono essere semplificati prendendo il logaritmo di entrambi i membri della (7.32), prima di effettuare la derivata:

$$\ln \tau_B = \ln N + \frac{1}{N} \ln \left(\frac{C_L}{C_o} \right) + \ln \tau_o \quad (7.33)$$

Derivando rispetto a N abbiamo:

$$\frac{d \ln \tau_B}{dN} = \frac{1}{N} - \frac{1}{N^2} \ln \left(\frac{C_L}{C_o} \right) \quad (7.34)$$

Uguagliando l'Equazione (7.34) a zero, si ottiene il valore ottimo di N :

$$N_{\text{opt}} = \ln \left(\frac{C_L}{C_o} \right) \quad (7.35)$$

Sostituendo la (7.35) nella (7.31) si ha il valore ottimo per il fattore β e il ritardo ottimo del buffer:

$$\beta_{\text{opt}} = \left(\frac{C_L}{C_o} \right)^{[1/\ln(C_L/C_o)]} = e \quad e \quad \tau_{\beta \text{opt}} = e \tau_o \ln \left(\frac{C_L}{C_o} \right) \quad (7.36)$$

Il valore ottimo di β è pari alla base dei logaritmi naturali, $e \approx 2.72$.

PROGETTO DI UNO STADIO BUFFER

Esempio 7.4

Progettare uno stadio buffer, per il pilotaggio di una capacità di carico di 50 pF, con $C_o = 50$ fF. Calcolare il ritardo complessivo del buffer, assumendo una tensione di alimentazione di 3.3 V, $V_{TN} = 0.75$ V e $V_{TP} = -0.75$ V.

SPECIFICHE DI PROGETTO

Informazioni e dati noti: $C_L = 50$ pF, $C_o = 50$ fF.

SOLUZIONE

Incognite: Il numero N di stadi, il fattore β , le dimensioni relative di ogni invertitore del buffer, il ritardo complessivo.

Approccio: Valutare il numero di stadi N utilizzando la (7.32); calcolare il fattore β ; dimensionare gli invertitori.

Ipotesi: È assegnato il valore di C_o (50 fF) per l'invertitore di riferimento di Figura 7.12.

Analisi: Il valore ottimo di N è $N_{\text{opt}} = \ln(C_L/C_o) = \ln(1000) = 6.91$, e il ritardo ottimo è $\tau_{B \text{opt}} = 6.91 \times (2.72) \times \tau_o = 18.8 \tau_o$. Il fattore N deve essere un intero, ma in effetti si può scegliere sia $N = 6$ che $N = 7$, poiché il minimo non è fortemente dipendente da N . Utilizzando i due valori di N si ha infatti:

$$N = 6: \quad \tau_B = 6 (1000^{1/6}) \tau_o = 19.0 \tau_o$$

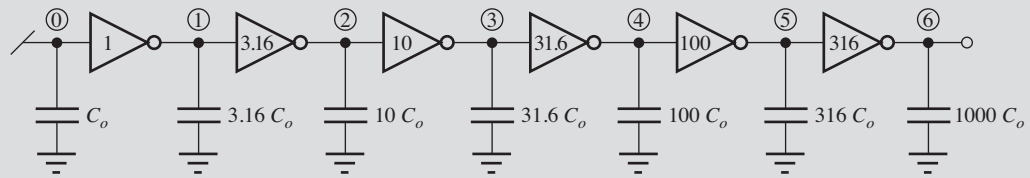
$$N = 7: \quad \tau_B = 7 (1000^{1/7}) \tau_o = 18.8 \tau_o$$

Dunque, utilizzando il valore di N più piccolo si ha una leggera degradazione del ritardo. La scelta fra $N = 6$ e $N = 7$ sarà probabilmente effettuata a seguito di considerazioni relative all'occupazione di area del buffer. Scegliendo $N = 6$, il fattore β si ottiene applicando la (7.31):

$$\beta = \left(\frac{C_L}{C_o} \right)^{1/N} = \left(\frac{50 \text{ pF}}{50 \text{ fF}} \right)^{1/6} = (1000)^{1/6} = \sqrt[6]{1000} = 3.16$$

Ogni stadio del buffer sarà dunque 3.16 volte più grande dello stadio precedente, come mostra la Figura 7.34. Le dimensioni dei dispositivi (NMOS, PMOS) per i sei invertitori sono: (2/1; 5/1), (6.33/1; 15.8/1), (20/1; 50/1), (63.3/1; 158/1), (200/1; 500/1), (633/1; 1580/1).

Figura 7.34
Progetto ottimo di un buffer.



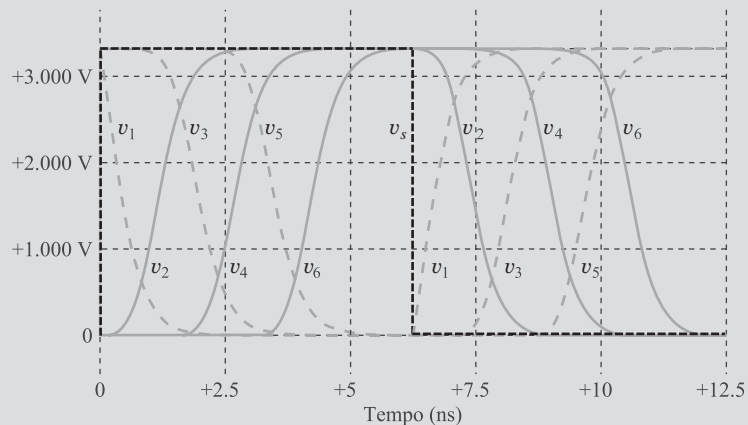
Per $N = 6$ abbiamo già calcolato il valore di $\tau_B = 19.0\tau_o$; dobbiamo ora valutare τ_o . Utilizzando le relazioni per l'invertitore simmetrico:

$$\tau_o \approx \frac{2.4C}{K_n(V_{DD} - V_{TN})} = \frac{2.4(50 \text{ fF})}{2(100 \mu\text{A/V}^2)(3.3 \text{ V} - 0.75 \text{ V})} = 0.24 \text{ ns}$$

La stima del ritardo complessivo del buffer è pertanto: $\tau_B = 4.5 \text{ ns}$.

Controllo dei risultati: Un nuovo controllo dei calcoli effettuati conferma la correttezza del nostro progetto.

Analisi assistita al calcolatore: La figura seguente mostra le forme d'onda simulate per il buffer di Figura 7.34. Il primo invertitore è pilotato da un generatore di tensione ad impulso, con tempi di salita e di discesa di 2 ps, durata dell'impulso di 6.25 ns e periodo di 12.5 ns. Il ritardo complessivo del buffer è di 4 ns. Il valore ottenuto è leggermente inferiore alla nostra stima; ciò è dovuto al primo invertitore che è pilotato da un segnale di ingresso con tempi di salita e di discesa molto ridotti. Il ritardo fra le uscite del primo e del sesto invertitore è in accordo con la stima teorica di $15.8\tau_o = 3.8 \text{ ns}$.



Discussione: L'ottimizzazione del buffer appena descritta è basata su ipotesi molto semplificative circa la proporzionalità della capacità di carico a ogni nodo con le dimensioni degli invertitori. Analisi più accurate, pubblicate nella letteratura scientifica, mostrano che il valore ottimo di β è compreso fra 3 e 4. I risultati delle Equazioni (7.31), (7.32) e (7.35) devono pertanto essere considerati come valori indicativi, mentre il progetto definitivo del buffer dovrebbe essere ottenuto utilizzando simulazioni circuitali che portano in conto tutti i parametri tecnologici.

ESERCIZIO Supponiamo di dover pilotare la capacità di 50 pF dell'Esempio 7.4 utilizzando un buffer composto da soli due invertitori, $N = 2$. Qual è la dimensione relativa degli invertitori in questo caso? Quanto vale il ritardo complessivo?

RISPOSTE 31.6; $63.2\tau_o$.

ESERCIZIO Dimostrare che: $z^{1/\ln z} = e$.

ESERCIZIO Calcolare le dimensioni relative degli invertitori del buffer dell'Esempio 7.4, nel caso in cui si sceglie $N = 7$. Confrontare l'area totale dei buffer progettati per $N = 6$ e per $N = 7$.

RISPOSTE 1, 2.68, 7.20, 19.3, 51.8, 139, 372; 462 volte l'area dell'invertitore ideale, 594 volte l'area dell'invertitore ideale.

7.9 La porta di trasmissione CMOS

La **porta di trasmissione (transmission gate)** di Figura 7.35 è un circuito utile sia in elettronica digitale che analogica. Il circuito consiste di due transistori, uno NMOS e uno PMOS, con i terminali di source e di drain collegati in parallelo, e con i terminali di gate pilotati da due segnali logici opposti in fase, indicati con A e $\bar{A}$. La porta di trasmissione viene utilizzata così spesso da consigliare l'utilizzo di un apposito simbolo, mostrato in Figura 7.35(c). Per $A = 0$, entrambi i transistori sono interdetti e la porta di trasmissione rappresenta un circuito aperto.

Quando la porta di trasmissione è in conduzione ($A = 1$), i terminali di ingresso e di uscita sono collegati attraverso il parallelo delle resistenze on dei due transistori, e la porta di trasmissione rappresenta un collegamento resistivo *bidirezionale*. Le resistenze on dei due dispositivi R_{onp} e R_{onn} , così come la resistenza on equivalente R_{EQ} , variano in funzione della tensione di ingresso v_I , come mostrato in Figura 7.36. Il valore di R_{EQ} è dato dal parallelo di R_{onn} e di R_{onp} :

$$R_{EQ} = \frac{R_{onp}R_{onn}}{R_{onp} + R_{onn}} \quad (7.37)$$

Dalla Figura 7.36 si vede come il transistor PMOS sia interdetto ($R_{onp} \rightarrow \infty$) per $v_I \leq 1.05$ V, mentre il transistor NMOS è in interdizione per $v_I \geq 1.56$ V. Con i parametri utilizzati in Figura 7.36, la resistenza on equivalente è sempre inferiore a 4 k Ω , e può essere ridotta aumentando i rapporti W/L sia del transistor a canale n che di quello a canale p .

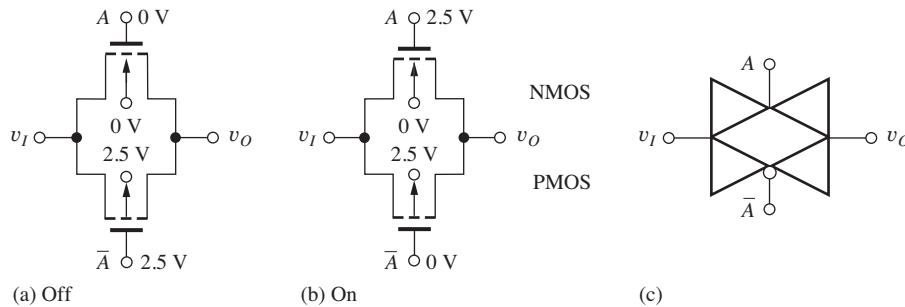


Figura 7.35

Porta di trasmissione CMOS. (a) Stato di interdizione (off). (b) Stato di conduzione (on). (c) Simbolo circuitale per la porta di trasmissione.

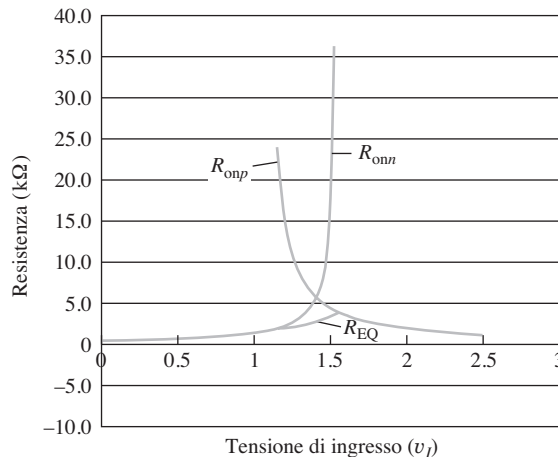


Figura 7.36

Resistenza on di una porta di trasmissione CMOS, incluso l'effetto body. Sono stati usati i parametri riportati in Tabella 7.1 con $(W/L)_N = (W/L)_P = 10/1$. Il valore massimo di R_{EQ} è di circa 4 k Ω .

ESERCIZIO Quali sono i rapporti W/L necessari nella porta di trasmissione di Figura 7.36 per assicurare $R_{EQ} \leq 1 \text{ k}\Omega$, se i rapporti W/L dei due transistori sono gli stessi?

RISPOSTE $W/L = 40/1$.

7.10 Circuito bistabile

In molti sistemi digitali è spesso necessario memorizzare temporaneamente dei dati mediante registri ad alta velocità. Questi registri possono essere collegati con l'esterno tramite interfacce parallele o seriali; possono includere numerosi **flip-flop** (FF) e registri a scorrimento. In questa sezione vedremo diversi esempi di circuiti che possono essere usati per questo scopo.

7.10.1 Latch bistabile

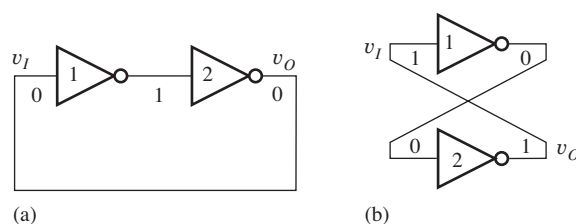
L'unità di memoria fondamentale è costituita da due invertitori in cascata, con l'uscita del secondo invertitore collegata all'ingresso del primo, come mostrato in Figura 7.37. Se l'ingresso del primo invertitore è 0, come mostrato in Figura 7.37(a), la sua uscita sarà pari a 1 e l'uscita del secondo invertitore sarà 0. In Figura 7.3(b), dove lo stesso circuito di Figura 7.37(a) è disegnato in modo differente, se l'ingresso del primo invertitore è 1, la sua uscita è 0, e l'uscita del secondo invertitore è 1. In entrambi i casi, l'uscita del secondo invertitore è connessa all'ingresso del primo invertitore per formare una configurazione con uno stato logico stabile. Poiché il circuito di Figura 7.37 ha due stati stabili, viene chiamato **bistabile**. Una coppia di invertitori collegati come in Figura 7.37(b) viene spesso chiamata **latch** (letteralmente: chiavistello). Questo circuito è spesso impiegato per studiare il margine di rumore delle porte logiche [6, 7].

Il funzionamento di un latch può essere compreso più facilmente facendo riferimento alla caratteristica di trasferimento di due invertitori in cascata, mostrata in Figura 7.38. Nella stessa figura è anche tracciata una retta con pendenza 1, che evidenzia la presenza di tre possibili punti di funzionamento per $v_I = v_O$. I punti con $v_O = V_L$ e con $v_O = V_H$ sono due punti stabili e rappresentano i due possibili stati in cui può trovarsi il latch.

Il terzo punto, posizionato a metà dell'escursione logica ($v_O \approx 1.5 \text{ V}$), rappresenta un punto di **equilibrio instabile**. Se il circuito si trova polarizzato in questo punto, è sufficiente un minimo disturbo per far effettuare al latch una rapida transizione verso uno dei suoi due stati stabili. Per esempio, supponiamo che l'invertitore operi con $v_I = v_O = 1.5 \text{ V}$, e che la tensione di ingresso aumenti leggermente. L'uscita evolverà immediatamente verso la V_H , a seguito della reazione positiva, ovvero della natura rigenerativa, del circuito. Un lieve disturbo negativo rispetto al punto di equilibrio di 1.5 V porterà l'uscita immediatamente a V_L . Utilizzando tecniche di analisi non lineare, che vanno al di là dello scopo di questo testo, si può effettivamente dimostrare che ogni perturbazione delle tensioni di uscita del latch viene rinforzata: l'uscita a potenziale più alto finirà per portarsi a livello logico 1, mentre l'uscita a potenziale più basso si porterà a livello logico 0.

I due punti stabili del latch sono ovviamente utilizzabili per immagazzinare un'informazione binaria. Vedremo peraltro nel Paragrafo 8.4 che il latch può essere forzato a operare nel punto di equilibrio instabile, e vedremo che questa modalità di funzionamento può essere molto utile per il progetto di amplificatori di lettura.

Figura 7.37
Due invertitori collegati in modo da formare un elemento bistabile o latch.



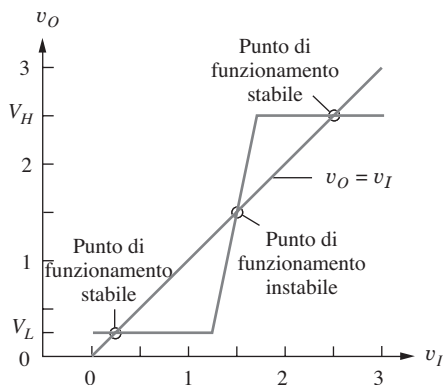


Figura 7.38

Caratteristica di trasferimento complessiva di due invertitori in cascata, con evidenziati i tre possibili punti di lavoro di un latch, per $v_O = v_I$.



ELETTRONICA IN AZIONE

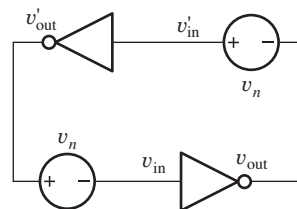
Un'altra definizione del margine di rumore

Nei Capitoli 6 e 7 abbiamo usato una definizione del margine di rumore basata sulla ricerca delle tensioni alle quali la pendenza della caratteristica di trasferimento (VTC) dell'invertitore assume il valore -1 . Questo metodo ha il vantaggio di essere relativamente semplice da comprendere e applicare; fornisce inoltre risultati ragionevoli per i margini di rumore delle porte logiche che abbiamo considerato nel testo. Tuttavia, in alcune circostanze, esso non produce risultati corretti.² A seguire viene presentato un metodo di applicazione più generale, basato sull'analisi grafica.

Il margine di rumore può essere interpretato come la quantità di rumore (v_n) necessaria per destabilizzare lo stato di in cui si trova un *latch* formato da una coppia di invertitori accoppiati collegati come mostrato nella figura a lato. Iniziamo la nostra analisi disegnando nella maniera tradizionale la VTC dell'invertitore posta nella parte inferiore, ossia riportando v_{out} in funzione di v_{in} . Nello schema osserviamo che, per l'invertitore che si trova nella parte superiore, v_{out} e v_{in} si scambiano: v_{out} diventa v'_{in} mentre v_{in} diventa v'_{out} . Possiamo quindi disegnare la VTC una seconda volta scambiando ora gli assi. I punti del grafico in cui le curve si intersecano corrispondono ai punti di funzionamento stabile e instabile della Figura 7.38. I punti stabili corrispondono a V_H e V_L . Il rumore (introdotto come due generatori di tensione con polarità tale da degradare gli ingressi di entrambi gli invertitori) riduce la separa-

zione tra le due curve; possiamo osservare che, se gli spostamenti causati dal rumore sullo stato logico alto e sullo stato logico basso sono sufficientemente grandi, allora le due curve non si intersecano più in due punti stabili, con conseguente destabilizzazione del *latch*.

Per trovare i margini di rumore, disegniamo un rettangolo con i lati paralleli agli assi cartesiani e compreso tra le due curve VTC, come mostrato nella prima figura a pagina seguente. Se, per esempio, vogliamo trovare margini di rumore equivalenti a quelli calcolati in precedenza, allora due vertici opposti del rettangolo devono toccare le due VTC nei punti in cui la pendenza vale -1 . La base del rettangolo rappresenta NM_L (0.42 V) mentre la sua altezza rappresenta NM_H (0.75 V); entrambi i valori sono prossimi a quelli riportati nella Tabella 6.6. È stato dimostrato³ che la definizione che impiega la ricerca delle tensioni per cui la derivata vale -1 è equivalente a massimizzare la somma di NM_H e NM_L .

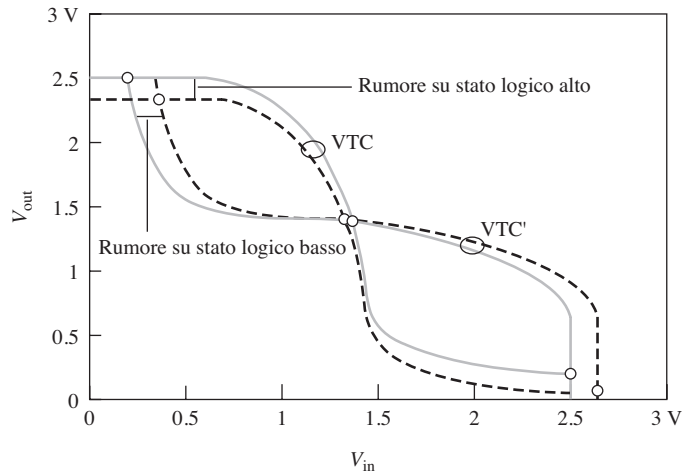


Accoppiamento mutuo di due invertitori (*latch*) con sorgenti di rumore.

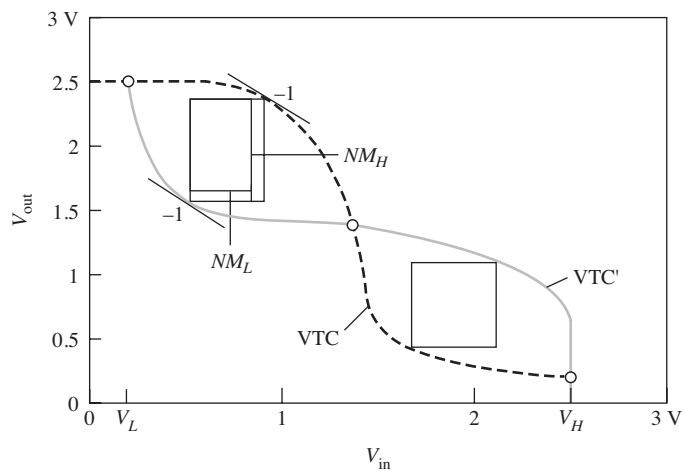
² R. Hauser, "Noise margin criteria for digital logic circuits", *IEEE Trans. on Education*, vol. 36, n. 4, pp. 363-368, novembre 1993.

³ J. Lohstroh, "Static and dynamic noise margins of logic circuits", *IEEE Journal of Solid-State Circuits*, vol. SC-14, pp. 591-598, giugno 1979.

Rappresentazione grafica del margine di rumore.



Rappresentazione grafica di VTC e VTC' con gli assi scambiati.



Molte altre definizioni del margine di rumore possono essere tuttavia introdotte. Se costruiamo il più grande quadrato racchiuso tra due curve VTC (come in basso a destra nella figura), troviamo il più grande valore del margine di rumore per cui $NM_L = NM_H$ (0.58 V). È possibile inoltre definire il

margine di rumore trovando i valori di NM_L e NM_H che massimizzano l'area del rettangolo compreso tra le due curve VTC. Va osservato che i valori di V_{IH} , V_{IL} , V_{OH} e V_{OL} dipendono proprio da come è stato definito il margine di rumore.

7.10.2 Flip-flop RS

Il **flip-flop RS** (flip-flop **reset-set**, o più brevemente **RS-FF**), può essere realizzato molto semplicemente utilizzando due porte NOR oppure due porte NAND per sostituire i due invertitori del latch elementare. Lo stato desiderato viene memorizzato nel flip-flop utilizzando i segnali di controllo R e S che consentono di *resettare* il flip-flop ($Q = 0$) o di *settarlo* ($Q = 1$).

La Figura 7.39 mostra lo schema di un flip-flop RS realizzato con due porte NOR a due ingressi; la tabella di verità corrispondente è riportata in Tabella 17.7. Se gli ingressi R e S sono a livello logico basso, essi sono entrambi inattivi e lo stato precedentemente immagazzinato nel flip-flop viene mantenuto. Se il segnale S è alto mentre R è basso, l'uscita $\overline{Q}$ si porta a livello basso, mentre Q diviene alta: in questo caso si dice che il flip-flop è nello stato di set. Viceversa, se R è alto mentre S è basso, il nodo Q è a zero mentre l'uscita $\overline{Q}$ è a livello logico alto e il flip-flop è nello stato di reset. Infine, se entrambi gli ingressi S e R sono alti, entrambi i nodi di uscita si portano a livello basso: lo stato finale del flip-flop sarà determinato dall'ingresso che rimane alto per il periodo di tempo più lungo. Lo stato $R = 1$, $S = 1$ viene usualmente evitato nel progetto logico di circuiti che utilizzano flip-flop RS.

Il flip-flop RS può essere realizzato anche utilizzando due porte NAND a due ingressi, come mostrato in Figura 7.40. In questo caso, il latch mantiene il suo stato fin quando entram-

bi gli ingressi $\bar{R}$ e $\bar{S}$ sono alti. Se l'ingresso $\bar{R}$ è portato a zero e $\bar{S}$ a 1, allora si ha il reset del flip-flop: l'uscita $\bar{Q}$ si alza mentre Q diviene zero. Se a questo punto $\bar{R}$ è riportato a 1, il flip-flop mantiene la condizione di reset. Se l'ingresso $\bar{S}$ diviene zero e $\bar{R}$ rimane 1, l'uscita Q si porta a 1 mentre $\bar{Q}$ diviene 0. Se ora $\bar{S}$ è riportato a 1 il flip-flop mantiene la condizione di set. Infine, se tutti e due gli ingressi $\bar{S}$ e $\bar{R}$ sono bassi, entrambe le uscite si portano a livello logico alto. Il funzionamento appena descritto è riassunto in Tabella 7.8.

I flip-flop delle Figure 7.39 e 7.40 utilizzano porte NOR e NAND in tecnologia CMOS. Se è possibile tollerare una certa dissipazione di potenza statica quando gli ingressi R e S sono entrambi attivi, allora è possibile utilizzare il circuito semplificato di Figura 7.41. Questo

Tabella 7.7 Flip-flop RS con porte NOR

R	S	Q	$\bar{Q}$
0	0	Q	$\bar{Q}$
0	1	1	0
1	0	0	1
1	1	0	0

Tabella 7.8 Flip-flop RS con porte NAND

$\bar{R}$	$\bar{S}$	Q	$\bar{Q}$
1	1	Q	$\bar{Q}$
0	1	0	1
1	0	1	0
0	0	1	1

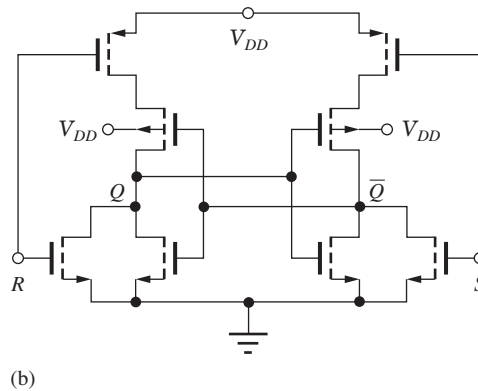
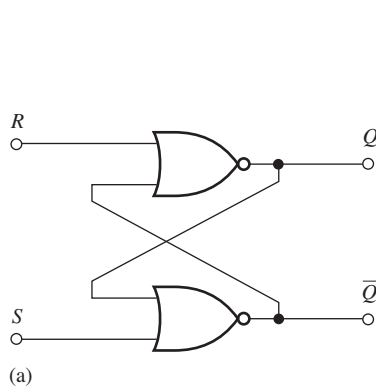


Figura 7.39

(a) Flip-flop RS con porte NOR.
(b) Flip-flop RS realizzato utilizzando una coppia di porte NOR in tecnologia CMOS.

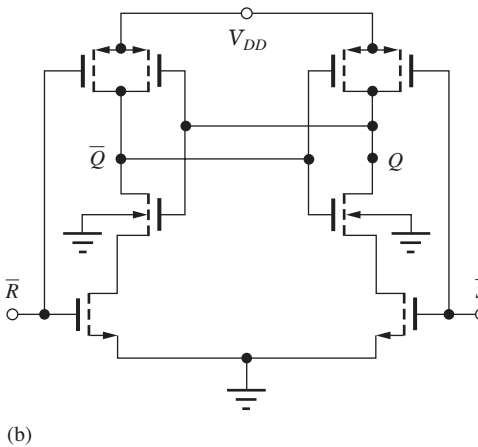
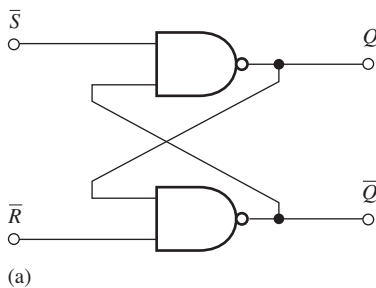


Figura 7.40

Flip-flop RS con porte NAND.
(b) Flip-flop RS realizzato utilizzando una coppia di porte NAND in tecnologia CMOS. Gli ingressi set e reset sono attivi a livello basso.

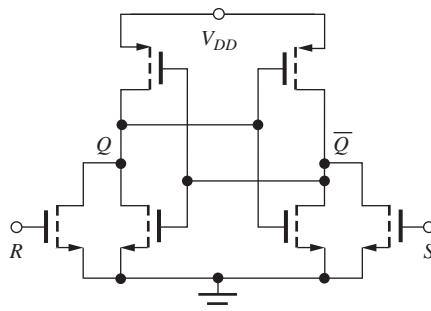
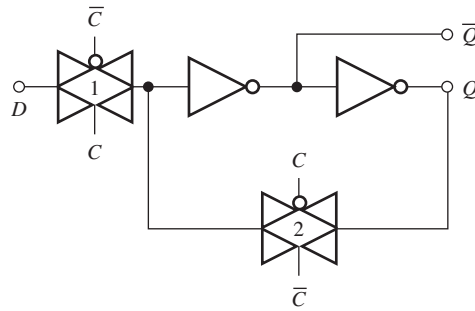


Figura 7.41

Flip-flop RS semplificato realizzato con due porte NOR.

Figura 7.42
Latch di tipo D.



circuito è essenzialmente il latch a due invertitori con l'aggiunta di due transistori pilotati da R e da S , che consentono di portare a livello logico basso una delle due uscite Q o $\bar{Q}$. Se entrambi gli ingressi sono 1, le due uscite si porteranno a zero e si verificherà un passaggio di corrente attraverso i dispositivi a canale p e i due NMOS pilotati da R e da S . Transistori PMOS possono essere usati in sostituzione dei transistori NMOS R e S per portare Q o $\bar{Q}$ verso V_{DD} .

7.10.3 Il latch di tipo D a porte di trasmissione

Un altro elemento di memoria comunemente adoperato è il **latch di tipo D**, mostrato in Figura 7.42, che si basa sulla porta di trasmissione CMOS descritta nel Paragrafo 7.10. In questo circuito, quando il segnale di clock è a un livello alto ($C = 1$), la porta di trasmissione 1 è in conduzione mentre la porta di trasmissione 2 è interdetta e lo stato dell'ingresso D viene trasferito, attraverso la coppia di invertitori, alle uscite Q e $\bar{Q}$. Dunque, in questo circuito l'uscita Q segue le eventuali variazioni dell'ingresso D fin quando $C = 1$. Quando il segnale di clock si porta a zero l'ingresso D è disabilitato e lo stato della coppia di invertitori viene memorizzato, grazie alla presenza della porta di trasmissione 2 che è ora in conduzione. Lo stato delle uscite Q e $\bar{Q}$ rimane costante fin quando $C = 0$.

7.10.4 Flip-flop D master-slave

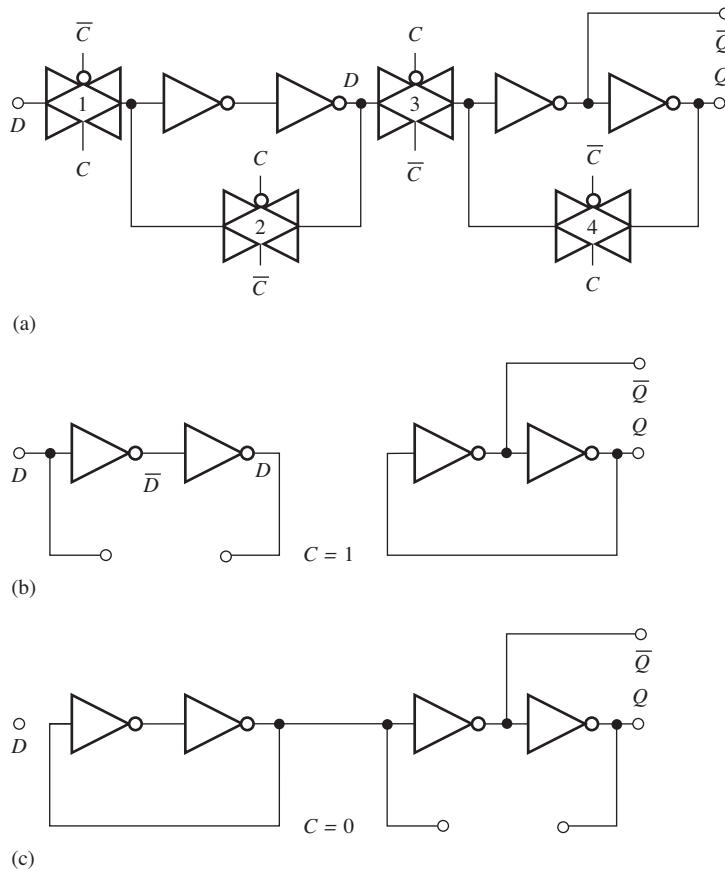
Il **flip-flop D (D-FF)** di tipo **master-slave** (letteralmente, *padrone-schiavo*) mostrato in Figura 7.43 è un elemento di memoria in cui il dato è stabile durante entrambe le fasi del clock. Il dato di ingresso viene memorizzato nel flip-flop in corrispondenza di una delle commutazioni (alto-basso oppure basso-alto) dal clock. Più flip-flop D master-slave possono essere posti in cascata per formare un registro a scorrimento.

Il D-FF di Figura 7.43 è ottenuto ponendo in cascata una coppia di latch D che operano sui due livelli del clock.

Quando il clock $C = 1$, le porte di trasmissione 1 e 4 sono in conduzione, mentre le porte 2 e 3 sono interdette, dando luogo al circuito semplificato di Figura 7.43(b). Il segnale D è collegato all'ingresso della prima coppia di invertitori e si ripresenta all'uscita del secondo invertitore. La seconda coppia di invertitori forma un latch che mantiene in uscita il dato acquisito in precedenza.

Quando il clock cambia stato, come mostrato in Figura 7.43(c), la porta di trasmissione 1 disconnette l'ingresso D mentre la porta di trasmissione 2, assieme alla prima coppia di invertitori, realizza un latch, che memorizza il dato presente sull'ingresso D un istante prima della transizione del clock. Durante il breve intervallo di tempo corrispondente alla transizione del clock, il dato sull'ingresso D viene temporaneamente immagazzinato sulle capacità di ingresso dei due invertitori. Grazie alla porta di trasmissione 3, il dato immagazzinato è portato sui terminali di uscita Q e $\bar{Q}$: in questo modo Q diviene uguale al dato originariamente presente sull'ingresso D in corrispondenza della transizione del clock da 1 a 0.

Si noti che il dato all'uscita del flip-flop master-slave è costante durante entrambe le fasi del clock, a eccezione del tempo necessario a far cambiare stato ai latch. Si noti ancora che non è mai presente un cammino che collega direttamente l'ingresso D alle uscite Q e $\bar{Q}$.

**Figura 7.43**

Flip-flop D master-slave.
 (a) Circuito complessivo.
 (b) Flip-flop con $C = 1$.
 (c) Flip-flop con $C = 0$.

7.11 Il problema del *latchup*

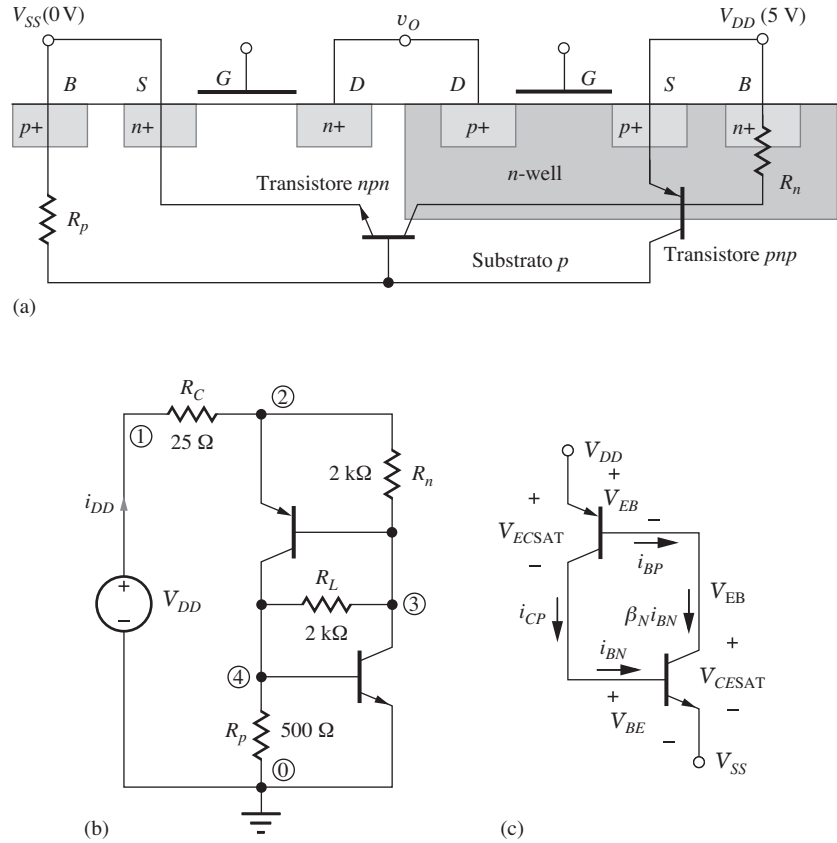
La struttura CMOS contiene dei **transistori bipolari parassiti** che, se portati in conduzione, possono provocare la distruzione del circuito. Fortunatamente, questi dispositivi bipolari non sono normalmente attivi, ma è importante sapere che sono sempre presenti nel circuito ed è ancora più importante conoscere il fenomeno cui danno luogo qualora entrino in conduzione. Questo fenomeno viene spesso indicato con il termine di *latchup*. La Figura 7.44(a) mostra la sezione di un circuito CMOS; si nota la presenza di un transistor *pnp* formato dalle regioni di source dei dispositivi PMOS, dalla *n*-well e dal substrato di tipo *p*. Analogamente, si può identificare un transistor *nnp*, formato dalle regioni di source degli NMOS, dal substrato di tipo *p* e dalla *n*-well. I due transistori *nnp* e *pnp* sono fra loro collegati, come mostrato in Figura 7.44(b). Le resistenze R_n e R_p rappresentano le resistenze serie che esistono fra i morsetti di alimentazione e i terminali di base dei transistori bipolari.

Se le correnti che attraversano R_n e R_p nel circuito di Figura 7.44(b) sono nulle, le tensioni base-emettitore di entrambi i transistori bipolari sono pari a zero, ed entrambi i dispositivi sono interdetti. La tensione di alimentazione $V_{DD} - V_{SS}$ appare ai capi della giunzione inversamente polarizzata well-substrato, che forma la giunzione base-collettore dei due transistori bipolari parassiti. Se, tuttavia, si manifesta una corrente di base in uno dei due transistori bipolari, si può innescare il fenomeno del *latchup*, con il conseguente passaggio di elevate correnti, che possono distruggere il circuito. In condizioni di *latchup*, la corrente è limitata soltanto dai componenti esterni al circuito, rappresentati dal resistore R_C nel circuito di Figura 7.44(b).

Il problema può essere meglio compreso considerando il circuito semplificato di Figura 7.44(c), in cui le resistenze R_n e R_p sono state trascurate. Supponiamo che nella base del transistor *nnp* fluisca una corrente i_{BN} . Questa corrente viene amplificata dal guadagno di corrente β_N del transistor *nnp* e si ha così una corrente $\beta_N i_{BN}$ che fluisce nel collettore di

Figura 7.44

(a) Sezione di un circuito CMOS, con i transistori parassiti *nnp* e *pnp*. (b) Circuito per la simulazione SPICE del fenomeno del *latchup*, con i transistori R_n e R_p (vedi il testo per quanto riguarda la R_L). (c) Struttura rigenerativa formata dai transistori parassiti *nnp* e *pnp*.



questo transistor. Dalla Figura 7.44(c), si vede come la corrente di collettore del transistor *nnp* sia in effetti coincidente con la corrente di base del transistor *pnp*: $i_{BP} = \beta_N i_{BN}$. La corrente di base del dispositivo *pnp* è a sua volta amplificata dal guadagno di corrente β_P . La corrente di collettore del transistor *pnp* può quindi essere espressa come:

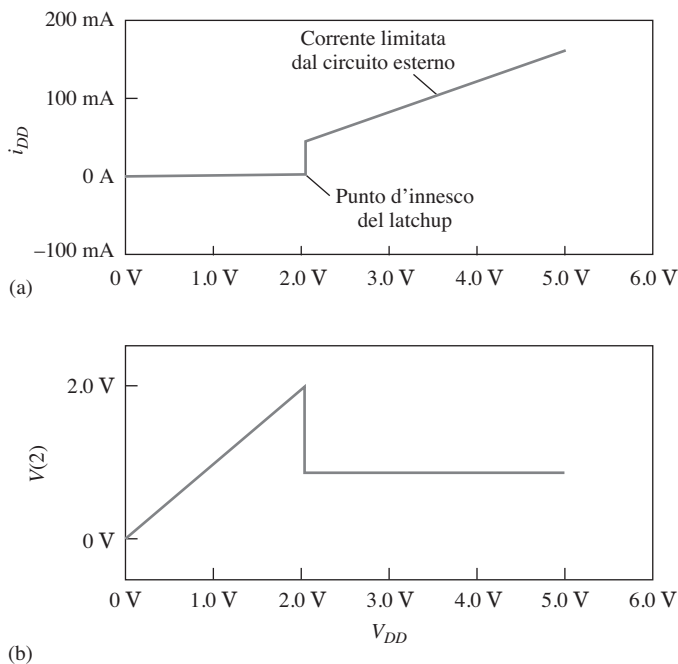
$$i_{CP} = \beta_P i_{BP} = \beta_P (\beta_N i_{BN}) \quad (7.38)$$

D'altro canto, la corrente di collettore del *pnp*, i_{CP} , è uguale alla corrente di base del transistor *nnp*, i_{BN} . Se il prodotto dei due guadagni di corrente $\beta_N \beta_P$ è maggiore di uno, allora la corrente che circola nel circuito può crescere senza limitazioni. Questa situazione è chiamata *latchup*. Una volta che il circuito è in condizioni di *latchup*, entrambi i transistori bipolari saturano e la tensione ai capi della struttura collassa a un valore dato dalla somma della caduta di tensione ai capi di un diodo e della tensione di saturazione:

$$V = V_{EB} + V_{CESAT} = V_{BE} + V_{ECSAT} \quad (7.39)$$

Le resistenze R_n e R_p mostrate in Figura 7.44 giocano un ruolo importante nel determinare le condizioni di innesco del *latchup* in una struttura CMOS reale. Come osservato in precedenza, il *latchup* non potrebbe manifestarsi in una struttura ideale con $R_n = R_p = 0$. Le tecnologie CMOS moderne utilizzano particolari accorgimenti al fine di minimizzare i valori di queste due resistenze.

I risultati di simulazioni SPICE del circuito in Figura 7.44(b) sono riportati in Figura 7.45. Nel circuito simulato è stato aggiunto un resistore R_L in parallelo alla giunzione base-collettore dei due transistori, in modo da consentire l'innesco del *latchup*. Come evidenziato in Figura 7.45, prima del *latchup* tutte le correnti sono molto piccole e la tensione $V(2)$ al nodo 2 è direttamente proporzionale alla tensione di ingresso V_{DD} . Quando si innesca il *latchup*, la tensione ai capi della struttura CMOS collassa a un valore di circa 0.8 V, mentre la corrente assorbita dal circuito cresce al valore $(V_{DD} - 0.8 \text{ V})/R_C$. Il livello di corrente è limitato soltanto dalla resistenza esterna R_C . Un circuito CMOS può essere irrimediabilmente danneggiato dall'innesco del *latchup*, sia a causa degli elevati valori di corrente, sia per l'elevata dissipazione di potenza.

**Figura 7.45**

Simulazione SPICE del latchup nel circuito di Figura 7.44(b):
(a) corrente erogata dalla V_{DD} ,
(b) tensione al nodo 2.

In pratica, il *latchup* non si manifesta durante il funzionamento normale di un circuito CMOS. Il fenomeno può innescarsi a causa di una sovratensione che può momentaneamente portare il potenziale di alcune regioni di source o di drain a valori di tensione maggiori di quelli di alimentazione. Radiazioni ionizzanti o un'intensa illuminazione del circuito sono due ulteriori cause di innesco del *latchup*.

Vale la pena notare che in questo paragrafo abbiamo affrontato un nuovo problema di modellistica. La Figura 7.44(a) mostra la sezione di una complessa struttura tridimensionale, mentre le Figure 7.44(b) e 7.44(c) tentano di rappresentare o di modellare questa complessa struttura utilizzando una rete semplificata composta da alcuni transistori e resistori. È chiaro che la Figura 7.44(b) rappresenta soltanto un modello di prima approssimazione della situazione reale, per cui non dovrebbero sorprendere sensibili differenze fra i risultati forniti dal modello e le misure eventualmente realizzate. È facile dimenticare che uno schema circuitale rappresenta generalmente solo un modello idealizzato per il comportamento di un sistema molto più complesso.

Riferimenti bibliografici

- [1] F.M. Wanlass e C.T. Sah, "Nanowatt logic using field-effect metal-oxide-semiconductor triodes", *IEEE International Solid-State Circuits Conference Digest*, vol. VI, pp. 32-33, febbraio 1963.
- [2] J.D. Meindl e J.A. Davis, "The fundamental limit on binary switching energy for terascale integration (TSI)", *IEEE Journal of Solid-State Circuits*, vol. 35, no. 10, pp. 1515-1516, ottobre 2000.
- [3] R.M. Swanson e J.D. Meindl, "Ion-implanted complementary MOS transistors in low-voltage circuits", *IEEE Journal of Solid-State Circuits*, vol. SC-7, no. 2, pp. 146-153, aprile 1972.
- [4] H.C. Lin e L.W. Linholm, "An optimized output stage for MOS integrated circuits", *IEEE Journal of Solid-State Circuits*, vol. 10, pp. 106-109, aprile 1975.
- [5] R.C. Jaeger, "Comments on 'An optimized output stage for MOS integrated circuits'", *IEEE Journal of Solid-State Circuits*, vol. 10, pp. 185-186, giugno 1975.
- [6] J.R. Houser, "Noise margin criteria for digital logic circuits", *IEEE Trans. on Education*, vol. 36, no. 4, pp. 363-368, novembre 1993.
- [7] J. Lohstroh, E. Seevinck e J. Degroot, "Worst-case static noise margin criteria for logic circuits and their mathematical equivalence", *IEEE Journal of Solid-State Circuits*, vol. SC-18, no. 6, pp. 803-806, dicembre 1983.

Memorie MOS e circuiti sequenziali

8

Obiettivi

In questo capitolo impareremo a conoscere i fondamenti del progetto dei circuiti di memoria e in particolare:

- L'organizzazione dei chip di memoria.
- I circuiti di memorie statiche che impiegano celle a sei transistori.
- I circuiti per memorie dinamiche, incluse le celle a uno e quattro transistori.
- L'amplificatore di lettura, necessario per leggere le informazioni conservate nelle celle di memoria.
- I decodificatori di riga e indirizzo, usati per selezionare una cella in un banco di memoria.
- I pass-transistor.
- Le memorie a sola lettura.
- Le memorie flash.

Negli ultimi anni, le memorie ad alta densità sono state tra i componenti che hanno permesso all'industria dei circuiti integrati di sviluppare circuiti sempre più compatti.

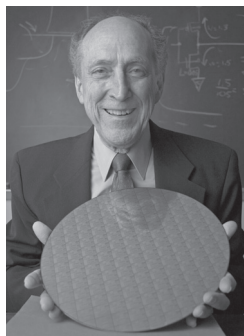
A metà degli anni '60 del secolo scorso, la prima memoria ad accesso casuale (RAM, *Random-Access Memory*) basata su tecnologia MOS [1] fu presentata in occasione della conferenza IEEE International Solid-State Circuits (ISSCC) [2]; il primo chip di memoria da 1024 bit fu commercializzato nel 1974 [3]. Nel 2000, chip sperimentali da un gigabit furono presentati a ISSCC [3] e la tecnologia alla base delle future memorie da un gigabit è stata discussa in occasione dell'IEEE International Electron Devices Meeting (IEDM) [4].

Sono occorsi solo 30 anni, quindi, per aumentare di un milione di volte la capacità di immagazzinamento dei dati rispetto al primo chip RAM basato su MOS: il circuito che ha reso possibile questo incredibile sviluppo è

chiamato **cella di memoria RAM a un transistor**, o 1-T DRAM.

Questo elegante circuito, che necessita solamente di un transistor e di un condensatore per memorizzare un singolo bit [5], fu inventato nel 1966 da Robert H. Dennard, del Centro di Ricerca IBM Thomas J. Watson e brevettato nel 1968. In tale circuito, l'informazione binaria è memorizzata come carica del condensatore e deve essere periodicamente aggiornata al fine di evitare perdite di informazione; in aggiunta, il processo di lettura in molti circuiti DRAM comporta la distruzione dell'informazione presente: il dato deve essere quindi riscritto nella cella.

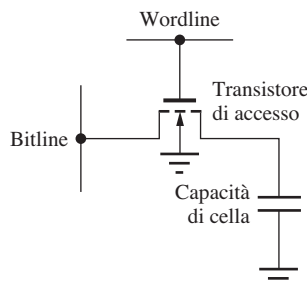
All'epoca della sua invenzione, Dennard e pochi suoi colleghi erano probabilmente i soli a credere che questo circuito potesse funzionare; oggi, le celle DRAM 1-T sono probabilmente il circuito elettronico più diffuso al mondo.



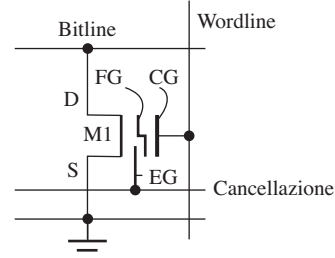
Robert H. Dennard, inventore della cella di memoria DRAM a 1 transistor. [Foto: © Business Wire/Handout/Getty Images.]



Fujio Masuoka, inventore della memoria flash. [Foto: © 2014 IEEE.]



Cella di memoria DRAM a 1 transistor.



Cella di memoria flash [6]. Gate isolato (FG, *floating gate*), gate di controllo (CG, *control gate*), gate di cancellazione (EG, *erase gate*).

Recentemente, un numero sempre crescente di dispositivi portatili a basso consumo impiegano le cosiddette memorie flash, inventate da Fujio Masuoka [6, 7] della Tokyo Shibaura Electric Co. Ltd., ora Toshiba Corporation. I telefoni cellulari conservano i dati dei propri utenti in memorie flash, che sono usate anche dalle macchine fotografiche digitali e dai riproduttori musicali; è comune conservare dati informatici in chiavette USB

basate su memorie flash. Queste memorie sono non volatili e conservano anche in assenza di alimentazione l'informazione memorizzata; in presenza di alimentazione, esse possono essere sia lette che scritte. Nell'ultimo decennio, questi dispositivi sono diventati un valido sostituto per i dischi rigidi usati nei computer e le memorie flash hanno ormai superato le DRAM in quanto a numero di bit venduto all'anno [8].

8.1 Memorie ad accesso casuale

Nei capitoli precedenti il nostro studio dei circuiti logici si è concentrato sull'analisi e sul progetto di invertitori e di circuiti combinatori. Oltre a questi elementi, i sistemi digitali richiedono in generale la capacità di memorizzare dati mediante registri a elevata velocità di accesso, **memorie ad accesso casuale RAM**, *Random-Access Memory*) ad alta densità, e **memorie a sola lettura (ROM, Read Only Memory)**.

Nei sistemi digitali, il termine RAM viene adoperato per indicare memorie con capacità sia di lettura che di scrittura. Questo tipo di memoria viene adoperato quando l'informazione immagazzinata deve essere modificata frequentemente. La velocità di lettura e di scrittura di un dato immagazzinato in una memoria RAM è uguale per tutte le celle della memoria.

I primi circuiti di memoria erano **RAM statiche**, o **SRAM**. In una SRAM l'informazione rimane immagazzinata nella memoria fin quando viene mantenuta la tensione di alimentazione. La cella SRAM richiede l'equivalente di sei transistori per bit di memoria, e consente una lettura non distruttiva delle informazioni memorizzate.

In una **RAM dinamica** o **DRAM** l'informazione viene memorizzata temporaneamente come carica in una capacità, e il dato deve essere periodicamente *ripristinato*, per evitare la perdita di informazioni. Il processo di lettura di un dato, in gran parte delle DRAM, determina la distruzione dell'informazione precedentemente immagazzinata, per cui, al termine dell'operazione di lettura, il dato letto deve essere nuovamente riscritto in memoria.

Poiché una cella SRAM richiede un'occupazione di area sensibilmente maggiore rispetto a quella di una DRAM, un chip di memoria SRAM, tipicamente, ha una capacità quattro volte inferiore rispetto a una memoria DRAM realizzata con la stessa tecnologia. Ad esempio, utilizzando la stessa tecnologia costruttiva, è possibile realizzare in un chip di una data area una memoria DRAM da 256 Mb,¹ oppure una SRAM da 64 Mb. La maggior parte delle RAM con densità inferiori a 4 Mb fornisce un singolo bit di uscita, ma, grazie all'aumento della capacità dei chip di memoria più avanzati, l'interfaccia esterna in molte memorie è ora progettata a quattro, otto o più bit.

Le memorie a sola lettura, o **ROM**, rappresentano un'altra importante classe di memorie. In questo caso, i dati sono immagazzinati permanentemente all'interno della struttura fisica della memoria. Una tecnologia simile a quella adoperata nelle ROM viene utilizzata anche per la realizzazione di **matrici logiche programmabili** o **PLA** (*Programmable Logic Array*).

8.1.1 Architettura delle memorie ad accesso casuale (RAM)

Le memorie ad accesso casuale (RAM) vengono largamente utilizzate come memorie temporanee nei computer. Sia i moderni sistemi operativi sia gli attuali programmi di *word processing* o di *desktop publishing* richiedono spesso decine di megabyte di RAM per il loro funzionamento. Dunque, è ormai comune anche per un personal computer disporre di gigabyte (GB) di RAM (1 byte = 8 bit), o anche di più. Computer a elevate prestazioni possono disporre anche di centinaia di gigabyte di RAM.

Può stupire il fatto che un singolo chip da 1 Gb contenga 128 MB di memoria e sia costituito da oltre due miliardi di componenti elettronici, ognuno dei quali deve funzionare cor-

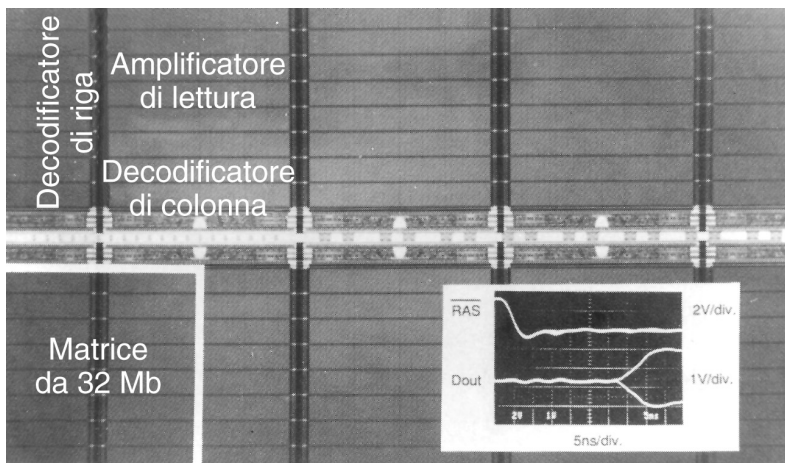
¹ L'unità b indica i bit mentre B indica i byte. Prefissi standard per indicare multipli di numeri binari sono $Ki = 2^{10} = 1024 \approx 10^3$, $Mi = 2^{20} = 1\,048\,576 \approx 10^6$ e $Gi = 2^{30} = 1\,073\,741\,824 \approx 10^9$. È tuttavia comune indicare questi prefissi come K, M, G, generando una confusione, generalmente risolvibile dal contesto, con i corrispondenti prefissi del Sistema Internazionale.

rettamente per garantire il corretto funzionamento del chip! Solo la struttura molto regolare e ripetitiva dei circuiti di memoria consente di realizzare dei circuiti integrati di questa complessità. In questo paragrafo analizziamo la struttura di base di una memoria RAM, mentre nei paragrafi successivi studieremo in dettaglio il funzionamento delle singole celle di memoria e degli altri circuiti presenti in una memoria ad alta densità.

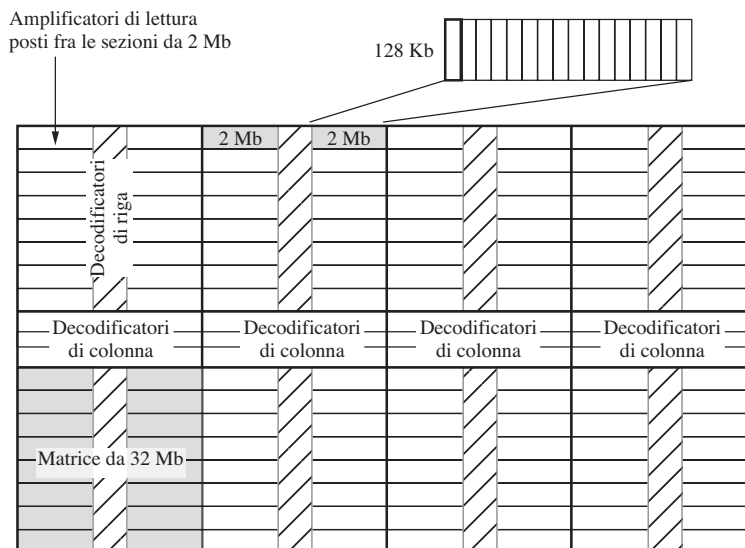
8.1.2 Un chip di memoria da 256 Mb

La Figura 8.1(a) mostra la fotografia al microscopio di un chip di memoria da 256 Mb [8], e la Figura 8.1(b) la struttura della memoria. Internamente, la matrice (*array*) di memoria da 256 Mb è suddivisa in otto sotto-matrici da 32 Mb. Ogni sotto-matrice da 32 Mb è a sua volta suddivisa in 16 sezioni da 2 Mb, ognuna delle quali contiene 16 blocchi da 128 Kb. Dunque, il blocco di memoria da 128 Kb rappresenta l'elemento base della matrice di memoria da 256 Mb.

Opportuni **decodificatori di riga e di colonna** decodificano l'indirizzo di memoria, per poter selezionare un gruppo di bit nella matrice. In Figura 8.1(b), i decodificatori di colonna sono posti al centro del circuito integrato, suddividendolo in due metà, una inferiore e una superiore. Al centro di ogni sotto-matrice di memoria da 32 Mb sono posti i decodificatori di riga. La Figura 8.2 mostra uno schema a blocchi di una matrice di memoria, che potrebbe corrispondere a uno dei blocchi da 128 Kb (2^{17} bit, $1 \text{ Kb} = 2^{10}$ bit) di Figura 8.1. La memoria di Figura 8.2 contiene 2^{M+N} locazioni di memoria; l'indirizzo complessivo è suddiviso in M bit di indirizzo di riga e in N bit di indirizzo di colonna. A ognuno degli in-



(a)



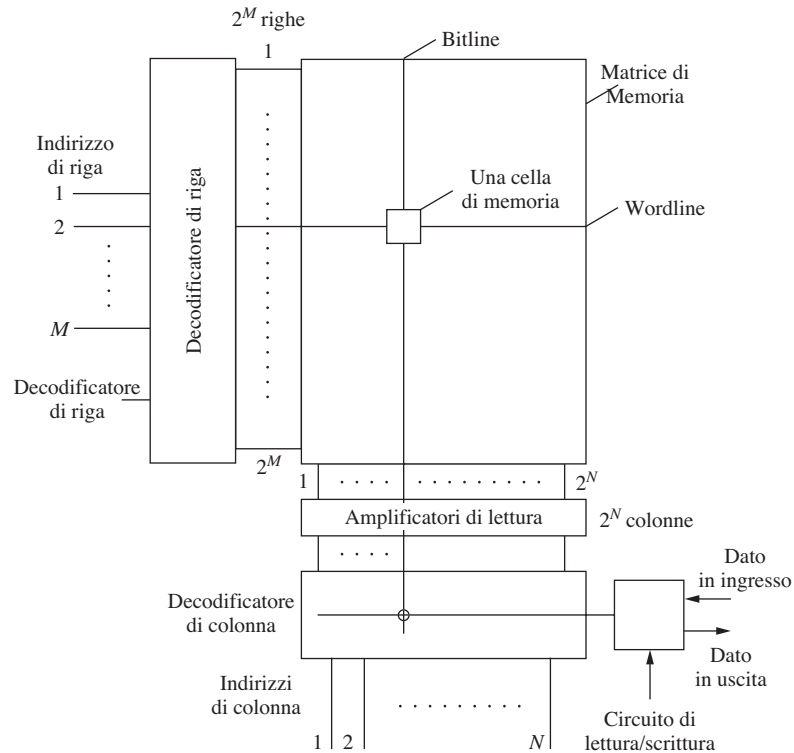
(b)

Figura 8.1

Chip di una memoria RAM da 256 Mb. (a) Fotografia della RAM e forme d'onda misurate. (b) Rappresentazione delle varie parti che compongono la memoria. [M. Asakura, *et al.*, "A 34 ns 256 Mb DRAM with boosted sense-ground scheme", Solid-State Circuits Conference, 1994. Digest of Technical Papers. Vol. 37. pp. 140-141, 324. Figura 6. © 1994 IEEE, riproduzione autorizzata.]

Figura 8.2

Schema a blocchi di una matrice di memoria.



indirizzi rappresentabili con gli $(M + N)$ bit a disposizione, corrisponde una singola cella di memoria nella matrice. Ad esempio, per il blocco di memoria da 128 Kb di Figura 8.1(b) si ha $M = 10$ e $N = 7$. Dopo aver selezionato una certa cella di memoria, è possibile scrivervi un dato, oppure leggerne il contenuto. La matrice di memoria dispone di un insieme di **amplificatori di lettura** (*sense amplifier*), necessari per leggere l'informazione contenuta nella cella di memoria selezionata.

Quando si seleziona una riga della matrice di memoria, si accede in parallelo a una parola, o word, che nel nostro esempio di riferimento è di 128 bit ($128 = 2^7$). Le linee che consentono la selezione di una riga della matrice di memoria vengono chiamate **linee di parola**, o **wordline (WL)**. Le linee che corrono in direzione verticale contengono i dati delle celle di memoria, e vengono pertanto dette **linee di dato** o **bitline (BL)**. A seconda del tipo di memoria, ogni cella della matrice può essere collegata a una oppure a due bitline; inoltre celle adiacenti possono avere alcune bitline in comune. L'indirizzo di colonna a N bit viene utilizzato per selezionare il singolo bit (o il gruppo di bit) che viene effettivamente trasferito all'uscita durante un'**operazione di lettura**, o modificato durante un'**operazione di scrittura**.

Oltre alla matrice di memoria, un chip di memoria richiede la presenza di molti altri circuiti periferici. Ad esempio, sono ovviamente necessari dei circuiti decodificatori per selezionare la riga e la colonna desiderata; inoltre, le wordline presentano un elevato carico capacitivo per i decodificatori di riga, e quindi sono necessari degli opportuni circuiti per il pilotaggio di queste linee. Infine, durante le operazioni di lettura il segnale proveniente dalla cella di memoria selezionata può essere molto piccolo, per cui è necessaria la presenza di amplificatori di lettura per individuare lo stato della cella di memoria e per amplificarne il segnale, riportandolo a livelli compatibili con i circuiti logici esterni. Nei prossimi paragrafi studieremo i circuiti utilizzati per realizzare le celle di memoria statiche e dinamiche, gli amplificatori di lettura e i circuiti decodificatori, sia statici che dinamici.

ESERCIZIO (a) Quanti blocchi di memoria da 128 Kb compongono la memoria da 256 Mb?
 (b) Una memoria da 1 Gb viene ottenuta raddoppiando le dimensioni della matrice principale in Figura 8.1 ($32 \text{ Mb} \rightarrow 128 \text{ Mb}$, $2 \text{ Mb} \rightarrow 8 \text{ Mb}$, $128 \text{ Kb} \rightarrow 512 \text{ Kb}$). Quanti segmenti da 512 Kb sono richiesti nella memoria da 1 Gb?

RISPOSTE 2048; 2048.

8.2 Celle di memoria statiche

Le memorie statiche si basano sul circuito latch, già descritto in dettaglio nella Sezione 7.10. Tale circuito è formato da due invertitori collegati (Figura 7.35) e ha due punti di operazione stabili e uno instabile (Figura 7.36).

I due punti stabili del latch sono ovviamente utilizzabili per immagazzinare un'informazione binaria. Vedremo peraltro nel Paragrafo 8.4 che il latch può essere forzato a operare nel punto di equilibrio instabile, e vedremo che questa modalità di funzionamento può essere molto utile per il progetto di amplificatori di lettura.

8.2.1 La cella di memoria a sei transistori (6-T)

Come già detto in precedenza, il latch rappresenta l'unità di memoria fondamentale di una memoria statica. In Figura 8.3 al latch sono stati aggiunti due transistori, allo scopo di isolarlo dagli altri latch e di permettere inoltre un trasferimento dei dati, sia per le operazioni di scrittura sia per quelle di lettura. Per questa funzione, i due dispositivi M_{A1} e M_{A2} sono definiti *transistori di accesso*. In tecnologia NMOS o CMOS, ogni invertitore richiede due transistori, e quindi il circuito di Figura 8.3 viene usualmente definito come **cella di memoria statica SRAM a sei transistori (6-T)**. Si noti che la cella 6-T fornisce in uscita sia il dato D (nodo D_1) che il suo complemento (nodo D_2).

La Figura 8.4 mostra una realizzazione in tecnologia CMOS della cella 6-T. Il vantaggio relativo all'utilizzo di circuiti CMOS consiste nell'assenza di passaggio di corrente all'interno degli invertitori in condizioni stazionarie, per cui la dissipazione di potenza statica è data dalla sola corrente di leakage. Grazie alla maggiore mobilità e alla ridotta resistenza on, a parità di W/L , i dispositivi di accesso M_{A1} e M_{A2} sono realizzati con transistori NMOS. In alcuni casi, è possibile adoperare con successo anche dispositivi PMOS.

Il progetto di una cella 6-T deve tener conto di un insieme di specifiche, fra loro contrastanti. Infatti, durante un'operazione di lettura, lo stato della cella di memoria deve essere determinato attraverso i transistori di accesso, senza modificare il dato contenuto nella cella. D'altro canto, durante un'operazione di scrittura, il dato nella cella deve essere forzato al valore desiderato, utilizzando gli stessi dispositivi di accesso. Nel prosieguo assumeremo che uno 0 nella cella di memoria corrisponde a un livello basso (0 V) sul nodo D_1 , e a un livello alto (V_{DD}) sul nodo D_2 . Viceversa, un 1 nella cella di memoria corrisponderà a un livello alto (V_{DD}) sul nodo D_1 e a un livello basso (0 V) sul nodo D_2 .

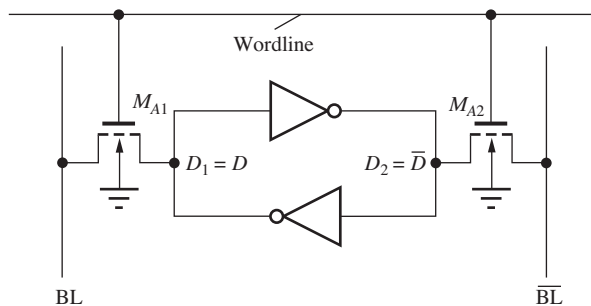


Figura 8.3

Cella di memoria statica elementare formata da un latch e da due transistori di accesso M_{A1} e M_{A2} .

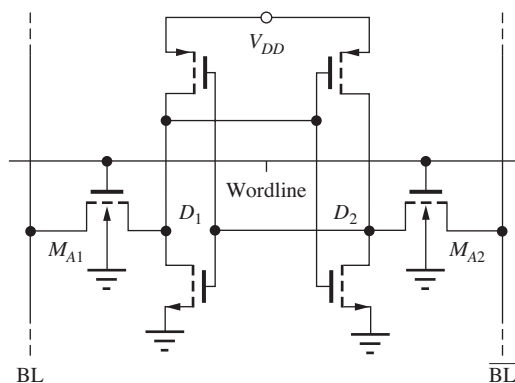
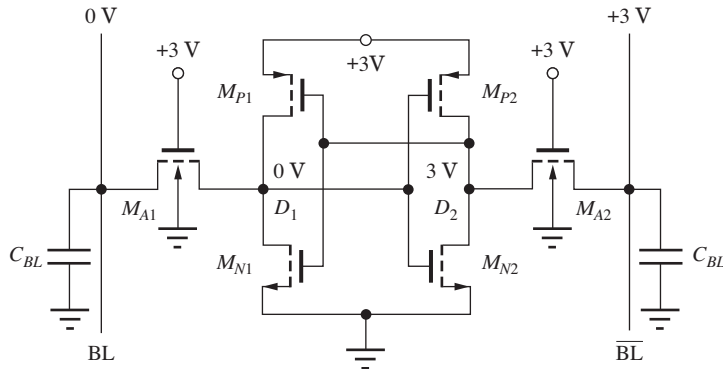


Figura 8.4

(a) Cella di memoria CMOS a sei transistori (6-T).

**Figura 8.7**

Tensioni nella cella 6-T, al termine dell'operazione di lettura.

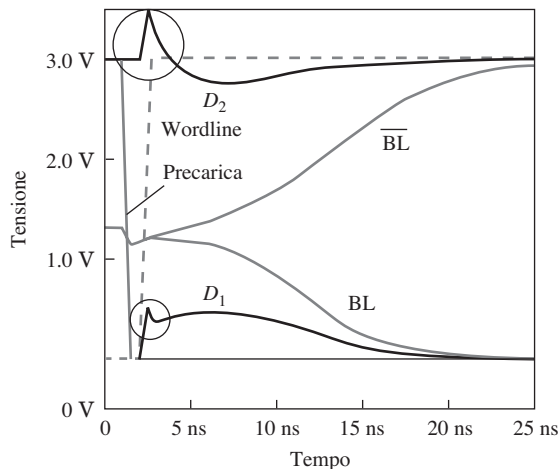
gazzinato nella cella è opportuno che la tensione sul nodo D_1 rimanga al disotto della tensione di soglia di M_{N2} , e che la tensione al nodo D_2 rimanga sufficientemente alta ($> 3 - |V_{TP}|$) in modo da mantenere M_{P1} in interdizione. La differenza di potenziale fra le due bitline viene amplificata dall'amplificatore di lettura che porta rapidamente il potenziale di BL a 0 V e quello di $\overline{BL}$ a 3 V.

La Figura 8.7 mostra le tensioni nel circuito al termine dell'operazione di lettura. Le tensioni sui nodi D_1 e D_2 sono mantenute a 0 e a 3 V dal latch della cella di memoria elementare; il potenziale di BL è uguale a quello di D_1 e quello di $\overline{BL}$ è uguale alla tensione su D_2 . I transistori M_{A1} e M_{A2} sono in regione lineare ma non conducono corrente, poiché $V_{DS} = 0$.

È interessante notare che in Figura 8.6 il source di M_{A1} è collegato alla cella, mentre il source di M_{A2} è collegato alla bitline. Questo è un esempio della natura bidirezionale dei MOSFET. Il source e un drain di un MOSFET sono sempre determinati dalla polarità della differenza di potenziale fra i due morsetti.

Anziché sviluppare un'analisi manuale del funzionamento di questo complesso circuito, consideriamo le forme d'onda di Figura 8.8, ottenute da una simulazione SPICE. In questa simulazione abbiamo assunto una capacità totale di carico su ogni bitline di 500 fF, mentre i rapporti W/L di tutti i dispositivi nella cella di memoria sono 1/1. In Figura 8.8, si può osservare che le bitline vengono precaricate a una tensione leggermente inferiore a $V_{DD}/2$, circa 1.3 V. Il comando di precarica viene disattivato all'istante $t = 1$ ns, e a $t = 2$ ns la wordline inizia la sua transizione fra 0 e 3 V. Quando i due transistori di accesso M_{A1} e M_{A2} entrano in conduzione, le tensioni sulle due bitline cominciano a divergere; l'amplificatore di lettura amplifica questa differenza di potenziale, fino a portare la tensione su BL a 0 V e quella su $\overline{BL}$ a 3 V. Si osservi come la tensione sui due nodi D_1 e D_2 sia "disturbata" durante la fase di lettura, senza peraltro produrre alcuna modifica al dato immagazzinato nel latch. Dunque, nella cella 6-T l'operazione di lettura delle informazioni immagazzinate non è distruttiva.

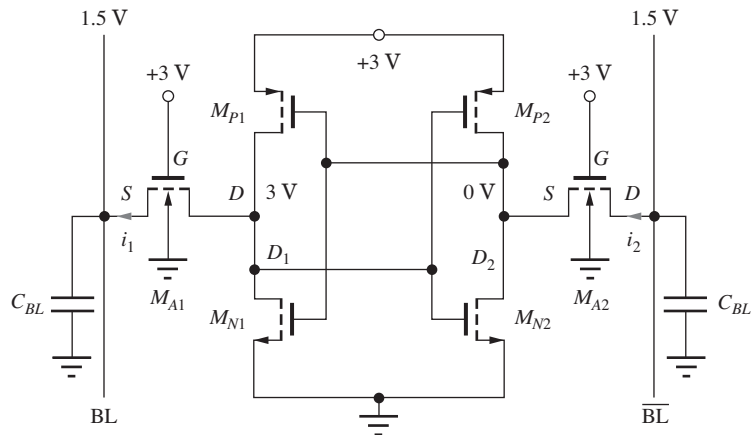
Si noti che il ritardo fra l'istante di tempo in cui comincia l'operazione di lettura e il punto in cui le due bitline raggiungono il loro livello logico finale è di circa 20 ns. Le due rapide variazioni di potenziale su D_1 e su D_2 (evidenziate con un cerchietto in Figura 8.8),

**Figura 8.8**

Forme d'onda ottenute da una simulazione SPICE di un'operazione di lettura nella cella 6-T.

Figura 8.9

Operazione di lettura in una cella 6-T, che contiene un 1.



sono dovute all'accoppiamento capacitivo fra la wordline e i nodi interni della cella di memoria, attraverso le capacità del gate di M_{A1} e di M_{A2} .

La lettura di un 1 nella cella di memoria di Figura 8.9 avviene in modo perfettamente analogo a quanto visto in precedenza. Le due correnti i_1 e i_2 fluiscono in direzioni opposte rispetto al caso mostrato in Figura 8.6, e l'amplificatore di lettura porterà il potenziale di BL a 3 V e quello di $\overline{BL}$ a 0 V. Si noti che i terminali di source e di drain in M_{A1} e in M_{A2} sono ora invertiti rispetto alla Figura 8.6.

Esempio 8.1**CORRENTI NELLA CELLA DI MEMORIA 6-T ALL'INIZIO DELLA FASE DI LETTURA**

Quest'esempio mostra il calcolo delle correnti nei transistori di accesso di una cella 6-T durante un'operazione di lettura.

PROBLEMA Calcolare le correnti i_1 e i_2 che fluiscono nelle bitlines in Figura 8.6, immediatamente dopo l'attivazione della wordline. Assumere $W/L = 1/1$ per tutti i dispositivi; assumere inoltre: $K'_n = 60 \mu\text{A}/\text{V}^2$, $V_{TO} = 0.7 \text{ V}$, $\gamma = 0.5 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$.

SOLUZIONE **Informazioni e dati noti:** Il circuito della cella di memoria 6-T in Figura 8.5 e 8.6, con 0 V immagazzinati inizialmente nel nodo D_1 e 3 V nel nodo D_2 ; $W/L = 1/1$ per tutti i dispositivi; $K'_n = 60 \mu\text{A}/\text{V}^2$, $V_{TO} = 0.7 \text{ V}$, $\gamma = 0.5 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$.

Incognite: I valori delle correnti i_1 e i_2 , immediatamente dopo l'attivazione della wordline.

Approccio: La wordline ha appena effettuato la transizione fra 0 V e 3 V. La corrente i_1 entra nel drain di M_{A1} , fluendo attraverso la bitline BL; sul lato di sinistra della cella, la corrente i_2 fuoriesce dal source di M_{A2} verso la bitline $\overline{BL}$. Assumeremo che i potenziali dei due nodi D_1 e D_2 restino fissi rispettivamente a 3 V e a 0 V; possiamo così ottenere facilmente le tensioni ai terminali di M_{A1} e M_{A2} . Utilizzeremo queste tensioni per stabilire le regioni di funzionamento dei due dispositivi e calcolare quindi le correnti.

Ipotesi: Il potenziale della wordline cambia istantaneamente, al tempo $t = 0$, fra 0 V e 3 V.

Analisi: Dalla Figura 8.6 osserviamo che per il transistore di accesso M_{A1} il source di è a 0 V, il drain è a 1.5 V mentre il gate è a 3 V. Poiché il source è a 0 V, risulta: $V_{TN} = V_{TO}$ e pertanto: $V_{GS} - V_{TN} = (3 \text{ V} - 0 \text{ V}) - 0.7 \text{ V} = 2.3 \text{ V}$; inoltre abbiamo:

$$V_{DS} = 1.5 \text{ V} - 0 \text{ V} = 1.5 \text{ V}.$$

Il dispositivo opera in regione lineare, e la corrente di drain è:

$$\begin{aligned} i_1(0^+) &= K'_n \left(\frac{W}{L} \right) \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) V_{DS} \\ &= \left(\frac{60 \mu\text{A}}{\text{V}^2} \right) \left(\frac{1}{1} \right) \left(3 \text{ V} - 0.7 \text{ V} - \frac{1.5 \text{ V}}{2} \right) 1.5 \text{ V} = 140 \mu\text{A} \end{aligned}$$

Per quanto riguarda il transistor M_{A2} il drain e il gate sono a un potenziale di 3 V, mentre il source è a 1.5 V. La tensione di soglia del dispositivo è influenzata dall'effetto body, poiché il source non è a 0 V:

$$V_{TN} = V_{TO} + \gamma(\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F}) = 0.7 \text{ V} + 0.5 \sqrt{\text{V}}(\sqrt{1.5 \text{ V} + 0.6 \text{ V}} - \sqrt{0.6 \text{ V}}) = 1.04 \text{ V}$$

Per ottenere la regione di funzionamento di M_{A2} , osserviamo che: $V_{GS} - V_{TN} = (3 \text{ V} - 1.5 \text{ V}) - 1.04 \text{ V} = 0.46 \text{ V}$, mentre $V_{DS} = 3 \text{ V} - 1.5 \text{ V} = 1.5 \text{ V}$. Il dispositivo opera pertanto in saturazione e la corrente di drain è data da:

$$i_2(0^+) = \frac{K'_n}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{TN})^2 = \left(\frac{60 \mu\text{A}}{2 \text{ V}^2} \right) \left(\frac{1}{1} \right) (1.5 \text{ V} - 1.04 \text{ V})^2 = 6.35 \mu\text{A}$$

Abbiamo così calcolato le due correnti richieste: $i_1(0^+) = 140 \mu\text{A}$ e $i_2(0^+) = 6.35 \mu\text{A}$. Si noti che la corrente nel ramo di sinistra della cella è più di 20 volte maggiore della corrente sul ramo di destra.

Controllo dei risultati: I valori calcolati delle correnti appaiono ragionevoli.

Discussione: Si noti che l'identificazione dei terminali di drain e di source di M_{A1} e M_{A2} è stata effettuata dopo aver determinato i potenziali dei vari nodi. Se nella cella fosse stato immagazzinato un 1, i terminali di source e di drain dei due dispositivi si sarebbero scambiati, rispetto a quanto mostrato in Figura 8.6. A questo punto, potremmo chiederci dove fluiscono effettivamente le correnti appena calcolate. Poiché la tensione tra M_{N1} e M_{P2} è nulla all'istante $t = 0^+$, anche le correnti drain-source sono nulle in questi dispositivi. La corrente tra M_{A1} e M_{A2} inizia a crescere e svuota i condensatori ai nodi D_1 e D_2 . Poiché cambiano le tensioni ai nodi D_1 e D_2 , i transistori M_{N1} e M_{N2} iniziano a condurre.

ESERCIZIO Ricalcolare le correnti dell'Esempio 8.1 usando il Modello Unificato con $V_{SAT} = 1 \text{ V}$.

RISPOSTE 108 μA ; 6.35 μA .

ESERCIZIO Calcolare le correnti i_1 e i_2 in Figura 8.6, immediatamente dopo l'attivazione della wordline. Assumere $W/L = 1/1$ per tutti i dispositivi; assumere inoltre: $V_{DD} = 5 \text{ V}$, $WL = 5 \text{ V}$, bitlines precaricate a 2.5 V, $K'_n = 60 \mu\text{A/V}^2$, $V_{TO} = 1 \text{ V}$, $\gamma = 0.6 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$.

RISPOSTE 413 μA ; 24.7 μA ($V_{TN} = 1.592 \text{ V}$).

8.2.3 Scrittura di un dato nella cella 6-T

Per effettuare un'operazione di scrittura, le bitline sono inizializzate con il dato che deve essere scritto nella cella. In Figura 8.10, si prova a scrivere uno zero in una cella che già contiene uno zero. Entrambi i transistori di accesso presentano $V_{DS} = 0$; le correnti i_1 e i_2 sono nulle e nulla accade nel circuito, a eccezione dei transistori che nascono a causa dell'accop-

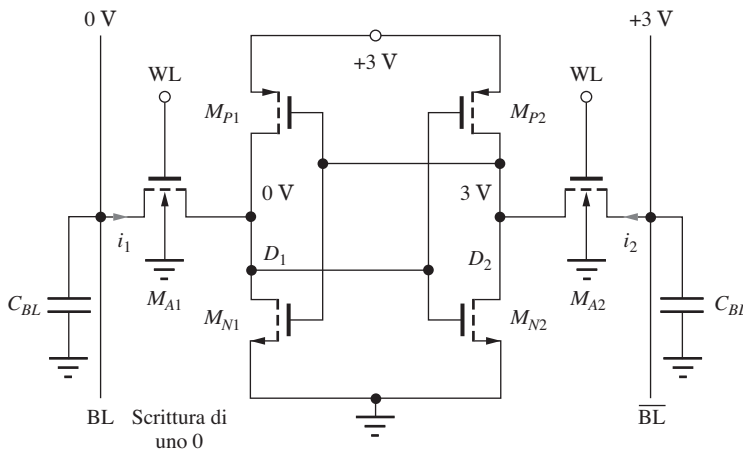
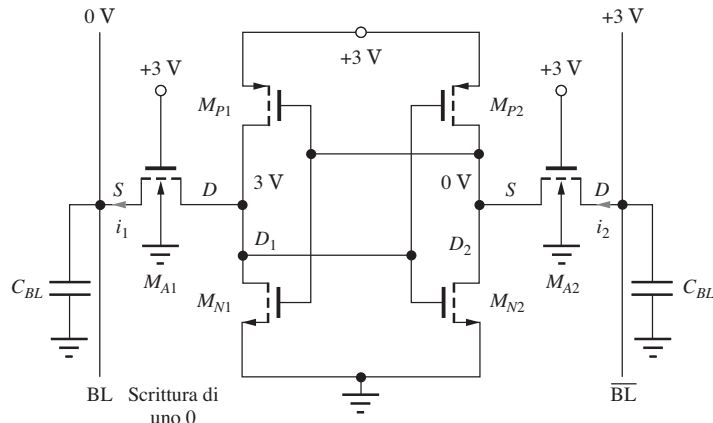


Figura 8.10

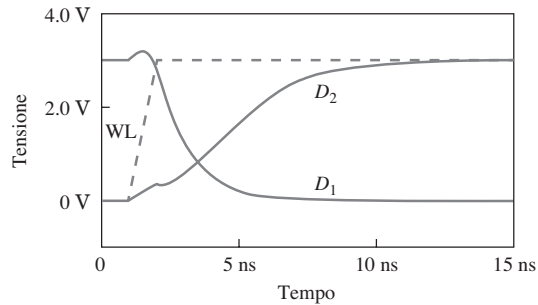
Scrittura di uno 0 in una cella di memoria che contiene uno 0.

Figura 8.11

Scrittura di uno 0 in una cella di memoria che contiene un 1.

**Figura 8.12**

Forme d'onda della wordline e delle linee dati, ottenute da una simulazione SPICE di un'operazione di scrittura di uno 0 nella cella 6-T.



piamento capacitivo fra la wordline e i nodi interni della cella di memoria attraverso le capacità dei transistori MOS (vedi Problema 8.7).

La Figura 8.11 mostra un caso più interessante, in cui lo stato della cella di memoria deve cambiare a seguito dell'operazione di scrittura. Quando la wordline viene portata a 3 V, il transistore di accesso M_{A1} si porta in regione di saturazione, con $V_{GS} = 3 \text{ V}$ e $V_{DS} = 3 \text{ V}$, e la tensione sul nodo D_1 tende ad abbassarsi. Anche M_{A2} è in saturazione con $V_{DS} = V_{GS} = 3 \text{ V}$, e la tensione sul nodo D_2 tende inizialmente a portarsi verso $(3 - V_{TN})$. Appena la tensione sul nodo D_2 supera quella su D_1 si instaura il fenomeno di reazione positiva e la cella completa rapidamente la sua transizione verso il nuovo stato, con $D_1 = 0 \text{ V}$ e $D_2 = 3 \text{ V}$.

La Figura 8.12 mostra le forme d'onda ottenute mediante una simulazione SPICE dell'operazione di scrittura. La transizione della wordline inizia all'istante $t = 0.5 \text{ ns}$, e le tensioni sulle due bitline vengono infine trasferite su D_1 e D_2 attraverso i due transistori di accesso. Nella matrice di memoria vengono normalmente adoperati dispositivi ad area minima, e le capacità all'interno della cella di memoria sono molto piccole; i valori ridotti di capacità consentono a D_1 e a D_2 di raggiungere lo stato desiderato in soli 10 ns.

Nella simulazione di Figura 8.12 le due bitline sono state collegate a due generatori ideali di tensione. In pratica, le due bitline saranno pilotate da circuiti di buffer in cui l'ultimo stadio dovrà avere dispositivi di dimensioni molto maggiori rispetto ai due invertitori della cella SRAM, in modo da poter completare con successo l'operazione di scrittura.

Esempio 8.2**CORRENTI NELLA CELLA DI MEMORIA 6-T ALL'INIZIO DELLA FASE DI SCRITTURA**

Questo esempio mostra il calcolo delle correnti in una cella di memoria 6-T durante la modifica dello stato della cella.

PROBLEMA Calcolare le correnti i_1 e i_2 che fluiscono nelle bitlines in Figura 8.11, immediatamente dopo l'attivazione della wordline. Assumere $W/L = 1/1$ per tutti i dispositivi; assumere inoltre: $K'_n = 60 \mu\text{A/V}^2$, $V_{TO} = 0.7 \text{ V}$, $\gamma = 0.5 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$.

SOLUZIONE **Informazioni e dati noti:** Il circuito della cella di memoria 6-T in Figura 8.11, con 3 V immagazzinati nel nodo D_1 e 0 V nel nodo D_2 . Lo stato della cella deve essere modificato, pertanto la bitline di sinistra è a 0 V mentre la bitline di destra è a 3 V. Tutti i dispositivi hanno $W/L = 1/1$; $K'_n = 60 \mu\text{A/V}^2$, $V_{TO} = 0.7 \text{ V}$, $\gamma = 0.5 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$.

Incognite: I valori delle correnti i_1 e i_2 , immediatamente dopo l'attivazione della word-line.

Approccio: La wordline ha appena effettuato la transizione fra 0 V e 3 V. La corrente i_1 esce dalla cella di memoria attraverso M_{A1} ; sul lato di sinistra del circuito, la corrente i_2 entra nella cella di memoria attraverso M_{A2} verso la bitline $\overline{BL}$. A causa della presenza di capacità parassite ai nodi D_1 e D_2 , assumeremo che i potenziali di questi due nodi restino, inizialmente, fissi rispettivamente a 3 V e a 0 V (vedi Figura 8.11). Possiamo così ottenere facilmente le tensioni ai terminali di M_{A1} e M_{A2} . Utilizzeremo queste tensioni per stabilire le regioni di funzionamento dei due dispositivi e calcolare quindi le correnti.

Ipotesi: Il potenziale della wordline cambia istantaneamente, al tempo $t = 0$, fra 0 V e 3 V.

Analisi: Al tempo $t = 0^+$, dalla Figura 8.11, osserviamo che per entrambi i dispositivi M_{A1} e M_{A2} i terminali di drain e del gate sono 3 V, mentre i terminali di source sono a 0 V. Le condizioni di polarizzazione dei due transistori di accesso sono, pertanto, identiche. Poiché il source è a 0 V, risulta: $V_{TN} = V_{TO}$ e pertanto: $V_{GS} - V_{TN} = (3 \text{ V} - 0 \text{ V}) - 0.7 \text{ V} = 2.3 \text{ V}$; inoltre abbiamo: $V_{DS} = 3 \text{ V} - 0 \text{ V} = 3 \text{ V}$. Il dispositivo opera in regione di saturazione e la corrente di drain è:

$$i_1(0^+) = i_2(0^+) = \frac{K'_n}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{TN})^2 = \left(\frac{60 \mu\text{A}}{2 \text{ V}^2} \right) \left(\frac{1}{1} \right) (3 \text{ V} - 0.7 \text{ V})^2 = 158 \mu\text{A}$$

Controllo dei risultati: I valori calcolati delle correnti appaiono ragionevoli.

Discussione: Osserviamo, ancora una volta, che l'identificazione dei terminali di drain e di source di M_{A1} e M_{A2} è stata effettuata dopo aver determinato i potenziali dei vari nodi. Ci si potrebbe nuovamente chiedere dove fluiscano le correnti che abbiamo calcolato. Le cariche inizialmente presenti in M_{A1} e M_{A2} si riducono e caricano i condensatori D_1 e D_2 , per avviare il processo che porta alla variazione dell'informazione memorizzata nella cella.

ESERCIZIO Ricalcolare le correnti dell'Esempio 8.2 usando il Modello Unificato con $V_{SAT} = 1 \text{ V}$.

RISPOSTE 108 μA ; 108 μA .

ESERCIZIO Calcolare le correnti i_1 e i_2 in Figura 8.11, immediatamente dopo l'attivazione della wordline. Assumere $W/L = 1/1$ per tutti i dispositivi; assumere inoltre: $V_{DD} = 5 \text{ V}$, $WL = 5 \text{ V}$, tensioni della bitline di 2.5 V, $K'_n = 60 \mu\text{A}/\text{V}^2$, $V_{TO} = 1 \text{ V}$, $\gamma = 0.6 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$.

RISPOSTE 480 μA ; 480 μA .

8.3 Celle di memoria dinamiche

L'informazione immagazzinata in una cella di memoria statica viene conservata fin quando il circuito è alimentato. Inoltre, le operazioni di lettura nelle celle di memoria statiche sono non-distruttive. Infatti, benché i livelli di tensione nella cella siano disturbati durante le operazioni di lettura, il latch che costituisce la cella di memoria è in grado di ripristinare i livelli logici nel circuito, dopo l'interdizione dei transistori di accesso.

Si possono realizzare delle celle di memoria molto più compatte se si adoperano circuiti dinamici, anziché statici. La cella di **memoria dinamica ad accesso casuale (DRAM)** più importante richiede un solo transistor. Attualmente, la cella 1-T viene adoperata in tutte le DRAM ad alta densità.



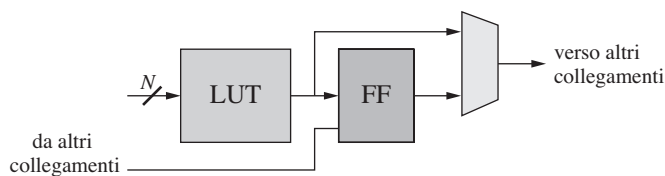
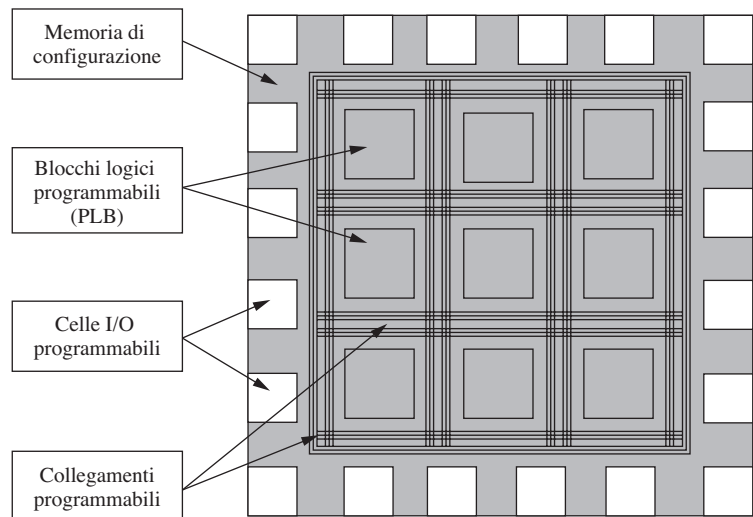
ELETTRONICA IN AZIONE

FPGA

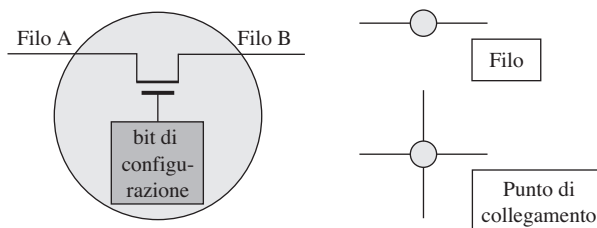
Le reti di porte programmabili dall'utilizzatore (FPGA, *Field Programmable Gate Arrays*) sono ampiamente utilizzate per lo sviluppo di prototipi di circuiti elettronici. Esse trovano inoltre impiego

qualora i piccoli volumi di produzione o i ristretti tempi di sviluppo non giustifichino i costi di circuiti integrati sviluppati *ad hoc*. Una FPGA consiste in una rete bidimensionale di componenti program-

mabili, quali blocchi logici (PLB, *Programmable Logic Blocks*), celle di I/O e collegamenti, che sono controllati dal contenuto di una memoria di configurazione che definisce le funzioni logiche dei PLB, imposta le celle di I/O e decide le interconnessioni tra PLB e celle di I/O. La memoria di configurazione contiene la sequenza di bit necessaria per definire e collegare le funzioni richieste: cambiare la memoria di configurazione significa modificare le funzioni del sistema e, in alcune FPGA, questa operazione può essere fatta al volo senza distruggere il contenuto di RAM e altri elementi di memoria presenti sul chip.



Un tipico PLB è formato da tabelle di lookup (LUT, *lookup table*) per le funzioni logiche combinatorie, flip-flop (come elementi di memoria per funzioni logiche sequenziali) e multiplexer. Le interconnessioni programmabili sono rese possibili da un elevato numero di collegamenti elettrici che possono essere interconnessi da transistori MOS usati come interruttori al fine di formare percorsi più lunghi, intersezioni e altri collegamenti.



Disegni e dati sono stati forniti dal Prof. C.E. Stroud, ECE Department, Auburn University.

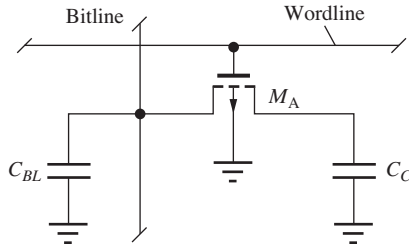
Le FPGA sono nate come sistemi relativamente semplici ma, con la miniaturizzazione della tecnologia dei circuiti integrati, si sono evolute in sistemi estremamente complessi, tanto che alcune schede possono contenere anche microprocessori e unità DSP.

Caratteristiche di un moderno dispositivo FPGA

- Da 10 milioni a 1 miliardo di transistori
- Da 32 Kb a 82 Mb di memoria di configurazione
- Da 100 a 26 000 PLB
- Da 50 a 400 collegamenti/PLB
- Da 80 a 3300 interruttori MOS/PLB
- Da 50 a 1200 celle I/O

8.3.1 La cella di memoria a un transistor

Nella cella 1-T mostrata in Figura 8.13, la carica immagazzinata nella **capacità di cella** C_C rappresenta il dato memorizzato. A causa delle correnti di perdita delle giunzioni drain-body e source-body del transistor, l'informazione immagazzinata in C_C si deteriora inevitabilmente con il passare del tempo. Per evitare la perdita di informazione, lo stato della cella viene periodicamente letto e quindi riscritto nella cella stessa, al fine di ristabilire il valore corretto di carica nella capacità C_C . Questa operazione viene chiamata **ripristino** della cella di memoria, o anche **refresh**. Per ogni cella di memoria di una DRAM, l'intervallo di tempo massimo che può intercorrere fra due operazioni di refresh è tipicamente compreso fra 2 e 10 ms.

**Figura 8.13**

Cella di memoria a un transistor (1-T), in cui un dato binario è rappresentato dalla presenza o dall'assenza di carica in C_C .

8.3.2 Scrittura di un dato nella cella 1-T

Nell'analisi seguente, il livello logico 0 verrà rappresentato da 0 V sul condensatore C_C , mentre un 1 verrà rappresentato da una tensione alta su C_C . Il dato binario viene scritto nella cella 1-T applicando il livello di tensione desiderato sulla bitline e portando quindi in conduzione il transistor di accesso M_A .

Scrittura di uno 0. Consideriamo dapprima il caso in cui vogliamo scrivere uno 0 nella cella (Figura 8.14). In questo caso, la bitline è mantenuta a 0 V, e il terminale del MOSFET collegato alla bitline rappresenta il source del transistor. Il gate viene quindi portato a $V_{DD} = 3$ V. Se la tensione sulla capacità è già nulla, la tensione drain-source del MOSFET è zero, e la corrente che passa nel transistor di accesso è nulla. Se la cella contiene un 1, con $V_C > 0$, la capacità C_C si scarica attraverso il MOSFET e la tensione V_C si porta a zero volt.

Le forme d'onda durante la scrittura di uno 0 (in una cella che memorizzava precedentemente un 1) sono riportate in Figura 8.14(b).

ESERCIZIO (a) Qual è la corrente i_C in Figura 8.14, subito dopo l'attivazione del transistor M_A se $V_C = 1.9$ V, $K_n = 60 \mu\text{A}/\text{V}^2$ e $V_{TO} = 0.7$ V? (b) Stimare il tempo di discesa della tensione sul condensatore utilizzando l'Equazione (7.15) con $C_C = 50$ fF. (c) Ricalcolare la corrente ottenuta in (a) usando il Modello Unificato con $V_{SAT} = 1$ V.

RISPOSTE 154 μA ; 0.9 ns; 108 μA .

Scrittura di un 1. Supponiamo ora di dover scrivere un 1 nella cella 1-T di Figura 8.15. La tensione sulla bitline viene prima posta a V_{DD} (3 V), e la wordline viene quindi portata a V_{DD} . Il terminale di M_A collegato alla bitline sarà il drain del dispositivo, mentre il terminale collegato alla capacità di cella sarà il source del MOS. Poiché $V_{DS} = V_{GS}$, e M_A è un dispositivo ad arricchimento, il transistor opera in regione di saturazione. Se la capacità C_C è perfettamente carica a 1, la corrente in M_A sarà nulla; se C_C non è perfettamente carica a 1, la corrente in M_A caricherà la capacità di cella fino a un potenziale pari alla tensione del gate meno una tensione di soglia.

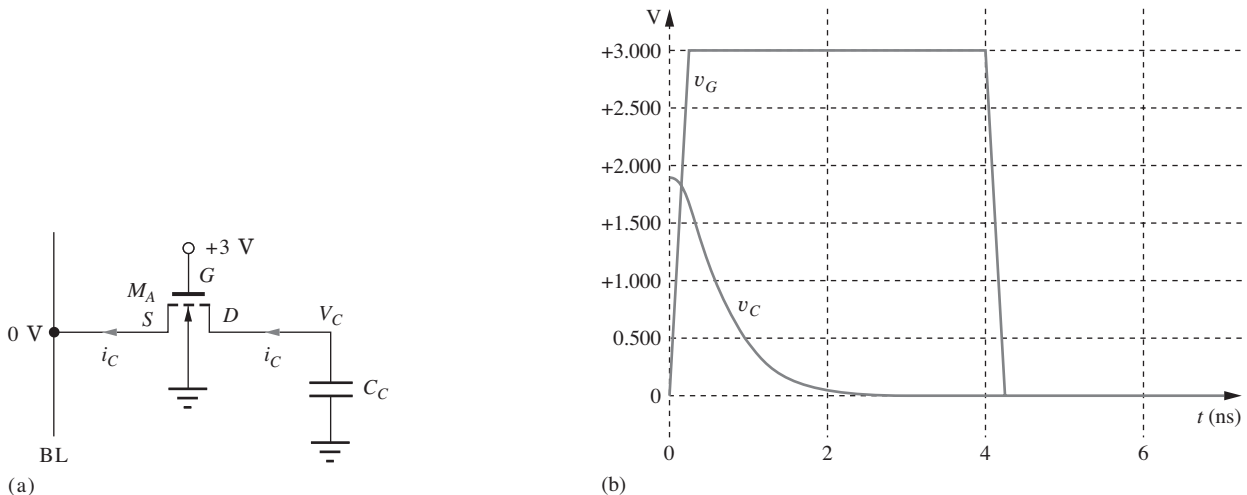
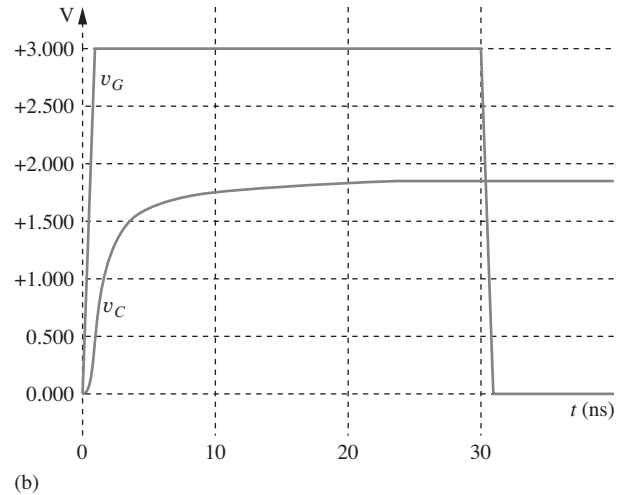
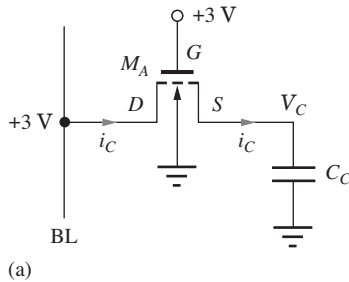


Figura 8.14 (a) Scrittura di uno 0 nella cella 1-T. (b) Forme d'onda durante l'operazione di scrittura.

Figura 8.15

(a) Scrittura di un 1 nella cella 1-T. (b) Forme d'onda durante l'operazione di scrittura.



L'analisi svolta mostra che nella cella 1-T i livelli di tensione corrispondenti a 0 e a 1 sono rispettivamente 0 V e $V_G - V_{TN}$. La tensione di soglia deve essere calcolata considerando che la tensione source-body è pari a V_C :

$$V_C = V_G - V_{TN} = V_G - [V_{TO} + \gamma(\sqrt{V_C + 2\phi_F} - \sqrt{2\phi_F})] \quad (8.1)$$

L'Equazione (8.1) è identica alla (15.25), che è stata usata per determinare la V_H nei circuiti logici NMOS con carico in saturazione.

Vale la pena di sottolineare ancora una volta come il MOSFET sia un dispositivo bidirezionale. Per poter scrivere il dato desiderato nella cella è necessario che la corrente sia in grado di fluire in entrambe le direzioni nel dispositivo. Anche in fase di lettura la i_C può fluire in entrambe le direzioni.

Le forme d'onda durante la scrittura di un 1 nella cella sono mostrate in Figura 8.15(b). Si noti il tempo relativamente lungo necessario affinché la tensione sulla capacità raggiunga il valore finale, analogamente al transitorio basso-alto nelle logiche NMOS con carico in saturazione.

ESERCIZIO Calcolare la tensione di cella V_C se $V_{DD} = 3$ V, $V_{TO} = 0.7$ V, $\gamma = 0.5\sqrt{V}$ e $2\phi_F = 0.6$ V. Quanto vale V_C se $\gamma = 0$?

RISPOSTE 1.89 V; 2.3 V.

ESERCIZIO Quanti elettroni sono immagazzinati nel condensatore della cella se $C_C = 25$ fF e la cella si trova nello stato 1?

RISPOSTE 2.95×10^5 elettroni.

I risultati degli esercizi precedenti mostrano la situazione tipica per un 1 logico immagazzinato nella cella di memoria. Una parte significativa della tensione di alimentazione viene persa a causa della tensione di soglia del MOSFET, e l'effetto body gioca un ruolo importante nel ridurre ulteriormente la tensione sul condensatore della cella. Utilizzando i dati del primo esercizio, vediamo che la tensione su C_C salirebbe a 2.3 V se non ci fosse l'effetto body.

8.3.3 Lettura di un dato nella cella 1-T

Per leggere l'informazione immagazzinata nella cella 1-T, le bitline vengono dapprima precaricate a una tensione nota, tipicamente V_{DD} o metà di V_{DD} (**precarica delle bitline**). Si porta quindi in conduzione il transistor di accesso, e la capacità di cella viene così collegata alla bitline attraverso M_A . A questo punto ha luogo un fenomeno di **ridistribuzione di carica** (*charge sharing*). A seguito dell'attivazione del transistor di accesso, la carica totale, precedentemente immagazzinata separatamente nella capacità della bitline C_{BL} e nella capacità di cella C_C , si ridistribuisce fra i due condensatori e la tensione sulla bitline

varia leggermente. La grandezza e il segno di questa variazione di tensione sono legati all'informazione immagazzinata nella cella di memoria.

I fenomeni che avvengono durante un'operazione di lettura possono essere meglio compresi considerando il modello circuitale di Figura 8.16. Prima dell'attivazione del transistor di accesso M_A , l'interruttore è aperto e la carica iniziale totale sui due condensatori è:

$$Q_I = C_{BL}V_{BL} + C_C V_C \quad (8.2)$$

Dopo l'attivazione del transistor di accesso M_A , corrispondente alla chiusura dell'interruttore in Figura 8.16, la corrente che fluisce attraverso la resistenza on di M_A rende uguali le tensioni su i due condensatori. La carica immagazzinata finale Q_F è data da:

$$Q_F = (C_{BL} + C_C)V_F \quad (8.3)$$

Poiché non esiste alcun meccanismo che possa dar luogo a una perdita di carica, Q_F deve essere uguale a Q_I . Uguagliando le Equazioni (8.2) e (8.3) e risolvendo rispetto a Q_F si ha:

$$V_F = \frac{C_{BL}V_{BL} + C_C V_C}{C_{BL} + C_C} \quad (8.4)$$

La variazione della tensione sulla bitline rispetto al valore iniziale, di precarica, è data da:

$$\Delta V = V_F - V_{BL} = \frac{C_C}{C_{BL} + C_C} (V_C - V_{BL}) = \frac{(V_C - V_{BL})}{\frac{C_{BL}}{C_C} + 1} \quad (8.5)$$

L'Equazione (8.5) può essere utilizzata per la scelta di un valore opportuno per la tensione di precarica. Se V_{BL} è posta a metà fra i livelli 1 e 0, ΔV sarà positivo per un 1 immagazzinato nella cella e sarà negativo se nella cella di memoria è immagazzinato uno 0. L'analisi dell'Equazione (8.5) mostra inoltre che la variazione di tensione ΔV può essere molto piccola. Per esempio, se ci sono 128 righe nella nostra matrice di memoria, ci saranno 128 transistor di accesso collegati alla bitline e il rapporto fra la capacità della bitline e la capacità della cella può essere molto grande.

Se assumiamo $C_{BL} \gg C_C$, la (8.4) mostra che le tensioni finali sulla bitline e sulla cella sono uguali fra loro e valgono:

$$V_F = \frac{C_{BL}V_{BL} + C_C V_C}{C_{BL} + C_C} \approx V_{BL} \quad (8.6)$$

Dunque, il contenuto della cella viene distrutto a seguito di un'operazione di lettura. Per riportare il dato immagazzinato nella cella 1-T al suo valore originario, il dato letto deve essere riscritto di nuovo nella stessa cella di memoria.

Poiché il transistor di accesso non è un interruttore ideale, la fase di redistribuzione di carica non può avvenire istantaneamente. Se la resistenza on fosse costante, le tensioni e le correnti nel circuito in Figura 8.16 cambierebbero seguendo una legge esponenziale, con una costante di tempo τ determinata dalla R_{on} e dalla serie di C_{BL} e di C_C :

$$\tau = R_{on} \frac{C_C C_{BL}}{C_C + C_{BL}} \approx R_{on} C_C \quad \text{per } C_{BL} \gg C_C \quad (8.7)$$

ESERCIZIO (a) Calcolare la variazione della tensione della bitline per una matrice di memoria in cui $C_{BL} = 49 C_C$, assumendo che la bitline sia precaricata a una tensione pari a $(V_H + V_L)/2$. Assumere $V_L = 0$ V e $V_H = 1.9$ V. (b) Quanto vale τ se $R_{on} = 5$ k Ω e $C_C = 25$ fF?

RISPOSTE +19.0 mV, -19.0 mV; 125 ps.

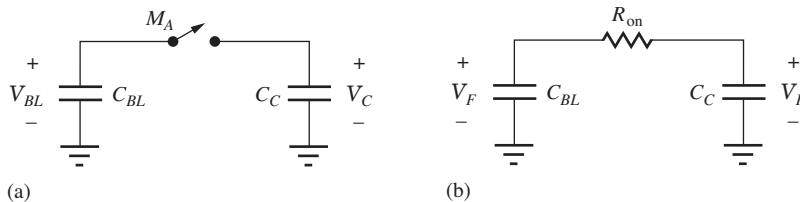


Figura 8.16

Modello per studiare la redistribuzione di carica fra la capacità della cella e quella della bitline: (a) modello circuitale prima dell'attivazione del transistor di accesso, (b) modello circuitale dopo l'attivazione del transistor di accesso.

L'esercizio precedente evidenzia che le variazioni di tensione che devono essere rilevate dall'amplificatore di lettura sono molto piccole per la cella 1-T. Il progetto di un amplificatore di lettura che consenta di individuare rapidamente la piccola variazione di tensione sulla bitline, rappresenta uno degli aspetti più critici nel progetto di una DRAM. Si noti, inoltre, che la redistribuzione di carica avviene molto rapidamente.

8.3.4 La cella di memoria a quattro transistori

Abbiamo visto in precedenza che la cella 6-T fornisce una corrente significativa per pilotare gli amplificatori di lettura. Questa è una delle ragioni per cui le memorie statiche forniscono dei tempi di accesso inferiori rispetto alle memorie dinamiche. **La cella a quattro transistori (4-T)** mostrata in Figura 8.17 rappresenta un compromesso fra le celle 1-T e 6-T. I dispositivi di carico della cella 6-T vengono eliminati e l'informazione è memorizzata sulle capacità dei nodi interni. La cella fornisce due uscite complementari e inoltre il collegamento incrociato dei transistori M_{N1} e M_{N2} fornisce una elevata corrente per le operazioni di lettura. Se BL , $\overline{BL}$ e la wordline sono portate a livello logico alto, i due transistori di accesso funzionano temporaneamente da dispositivi di carico per la cella 4-T, realizzando automaticamente un'operazione di refresh.

Le condizioni per la scrittura di un dato nella cella 4-T, con una tensione di alimentazione di 3 V, sono mostrate in Figura 8.18. Dopo l'attivazione della wordline, il nodo D si carica fino a $3\text{ V} - V_{TN} = 1.9\text{ V}$, attraverso il transistore di accesso M_{A1} , mentre il nodo si scarica a 0 V attraverso M_{A2} e M_{N2} . La natura rigenerativa del circuito formato dai due transistori M_{N1} e M_{N2} migliora la velocità dell'operazione di scrittura.

La Figura 8.19 mostra il funzionamento del circuito durante un'operazione di lettura, in cui le capacità delle bitline sono state precaricate a 1.5 V. Inizialmente M_{N1} è interdetto mentre M_{N2} è in conduzione. Quando la wordline è portata a 3 V si ha una redistribuzione di carica sulla BL , e la tensione sul nodo D scende a circa 1.5 V. Dall'altro lato della cella, la tensione su $\overline{BL}$ si ripartisce fra M_{A2} e M_{N2} . I rapporti W/L di M_{N2} e di M_{A2} vengono progettati in modo da mantenere il potenziale su $\overline{D}$ al di sotto della tensione di soglia di M_{N1} , in modo da mantenere in interdizione questo transistore. Dopo l'intervento dell'amplificatore di lettura, le bitline vengono portate a 0 V e a 3 V, e il potenziale sul nodo D viene riportato al suo valore originario attraverso il transistore di accesso M_{A1} . Dopo che il segnale sulla wordline si è abbassato, M_{N2} porterà il potenziale del nodo $\overline{D}$ a 0 V.

Figura 8.17
Cella di memoria dinamica
a quattro transistori 4-T.

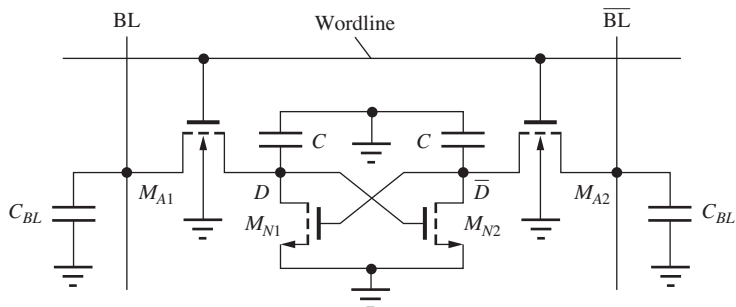
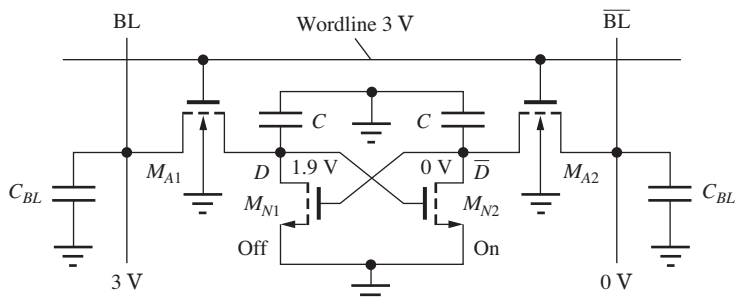


Figura 8.18
Scrittura di un dato nella cella
di memoria 4-T.



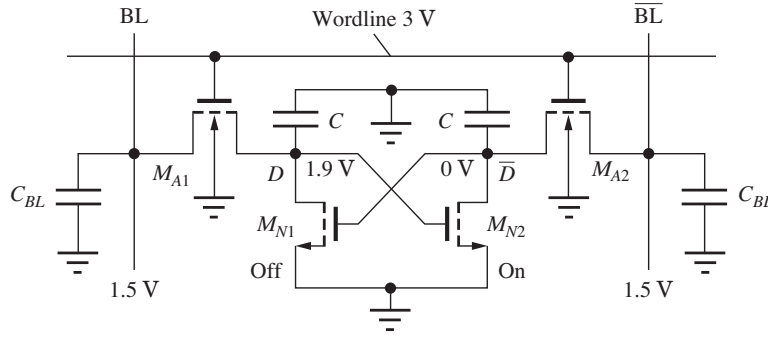


Figura 8.19

Lettura di un dato dalla cella 4-T.

ESERCIZIO Qual è la corrente di drain di M_{A2} in Figura 8.19, subito dopo che la wordline è portata a 3 V, se tutti i dispositivi hanno $W/L = 2/1$? Utilizzare i seguenti valori: $K'_n = 60 \mu\text{A}/\text{V}^2$, $V_{TO} = 0.7 \text{ V}$, $\gamma = 0.5\sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$. (b) Ricalcolare la corrente ottenuta in (a) usando il Modello Unificato con $V_{SAT} = 1 \text{ V}$.

RISPOSTE 280 μA ; 216 μA .

8.4 Amplificatori di lettura

Gli amplificatori di lettura per le celle di memoria studiate nei paragrafi precedenti hanno il compito di amplificare la piccola corrente che fluisce attraverso i transistori di accesso della cella o la piccola differenza di potenziale che si manifesta a seguito di un fenomeno di ridistribuzione di carica, in modo da rigenerare i livelli logici dei segnali in uscita. Un amplificatore di lettura è associato a ogni bitline o a ogni coppia di bitline. Per ottenere un'elevata velocità di funzionamento, gli amplificatori di lettura sfruttano le proprietà rigenerative dei circuiti di tipo latch.

8.4.1 Amplificatore di lettura per la cella 6-T

Un amplificatore di lettura che può essere utilizzato con la cella 6-T è formato da un latch a due invertitori e da un ulteriore **transistore di precarica**, M_{PC} , come mostrato in Figura 8.20. Il transistore M_{PC} viene utilizzato per forzare il latch a operare nel punto di equilibrio instabile, con eguali tensioni su BL e su $\overline{\text{BL}}$. Infatti, quando il dispositivo di precarica è in conduzione, opera in regione lineare e rappresenta un collegamento a bassa resistenza fra le due bitline. Fin quando il transistore M_{PC} è in conduzione, dunque, le tensioni sui due nodi BL e $\overline{\text{BL}}$ sono uguali.

La Figura 8.21 mostra le forme d'onda di una simulazione SPICE dell'operazione di precarica. Al tempo $t = 0$, le tensioni su BL e su $\overline{\text{BL}}$ sono 0 V e 3 V, rispettivamente. Questi valori sono il risultato di una precedente operazione di lettura o di scrittura. A $t = 1 \text{ ns}$, il segnale di precarica si attiva, forzando le due bitline ad assumere lo stesso potenziale. Il tempo richiesto al latch per raggiungere la condizione $v_O = v_I$, circa 30 ns in questa simulazione, è limitato dal rapporto W/L del dispositivo di precarica, dalle capacità sulle bitline e dalle dimensioni dei dispositivi che formano il latch. Nella simulazione di Figura 8.21, il transistore di precarica è un dispositivo con $W/L = 50/1$, $C_{BL} = 500 \text{ fF}$ e tutti i dispositivi dell'amplificatore di lettura hanno $W/L = 50/1$. Un problema di questo semplice amplificatore di lettura è la precarica relativamente lenta delle bitline; al fine di evitare errori di lettura, il segnale di precarica deve rimanere attivo fin quando le tensioni sulle bitline non raggiungono lo stesso valore.

Raggiunto l'equilibrio, il transistore di precarica può essere portato in interdizione, e il livello di precarica sarà mantenuto temporaneamente dalle capacità delle bitline. Si può quindi attivare la wordline per leggere il contenuto della cella, come mostrato in precedenza in Figura 8.8.

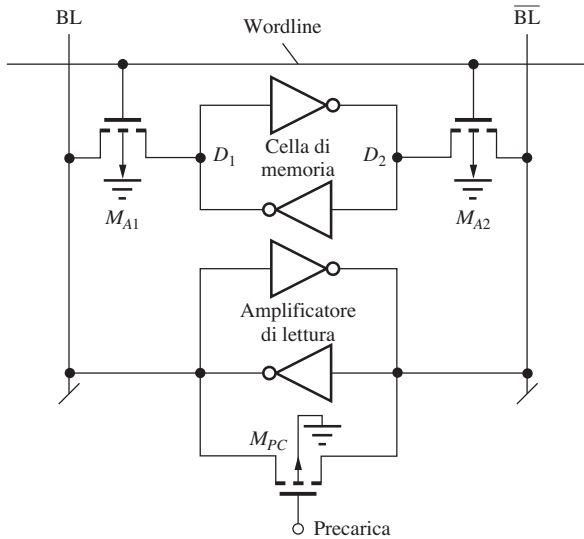


Figura 8.20 Cella di memoria 6-T, con amplificatore di lettura.

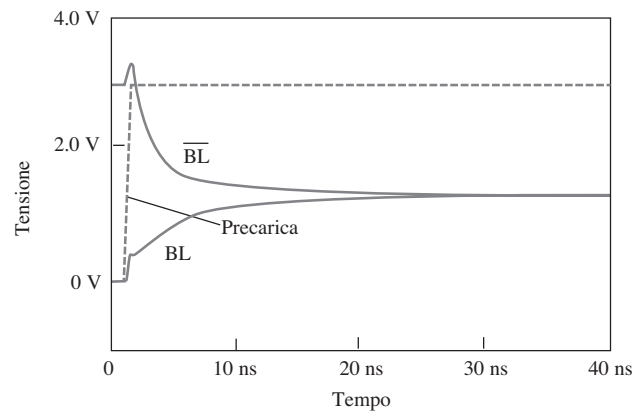


Figura 8.21 Risultati di una simulazione SPICE dell'operazione di precarica.

Esempio 8.3

CORRENTI E DISSIPAZIONE DI POTENZA NELL'AMPLIFICATORE DI LETTURA DURANTE LA FASE DI PRECARICA

Questo esercizio calcola le correnti di un amplificatore di lettura durante la fase di precarica, che causa un consumo significativo di potenza.

PROBLEMA Calcolare le correnti nei transistori del latch dell'amplificatore di lettura in Figura 8.20, quando il transistor di precarica è in conduzione e il circuito ha raggiunto lo stato stazionario. Assumere $V_{DD} = 3\text{ V}$, $W/L = 2/1$ per tutti i dispositivi; assumere inoltre per i transistori NMOS: $K'_n = 60\text{ }\mu\text{A/V}^2$, $V_{TO} = 0.6\text{ V}$, $\gamma = 0.5\sqrt{\text{V}}$ e $2\phi_F = 0.6\text{ V}$; per i PMOS: $K'_p = 25\text{ }\mu\text{A/V}^2$, $V_{TO} = -0.7\text{ V}$, $\gamma = 0.75\sqrt{\text{V}}$ e $2\phi_F = 0.6\text{ V}$.

SOLUZIONE **Informazioni e dati noti:** L'amplificatore di lettura utilizza il circuito in Figura 8.20, con $V_{DD} = 3\text{ V}$. Tutti i rapporti W/L sono $2/1$; per i transistori NMOS: $K'_n = 60\text{ }\mu\text{A/V}^2$, $V_{TO} = 0.7\text{ V}$, $\gamma = 0.5\sqrt{\text{V}}$ e $2\phi_F = 0.6\text{ V}$; per i PMOS: $K'_p = 25\text{ }\mu\text{A/V}^2$, $V_{TO} = -0.7\text{ V}$, $\gamma = 0.75\sqrt{\text{V}}$ e $2\phi_F = 0.6\text{ V}$.

Incognite: Le correnti di drain dei dispositivi e la dissipazione di potenza dell'amplificatore di lettura.

Approccio: Il latch dell'amplificatore di lettura è forzato nello stato di equilibrio instabile dal transistor di precarica M_{PC} . In condizioni stazionarie, a causa della simmetria del circuito, le due tensioni di uscita saranno le stesse; pertanto la corrente che fluisce attraverso M_{PC} sarà nulla. Le tensioni di uscita sono ottenute eguagliando le correnti di drain dei dispositivi che compongono gli invertitori del bistabile. Per calcolare le correnti di drain, dobbiamo identificare le regioni di funzionamento dei dispositivi.

Ipotesi: Ognuno dei due invertitori che costituiscono il bistabile è realizzato in tecnologia CMOS.

Analisi: Poiché le tensioni sulle due bitline sono uguali, risulta: $V_{GS} = V_{DS}$ per gli NMOS e $V_{SG} = V_{SD}$ per i PMOS. Possiamo quindi immediatamente osservare che tutti i dispositivi sono in saturazione. Poiché la corrente di drain di M_{PC} è nulla (dato che la sua V_{DS} è zero), per ognuno degli invertitori del latch le correnti di drain del NMOS e del PMOS devono essere uguali. La tensione gate-source è V_O per il NMOS e $V_{DD} - V_O$ per il PMOS. Uguagliando le correnti di drain si ottiene:

$$\begin{aligned} \frac{K'_p}{2} \left(\frac{W}{L} \right) (V_{SG} + V_{TP})^2 &= \frac{K'_n}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{TN})^2 \\ \frac{1}{2} \left(\frac{25\text{ }\mu\text{A}}{\text{V}^2} \right) \left(\frac{2}{1} \right) (3\text{ V} - V_O - 1\text{ V})^2 &= \frac{1}{2} \left(\frac{60\text{ }\mu\text{A}}{\text{V}^2} \right) \left(\frac{2}{1} \right) (V_O - 0.7\text{ V})^2 \\ 35V_O^2 + (31\text{ V})V_O - 102.9\text{ V}^2 &= 0 \rightarrow V_O = 1.33\text{ V} \end{aligned}$$

La corrente di drain del NMOS è quindi:

$$i_D = \frac{1}{2} \left(\frac{60 \mu\text{A}}{V^2} \right) \left(\frac{2}{1} \right) (1.33 \text{ V} - 0.7 \text{ V})^2 = 23.6 \mu\text{A}$$

Le correnti assorbite dai due invertitori del latch sono uguali; pertanto la dissipazione di potenza è:

$$P = 2i_D V_{DD} = 2(23.5 \mu\text{A})(3 \text{ V}) = 140 \mu\text{W}$$

Controllo dei risultati: Come verifica dei calcoli, valutiamo la corrente di drain del PMOS:

$$i_D = \frac{1}{2} \left(\frac{25 \mu\text{A}}{V^2} \right) \left(\frac{2}{1} \right) (3 \text{ V} - 1.33 \text{ V} - 0.7 \text{ V})^2 = 23.5 \mu\text{A}$$

Discussione: La dissipazione di potenza per questo semplice amplificatore di lettura è relativamente modesta. Tuttavia, dobbiamo considerare che in un chip di memoria possono essere attivi contemporaneamente migliaia di amplificatori di lettura, con una dissipazione di potenza complessiva molto elevata. Per esempio, se in un chip di memoria fosse contemporaneamente in fase di precarica $2^{10} = 1024$ amplificatori di lettura, la dissipazione di potenza sarebbe di 144 mW. Al fine di ridurre la potenza dissipata, è necessario minimizzare la durata degli intervalli di tempo in cui i latch rimangono in fase di precarica. Sono stati sviluppati amplificatori di lettura più complessi, che minimizzano questa componente di dissipazione di potenza.

ESERCIZIO (a) Ripetere l'Esempio 8.3, assumendo che tutti i dispositivi abbiano $W/L = 5/1$. (b) Ripetere l'Esempio 8.3 usando il Modello Unificato con $V_{SAT} = 1 \text{ V}$.

RISPOSTE 59.5 μA , 357 μW ; 59.5 μA , 357 μW .

ESERCIZIO Ripetere l'Esempio 8.3, assumendo che la tensione di alimentazione sia $V_{DD} = 2.5 \text{ V}$, con $V_{TON} = 0.6 \text{ V}$ e $V_{TOP} = -0.6 \text{ V}$.

RISPOSTE 15.6 μA ; 78.0 μW ($V_O = 1.11 \text{ V}$).

8.4.2 Amplificatore di lettura per la cella 1-T

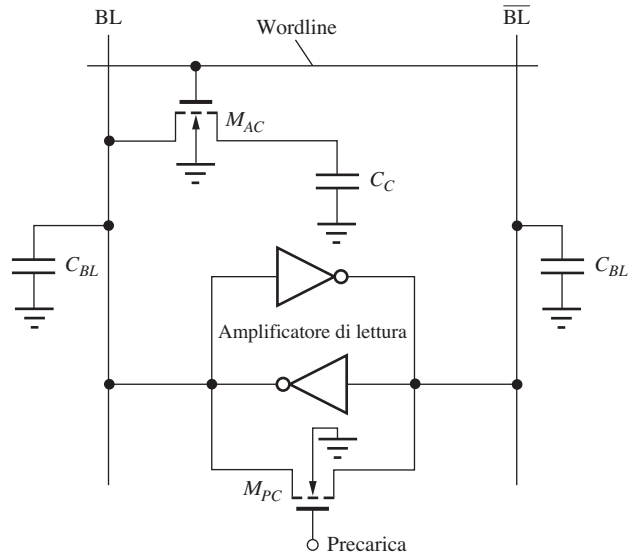
Il latch a due invertitori utilizzato come amplificatore di lettura per la cella 6-T in Figura 8.20, può essere utilizzato anche per celle di memoria dinamiche a un transistor. La Figura 8.22 mostra una cella 1-T e un amplificatore di lettura composto da un latch e un transistor di precarica M_{PC} . Le forme d'onda durante un'operazione di lettura sono mostrate in Figura 8.23.

Nel circuito di Figura 8.22, la cella 1-T è collegata alla BL. In molti casi, peraltro, viene collegata a $\overline{BL}$ una cella fittizia (*dummy cell*) con un proprio transistor di accesso e una propria capacità di memorizzazione, in modo da cercare di bilanciare i transistori di commutazione sui due lati del latch e per migliorare inoltre il tempo di risposta dell'amplificatore di lettura. L'utilizzo delle celle fittizie è analizzato in maggior dettaglio nel Paragrafo 8.4.4 che tratta gli amplificatori di lettura più sofisticati, che fanno uso di opportuni segnali di temporizzazione o di clock.

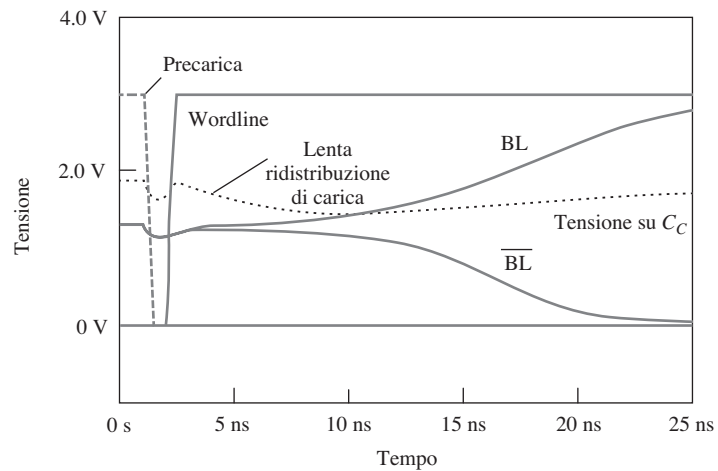
Come mostrato dalle forme d'onda di Figura 8.23, durante la fase di precarica del circuito le bitline sono forzate a un livello determinato dai rapporti W/L dei transistori NMOS e PMOS dell'amplificatore di lettura. Dopo l'interdizione del transistor di precarica, si accede al dato contenuto nella cella di memoria attivando la wordline, abilitando così la ridistribuzione di carica fra la capacità di cella C_C e la capacità della bitline C_{BL} . Nella simulazione, l'amplificatore di lettura è in grado di amplificare la piccola differenza di potenziale indotta dalla attivazione della wordline, generando dei livelli logici pari quasi all'intera tensione di alimentazione di 3 V in circa 25 ns.

Figura 8.22

Amplificatore di lettura
per la cella 1-T.

**Figura 8.23**

Forme d'onda durante
un'operazione di lettura
della cella 1-T.



Un'analisi più accurata delle forme d'onda delle bitline indica che in questo circuito la ridistribuzione di carica avviene molto lentamente, a causa dell'elevata resistenza on del transistor di accesso. Analizziamo in maggior dettaglio questo problema, considerando le tensioni applicate al transistor di accesso immediatamente dopo l'attivazione della wordline (Figura 8.24). Per il transistor M_{AC} si ha:

$$V_{TN} = \left[0.70 + 0.5(\sqrt{1.3 + 0.6} - \sqrt{0.6}) \right] \text{ V} = 1.0 \text{ V}$$

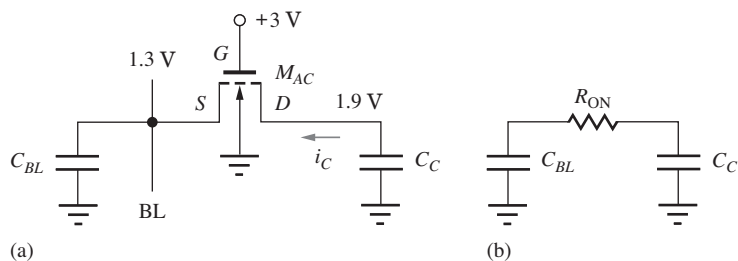
$$V_{GS} = 3 \text{ V} - 1.3 \text{ V} = 1.7 \text{ V}$$

e ancora:

$$V_{DS} = 1.9 \text{ V} - 1.3 \text{ V} = 0.6 \text{ V}$$

Figura 8.24

Tensioni applicate al
transistore di accesso
immediatamente dopo
l'attivazione della wordline.



Poiché $V_{GS} > V_{DS}$, il transistor è in regione lineare, come desiderato, ma la corrente che fluisce attraverso il MOSFET è molto piccola. Assumendo $W/L = 1/1$ abbiamo:

$$\begin{aligned} i_D &= K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \\ &= \left(60 \frac{\mu\text{A}}{\text{V}^2} \right) \left(\frac{1}{1} \right) \left(1.7 \text{ V} - 1.0 \text{ V} - \frac{0.6 \text{ V}}{2} \right) 0.6 \text{ V} \\ &= 14.4 \mu\text{A} \end{aligned}$$

Una misura del tempo necessario per realizzare la redistribuzione di carica è costituito dalla velocità di scarica della capacità di cella, dato da:

$$\frac{\Delta v}{\Delta t} = \frac{i_D}{C_C}$$

Nella simulazione, $C_C = 25 \text{ fF}$ e la velocità iniziale di scarica è di 0.24 V/ns . A questo valore così piccolo è dovuta la lenta variazione delle tensioni sulle bitline, dopo l'attivazione delle wordline. La piccola corrente assorbita dalla cella di memoria è comunque sufficiente per sbilanciare l'amplificatore di lettura e per consentire così una corretta individuazione del dato immagazzinato nella cella di memoria.

ESERCIZIO Quali sono i valori iniziali di R_{on} e di $\tau = R_{on}C_C$ nel circuito di Figura 8.24?

RISPOSTE $23.8 \text{ k}\Omega$, 0.59 ns .

8.4.3 Circuiti con tensione più elevata sulla wordline

Nei circuiti di memoria ad alta velocità, ogni frazione di nanosecondo è preziosa, e alcune DRAM prevedono un livello di tensione separato per la wordline. L'aumento di tensione sulla wordline consente sia di aumentare la tensione corrispondente al livello logico alto sulla capacità di cella, sia di aumentare sensibilmente la i_{DS} durante l'operazione di lettura. La Figura 8.25 mostra le forme d'onda del circuito di Figura 8.22 nel caso in cui la tensione sulla wordline venga portata a $+5 \text{ V}$, invece di $+3 \text{ V}$ (si parla, in questo caso, di un circuito con tensione più elevata sulla wordline, o di **boosted wordline**). In questo caso la tensione sulla cella diviene 3.7 V e la corrente iniziale attraverso il transistor di accesso è di $216 \mu\text{A}$, 15 volte maggiore rispetto al circuito originario (vedi il Problema 8.13). La forma d'onda relativa alla tensione sul nodo di memoria evidenzia come il trasferimento di carica sia ora molto più rapido e l'amplificatore di lettura sviluppi una differenza di potenziale fra le due bitline di 1.5 V dopo circa 10 ns dall'attivazione della wordline. Nel caso precedente, vedi Figura 8.23, per ottenere la stessa differenza di potenziale erano richiesti circa 15 ns .

8.4.4 Amplificatori di lettura con segnale di clock

Negli amplificatori di lettura di Figura 8.20 e di Figura 8.22 c'è un significativo assorbimento di corrente dall'alimentazione durante la fase di precarica; è inoltre necessario un tempo relativamente lungo per completare la precarica. La minimizzazione della dissipazione di

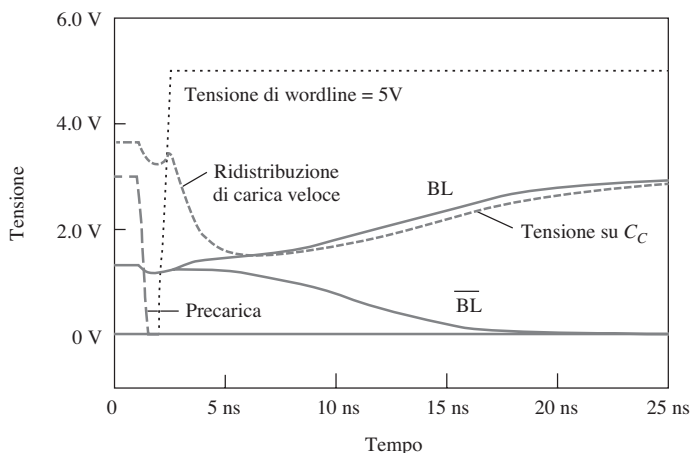


Figura 8.25

Letture di una cella di memoria 1-T, con la tensione sulla wordline portata a 5 V .

potenza in ogni amplificatore di lettura è un aspetto importante nel progetto di una memoria, a causa del gran numero di amplificatori di lettura simultaneamente attivi (128 nel chip di 256 Mb mostrato nel Paragrafo 8.1).

La dissipazione di potenza negli amplificatori di lettura può essere ridotta utilizzando strutture più sofisticate, che fanno uso di opportuni **segnali di temporizzazione o di clock**. Circuiti di questo tipo sono stati originariamente introdotti in memorie realizzate in tecnologia NMOS, per ridurre la dissipazione di potenza dovuta ai dispositivi di carico in saturazione o a svuotamento, presenti negli amplificatori di lettura. Le stesse tecniche vengono utilizzate frequentemente anche in amplificatori di lettura CMOS, come quello mostrato in Figura 8.26 per una matrice di memoria 1-T. Da notare l'utilizzo di celle fittizie, con una capacità pari alla metà di quella della cella 1-T. In Figura 8.26, una delle armature dei condensatori è collegata a V_{DD} invece che a 0 V: questa variante rispetto ai circuiti studiati in precedenza non modifica il principio di funzionamento del circuito.

Durante la fase di precarica, V_{PC} è portata a 0 V e le bitline sono precaricate a V_{DD} attraverso i due transistori PMOS. Dopo che il segnale di precarica è stato disattivato, viene attivato il transistor di accesso della cella indirizzata e la tensione della bitline corrispondente si abbassa leggermente. L'ampiezza della variazione di tensione sulla bitline dipende dal dato immagazzinato nella cella di memoria. Se la tensione della cella è 0 si ha una variazione di tensione relativamente grande, mentre la variazione di tensione è inferiore se la tensione sulla cella è $V_{DD} - V_{TN}$.

Le celle fittizie vengono introdotte in questo circuito per assicurare che si sviluppi una differenza di potenziale della giusta polarità fra le due bitline, a seguito dell'operazione di lettura. La capacità delle celle fittizie è la metà della capacità delle celle destinate a immagazzinare i dati, e la tensione sulle celle fittizie viene sempre portata a 0 V da V_{PC} . Durante la fase di redistribuzione di carica, la selezione di una cella fittizia determina una caduta di tensione sulla corrispondente bitline pari alla metà di quella che si avrebbe se uno 0 fosse immagazzinato in una cella 1-T. Dunque, si manifesta una differenza di potenziale positiva fra BL e $\overline{BL}$ se nella cella di memoria indirizzata è immagazzinato un 1, e una differenza di potenziale negativa se invece è immagazzinato uno 0.

Dopo la redistribuzione di carica, viene attivata la parte inferiore del latch CMOS, portando in conduzione N_{ML} e la piccola differenza di potenziale fra le due bitline viene amplificata dal latch CMOS. Le forme d'onda simulate per l'amplificatore di lettura CMOS con clock sono mostrate in Figura 8.27. Per chiarezza l'attivazione dei tre segnali di clock, la precarica V_{PC} , la wordline WL e il clock del latch V_{LC} sono ritardati di 1 ns l'una dall'altra. Si noti che sia BL che $\overline{BL}$ sono portati a una tensione maggiore di 3 V a causa dell'accoppiamento capacitivo fra i segnali di clock e le bitline. In ogni caso, la differenza di potenziale fra le due bitline ha il giusto segno, e l'amplificatore di lettura risponde correttamente.

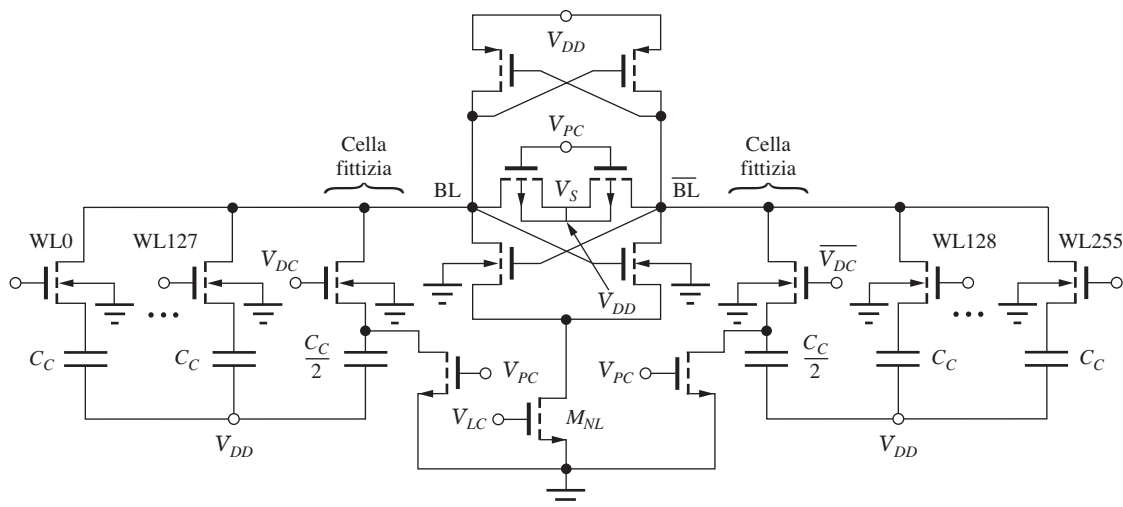


Figura 8.26 Un amplificatore di lettura CMOS che utilizza un segnale di clock. Oltre alla matrice di celle di memoria 1-T si notino le due celle fittizie ai due lati dell'amplificatore di lettura. La cella fittizia posta sulla destra viene utilizzata quando viene attivata una delle wordline comprese fra 0 e 127, mentre la cella fittizia sulla sinistra viene utilizzata quando si indirizza una delle celle comprese fra 128 e 255.

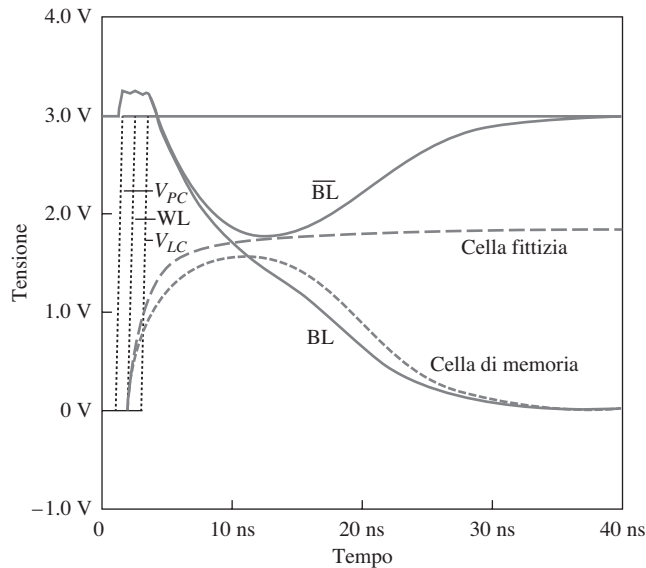


Figura 8.27
Simulazione dell'amplificatore
di lettura CMOS di Figura 8.26.

Si noti inoltre che non si verifica passaggio di corrente nel latch durante la fase di precarica, e quindi l'amplificatore di lettura dissipa soltanto potenza dinamica. Esistono molte varianti e molti miglioramenti che si possono apportare al circuito di Figura 8.26, ma i concetti fondamentali illustrati in questo paragrafo sono alla base degli amplificatori di lettura nella gran parte delle RAM dinamiche.

Per aumentare la velocità della fase di precarica e della lettura vera e propria, sia nelle RAM dinamiche che nelle SRAM è necessario ridurre al massimo le capacità delle bitline C_{BL} ; ciò porta a ridurre il numero di celle che possono essere collegate a ogni bitline. Sono state sviluppate molte tecniche interessanti per segmentare le bitline al fine di ridurre al massimo C_{BL} , e il lettore interessato è invitato a consultare i riferimenti bibliografici. In particolare, si possono avere interessanti informazioni negli atti della International Solid-State Circuit Conference (ISSC) [2], della Custom Integrated Circuits Conference (CICC) [13] e del Symposium on VLSI Circuits [14], così come nel numero speciale annuale della rivista IEEE Journal of Solid State Circuits [15]. Le nuove tecnologie per le celle di memoria vengono discusse annualmente durante l'International Electron Devices Meetings (IEDM) [4], il Symposium on VLSI Technology [14] e nella rivista *IEEE Transactions on Electron Devices* [16].

8.5 Decodificatori di indirizzo

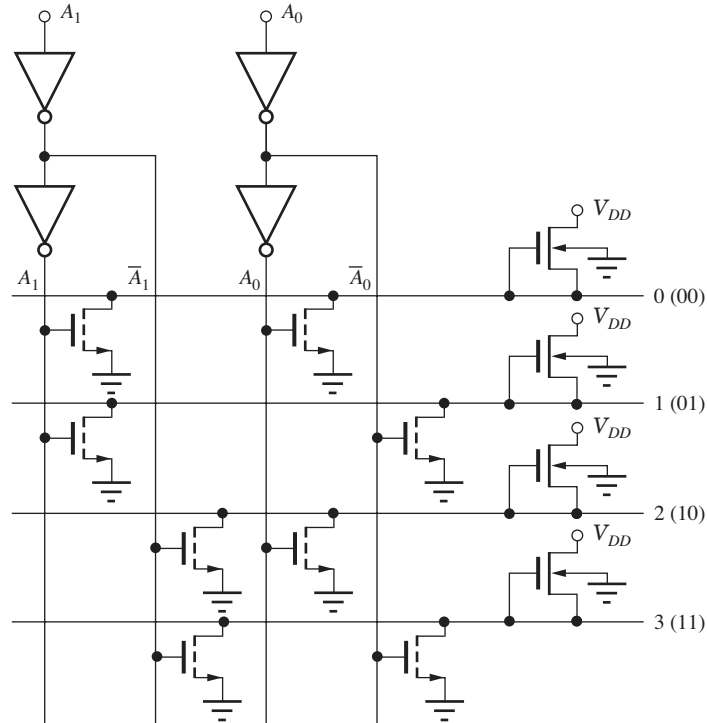
Due elementi fondamentali per il progetto di una memoria sono i *decodificatori* degli indirizzi di riga e di colonna, mostrati nello schema a blocchi di Figura 8.2. Il *decodificatore di riga* deve attivare una particolare wordline, a seconda dell'indirizzo di riga. Il decodificatore di colonna viene utilizzato per selezionare il bit (o il gruppo di bit) effettivamente interessato all'operazione di lettura o di scrittura. In questo paragrafo studieremo i decodificatori di riga NOR e NAND e analizzeremo inoltre il funzionamento dei decodificatori di colonna basati sull'utilizzo di pass-transistor NMOS connessi ad albero. Verranno inoltre introdotti alcuni circuiti logici dinamici che consentono di realizzare efficacemente i decodificatori.

8.5.1 Decodificatori NOR

La Figura 8.28 mostra lo schema di un **decodificatore NOR** a 2 bit. Il circuito deve decodificare ogni possibile combinazione delle variabili di ingresso e consiste in quattro (2^2) porte NOR a 2 ingressi (in generale avremo 2^N porte a N ingressi). Nel circuito di Figura 8.28 $2N$ segnali, costituiti dai bit di indirizzo e dal loro complemento, pilotano una matrice di transistori NMOS. Ogni riga del decodificatore contiene due MOSFET, con i drain collegati in parallelo alla linea di uscita e con il gate collegato a uno dei bit di indirizzo ovvero a un bit di indirizzo complementato. Alla fine di ogni riga, un dispositivo a svuotamento completa la porta NOR.

Figura 8.28

Decodificatore di indirizzo NOR in logica NMOS.



Per ogni combinazione delle variabili di ingresso una sola delle linee di uscita sarà alta. Ogni riga corrisponde a una delle possibili combinazioni dei bit dell'indirizzo:

$$\text{Row 0} = \overline{A_1} + \overline{A_0}$$

$$\text{Row 1} = \overline{A_1} + A_0$$

$$\text{Row 2} = A_1 + \overline{A_0}$$

$$\text{Row 3} = A_1 + A_0$$

(8.8)

ESERCIZIO Quali sono le dimensioni dei transistori per il decodificatore NOR di Figura 8.28, utilizzando l'invertitore di riferimento di Figura 6.24(d)? Qual è la dissipazione di potenza statica di questo decodificatore?

RISPOSTE Dispositivi a svuotamento: 1.81/1; Dispositivi di commutazione: 222/1; 1.00 mW.

8.5.2 Decodificatori NAND

La Figura 8.29 mostra la versione NAND di un decodificatore. Anche in questo caso $2N$ segnali, costituiti dai bit di indirizzo e dai loro complementi, pilotano una matrice di transistori NMOS. Per il **decodificatore NAND** tutte le linee di uscita sono alte, a eccezione dell'unica riga in cui i gate dei transistori sono a livello logico alto. La funzione di inversione logica, necessaria per poter effettivamente pilotare le wordline di una matrice di memoria, viene realizzata sfruttando i circuiti di "buffer", che sono comunque indispensabili per poter pilotare efficacemente l'elevato carico capacitivo rappresentato dalla wordline. In Figura 8.29 le funzioni logiche implementate dal decodificatore sono:

$$\text{Riga 0} = \overline{\overline{A_1} \overline{A_0}}$$

$$\text{Riga 1} = \overline{\overline{A_1} A_0}$$

$$\text{Riga 2} = \overline{A_1 \overline{A_0}}$$

$$\text{Riga 3} = \overline{A_1 A_0}$$

(8.9)

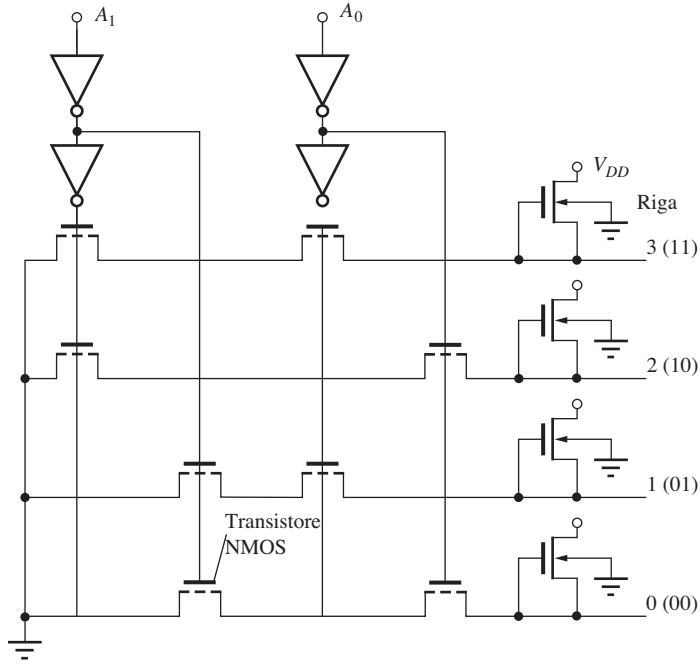


Figura 8.29
Decodificatore di indirizzo
NAND in logica NMOS.

Come per le porte NOR e NAND in tecnologia NMOS studiate nei capitoli precedenti, la struttura con transistori in serie delle porte NAND risulta più lenta della realizzazione NOR, in cui i dispositivi di commutazione sono in parallelo, in particolar modo se il decodificatore è realizzato con dispositivi ad area minima.

I circuiti decodificatori mostrati in Figura 8.28 e in Figura 8.29 causano problemi di dissipazione di potenza in memorie ad alta densità. Nella matrice di memoria, per ogni possibile indirizzo, una sola wordline sarà a livello logico alto mentre $2^N - 1$ saranno basse. Con il circuito di Figura 8.28, $2^N - 1$ delle porte NOR che compongono il decodificatore contribuiranno alla dissipazione di potenza. Un problema analogo si verifica se si utilizzano degli invertitori NMOS all'uscita del decodificatore NAND.

L'utilizzo di circuiti CMOS consente di realizzare circuiti a bassa dissipazione di potenza a scapito dell'occupazione di area, che è sensibilmente maggiore, in quanto ogni ingresso deve essere collegato sia a un transistor NMOS che a un PMOS, con un raddoppio di dispositivi e maggiore complessità nel tracciato (*lay-out*). Un decodificatore CMOS può essere più efficacemente realizzato come una combinazione di una matrice NOR NMOS e di una matrice NAND basata su PMOS. Peraltro, poiché le memorie sono generalmente utilizzate in sistemi in cui sono presenti segnali di clock, è possibile utilizzare decodificatori dinamici, che hanno una ridotta dissipazione di potenza, richiedendo solo pochi dispositivi PMOS.

ESERCIZIO Quali sono le dimensioni dei transistori per il decodificatore NAND di Figura 8.29, se i rapporti W/L dei dispositivi di commutazione sono pari a 2/1? Basare il progetto sull'invertitore di riferimento di Figura 6.24(d).

RISPOSTA 1.63/1.

8.5.3 Decodificatori di colonna a pass-transistor

I decodificatori di colonna della memoria di Figura 8.2 devono selezionare un gruppo di bit - usualmente 1, 4 oppure 8 bit - dalla parola molto più grande selezionata dal decodificatore di riga. La Figura 8.30 mostra un circuito decodificatore, nel caso di una selezione a un bit, basato su una logica a **pass-transistor** NMOS. Per decodificatori di notevoli dimensioni, l'utilizzo di circuiti con pass-transistor comporta una drastica riduzione del numero di dispositivi rispetto a una realizzazione con porte NAND oppure NOR.

Nel decodificatore a pass-transistor, $2N$ segnali, costituiti dai bit di indirizzo e dai loro complementi, pilotano una matrice di transistori NMOS. Tutti i dispositivi con un segnale alto sul terminale del gate sono in conduzione ma, grazie alla struttura ad albero del circuito, per ogni combinazione degli ingressi ci sarà un solo cammino che collega l'uscita con uno degli ingressi. Nel caso di Figura 8.30 l'indirizzo di ingresso è 101 e si crea un cammino conduttivo fra la colonna d'ingresso 5 e l'uscita.

La Figura 8.31 mostra le tensioni in una struttura a pass-transistor a tre livelli, per ingressi 0 e 1, per un'alimentazione $V_{DD} = 3\text{ V}$. Per ingresso basso, il condensatore C viene scaricato a 0 V dalla combinazione in serie dei tre pass-transistor; quando l'ingresso è a livello logico alto l'uscita del primo transistore si porta a un potenziale inferiore di una tensione di soglia rispetto alla tensione del gate di 3 V. Utilizzando per i dispositivi NMOS gli stessi parametri adoperati nei paragrafi precedenti, abbiamo che la tensione di uscita è:

$$V_O = V_G - V_{TN} = 3\text{ V} - 1.1\text{ V} = 1.9\text{ V}$$

Le tensioni sugli altri nodi possono raggiungere questo stesso potenziale, per cui la capacità all'ingresso dell'invertitore si caricherà a $V_G - V_{TN} = 1.9\text{ V}$, indipendentemente dal numero di pass-transistor in serie. L'invertitore in uscita deve essere progettato in modo tale da presentare una tensione di commutazione inferiore a 1.9 V, in modo da ripristinare i livelli logici in uscita.

Si possono ottenere livelli logici in uscita non degradati, utilizzando delle porte di trasmissione complementari, invece di pass-transistor NMOS. Peraltro, questo approccio com-

Figura 8.30
Decodificatore di colonna a tre bit, in logica a pass-transistor.

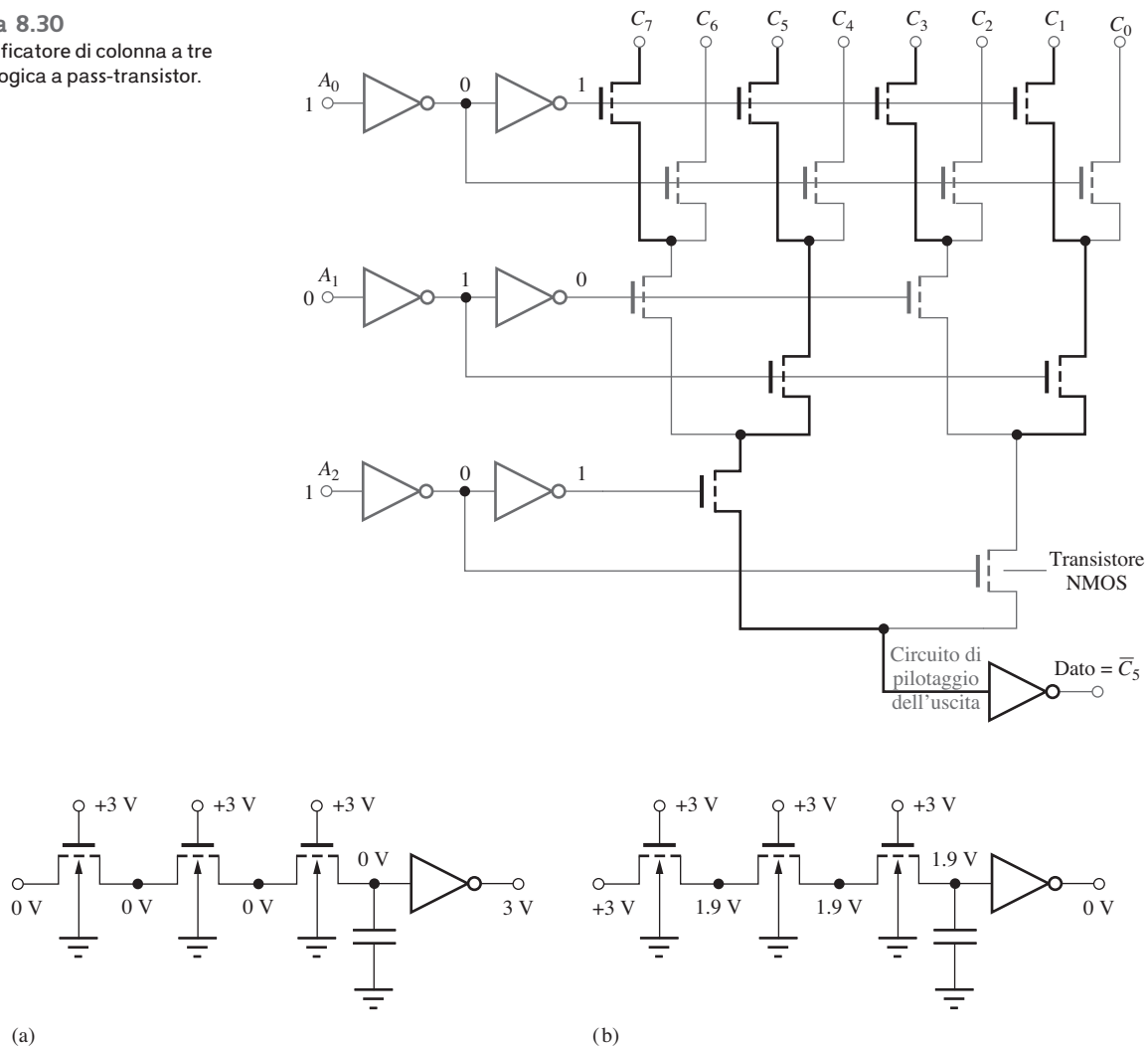


Figura 8.31 Livelli di tensione in un decodificatore a pass-transistor: (a) dato di ingresso 0, (b) ingresso 1.

porta un sensibile aumento dell'area e della complessità del circuito con ridotti benefici, dal momento che l'invertitore di uscita può essere facilmente progettato in modo tale da compensare la riduzione dei livelli logici attraverso la matrice di pass-transistor NMOS. In aggiunta al raddoppio del numero di dispositivi nel circuito, la versione CMOS richiede la distribuzione a ogni porta di trasmissione sia di un bit di indirizzo, sia del negato. Tuttavia, sono state introdotte tecniche di progetto che portano una semplificazione di questi circuiti [17].

ESERCIZIO Calcolare i livelli di tensione per i circuiti in Figura 8.31, assumendo che la tensione sui gate degli NMOS sia 5 V invece di 3 V. Assumere inoltre $V_{TO} = 0.7$ V, $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6$ V. Qual è il massimo valore di γ per cui l'uscita della rete a pass-transistor è di 3 V?

RISPOSTE 0 V, 3 V, $1.16 \sqrt{V}$.

ESERCIZIO Calcolare la tensione all'uscita dell'invertitore di Figura 8.31(b). Assumere che l'invertitore sia simmetrico, con una tensione di alimentazione di 3 V; assumere inoltre $V_{TN} = 0.7$ V e $V_{TP} = -0.7$ V.

RISPOSTE 68.6 mV.

8.6 Memorie a sola lettura (ROM)

Le **memorie a sola lettura (ROM)** sono spesso richieste nella realizzazione di sistemi digitali. Per esempio, le istruzioni del microcodice di molti microprocessori risiede in una ROM, così come una porzione del sistema operativo dei personal computer risiede usualmente in ROM. I programmi fissi per microcontrollori, spesso chiamati *firmware*, sono tipicamente memorizzati in una ROM, e le cartucce per i video-games sono semplicemente delle ROM che contengono i programmi che definiscono le caratteristiche dei vari giochi. I moduli aggiuntivi per le calcolatrici di tipo scientifico sono un altro esempio di applicazione di memorie a sola lettura.

Gran parte delle ROM sono organizzate come matrici di 2^N parole (*word*), ogni parola contiene il numero di bit richiesti dalla particolare applicazione. Valori comuni sono 4, 8, 16, 18, 24, 32, 48, 64 e così via. La Figura 8.32 mostra la struttura di una ROM statica NMOS, che utilizza dispositivi di carico a svuotamento. Questa particolare ROM contiene quattro parole da 4 bit. Ogni colonna corrisponde a un bit della parola immagazzinata, e una particolare parola W_i viene selezionata quando la corrispondente wordline viene portata a livello logico alto da un decodificatore di indirizzo, simile a quello visto nei paragrafi precedenti per le RAM. Per esempio, questa ROM potrebbe essere pilotata da un decodificatore NOR simile a quello di Figura 8.28.

All'intersezione di ogni riga e colonna della matrice si può inserire un transistor NMOS. In questa ROM, il gate del transistor è collegato alla wordline, mentre il drain è collegato alla linea dati di uscita. Supponiamo che un NMOS sia presente in una determinata locazione della matrice di memoria: in questo caso la corrispondente linea dati di uscita viene portata a livello logico basso quando la wordline è selezionata. Se viceversa in una certa locazione della matrice di memoria non è presente un MOSFET, la linea dati viene mantenuta a livello logico alto dal dispositivo di carico. Dunque, la presenza di un MOSFET corrisponde a uno 0 in una data locazione della ROM, mentre l'assenza di un MOSFET corrisponde a un 1. L'operazione mediante la quale si memorizza un opportuno insieme di dati in una memoria a sola lettura viene spesso denominata **personalizzazione** della ROM. La Tabella 8.1 mostra il contenuto della ROM di Figura 8.32.

Esistono molte tecniche per programmare una ROM; menzioniamo di seguito tre possibili modalità, supponendo che in ogni possibile sito all'interno della matrice di memoria sia realizzato un MOSFET. Un primo modo per personalizzare la ROM consiste nell'eliminare il contatto fra il drain e la linea dati, nelle locazioni in cui si deve memorizzare un 1. In questo modo si ha un elevato carico capacitivo sulla wordline, poiché a ogni locazione della

Figura 8.32
Struttura di una ROM in logica NMOS statica, con quattro word da 4 bit: $W_0 = 0010$; $W_1 = 1000$; $W_2 = 0110$; $W_3 = 0110$.

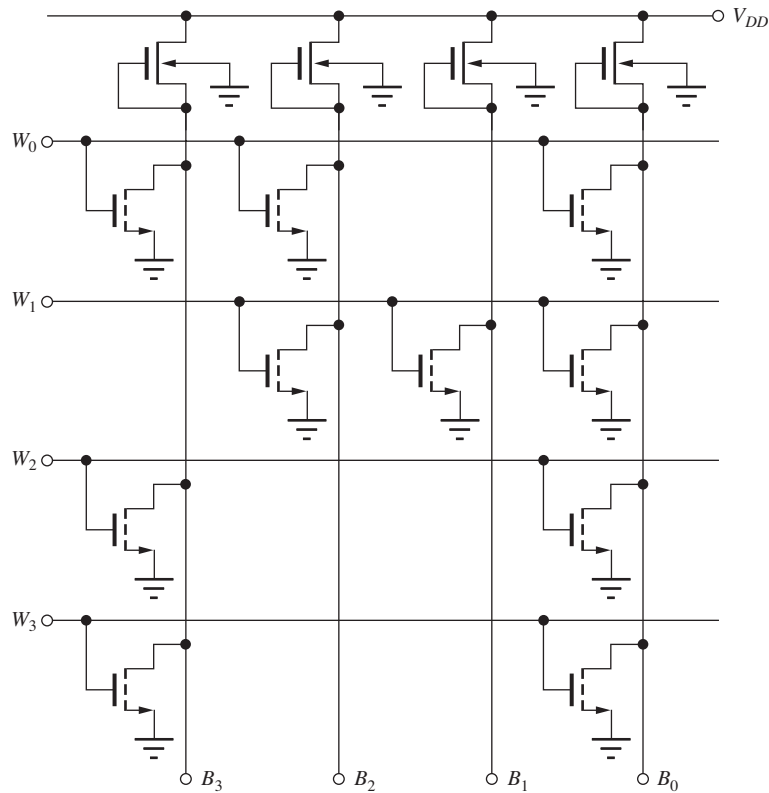


Tabella 8.1 Contenuto della ROM di Figura 8.32	
Parola	Dato
0	0010
1	1000
2	0110
3	0110

matrice di memoria c'è sempre un gate collegato alla wordline, mentre si riduce il carico capacitivo sulla linea di uscita cui sono collegate soltanto alcune diffusions di drain. Una seconda tecnica di programmazione utilizza un processo di impiantazione ionica per alterare la tensione di soglia dei MOSFET posizionati nelle locazioni in cui deve essere immagazzinato un 1. Se la tensione di soglia viene aumentata sufficientemente, infatti, il MOSFET non può più essere portato in conduzione e rimane permanentemente interdetto. Una terza tecnica di personalizzazione consiste nell'eliminare selettivamente i contatti del gate, invece dei contatti di drain.

Le ROM NMOS standard sono caratterizzate da un'elevata dissipazione di potenza. Per eliminare questo problema, le ROM possono essere progettate utilizzando circuiti dinamici, come la logica domino CMOS. Un esempio è riportato in Figura 8.33, che mostra una ROM dinamica che contiene sei parole da 8 bit. Quando il segnale di clock è basso, le capacità sulle linee di uscita vengono precaricate a livello logico alto; quando il clock si alza, i transistori PMOS si interdicono e le capacità delle linee di uscita possono selettivamente scaricarsi. Un'implementazione in logica domino dovrà prevedere inoltre un invertitore per ogni bitline di uscita. La Tabella 8.2 mostra il contenuto della ROM di Figura 8.33.

Le ROM di Figura 8.32 e 8.33 utilizzano la stessa struttura delle porte logiche NOR e vengono pertanto spesso dette matrici NOR. È possibile utilizzare anche delle matrici di tipo NAND, come mostrato in Figura 8.34. In questo caso tutte le wordline, tranne quella selezionata dal decodificatore di riga, sono a livello logico alto. Di conseguenza, tutti i MOS della matrice di memoria sono in conduzione, eccetto quelli della riga selezionata. Consideriamo ora una linea di uscita, e la corrispondente colonna all'interno della matrice di memoria.

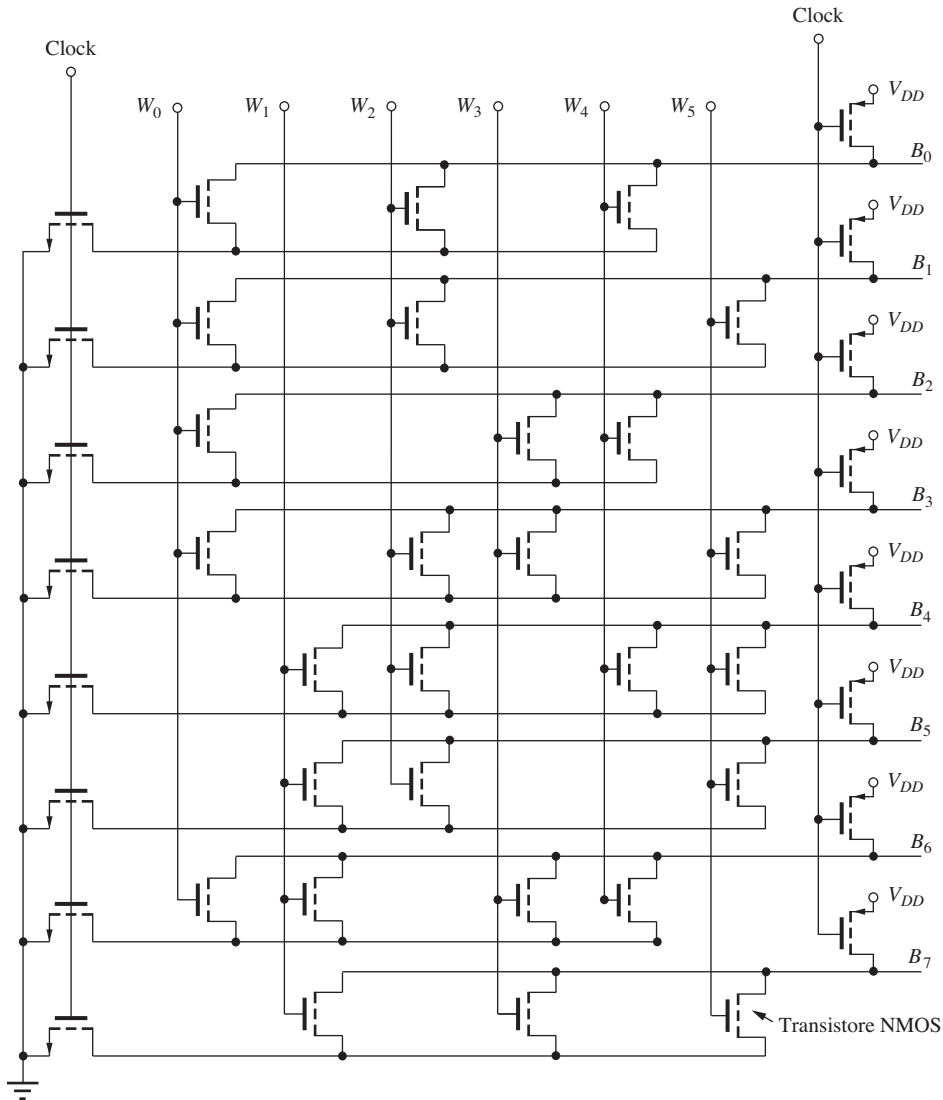


Figura 8.33
ROM in logica domino CMOS, con sei parole da 4 bit. La matrice di memoria è formata da transistori NMOS i cui collegamenti di substrato, per chiarezza, non sono mostrati in figura.

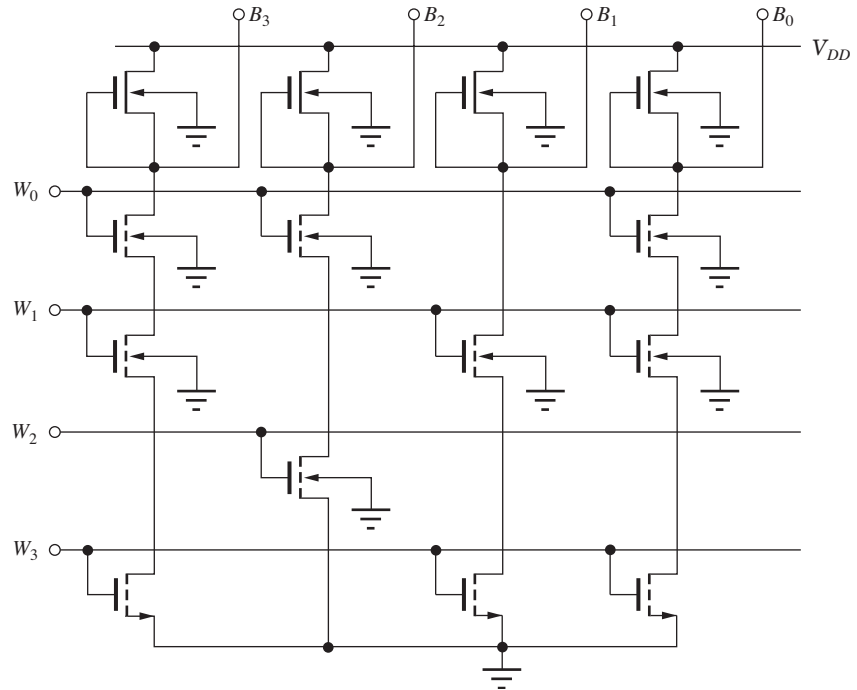
Tabella 8.2 Contenuto della ROM di Figura 8.33	
Parola	Dato
0	10110000
1	00001111
2	11000100
3	00110011
4	10101010
5	01000101

Se è presente un MOSFET all'intersezione di questa colonna con la riga selezionata, l'uscita si porterà a livello logico alto. Viceversa, se il MOSFET è sostituito da un collegamento, ad esempio resistivo, che si può ottenere con un MOSFET a svuotamento, allora l'uscita dati considerata verrà portata a livello logico basso. Si noti che la matrice di memoria ROM di tipo NAND può essere pilotata direttamente dal decodificatore NAND di Figura 8.29.

ESERCIZIO Aggiungere un'ulteriore riga per la ROM di Figura 8.33, in cui sia memorizzato il dato 11001101. Qual è il contenuto della ROM di Figura 8.34?

RISPOSTE Transistori NMOS collegati a B₅, B₄ e B₁ (0010, 0100, 1011, 0100).

Figura 8.34
ROM basata su una matrice
di tipo NAND.



Tutte le ROM di cui abbiamo parlato finora sono personalizzate a livello maschera, con operazioni che devono essere svolte durante il progetto del circuito integrato e le successive fasi di fabbricazione. In caso di errore di programmazione, il circuito integrato deve essere riprogettato e bisogna ripetere l'intero processo di fabbricazione. Per risolvere questo problema sono state sviluppate delle memorie a sola lettura, di tipo **programmabile (PROM, Programmable Read-Only Memories)**, che possono essere programmate elettricamente, utilizzando i terminali esterni del circuito.

Un'ulteriore classe di ROM è costituita dalle memorie a sola lettura programmabili e cancellabili (**EPROM, Erasable Programmable Read-Only Memories**): queste memorie possono essere cancellate utilizzando un'intensa luce ultravioletta e riprogrammate più volte. Le memorie a sola lettura programmabili e cancellabili elettricamente (**EEPROM, Electrically Erasable Programmable Read-Only Memories**) possono essere non solo riprogrammate, ma anche cancellate utilizzando i terminali esterni. Recentemente, sono state sviluppate memorie ad alta densità (denominate **memorie flash**) che consentono una cancellazione e una riprogrammazione selettiva di blocchi di celle.

8.7 Memorie flash

La crescente diffusione di dispositivi elettronici portatili a basso consumo ha portato allo sviluppo di una nuova classe di memoria, chiamata **memoria flash**. Per esempio, telefoni cellulari, fotocamere digitali e riproduttori di musica digitale memorizzano i loro dati su memorie flash; è inoltre comune conservare dati informatici in chiavette USB che usano memorie flash ad alta densità. Nell'ultimo decennio, i dispositivi basati su memorie flash sono stati largamente utilizzati nei dischi rigidi di computer fissi e portatili. Queste memorie mantengono l'informazione in assenza di alimentazione esterna e possono essere invece scritte e lette quando alimentate.

8.7.1 La tecnologia a gate isolato

Le memorie flash sono un tipo particolare di EEPROM. Come mostrato in Figura 8.35, la cella di memoria elementare è formata da un MOSFET con due gate, uno dei quali è elettricamente isolato. Il processo di scrittura richiede di posizionare una carica negativa sul gate isolato; tale carica deve essere rimossa dal gate isolato (detto anche *gate flottante*) per cancellare il dato memorizzato. Nei primi dispositivi di questo tipo, il processo di scrittura ri-

chiedeva l'iniezione di cariche ad alta energia (chiamati elettroni "caldi") dal canale attraverso l'ossido del gate fino al gate isolato. La cancellazione avveniva rimuovendo la carica negativa tramite effetto tunnel,³ di solito verso un gate di cancellazione. In generale, blocchi di celle venivano cancellati simultaneamente (cancellazione "flash") tramite il gate di cancellazione, mentre i dati venivano scritti cella per cella, quindi più lentamente, usando il gate di controllo.

La presenza di cariche sul gate isolato modifica la tensione di soglia effettiva del gate di controllo, come indicato in Figura 8.36. La carica negativa sul gate isolato aumenta la tensione di soglia e modifica la caratteristica del transistor, facendolo passare da dispositivo a svuotamento a transistor ad arricchimento. La lettura dello stato della cella di memoria avviene applicando al gate di controllo una tensione appropriata (per esempio, 0 V) e misurando la corrispondente corrente di drain: in queste condizioni un transistor a svuotamento permette il passaggio di corrente, al contrario di un transistor ad arricchimento.

Le memorie flash attuali utilizzano una tecnologia di lettura e scrittura "uniforme" [8], mostrata in Figura 8.37, che migliora l'affidabilità del dispositivo distribuendo l'iniezione e la rimozione delle cariche su un'area maggiore del gate, al posto di essere concentrata in prossimità del drain.

Per scrivere in una cella, il gate di controllo è portato a una tensione elevata, mentre i terminali di source, drain e substrato sono posti a tensione nulla. Gli elettroni raggiungono il gate isolato passando attraverso l'ossido grazie all'effetto tunnel Fowler-Nordheim. Per cancellare il contenuto della cella, le tensioni sono invertite e gli elettroni vengono estratti attraverso il canale sempre per effetto tunnel.

Le memorie flash più sofisticate usano celle multi-livello, che memorizzano 2 bit (4 livelli), 3 bit (8 livelli) o addirittura 4 bit (16 livelli) in ogni singola cella. In questi dispositivi le tensioni di soglia sono regolate per assumere uno di quattro (o 8 o 16) valori diversi. Si tratta nella sostanza di dispositivi analogici che usano tecniche di conversione da analogico a digitale per determinare la tensione di soglia della cella.

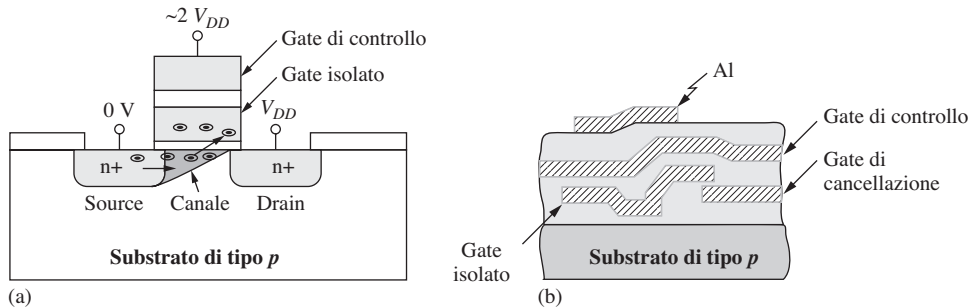


Figura 8.35

(a) Programmazione di memoria EEPROM tramite iniezione di elettroni caldi; (b) Sezione trasversale di una memoria EEPROM con gate ausiliario per la cancellazione del dato.

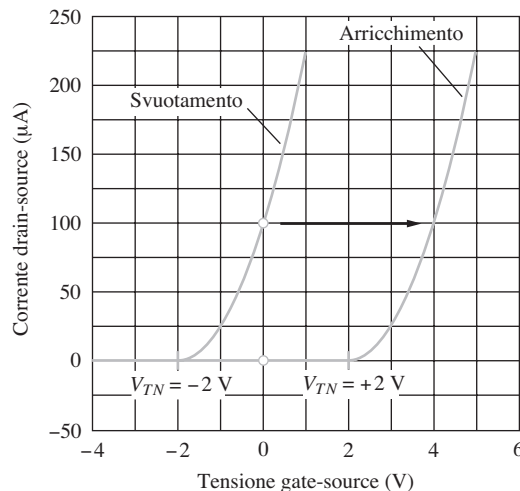


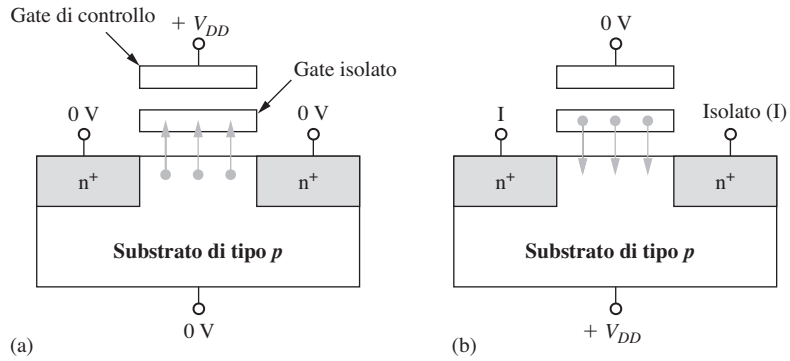
Figura 8.36

L'iniezione di carica negativa nel gate isolato sposta la soglia del transistor da un valore negativo (a svuotamento) ad uno positivo (ad arricchimento).

³ M. Lenzlinger e E.H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO₂", *Journal of Applied Physics*, vol. 40, N. 1, 7, pp. 278-283, gennaio 1967.

Figura 8.37

Meccanismo di scrittura e cancellazione uniforme:
(a) scrittura della cella;
(b) cancellazione.



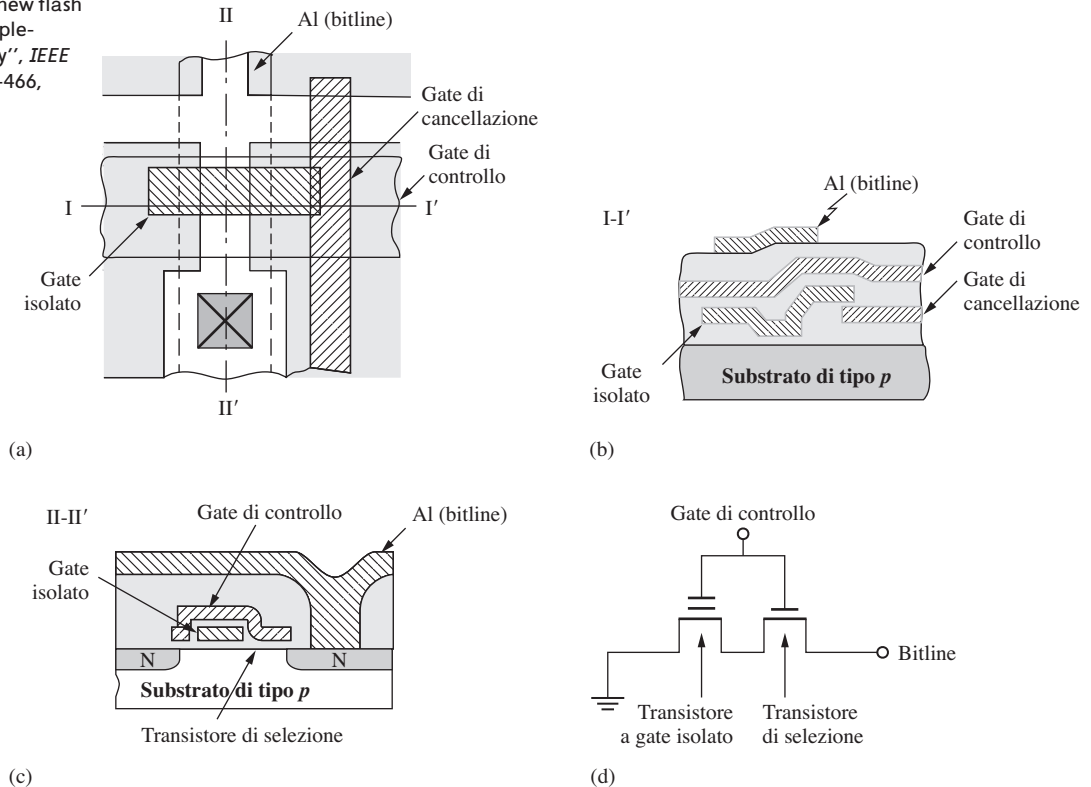
8.7.2 Realizzazione con porte NOR

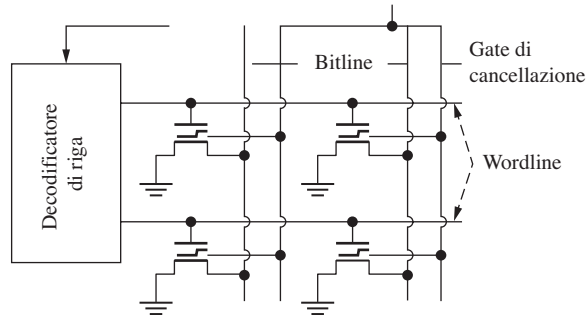
Il layout del dispositivo, la sua sezione trasversale e il circuito equivalente di una delle prime celle di memoria a gate isolato sono mostrati in Figura 8.38. Il gate di controllo si sovrappone al gate isolato, come mostrato in Figura 8.38(b) e (c) e crea la regione di canale di un secondo MOSFET (d) che opera come transistor di selezione. Un gate ausiliario di cancellazione è creato nelle vicinanze del gate isolato, in maniera tale che le cariche possano essere rimosse contemporaneamente da tutti i gate flottanti.

Le matrici di memoria originali utilizzavano porte NOR simili a quelle mostrate in Figura 8.39. La wordline seleziona una riga di transistori e la corrente di drain scorre nelle bitline fino all'amplificatore di lettura, posizionato alla fine delle colonne. Transistori NMOS con tensione di soglia negativa rendono possibile il passaggio di correnti relativamente grandi, mentre i transistori con soglia positiva sono attraversati da correnti minori, o possono essere progettati per essere interdetti. Come nella maggior parte dei casi, durante la progettazione del circuito occorre trovare un compromesso. La soluzione NOR fornisce correnti relativamente elevate all'amplificatore di lettura e quindi permette di operare a frequenze elevate; purtroppo, questa configurazione richiede un contatto elettrico per il drain di ogni cella (o coppia di celle), il che limita significativamente la densità del circuito rispetto alla realizzazione con porte NAND.

Figura 8.38

Layout del dispositivo (a), sezione trasversale in direzione I-I' (b), sezione trasversale in direzione II-II' (c) e circuito equivalente (d) per una delle prime memorie flash. [Riproduzione autorizzata da: F. Masuoka *et al.*, "A new flash E²PROM cell using triple-polysilicon technology", *IEEE IEDM Digest*, pp. 464-466, dicembre 1984.]



**Figura 8.39**

Schema circuitale di E²PROM che usa una matrice di porte logiche NOR nella sua struttura interna. Tutte le celle sono cancellate contemporaneamente (cancellazione "flash"), mentre la scrittura e la lettura possono avvenire su una singola cella o su gruppi di celle contemporaneamente. [Riproduzione autorizzata da: F. Masuoka *et al.*, "A 256-kbit flash E²PROM using triple-polysilicon technology", *IEEE JSSC*, vol. SC-22, no. 4, pp. 548-552, agosto 1987.]

Gli amplificatori di lettura posti sulla bitline usano tecniche simili a quelle già discusse per le memorie dinamiche ad accesso casuale.

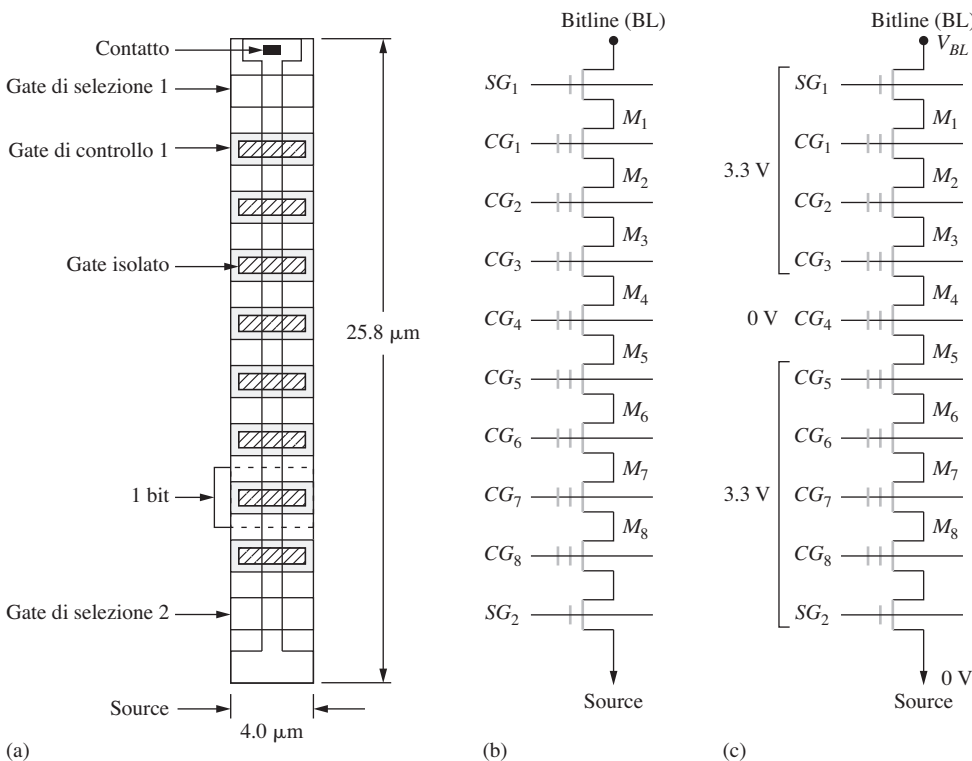
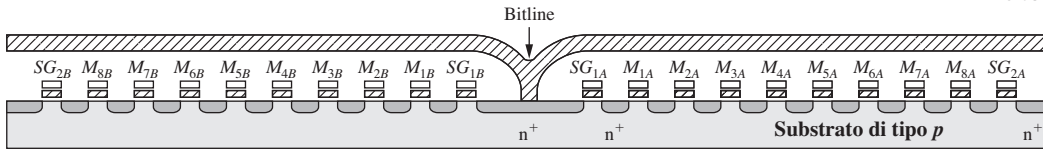
8.7.3 Realizzazione con porte NAND

L'invenzione e la successiva diffusione di memorie flash basate su circuiti NAND ha portato a un notevole aumento della densità di componenti, come mostrato nella sezione trasversale di Figura 8.40 e nel circuito di Figura 8.41. Otto celle di memoria a gate isolato (M_1 - M_8) e due transistori di selezione (SG_1 - SG_2) sono affiancati in ogni metà di una di una bitline di una matrice di memoria, creando così una porta NAND con 10 ingressi. Una sola bitline è quindi condivisa per le 16 celle di memoria, ossia 1/16 di contatto per ogni bit! Dispositivi allo stato dell'arte possono avere anche 34 (32+2) transistori affiancati, riducendo ulteriormente l'area occupata da ogni cella.

Per leggere il contenuto di una cella, tutti i transistori eccetto la cella da interrogare (per esempio, M_4) devono essere portati in saturazione, come indicato in Figura 8.41(c). Nella

Figura 8.40

Sezione trasversale di memoria flash NAND; è visibile la singola linea di bit usata per 16 celle di memoria.

**Figura 8.41**

(a) Vista dall'alto e (b) circuito equivalente per la metà di destra (8 celle) della memoria flash NAND mostrata in Figura 8.40; (c) lettura della cella M_4 . [Riproduzione autorizzata da: M. Momodomi *et al.*, "An experimental 4-Mbit CMOS EEPROM with a NAND-structured cell", *IEEE JSSC*, vol. 24, n. 5, pp. 1238-1242, ottobre 1989.]

configurazione ipotetica mostrata in Figura 8.41(c), tutti i gate di controllo tranne CG_4 sono posti a una tensione superiore a quella di soglia del transistor a gate isolato (per esempio, 3.3 V), mentre la tensione su CG_4 è portata a 0 V. Di conseguenza, tutti i transistori (escluso eventualmente M_4) sono in conduzione se la tensione gate-source è superiore alla tensione di soglia. Se il gate isolato del transistor M_4 è carico ($V_{TN} > 0$), allora M_4 è interdetto e non c'è passaggio di corrente sulla bitline; se invece il contenuto del gate isolato è stato cancellato ($V_{TN} < 0$), allora M_4 è in conduzione e sulla bitline è rilevabile una corrente. Esiste quindi una differenza sostanziale tra la corrente della bitline nei due stati e il dato memorizzato in M_4 può essere facilmente rilevato dall'amplificatore di lettura.

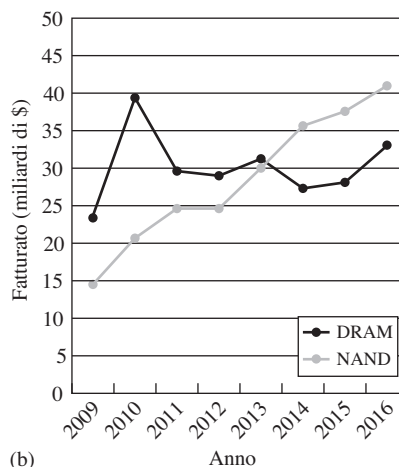
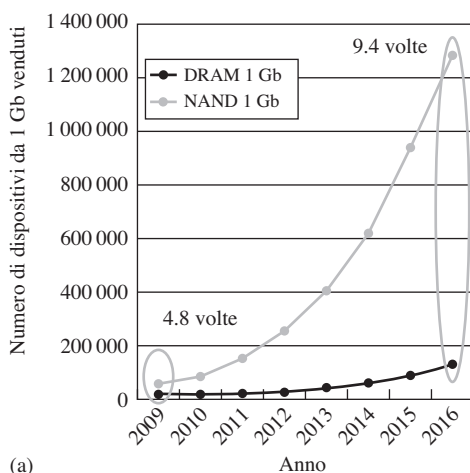
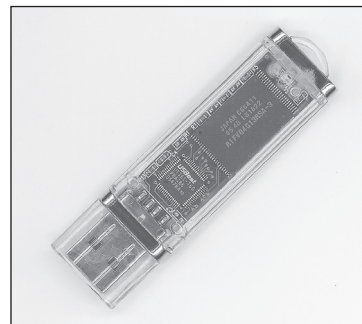
C'è tuttavia un punto cui prestare attenzione: la corrente di conduzione dipende dalla posizione del transistor considerato. Per esempio, il terminale source del transistor M_4 è collegato alla resistenza on totale di cinque transistori (M_5 - M_8 e SG_2), mentre il contatto di source del transistor M_8 è collegato alla resistenza on di un solo transistor; allo stesso modo, M_1 vede collegata al suo terminale di source la somma di 8 resistenze di conduzione. Di conseguenza, l'effettiva tensione gate-source dei transistori si riduce spostandosi verso M_1 e la corrente sulla bitline è diversa per ogni cella. Questo effetto diventa ancora più critico quando si considerano circuiti con più celle di memoria e/o quando si considerano versioni multi livello (2 bit, 3 bit ecc.) di questa tecnologia.



ELETTRONICA IN AZIONE

Diffusione delle memorie flash

L'uso di memorie flash in un numero sempre maggiore di dispositivi elettronici a basso consumo e la rapida sostituzione dei dischi rigidi magnetici con dispositivi a stato solido ha portato a un enorme aumento del numero totale di bit venduti e alla crescita del fatturato annuale generato da queste memorie. Possiamo osservare l'incredibile crescita della diffusione delle memorie flash nelle due figure sottostanti [9]. Nel 2016, la vendita di memorie flash dovrebbe aver superato i 10^{15} bit all'anno, un valore dieci volte superiore alle vendite di memorie DRAM nello stesso anno. Il fatturato annuale legato alle memorie flash ha superato quello delle memorie RAM dinamiche, con una stima di 40 miliardi di dollari nel 2016. È un ulteriore esempio di risposta dell'industria microelettronica a una necessità diffusa, con la creazione estremamente rapida di un settore di mercato interamente nuovo.

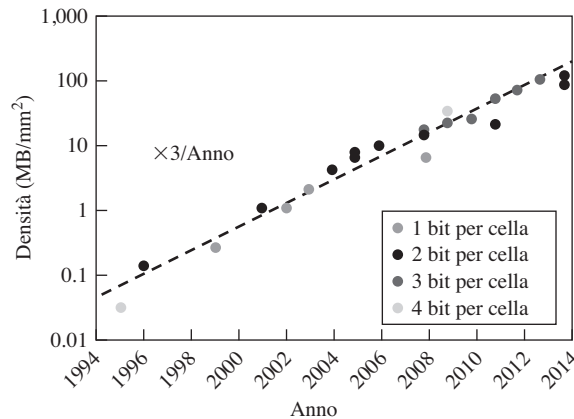


Fonte: Gartner, ottobre 2012

(a) Confronto delle vendite annuali di DRAM e memorie flash; (b) stima del fatturato annuale generato dalla vendita di tali memorie (S. Aritome, "NANDFlash Innovations", *IEEE Solid-State Circuits Magazine*, vol. 5, nr. 4, pp. 2129, autunno 2013. Riproduzione autorizzata). Foto in alto: memoria flash (per gentile concessione di Richard Jaeger).

L'enorme aumento della densità delle memorie flash NAND, misurata in megabyte al millimetro quadrato, è mostrato nella figura sottostante ed è dovuto sia alla riduzione delle dimensioni della cel-

la (per via del miglioramento del processo tecnologico e litografico), sia alla memorizzazione di due, tre e anche quattro bit in ogni cella (grazie all'uso di sofisticate tecniche circuitali).



Comitato di programma ISSCC, "Through the Looking Glass Continued (III)" Ida: IEEE Solid-State Circuits Magazine, vol. 6, no. 1, pp. 49-53, inverno 2014. Riproduzione autorizzata.

Riferimenti bibliografici

- [1] J. Wood e R.G. Ball, "The use of insulated-gate field-effect transistors in digital storage systems", *ISSCC Digest of Technical Papers*, vol. 8, pp. 82-83, febbraio 1965.
- [2] *ISSCC, Digest of Technical Papers of the IEEE International Solid-State Circuits Conference (ISSCC)*, nel mese di febbraio di ogni anno.
- [3] W.M. Regitz e J.A. Karp, "A three-transistor cell, 1024-bit, 500 ns MOS RAM", *ISSCC Digest of Technical Papers*, vol. 13, pp. 36-39, febbraio 1970.
- [4] *Digest of the IEEE International Electron Devices Meeting (IEDM)*, nel mese di dicembre di ogni anno.
- [5] Robert H. Dennard; U.S. patent 3,387,286 assegnato a IBM Corporation.
- [6] F. Masuoka, U.S. Patent 4,437,174 March 1984, assegnato a Toshiba Corp.
- [7] F. Masuoka, U.S. Patents 3,825,945, 4,115,795 e 4,543,174 assegnato a Toshiba Corp.
- [8] F. Masuoka, "Great encounters leading me to the inventions of flash memories and surrounding gate transistor technology", *IEEE Solid-State Circuits Magazine*, vol. 5, no. 4, pp. 10-20, autunno 2013. Si vedano anche i tre articoli correlati di Koji Sakui e Ken Takeuchi.
- [9] S. Aritome, "NAND flash innovations", *IEEE Solid-State Circuits Magazine*, vol. 5, no. 4, pp. 21-29, autunno 2013.
- [10] H.C. Lin e L.W. Linholm, "An optimized output stage for MOS integrated circuits", *IEEE JSSC*, vol. SC-10, pp. 106-109, aprile 1975.
- [11] R.C. Jaeger, "Comments on 'An optimized output stage for MOS integrated circuits'", *IEEE JSSC*, vol. SC-10, pp. 185-186, giugno 1975.
- [12] M. Asakura et al., "A 34 ns 256 Mb DRAM with boosted sense-ground scheme", *ISSCC Digest of Technical Papers*, pp. 140-141, 324, febbraio 1994.
- [13] *Digest of the IEEE Custom Integrated Circuits Conference*, nel mese di aprile di ogni anno.
- [14] *Digests of the Symposium on VLSI Circuits and the Symposium on VLSI Technology*, nel mese di giugno di ogni anno.
- [15] *IEEE Journal of Solid-State Circuits*, mensile.
- [16] *IEEE Transactions on Electron Devices*, mensile.
- [17] C. Mead e L. Conway, *Introduction to VLSI Systems*, Addison-Wesley, Reading, MA: 1980.
- [18] R.M. Swanson e J. D. Meindl, "Ion-implanted complementary MOS transistors in low-voltage circuits", *IEEE Journal of Solid-State Circuits*, vol. SC-7, no. 2, pp. 146-152, aprile 1972.
- [19] J.D. Meindl e J.A. Davis, "The fundamental limit on binary switching energy for terascale integration", *IEEE Journal of Solid-State Circuits*, vol. SC-35, no. 10, pp. 1515-1516, ottobre 2000.

Circuiti logici bipolari

Obiettivi

In questo capitolo, acquisiremo competenze di base sulle caratteristiche del transistor bipolare usato in commutazione e sulla progettazione delle più importanti famiglie di circuiti logici bipolari.

Il materiale di questo capitolo include i seguenti argomenti.

- La coppia bipolare.
- La famiglia logica ad accoppiamento di emettitore (ECL).
- Il comportamento del transistor bipolare come interruttore.
- La famiglia logica transistor-transistor (TTL).
- L'uso di transistori Schottky per prevenire la saturazione.
- Il funzionamento del transistor in regione attiva inversa.
- La current-mode logic (CML).
- I circuiti logici BiCMOS.

Come descritto nei Capitoli 1 e 2, i transistori bipolari sono stati i primi dispositivi a stato solido con tre terminali prodotti su grande scala e infatti i primi circuiti integrati sono stati circuiti in logica bipolare. La più vecchia famiglia logica, realizzata solo con transistori e resistori, fu la logica resistore-transistor (RTL, *Resistor-Transistor Logic*). Successivamente, fu scoperto che le proprietà delle porte logiche potevano essere migliorate aggiungendo opportuni diodi all'ingresso della porta, creando così la famiglia logica diodo-transistor (DTL, *Diode-Transistor Logic*). Poco dopo, si capì che i diodi delle porte DTL potevano essere uniti e sostituiti da un transistor con più emettitori: questo circuito divenne la base della famiglia logica transistor-transistor (TTL o T^2L , *Transistor-Transistor Logic*).

La famiglia TTL si è evoluta fino a diventare una famiglia logica estremamente robusta e facile da usare ed è stata la famiglia più usata dalla metà degli anni '60 alla metà degli anni '80; in quegli anni un grandissimo numero di porte logiche e di componenti sono stati realizzati dai fabbricanti di componenti elettronici. La famiglia TTL è ancora usata oggi nella prototipazione di circuiti elettronici e come "collante" nei sistemi digitali.

Una seconda famiglia logica che è stata molto utilizzata in vari ambiti è logica ad accoppiamento di emettitore (ECL, *Emitter-Coupled Logic*). La famiglia ECL è stata in passato la più veloce famiglia di porte logiche, ed è stata utilizzata per moltissimi anni nel cuore dei supercalcolatori. Anche nel caso delle porte ECL, sono state rese disponibili dai produttori moltissime funzioni logiche.

Versioni a bassa tensione di alimentazione (low-voltage) e a basso consumo (low-power) delle famiglie TTL ed

ECL sono state sviluppate per applicazioni VLSI, ma presentano comunque consumi più elevati rispetto alla tecnologia CMOS.

I circuiti CMOS di dimensioni submicrometriche, oggi comunemente usati, presentano ritardi di propagazione prossimi a quelli delle porte logiche ECL, ma con una densità circuitale molto maggiore e consumi inferiori. Tuttavia, l'elevata transconduttanza del transistor bipolare rappresenta ancora un vantaggio significativo e aziende operanti nell'ambito dei dispositivi a semiconduttore hanno sviluppato complessi processi BiCMOS che uniscono transistori bipolari (spesso sia *npn* sia *pnp*) alla tecnologia CMOS. Transistori bipolari germaniuro di silicio (SiGe) hanno permesso di ottenere prestazioni da record nei sintetizzatori di frequenza e in altri circuiti RF usando la logica in corrente (CML, *Current-Mode Logic*), una estensione della logica ad accoppiamento di emettitore.



Foto di un gruppo di unità logiche TTL classiche. [Foto per gentile concessione di Richard Jaeger.]

In questo capitolo studieremo in dettaglio due famiglie logiche che impiegano transistori bipolari, utilizzate fin dalla metà degli anni Sessanta. La **logica ad accoppiamento di emettitore (ECL, Emitter-Coupled Logic)** è stata per lungo tempo la famiglia logica più veloce. Il circuito della ECL è basato sull'utilizzo di transistori bipolari in configurazione differenziale, spesso denominata "interruttore di corrente".

Nella ECL i transistori operano o in **regione attiva diretta**, con una corrente di collettore relativamente grande, oppure in prossimità della **regione di interdizione**, con una corrente di collettore molto piccola. In ogni caso, i transistori non operano mai in regione di saturazione, in modo da ridurre i tempi di commutazione dei BJT.

Il progetto originale delle porte ECL prevedeva un'alimentazione negativa (per esempio, -5.2 V). Recentemente, nella famiglia ECL è stata introdotta la logica positiva ad accoppiamento di emettitore (**PECL, Positive Emitter-Coupled Logic**) e la PECL a bassa tensione (**LVPECL, Low Voltage PECL**).

La logica in corrente (**CML, Current-Mode Logic**) mantiene l'alta velocità delle porte ECL ma riduce i consumi di corrente impilando una sopra l'altra varie celle, di fatto riutilizzando la corrente di polarizzazione. La logica FET a source accoppiato (SCFL, *Source-Coupled FET Logic*) rappresenta la realizzazione FET dei circuiti CML.

La **logica transistor-transistore (TTL o T²L, Transistor-Transistor Logic)** è stata quella più comunemente adoperata fino alla metà degli anni Ottanta, quando è stata rimpiazzata dalla famiglia logica CMOS; la TTL è stata la famiglia logica che ha introdotto il valore di 5 V come standard per la tensione di alimentazione.

Nella TTL i transistori commutano fra la **regione di interdizione** e la **regione di saturazione**; in essa troveremo inoltre una delle poche applicazioni in cui il BJT opera in regione di funzionamento **attiva inversa**. A causa del funzionamento in saturazione, i ritardi della TTL sono maggiori rispetto a quelli ottenibili con le porte logiche ECL; sono quindi stati introdotti circuiti TTL più avanzati (TTL Schottky), che sono significativamente più veloci rispetto alla TTL standard o che, a parità di ritardo, mostrano una dissipazione di potenza molto minore.

Nel corso degli ultimi anni, le porte logiche bipolari sono state in molti casi rimpiazzate da porte della famiglia CMOS, descritta nel Capitolo 7. Per questo motivo, viene qui presentata solamente una breve introduzione ai circuiti logici bipolari, estratta dal capitolo completo disponibile sul sito web dedicato al libro. La numerazione dei paragrafi, delle figure e delle equazioni di questo estratto segue quella della versione completa.

9.1 La coppia differenziale

Iniziamo il nostro studio dei circuiti logici bipolari con la logica ad accoppiamento di emettitore o ECL. Il circuito di base di una porta ECL è la **coppia differenziale**, detta anche **circuito interruttore di corrente**, o **circuito ad accoppiamento di emettitore**, mostrato in Figura 9.1; esso è costituito da due transistori identici Q_1 e Q_2 , da due resistori di carico R_C e da un generatore di corrente I_{EE} . Il segnale di ingresso v_I è applicato alla base di Q_1 ed è confrontato con **una tensione di riferimento** V_{REF} , collegata alla base di Q_2 . Se v_I è maggiore di V_{REF} anche di poche centinaia di millivolt, la corrente erogata dal generatore I_{EE} passa attraverso l'emettitore di Q_1 ; viceversa, se v_I è minore di V_{REF} la I_{EE} passa at-

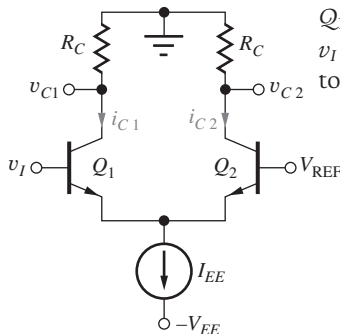


Figura 9.1
La coppia differenziale, o circuito ad accoppiamento di emettitore, utilizzata nelle porte ECL.

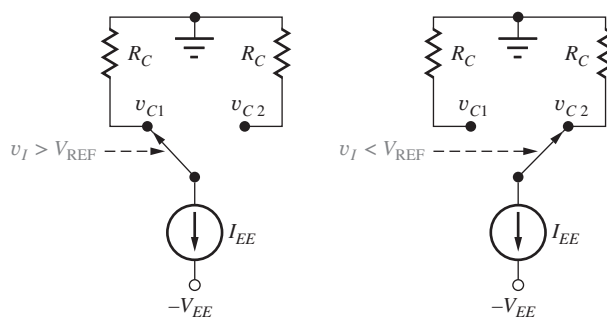


Figura 9.2 La coppia differenziale rappresentata mediante un interruttore controllato dalla tensione v_I .

traverso l'emettitore di Q_2 . La tensione di ingresso v_I consente quindi di "commutare" la corrente erogata dal generatore I_{EE} fra i due transistori Q_1 e Q_2 . Questo comportamento è simulato in Figura 9.2, in cui i transistori Q_1 e Q_2 sono sostituiti da un interruttore ideale a due posizioni, controllato dal valore della tensione di ingresso v_I .

9.2 La logica ad accoppiamento di emettitore (ECL)

Il circuito completo della porta ECL è mostrato in Figura 9.6. Alla coppia differenziale sono stati aggiunti due transistori Q_3 e Q_4 le cui tensioni base-emettitore consentono di traslare di 0.7 V le tensioni di uscita. Questi due transistori sono montati in una configurazione che prende il nome di **inseguitore di emettitore** (*emitter follower*) e operano, come accennato, da **traslatori di livello**.

9.2.1 Porta ECL per $v_I = V_H$

Per meglio chiarire come abbia luogo la traslazione dei livelli di tensione nel circuito ECL, consideriamo il caso, mostrato in Figura 9.6, in cui $v_I = V_{OH} = -0.7\text{ V}$. Le equazioni per le tensioni di uscita v_{O1} e v_{O2} possono essere scritte come segue:

$$v_{O1} = -(i_{C1} + i_{B3})R_C - v_{BE3} \quad \text{e} \quad v_{O2} = -(i_{C2} + i_{B4})R_C - v_{BE4} \quad (9.14)$$

le correnti di base sono date da:

$$i_{B3} = \frac{I_3}{\beta_F + 1} \quad \text{e} \quad i_{B4} = \frac{I_4}{\beta_F + 1}$$

Tipicamente, per una tecnologia integrata, risulta $\beta_F = 20$ e $i_B R_C \ll v_{BE}$, pertanto si ha:

$$v_{O1} \approx -i_{C1}R_C - v_{BE3} = -0.6\text{ V} - 0.7\text{ V} = -1.3\text{ V} \quad (9.15)$$

e

$$v_{O2} \approx -i_{C2}R_C - v_{BE4} = 0 - 0.7\text{ V} = -0.7\text{ V}$$

Per valori sufficientemente grandi di β_F , l'inserimento dei transistori Q_3 e Q_4 non altera le tensioni v_{C1} e v_{C2} .

Le tensioni base-collettore di Q_3 e Q_4 saranno -0.6 V e 0 V , rispettivamente, mentre i due generatori I_3 e I_4 forzano una corrente di 0.1 mA negli emettitori dei due transistori. Dunque, sia Q_3 che Q_4 sono in regione attiva diretta e $v_{BE3} = v_{BE4} = 0.7\text{ V}$.

Se l'ingresso v_I corrisponde alla variabile logica A, l'uscita v_{O1} corrisponderà ad $\bar{A}$ mentre l'uscita v_{O2} corrisponderà di nuovo ad A. Una porta ECL completa è dunque in grado di generare allo stesso tempo sia una data funzione logica degli ingressi, sia il suo complemento. La disponibilità per ogni segnale logico anche del valore negato consente molto spesso di ridurre il numero di porte necessarie per implementare una data funzione.

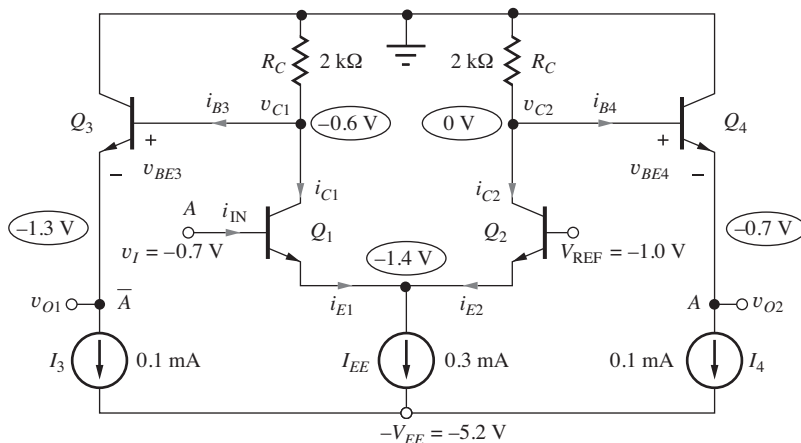


Figura 9.6 Porta ECL con $v_I = V_H$.

I transistori operano sempre in regione attiva diretta. Anche il transistore al limite dell'interdizione conduce in realtà una corrente molto ridotta, ed è pronto a commutare rapidamente per una variazione della tensione base-emettitore di pochi decimi di volt. I transistori non operano mai in regione di saturazione e ciò consente un sostanziale miglioramento della velocità di commutazione dei dispositivi. Il ridotto swing logico della porta ECL contribuisce inoltre ad aumentarne la velocità e a limitare la potenza necessaria per caricare e scaricare le capacità di carico.

Dobbiamo infine osservare che l'assorbimento di corrente della ECL è all'incirca costante, ed è indipendente dallo stato logico della porta. Questa caratteristica contribuisce a ridurre il rumore nella rete di distribuzione dell'alimentazione.

9.6 L'inseguitore di emettitore

Analizziamo ora in maggior dettaglio il funzionamento dell'inseguitore di emettitore, che nelle porte ECL ha il compito di traslare i valori delle tensioni di uscita. La Figura 9.14(a) mostra un inseguitore di emettitore polarizzato da un generatore di corrente ideale. Per $v_I \leq V_{CC}$, il transistoro Q_1 opera in regione attiva diretta, in quanto la tensione base-collettore è negativa mentre una corrente i_E fluisce dall'emettitore del dispositivo, imposta dal generatore I_{EE} . Per meglio comprendere il funzionamento del circuito, sostituiamo a Q_1 il modello del BJT in regione attiva diretta, come mostrato in Figura 9.14(b).

Utilizzando la legge di Kirchhoff si ha:

$$v_O = v_I - v_{BE} \quad (9.37)$$

La relazione che lega i_E alla v_{BE} per un transistoro in regione attiva diretta è:

$$i_E \approx \frac{I_S}{\alpha_F} \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1 \right] \quad (9.38)$$

Poiché la corrente di emettitore è costante, anche la v_{BE} è costante e la v_O può essere espressa come:

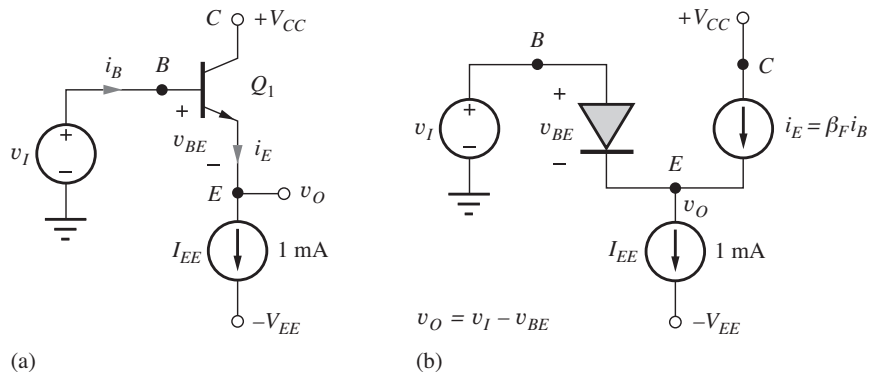
$$v_O = v_I - v_{BE} \approx v_I - 0.7 \text{ V} \quad (9.39)$$

La differenza fra le tensioni di ingresso e di uscita è costante. Dunque, la tensione all'emettitore "segue" la tensione di ingresso, a meno di una traslazione di livello costante pari alla caduta sulla giunzione base-emettitore. Questo è chiaramente mostrato in Figura 9.14(b), in cui si vede che i terminali di base e di emettitore sono collegati fra loro attraverso il diodo base-emettitore.

La caratteristica di trasferimento per l'inseguitore di emettitore è riportata in Figura 9.15. Per tensioni di ingresso positive, l'uscita segue l'ingresso fin quando il transistoro non entra in saturazione; ciò accade per $v_O = V_{CC} - V_{CESAT}$ e per $v_I = V_{CC} - V_{CESAT} + v_{BE}$. A questo punto la tensione di ingresso è maggiore di V_{CC} e ogni ulteriore aumento di v_I può comportare il danneggiamento del transistoro bipolare.

Figura 9.14

(a) Inseguitore di emettitore.
(b) Il circuito inseguitore di emettitore, con il modello in regione attiva diretta del transistoro.



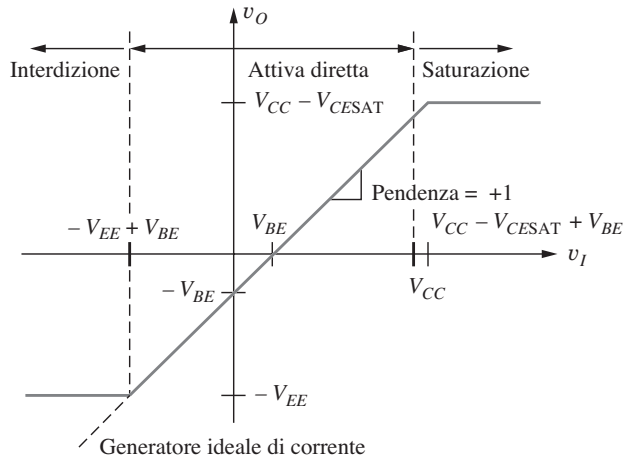


Figura 9.15
Caratteristica di trasferimento
dell'inseguitore di emettitore.

Il valore minimo della tensione di uscita è imposto dalle caratteristiche del generatore di corrente: un generatore ideale continuerebbe a operare anche per $v_O < -V_{EE}$, ma la gran parte dei generatori di corrente basati sull'utilizzo di dispositivi elettronici richiede invece che sia $v_O > -V_{EE}$. Dunque, il minimo valore per la tensione di ingresso è: $v_I = -V_{EE} + v_{BE}$. Per valori di v_I minori di questo limite, il transistor Q_1 si porta in interdizione.

9.12 Porte logiche CML

Il prodotto ritardo-potenza delle porte ECL standard è troppo elevato per permettere l'uso di tali porte in circuiti integrati ad alta densità. Per questo motivo, è stata sviluppata una seconda generazione di circuiti, chiamati **logica in corrente (CML, Current Model Logic)**, che realizzano la coppia differenziale e migliorano significativamente il valore di PDP.

In questo circuito, la corrente di polarizzazione è riutilizzata impilando una sull'altra delle coppie differenziali, come mostrato nella porta a due ingressi di Figura 9.38. Iniziamo studiando il comportamento di questi circuiti, per poi analizzare i livelli di tensione associati agli ingressi e alle uscite.

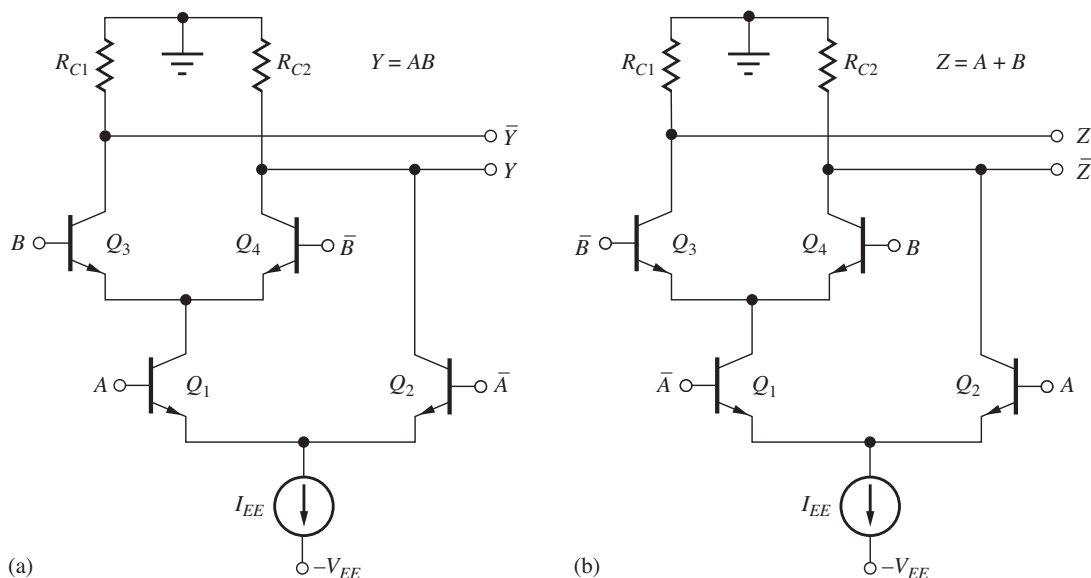


Figura 9.38 Porte logiche CML. (a) porta AND-NAND; (b) porta OR-NOR.

9.13 Porte logiche bipolari saturate

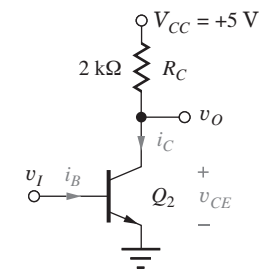


Figura 9.44
Invertitore bipolare
elementare.

Il nucleo di molte porte logiche bipolari è il semplice invertitore di Figura 9.44, che utilizza un singolo dispositivo BJT di commutazione Q_2 e un resistore di carico R_C . La tensione di ingresso v_I e la corrente di base i_B sono scelte in modo tale da far commutare Q_2 fra la regione di interdizione, quando l'ingresso è a livello logico basso, e la regione di saturazione, quando v_I è alto.

Per l'analisi e il progetto delle porte logiche bipolari saturate, utilizzeremo i parametri riportati in Tabella 9.3. Le tensioni base-emettitore e base-collettore nelle regioni di funzionamento attiva diretta e attiva inversa sono assunte pari a 0.7 V. Quando un transistor entra in saturazione, la sua tensione base-emettitore aumenta leggermente, pertanto assumeremo un valore di V_{BESAT} di 0.8 V. I nostri circuiti a BJT saranno progettati assumendo un valore di V_{CESAT} di 0.15 V. In gran parte delle tecnologie bipolari per applicazioni digitali, i transistori vengono progettati in modo da ottimizzarne la velocità a scapito del guadagno di corrente; questo spiega il valore relativamente basso di β_F in Tabella 9.3. Nelle tecnologie TTL, il valore di β_R è tipicamente compreso fra 0.1 e 2. Finora non abbiamo ancora incontrato alcuna applicazione per il funzionamento del BJT in regione attiva inversa; vedremo in seguito che questa regione di funzionamento gioca un ruolo importante nei circuiti TTL.

Tabella 9.3 Parametri del BJT	
I_S	1 fA
β_F	40
β_R	0.25
V_{BE}	0.70 V
V_{BESAT}	0.80 V
V_{CESAT}	0.15 V

9.14 La porta logica transistore-transistore (TTL) elementare

Per molti anni la TTL è stata la tecnologia più utilizzata per realizzare funzioni digitali. La TTL è il solo circuito che incontreremo in cui si utilizzano transistori bipolari operanti in tutte e quattro le possibili regioni di funzionamento: attiva diretta, attiva inversa, saturazione ed interdizione. Studieremo dapprima le caratteristiche di una porta TTL semplificata (che chiameremo “invertitore TTL elementare”) per poi procedere all'analisi delle porte logiche TTL standard e di quelle Schottky.

La Figura 9.49 mostra un invertitore TTL elementare, a bassa dissipazione di potenza. All'invertitore di Figura 9.44 è stato aggiunto il transistor Q_1 , che consente di controllare la corrente di base di Q_2 . Variando la tensione di ingresso v_I è possibile far fluire la corrente di base i_{B1} attraverso il diodo base-emettitore o il diodo base-collettore di Q_1 .

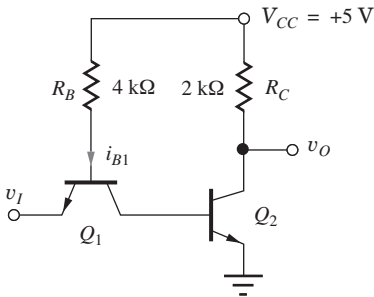


Figura 9.49 L'invertitore TTL elementare.

9.16.2 Porte NAND TTL

Lo schema di Figura 9.72 mostra una porta NAND TTL standard a tre ingressi. Se almeno uno dei tre ingressi è basso, la corrente di base di Q_3 sarà zero e l'uscita sarà alta, per cui $Y = \overline{ABC}$. Il comportamento del resto del circuito è identico a quanto visto in precedenza per l'invertitore TTL.

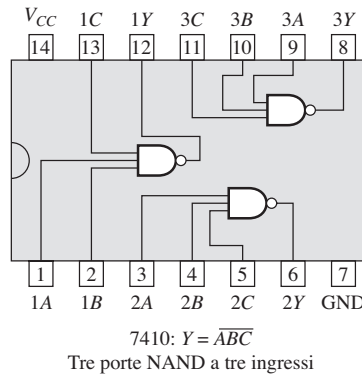
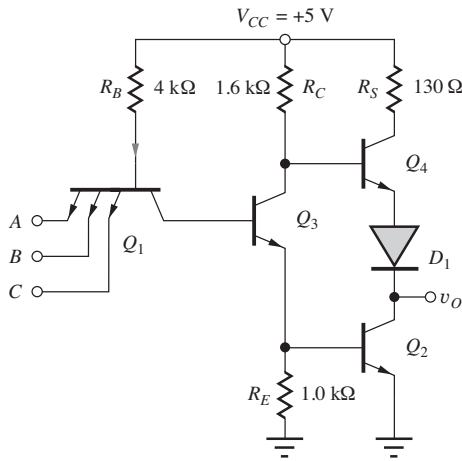


Figura 9.72

Porta NAND a tre ingressi, in TTL standard.

9.17 La TTL Schottky

La saturazione dei transistori rallenta significativamente la risposta dinamica delle porte TTL. Per risolvere questo problema è stato introdotto il **transistore Schottky**, mostrato in Figura 9.76. Il transistore Schottky viene ottenuto ponendo un diodo Schottky metallo-semiconduttore in parallelo alla giunzione base-collettore di un transistore bipolare.

La caduta di tensione ai capi di un diodo Schottky in polarizzazione diretta è di circa 0.45 V, per cui si porta in conduzione prima del diodo base-collettore del transistore bipolare. Riferendoci alla Figura 9.76, vediamo che:

$$v_{CE} = v_{BE} - v_{SD} = (0.70 - 0.45) \text{ V} = 0.25 \text{ V} \quad (9.101)$$

Il diodo Schottky previene dunque la saturazione del BJT, deviando la corrente in ingresso in eccesso rispetto al valore i_C/β_F . Da notare che si è utilizzato un valore di 0.7 per la v_{BE} nell'Equazione (9.101), poiché il BJT non è in saturazione.

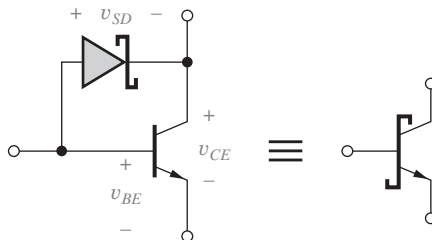


Figura 9.76

Transistore Schottky.

9.19 Logica BiCMOS

Ci sono stati numerosi tentativi di combinare fra loro tecnologie bipolari e FET, al fine di sfruttare i vantaggi di entrambi i tipi di dispositivi. Per esempio, il processo BiFET combina assieme BJT e JFET ed è stato spesso utilizzato per realizzare circuiti analogici. I processi BiCMOS rendono disponibili MOS a canale n e a canale p e transistori bipolari; le tecnologie BiCMOS più sofisticate consentono inoltre di realizzare sia transistori nnp che pnp . Nelle logiche BiCMOS, i transistori MOS sono tipicamente utilizzati per avere ingressi ad alta impedenza e per realizzare funzioni logiche NAND, NOR o logiche complesse. I transi-

stori bipolari sono utilizzati per realizzare stadi di uscita in grado di erogare o assorbire elevate correnti, in grado quindi di pilotare efficacemente carichi capacitivi elevati. La tecnologia BiCMOS si rivela inoltre estremamente utile in progetti "misti", che utilizzano sia circuiti analogici che digitali (*mixed-signal*).

Per molti anni, la BiCMOS è stata considerata una tecnologia di nicchia, a causa dei costi e della complessità del processo costruttivo. Tuttavia, la richiesta di microprocessori con prestazioni sempre più elevate e la necessità di sviluppare sistemi complessi (*system on a chip*) di tipo "misti" ha portato allo sviluppo di processi BiCMOS da parte di molte compagnie, fra le quali IBM, Intel, ST-Microelectronics e Texas Instruments, per nominarne alcune. Attualmente, la tecnologia BiCMOS viene adoperata nei processori ad alte prestazioni, nei circuiti integrati *mixed-signal*, e nei processi avanzati al Silicio-Germanio.

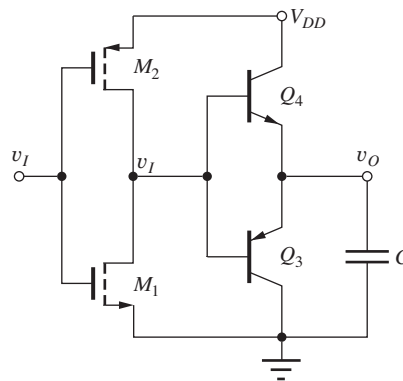
Avendo a disposizione sia transistori MOS complementari che dispositivi bipolari, le possibilità progettuali si ampliano enormemente. Nel seguito, daremo qualche accenno alle tecniche circuitali con le quali è possibile combinare transistori BJT e MOS per ottenere circuiti logici ad elevate prestazioni.

9.19.1 Buffer BiCMOS

Il transistore bipolare fornisce un elevato guadagno di corrente ed è inoltre caratterizzato da una transconduttanza maggiore rispetto a un MOS, a parità di correnti. Pertanto, i BJT possono essere proficuamente utilizzati per caricare e scaricare rapidamente capacità elevate. D'altro canto, l'elevata impedenza d'ingresso dei dispositivi MOS consente di realizzare circuiti logici che non richiedono correnti di pilotaggio in condizioni stazionarie; inoltre le porte CMOS consentono di realizzare efficacemente funzioni logiche complesse. Pertanto, i circuiti BiCMOS sono spesso adoperati negli stadi di uscita (*buffers*) dedicati al pilotaggio di carichi capacitivi elevati. In questo modo è possibile evitare l'utilizzo degli stadi buffer costituiti da invertitori in cascata, che abbiamo studiato nei capitoli precedenti, e che richiedono un'elevata occupazione di area.

La Figura 9.85 mostra un buffer BiCMOS, costituito da una coppia di inseguitori di emettitore (i due transistori *nnp* e *pnp* Q_3 e Q_4) pilotata da un invertitore CMOS.

Figura 9.85
Un buffer BiCMOS, che utilizza una coppia di inseguitori di emettitore pilotata da un invertitore CMOS.



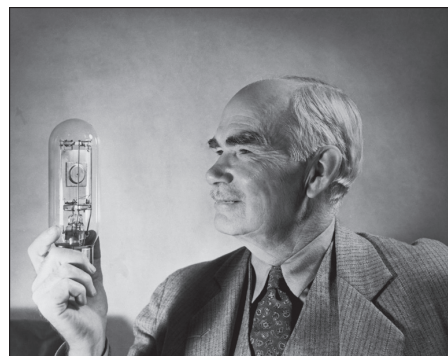
Obiettivi

In questo capitolo iniziamo lo studio dei circuiti utilizzati per l'elaborazione dei segnali analogici e apprenderemo alcuni concetti fondamentali relativi al processo di amplificazione dei segnali e circuiti contenenti amplificatori operazionali ideali.

- Guadagno di tensione, di corrente e di potenza.
- Rappresentazione in decibel del guadagno.
- Resistenza di ingresso e uscita.
- Funzione di trasferimento e diagrammi di Bode.
- Frequenza di taglio e larghezza di banda.
- Amplificatori passa-basso, passa-alto, passa-banda e a reiezione di banda.
- Polarizzazione degli amplificatori lineari.
- Distorsione negli amplificatori.
- Rappresentazione a doppio bipolo degli amplificatori.
- Impiego dell'analisi della funzione di trasferimento (TF) in SPICE.
- Caratteristiche e comportamento degli amplificatori differenziali e operazionali ideali.
- Metodi di analisi di circuiti con operazionali ideali.
- Metodi di calcolo per determinare amplificazione, resistenza di ingresso e di uscita di amplificatori.
- Circuiti base con operazionali, amplificatori invertenti, non invertenti, sommatori, inseguitori e integratori.
- Calcoli sui diagrammi di Bode.
- Fattori da considerare nel progetto di circuiti con amplificatori operazionali.

L'invenzione del tubo a vuoto noto come Audion da parte di Lee de Forest nel 1906 rappresenta una pietra miliare nell'evoluzione dell'elettronica. L'Audion, infatti, ha rappresentato il primo dispositivo in grado di fornire amplificazione di segnale con un ragionevole isolamento tra uscita e ingresso [1-4]. Gli amplificatori utilizzati oggi sono per la maggior parte basati su dispositivi a stato solido, e vengono impiegati in molti apparati elettronici, sia analogici che digitali, che utilizziamo nella vita quotidiana. Esempi di dispositivi elettronici digitali che contengono amplificatori sono i telefoni cellulari, i sistemi audio digitali, i lettori di DVD, i disk drive e i sistemi GPS. Tutti questi sistemi utilizzano amplificatori per trasformare dei segnali analogici di piccola ampiezza in segnali con un livello opportuno per la conversione analogico-digitale. I circuiti analogici sono anche alla base dei convertitori analogico-digitali (A/D) e digitale-analogici (D/A), e dei sistemi di telecomunicazione in mezzi guidati e wireless.

Sistemi in fibra ottica, modem ADSL e comunicazioni cellulari fanno uso di amplificatori per generare e ricevere i debolissimi segnali che contengono l'informazione trasmessa. Nella seconda parte del libro sono stati analiz-



Lee de Forest, inventore dell'Audion. [© Bettmann/Corbis.]

zati i circuiti che trattano l'informazione in forma discreta, come dati binari. Tuttavia possiamo osservare come la maggior parte delle informazioni associate a grandezze fisiche siano descritte da segnali continui o analogici. Grandezze fisiche come la temperatura, l'umidità, la pressione e l'intensità della luce o del suono possono assumere valori arbitrari compresi in un certo intervallo, e possono essere rappresentati da segnali analogici simili a quello mostrato in Figura 10.1. Questi segnali possono

essere generati da un trasduttore che misura grandezze quali la pressione o la temperatura, oppure rappresentano l'uscita di un microfono o di un registratore. Tali segnali vengono spesso elaborati attraverso amplificatori lineari, che alterano l'ampiezza oppure la fase (o entrambe) del segnale.

Nei moderni sistemi elettronici si preferisce effettuare la maggior parte dell'elaborazione delle informazioni in forma digitale. Tuttavia, il fondo scala nei convertitori A/D e D/A è tipicamente compreso tra 1 V e 5 V, mentre il livello del segnale da elaborare risulta spesso molto più basso. Per esempio, questo può essere il caso dei segnali in ricezione nei sistemi di telecomunicazione, oppure di un segnale prodotto da un sensore o da un trasduttore. L'uscita di un sensore di temperatura può essere infatti inferiore a 1 mV/°C, mentre i telefoni cellulari richiedono sensibilità nell'ordine del microvolt. È pertanto necessario disporre degli amplificatori per aumentare il livello di tensione, di corrente oppure di potenza di questi segnali. Inoltre, gli amplificatori sono anche utilizzati per il filtraggio dei segnali, ovvero per limitarne il contenuto spettrale. Nei capitoli successivi studieremo il progetto di amplificatori che sono necessari in queste applicazioni.

Molti dei circuiti trattati nei capitoli precedenti usano tecniche di progetto miste che richiedono conoscenze circuitali sia analogiche sia digitali, come pure di interfacciamento e conversione A/D e D/A.

In questo capitolo iniziamo lo studio dettagliato del comportamento dell'amplificatore operazionale ideale (*op amp*) che oggi rappresenta un blocco fondamentale nel progetto analogico. Il nome *amplificatore operazionale* deriva dalla sua iniziale applicazione nei calcolatori analogici in cui svolgeva di fatto operazioni matematiche. In questo capitolo studieremo queste applicazioni classiche degli operazionali che realizzano amplificazione invertente e non invertente, somma, integrazione, differenziazione e filtraggio.

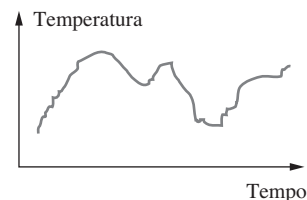
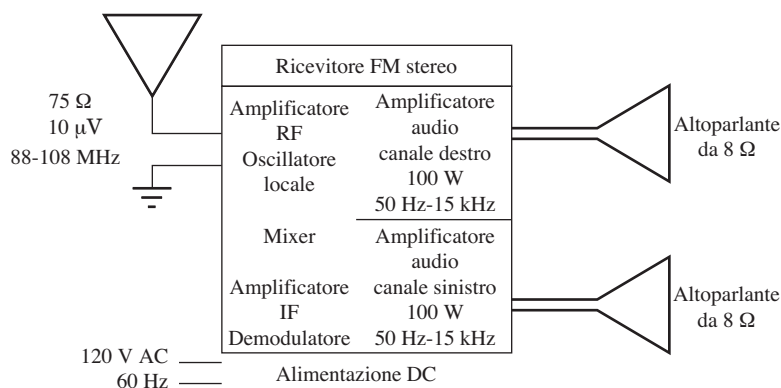


Figura 10.1 Esempio di segnale analogico: temperatura in funzione del tempo.

10.1 Un esempio di sistema elettronico analogico

Iniziamo lo studio dei sistemi analogici analizzando un'applicazione abbastanza familiare: il ricevitore stereo FM (Figura 10.2). Il segnale ricevuto dall'antenna è un segnale radio ad **alta frequenza (VHF)**¹ nella banda 88-108 MHz, che contiene l'informazione per almeno due canali di musica stereofonica.² Questi segnali possono essere caratterizzati da ampiezza

Figura 10.2
Ricevitori FM stereo.



Ricevitore FM di un impianto stereo
(Foto: © Pioneer Electronics (USA) Inc.)



Smartphone. (Foto: © McGraw-Hill Education.
Mark Dierker, fotografo)

¹ Lo spettro di frequenze radio è di solito diviso in diverse bande per esempio: HF (High Frequency): 3-30 MHz; VHF (Very High Frequency): 30-300 MHz; UHF (Ultra High Frequency): 300-3000 MHz ecc. Il termine RF è sovente utilizzato per indicare l'intervallo di frequenze compreso tra 0.5 MHz e 10 GHz, e oltre.

² Un ricevitore satellitare è molto simile, tranne che lavora con frequenze in ingresso comprese fra 1 GHz e 5 GHz.

Tabella 10.1 Ricevitore stereo FM	
Circuiti relativi a funzioni lineari	Circuiti relativi a funzioni non lineari
Amplificazione a radiofrequenze Amplificazione a frequenze audio Sintonizzazione Adattamento di impedenza (ingresso a 75 Ω) Definizione della risposta in frequenza Oscillatore locale	Alimentazione continua (raddrizzatori) Conversione di frequenza (miscelazione) Rivelazione/demodulazione

estremamente ridotta (fino a 1 μV), e spesso raggiungono l'ingresso del ricevitore attraverso un cavo coassiale con impedenza pari a 50 Ω o 75 Ω . All'uscita del ricevitore sono presenti degli amplificatori audio che amplificano la tensione e la corrente in modo da fornire una potenza di 100 W agli altoparlanti da 8 Ω nell'intervallo di frequenze audio da 50 Hz a 15 kHz.

Il ricevitore è un sistema analogico complesso che contiene diversi processi di elaborazione del segnale, alcuni di tipo lineare, altri di tipo non lineare (si veda la Tabella 10.1). Per esempio, l'ampiezza del segnale deve essere amplificata, sia a **frequenze radio (RF)** che a **frequenze audio (AF)**. Occorrono quindi elevati guadagni di tensione, corrente e potenza nel corso dei diversi processi di elaborazione che trasformano il piccolo segnale ricevuto dall'antenna nel segnale audio da 100 W all'ingresso degli altoparlanti. L'impedenza del ricevitore deve essere spesso progettata in modo da essere adattata a quella di 75 Ω del cavo coassiale connesso all'antenna.

Poiché desideriamo ascoltare solo una stazione per volta, occorre separare il segnale desiderato da tutti gli altri segnali ricevuti dall'antenna, cosicché il ricevitore deve essere dotato di circuiti a elevata selettività. Per sintonizzare il ricevitore è anche necessario un generatore di frequenza variabile detto *oscillatore locale*. Tutte queste funzioni possono essere realizzate utilizzando **amplificatori lineari**.

Nella maggior parte dei ricevitori il segnale in frequenza in ingresso viene modificato, attraverso un processo detto miscelazione (*mixing*), in un segnale a frequenza intermedia (**IF**, *Intermediate Frequency*),³ in cui l'informazione audio può essere facilmente separata dalla portante a RF attraverso un processo detto di demodulazione. I processi di miscelazione e demodulazione sono due esempi di elaborazione non lineare di segnali analogici. Tuttavia, anche questi circuiti non lineari sono basati sul progetto di amplificatori lineari. Osserviamo, infine, che le tensioni continue necessarie ad alimentare il sistema sono ottenute attraverso i circuiti raddrizzatori descritti nel Capitolo 3.

10.2 Amplificazione

Come primo esempio di amplificatore lineare, consideriamo l'amplificatore di uno dei due canali del ricevitore FM di Figura 10.3. Il circuito di ingresso all'amplificatore è rappresentato con il circuito equivalente secondo Thévenin, costituito dal generatore di tensione equivalente v_i e dalla resistenza equivalente R_I . L'altoparlante in uscita è rappresentato da una resistenza di 8 Ω .

In base all'analisi di Fourier sappiamo che un segnale periodico complesso v_i può essere espresso come somma di un numero infinito di onde sinusoidali:

$$v_i = \sum_{i=1}^{\infty} V_i \sin(\omega_i t + \phi_i) \quad (10.1)$$

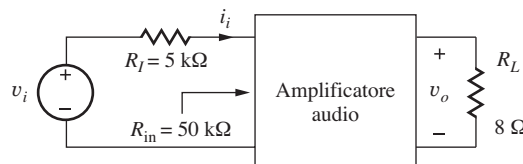


Figura 10.3
Amplificatore audio relativo a
un canale del ricevitore FM.

³ Valori soliti per la frequenza intermedia sono 10.7 MHz e 455 kHz.

dove V_i = ampiezza dell' i -esima componente del segnale,
 ω_i = pulsazione,
 ϕ_i = fase.

Se l'amplificatore è lineare, possiamo applicare il metodo di sovrapposizione degli effetti, cosicché ciascuna componente i -esima del segnale viene amplificata indipendentemente dalle altre, e il segnale complessivo in uscita si ottiene sommando i diversi contributi. Per semplicità, nella nostra analisi prenderemo in esame solo una componente del segnale, di pulsazione ω_i e ampiezza V_i :

$$v_i = V_i \sin \omega_i t \quad (10.2)$$

Assumiamo per esempio $V_i = 1$ mV. Poiché questo segnale rappresenta il segnale di riferimento, possiamo assumere $\phi_i = 0$ senza ledere la generalità dell'analisi.

L'uscita dell'amplificatore lineare è data da un segnale sinusoidale di uguale frequenza ma con diversa ampiezza V_o e fase θ :

$$v_o = V_o \sin (\omega_i t + \theta) \quad (10.3)$$

La potenza in uscita risulta:

$$P_o = \left(\frac{V_o}{\sqrt{2}} \right)^2 \frac{1}{R_L} \quad (10.4)$$

(Dalla teoria dei circuiti ricordiamo che la quantità $V_o/\sqrt{2}$ rappresenta il valor quadratico medio, RMS, del segnale di tensione sinusoidale.) Per un amplificatore che fornisce 100 W al carico di 8 Ω , l'ampiezza del segnale di uscita è pari a:

$$V_o = \sqrt{2P_o R_L} = \sqrt{2 \times 100 \text{ W} \times 8 \Omega} = 40 \text{ V}$$

In corrispondenza del valore assegnato della potenza, si ottiene una corrente di uscita

$$i_o = I_o \sin (\omega_i t + \theta) \quad (10.5)$$

con ampiezza pari a

$$I_o = \frac{V_o}{R_L} = \frac{40 \text{ V}}{8 \Omega} = 5 \text{ A}$$

Si osservi che, poiché il carico è costituito da una resistenza, i_o e v_o hanno identica fase.

10.2.1 Guadagno di tensione

In regime sinusoidale il **guadagno di tensione** A_v di un amplificatore viene definito dalla tensione di ingresso e da quella di uscita espresse come **fasori**.

La rappresentazione a fasori di $v_i = V_i \sin \omega_i t$ è $\mathbf{V}_i = V_i \angle 0^\circ$, e quella relativa a $v_o = V_o \sin (\omega_i t + \theta)$ è $\mathbf{V}_o = V_o \angle \theta$. Analogamente, la rappresentazione a fasori della corrente è $\mathbf{I}_i = I_i \angle 0^\circ$ e $\mathbf{I}_o = I_o \angle \theta$. Il guadagno di tensione è espresso dal rapporto dei fasori

$$A_v = \frac{\mathbf{V}_o}{\mathbf{V}_i} = \frac{V_o \angle \theta}{V_i \angle 0^\circ} = \frac{V_o}{V_i} \angle \theta \quad \text{ovvero} \quad |A_v| = \frac{V_o}{V_i} \quad \text{e} \quad \angle A_v = \theta \quad (10.6)$$

Molto più spesso il guadagno è dato come funzione di trasferimento usando la frequenza complessa di Laplace s oppure, per i diagrammi di Bode, in funzione di $j\omega$. Con riferimento all'amplificatore audio della Figura 10.3, il modulo del guadagno di tensione è pari a:

$$|A_v| = \frac{V_o}{V_i} = \frac{40 \text{ V}}{1 \text{ mV}} = 4 \times 10^4$$

Nei capitoli successivi studieremo degli amplificatori che presentano $\theta = 0^\circ$ oppure $\theta = 180^\circ$ a centro banda (si veda il Paragrafo 10.10.4).

Vedremo anche che per ottenere un tale valore di guadagno è necessario disporre di diversi stadi di amplificazione. È importante osservare che il modulo del guadagno è definito dal modulo dei segnali, ed è costante, cioè non è funzione del tempo. Nella parte restante di questo paragrafo limiteremo la nostra attenzione al modulo del guadagno, mentre l'analisi della fase verrà rimandata al Paragrafo 10.10.

10.2.2 Guadagno di corrente

Nell'amplificatore audio di Figura 10.3, che assumiamo come esempio, è necessario amplificare anche la corrente. La corrente di ingresso risulta determinata dalla **resistenza del generatore** R_I e dalla **resistenza di ingresso dell'amplificatore** R_{in} . L'ampiezza della corrente di ingresso $i_i = I_i \sin \omega_i t$ risulta:

$$I_i = \frac{V_i}{R_I + R_{in}} = \frac{1 \text{ mV}}{5 \text{ k}\Omega + 50 \text{ k}\Omega} = 18.2 \text{ nA} \quad (10.7)$$

La fase ϕ è nulla poiché il circuito di ingresso è costituito solo da resistenze.

Il **guadagno di corrente** è definito come il rapporto dei fasori associati a $\mathbf{I}_o$ ($I_o \angle 0^\circ$) e $\mathbf{I}_i$ ($I_i \angle \theta$):

$$A_i = \frac{\mathbf{I}_o}{\mathbf{I}_i} = \frac{I_o \angle \theta}{I_i \angle 0^\circ} = \frac{I_o}{I_i} \angle \theta \quad (10.8)$$

Il modulo del guadagno è dato dal rapporto dei moduli delle correnti di uscita e ingresso:

$$|A_i| = \frac{I_o}{I_i} = \frac{5 \text{ A}}{18.2 \text{ nA}} = 275 \times 10^6$$

Anche in questo caso per ottenere un valore così elevato di guadagno occorrono diversi stadi di amplificazione.

10.2.3 Guadagno di potenza

La potenza fornita all'ingresso dell'amplificatore è abbastanza piccola, mentre la potenza fornita all'altoparlante è considerevole. L'amplificatore è quindi caratterizzato anche da un elevato guadagno di potenza. Il **guadagno di potenza** A_P è definito dal rapporto tra la potenza in uscita P_o , fornita al carico, e la potenza in ingresso P_i , fornita dal generatore:

$$A_P = \frac{P_o}{P_i} = \frac{\frac{V_o}{\sqrt{2}} \frac{I_o}{\sqrt{2}}}{\frac{V_i}{\sqrt{2}} \frac{I_i}{\sqrt{2}}} = \frac{V_o}{V_i} \frac{I_o}{I_i} = |A_v| |A_i| \quad (10.9)$$

Dalla (10.9) si nota che nella definizione del guadagno di potenza si può considerare sia il valore di picco che il valor quadratico medio (RMS) della tensione e della corrente, purché la scelta sia la stessa all'ingresso e all'uscita dell'amplificatore (questa considerazione vale anche per A_v e A_i). Nell'esempio considerato si ottiene un valore molto elevato:

$$A_P = 40 \times 10^3 \times 275 \times 10^6 = 11 \times 10^{12}$$

ESERCIZIO (a) Si verifichi la relazione $|A_P| = |A_v| |A_i|$. (b) Un amplificatore deve fornire 20 W a un altoparlante da 16 Ω . Il segnale sinusoidale di ingresso può essere rappresentato con un generatore di tensione da 5 mV in serie con una resistenza da 10 k Ω . Si calcolino il guadagno di tensione, di corrente e di potenza, assumendo che l'impedenza di ingresso dell'amplificatore sia pari a 20 k Ω .

RISPOSTE 5060; 9.49×10^6 ; 4.80×10^{10} .

Un amplificatore può presentare un guadagno di tensione *oppure* di corrente minore di 1, ma il guadagno di potenza disponibile *deve* essere maggiore di 1.

10.2.4 Rappresentazione del guadagno in decibel

Il valore del guadagno di potenza, tensione e corrente può essere espresso in **decibel**, o dB (un decimo di bel):

$$\begin{aligned} A_{\text{pdB}} &= 10 \log A_P \\ A_{\text{vdB}} &= 20 \log |A_v| \\ A_{\text{idB}} &= 20 \log |A_i| \end{aligned} \quad (10.10)$$

Tabella 10.2 Conversione del guadagno in decibel

Guadagno	$A_{v\text{dB}}$ o $A_{i\text{dB}}$	$A_{P\text{dB}}$
1000	60 dB	30 dB
500	54 dB	27 dB
300	50 dB	25 dB
100	40 dB	20 dB
20	26 dB	13 dB
10	20 dB	10 dB
$\sqrt{10} = 3.16$	10 dB	5 dB
2	6 dB	3 dB
1	0 dB	0 dB
0.5	-6 dB	-3 dB
0.1	-20 dB	-10 dB

Il valore in decibel è pari a 10 volte il logaritmo in base 10 del rapporto che definisce il guadagno di potenza. Il valore in decibel di rapporti o prodotti può essere calcolato utilizzando le ben note regole relative al logaritmo di rapporti e prodotti. Il fattore 20 che appare nella definizione di $A_{v\text{dB}}$ e $A_{i\text{dB}}$ è dovuto al fatto che la potenza è proporzionale al quadrato della tensione o della corrente.

La Tabella 10.2 mostra diversi esempi. Si vede che un incremento del guadagno di tensione o di corrente secondo un fattore 10 corrisponde a una variazione di 20 dB, mentre un incremento del guadagno di potenza secondo un fattore 10 corrisponde a una variazione di 10 dB. Un fattore 2 corrisponde a una variazione di 6 dB per il guadagno di tensione o di corrente, e a 3 dB nel caso del guadagno di potenza. Nel testo faremo riferimento sia al valore aritmetico che al valore in dB per i diversi tipi di guadagno, ed è quindi importante che la regola di conversione (10.10) sia ben chiara.

ESERCIZIO Con riferimento al precedente esercizio (Paragrafo 10.2.3), si esprimano in decibel il guadagno di tensione, di corrente e di potenza.

RISPOSTE 74.1 dB, 140 dB, 107 dB.

ESERCIZIO Si esprimano in decibel il guadagno di tensione, di corrente e di potenza relativi all'amplificatore di Figura 10.3.

RISPOSTE 92.0 dB, 169 dB, 130 dB.

Esempio 10.1

ADATTAMENTO DI IMPEDENZA

Analizziamo un'altra possibile applicazione di uno stadio amplificatore. Si supponga di avere un segnale sinusoidale $v_i = V_i \sin(2000\pi t)$, con $V_i = 100$ mV, proveniente da un trasduttore (per esempio un microfono del computer, o l'uscita un convertitore digitale-analogico, come quello presente in un lettore MP3) che abbia una resistenza equivalente di Thévenin, R_I , pari a 2 k Ω . Si voglia adesso ascoltare questo segnale con degli auricolari aventi un'impedenza di carico pari a 32 Ω . Questo sistema è rappresentato schematicamente nella Figura 10.4. Sfortunatamente, in questa situazione, solo una piccola frazione del segnale prodotto dal trasduttore (v_i) sarà trasferita nel carico a causa della grande attenuazione che il segnale subirà nel partitore tra R_L e R_I .

Poiché stiamo operando con reti di soli generatori e di sole resistenze, vale il principio di linearità, e la tensione di uscita sarà ancora una sinusoide in fase con la tensione d'ingresso, $v_o = V_o \sin(2000\pi t)$, dove l'ampiezza V_o si ottiene applicando la regola del partitore di tensione:

$$V_o = V_i \frac{R_L}{R_I + R_L} = 0.1 \text{ V} \left(\frac{32 \Omega}{2032 \Omega} \right) = 1.58 \text{ mV} \quad (10.11)$$

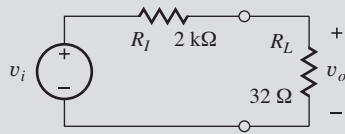


Figura 10.4
Modello circuitale del
trasduttore connesso
direttamente al carico.

Il segnale sul trasduttore è ridotto di quasi un fattore 70, e sarà, con molta probabilità, un segnale non percepibile dal nostro udito. Per risolvere questo problema, possiamo utilizzare un amplificatore come quello rappresentato in Figura 10.5. In questo caso utilizziamo un modello a doppio bipolo composto da una *resistenza di ingresso* R_{in} , un *guadagno di tensione* A e una *resistenza di uscita* R_{out} .

Assumiamo (in modo del tutto arbitrario) $R_{in} = 100 \text{ k}\Omega$, $A = 1$ (0 dB), $R_{out} = 5 \Omega$ e ricalcoliamo la tensione di uscita usando sempre la regola del partitore di tensione:

$$V_o = AV_1 \frac{R_L}{R_{out} + R_L} \quad \text{e} \quad V_1 = V_i \frac{R_{in}}{R_I + R_{in}} \quad (10.12)$$

Combinando le due equazioni si ottiene:

$$V_o = A_v \left(V_i \frac{R_{in}}{R_I + R_{in}} \right) \left(\frac{R_L}{R_{out} + R_L} \right) = 1(0.1 \text{ V}) \left(\frac{100 \text{ k}\Omega}{102 \text{ k}\Omega} \right) \left(\frac{32 \Omega}{37 \Omega} \right) = 84.8 \text{ mV} \quad (10.13)$$

in questo modo il segnale di uscita vale $v_o = (84.8 \text{ mV}) \sin(2000 \pi t)$. In questo modo siamo riusciti a trasferire circa l'85% del segnale al carico (gli auricolari). La potenza trasferita agli auricolari è tuttavia ancora relativamente piccola:

$$P_o = \frac{V_o^2}{2R_L} = \frac{(84.8 \text{ mV})^2}{2(32 \Omega)} = 0.112 \text{ mW} \quad (10.14)$$

Se vogliamo aumentare la potenza trasferita al carico, dobbiamo aumentare il guadagno di tensione dell'amplificatore. Aumentiamo allora il guadagno interno dell'amplificatore a 26 dB e vediamo cosa succede. Convertiamo prima il guadagno e poi ripetiamo i calcoli:

$$A = 10^{26/20} = 20.0$$

$$V_o = 20(0.1 \text{ V}) \left(\frac{100 \text{ k}\Omega}{102 \text{ k}\Omega} \right) \left(\frac{32 \Omega}{37 \Omega} \right) = 1.709 \text{ V} \quad (10.15)$$

$$P_o = \frac{(1.70 \text{ V})^2}{2(32 \Omega)} = 45.2 \text{ mW}$$

Adesso abbiamo un segnale audio abbastanza forte sui nostri auricolari (probabilmente che raggiunge il limite massimo delle loro specifiche).

In questo esempio, abbiamo utilizzato un amplificatore prima di tutto come trasformatore d'impedenze e in secondo luogo per aumentare la potenza del segnale da applicare al carico (auricolari). L'amplificatore trasferisce il segnale dalla sorgente al carico, evitando la grande attenuazione causata dalla condizione sfavorevole delle impedenze della sorgente e del carico. Queste sono solo due delle tante funzioni che un amplificatore può compiere. Un'altra funzione molto diffusa è quella di modificare la risposta in frequenza di un segnale d'ingresso, e in questo caso l'amplificatore si comporta anche da filtro.

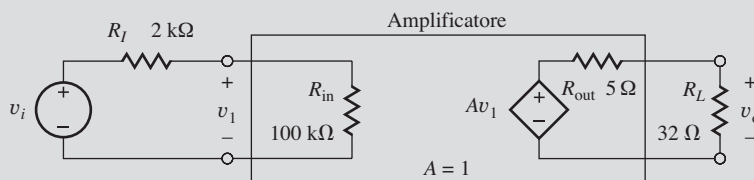


Figura 10.5
Modello circuitale della rete
di Figura 10.4 con un
amplificatore inserito tra
il generatore e il carico.

10.3 Modelli a doppio bipolo

Il semplice modello a tre elementi dell'amplificatore di Figura 10.5, usato nell'esempio 10.1, è una rappresentazione del circuito con una **rete a due porte**, anche chiamata rappresentazione a **doppio bipolo**, ed è molto utile per modellare il comportamento di un amplificatore all'interno di un sistema complesso. Con un doppio bipolo possiamo rappresentare in modo semplice un circuito molto più complicato. In questo modo riusciamo a nascondere o incapsulare la complessità di un sottocircuito per poter trattare in modo più semplice l'analisi e il progetto complessivo. È bene tenere a mente che la rappresentazione a doppio bipolo di un circuito complesso è valida solo in condizioni di funzionamento in piccolo segnale, come discusso nel Capitolo 13.

Dalla teoria delle reti sappiamo che un doppio bipolo può essere descritto utilizzando diverse rappresentazioni basate sui parametri g , h , y , z , s e $abcd$. Si osservi che, nella rappresentazione dell'amplificatore come doppio bipolo, i segnali di ingresso (v_1 , i_1) e di uscita (v_2 , i_2) rappresentano le componenti variabili, ovvero le variazioni, delle tensioni e correnti all'ingresso e all'uscita dell'amplificatore. In questo capitolo utilizzeremo il modello a parametri g , presentato di seguito, mentre i modelli a parametri h , y e z sono discussi nell'Appendice C.

10.3.1 I parametri g

La rappresentazione basata sui **parametri g** ⁴ è quella più utilizzata per gli amplificatori di tensione:

$$\begin{aligned} i_1 &= g_{11}v_1 + g_{12}i_2 \\ v_2 &= g_{21}v_1 + g_{22}i_2 \end{aligned} \quad (10.16)$$

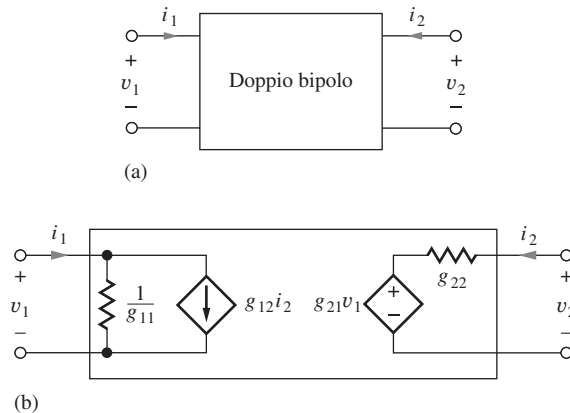
La Figura 10.6(b) mostra la corrispondente rappresentazione circuitale.

I parametri g sono determinati per mezzo di **connessioni a circuito aperto** ($i = 0$) e **connessioni in cortocircuito** ($v = 0$), come indicato dalle seguenti relazioni:

$$\begin{aligned} g_{11} &= \left. \frac{i_1}{v_1} \right|_{i_2=0} = \text{conduttanza di ingresso a circuito aperto} \\ g_{12} &= \left. \frac{i_1}{i_2} \right|_{v_1=0} = \text{guadagno di corrente inverso in cortocircuito} \\ g_{21} &= \left. \frac{v_2}{v_1} \right|_{i_2=0} = \text{guadagno di tensione diretto a circuito aperto} \\ g_{22} &= \left. \frac{v_2}{i_2} \right|_{v_1=0} = \text{resistenza di uscita in cortocircuito} \end{aligned} \quad (10.17)$$

Figura 10.6

(a) Rappresentazione di un amplificatore come doppio bipolo. (b) Rappresentazione di un doppio bipolo con parametri g .



⁴ I parametri g sono parametri ibridi, la lettera g in questo caso non indica una conduttanza. [N.d.C.]

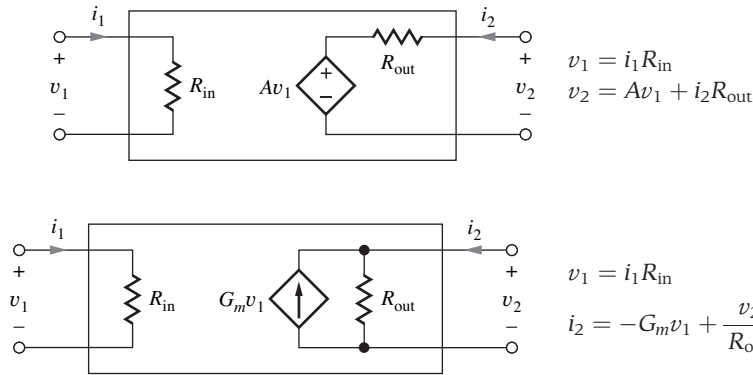


Figura 10.7

Modello di doppio bipolo con notazione semplificata e $g_{12} = 0$.

Figura 10.8

Rappresentazione equivalente secondo Norton del circuito di Figura 10.7 in cui $G_m = A/R_{out}$.

Rappresentazione semplificata

Purtroppo la notazione dei parametri g non agevola la comprensione immediata del significato di ciascun parametro. Una formulazione più semplice ottenuta a partire dalle Equazioni (10.16) viene riportata nelle Equazioni (10.18) e nella corrispondente rappresentazione circuitale riportata nella Figura 10.7

$$\begin{aligned} v_1 &= i_1 R_{in} \\ v_2 &= A v_1 + i_2 R_{out} \end{aligned} \quad (10.18)$$

R_{in} rappresenta la resistenza di ingresso, A è il guadagno di tensione in assenza di carico all'uscita, e R_{out} la resistenza di uscita. In questa rappresentazione semplificata si è assunto un guadagno inverso g_{12} pari a zero. Questa approssimazione è giustificata dal fatto che nel progetto degli amplificatori usualmente si richiede che il guadagno diretto g_{21} sia molto maggiore di quello inverso g_{12} .

La Figura 10.8 mostra una rappresentazione circuitale equivalente frequentemente utilizzata del modello descritto dalle (10.18) e riportato in Figura 10.7. Questa rappresentazione è basata su un circuito equivalente secondo Norton in cui il parametro G_m è dato da $G_m = A/R_{out}$.

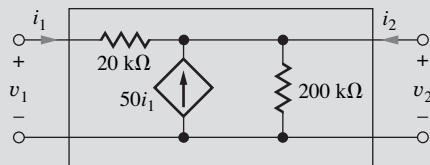
CALCOLO DEI PARAMETRI g

Esempio 10.2

In questo esempio determiniamo l'insieme dei parametri g per una rete contenente un generatore di corrente dipendente. È questo un caso molto frequente nello studio dei circuiti analogici in quanto i modelli dei transistori a effetto di campo e dei transistori bipolari contengono un generatore di corrente dipendente.

Si determinino i parametri g per il doppio bipolo mostrato in figura:

PROBLEMA



Informazioni e dati noti: È dato il circuito con i valori degli elementi.

Incognite: I valori dei parametri g .

SOLUZIONE

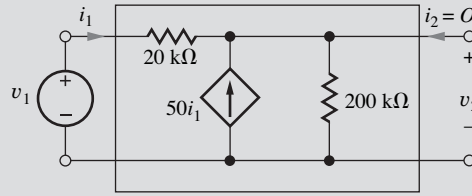
Approccio: Si utilizzeranno le condizioni per il calcolo di ciascun parametro, e si analizzerà il circuito così ottenuto. Si noti che per una data condizione si possono determinare due parametri.

Ipotesi: Nessuna.

Analisi – g_{11} e g_{21} : Dalla definizione dei parametri g

$$G_{in} = g_{11} = \left. \frac{i_1}{v_1} \right|_{i_2=0} \quad \text{e} \quad A = g_{21} = \left. \frac{v_2}{v_1} \right|_{i_2=0}$$

si vede che per il calcolo di g_{11} e g_{21} si introduce la stessa condizione. Applichiamo un segnale v_1 alla porta di ingresso mentre la porta di uscita è aperta (ovvero i_2 è pari a zero), come mostrato in figura.



g_{11} : Dall'analisi della maglia di ingresso, e applicando la KCL al nodo di uscita si ottiene:

$$v_1 = (2 \times 10^4)i_1 + (i_1 + 50i_1)(200 \text{ k}\Omega)$$

$$G_{\text{in}} = \frac{i_1}{v_1} = \frac{1}{20 \text{ k}\Omega + 51(200 \text{ k}\Omega)} = \frac{1}{10.2 \text{ M}\Omega} = 97.9 \text{ nS}$$

g_{21} : Poiché i_2 è nulla, la tensione v_2 è data da

$$v_2 = (i_1 + 50i_1)(200 \text{ k}\Omega) = i_1(51)(200 \text{ k}\Omega)$$

in cui i_1 può essere espressa in termini di v_1 attraverso il parametro g_{11} :

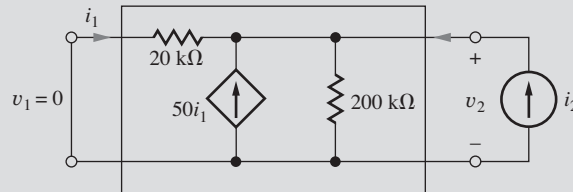
$$v_2 = (g_{11}v_1)(51)(200 \text{ k}\Omega)$$

$$A = \frac{v_2}{v_1} = g_{11}(51)(200 \text{ k}\Omega) = (97.9 \text{ nS})(51)(200 \text{ k}\Omega) = +0.998$$

Analisi – g_{12} e g_{22} : Dalla definizione dei parametri g

$$g_{12} = \left. \frac{i_1}{i_2} \right|_{v_1=0} \quad \text{e} \quad g_{22} = \left. \frac{v_2}{i_2} \right|_{v_1=0}$$

si vede che per il calcolo di g_{12} e g_{22} si introduce la stessa condizione. Applichiamo un generatore di corrente i_2 alla porta di uscita mentre la porta di ingresso è cortocircuitata (ovvero v_1 è pari a zero), come mostrato in figura.



g_{22} : Con $v_1 = 0$ si vede che la rete si semplifica in un circuito con un solo nodo. Dall'equazione relativa al nodo di ingresso si ottiene:

$$(i_2 + 50i_1) = \frac{v_2}{200 \text{ k}\Omega} + \frac{v_2}{20 \text{ k}\Omega}$$

La corrente i_1 può essere scritta in termini di v_2 come segue:

$$i_1 = -\frac{v_2}{20 \text{ k}\Omega}$$

Dalle precedenti equazioni si ottiene la resistenza di uscita in condizioni di circuito aperto g_{22} :

$$i_2 = \frac{v_2}{200 \text{ k}\Omega} + \frac{v_2}{20 \text{ k}\Omega} + 50 \frac{v_2}{20 \text{ k}\Omega} \quad \text{e} \quad R_{\text{out}} = \frac{v_2}{i_2} = \frac{1}{\frac{1}{200 \text{ k}\Omega} + \frac{51}{20 \text{ k}\Omega}} = 391 \text{ }\Omega$$

g_{12} : Il guadagno di corrente inverso in condizioni di cortocircuito g_{12} può essere ottenuto dai precedenti risultati:

$$i_1 = -\frac{v_2}{20 \text{ k}\Omega} = -\frac{g_{22}i_2}{20 \text{ k}\Omega} \quad \text{e} \quad g_{12} = \frac{i_1}{i_2} = -\frac{391 \text{ }\Omega}{20 \text{ k}\Omega} = -19.6 \times 10^{-3}$$

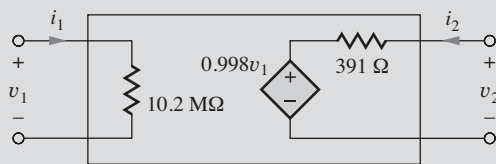
Le rappresentazioni a parametri g risultano quindi:

$$i_1 = (97.9 \text{ nS})v_1 - 19.6 \times 10^{-3}i_2$$

$$v_2 = 0.998v_1 + (391 \text{ } \Omega)i_2$$

Verifica dei risultati: I risultati possono essere verificati effettuando una simulazione SPICE.

Discussione: Si osservi che i valori dei parametri $R_{\text{in}} = 10.2 \text{ M}\Omega$ e $R_{\text{out}} = 391 \text{ } \Omega$ differiscono in modo significativo dalle altre resistenze nel circuito. Questo risultato è dovuto alla presenza del generatore di corrente dipendente, come vedremo nello studio dei circuiti analogici con transistori. Osserviamo inoltre che si ha $A \gg g_{12}$, un risultato che sarà utilizzato nello studio della retroazione. Il modello matematico e la corrispondente rappresentazione circuitale sono riportati di seguito.



$$v_1 = (10.2 \text{ M}\Omega)i_1$$

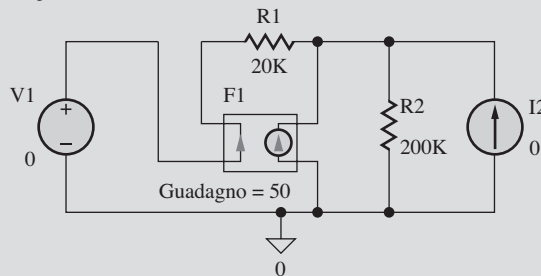
$$v_2 = 0.998v_1 + (391 \text{ } \Omega)i_2$$

$$R_{\text{in}} = 10.2 \text{ M}\Omega$$

$$R_{\text{out}} = 391 \text{ } \Omega$$

$$A = 0.998$$

Analisi assistita da calcolatore: I valori numerici dei parametri possono essere facilmente determinati dalla possibilità offerta da SPICE di effettuare l'analisi della funzione di trasferimento (TF). Per determinare i parametri g del doppio bipolo in esame disponiamo un generatore di tensione V1 in ingresso e un generatore di corrente I2 in uscita, come mostrato in figura. I generatori scelti corrispondono alle condizioni per il calcolo dei parametri g . Entrambi i generatori indipendenti sono nulli. Nell'analisi TF si determina la risposta delle variabili in seguito a variazioni delle variabili relative ai generatori indipendenti. La scelta di un valore nullo per i generatori soddisfa la condizione richiesta per il calcolo dei parametri g .



Sono necessarie due analisi TF, una per g_{11} e g_{21} , e una per g_{12} e g_{22} . La prima analisi richiede il calcolo della funzione di trasferimento dal generatore di tensione V1 alla tensione presente in uscita, e SPICE fornisce la funzione di trasferimento, la resistenza di ingresso e quella di uscita. I risultati forniti da SPICE sono 0.998 per la funzione di trasferimento, $10.2 \text{ M}\Omega$ per la resistenza di ingresso e $391 \text{ } \Omega$ per la resistenza di uscita. Il risultato ottenuto per parametro g_{21} , il guadagno di tensione a circuito aperto, è in accordo con l'analisi manuale. La conduttanza di ingresso g_{11} è pari al reciproco di $10.2 \text{ M}\Omega$, in accordo con l'analisi manuale.

La seconda analisi richiede la funzione di trasferimento dal generatore di corrente I2 alla corrente che attraversa il generatore V1. I risultati forniti da SPICE sono 0.0196 per la funzione di trasferimento e $391 \text{ } \Omega$ per la resistenza di ingresso. In questo caso la resistenza di uscita (in corrispondenza di V1) non può essere calcolata perché V1 rappresenta un cortocircuito all'ingresso. Si noti che il parametro g_{12} è pari alla funzione di trasferimento cambiata di segno. La differenza di segno è dovuta al verso convenzionale, in SPICE assunto positivo se entrante nel generatore V1. Il parametro g_{22} rappresenta la resistenza di $391 \text{ } \Omega$ vista dal generatore I2, e corrisponde alla "resistenza di ingresso" nell'analisi TF. La simulazione SPICE conferma l'analisi manuale. È bene tenere a mente che l'analisi TF è una forma di analisi DC, e che quindi *non* deve essere usata in circuiti contenenti condensatori o induttori.

ESERCIZIO Si calcolino i parametri g per il doppio bipolo dell'Esempio 10.2 nel caso in cui la resistenza di $200\text{ k}\Omega$ sia sostituita con una resistenza di $50\text{ k}\Omega$, e il generatore di corrente sia 75 i_1 .

RISPOSTE 262 nS ; 0.995 , -0.0131 ; $262\text{ }\Omega$.

ESERCIZIO Si impieghi SPICE per verificare i risultati dell'esercizio precedente.



NOTA PROGETTUALE

Transfer Function in SPICE

Ricordare che in SPICE la *Transfer Function* è un'analisi in continua (DC) e non deve essere usata in circuiti contenenti capacità e induttanze.

10.4 Disadattamento delle impedenze del generatore e di carico

Come è noto dalla teoria dei circuiti, il massimo trasferimento di potenza si verifica in condizione di adattamento per le resistenze, ovvero quando la resistenza del generatore è uguale a quella del carico. Negli amplificatori di tensione e corrente, tuttavia, si preferisce una condizione di disadattamento per le resistenze di ingresso e uscita.

Per comprendere il motivo di tale scelta, si consideri l'**amplificatore di tensione** mostrato in Figura 10.9. Il generatore in ingresso viene descritto dal circuito equivalente secondo Thévenin, mentre l'uscita è collegata a un carico costituito dalla resistenza R_L . Applicando la legge del partitore di tensione si possono facilmente calcolare le tensioni v_o e v_1 :

$$v_o = A v_1 \frac{R_L}{R_{\text{out}} + R_L} \quad \text{e} \quad v_1 = v_i \frac{R_{\text{in}}}{R_I + R_{\text{in}}} \quad (10.19)$$

Il guadagno di tensione è quindi dato da:

$$|A_v| = \frac{V_o}{V_i} = A \frac{R_{\text{in}}}{R_I + R_{\text{in}}} \frac{R_L}{R_{\text{out}} + R_L} \quad (10.20)$$

Affinché il guadagno di tensione risulti pari al valore massimo, devono essere verificate le seguenti disuguaglianze

$$R_{\text{in}} \gg R_I \quad \text{e} \quad R_{\text{out}} \ll R_L$$

e il guadagno è pari a

$$|A_v| \approx A \quad (10.21)$$

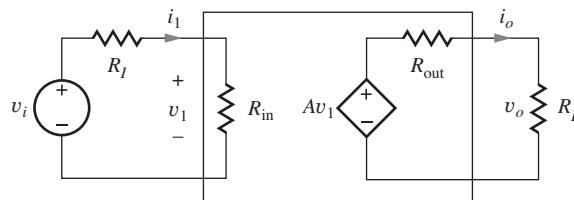
In questo caso, le resistenze relative ai circuiti di ingresso e uscita sono notevolmente diverse da quelle, rispettivamente, del generatore d'ingresso e del carico. Un **amplificatore di tensione ideale** è un amplificatore caratterizzato da $R_{\text{in}} \rightarrow \infty$ e $R_{\text{out}} = 0$, in modo tale che il guadagno di tensione sia pari al valore massimo dato dalla (10.21).

Il modulo del guadagno di corrente per l'amplificatore di Figura 10.9 può essere espresso come:

$$|A_i| = \frac{I_o}{I_1} = \frac{\frac{V_o}{R_L}}{\frac{V_i}{R_I + R_{\text{in}}}} = \frac{V_o}{V_i} \frac{R_I + R_{\text{in}}}{R_L} \quad \text{ovvero} \quad |A_i| = |A_v| \frac{R_I + R_{\text{in}}}{R_L} \quad (10.22)$$

Figura 10.9

Amplificatore di tensione collegato a un generatore in ingresso e a un carico in uscita.



ESERCIZIO Qual è il guadagno di corrente di un amplificatore ideale di tensione?

RISPOSTE $\rightarrow \infty$.

ESERCIZIO Si esprima il guadagno di potenza per l'amplificatore di Figura 10.9 in termini del guadagno di tensione.

RISPOSTE $A_P = A_v^2(R_I + R_{in})/R_L$.

ESERCIZIO Supponiamo che l'amplificatore audio di Figura 10.3 abbia una $R_{in} = 50 \text{ k}\Omega$ e una $R_{out} = 0.5 \Omega$. Si determini il valore del guadagno a circuito aperto A necessario affinché la potenza in uscita sia pari a 100 W, assumendo che la tensione d'ingresso risulti $v_i = (1 \text{ mV}) \sin 2000\pi t$. Si calcoli la potenza dissipata sulla resistenza R_{out} . Quanto vale il guadagno di corrente?

RISPOSTE 46 800 (93.4 dB); 6.25 W; 2.75×10^8 (169 dB).

ESERCIZIO Si ripeta l'esercizio precedente nel caso in cui i circuiti di ingresso e uscita siano adattati al generatore e al carico (ovvero $R_{in} = 5 \text{ k}\Omega$ e $R_{out} = 8 \Omega$). Dovrebbe essere chiaro il motivo per cui la resistenza R_{out} non è di solito adattata alla resistenza di uscita.

RISPOSTE 160 000 (104 dB); 100 W; 5×10^7 (153 dB).

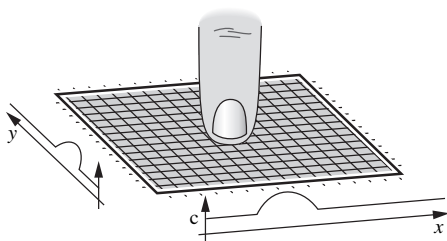


ELETTRONICA IN AZIONE

Periferiche touchpad per computer portatili

Douglas Engelbart è stato tra i primi ricercatori alla fine degli anni Sessanta a comprendere l'importanza di sviluppare dei dispositivi di interfaccia che consentissero un'interazione grafica tra l'utente e gli oggetti mostrati sul monitor di un computer. Il mouse, inventato da Engelbart nel 1968, è stato introdotto nei computer Apple Macintosh solo nel 1984. Con i successivi progressi dell'elettronica integrata furono introdotti i computer portatili (*laptop*), e si rese necessario sviluppare una nuova tecnologia compatibile con le dimensioni dei laptop. I primi dispositivi erano basati su sfere. In tal caso, tuttavia, il movimento rotatorio risultava meno semplice da controllare rispetto alla traslazione piana (x, y) del mouse. Inoltre, tali dispositivi erano poco affidabili a causa della polvere o dello sporco che si accumulava con l'uso. La tecnologia basata su touch screen fu sviluppata all'inizio degli anni Ottanta, ma richiedeva delle membrane poco robuste e tecniche di fabbricazione costose. Nei primi anni Novanta fu sviluppata presso la Synaptics Corporation una tecnologia detta *touchpad* basata sulla misura di capacità. Come mostrato in figura, questo dispositivo contiene una griglia di fili conduttori disposti ortogonalmente in-

un piano (x, y) al di sotto di una membrana sottile. Quando un dito viene poggiato sulla membrana, la capacità dei conduttori sottostanti viene modificata. Pertanto, misurando in sequenza la capacità dei conduttori è possibile determinare il movimento del dito sulla membrana. Questa misura può essere effettuata in diversi modi. Per esempio la capacità può essere parte di un circuito accordato che controlla la frequenza di un oscillatore. In un altro metodo si pilota la capacità con una corrente alternata, e si misura la tensione picco-picco risultante. Nella maggior parte dei casi si invia un gradino di tensione e si integra la corrispondente corrente di carica. L'integrale della corrente è proporzionale alla capacità. Questo dispositivo è notevolmente complesso, ed è praticamente irrealizzabile con elementi discreti. La tecnologia CMOS integrata, al contrario, consente di implementare facilmente le complesse operazioni di elaborazione digitale e analogica richieste, nonché l'interfaccia digitale. Anche in questo caso l'elettronica analogica svolge il compito importante di connessione tra l'informazione in forma analogica proveniente dal mondo esterno e i processi di elaborazione digitale.



Il MacBook Air 11 di Apple.
[© Sergio Azenha/Alamy.]

10.5 Introduzione all'amplificatore operazionale

Dopo aver esplorato alcune applicazioni degli amplificatori, studieremo ora le caratteristiche e le applicazioni di un componente estremamente importante chiamato amplificatore operazionale. Nei capitoli successivi analizzeremo dei circuiti a transistori che sono usati all'interno di circuiti più complessi, come appunto gli amplificatori operazionali.

L'**amplificatore operazionale** costituisce un elemento fondamentale dei sistemi analogici. Il termine "operazionale" è dovuto al fatto che questo tipo di amplificatore è utilizzato per eseguire funzioni matematiche quali la moltiplicazione, la somma e l'integrazione.

Dopo la realizzazione dei primi circuiti integrati bipolari negli anni Sessanta, i circuiti integrati con amplificatori operazionali si sono sviluppati rapidamente: i primi offrivano prestazioni simili a circuiti realizzati con tubi a vuoto o con componenti discreti, ma significativi vantaggi in termini di dimensioni, costo e potenza dissipata, sebbene fossero meno affidabili. L'amplificatore $\mu A709$, introdotto nel 1965 dalla Fairchild Semiconductor, fu il primo amplificatore operazionale integrato a essere diffusamente utilizzato per applicazioni di carattere generale.

Un altro esempio classico di operazionale con eccellenti caratteristiche è rappresentato dall'amplificatore $\mu A741$, introdotto alla fine degli anni Sessanta dalla Fairchild. I circuiti di questi operazionali contenevano da 20 a 50 transistori bipolari. In realizzazioni successive si migliorarono le prestazioni per applicazioni specifiche. Oggi il mercato offre una varietà quasi infinita di operazionali (Figura 10.10).

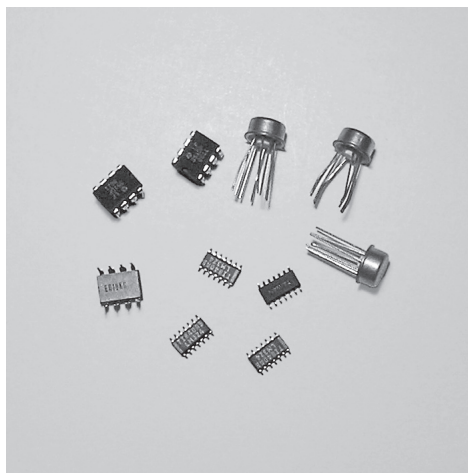
Nel resto di questo capitolo verrà presentata un'introduzione alle caratteristiche degli amplificatori operazionali. Saranno anzitutto definite le caratteristiche dell'amplificatore operazionale ideale; verranno quindi illustrate alcune applicazioni circuitali, tra cui: amplificatori invertenti e non invertenti, circuiti sommatori, amplificatori per strumentazione, integratori e filtri fondamentali. Nel Capitolo 11 studieremo i limiti legati al comportamento non ideale degli operazionali, tra cui: il valore finito del guadagno, della larghezza di banda e delle resistenze di ingresso e uscita, la reiezione di modo comune, la tensione di offset, le correnti di polarizzazione e la stabilità. Nel Capitolo 12 saranno presentate ulteriori applicazioni degli operazionali.

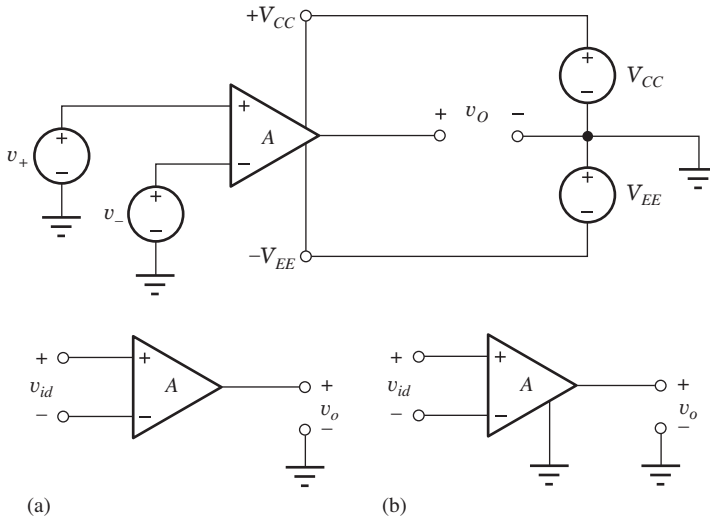
10.5.1 L'amplificatore differenziale

Gli amplificatori differenziali sono impiegati in numerose applicazioni come i circuiti retroazionati oppure i sistemi di controllo. Gli amplificatori operazionali possono essere considerati degli amplificatori differenziali con caratteristiche particolari. Per questo motivo, il nostro studio degli amplificatori operazionali ha inizio dall'analisi del funzionamento dell'amplificatore differenziale.

La Figura 10.11 mostra lo schema fondamentale di un **amplificatore differenziale**: presenta due ingressi ai quali sono applicati i segnali v_+ e v_- , e una sola uscita v_O . Tutti i segnali sono riferiti al terminale di riferimento (comune o ground), con potenziale intermedio rispetto alle tensioni di alimentazione V_{CC} e V_{EE} . Nella maggior parte delle applicazioni

Figura 10.10
Circuiti integrati contenenti
amplificatori operazionali.
[Cortesia di Richard Jaeger.]



**Figura 10.11**

Amplificatore differenziale in cui sono state esplicitamente indicate le tensioni di alimentazione.

Figura 10.12

(a) Amplificatore con alimentazioni sottintese.
(b) Amplificatore con collegamento al potenziale di riferimento.

si ha $V_{CC} \geq 0$ e $-V_{EE} \leq 0$. Le tensioni di alimentazione sono spesso simmetriche, per esempio ± 5 V, ± 12 V, ± 15 V, ± 18 V, ± 22 V e così via, e limitano l'intervallo di variazione del segnale di uscita: $-V_{EE} \leq v_o \leq V_{CC}$.

Per semplicità, l'amplificatore viene spesso disegnato senza mostrare le tensioni di alimentazione [Figura 10.12(a)]. Bisogna però ricordare che i terminali di alimentazione sono sempre presenti in un circuito reale. Durante le analisi manuali o con modelli SPICE semplificati è conveniente usare un modello in cui è presente anche un terminale collegato al potenziale di riferimento, come mostrato in Figura 10.12(b), ma si ricordi che gli amplificatori operazionali reali non hanno questa connessione.

10.5.2 Caratteristica di trasferimento di tensione dell'amplificatore differenziale

In Figura 10.13 è rappresentata la transcaratteristica o caratteristica di trasferimento di tensione (VTC, *Voltage Transfer Characteristic*) per un amplificatore differenziale alimentato da due generatori di tensione V_{CC} e $-V_{EE}$. La VTC rappresenta semplicemente la relazione tra la tensione di uscita v_o e la tensione differenziale d'ingresso v_{ID} . In questo caso particolare, V_{CC} e $-V_{EE}$ sono tensioni simmetriche ($V_{CC} = 10$ V, $-V_{EE} = -10$ V), e quindi la tensione di uscita è limitata a -10 V $\leq v_o \leq 10$ V.

A causa dei limiti nelle tensioni di alimentazione, si vede che la relazione ingresso/uscita, $v_o = f(v_{ID})$ è lineare solo in una zona limitata della caratteristica. Utilizzando la notazione standard introdotta nel Capitolo 1, possiamo esprimere la tensione totale di ingresso v_{ID} come somma di due componenti:

$$v_{ID} = V_{ID} + v_{id} \quad (10.23)$$

dove V_{ID} e v_{id} rappresentano rispettivamente la componente continua (DC) e la componente alternata (AC) del segnale di ingresso. Analogamente, la tensione di uscita totale è rappresentata da:

$$v_o = V_o + v_o \quad (10.24)$$

dove V_o e v_o rappresentano rispettivamente la componente continua (DC) e la componente alternata, (AC) del segnale di uscita. L'amplificatore per amplificare linearmente il segnale alternato v_{id} , deve essere polarizzato dalla componente continua della tensione d'ingresso, V_{ID} , nella regione centrale della caratteristica di trasferimento.

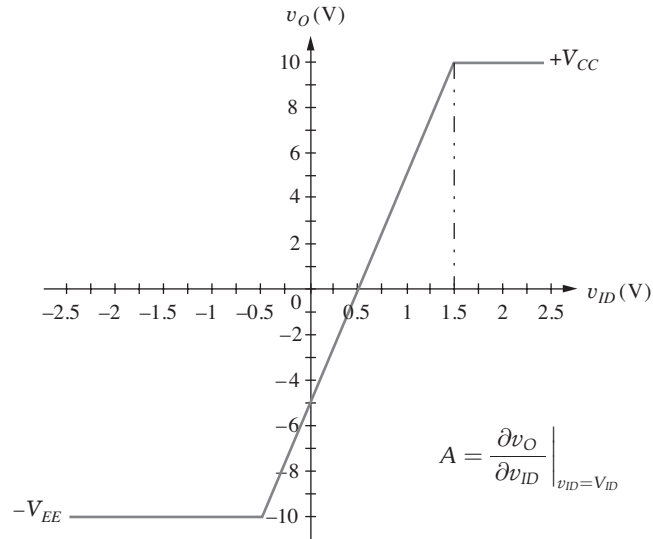
10.5.3 Guadagno di tensione

Il guadagno di tensione di un amplificatore A descrive la relazione tra le variazioni nel segnale d'ingresso (v_{id}) e le variazioni del segnale di uscita (v_o) e viene definita dalla pendenza della VTC dell'amplificatore, valutata alla tensione di ingresso V_{ID} :

$$A = \left. \frac{\partial v_o}{\partial v_{ID}} \right|_{v_{ID}=V_{ID}} \quad (10.25)$$

Figura 10.13

Caratteristica di trasferimento di tensione (VTC) per un amplificatore differenziale con $V_{CC} = 10\text{ V}$, $-V_{EE} = -10\text{ V}$ e un guadagno $A = +10$ (20 dB).



Per la VTC della Figura 10.13 per $V_{ID} = 1\text{ V}$ si ha:

$$A = \frac{10 - 0}{1.5 - 0.5} \left(\frac{\text{V}}{\text{V}} \right) = +10 \quad \text{o} \quad A_{\text{v dB}} = 20 \log(10) = 20 \text{ dB} \quad (10.26)$$

Si noti che il guadagno non è uguale al rapporto tra la tensione di uscita totale e la tensione d'ingresso totale! Per esempio, per $V_{ID} = +1\text{ V}$, si ha

$$\frac{v_O}{v_{ID}} = \frac{5}{1} = +5 \neq A \quad (10.27)$$

La pendenza della VTC in Figura 10.13 è ovunque ≥ 0 , quindi la tensione di uscita dell'amplificatore è in fase con la tensione di ingresso; in definitiva, questo è un **amplificatore non invertente**. Se la pendenza fosse stata negativa, il segnale di uscita sarebbe stato sfasato di 180° rispetto al segnale d'ingresso, e l'amplificatore sarebbe stato classificato come un **amplificatore invertente**.

Tensione di offset

L'amplificatore con VTC di Figura 10.13 presenta una **tensione di offset all'ingresso** V_{OS} definita come la tensione da applicare all'ingresso per avere tensione di uscita nulla. In questo caso $V_{OS} = +0.5\text{ V}$. La tensione di offset è una delle non idealità di un operazionale e sarà trattata nel Capitolo 11.

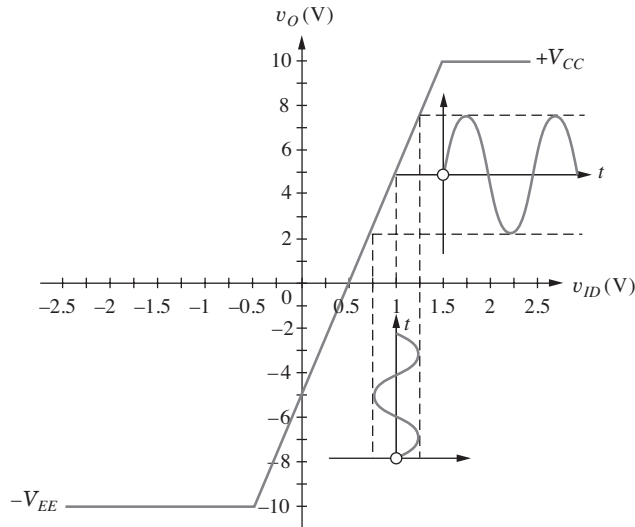
Amplificazione dei segnali

Nella Figura 10.14 si può osservare una rappresentazione grafica della VTC di un amplificatore di tensione insieme con un segnale sinusoidale d'ingresso e di uscita nei quali v_{ID1} e v_{O1} sono date da:

$$v_{ID1} = (1 + 0.25 \sin 2000\pi t) \text{ V} \quad \text{e} \quad v_{O1} = (5 + 2.5 \sin 2000\pi t) \text{ V} \quad (10.28)$$

Si noti inoltre che c'è una limitata gamma di tensioni d'ingresso per cui l'amplificatore si comporta in modo lineare. Per una polarizzazione d'ingresso di 1 V (come mostrato nell'Equazione (10.28) e in Figura 10.14), la massima ampiezza del segnale variabile di ingresso deve essere inferiore a 0.5 V , che corrisponde a una massima ampiezza del segnale di uscita di 5 V .

Se l'ampiezza del segnale alternato d'ingresso supera 0.5 V , allora la parte superiore del segnale di uscita è tagliata. La Figura 10.15 mostra i risultati della simulazione SPICE dell'amplificatore con la VTC della Figura 10.14 e con il segnale d'ingresso descritto dall'Equazione (10.28) e con uno pari a $v_{ID2} = 1\text{ V} + (1.5\text{ V}) \sin(2000\pi t)$. Quando v_{ID2} supera 1.5 V , l'uscita rimane costante a $+10\text{ V}$. Ogni ulteriore aumento della tensione di ingresso non causerà nessun cambiamento della tensione di uscita! Il guadagno di tensione in questa regione è zero perché la pendenza della VTC è 0.

**Figura 10.14**

Rappresentazione grafica della caratteristica di trasferimento di tensione (VTC) con un segnale di ingresso sinusoidale applicato.

ESERCIZIO (a) Quale punto di polarizzazione di ingresso bisogna scegliere per l'amplificatore di Figura 10.13, per avere la massima ampiezza in linearità di un segnale in ingresso? Quali sono le massime ampiezze del segnale in ingresso e in uscita? **(b)** Quanto vale l'amplificazione di tensione se l'ingresso è polarizzato a $V_{ID} = -1$ V?

RISPOSTE 0.5 V, $|v_i|_{\max} = 1$ V, 10 V; 0.

ESERCIZIO Scrivere l'espressione di $v_o(t)$ per l'amplificatore di Figura 10.13 quando $v_{ID} = (0.25 + 0.75 \sin 1000\pi t)$ V. Quale componente continua si ha in uscita?

RISPOSTE $(-2.5 + 7.5 \sin 1000\pi t)$ V; -2.5 V.

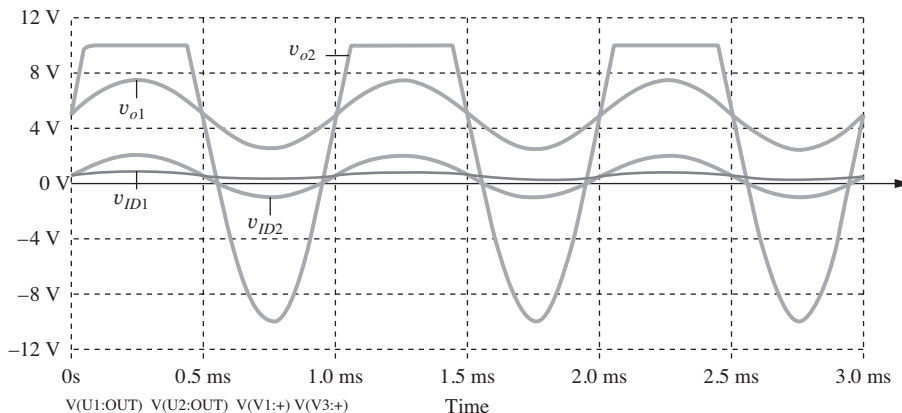
10.6 Distorsione negli amplificatori

Come abbiamo osservato nel paragrafo precedente, se il segnale di ingresso è troppo ampio, il segnale di uscita presenta una distorsione significativa, in quanto il valore del guadagno è diverso nel caso di escursioni positive o negative. In Figura 10.15 la parte superiore è appiattita e ci sono dei punti angolosi.

Per quantificare la distorsione si introduce la **distorsione armonica totale** (THD, *Total Harmonic Distorsion*), in cui si raffronta il contenuto armonico indesiderato con la componente desiderata. Dall'espansione in serie di Fourier [si veda la (10.1)] di un segnale generico $v(t)$ si ha:

$$v(t) = V_O + V_1 \sin(\omega_0 t + \phi_1) + V_2 \sin(2\omega_0 t + \phi_2) + V_3 \sin(3\omega_0 t + \phi_3) + \dots \quad (10.29)$$

DC
segnale desiderato
distorsione di seconda armonica
distorsione di terza armonica

**Figura 10.15**

Risultati della simulazione SPICE per un amplificatore con la VTC di Figura 7.4 per due segnali di ingresso v_{ID1} e v_{ID2} , pari rispettivamente a $1\text{ V} + (0.25\text{ V}) \sin(2000\pi t)$ e $1\text{ V} + (1.5\text{ V}) \sin(2000\pi t)$. L'amplificatore funziona in modo lineare per l'ingresso v_{ID1} , ma è spinto nella regione non lineare (saturazione) dal segnale di ingresso v_{ID2} .

Il segnale a frequenza ω_o rappresenta la componente desiderata del segnale di uscita in quanto presenta la stessa frequenza del segnale di ingresso. I termini a frequenza $2\omega_o$, $3\omega_o$ ecc. rappresentano le distorsioni di seconda armonica, terza armonica e così via. La distorsione armonica THD espressa in termini percentuali è data da:

$$\text{THD}_{\%} = 100 \times \frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{V_1} \quad (10.30)$$

Il numeratore contiene una combinazione espressa in RMS dei termini relativi alla distorsione, mentre il denominatore contiene solo la componente desiderata. Di solito solo pochi termini nel numeratore sono significativi. Per esempio, usando MATLAB si ottiene la seguente espressione per il segnale in Figura 10.15:

$$v(t) = [2.46 + 10.6 \sin(2000\pi t) + 2.67 \sin(4000\pi t + \pi/2) + 0.886 \sin(6000\pi t) + 0.177 \sin(8000\pi t + \pi/2) + 0.372 \sin(10000\pi t)] \text{ V}$$

e la distorsione armonica totale risulta:

$$\text{THD} \approx 100\% \times \frac{\sqrt{2.67^2 + 0.886^2 + 0.177^2 + 0.372^2}}{10.6} = 26.7\%$$

Il valore ottenuto corrisponde a una distorsione elevata, come si può vedere in Figura 10.15. Valori accettabili dovrebbero essere inferiori all'1%, e non sarebbero visibili in un grafico.

ESERCIZIO Si usi MATLAB o Mathcad per tracciare l'andamento del segnale in Figura 10.15 e l'andamento approssimato $v(t)$.

RISPOSTE

```
wt = 2000*pi*linspace(0, 2E-3, 1024);
v = min(10, 5+15*sin(wt));
f = 2.46+10.6*sin(wt)+2.67*cos(2*wt)+0.866*sin(3*wt)
    +0.177*cos(4*wt)
    +0.372*sin(5*wt);
plot(wt, v, wt, f)
```

Si osservi il buon accordo, anche se nell'espressione approssimata si sono inclusi solo pochi termini della serie.

ESERCIZIO Si usi MATLAB per calcolare i primi 10 coefficienti dello sviluppo in serie di Fourier del segnale in Figura 10.15.

RISPOSTE

```
wt = 2000*pi*linspace(0, 1E-3, 512);
v = min(10, 5+15*sin(wt));
s = fft(v)/512;
mag = sqrt(s.*conj(s));
mag(1:10)
```

Si osservi che la funzione fft in MATLAB fornisce i coefficienti della serie di Fourier nel campo complesso.

10.7 Modello dell'amplificatore differenziale

Come mostrato in Figura 10.16, la rappresentazione circuitale dell'amplificatore differenziale comprende una resistenza di ingresso R_{id} , una resistenza di uscita R_o e un generatore controllato in tensione, Av_{id} . Il circuito è una forma semplificata della rappresentazione a parametri g presentata nel Paragrafo 10.3, con $g_{12} = 0$.

$$\begin{aligned} A &= \text{guadagno di tensione (guadagno a circuito aperto)} \\ v_{id} &= (v_+ - v_-) = \text{differenza dei segnali di ingresso} \\ R_{id} &= \text{resistenza di ingresso dell'amplificatore} \\ R_o &= \text{resistenza di uscita dell'amplificatore} \end{aligned} \quad (10.31)$$

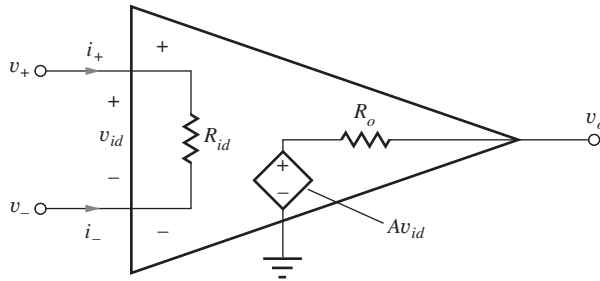


Figura 10.16

L'amplificatore differenziale.

La tensione presente al terminale di uscita è in fase con la tensione applicata al terminale di ingresso indicato con il simbolo + e sfasata di 180° rispetto al segnale applicato al terminale di ingresso indicato con il simbolo -. I terminali cui sono applicate le tensioni v_+ e v_- sono detti rispettivamente **ingresso non invertente** e **ingresso invertente**.

Nelle normali applicazioni l'amplificatore è pilotato da un circuito descritto dal circuito equivalente secondo Thévenin, comprendente un generatore di tensione v_i e una resistenza R_I . L'amplificatore è collegato in uscita a una resistenza di carico R_L , come mostrato in Figura 10.17. La tensione di ingresso v_{id} e di uscita v_o in questo semplice circuito possono essere espresse da:

$$v_{id} = v_i \frac{R_{id}}{R_{id} + R_I} \quad \text{e} \quad v_o = Av_{id} \frac{R_L}{R_o + R_L} \quad (10.32)$$

Dalla (10.32) si ottiene l'espressione del guadagno di tensione complessivo dell'amplificatore di Figura 10.17:

$$A_v = \frac{v_o}{v_i} = A \frac{R_{id}}{R_I + R_{id}} \frac{R_L}{R_o + R_L} \quad (10.33)$$

I circuiti con operazionali sono più spesso indicati come **amplificatori accoppiati in continua**. I segnali v_o e v_i possono infatti presentare una componente continua; l'amplificatore operazionale amplifica non solo la componente variabile del segnale, ma anche quella continua. Occorre infatti rammentare che nel rapporto che definisce il guadagno A_v dobbiamo considerare l'ampiezza e la fase di ciascuna componente del segnale, inclusa la componente continua. Dal Capitolo 1 ricordiamo che v_i , v_o , i_2 ecc. rappresentano in generale tensioni e correnti variabili con il tempo: $v_i(t)$, $v_o(t)$, $i_2(t)$.

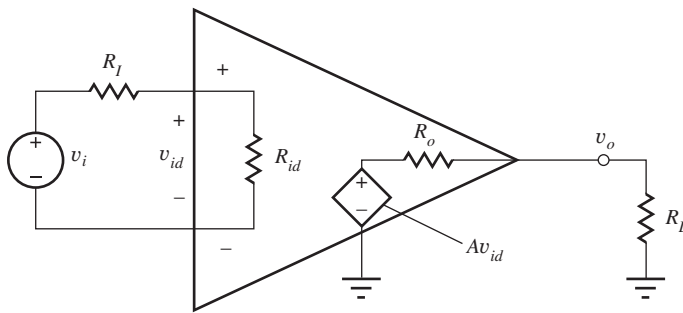


Figura 10.17

Amplificatore collegato in ingresso a un circuito equivalente di Thévenin e in uscita a un carico.

ANALISI DEL GUADAGNO DI TENSIONE

Esempio 10.3

Calcolo del guadagno di un amplificatore differenziale considerando le resistenze di sorgente e carico.

Si calcoli il guadagno di tensione, espresso in decibel, di un amplificatore caratterizzato dai seguenti parametri: $A = 100$, $R_{id} = 100 \text{ k}\Omega$ e $R_o = 100 \text{ }\Omega$. Si assuma $R_I = 10 \text{ k}\Omega$ e $R_L = 1 \text{ k}\Omega$.

PROBLEMA

Informazioni e dati noti: $A = 100$, $R_{id} = 100 \text{ k}\Omega$, $R_o = 100 \text{ }\Omega$, $R_I = 10 \text{ k}\Omega$ e $R_L = 1 \text{ k}\Omega$.

SOLUZIONE

Incognite: Il guadagno di tensione A_v .

Approccio: Si impiegherà l'Equazione (10.33) e si esprimerà il risultato in decibel.

Ipotesi: Nessuna.

Analisi: Dalla (10.33) si ha:

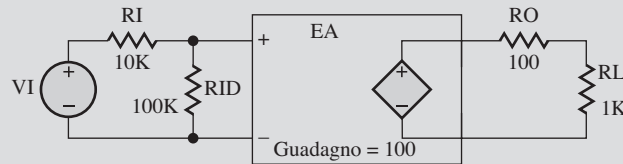
$$A_v = 100 \left(\frac{100 \text{ k}\Omega}{10 \text{ k}\Omega + 100 \text{ k}\Omega} \right) \left(\frac{1000 \text{ }\Omega}{100 \text{ }\Omega + 1000 \text{ }\Omega} \right) = 82.6$$

$$A_{v\text{dB}} = 20 \log |A_v| = 20 \log |82.6| = 38.3 \text{ dB}$$

Verifica dei risultati: L'incognita è stata determinata.

Discussione: Il guadagno di tensione interno è pari a 100, mentre il valore complessivo del guadagno è solo pari a 82.6. La riduzione è dovuta al fatto che parte della tensione v_i (circa il 9%) cade ai capi di R_b , e che parte della tensione $A v_{id}$ (circa il 9%) cade ai capi di R_o .

Analisi assistita da calcolatore: Il circuito utilizzato per la simulazione SPICE è riportato in Figura. L'analisi della funzione di trasferimento dal generatore VI al nodo di uscita mostra che la funzione di trasferimento è pari a 82.6, la resistenza di ingresso vale 110 k Ω , mentre la resistenza di uscita risulta 90.9 Ω . Il guadagno di tensione A_v corrisponde alla funzione di trasferimento, mentre la resistenza di ingresso rappresenta la resistenza vista ai terminali di VI. La resistenza di uscita corrisponde alla resistenza totale al nodo di uscita. Il valore di A_v è in accordo con l'analisi manuale.



10.8 L'amplificatore differenziale e l'amplificatore operazionale ideali

In un amplificatore differenziale ideale la tensione di uscita dipende solo dalla differenza v_{id} delle tensioni di ingresso, ed è indipendente dalle resistenze di ingresso e uscita. Dalla (10.33) si vede che questa condizione può essere verificata in un amplificatore in cui la resistenza di ingresso è infinita e la resistenza di uscita è nulla (come osservato nel Paragrafo 10.4). Dalla (10.33) si ottiene infatti:

$$v_o = A v_{id} \quad \text{ovvero} \quad A_v = \frac{v_o}{v_{id}} = A \quad (10.34)$$

Nel caso dell'amplificatore ideale il guadagno è quindi pari all'intero valore A . Il guadagno A è detto **guadagno di tensione ad anello aperto** (o **a circuito aperto**) dell'amplificatore, e rappresenta il massimo valore del guadagno che può essere ottenuto dall'amplificatore.

All'inizio di questo capitolo, abbiamo osservato che negli amplificatori di tensione è spesso opportuno realizzare una condizione di forte disadattamento delle resistenze ($R_{id} \gg R_i$ e $R_o \ll R_L$), in modo da ottenere il massimo valore per il guadagno di tensione, dato dall'Equazione (10.34). In questo caso il guadagno di tensione complessivo è indipendente dalle resistenze del generatore e di carico ed è possibile disporre in cascata diversi stadi amplificatori senza problemi di interazione tra i diversi stadi.

Come osservato in precedenza, il termine "amplificatore operazionale" deriva dal fatto che questi amplificatori a elevate prestazioni sono utilizzati nei sistemi analogici per realizzare funzioni o operazioni specifiche, come la moltiplicazione, la somma e l'integrazione. In queste applicazioni il ruolo dell'amplificatore operazionale è quello di un amplificatore differenziale ideale con un'ulteriore proprietà: un guadagno di tensione infinito. Benché sia in pratica impossibile realizzare l'**amplificatore operazionale ideale**, è nondimeno utile introdurre questo concetto per facilitare l'analisi e il progetto dei circuiti analogici.

Una volta chiarite le proprietà dell'amplificatore operazionale ideale, e il suo utilizzo nei circuiti fondamentali, si possono rimuovere le diverse ipotesi di idealità, allo scopo di esaminare il loro effetto sul funzionamento del circuito.

10.8.1 Ipotesi per l'analisi con operazionali ideali

L'amplificatore operazionale ideale è un amplificatore differenziale ideale (e quindi caratterizzato da $R_{id} \rightarrow \infty$, $R_o = 0$), che presenta un guadagno di tensione infinito: $A \rightarrow \infty$. Dal valore infinito del guadagno di tensione discendono le prime due ipotesi che vengono utilizzate nell'analisi di circuiti contenenti operazionali. Risolvendo la (10.34) rispetto a v_{id} si ottiene

$$v_{id} = \frac{v_o}{A} \quad \text{e} \quad \lim_{A \rightarrow \infty} v_{id} = 0 \quad (10.35)$$

Se il guadagno A è infinito, la tensione di ingresso v_{id} risulta nulla per ogni valore finito della tensione di uscita v_o . Questa condizione verrà indicata come **Ipotesi 1** per l'analisi di circuiti con operazionali. Conviene usare questa ipotesi calcolando dapprima la tensione dell'ingresso non invertente e osservando che la tensione dell'ingresso invertente insegue quella dell'ingresso non invertente.

A causa del valore infinito della resistenza di ingresso R_{id} , le correnti di ingresso i_+ e i_- risultano nulle. Questa condizione sarà indicata come **Ipotesi 2**. Questi due risultati, uniti alle due leggi di Kirchhoff, sono alla base dell'analisi dei circuiti con operazionali. Correnti di ingresso nulle in realtà non richiedono che la resistenza di ingresso sia infinita. Se la tensione v_{id} è nulla anche la corrente che attraversa R_{id} è sempre nulla, indipendentemente dal valore della resistenza.

Le ipotesi fondamentali relative all'amplificatore operazionale ideale sono:

1. La differenza tra le tensioni di ingresso è nulla: $v_{id} = 0$ (v_- insegue v_+).
2. Le correnti di ingresso sono nulle: $i_+ = 0$ e $i_- = 0$ (se non c'è tensione non scorre neanche corrente, qualunque sia R_{id}).

(10.36)

Le due ipotesi derivano dall'aver assunto un valore infinito per il guadagno. Se il guadagno è infinito sia il valore della resistenza di ingresso sia quella di uscita diventano ininfluenti rispetto al comportamento del circuito. Un amplificatore operazionale ideale è in realtà caratterizzato da numerose altre proprietà, raramente evidenziate. Queste sono:

- reiezione del modo comune infinita;
- reiezione delle variazioni delle tensioni di alimentazione infinita;
- intervallo di variazione della tensione di uscita infinito (cioè non limitato da $-V_{EE} \leq v_o \leq V_{CC}$);
- corrente erogabile all'uscita infinita;
- larghezza di banda ad anello aperto infinita;
- slew rate infinito;
- resistenza di uscita nulla;
- corrente di offset e corrente di polarizzazione di ingresso pari a zero;
- tensione di offset all'ingresso pari a zero.

Alcuni termini indicano grandezze che non sono ancora state studiate, ma che verranno definite e analizzate nel Capitolo 11.

ESERCIZIO Per un amplificatore risulta $v_o = +10$ V. Si determini v_{id} assumendo (a) $A = 100$; (b) $A = 10\,000$; (c) $A = 120$ dB.

RISPOSTE (a) 100 mV; (b) 1.00 mV; (c) 10.0 μ V.



NOTA PROGETTUALE

Ipotesi operative per l'analisi di circuiti con amplificatori operazionali ideali

Per l'analisi di circuiti con amplificatori operazionali ideali, con retroazione negativa, si considerano le seguenti ipotesi:

1. La differenza tra le tensioni d'ingresso è nulla:
 $v_{id} = 0$ V, v_- insegue v_+
2. Le correnti d'ingresso sono nulle:
 $i_+ = 0$ A, $i_- = 0$ A.

10.9 Circuiti con amplificatori operazionali ideali

In questo paragrafo sono descritti i circuiti fondamentali che utilizzano l'amplificatore operazionale, come l'amplificatore invertente e non invertente, il buffer a guadagno unitario o inseguitore di tensione, l'amplificatore sommatore, l'amplificatore sottrattore, l'amplificatore per strumentazione, il filtro passa-basso e l'integratore. L'analisi di questi circuiti è basata sulle due ipotesi relative agli amplificatori operazionali ideali e sulle due leggi di Kirchhoff. Questi circuiti sono parti fondamentali dei nostri strumenti di progetto e saranno usati per sistemi analogici complessi.

10.9.1 L'amplificatore invertente

Un **amplificatore invertente** può essere realizzato ponendo a ground l'ingresso non invertente, collegando il terminale di uscita al terminale di ingresso invertente attraverso la resistenza R_2 , e collegando il terminale invertente al generatore di segnale attraverso la resistenza R_1 , come mostrato in Figura 10.18. Il circuito comprendente le resistenze R_1 e R_2 è detto **rete di retroazione**. Nell'analisi che segue determineremo i parametri relativi alla rappresentazione a doppio bipolo, ovvero il guadagno di tensione a circuito aperto A_v , la resistenza di ingresso R_{in} e la resistenza di uscita R_{out} .

Guadagno di tensione dell'amplificatore invertente

Iniziamo l'analisi dal calcolo del guadagno di tensione. A tal scopo, occorre stabilire una relazione tra le tensioni v_i e v_o , che può essere ottenuta dalla legge di Kirchhoff per le tensioni relativa alla maglia evidenziata in Figura 10.19:

$$v_i - i_1 R_1 - i_2 R_2 - v_o = 0 \quad (10.37)$$

Applicando la legge di Kirchhoff KCL al nodo invertente di ingresso, si ottiene una relazione tra i_1 e i_2 :

$$i_1 = i_- + i_2 \quad \text{ovvero} \quad i_1 = i_2 \quad (10.38)$$

dove si è fatto uso dell'Ipotesi 2 ($i_- = 0$).

L'Equazione (10.37) diventa quindi:

$$v_i - i_1 R_1 - i_1 R_2 - v_o = 0 \quad (10.39)$$

La corrente i_1 può essere espressa in funzione di v_i :

$$i_1 = \frac{v_i - v_-}{R_1} \quad (10.40)$$

dove v_- rappresenta la tensione al terminale invertente (ingresso negativo) dell'operazionale. Poiché in base all'Ipotesi 1 la tensione v_{id} è pari a zero, si deduce che la tensione v_- è nulla, in quanto l'ingresso non invertente è a 0 V:

$$v_{id} = v_+ - v_- = 0 \quad \text{ma} \quad v_+ = 0 \quad \text{quindi} \quad v_- = 0$$

Figura 10.18
Amplificatore invertente.

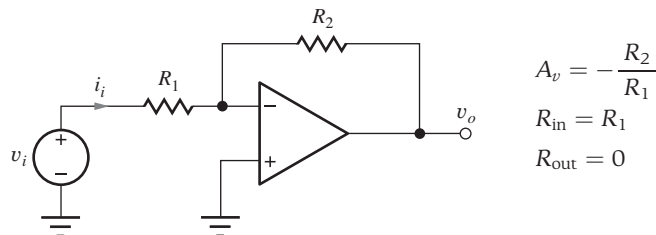
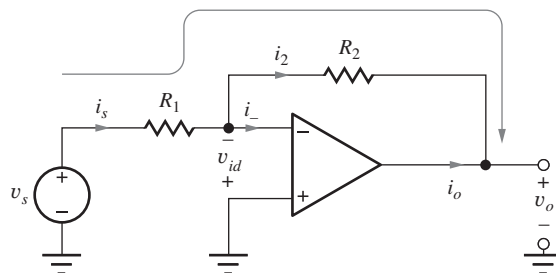


Figura 10.19
Maglia (indicata dalla freccia) per la scrittura dell'Equazione (10.13).



Poiché $v_- = 0$, si ha $i_i = v_i/R_1$ e l'Equazione (10.39) si riduce a

$$-v_i \frac{R_2}{R_1} - v_o = 0 \quad \text{ovvero} \quad v_o = -v_i \frac{R_2}{R_1} \quad (10.41)$$

Il guadagno di tensione è quindi dato da:

$$A_v = \frac{v_o}{v_i} = -\frac{R_2}{R_1} \quad (10.42)$$

In base alla (10.42) si possono fare diverse osservazioni: poiché il guadagno di tensione è negativo, i segnali sinusoidali di ingresso e uscita risultano sfasati di 180° ; il modulo del guadagno di tensione è maggiore o uguale a 1 se $R_2 \geq R_1$ (il caso più comune), ma può anche risultare inferiore a 1 se $R_1 > R_2$. L'amplificatore invertente di Figura 10.18 utilizza la **retroazione negativa**, in quanto una parte del segnale di uscita è riportato al terminale di ingresso invertente dell'amplificatore operazionale, attraverso la resistenza R_2 . La retroazione negativa è una condizione necessaria per la stabilità il funzionamento in linearità dell'amplificatore retroazionato e sarà discussa in dettaglio nel Capitolo 11.

Capire il funzionamento dell'amplificatore invertente

Poiché nel circuito amplificatore di Figura 10.18 e 10.19 la tensione al terminale invertente è pari a zero, si considera questo terminale come una **massa virtuale**. L'amplificatore operazionale controlla la tensione di uscita in modo tale che la tensione v_- sia pari a zero. Grazie alla massa virtuale presente al morsetto invertente, la tensione d'ingresso v_i viene applicata ai capi della resistenza R_1 , imponendo in questo modo una corrente pari a v_i/R_1 . L'amplificatore operazionale forza questa corrente a fluire sulla resistenza R_2 dando luogo a una caduta di tensione pari a $(v_i/R_1) \cdot R_2$. In questo modo, $v_o = -v_i \cdot (R_2/R_1)$ e $A_v = -(R_2/R_1)$. Benché il terminale invertente rappresenti una massa virtuale, questo terminale non è collegato direttamente a massa, ovvero non esiste un percorso per la corrente tra il terminale invertente e massa. Un errore molto comune nell'analisi di circuiti con operazionali è quello di porre in cortocircuito questo terminale con la massa. Anche per questa ragione è opportuno non usare l'espressione massa virtuale, ma ricordare che v_- insegue v_+ .

ESERCIZIO Si determinino A_v , v_o , i_i e i_o per l'amplificatore di Figura 10.19, con $R_1 = 68 \text{ k}\Omega$, $R_2 = 360 \text{ k}\Omega$ e $v_i = 0.5 \text{ V}$.

RISPOSTE -5.29 , -2.65 V , $7.35 \text{ }\mu\text{A}$, $-7.35 \text{ }\mu\text{A}$.

Resistenze di ingresso e uscita dell'amplificatore invertente. La resistenza di ingresso R_{in} dell'amplificatore invertente può essere ottenuta direttamente dalla (10.40):

$$R_{in} = \frac{v_i}{i_i} = R_1 \quad (10.43)$$

La resistenza di uscita R_{out} può essere determinata applicando all'uscita dell'amplificatore un segnale di corrente (o di tensione) di prova e valutando la tensione (o la corrente) corrispondente, come mostrato in Figura 10.20. Tutti i generatori *indipendenti* di tensione e di corrente presenti nel circuito devono essere spenti, sicché la tensione v_i è posta pari a zero in Figura 10.20.

La resistenza di uscita complessiva dell'amplificatore è definita da:

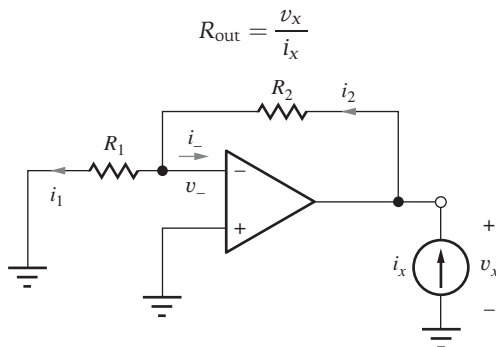
$$R_{out} = \frac{v_x}{i_x} \quad (10.44)$$


Figura 10.20

Generatore di prova applicato all'uscita dell'amplificatore invertente allo scopo di determinare la resistenza di uscita: $R_{out} = v_x/i_x$.

Dalla legge di Kirchhoff per le tensioni relativa al circuito di Figura 10.20 si ricava:

$$v_x = i_2 R_2 + i_1 R_1 \quad (10.45)$$

In base all'Ipotesi 2 si ha $i_- = 0$, e quindi $i_1 = i_2$. Si ottiene quindi:

$$v_x = i_1 (R_2 + R_1) \quad (10.46)$$

Poiché $v_- = 0$ (Ipotesi 1), si ha pure $i_1 = 0$. Risulta pertanto $v_x = 0$ indipendentemente dal valore di i_x , e quindi:

$$R_{out} = 0 \quad (10.47)$$

Si osservi che un'eventuale resistenza di uscita dell'operazionale R_o , come per esempio rappresentata nella Figura 10.16, non cambia il risultato perché l'amplificazione infinita dell'operazionale ideale elimina gli effetti di R_{in} e di R_o . Per avere un operazionale ideale è sufficiente ipotizzare amplificazione infinita.



NOTA PROGETTUALE

Amplificatore invertente

Riassumendo, per l'amplificatore invertente ideale si ha:

$$A_v = -\frac{R_2}{R_1} \quad R_{in} = R_1 \quad R_{out} = 0$$

Esempio 10.4

PROGETTO DELL'AMPLIFICATORE INVERTENTE

Progetto di un amplificatore con operazionale che soddisfaccia le specifiche di guadagno e resistenza di ingresso.

PROBLEMA Si progetti un amplificatore invertente caratterizzato da una resistenza di ingresso di 20 kΩ e un guadagno pari a 40 dB.

SOLUZIONE **Informazioni e dati noti:** Sono specificati il valore del guadagno e della resistenza di ingresso nonché la topologia del circuito.

Incognite: I valori di R_1 e R_2 tali da soddisfare le specifiche.

Approccio: Dalle (10.42) e (10.43) si vede che la resistenza di ingresso dipende da R_1 , mentre il guadagno di tensione dal rapporto R_2/R_1 . Si determinerà dapprima R_1 e quindi R_2 .

Ipotesi: L'operazionale è ideale e valgono le (10.42) e (10.43).

Analisi: Dal valore espresso in dB del guadagno risulta:

$$|A_v| = 10^{40 \text{ dB}/20} = 100 \quad \text{e} \quad A_v = -100$$

Si è aggiunto il segno negativo in quanto si considera un amplificatore invertente. Dalle (10.42) e (10.43) otteniamo:

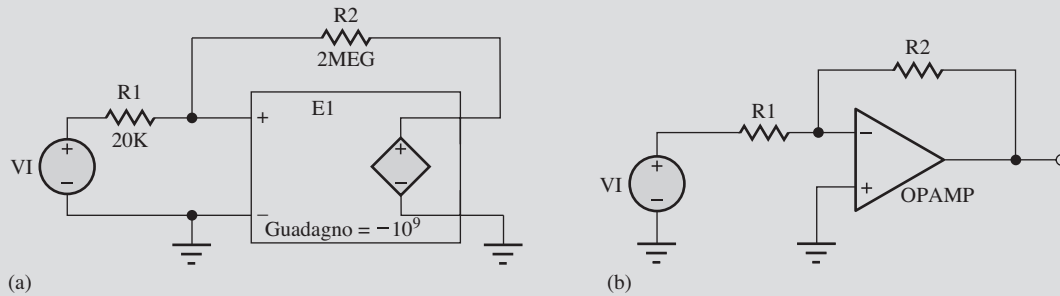
$$R_1 = R_{in} = 20 \text{ k}\Omega \quad \text{e} \quad A_v = -\frac{R_2}{R_1} \rightarrow R_2 = 100R_1 = 2 \text{ M}\Omega$$

Verifica dei risultati: Le incognite sono state determinate.

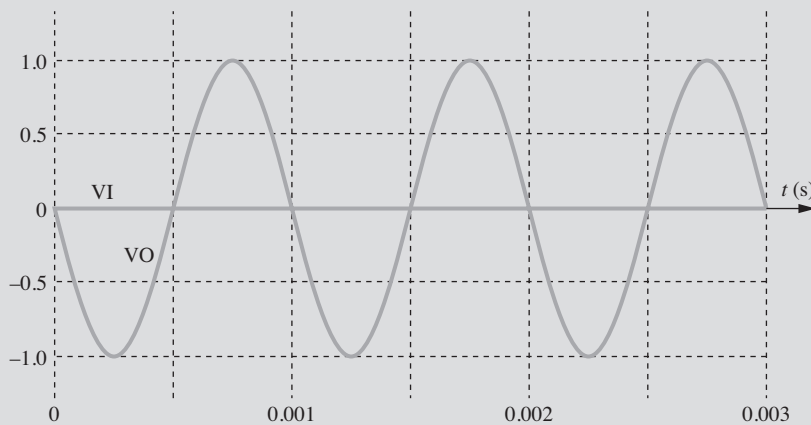
Discussione: Dall'Appendice A vediamo che possiamo utilizzare delle resistenze standard con tolleranza del 5% per R_1 e R_2 , e il progetto è quindi completo. Nell'esempio considerato abbiamo due incognite e due specifiche.

Analisi assistita da calcolatore: Il circuito utilizzato per la simulazione SPICE è riportato in Figura (a) (vedi pagina successiva) e mostra che l'amplificatore operazionale viene descritto dal generatore di tensione controllato in tensione E1. Poiché in SPICE non possiamo specificare un guadagno infinito per E1, assegneremo un valore di $-1\text{E}9$ per E1 per approssimare un operazionale ideale. Si osservi la notazione $R2 = 2\text{MEG}$ (anziché $2\text{M} = 2 \text{ m}\Omega$!). L'analisi della funzione di trasferimento dal generatore VI al nodo di uscita

può essere utilizzata per determinare il guadagno di tensione. Dall'analisi in transitorio possiamo ottenere l'andamento della tensione di uscita. Per il generatore VI specifichiamo una tensione di offset nulla, un'ampiezza di 10 mV e una frequenza di 1000 Hz ($V_I = 0.01 \sin 2000\pi t$). La soluzione in transitorio inizia per $T = 0$ e termina per $T = 3$ ms, con un passo di 1 μ s.



L'analisi SPICE mostra che la funzione di trasferimento è pari a -100 , la resistenza di ingresso risulta 20 k Ω , mentre la resistenza di uscita è nulla, in accordo con l'analisi svolta. La tensione di uscita è data da un segnale sinusoidale, invertito rispetto al segnale di ingresso, con ampiezza di 1 V e frequenza 1000 Hz. Si osservi che è difficile distinguere il segnale d'ingresso nel grafico.



Una rappresentazione alternativa in SPICE è riportata in Figura (b) in cui si fa uso del componente predefinito OPAMP. I parametri che l'utente può specificare per questo modello sono l'amplificazione di tensione e le due tensioni di alimentazione, che devono essere diverse. Si ottiene pertanto un circuito con una transcaratteristica come in Figura 10.13, ma con tensione di offset nulla.

ESERCIZIO Si determinino I_I , I_2 , I_O e V_O in Figura 10.19 assumendo $V_I = 2$ V, $R_1 = 4.7$ k Ω , $R_2 = 24$ k Ω . Perché si utilizza il simbolo V_I anziché v_i , e così via?

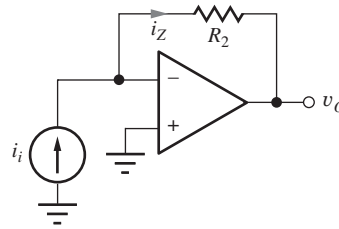
RISPOSTE 0.426 mA, 0.426 mA, -0.426 mA, -10.2 V; il problema si riferisce a segnali in continua.

10.9.2 L'amplificatore di transresistenza - un convertitore corrente-tensione

Nell'amplificatore invertente, il generatore d'ingresso inietta una corrente nel nodo del morsetto invertente dell'operazionale attraverso la resistenza R_1 . Usando direttamente un generatore di corrente come indicato in Figura 10.21, otteniamo un **amplificatore di trans-resistenza**, anche chiamato **convertitore corrente-tensione**. Questo schema è molto utilizzato nei circuiti ricevitori dei sistemi di comunicazione su fibra ottica.

Figura 10.21

Amplificatore di transresistenza detto anche convertitore corrente-tensione.



Similmente a quanto fatto nell'analisi dell'amplificatore invertente, si ottiene:

$$i_2 = i_i \quad i_2 = -\frac{v_o}{R_2} \quad \text{e} \quad A_{tr} = \frac{v_o}{i_i} = -R_2 \quad (10.48)$$

Il guadagno A_{tr} è il rapporto tra la tensione di uscita (v_o) e la corrente d'ingresso (i_i) e come unità di misura è una resistenza. Grazie al fatto che il morsetto invertente è a 0 V, la resistenza d'ingresso è nulla, e la resistenza di uscita è ancora nulla per considerazioni analoghe a quanto fatto nella configurazione invertente prima analizzata.



NOTA PROGETTUALE

Amplificatore di transresistenza

Il guadagno dell'amplificatore di transresistenza ideale è determinato dalla resistenza di feedback R_2 , mentre le resistenze di ingresso e di uscita sono entrambe nulle:

$$A_{tr} = -R_2 \quad R_{in} = 0 \quad R_{out} = 0$$

ESERCIZIO Si voglia convertire una corrente sinusoidale con 25 μA di corrente di picco in una tensione sinusoidale con un valore di picco pari a 5 V usando un amplificatore di transresistenza. Che valore di R_2 è richiesto? Con il valore di R_2 appena calcolato, applichiamo una corrente $i_i = 50 \sin 2000(\pi t) \mu\text{A}$, quale sarà la tensione di uscita?

RISPOSTE 200 k Ω ; $v_o = -10 \sin 2000(\pi t) \text{ V}$.

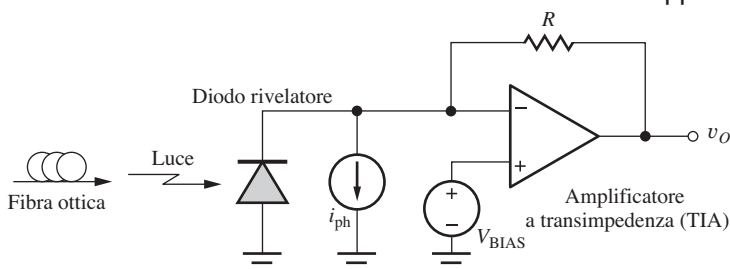


ELETTRONICA IN AZIONE

Ricevitori per fibre ottiche

Nei sistemi di comunicazione su fibra ottica assume un ruolo importante il circuito che effettua la conversione del segnale ottico in un segnale elettrico (conversione O/E). La figura mostra un approccio comunemente utilizzato per realizzare tale circuito. Il segnale luminoso proveniente dalla fibra ottica incide su un fotodiodo (si veda il Paragrafo 3.18) e genera una corrente i_{ph} descritta in figura da un generatore di corrente. Questa corrente attraversa il resistore di retroazione R e genera una tensione all'uscita data da $v_o = i_{ph}R$. La tensione V_{BIAS} può essere utilizzata per garantire una polarizzazione inversa al fotodiodo.

In tal caso, la tensione di uscita è data da $v_o = V_{BIAS} + i_{ph}R$. Dal momento che l'ingresso dell'amplificatore è una corrente e l'uscita una tensione, il guadagno $A_{tr} = v_o/i_{ph}$ ha le dimensioni di una resistenza, e l'amplificatore viene detto a transresistenza, o più in generale a transimpedenza. L'amplificatore operazionale utilizzato in questo circuito deve presentare buone caratteristiche di linearità e banda larga. Queste specifiche sono particolarmente stringenti nei sistemi OC-768, in cui segnali a 40 GHz provenienti dalla fibra ottica devono essere amplificati evitando una distorsione di fase apprezzabile.



Interfaccia O/E per trasmissione di dati su fibra ottica.

10.9.3 L'amplificatore non invertente

In Figura 10.22 è mostrato un **amplificatore non invertente**. Il segnale di ingresso è applicato al terminale di ingresso positivo (o non invertente), e una parte del segnale di uscita viene riportata al terminale di ingresso invertente (retroazione negativa). L'analisi del circuito procede determinando la relazione tra la tensione v_1 e le tensioni di ingresso v_i e di uscita v_o .

Poiché la corrente i_- è nulla (Ipotesi 2), la tensione v_1 può essere espressa in funzione della tensione di uscita utilizzando l'equazione del partitore di tensione formato dalle resistenze R_1 e R_2 :

$$v_1 = v_o \frac{R_1}{R_1 + R_2} \quad (10.49)$$

e considerando la KVL relativa alla maglia contenente v_i , v_{id} e v_1 si ottiene:

$$v_i - v_{id} = v_1 \quad (10.50)$$

Poiché dall'Ipotesi 1 risulta $v_{id} = 0$, si ottiene:

$$v_i = v_1 \quad (10.51)$$

Dalle (10.49) e (10.51) è possibile trovare una relazione tra v_o e v_i :

$$v_o = v_i \frac{R_1 + R_2}{R_1} \quad (10.52)$$

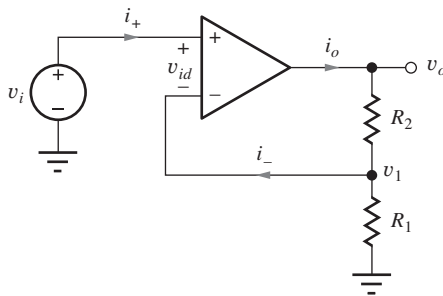
Il guadagno di tensione dell'amplificatore non invertente è quindi dato da:

$$A_v = \frac{v_o}{v_i} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1} \quad (10.53)$$

Si osservi che il guadagno è positivo e risulta maggiore o uguale a 1, poiché R_1 e R_2 sono quantità positive.

Capire il funzionamento dell'amplificatore non invertente

Grazie alla retroazione negativa l'ingresso invertente insegue la tensione sull'ingresso non invertente e quindi la tensione d'ingresso v_i è applicata direttamente ai capi della resistenza R_1 , sulla quale è imposta una corrente pari a v_i/R_1 .⁵ Questa corrente, essendo $i_- = 0$, fluisce anche attraverso R_2 , determinando una caduta di tensione ai suoi capi di $(v_i/R_1)R_2 = v_i(R_2/R_1)$. La tensione di uscita è data dalla somma delle tensioni ai capi di R_1 e R_2 , che vale $v_o = v_i + v_i(R_2/R_1)$ e $A_v = 1 + R_2/R_1$.



$$\begin{aligned} A_v &= 1 + \frac{R_2}{R_1} \\ R_{in} &\rightarrow \infty \\ R_{out} &= 0 \end{aligned}$$

Figura 10.22

L'amplificatore non invertente.

ANALISI DELL'AMPLIFICATORE NON INVERTENTE

Esempio 10.5

Valutazione delle caratteristiche di un amplificatore non invertente conoscendo i valori dei resistori.

Si calcolino il guadagno di tensione A_v , la tensione di uscita v_o e la corrente di uscita i_o per l'amplificatore di Figura 10.22 assumendo $R_1 = 3 \text{ k}\Omega$, $R_2 = 43 \text{ k}\Omega$ e $v_i = +0.1 \text{ V}$.

PROBLEMA

⁵ Si noti che usare l'espressione *massa virtuale* in questo circuito è fuorviante, infatti la tensione v_- non è nulla! [N.d.C.]

SOLUZIONE **Informazioni e dati noti:** È specificata la topologia del circuito con $R_1 = 3 \text{ k}\Omega$, $R_2 = 43 \text{ k}\Omega$ e $v_i = +0.1 \text{ V}$.

Incognite: Il valore del guadagno di tensione A_v , della tensione di uscita v_o e della corrente di uscita i_o .

Approccio: Si farà uso della (10.53) per determinare il guadagno di tensione. Avendo calcolato A_v si determinerà la tensione di uscita v_o , e infine i_o in base alla KCL.

Ipotesi: L'operazionale è ideale.

Analisi: Dalla (10.53) si ottiene:

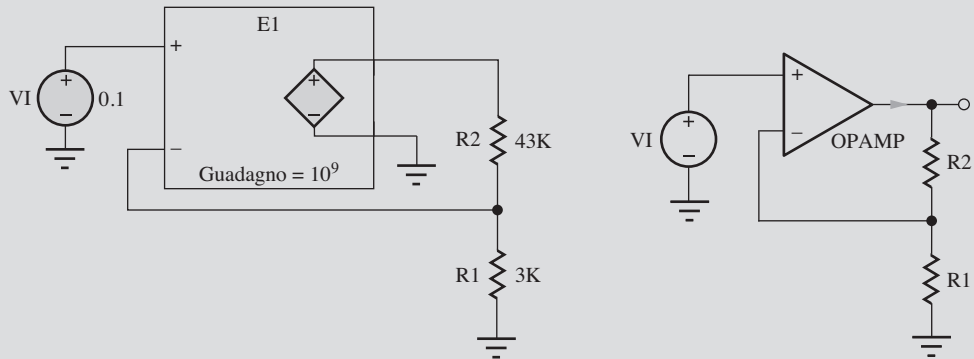
$$A_v = 1 + \frac{R_2}{R_1} = 1 + \frac{43 \text{ k}\Omega}{3 \text{ k}\Omega} = +15.3 \quad \text{e} \quad v_o = A_v v_i = (15.3)(0.1 \text{ V}) = 1.53 \text{ V}$$

Poiché $i_- = 0$, risulta:

$$i_o = \frac{v_o}{R_2 + R_1} = \frac{1.53 \text{ V}}{43 \text{ k}\Omega + 3 \text{ k}\Omega} = 33.3 \text{ }\mu\text{A}$$

Verifica dei risultati: Le incognite sono state determinate.

Analisi assistita da calcolatore: Per lo studio dell'amplificatore in figura utilizzeremo sia l'analisi del punto di lavoro sia l'analisi della funzione di trasferimento. Il guadagno di E1 viene posto pari a 10^9 in modo da approssimare l'amplificatore operazionale ideale. L'analisi SPICE mostra che la funzione di trasferimento è pari a $+15.3$, la resistenza di ingresso risulta $10^{20} \Omega$, mentre la resistenza di uscita è nulla, in accordo con l'analisi svolta. La tensione continua di uscita è pari a 1.53 V , mentre la corrente relativa a E1 risulta $-33.3 \text{ }\mu\text{A}$. I valori ottenuti sono in accordo con l'analisi manuale. Si noti che il valore di $10^{20} \Omega$ rappresenta un valore di resistenza infinito per la versione di SPICE utilizzata. Si osservi inoltre che la corrente relativa a E1 risulta negativa, in quanto il verso convenzionale assunto in SPICE è positivo se entrante nel terminale positivo di E1.



ESERCIZIO Si calcolino il guadagno di tensione A_v , la tensione di uscita v_o e la corrente di uscita i_o per l'amplificatore di Figura 10.22 assumendo $R_1 = 2 \text{ k}\Omega$, $R_2 = 36 \text{ k}\Omega$ e $v_i = -0.2 \text{ V}$.

RISPOSTE $+19.0$; -3.80 V ; $-100 \text{ }\mu\text{A}$.

Resistenze di ingresso e uscita dell'amplificatore non invertente. Utilizzando l'ipotesi 2 ($i_+ = 0$), si vede che la resistenza di ingresso dell'amplificatore non invertente è data da:

$$R_{\text{in}} = \frac{v_i}{i_+} \rightarrow \infty \quad \text{essendo } i_+ = 0 \quad (10.54)$$

Allo scopo di determinare la resistenza di uscita, applichiamo un generatore di corrente di prova al terminale di uscita, e azzeriamo la tensione di ingresso ($v_i = 0$). Il circuito utilizzato per il calcolo della resistenza di uscita è quindi identico a quello di Figura 10.20, sicché la resistenza di uscita è nulla anche per l'amplificatore non invertente:

$$R_{\text{out}} = 0 \quad (10.55)$$



NOTA PROGETTUALE

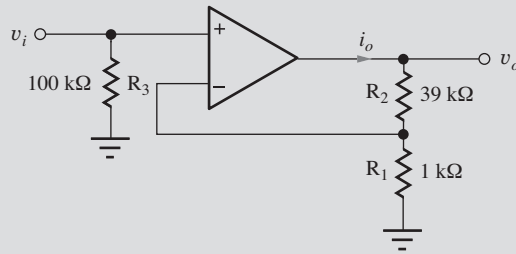
Amplificatore non invertente

Riassumendo, per l'amplificatore non invertente ideale si ha:

$$A_v = 1 + \frac{R_2}{R_1} \quad R_{in} \rightarrow \infty \quad R_{out} = 0$$

ESERCIZIO Si disegni il circuito per il calcolo della resistenza di uscita, e si verifichi che coincide con quello riportato in Figura 10.20.

ESERCIZIO Si determinino il guadagno di tensione (in dB) e la resistenza di ingresso per l'amplificatore riportato di seguito. Si calcolino i valori di v_o e i_o , assumendo $v_i = 0.25$ V.



RISPOSTE 32.0 dB, 100 kΩ; +10.0 V, 250 μA.

ESERCIZIO Si progetti un amplificatore non invertente (si selezioni il valore delle resistenze R_1 e R_2 dall'Appendice A) in modo da ottenere un guadagno di tensione di 54 dB, e $i_o \leq 0.1$ mA quando $v_o = 10$ V.

RISPOSTE Due possibili soluzioni sono (220 Ω e 110 kΩ) oppure (200 Ω e 100 kΩ).

10.9.4 Buffer a guadagno unitario o inseguitore di tensione

La Figura 10.23 mostra un caso particolare di amplificatore non invertente, noto come **ciruito buffer a guadagno unitario** o **inseguitore di tensione**, in cui la resistenza R_1 è infinita mentre R_2 è pari a zero. Sostituendo questi valori nella (10.53) si ottiene infatti $A_v = 1$. Si può ottenere lo stesso risultato dall'equazione delle tensioni relativa al circuito di Figura 10.11:

$$v_i - v_{id} = v_o \quad \text{ovvero} \quad v_o = v_i \text{ e } A_v = 1 \quad (10.56)$$

dove si è utilizzata l'ipotesi 1 ($v_{id} = 0$).

Il circuito buffer a guadagno unitario fornisce un guadagno pari a 1 con una resistenza di ingresso infinita e una resistenza di uscita nulla, e quindi realizza una trasformazione notevole del livello di impedenza, mantenendo inalterato il livello del segnale. Molti trasduttori possono essere rappresentati da circuiti equivalenti a elevata impedenza, e non sono in grado di erogare una corrente sufficientemente elevata da pilotare un carico. Il buffer a guadagno unitario non richiede una corrente di ingresso, e può pilotare un carico con resistenza arbitraria senza riduzioni del livello del segnale. Applicazioni comuni del buffer a guadagno unitario sono i sensori e i sistemi per acquisizione dati.

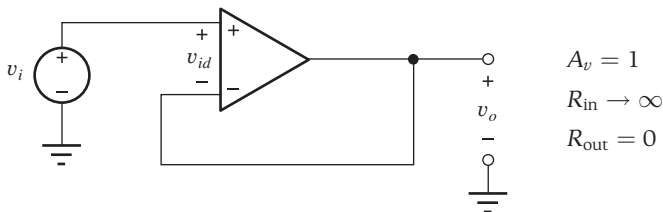


Figura 10.23

Buffer a guadagno di tensione unitario (inseguitore di tensione).

Capire il funzionamento dell'inseguitore di tensione

Il funzionamento di questo circuito è molto semplice. Grazie alla retroazione negativa la tensione differenziale di ingresso è nulla e quindi la tensione d'ingresso v_i viene applicata direttamente all'uscita. La tensione di uscita "insegue" quindi quella d'ingresso.

Riepilogo delle caratteristiche degli amplificatori ideali invertente e non invertente

La Tabella 10.3 riassume le proprietà degli amplificatori ideali invertenti e non invertenti. Il guadagno dell'amplificatore non invertente è maggiore o uguale a 1, mentre l'amplificatore invertente può essere progettato in modo da ottenere un guadagno in modulo maggiore oppure minore di 1 (o pari a 1). Il guadagno dell'amplificatore invertente è negativo, cui corrisponde una variazione di fase di 180° tra le tensioni di ingresso e uscita.

La resistenza di ingresso costituisce la differenza principale tra i due amplificatori, in quanto è estremamente elevata nel caso dell'amplificatore non invertente, e relativamente bassa per l'amplificatore invertente, e limitata definita dal valore di R_1 . La resistenza di uscita è nulla per entrambi gli amplificatori.

Tabella 10.3 Riepilogo relativo all'amplificatore operazionale nelle configurazioni invertente e non invertente

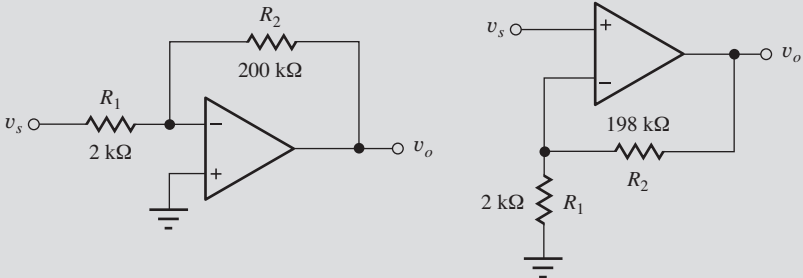
	Amplificatore invertente	Amplificatore non invertente
Guadagno di tensione A_v	$-\frac{R_2}{R_1}$	$1 + \frac{R_2}{R_1}$
Resistenza di ingresso R_{in}	R_1	$\rightarrow \infty$
Resistenza di uscita R_{out}	0	0

Esempio 10.6

CONFRONTO TRA LE CONFIGURAZIONI INVERTENTE E NON INVERTENTE DELL'AMPLIFICATORE OPERAZIONALE

Questo esempio confronta le caratteristiche delle configurazioni invertente e non invertente.

PROBLEMA Si analizzino le differenze tra i due amplificatori riportati in figura ricorrendo a un'analisi numerica. Ciascun amplificatore è progettato in modo da presentare un guadagno di tensione di 40 dB.



SOLUZIONE **Informazioni e dati noti:** Sono specificate le topologie dei circuiti con $R_1 = 2\text{ k}\Omega$, $R_2 = 200\text{ k}\Omega$ (configurazione invertente) e $R_1 = 2\text{ k}\Omega$, $R_2 = 198\text{ k}\Omega$ (configurazione non invertente).

Incognite: Il valore del guadagno di tensione A_v , della resistenza di uscita e della resistenza di ingresso per i due amplificatori.

Approccio: Si farà uso delle equazioni relative alle due configurazioni.

Ipotesi: Gli operazionali sono ideali.

Analisi: In base alle equazioni relative alle due configurazioni otteniamo:

$$\text{Amplificatore invertente: } A_v = -\frac{200 \text{ k}\Omega}{2 \text{ k}\Omega} = -100 \text{ ovvero } 40 \text{ dB}$$

$$R_{\text{in}} = 2 \text{ k}\Omega \quad \text{e} \quad R_{\text{out}} = 0 \Omega$$

$$\text{Amplificatore non invertente: } A_v = 1 + \frac{198 \text{ k}\Omega}{2 \text{ k}\Omega} = +100 \text{ ovvero } 40 \text{ dB}$$

$$R_{\text{in}} \rightarrow \infty \quad \text{e} \quad R_{\text{out}} = 0 \Omega$$

Verifica dei risultati: Le incognite sono state determinate. Una verifica dei calcoli conferma la correttezza dei risultati.

Discussione: Nella Tabella 10.4 sono poste a confronto le caratteristiche relative al progetto dei due amplificatori. Oltre alla differenza di segno per il guadagno, si nota che la resistenza di ingresso per l'amplificatore invertente è pari a solo 2 kΩ, mentre è infinita nel caso dell'amplificatore non invertente. Si osservi che l'amplificatore non invertente presenta le caratteristiche dell'amplificatore di tensione ideale, ovvero $R_{\text{in}} \rightarrow \infty$ e $R_{\text{out}} = 0 \Omega$.

Tabella 10.4 Confronto relativo alle configurazioni invertente e non invertente

	Amplificatore invertente	Amplificatore non invertente
Guadagno di tensione A_v	-100 (40 dB)	+100 (40 dB)
Resistenza di ingresso R_{in}	2 kΩ	$\rightarrow \infty$
Resistenza di uscita R_{out}	0	0

ESERCIZIO Si calcolino il guadagno di tensione A_v , la resistenza di ingresso, la tensione di uscita v_o e la corrente di uscita i_o per i due amplificatori dell'Esempio 10.6, assumendo $R_1 = 1.5 \text{ k}\Omega$, $R_2 = 30 \text{ k}\Omega$ e $v_i = 0.15 \text{ V}$.

RISPOSTE -20.0, 1.5 kΩ, -3.00 V, -100 μA; +21, ∞, +3.15 V, +100 μA.

ESERCIZIO Si impieghi SPICE per verificare i risultati dell'Esempio 10.6.

ESERCIZIO Si aggiunga una resistenza all'amplificatore non invertente per impostare la sua resistenza di ingresso a 2 kΩ.

RISPOSTE Impostare $R_3 = 2 \text{ k}\Omega$ nel circuito dell'esercizio a pagina 445.

10.9.5 L'amplificatore sommatore

Gli amplificatori operazionali possono anche essere utilizzati per combinare dei segnali, come nell'amplificatore **sommatore** mostrato in Figura 10.24. I generatori v_1 e v_2 sono connessi all'ingresso invertente attraverso le resistenze R_1 e R_2 . Poiché l'ingresso invertente è a potenziale di 0 V, si ha:

$$i_1 = \frac{v_1}{R_1} \quad i_2 = \frac{v_2}{R_2} \quad i_3 = -\frac{v_o}{R_3} \quad (10.57)$$

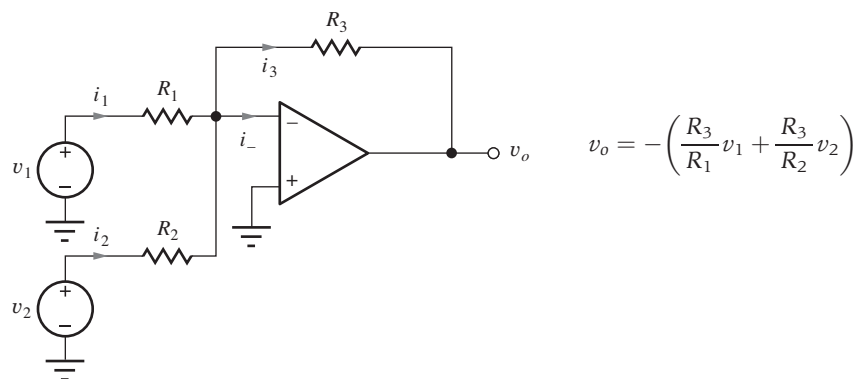
Poiché $i_- = 0$, si ha $i_3 = i_1 + i_2$, e dalle (10.57) si ricava:

$$v_o = -\frac{R_3}{R_1} v_1 - \frac{R_3}{R_2} v_2 \quad (10.58)$$

La tensione di uscita è data dalla somma di due segnali proporzionali ai segnali di ingresso, in cui i fattori di proporzionalità possono essere definiti indipendentemente modificando le resistenze R_1 e R_2 . I fattori di proporzionalità relativi ai due ingressi possono essere definiti in modo indipendente grazie al potenziale costante all'ingresso invertente.

Figura 10.24

Amplificatore sommatore.



Il terminale di ingresso invertente è anche detto **nodo sommatore**, in quanto le correnti i_1 e i_2 si sommano a questo nodo, per poi fluire attraverso il resistore di retroazione R_3 . L'amplificatore in Figura 10.24 ha solo due terminali di ingresso, ma è in generale possibile collegare al nodo sommatore un numero arbitrario di ingressi, attraverso resistori aggiuntivi. Questa è la modalità di realizzazione di un semplice convertitore digitale-analogico (D/A).

ESERCIZIO Si determini la tensione di uscita del sommatore rappresentato in Figura 10.24 se $v_1 = 2 \sin(1000\pi t)$ V, $v_2 = 4 \sin(2000\pi t)$ V, $R_1 = 1$ k Ω , $R_2 = 2$ k Ω e $R_3 = 3$ k Ω . Quali sono le resistenze di ingresso viste dai generatori v_1 e v_2 ? Qual è la corrente erogata in uscita dall'operazionale?

RISPOSTE $[-6 \sin(1000\pi t) - 6 \sin(2000\pi t)]$ V, 1 k Ω , 2 k Ω ;
 $[-2 \sin(1000\pi t) - 2 \sin(2000\pi t)]$ mA.



ELETTRONICA IN AZIONE

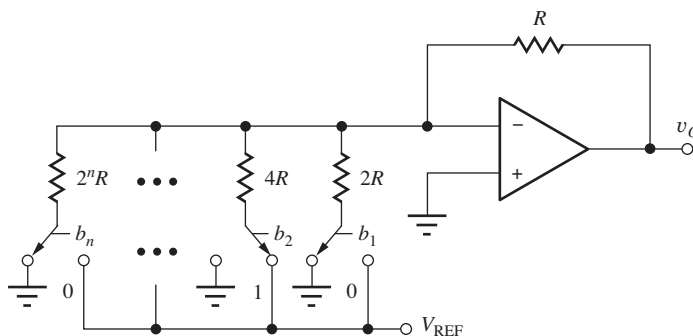
Circuiti convertitori digitale-analogico (DAC)

Uno dei più semplici circuiti di conversione da digitale ad analogico, il convertitore DAC a resistori pesati, è basato sul sommatore appena visto nel Paragrafo 10.9.5. Questo DAC fa uso di una rete di resistori con peso binario, una tensione di riferimento V_{REF} e un gruppo di deviatori di solito realizzati con transistori MOS. I dati binari di ingresso controllano i deviatori, il valore 1 corrisponde al deviatore collegato a V_{REF} , mentre il valore 0 collega il deviatore

al potenziale zero. I vari resistori hanno un valore doppio del precedente generando così in uscita i contributi voluti con peso binario

$$v_O = (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) V_{REF} \text{ per } b_i \in \{1, 0\}$$

Il bit b_1 ha il peso più elevato e si chiama **bit più significativo (MSB, Most Significant Bit)**, mentre b_n ha il peso minore ed è il bit meno significativo (**LSB, Least Significant Bit**).



Un DAC a n bit con resistori pesati.

Questo approccio alla realizzazione di un DAC presenta svariati problemi. La difficoltà principale consiste nel mantenere rapporti accurati fra i valori dei

resistori su un ampio intervallo di valori, per esempio 4096 a 1 per un DAC a 12 bit). Se i valori non sono accurati si hanno errori di guadagno e di non li-

nearità. Inoltre i deviatori sono in serie ai resistori e le loro resistenze "on" devono essere molto basse e non introdurre errori di offset. Il progettista può eliminare quest'ultimo problema usando per ciascun deviatore due MOSFET con i rapporti W/L scalati con la posizione nella rete, in modo da equalizzare il contributo delle resistenze dei MOSFET. L'ampio intervallo di valori resistivi richiesti, anche solo per

risoluzioni moderate, rende questo circuito non adatto all'integrazione. Infine, la corrente assorbita da V_{REF} cambia con la posizione degli interruttori, causando una diversa caduta di potenziale sulla resistenza equivalente di Thévenin del riferimento di tensione e dando origine a un errore, chiamato **errore di sovrapposizione**, che dipende dal valore numerico convertito.

10.9.6 L'amplificatore sottrattore

Tutti i circuiti visti finora, con la sola eccezione del sommatore, hanno un solo ingresso. Tuttavia l'amplificatore operazionale può essere utilizzato per realizzare un **amplificatore sottrattore**, mostrato in Figura 10.25, che amplifica la differenza tra le tensioni applicate ai terminali di ingresso. La tensione di uscita può essere espressa in funzione della tensione v_- mediante la seguente equazione:

$$v_o = v_- - i_2 R_2 = v_- - i_1 R_2 \quad (10.59)$$

dove si è posto $i_2 = i_1$, essendo $i_- = 0$. La corrente i_1 è data da:

$$i_1 = \frac{v_1 - v_-}{R_1} \quad (10.60)$$

Dalle (10.59) e (10.60) si ricava:

$$v_o = v_- - \frac{R_2}{R_1} (v_1 - v_-) = \left(\frac{R_1 + R_2}{R_1} \right) v_- - \frac{R_2}{R_1} v_1 \quad (10.61)$$

Poiché la tensione tra i terminali dell'operazionale deve essere pari a zero si ha $v_- = v_+$. Poiché anche la corrente i_+ è nulla, la tensione v_+ può essere espressa utilizzando la legge del partitore di tensione:

$$v_- = v_+ = \frac{R_2}{R_1 + R_2} v_2 \quad (10.62)$$

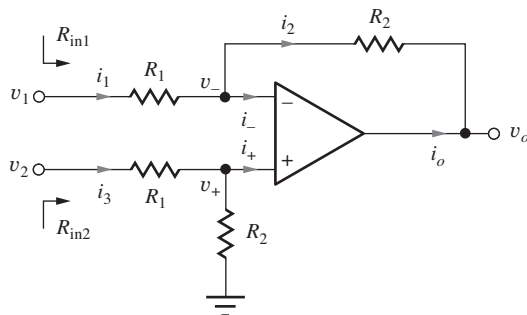
Sostituendo l'Equazione (10.62) nella (10.61) si ottiene infine:

$$v_o = \left(-\frac{R_2}{R_1} \right) (v_1 - v_2) \quad (10.63)$$

Dalla (10.63) si vede che il circuito in Figura 10.25 amplifica la differenza tra v_2 e v_1 , e il fattore di amplificazione è definito dal rapporto delle resistenze R_1 e R_2 . Per $R_1 = R_2$ si ottiene:

$$v_o = -(v_1 - v_2) \quad (10.64)$$

La resistenza di ingresso del circuito è limitata dalle resistenze R_1 e R_2 . La resistenza di ingresso R_{in2} , "vista" dal generatore v_2 , è semplicemente data dalla serie di R_1 e R_2 , poiché la corrente i_+ è nulla. Per $v_2 = 0$ la resistenza di ingresso R_{in1} coincide con R_1 , in quanto il circuito è identico a un amplificatore invertente. Nel caso generale, tuttavia, la corrente di ingresso i_1 è funzione di entrambe le tensioni v_1 e v_2 .



$$v_o = -\frac{R_2}{R_1} (v_1 - v_2)$$

Figura 10.25
Amplificatore sottrattore.

Capire il funzionamento dell'amplificatore sottrattore

Il modo più semplice per capire il funzionamento dell'amplificatore sottrattore è di considerare il principio della sovrapposizione degli effetti. Se poniamo a zero la tensione d'ingresso v_2 , allora il circuito si comporta come un amplificatore invertente con guadagno $-R_2/R_1$. Se poniamo a zero v_1 , allora al morsetto non invertente ci sarà la tensione v_2 attenuata dal partitore resistivo formato da R_1 e R_2 . Questa tensione al morsetto non invertente sarà amplificata dal guadagno dell'amplificatore non invertente $(1 + R_2/R_1)$. La tensione di uscita è quindi data dalla somma dei due contributi dovuti ai generatori operanti singolarmente:

$$\text{per } v_2 = 0: v_{o1} = -\frac{R_2}{R_1} v_1 \quad \text{per } v_1 = 0: v_{o2} = +\left(\frac{R_2}{R_1 + R_2}\right)\left(1 + \frac{R_2}{R_1}\right) v_2 = +\frac{R_2}{R_1} v_2$$

Combinando questi due risultati si ottiene:

$$v_o = v_{o1} + v_{o2} = -\frac{R_2}{R_1}(v_1 - v_2)$$

Esempio 10.7

ANALISI DELL'AMPLIFICATORE SOTTRATTORE

In questa analisi, date le tensioni di ingresso, calcoliamo le varie tensioni e correnti che si hanno in un circuito sottrattore.

PROBLEMA Si calcolino i valori di V_O , V_+ , V_- , I_1 , I_2 e I_O per l'amplificatore sottrattore di Figura 10.25 assumendo $V_1 = 5 \text{ V}$, $V_2 = 3 \text{ V}$, $R_1 = 10 \text{ k}\Omega$ e $R_2 = 100 \text{ k}\Omega$.

SOLUZIONE **Informazioni e dati noti:** È specificata la topologia del circuito e il valore degli elementi.

Incognite: V_O , V_+ , V_- , I_1 , I_2 e I_O .

Approccio: Si farà uso delle leggi di Kirchhoff e delle ipotesi relative all'operazionale ideale per il calcolo delle tensioni ai nodi e quindi delle grandezze incognite.

Ipotesi: Gli operazionali sono ideali ($I_- = I_+ = 0$ e $V_- = V_+$).

Analisi: Essendo $I_+ = 0$, possiamo determinare V_+ in base alla legge del partitore di tensione:

$$V_+ = V_2 \frac{R_2}{R_1 + R_2} = 3 \text{ V} \frac{100 \text{ k}\Omega}{10 \text{ k}\Omega + 100 \text{ k}\Omega} = 2.73 \text{ V} \quad \text{e} \quad V_- = 2.73 \text{ V}$$

La tensione V_O può essere espressa in termini di V_1 utilizzando la KVL:

$$V_1 - I_1 R_1 - I_2 R_2 - V_O = 0$$

Poiché $I_- = 0$, si ha $I_2 = I_1$. Essendo noti i valori di V_1 , V_- e R_1 , possiamo determinare I_1 :

$$I_1 = \frac{V_1 - V_-}{R_1} = \frac{5 \text{ V} - 2.73 \text{ V}}{10 \text{ k}\Omega} = 227 \text{ }\mu\text{A} \quad \text{e} \quad I_2 = 227 \text{ }\mu\text{A}$$

La tensione di uscita risulta quindi:

$$V_O = V_1 - I_1 R_1 - I_2 R_2 = V_1 - I_1 (R_1 + R_2)$$

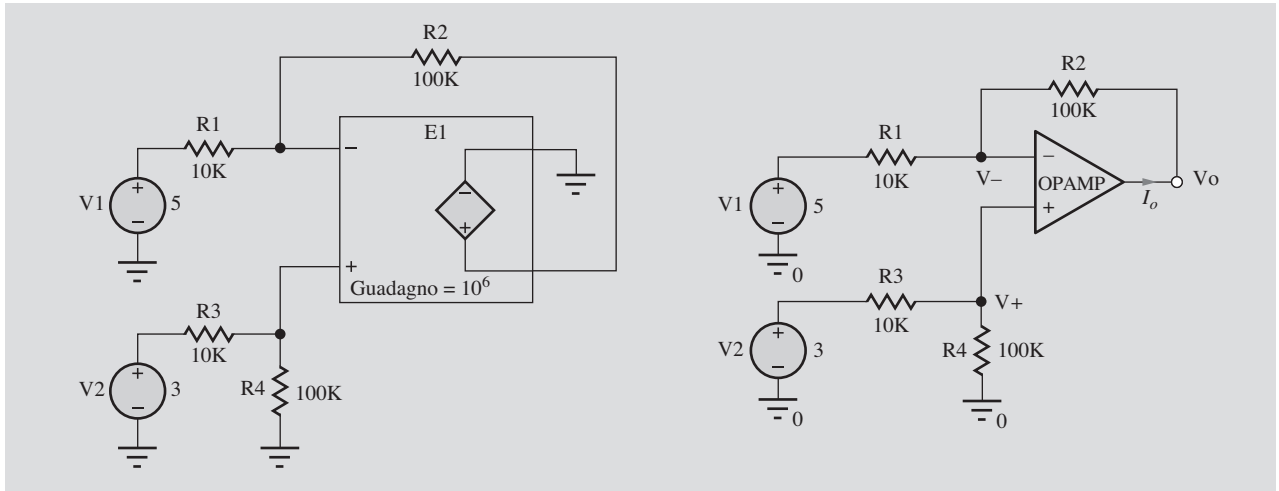
$$V_O = 5 \text{ V} - (227 \text{ }\mu\text{A})(110 \text{ k}\Omega) = -20.0 \text{ V}$$

Infine per la corrente di uscita otteniamo $I_O = -I_2 = -227 \text{ }\mu\text{A}$.

Verifica dei risultati: Le incognite sono state determinate, e i valori ottenuti sembrano ragionevoli. Il circuito in esame deve amplificare la differenza dei segnali in ingresso con un guadagno pari a $-R_2/R_1 = -10$. La tensione di uscita deve quindi essere pari a $-10(5 \text{ V} - 3 \text{ V}) = -20 \text{ V}$.

Analisi assistita da calcolatore: Per la simulazione SPICE faremo riferimento al circuito riportato in figura. L'amplificatore operazionale ideale viene modellato dal componente OPAMP con un guadagno di 120 dB. L'analisi SPICE del punto di lavoro conferma i risultati dell'analisi manuale:

$$V_+ = V_- = 2.73 \text{ V}, V_O = -20 \text{ V}, I_1 = 227 \text{ }\mu\text{A}, I_O = -227 \text{ }\mu\text{A}, (I(E1) = 227 \text{ }\mu\text{A}).$$



ESERCIZIO Si determini la corrente che esce dal generatore V_2 nell'Esempio 10.7.

RISPOSTE 27.3 μA .

ESERCIZIO Si determinino il guadagno di tensione A_v , la tensione di uscita V_o , la corrente di uscita I_o e la corrente che esce dal generatore V_2 per l'amplificatore dell'Esempio 10.7, assumendo $V_1 = 3\text{ V}$ e $V_2 = 5\text{ V}$.

RISPOSTE -10 ; 20.0 V; +154 μA , 45.5 μA .

ESERCIZIO Si determinino il guadagno di tensione A_v , la tensione di uscita V_o , la corrente di uscita I_o per l'amplificatore di Figura 10.25, assumendo $R_1 = 2\text{ k}\Omega$, $R_2 = 36\text{ k}\Omega$, $V_1 = 8\text{ V}$ e $V_2 = 8.25\text{ V}$.

RISPOSTE +18.0; 4.50 V; $-92.0\text{ }\mu\text{A}$.

10.10 Funzione di trasferimento e risposta in frequenza

Nelle reti di retroazione abbiamo finora usato solo resistori, ma in generale si possono avere anche altri componenti passivi e addirittura dispositivi attivi. Il caso generale di una configurazione invertente con retroazione passiva è mostrato in Figura 10.26, in cui i resistori R_1 e R_2 sono stati sostituiti da due generiche impedenze $Z_1(s)$ e $Z_2(s)$, che possono essere funzione della frequenza. La retroazione resistiva è solo un caso particolare dell'amplificatore di Figura 10.26.

Il guadagno di questo amplificatore viene descritto dalla sua **funzione di trasferimento** nel dominio della frequenza, in cui $s = \sigma + j\omega$ rappresenta la variabile della frequenza complessa.

$$A_v(s) = \frac{V_o(s)}{V_i(s)} \quad (10.65)$$

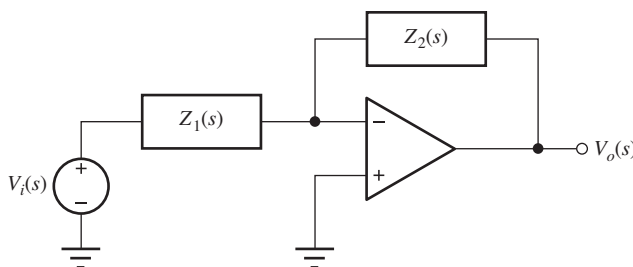


Figura 10.26
Configurazione generalizzata
dell'amplificatore invertente.

Le funzioni di trasferimento degli amplificatori possono essere assai complicate, con molti poli e zeri, ma il loro comportamento complessivo può essere suddiviso in alcune categorie del tipo funzione passa-alto, funzione passa-basso, funzione passa-banda. Nei paragrafi seguenti si ripasseranno i diagrammi di Bode degli amplificatori con funzione passa-basso e passa-alto.

10.10.1 Diagrammi di Bode

Le funzioni di trasferimento possono essere caratterizzate da molti poli e zeri, e quindi risultare molto complesse. Il comportamento complessivo, tuttavia, può essere descritto secondo la classificazione sopra menzionata. Nel seguito analizzeremo le caratteristiche relative ai diversi tipi di amplificatori (passa-basso, passa-alto, passa-banda, passa-tutto e a reiezione di banda).

In questa analisi siamo interessati alla dipendenza della funzione di trasferimento dalla frequenza angolare⁶ $\omega = 2\pi f$, ovvero per $s = j\omega$. La funzione di trasferimento può essere rappresentata in forma polare dal **modulo** $|A_v(j\omega)|$ e dalla **fase** $\angle A_v(j\omega)$, entrambe funzioni della frequenza:

$$A_v(j\omega) = |A_v(j\omega)| \angle A_v(j\omega) \quad (10.66)$$

Spesso è conveniente analizzare la dipendenza del modulo e della fase dalla frequenza attraverso grafici detti **diagrammi di Bode**. Nei diagrammi di Bode il modulo della funzione di trasferimento in decibel e la fase in gradi (o radianti) vengono riportati in funzione della frequenza, utilizzando una scala logaritmica per l'asse delle frequenze. Essendo un asse logaritmico, la frequenza zero si trova "infinitamente lontano" a sinistra del grafico: non bisogna identificare l'incrocio degli assi con la frequenza nulla. Nel seguito analizzeremo i diagrammi di Bode relativi ai diversi tipi di amplificatori.

10.10.2 Amplificatori passa-basso

Circuiti in grado di amplificare anche la continua costituiscono una importante classe di circuiti, chiamati amplificatori passa-basso. Per esempio gli amplificatori operazionali sono inerentemente degli amplificatori passa-basso. Un **amplificatore passa-basso** a un solo polo⁷ è descritto dalla funzione di trasferimento

$$A_v(s) = \frac{A_o \omega_H}{s + \omega_H} = \frac{A_o}{1 + \frac{s}{\omega_H}} \quad (10.67)$$

in cui A_o rappresenta il guadagno a bassa frequenza, e ω_H rappresenta la frequenza di taglio dell'amplificatore. Analizziamo dapprima il modulo di $A_v(s)$.

Risposta in ampiezza. Sostituendo $s = j\omega$ nella (10.67), il modulo della funzione di trasferimento A_v risulta:

$$|A_v(j\omega)| = \left| \frac{A_o \omega_H}{j\omega + \omega_H} \right| = \frac{|A_o \omega_H|}{\sqrt{\omega^2 + \omega_H^2}} \quad (10.68)$$

Esprimendo il modulo di A_v in dB si ha:

$$|A_v(j\omega)|_{\text{dB}} = 20 \log |A_o \omega_H| - 20 \log \sqrt{\omega^2 + \omega_H^2} \quad (10.69)$$

Per assegnati valori di A_o e ω_H la (10.69) può essere facilmente valutata e diagrammata utilizzando programmi come MATLAB oppure un foglio di calcolo. Il grafico assume tipicamente l'andamento mostrato in Figura 10.27.

⁶ Nel seguito del testo la frequenza angolare o pulsazione verrà spesso indicata semplicemente con il termine "frequenza". [N.d.C.]

⁷ In generale un amplificatore passa-basso è caratterizzato da diversi poli. La funzione di trasferimento a un solo polo rappresenta l'approssimazione più semplice della caratteristica passa-basso ideale introdotta nel Capitolo 1.

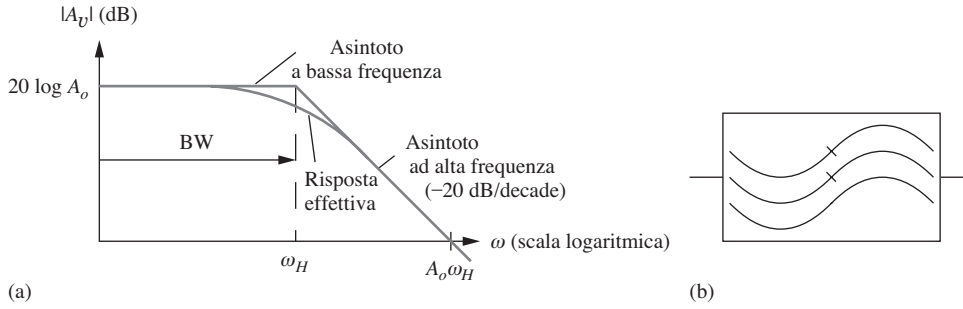


Figura 10.27

(a) Amplificatore passa-basso: $BW = \omega_H$. (b) Simbolo del filtro passa-basso.

In generale è conveniente riportare l'andamento asintotico per basse ed elevate frequenze. Per basse frequenze, ovvero per $\omega \ll \omega_H$, il modulo è costante, e pari al valore a bassa frequenza

$$\left. \frac{A_0 \omega_H}{\sqrt{\omega^2 + \omega_H^2}} \right|_{\omega \ll \omega_H} \approx \frac{A_0 \omega_H}{\sqrt{\omega_H^2}} = A_0 \quad \text{ovvero} \quad (20 \log A_0) \text{ dB} \quad (10.70)$$

Questo andamento corrisponde all'asintoto orizzontale in Figura 10.27. Segnali con frequenza inferiore a ω_H verranno pertanto amplificati secondo il fattore A_0 (si noti che il guadagno è costante fino a $\omega = 0$).

Per frequenze maggiori di ω_H il guadagno dell'amplificatore diminuisce. Per frequenze sufficientemente maggiori rispetto a ω_H , il modulo del guadagno può essere approssimato da:

$$\left. \frac{A_0 \omega_H}{\sqrt{\omega^2 + \omega_H^2}} \right|_{\omega \gg \omega_H} \approx \frac{A_0 \omega_H}{\sqrt{\omega^2}} = \frac{A_0 \omega_H}{\omega} \quad (10.71)$$

Esprimendo il guadagno in dB si ottiene:

$$|A_v(j\omega)|_{\text{dB}} \approx \left(20 \log A_0 - 20 \log \frac{\omega}{\omega_H} \right) \text{ dB} \quad (10.72)$$

Per frequenze molto maggiori di ω_H il guadagno si riduce di 20 dB per ogni decade, come mostrato dall'asintoto relativo alla regione a elevata frequenza nella Figura 10.27. Ovviamente le caratteristiche dell'amplificatore dipendono in modo cruciale dalla frequenza ω_H , che prende il nome di **frequenza di taglio superiore** dell'amplificatore. Per $\omega = \omega_H$ il guadagno dell'amplificatore vale:

$$|A_v(j\omega_H)| = \frac{A_0 \omega_H}{\sqrt{\omega_H^2 + \omega_H^2}} = \frac{A_0}{\sqrt{2}} \quad \text{ovvero} \quad [(20 \log A_0) - 3] \text{ dB} \quad (10.73)$$

Talvolta ω_H è detta anche **frequenza superiore a -3 dB** dell'amplificatore. Si noti che per $\omega = \omega_H$ la potenza in uscita, proporzionale al quadrato della tensione, risulta ridotta secondo un fattore 2. Dalle (10.70) e (10.71) si verifica facilmente che gli asintoti a bassa ed elevata frequenza si intersecano in corrispondenza della frequenza ω_H (si veda anche la Figura 10.27). Si osservi inoltre che il guadagno diventa unitario (0 dB) per $\omega = A_0 \omega_H$, che prende il nome di **prodotto guadagno-larghezza di banda** dell'amplificatore.

Larghezza di banda. Per frequenze inferiori a ω_H il guadagno è approssimativamente costante, in quanto varia secondo un fattore inferiore a 3 dB. Questo tipo di amplificatore è detto **passa-basso**. La **larghezza di banda (BW, bandwidth)** descrive l'intervallo di frequenze in cui l'amplificazione è approssimativamente costante, ed è espressa in radianti/secondo o hertz. Nel caso dell'amplificatore passa-basso si ha:

$$BW = \omega_H \text{ (rad/s)} \quad \text{ovvero} \quad BW = f_H = \frac{\omega_H}{2\pi} \text{ Hz} \quad (10.74)$$

Prodotto guadagno-larghezza di banda

Il prodotto **guadagno per larghezza di banda (GBW, gain-bandwidth)** è spesso usato come una cifra di merito per confrontare gli amplificatori; nel caso di un amplificatore con risposta in frequenza di tipo passa-basso, è semplicemente il prodotto del guadagno a bassa frequenza (A_0) per la larghezza di banda (ω_H):

$$GBW = A_0 \omega_H \quad (10.75)$$

Figura 10.28
Fase in funzione della
frequenza normalizzata (ω/ω_C)
ottenuta dalla funzione inversa
della tangente + $\tan^{-1}(\omega/\omega_C)$.
È anche mostrata
l'approssimazione lineare
a tratti.

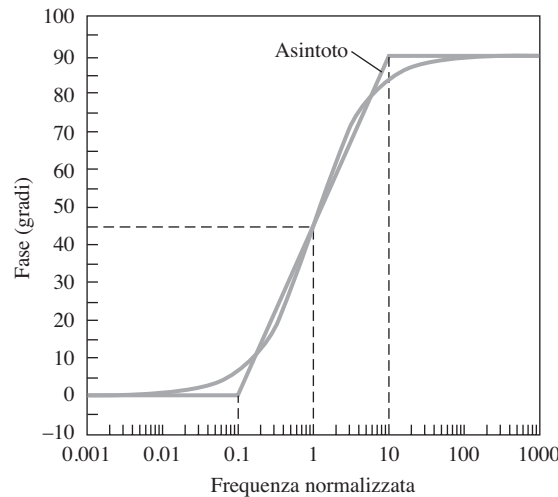


Tabella 10.5 Funzione inversa della tangente	
ω	$\tan^{-1} \frac{\omega}{\omega_C}$
$0.01 \omega_C$	0.057
$0.1 \omega_C$	5.7
ω_C	45
$10 \omega_C$	84.3
$100 \omega_C$	89.4

Nel caso di una risposta in frequenza passa basso, a singolo polo GBW rappresenta anche la frequenza di **guadagno unitario** ω_T dell'amplificatore, ossia la frequenza alla quale il modulo del guadagno diventa pari a 1 o 0dB. Si può trovare ω_T usando l'equazione (10.71) per $\omega \gg \omega_H$:

$$|A_v(j\omega_T)| = 1 \quad \text{oppure} \quad \frac{A_o\omega_H}{\omega_T} = 1 \quad \text{e} \quad \omega_T = A_o\omega_H \quad (10.76)$$

ESERCIZIO Si determinino il guadagno a centro banda, la frequenza di taglio, la larghezza di banda e il prodotto guadagno-larghezza di banda per l'amplificatore passa-basso caratterizzato dalla funzione di trasferimento:

$$A_v(s) = -\frac{2\pi \times 10^6}{(s + 5000\pi)}$$

RISPOSTE -400, 2.5 kHz, 2.5 kHz, 1 MHz.

Risposta in fase. In molte applicazioni è importante anche l'andamento della fase in funzione della frequenza. Un esempio è la stabilità degli amplificatori retroazionati. Posto $s = j\omega$, la fase del guadagno di tensione di un amplificatore passa-basso si ricava facilmente dalla (10.66):

$$\angle A_v(j\omega) = \angle \frac{A_o}{1 + j\frac{\omega}{\omega_H}} = \angle A_o - \tan^{-1}\left(\frac{\omega}{\omega_H}\right) \quad (10.77)$$

La fase di A_o è pari a 0° se A_o è positivo, o 180° se A_o è negativo.
La valutazione della fase di un termine della funzione di trasferimento relativo a un polo o a uno zero comporta la valutazione della funzione inversa della funzione tangente (arco-tangente). I valori più significativi sono riportati in Tabella 10.5, mentre la Figura 10.28 mostra il grafico completo della funzione inversa della tangente. La frequenza corrispondente a un polo o a uno zero è indicata dalla frequenza critica ω_C , cui corrisponde una variazione della fase di 45° . A una frequenza inferiore a ω_C di una decade la variazione di fase è pari a 5.7° , mentre per una frequenza superiore a ω_C di una decade la variazione di fase è pari a 84.3° . A una distanza di due decenni da ω_C la fase è molto prossima ai valori asintotici per basse (0°) ed elevate (90°) frequenze. La figura mostra anche un'approssimazione lineare a tratti per la risposta di fase, simile all'approssimazione utilizzata per la risposta in ampiezza, basata sugli asintoti.

La fase relativa a funzioni di trasferimento complesse, contenenti diversi zeri o poli, può essere semplicemente ottenuta effettuando somme e differenze di funzioni inverse della funzione tangente. Tuttavia, è più semplice valutare la fase ricorrendo a un calcolatore.

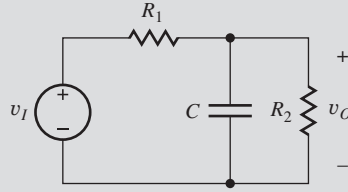
FILTRO RC PASSA-BASSO

Esempio 10.8

Il filtro RC passa-basso è un circuito passivo semplice ma importante che incontreremo sovente nei capitoli successivi.

Si determini la funzione di trasferimento V_o/V_i per la rete RC mostrata in figura.

PROBLEMA



Informazioni e dati noti: È data la topologia del circuito.

SOLUZIONE

Incognite: La funzione di trasferimento V_o/V_i .

Approccio: Ricordando che l'impedenza del condensatore è $1/sC$, si determinerà la funzione di trasferimento nel dominio di Laplace.

Ipotesi: Nessuna.

Analisi: Dall'analisi del circuito risulta

$$V_o = V_i \frac{\frac{R_2/sC}{R_2 + 1/sC}}{R_1 + \frac{R_2/sC}{R_2 + 1/sC}} \quad \text{e} \quad \frac{V_o}{V_i} = \left(\frac{R_2}{R_1 + R_2} \right) \left(\frac{1}{1 + \frac{s}{\omega_H}} \right)$$

dove

$$\omega_H = \frac{1}{(R_1 \parallel R_2)C}$$

Verifica dei risultati: Per $\omega \ll \omega_H$ il guadagno diventa $R_2/(R_1 + R_2)$, e il risultato appare corretto.

Discussione: La frequenza ω_H rappresenta la frequenza per cui la reattanza del condensatore è pari a $R_1 \parallel R_2$: $1/(\omega_H C) = R_1 \parallel R_2$. La resistenza $R_1 \parallel R_2$ rappresenta la resistenza equivalente di Thévenin vista dal condensatore. Per $\omega \ll \omega_H$ l'impedenza relativa al condensatore può essere trascurata rispetto alla resistenza equivalente.

ESERCIZIO Si determini la frequenza di taglio del filtro passa-basso dell'Esempio 10.8 per $R_1 = 1 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$ e $C = 200 \text{ pF}$.

RISPOSTA 804 kHz.

10.10.3 Amplificatori passa-alto

La funzione di trasferimento di tipo passa-alto più semplice presenta un solo polo e uno zero nell'origine. Si osservi, tuttavia, che tale funzione presenterebbe una banda infinita, ed è pertanto irrealizzabile in pratica. In generale, possiamo approssimare la funzione di trasferimento passa-alto ideale considerando un intervallo finito di frequenze in una funzione di tipo passa-banda.

La funzione di trasferimento per un **amplificatore passa-alto** a un solo polo è data da:

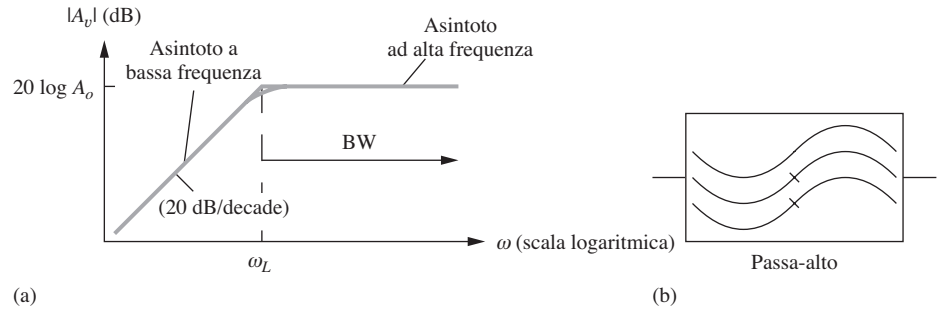
$$A_v(s) = \frac{A_o s}{s + \omega_L} = \frac{A_o}{1 + \frac{\omega_L}{s}} \quad (10.78)$$

Il modulo risulta quindi:

$$|A_v(j\omega)| = \left| \frac{A_o j\omega}{j\omega + \omega_L} \right| = \frac{A_o \omega}{\sqrt{\omega^2 + \omega_L^2}} = \frac{A_o}{\sqrt{1 + \left(\frac{\omega_L}{\omega} \right)^2}} \quad (10.79)$$

Figura 10.29

(a) Risposta in ampiezza di un amplificatore passa-alto.
(b) Simbolo del filtro passa-alto.



Il diagramma di Bode relativo al modulo è riportato in Figura 10.29. In questo caso il guadagno risulta costante per frequenze maggiori della **frequenza di taglio inferiore** ω_L . Infatti, per frequenze sufficientemente maggiori di ω_L , il modulo può essere approssimato da:

$$\left. \frac{A_o \omega}{\sqrt{\omega^2 + \omega_L^2}} \right|_{\omega \gg \omega_L} \approx \frac{A_o \omega}{\sqrt{\omega^2}} = A_o \quad \text{ovvero} \quad (20 \log A_o) \text{ dB} \quad (10.80)$$

Per $\omega > \omega_L$ il guadagno risulta quindi costante e pari ad A_o . Per frequenze molto minori di ω_L , si ha:

$$\left. \frac{A_o \omega}{\sqrt{\omega^2 + \omega_L^2}} \right|_{\omega \ll \omega_L} \approx \frac{A_o \omega}{\sqrt{\omega_L^2}} = \frac{A_o \omega}{\omega_L} \quad (10.81)$$

Esprimendo il guadagno in dB, la (10.81) può essere scritta nella forma:

$$|A_v(j\omega)| \approx (20 \log A_o) + 20 \log \frac{\omega}{\omega_L} \quad (10.82)$$

Per $\omega < \omega_L$ il guadagno aumenta di 20 dB per un incremento della frequenza di una decade.

Alla **frequenza critica** $\omega = \omega_L$ si ha

$$|A_v(j\omega_L)| = \frac{A_o \omega_L}{\sqrt{\omega_L^2 + \omega_L^2}} = \frac{A_o}{\sqrt{2}} \quad \text{ovvero} \quad [(20 \log A_o) - 3] \text{ dB} \quad (10.83)$$

Si vede che anche in questo caso il guadagno risulta inferiore di 3 dB rispetto al valore a centro banda. La frequenza ω_L è anche detta **frequenza a -3 dB**.

Poiché l'amplificatore passa-alto è caratterizzato da un guadagno costante per tutte le frequenze maggiori di ω_L , la larghezza di banda è infinita:

$$BW \rightarrow \infty \quad (10.84)$$

La fase della funzione di trasferimento può essere facilmente calcolata dalla (10.78):

$$\angle A_v(j\omega) = \angle \frac{A_o j\omega}{j\omega + \omega_L} = \angle A_o + 90^\circ - \tan^{-1} \left(\frac{\omega}{\omega_L} \right) \quad (10.85)$$

La fase è quindi descritta da un'espressione simile a quella trovata per un amplificatore passa-basso, a eccezione di una fase iniziale di $+90^\circ$, dovuta al termine $j\omega$ al numeratore.

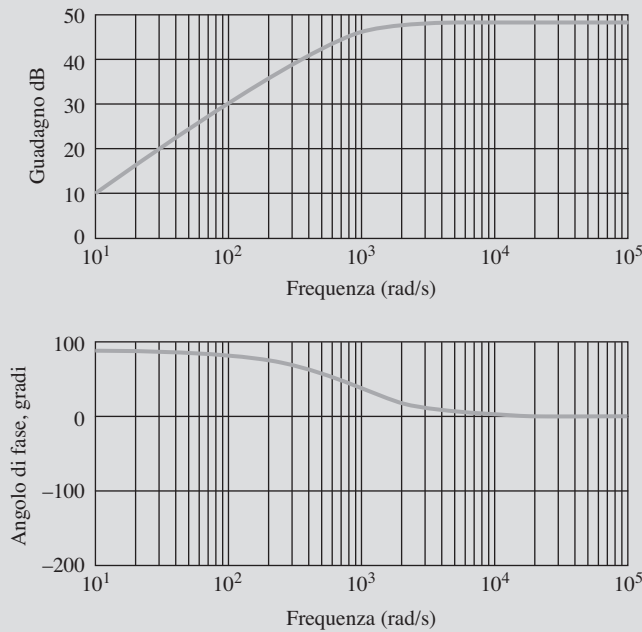
ESERCIZIO Si determinino il guadagno di centro banda, la frequenza di taglio e la larghezza di banda per la funzione di trasferimento di seguito riportata:

$$A_v(s) = \frac{250s}{(s + 250\pi)}$$

RISPOSTE 250, 125 Hz, $\rightarrow \infty$.

ESERCIZIO Si riporti il diagramma di Bode per la funzione di trasferimento dell'esercizio precedente utilizzando MATLAB.

RISPOSTE `w = logspace(1, 5, 100); bode([250, 0], [1, 250*pi], w).`



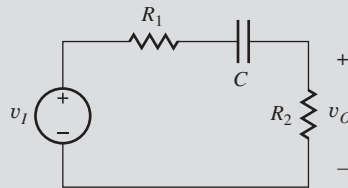
FILTRO RC PASSA-ALTO

Esempio 10.9

La rete RC passa alto è un'altra importante rete passiva che incontreremo nei successivi capitoli.

Si determini la funzione di trasferimento V_o/V_i per la rete RC mostrata in figura.

PROBLEMA



Informazioni e dati noti: È data la topologia del circuito.

SOLUZIONE

Incognite: La funzione di trasferimento V_o/V_i .

Approccio: Ricordando che l'impedenza del condensatore è $1/sC$, si determinerà la funzione di trasferimento nel dominio di Laplace.

Ipotesi: Nessuna.

Analisi: Dall'analisi del circuito risulta

$$V_o = V_i \frac{R_2}{R_1 + \frac{1}{sC} + R_2} \quad \text{e} \quad \frac{V_o}{V_i} = \left(\frac{R_2}{R_1 + R_2} \right) \left(\frac{s}{s + \omega_L} \right)$$

dove

$$\omega_L = \frac{1}{(R_1 + R_2)C}$$

Verifica dei risultati: Per $\omega \gg \omega_L$ il guadagno diventa $R_2/(R_1 + R_2)$, e il risultato appare corretto.

Discussione: La frequenza ω_L rappresenta la frequenza per cui la reattanza del condensatore è pari a $R_1 + R_2$: $1/(\omega_L C) = R_1 + R_2$. La resistenza $R_1 + R_2$ rappresenta la resistenza equivalente di Thévenin vista dal condensatore. Per $\omega \gg \omega_L$ l'impedenza relativa al condensatore è trascurabile rispetto alla resistenza equivalente.

ESERCIZIO Si determini la frequenza di taglio del filtro passa-alto dell'Esempio 10.9 per $R_1 = 1 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$ e $C = 0.1 \text{ }\mu\text{F}$.

RISPOSTA 15.8 kHz.

10.10.4 Amplificatori passa-banda

Molti amplificatori combinano una caratteristica passa-basso con una passa-alto per formare un amplificatore passa-banda, come mostrato in Figura 10.30. In alcuni casi, per esempio negli amplificatori audio, non si desidera amplificare i segnali in continua e si limita la banda all'intervallo da 20 Hz a 20 kHz. In questo caso le frequenze di taglio inferiore f_L e superiore f_H vengono fissate rispettivamente a 20 Hz e 20 kHz. La regione a guadagno costante fra queste due frequenze è chiamata banda passante o zona di centrobanda.

La funzione di trasferimento per un **amplificatore passa-banda** può essere ottenuta dal prodotto delle funzioni di trasferimento relative agli amplificatori passa-basso (10.67) e passa-alto (10.78):

$$A_v(s) = \frac{A_o s \omega_H}{(s + \omega_L)(s + \omega_H)} = A_o \frac{s}{(s + \omega_L)} \frac{1}{\left(\frac{s}{\omega_H} + 1\right)} \quad (10.86)$$

La Figura 10.30 mostra il corrispondente diagramma di Bode. Il concetto di guadagno a centro banda è molto più chiaro in questa figura. Nell'intervallo di frequenze $\omega_L \leq \omega \leq \omega_H$ si ha

$$|A_v(j\omega)| \approx A_o \quad (10.87)$$

in cui A_o rappresenta il guadagno relativo alla regione di centro banda: $A_{\text{mid}} = A_o$.

Il modulo del guadagno è dato da

$$|A_v(j\omega)| = \left| \frac{A_o j\omega \omega_H}{(j\omega + \omega_L)(j\omega + \omega_H)} \right| = \frac{A_o \omega \omega_H}{\sqrt{(\omega^2 + \omega_L^2)(\omega^2 + \omega_H^2)}} \quad (10.88)$$

ovvero

$$|A_v(j\omega)| = \frac{A_o}{\sqrt{\left(1 + \frac{\omega_L^2}{\omega^2}\right)\left(1 + \frac{\omega^2}{\omega_H^2}\right)}} \quad (10.89)$$

Nella (10.89) il modulo del guadagno risulta più chiaramente espresso in termini del guadagno di centro-banda.

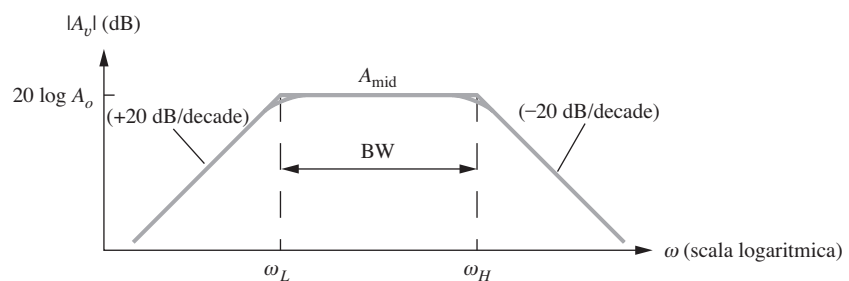
Assumendo $\omega_L \ll \omega_H$, è facile verificare che per $\omega = \omega_L$ oppure $\omega = \omega_H$ si ha

$$|A_v(j\omega_L)| = \frac{A_o}{\sqrt{2}} = |A(j\omega_H)| \quad \text{ovvero} \quad [(20 \log A_o) - 3] \text{ dB} \quad (10.90)$$

Per entrambe le frequenze critiche il guadagno risulta quindi inferiore di 3 dB rispetto al valore a centro banda. La regione in cui il guadagno è approssimativamente uniforme (convariazioni inferiori a 3 dB), è compresa tra ω_L e ω_H (ovvero tra f_L e f_H), e la larghezza di banda dell'amplificatore è quindi data da:

$$BW = f_H - f_L = \frac{\omega_H - \omega_L}{2\pi} \quad (10.91)$$

Figura 10.30
Risposta in ampiezza di un
amplificatore passa-banda.



Dalla (10.86) si ricava la fase di $A_v(j\omega)$:

$$\angle A_v(j\omega) = \angle A_0 + 90^\circ - \tan^{-1}\left(\frac{\omega}{\omega_L}\right) - \tan^{-1}\left(\frac{\omega}{\omega_H}\right) \quad (10.92)$$

Nell'esercizio di seguito riportato viene analizzato un esempio di risposta di fase.

Il grafico in Figura 10.30 descrive un amplificatore con banda relativamente ampia. In questa figura si è assunto $f_H \gg f_L$ e quindi:

$$BW \approx f_H \quad (10.93)$$

Nei paragrafi successivi verranno analizzati amplificatori caratterizzati da larghezza di banda molto più stretta.

ANALISI DELLA FUNZIONE DI TRASFERIMENTO

Esempio 10.10

In questo esempio si ripassano anche i conti con i numeri complessi!

Si determinino il modulo e la fase della funzione di trasferimento riportata di seguito per $\omega = 0$ e $\omega = 3$ rad/s: **PROBLEMA**

$$A_v(s) = 50 \frac{s^2 + 4}{s^2 + 2s + 2}$$

Informazioni e dati noti: È data la funzione di trasferimento. **SOLUZIONE**

Incognite: Il modulo e la fase di $A_v(j0)$ e $A_v(j3)$.

Approccio: Si porrà $s = j\omega$ nell'espressione di A_v , e si effettueranno delle semplificazioni. Si porrà quindi $\omega = 0$ e $\omega = 3$, e si determineranno la fase e il modulo delle espressioni risultanti.

Ipotesi: Nessuna.

Analisi: Ponendo $s = j\omega$ nell'espressione di $A_v(s)$ otteniamo:

$$A_v(j\omega) = 50 \frac{\omega^2 - 4}{(\omega^2 - 2) - j(2\omega)}$$

Il modulo e la fase di A_v risultano:

$$|A_v(j\omega)| = 50 \frac{|\omega^2 - 4|}{\sqrt{(\omega^2 - 2)^2 + 4\omega^2}} \quad \text{e} \quad \angle A_v(j\omega) = \angle(\omega^2 - 4) - \tan^{-1}\left(\frac{-2\omega}{\omega^2 - 2}\right)$$

Ponendo $\omega = 0$ otteniamo:

$$|A_v(j\omega)| = \frac{200}{\sqrt{4}} = 100 \quad \text{ovvero} \quad 40.0 \text{ dB}$$

$$\angle A_v(j\omega) = \angle(200) - \tan^{-1}(-0) = 0^\circ$$

Mentre per $\omega = 3$ si ha:

$$|A_v(j3)| = \frac{250}{\sqrt{49 + 36}} = 27.1 \quad \text{ovvero} \quad 28.7 \text{ dB}$$

$$\angle A_v(j\omega) = \angle(250) - \tan^{-1}\left(\frac{-6}{7}\right) = 0^\circ - (-40.6) = 40.6^\circ$$

Verifica dei risultati: Possiamo facilmente verificare i risultati con MATLAB:

```
h = freqs([50, 0, 200], [1, 2, 2], [0, 3]);
abs(h)
angle(h)*180/pi
```

ESERCIZIO Si determinino il modulo e la fase del guadagno di tensione relativo all'Esempio 10.10 per $\omega = 1$ rad/s e $\omega = 5$ rad/s.

RISPOSTE 36.5 dB, -63.4° ; 32.4 dB, 23.5° .

ESERCIZIO Si determinino il modulo e la fase della funzione di trasferimento di seguito riportata per $\omega = 0.95, 1.0$ e 1.10 .

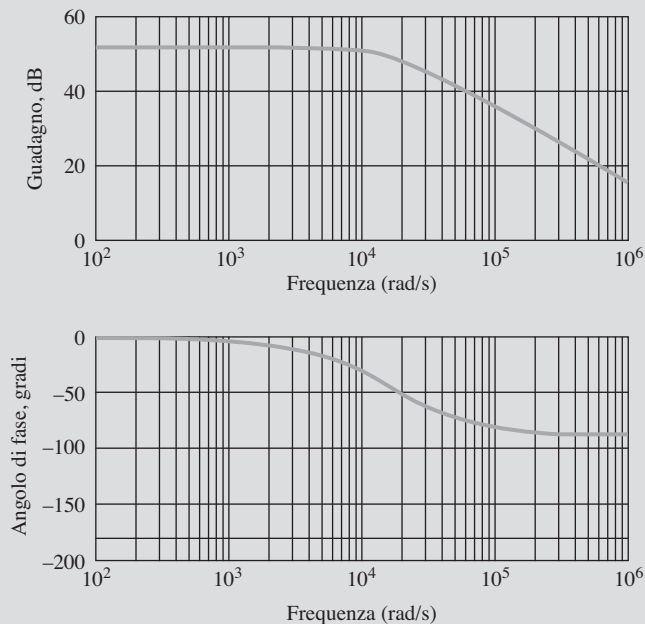
$$A_v(s) = 20 \frac{s^2 + 1}{s^2 + 0.1s + 1}$$

RISPOSTE 14.3, -44.3° ; 0, -90° ; 17.7, $+27.6^\circ$.

ESERCIZIO Si riporti il diagramma di Bode per la funzione di trasferimento $A_v(s)$ utilizzando MATLAB:

$$A_v(s) = -\frac{2\pi \times 10^6}{(s + 5000\pi)}$$

RISPOSTE `w = logspace(2, 6, 100); bode(2*pi*1e6, [1, 5000*pi], w).`



ESERCIZIO Si determinino il guadagno di centro banda, la frequenza di taglio inferiore e la larghezza di banda per la funzione di trasferimento di seguito riportata:

$$A_v(s) = -\frac{2 \times 10^7 s}{(s + 100)(s + 50\,000)}$$

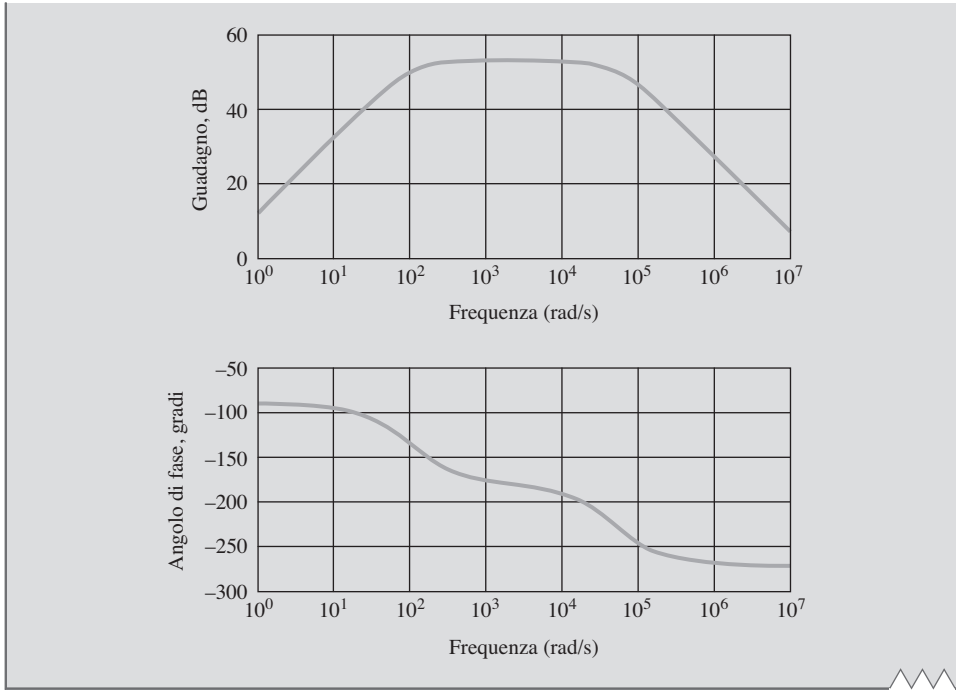
RISPOSTE 52 dB, 15.9 Hz, 7.96 kHz, 7.94 kHz.

ESERCIZIO Si ricavi l'espressione per la fase relativa alla funzione di trasferimento dell'esercizio precedente. Si determini la variazione di fase per $\omega = 0, 100, 50\,000$ e ∞ .

RISPOSTE $\angle A_v(j\omega) = -90^\circ - \tan^{-1}\left(\frac{\omega}{100}\right) - \tan^{-1}\left(\frac{\omega}{50\,000}\right)$; $-90^\circ, -135^\circ, -225^\circ, -270^\circ$.

ESERCIZIO Si riporti il diagramma di Bode per la funzione di trasferimento dell'esercizio precedente utilizzando MATLAB o un altro programma.

RISPOSTE `w = logspace(0, 7, 150); bode([-2e7, 0], [1, 50, 100, 5e6], w).`



10.10.5 Amplificatori a banda stretta

Nella Figura 10.30 e nell'esercizio precedente sono stati considerati valori di ω_L e ω_H molto distanti, ovvero $\omega_H \gg \omega_L$. In alcune applicazioni, come gli amplificatori a radio frequenza (RF) introdotti nel Paragrafo 10.1, è necessario realizzare una banda molto stretta, come mostrato in Figura 10.31. Il valore massimo del guadagno A_o viene raggiunto in corrispondenza della **frequenza centrale** ω_o dell'amplificatore, e decresce rapidamente di 3 dB in corrispondenza di $\omega = \omega_L$ e $\omega = \omega_H$. La larghezza di banda è ancora definita da:

$$BW = f_H - f_L = \frac{\omega_H - \omega_L}{2\pi} \quad (10.94)$$

In questo caso, tuttavia, la larghezza di banda è una piccola frazione della frequenza centrale ω_o . L'ampiezza di questa regione è legata al **fattore di qualità** Q definito da

$$Q = \frac{\omega_o}{\omega_H - \omega_L} = \frac{f_o}{f_H - f_L} = \frac{f_o}{BW} \quad \text{ovvero} \quad BW = \frac{f_o}{Q} \quad (10.95)$$

Si è tacitamente assunto che nella (10.86) le frequenze ω_L e ω_H siano numeri reali. Tuttavia, allo scopo di ottenere un valore elevato di Q , i poli di un amplificatore passa-banda sono complessi, e la funzione di trasferimento di un **amplificatore a banda stretta** si scrive:

$$A_v(s) = A_o \frac{s \frac{\omega_o}{Q}}{s^2 + s \frac{\omega_o}{Q} + \omega_o^2} \quad (10.96)$$

Nel diagramma di Figura 10.31 il modulo della funzione di trasferimento (10.96) viene riportato in funzione della frequenza, assumendo $A_o = 10$, $\omega_o = 1$, $\omega_L = 0.95$, $\omega_H = 1.05$ e $Q = 10$; si può chiaramente osservare la presenza di un picco molto stretto centrato in $\omega = \omega_o$.

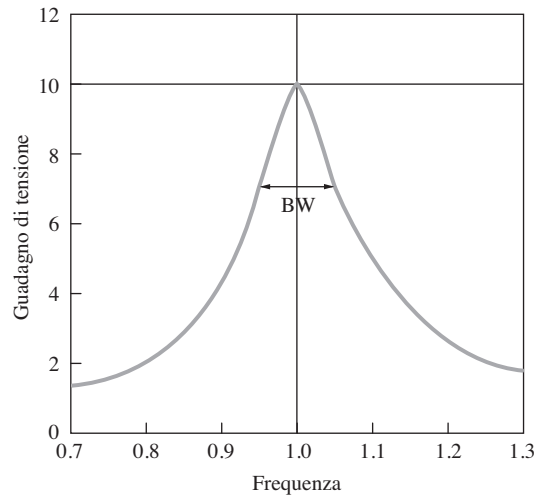
La fase della funzione di trasferimento varia molto rapidamente nell'intorno della frequenza centrale ω_o . Essa è data dalla:

$$\angle A_v(j\omega) = \angle A_o + 90^\circ - \tan^{-1} \left(\frac{1}{Q} \frac{\omega \omega_o}{\omega_o^2 - \omega^2} \right) \quad (10.97)$$

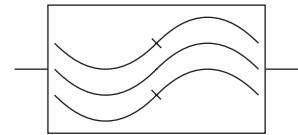
Se assumiamo un valore positivo per A_o , allora risulta $\angle A_v(j\omega) = 90^\circ$ per $\omega \ll \omega_o$. La fase è pari a 0° per $\omega = \omega_o$, e tende al valore di -90° per $\omega \gg \omega_o$.

Figura 10.31

(a) Funzione di trasferimento per l'amplificatore passa-banda con fattore Q elevato. In questo grafico si è assunto: $A_o = 10$, $\omega_o = 1$, $\omega_L = 0.95$, $\omega_H = 1.05$, $Q = 10$. Si noti l'uso di una scala lineare per entrambi gli assi. (b) Simbolo del filtro passa-banda.



(a)



(b)

ESERCIZIO Si determinino il guadagno di centro banda, la frequenza centrale, la larghezza di banda e il fattore Q di un amplificatore caratterizzato dalla funzione di trasferimento:

$$A_v(s) = \frac{6 \times 10^{13}s}{s^2 + 2 \times 10^5 s + 10^{14}}$$

RISPOSTE 30, 1.59 MHz, 31.8 kHz, 50.

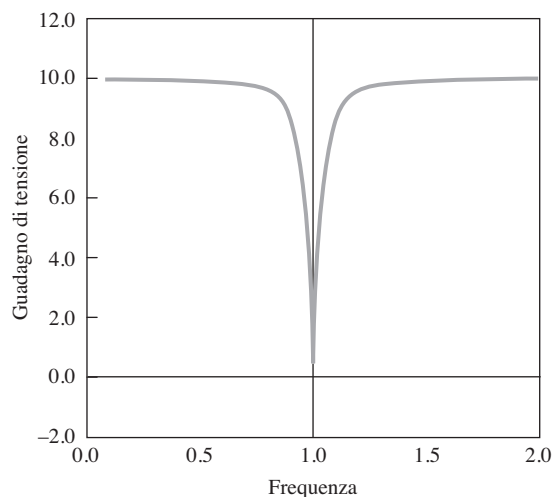
10.10.6 Amplificatori a reiezione di banda

In alcuni casi occorre disporre di amplificatori in grado di attenuare il guadagno in un intervallo molto stretto di frequenze. Un esempio è mostrato in Figura 10.32. La funzione di trasferimento di un amplificatore a reiezione di banda è detta anche filtro a reiezione di banda (*notch filter*), ed è caratterizzata da un rapido annullamento dell'uscita nell'intorno della frequenza centrale ω_o . Per frequenze sufficientemente distanti da ω_o , il guadagno tende a un valore costante, pari a A_o . Per ottenere una brusca variazione, la funzione di trasferimento è caratterizzata da una coppia di zeri sull'asse immaginario in corrispondenza della frequenza ω_o , e inoltre i poli sono complessi:

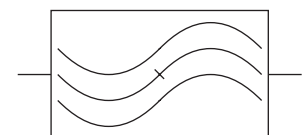
$$A_v(s) = A_o \frac{s^2 + \omega_o^2}{s^2 + s \frac{\omega_o}{Q} + \omega_o^2} \quad (10.98)$$

Figura 10.32

(a) Funzione di trasferimento per l'amplificatore a reiezione di banda. Si sono assunti i valori: $A_o = 10$, $\omega_o = 1$ e $Q = 10$. (b) Simbolo del filtro a reiezione di banda.



(a)



(b)

La Figura 10.32 mostra il diagramma di Bode relativo alla (10.98), assumendo $A_o = 10$, $\omega_o = 1$ e $Q = 10$. Si può chiaramente notare la presenza di uno zero per $\omega = \omega_o$. L'analisi della risposta di fase per questo amplificatore è lasciata come esercizio. Si vedrà che questa varia bruscamente di 180° in corrispondenza della frequenza centrale.

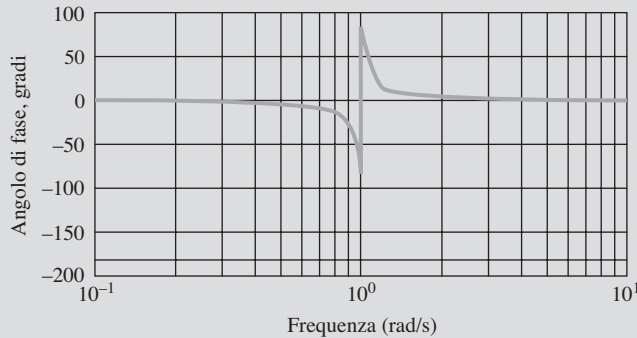
ESERCIZIO Si scriva l'espressione della funzione di trasferimento per l'amplificatore considerato in Figura 10.32.

RISPOSTA $A_v(s) = 10 \frac{s^2 + 1}{s^2 + 0.1s + 1}$.

ESERCIZIO Si ricavi l'espressione per il modulo e la fase della funzione di trasferimento (10.98). Si riporti il diagramma della fase in funzione della frequenza.

RISPOSTE $|A_v(j\omega)| = |A_o| \frac{\left| 1 - \left(\frac{\omega}{\omega_o} \right)^2 \right|}{\sqrt{\left(1 - \left(\frac{\omega}{\omega_o} \right)^2 \right)^2 + \left(\frac{\omega}{Q\omega_o} \right)^2}}$

$$\angle A_v(j\omega) = \angle A_o + \angle(\omega_o^2 - \omega^2) - \tan^{-1} \left(\frac{1}{Q} \frac{\omega \omega_o}{\omega_o^2 - \omega^2} \right)$$



10.10.7 Funzione di trasferimento passa-tutto

Come suggerito dal termine, la funzione di trasferimento **passa-tutto** presenta una risposta in ampiezza costante a tutte le frequenze. Questo insolito tipo di funzione può essere utilizzato per modificare opportunamente la fase di un segnale. Un semplice esempio di funzione di trasferimento passa-tutto è il seguente:

$$A_v(s) = A_o \frac{s - \omega_o}{s + \omega_o} \quad (10.99)$$

Per valori positivi di A_o risulta:

$$|A_v(j\omega)| = A_o \quad \text{e} \quad \angle A_v(j\omega) = -2 \tan^{-1} \frac{\omega}{\omega_o}$$

ESERCIZIO Si verifichino le espressioni $|A_v(j\omega)|$ e $\angle A_v(j\omega)$.

10.10.8 Funzioni di trasferimento complesse

La maggior parte degli amplificatori sono caratterizzati da funzioni di trasferimento ben più complesse di quelle considerate nelle Figure 10.27-10.32. Queste funzioni possono tuttavia essere espresse come prodotti delle funzioni di trasferimento elementari precedente-

mente analizzate. Si consideri per esempio la funzione di trasferimento con quattro poli e due zeri (di cui uno nell'origine):

$$A_v(s) = \frac{Ks(s + \omega_2)}{(s + \omega_1)(s + \omega_3)(s + \omega_4)(s + \omega_5)}$$

$$= \frac{A_{\text{mid}}s(s + \omega_2)}{(s + \omega_1)(s + \omega_3)\left(\frac{s}{\omega_4} + 1\right)\left(\frac{s}{\omega_5} + 1\right)} \quad (10.100)$$

Il corrispondente diagramma di Bode è riportato in Figura 10.33.

Come si può notare l'amplificatore presenta due intervalli di frequenze in cui il guadagno risulta approssimativamente costante. La regione di centro banda, o di banda passante, è sempre definita come la regione a guadagno maggiore, e le frequenze di taglio sono riferite al guadagno di centro banda:

$$|A_v(j\omega_L)| = \frac{A_{\text{mid}}}{\sqrt{2}} = |A_v(j\omega_H)| \quad (10.101)$$

Nella Figura 10.33 i poli e gli zeri risultano molto distanti, sicché $\omega_L \approx \omega_3$, $\omega_H \approx \omega_4$, e la larghezza di banda risulta $BW \approx f_4 - f_3 = (\omega_4 - \omega_3)/2\pi$.

Se le frequenze critiche non sono sufficientemente distanti l'una dall'altra, si può verificare un'interferenza tra poli o zeri contigui, e la determinazione delle frequenze di taglio superiore e inferiore può risultare molto più complessa. Consideriamo una semplice funzione di trasferimento passa-basso con due poli identici:

$$A_v(s) = \frac{A_0\omega_1^2}{(s + \omega_1)^2} \quad \text{in cui } A_v(0) = A_0 \quad (10.102)$$

La frequenza di taglio superiore è definita da

$$|A_v(j\omega_H)| = \frac{A_0}{\sqrt{2}} \quad \text{ovvero} \quad \frac{A_0}{\left[\sqrt{1 + \left(\frac{\omega_H}{\omega_1}\right)^2}\right]^2} = \frac{A_0}{\sqrt{2}} \quad (10.103)$$

Risolvendo rispetto a ω_H si ottiene:

$$\omega_H = 0.64\omega_1 \quad (10.104)$$

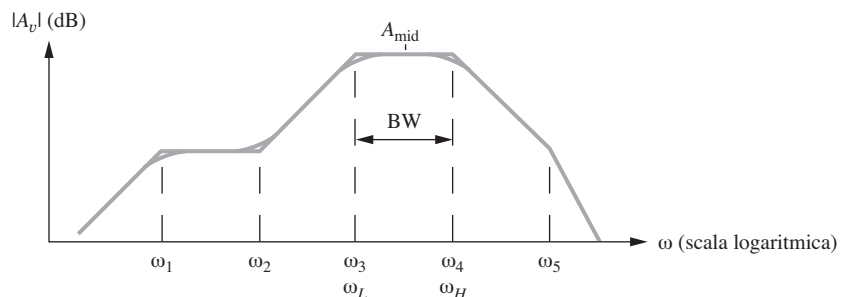
La frequenza di taglio per una funzione di trasferimento con due poli è inferiore del 64% rispetto a quella relativa a un amplificatore a un solo polo. Questa riduzione della banda in amplificatori a più poli verrà analizzata in maggior dettaglio nello studio degli amplificatori operazionali.

ESERCIZIO Si determinino il guadagno a centro banda, le frequenze di taglio inferiore e superiore, e la larghezza di banda per l'amplificatore caratterizzato dalla funzione di trasferimento:

$$A_v(s) = \frac{6.4 \times 10^{12}\pi^2}{(s + 200\pi)(s + 80\,000\pi)^2}$$

RISPOSTE 1000, 100 Hz, 25.6 kHz, 25.5 kHz.

Figura 10.33
Funzione di trasferimento a più poli e zeri.



10.10.9 Calcoli sui diagrammi di Bode

I diagrammi di Bode, tracciati con l'approssimazione asintotica di segmenti rettilinei, sono un importante strumento per il progettista poiché consentono di tracciare velocemente il grafico di una funzione di trasferimento senza perdere praticamente nessuna informazione. I diagrammi asintotici permettono anche di effettuare dei calcoli che fanno di solito risparmiare tempo quando si determina una funzione di trasferimento. Infatti, al posto di sviluppare una funzione di trasferimento in forma analitica, trovando il polinomio a numeratore e a denominatore, è possibile calcolare separatamente la posizione dei poli o degli zeri della rete e dei guadagni dei tratti orizzontali. Sfruttando le proprietà dei tratti non orizzontali dei diagrammi di Bode è inoltre possibile evitare alcuni calcoli.

L'importante proprietà dei tratti con pendenza di 20 dB/decade dice che presi due *qualunque* punti sul tratto a pendenza di 20 dB/decade, il rapporto fra i fattori di amplificazione (non i guadagni in decibel) dei due punti è uguale al rapporto delle frequenze degli stessi due punti. Essendo possibili tratti a pendenza di +20 dB/decade o di -20 dB/decade, è conveniente mettere nel rapporto l'amplificazione maggiore (A_A) divisa per l'amplificazione minore (A_B) e porla uguale al rapporto fra frequenza maggiore (f_A) divisa per quella minore (f_B). I pedici A e B stanno per Alta e Bassa e non si riferiscono necessariamente allo stesso punto.

$$\frac{A_A}{A_B} = \frac{f_A}{f_B} \quad (10.105)$$

I punti scelti possono essere *ovunque* sul segmento, inclusi i punti terminali in corrispondenza di zeri o poli. In Figura 10.34 si vede un esempio di identificazione due coppie di punti.

Nella coppia di punti P-Q il punto P ha la frequenza inferiore e anche l'amplificazione inferiore, mentre Q si trova alla frequenza maggiore e ha anche il guadagno maggiore. La proporzione che lega amplificazioni e frequenza dei due punti è quindi:⁸

$$\frac{A_1}{A_2} = \frac{f_{p1}}{f_z}$$

Con questa proporzione, date tre delle 4 grandezze in gioco, si può facilmente calcolare la quarta, senza dover fare ulteriori calcoli sulla rete. Per esempio avendo calcolato le due amplificazione A_1 e A_2 e conoscendo la frequenza del polo, si può calcolare la frequenza dello zero evitando ogni ulteriore calcolo sulla rete.

Il tratto a pendenza di -20 dB/decade su cui si sono scelti i punti R e S viene trattato in modo analogo, notando che in questo caso il punto R ha l'amplificazione maggiore ma la frequenza minore. Se si conosce l'amplificazione A_1 e la frequenza del polo f_{p2} si può calcolare la frequenza del punto f_1 che corrisponde al prodotto guadagno banda e che quindi ha amplificazione unitaria:

$$\frac{A_1}{1} = \frac{f_1}{f_{p2}} \Rightarrow f_1 = f_{p2} A_1$$

Nel caso di pendenze in salita o in discesa di $n \times 20$ dB/decade, quindi pendenze di 40 dB/decade o 60 dB/decade, la relazione diventa semplicemente

$$\frac{A_A}{A_B} = \left(\frac{f_A}{f_B} \right)^n \quad (10.106)$$

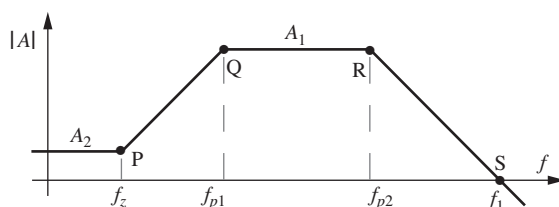
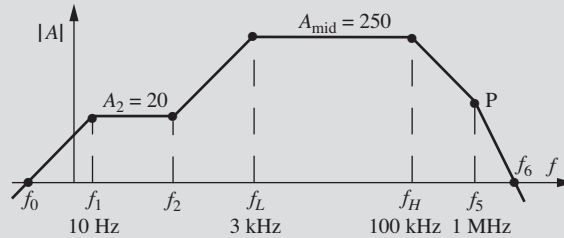


Figura 10.34
Calcoli su tratti a pendenza di 20 dB/decade.

⁸ Come già ricordato, le amplificazioni devono essere prese come fattore moltiplicativo, non in decibel!

Con il solito *caveat* di usare il fattore di amplificazione e non il guadagno in decibel e non confondere i parametri maggiori e quelli minori.

ESERCIZIO Data la funzione di trasferimento di Figura 10.33, in cui sono forniti i valori di A_2 , A_{mid} , f_L , f_H , f_1 e f_5 calcolare le frequenze f_0 e f_2 , il modulo dell'amplificazione in corrispondenza al punto P e la frequenza f_6 .



RISPOSTE 0.5 Hz; 240 Hz; 25, 5 MHz.

10.10.10 Filtro attivo passa-basso

Torniamo ora ad analizzare l'amplificatore invertente generalizzato di Figura 10.35. Il guadagno dell'amplificatore può essere determinato utilizzando lo stesso procedimento visto per il caso della retroazione di tipo resistivo. Sostituendo nella (10.42) R_1 con Z_1 e R_2 con Z_2 , si ottiene per la funzione di trasferimento $A_v(s)$:

$$A_v(s) = \frac{V_o(s)}{V_i(s)} = - \frac{Z_2(s)}{Z_1(s)} \quad (10.107)$$

Un esempio di circuito basato su una rete di retroazione che è funzione della frequenza è il **filtro passa-basso** a singolo polo di Figura 10.36(a), per il quale risulta:

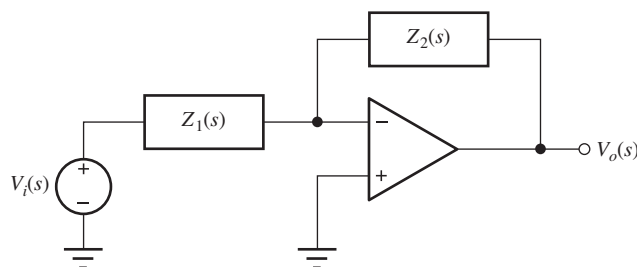
$$Z_1(s) = R_1 \quad \text{e} \quad Z_2(s) = \frac{R_2 \frac{1}{sC}}{R_2 + \frac{1}{sC}} = \frac{R_2}{sCR_2 + 1} \quad (10.108)$$

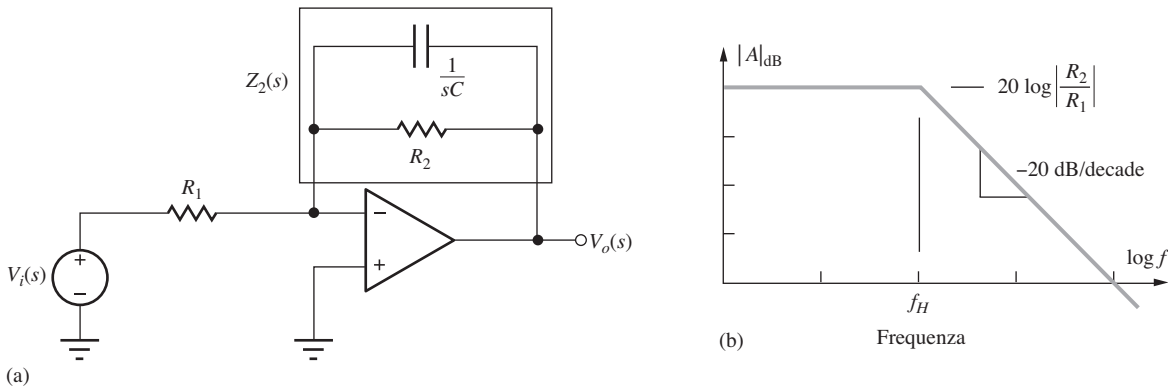
Sostituendo queste relazioni nella (10.107) si ottiene l'espressione della funzione di trasferimento di tensione per l'amplificatore di Figura 10.36(a):

$$A_v(s) = - \frac{R_2}{R_1} \frac{1}{(1 + sR_2C)} = - \frac{R_2}{R_1} \frac{1}{\left(1 + \frac{s}{\omega_H}\right)} \quad \text{dove } \omega_H = 2\pi f_H = \frac{1}{R_2C} \quad (10.109)$$

La Figura 10.36(b) mostra gli andamenti asintotici relativi al diagramma di Bode del modulo del guadagno di tensione espresso dalla (10.109). La funzione di trasferimento mostra una caratteristica di tipo passa-basso, con un singolo polo alla frequenza ω_H , che rappresenta la frequenza di taglio superiore del filtro passa-basso. Per frequenze inferiori a ω_H , l'amplificatore si comporta come un amplificatore invertente, in cui il guadagno è definito dal rapporto delle resistenze R_1 e R_2 ; per frequenze maggiori di ω_H , la risposta in frequenza dell'amplificatore mostra un andamento decrescente con pendenza pari a -20 dB/decade.

Figura 10.35
Configurazione generalizzata
dell'amplificatore invertente.





Si osservi dall'Equazione (10.109) che il guadagno a bassa frequenza e la frequenza di taglio possono essere definiti in modo indipendente. Poiché vi sono infatti 3 elementi (R_1 , R_2 e C), la resistenza di ingresso ($R_{in} = R_1$) può essere considerata come un terzo parametro in base al quale si può stabilire il valore degli elementi del circuito.

Capire il funzionamento del filtro passa-basso

Il filtro passa-basso attivo funziona in modo simile all'amplificatore invertente. Grazie alla retroazione negativa, la tensione V_- è uguale a V_+ , e quindi la tensione d'ingresso $V_i(s)$ è applicata direttamente ai capi della resistenza R_1 , sulla quale è imposta una corrente pari a $V_i(s)/R_1$. Questa corrente, essendo $I_- = 0$, fluisce attraverso Z_2 determinando una caduta di tensione ai suoi capi pari a $(V_i/R_1) Z_2 = V_i (Z_2/R_1)$. In questo modo, $V_o = -V_i (Z_2/R_1)$ e il guadagno è $-Z_2/R_1$. Sostituendo il valore di Z_2 con l'equazione (10.108) si ottiene la (10.109).

A basse frequenze (inferiori a $\omega_H = 1/R_2C$), il circuito si comporta come l'amplificatore invertente con guadagno pari a $-R_2/R_1$, e poiché l'impedenza della capacità ($Z_c = 1/\omega C$) è molto più grande dell'impedenza di R_2 , questa può essere trascurata. All'aumentare della frequenza, l'impedenza della capacità $Z_c = 1/\omega C$, comincia a diminuire facendo calare il valore complessivo dell'impedenza equivalente parallela Z_2 , causando, di conseguenza, una riduzione del guadagno. Ad alte frequenze, l'impedenza della capacità Z_c diventa piccola e questa volta è R_2 a poter essere trascurata, e il guadagno diminuisce con una pendenza di 20 dB/decade (come farebbe la funzione $1/\omega C$).

Figura 10.36

(a) Amplificatore invertente con rete di retroazione dipendente dalla frequenza: filtro passa-basso.
(b) Diagramma di Bode relativo al guadagno di tensione del filtro passa-basso.

PROGETTO DEL FILTRO ATTIVO PASSA-BASSO

Esempio 10.11

Progetto di un filtro passa-basso a singolo polo con il circuito di Figura 10.36(a) in modo da soddisfare la specifica di frequenza di taglio.

Si progetti un filtro attivo passa-basso con $f_H = 2$ kHz, $R_{in} = 5$ k Ω e $A_v = 40$ dB.

PROBLEMA

Informazioni e dati noti: È specificata la topologia del circuito e le specifiche relative alla larghezza di banda, alla resistenza di ingresso e al guadagno di tensione. Dal valore del guadagno espresso in dB ricaviamo:

SOLUZIONE

$$|A_v| = 10^{40 \text{ dB}/20 \text{ dB}} = 100$$

Incognite: R_1 , R_2 e C .

Approccio: Si farà uso delle equazioni relative al filtro attivo passa-basso. Dalle espressioni di A_v , R_{in} e f_H si ricaveranno le tre incognite.

Ipotesi: L'operazionale è ideale.

Analisi: Poiché il terminale invertente è a potenziale nullo, la resistenza di ingresso è data dalla resistenza R_1 :

$$R_1 = R_{in} = 5 \text{ k}\Omega$$

e inoltre:

$$|A_v| = \frac{R_2}{R_1} \rightarrow R_2 = 100R_1 = 500 \text{ k}\Omega$$

La capacità C può essere determinata dalla specifica relativa a f_H :

$$C = \frac{1}{2\pi f_H R_2} = \frac{1}{2\pi(2 \text{ kHz})(500 \text{ k}\Omega)} = 159 \text{ pF}$$

Dall'Appendice A si vede che le resistenze più prossime ai valori calcolati risultano $R_1 = 5.1 \text{ k}\Omega$ e $R_2 = 510 \text{ k}\Omega$. In molte applicazioni il valore finale per R_1 ($5.1 \text{ k}\Omega$) risulterebbe accettabile, in quanto maggiore per solo il 2% del valore richiesto. Determinando il valore di C in base al valore finale di R_2 si ottiene:

$$C = \frac{1}{2\pi f_H R_2} = \frac{1}{2\pi(2 \text{ kHz})(510 \text{ k}\Omega)} = 156 \text{ pF}$$

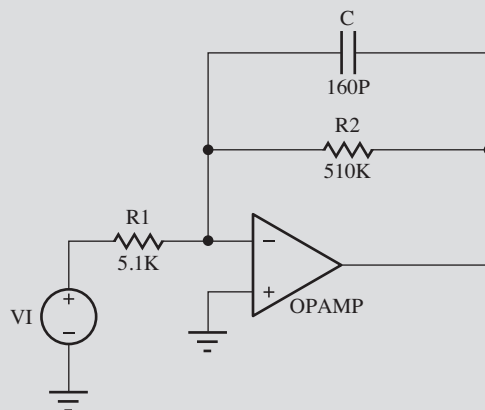
La capacità con il valore più prossimo risulta 160 pF , che determina un valore di f_H leggermente inferiore (1.95 kHz). Un'altra possibile scelta è 150 pF , per cui si avrebbe $f_H = 2.08 \text{ kHz}$.

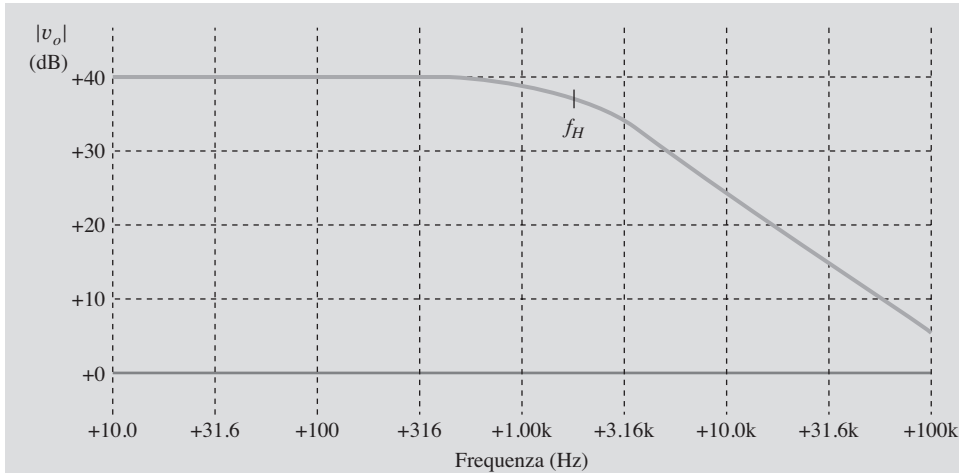
Risultati finali del progetto: $R_1 = 5.1 \text{ k}\Omega$, $R_2 = 510 \text{ k}\Omega$, $C = 160 \text{ pF}$.

Verifica dei risultati: Le incognite sono state determinate, e i valori ottenuti possono essere verificati dall'analisi SPICE riportata di seguito.

Discussione: Una terza possibilità, ma di costo superiore, consiste nel considerare due capacità di 100 pF e 56 pF disposte in parallelo. Analogamente le resistenze R_1 e R_2 possono essere ottenute dalla combinazione serie di due resistenze di valore opportuno (per esempio $R_1 = 4.7 \text{ k}\Omega + 300 \Omega$). Infine, potrebbe essere preferibile utilizzare semplicemente delle resistenze con tolleranza dell'1% con $R_1 = 4.99 \text{ k}\Omega$ e $R_2 = 499 \text{ k}\Omega$. Per scegliere tra le diverse soluzioni occorrerebbe avere maggiori informazioni sull'applicazione a cui si rivolge il progetto. Si osservi che l'impiego di un condensatore con il valore esatto di capacità risulta di limitata utilità se le resistenze presentano tolleranze del 5, 10 o addirittura del 20% e analogamente non è utile usare resistenze di elevata precisione se anche la precisione del condensatore non è analoga. Mettere in serie o in parallelo due componenti per ottenere il valore "esatto" non è quasi mai conveniente: bisogna tenere conto delle tolleranze dei componenti, eventualmente con una analisi Monte Carlo.

Analisi assistita da calcolatore: Effettueremo una simulazione SPICE AC utilizzando il circuito equivalente riportato in figura. All'amplificatore operazionale viene assegnato un guadagno di 10^6 . I parametri per l'analisi AC sono FSTART = 10, FSTOP = 100K, con 10 punti per decade in frequenza. Dall'analisi del grafico otteniamo $A_v = 40 \text{ dB}$ e $f_H = 1.95 \text{ kHz}$, in accordo con i valori richiesti.





ESERCIZIO Si progetti un filtro attivo passa-basso con $f_H = 3 \text{ kHz}$, $R_{in} = 10 \text{ k}\Omega$ e $A_v = 26 \text{ dB}$.

RISPOSTE Valori calcolati: $10 \text{ k}\Omega$, $200 \text{ k}\Omega$, 265 pF ; Valori ottenuti dall'Appendice A: $10 \text{ k}\Omega$, $200 \text{ k}\Omega$, 270 pF .

10.10.11 Filtro attivo passa-alto

Possiamo realizzare anche un filtro passa-alto, semplicemente cambiando la forma delle impedenze nell'amplificatore generalizzato, come mostrato in Figura 10.37(a). In questo esempio, Z_1 è costituita da una combinazione serie di una resistenza (R_1) e di una capacità (C), mentre Z_2 è una resistenza R_2 :

$$Z_1 = R_1 + \frac{1}{sC} = \frac{sCR + 1}{sC} \quad \text{e} \quad Z_2 = R_2 \quad (10.110)$$

Sostituendo questi risultati dell'Equazione (10.110) nella forma generalizzata $A_v(s) = -Z_2/Z_1$, si ottiene una funzione di trasferimento di tipo passa-alto:

$$A_v(s) = -\frac{Z_2}{Z_1} = -\frac{R_2}{R_1} \frac{sCR_1}{sCR_1 + 1} = -\frac{R_2}{R_1} \frac{1}{1 + \frac{s}{\omega_L}} = \frac{A_o}{1 + \frac{s}{\omega_L}} \quad (10.111)$$

$$\text{dove } A_o = -\frac{R_2}{R_1} \quad \text{e} \quad \omega_L = 2\pi f_L = \frac{1}{R_1 C}$$

La Figura 10.37(b) mostra il diagramma di Bode asintotico del modulo del guadagno riportato nell'Equazione (10.111). La funzione di trasferimento mostra un comportamento passa-alto con un polo singolo alla frequenza ω_L , che rappresenta la frequenza di taglio inferiore del filtro passa-alto. Per frequenze superiori a ω_L , l'impedenza della capacità ($Z_C = 1/\omega C$) è piccola rispetto a R_1 e il circuito si comporta come l'amplificatore invertente con guadagno pari a $-R_2/R_1$. Per frequenze inferiori a ω_L , il guadagno diminuisce di 20 dB/decade a causa dell'aumento dell'impedenza Z_C .

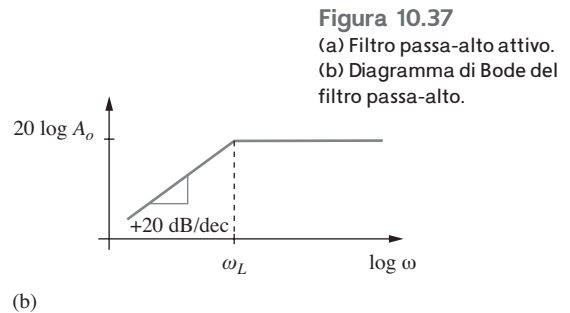
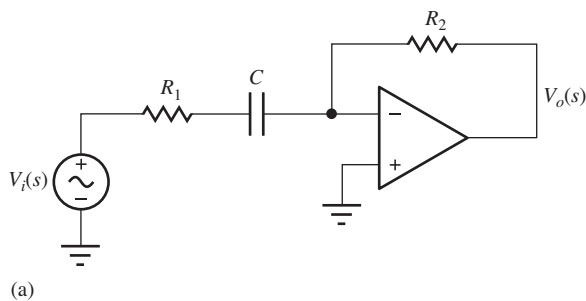


Figura 10.37

(a) Filtro passa-alto attivo.
(b) Diagramma di Bode del filtro passa-alto.

La funzione di trasferimento descritta dall'Equazione (10.111) e rappresentata in Figura 10.37(b) è stata ottenuta considerando amplificatori operazionali ideali con larghezza di banda infinita. In realtà, gli amplificatori reali hanno una larghezza di banda finita, e quindi possiamo considerare valide queste relazioni solo in un intervallo limitato di frequenze. Riesamineremo questi circuiti elementari nel capitolo successivo, considerando la larghezza di banda finita dell'operazionale.

Capire il funzionamento del filtro passa-alto

Anche in questo caso il circuito del filtro passa-alto attivo funziona in modo simile all'amplificatore invertente. Grazie alla retroazione negativa, la tensione di V_- insegue quella di v_+ , e quindi la tensione d'ingresso $V_i(s)$ viene applicata direttamente ai capi della combinazione serie della resistenza R_1 e della capacità C determinando una corrente pari a $V_i(s)/Z_1$. Questa corrente fluisce attraverso R_2 (in quanto $I_- = 0$) determinando una caduta di tensione ai suoi capi pari a $(V_i/Z_1)R_2 = V_i(R_2/Z_1)$. In questo modo, $V_o = -V_i(R_2/Z_1)$ e il guadagno è $-R_2/Z_1$. Sostituendo il valore di Z_1 con l'Equazione (10.110) si ottiene la (10.111).

Ad alte frequenze (superiori a ω_L), il circuito si comporta come l'amplificatore invertente con guadagno pari a $-R_2/R_1$, poiché l'impedenza della capacità ($Z_c = 1/\omega C$) è trascurabile rispetto a R_1 . A basse frequenze, l'impedenza della capacità Z_c diventa grande e questa volta è R_1 che può essere trascurata, e il guadagno diminuisce con una pendenza di 20 dB/decade (analogamente a come cresce il termine $1/\omega C$).

ESERCIZIO Si progetti un filtro attivo passa-alto (si scelgano i valori di R_1 , R_2 e C) in modo che si abbia $f_L = 5$ kHz, un guadagno ad alta frequenza pari a 20 dB e una resistenza di ingresso pari a 18 k Ω ad alte frequenze.

RISPOSTE $R_1 = 18$ k Ω , $R_2 = 180$ k Ω , $C = 1770$ pF. I valori delle resistenze sono presenti fra i valori normalizzati, mentre per la capacità bisogna prendere 1.8 nF.

10.10.12 Integratore

L'**integratore** è un altro circuito composto da un amplificatore operazionale e una rete di retroazione dipendente dalla frequenza. Nel circuito integratore mostrato in Figura 10.38(a), il resistore appartenente alla rete di retroazione è sostituito da un condensatore C . L'analisi di questo circuito offre un esempio di analisi di circuito con operazionali nel dominio del tempo (o nel dominio della frequenza). Poiché il terminale invertente è tenuto a 0 V dalla retroazione negativa, risulta:

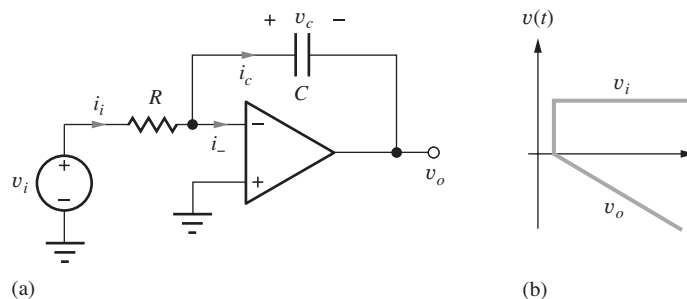
$$i_i = \frac{v_i}{R} \quad \text{e} \quad i_c = -C \frac{dv_o}{dt} \quad (10.112)$$

Per un amplificatore operazionale ideale si ha pure $I_- = 0$, sicché la corrente i_c è uguale a i_i . Uguagliando quindi le espressioni (10.112), e integrando, si ottiene:

$$\int dv_o = \int -\frac{1}{RC} v_i d\tau \quad \text{ovvero} \quad v_o(t) = -\frac{1}{RC} \int_0^t v_i(\tau) d\tau + v_o(0) \quad (10.113)$$

Figura 10.38

(a) Il circuito integratore.
(b) Tensione di uscita per un segnale di ingresso a gradino con $v_o(0) = 0$.



in cui il valore iniziale della tensione di uscita è determinato dalla tensione del condensatore all'istante $t = 0$: $v_o(0) = -V_C(0)$. La tensione di uscita, quindi, è data dalla somma della tensione iniziale sul condensatore e dell'integrale del segnale di ingresso a partire dall'istante iniziale, assunto pari a $t = 0$ in questa analisi.

Capire il funzionamento dell'integratore

La tensione nulla all'ingresso invertente dell'amplificatore operazionale comporta una caduta di tensione V_i ai capi della resistenza R che induce una corrente pari a V_i/R . Questa corrente viene immessa nella capacità C (in quanto $i_- = 0$), comportando un accumulo di carica nel condensatore che accumulerà carica in proporzione all'integrale della corrente iniettata: $Q_C = \frac{1}{C} \int i \, dt$ e il fattore di scala totale, tra la tensione di ingresso e quella di uscita vale $-1/(RC)$.

ESERCIZIO Si supponga che il segnale di ingresso $v_i(t)$ di un integratore sia un'onda quadra con frequenza pari a 500 Hz, ampiezza picco-picco di 10 V e valore medio nullo. (a) Che tipo di forma d'onda si avrà in uscita? (b) Si definiscano i valori di R e C per l'integratore, in modo che il valore picco-picco della tensione di uscita sia pari a 10 V e si abbia inoltre $R_{in} = 10 \, \text{k}\Omega$.

RISPOSTE Onda triangolare con valor medio che dipende dalla carica iniziale del condensatore. $10 \, \text{k}\Omega$, $50 \, \text{nF}$.

10.10.13 Derivatore

L'operazione di derivazione può essere eseguita con circuiti basati su operazionali. Il circuito derivatore può essere ottenuto semplicemente scambiando il condensatore con la resistenza nel circuito integratore, come mostrato in Figura 10.39. Questo circuito è meno utilizzato rispetto all'integratore in quanto l'operazione di derivata è più rumorosa rispetto all'integrazione, ovvero le componenti ad alta frequenza del segnale di ingresso sono enfatizzate.

L'analisi del circuito è simile a quella relativa all'integratore. Poiché il terminale invertente è al potenziale di riferimento, si ha:

$$i_i = C \frac{dv_i}{dt} \quad \text{e} \quad i_R = -\frac{v_o}{R} \quad (10.114)$$

Poiché $i_- = 0$, le due correnti i_i e i_R devono essere uguali, e quindi:

$$v_o = -RC \frac{dv_i}{dt} \quad (10.115)$$

La tensione di uscita risulta quindi proporzionale alla derivata della tensione di ingresso.

Capire il funzionamento del derivatore

Poiché l'ingresso negativo dell'operazionale insegue la tensione dell'ingresso positivo, che in questo caso è nulla, tutta la tensione v_i ai capi del condensatore C causerà una corrente pari alla derivata della tensione di ingresso. Questa corrente è immessa nella resistenza R (in quanto $i_- = 0$) e determinerà una tensione di uscita che è proporzionale alla derivata della tensione di ingresso.

Pensando nel dominio della frequenza, l'impedenza della capacità ($Z_C = 1/sC$) diminuisce al crescere della frequenza. Di conseguenza sia la corrente d'ingresso sia la tensione di uscita aumentano all'aumentare della frequenza.

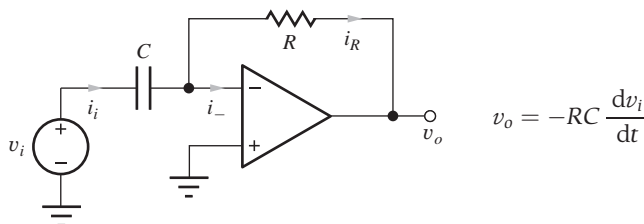


Figura 10.39
Circuito derivatore.

ESERCIZIO Si determini la tensione di uscita per il circuito di Figura 10.39 assumendo $R = 20 \text{ k}\Omega$, $C = 20 \text{ nF}$ e $v_i = 2.5 \sin(2000\pi t) \text{ V}$.

RISPOSTE $-6.28 \cos(2000\pi t) \text{ V}$.

Riferimenti bibliografici

- [1] T. Lewis, *Empire on the Air: The Men Who Made Radio*, Harper Collins: 1991.
- [2] J.A. Hijiya, *Lee de Forest and the Fatherhood of Radio*, Lehigh University Press: 1992.
- [3] T.H. Lee, "A Non Linear History of Radio," Capitolo 1 in *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press: 1998.
- [4] National Geographic Society, *Those Inventive Americans*, (Publisher and Editor, 1971) pp. 182-187 (Lee de Forest by Howard J. Lewis).

Letture aggiuntive

- E.J. Kennedy, *Operational Amplifier Circuits-Theory and Applications*. Holt, Rinehart, and Winston, New York, NY: 1988.
- S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, quarta ed., McGraw-Hill, New York, NY: 2014.
- P.R. Gray, P.J. Hurst, S.H. Lewis e R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, quinta ed., John Wiley and Sons, New York, NY: 2009.

Operazionali non ideali e stabilità della retroazione degli amplificatori operazionali

11

Obiettivi

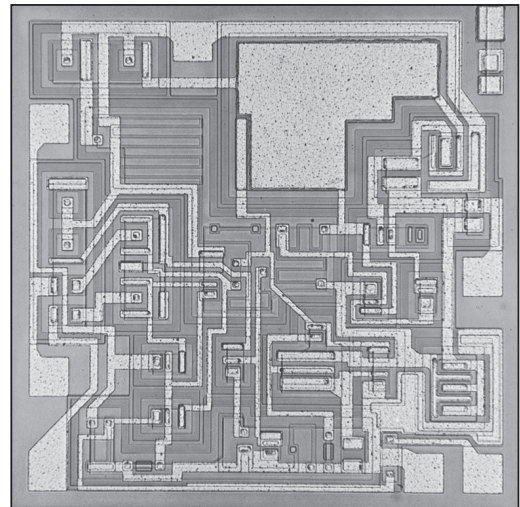
- Studiare il comportamento non ideale dell'amplificatore operazionale.
- Utilizzare tecniche di analisi di circuiti contenenti amplificatori operazionali non ideali.
- Determinare il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita di circuiti amplificatori.
- Esplorare le limitazioni legate alla reiezione di modo comune e gli effetti della resistenza di ingresso di modo comune.
- Imparare a modellare gli errori in DC comprese la tensione di offset, la corrente di polarizzazione in ingresso e la corrente di offset in ingresso.
- Esplorare le limitazioni imposte dalle tensioni di alimentazione e dalla corrente di uscita finita.
- Modellare le limitazioni dovute alla banda finita e allo slew rate.
- Eseguire simulazioni SPICE di circuiti con amplificatori operazionali non ideali.
- Capire le topologie e le caratteristiche delle retroazioni serie-parallelo, parallelo-parallelo, serie-serie e parallelo-serie.
- Sviluppare le tecniche per l'analisi di circuiti retroazionati, includendo gli effetti del carico.
- Studiare l'effetto della retroazione sulla risposta in frequenza e la stabilità dell'amplificatore retroazionato.
- Definire i margini di fase e di guadagno.
- Imparare a interpretare la stabilità di un amplificatore retroazionato dai diagrammi di Nyquist e di Bode.
- Usare le analisi AC e TF di SPICE per caratterizzare gli amplificatori retroazionati.
- Sviluppare le tecniche per determinare con SPICE il guadagno di anello in amplificatori retroazionati.

Nel Capitolo 10 sono state esaminate le caratteristiche di circuiti con amplificatori operazionali ideali con guadagno infinito, corrente di ingresso nulla e resistenza di uscita nulla. Gli amplificatori operazionali reali, invece, non presentano nessuna di queste caratteristiche ideali. Inoltre, essi presentano un numero significativo di limitazioni ulteriori:

- Guadagno finito ad anello aperto.
- Resistenza di ingresso finita.
- Resistenza di uscita diversa da zero.
- Tensione di offset.
- Correnti di polarizzazione e di offset.
- Escursione limitata della tensione di uscita.
- Capacità limitata di erogare corrente in uscita.
- Reiezione di modo comune finita.
- Reiezione alle variazioni della tensione di alimentazione finita.
- Banda passante limitata.
- Slew rate limitato.

Esistono in commercio centinaia di amplificatori operazionali integrati o ibridi a disposizione dell'ingegnere per i propri progetti. L'unico modo per scegliere corret-

tamente in questo grande insieme è comprendere pienamente le caratteristiche e le limitazioni degli amplificatori operazionali reali.



Fotografia del chip dell'operazionale $\mu A741$.
[© Fairchild Semiconductor International.]

Pertanto, questo capitolo esplora l'impatto di ciascuna di queste limitazioni e indica gli approcci da seguire nell'analisi di circuiti contenenti amplificatori operazionali non ideali. In generale, ci occupiamo degli effetti di ciascuna delle caratteristiche non ideali indipendentemente, considerando le altre ancora ideali. Possiamo poi combinare i risultati per comprendere il comportamento complessivo del circuito.

Per meglio comprendere l'effetto delle caratteristiche di un operazionale non ideale sulle prestazioni del circuito, cominciamo con il rivedere la teoria classica della retroazione negativa nei sistemi elettronici, sviluppata per primo da Harold Black presso Bell Telephone Systems [1-3]. La retroazione negativa, nel 1927, era stata inventata per stabilizzare il guadagno dei primi ripetitori telefonici. Oggigiorno qualsiasi sistema elettronico usa una qualche forma di retroazione. Questo capitolo sviluppa formalmente il concetto di retroazione, strumento di valore inestimabile nel progetto dei circuiti elettronici. Si possono ottenere informazioni preziose sul funzionamento di molti circuiti se li si riconsidera e analizza come sistemi retroazionati.

Molti vantaggi della retroazione negativa sono già stati osservati nell'analisi dei circuiti con operazionali ideali svolta nel Capitolo 10. In generale la retroazione permette uno scambio fra il guadagno e molte altre proprietà de-

gli amplificatori. I vantaggi della retroazione negativa sono i seguenti:

- **Stabilizzazione del guadagno.** La retroazione negativa riduce la dipendenza del guadagno dai valori dei parametri dei transistori e degli altri elementi dell'amplificatore, ma il guadagno diventa dipendente dai componenti passivi della rete di retroazione.
- **Impedenze di ingresso e uscita.** La retroazione può aumentare o diminuire le impedenze di ingresso e di uscita di un amplificatore.
- **Banda passante.** La banda passante di un amplificatore viene aumentata per mezzo della retroazione negativa.
- **Distorsione non lineare.** La retroazione negativa riduce gli effetti della distorsione non lineare dei transistori.
- **Riduzione di alcuni disturbi e rumori.** Un disturbo o un rumore iniettato nella catena di amplificazione è tanto più attenuato quanto più entra nel sistema vicino all'uscita dell'amplificatore.

La retroazione può anche essere **positiva** (o **rigenerativa**), per esempio nei **circuiti oscillatori** sinusoidali, come sarà mostrato nel Capitolo 12. In generale la retroazione positiva non è voluta negli amplificatori. Un eccessivo ritardo di fase in un amplificatore retroazionato riesce a far diventare rigenerativa la retroazione con l'effetto di far oscillare il circuito, cosa che si vuole sempre evitare.

11.1 Sistemi con retroazione

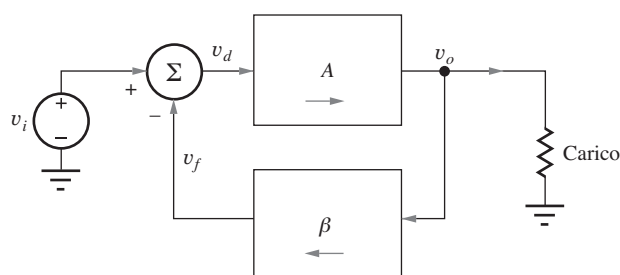
I sistemi con retroazione (*feedback*) classici sono descritti dallo schema a blocchi di Figura 11.1. Questo schema può rappresentare un semplice amplificatore con retroazione o un complesso sistema di controllo in retroazione. Il sistema in esame è costituito da un amplificatore con funzione di trasferimento $A(s)$, denominato **amplificatore ad anello aperto**, da una **rete di retroazione** con una funzione di trasferimento $\beta(s)$ (**fattore di retroazione**), e da un blocco sommatore indicato da Σ . Le variabili in questo diagramma sono rappresentate da tensioni, ma potrebbero essere correnti o qualsiasi altra grandezza fisica quale temperatura, velocità, distanza ecc.

11.1.1 Analisi del guadagno ad anello chiuso

In Figura 11.1, la tensione d'ingresso dell'amplificatore ad anello aperto (v_d) è il segnale di uscita di un sommatore che realizza la differenza tra il segnale di ingresso (v_i) e il segnale di retroazione (v_f):

$$v_d = v_i - v_f \quad (11.1)$$

Figura 11.1
Schema a blocchi di un sistema con retroazione classico.



Il segnale di uscita è pari al prodotto del guadagno dell'amplificatore ad anello aperto $A(s)$ e del segnale di ingresso (v_d):

$$v_o = Av_d \quad (11.2)$$

Il segnale di retroazione riportato all'ingresso è dato da:

$$v_f = \beta v_o \quad (11.3)$$

Combinando le Equazioni (11.1)-(11.3) e risolvendole esplicitando il guadagno complessivo di tensione del sistema, si ottiene l'espressione classica del **guadagno ad anello chiuso** dell'amplificatore con retroazione:

$$A_v = \frac{v_o}{v_i} = \frac{A}{1 + A\beta} = \frac{1}{\beta} \left(\frac{A\beta}{1 + A\beta} \right) = A_v^{\text{ideale}} \left(\frac{T}{1 + T} \right) \quad (11.4)$$

dove A_v è il **guadagno ad anello chiuso**, A è generalmente chiamato **guadagno ad anello aperto** e il prodotto $T = A\beta$ è detto **guadagno di anello** o anche **rapporto di ritorno**. A_v^{ideale} è il guadagno che si otterrebbe nel caso in cui l'amplificatore A fosse ideale ottenendo perciò $T \rightarrow \infty$.

Si tenga presente che nell'analisi effettuata all'inizio del capitolo precedente, per considerare la rete lineare, abbiamo assunto che ci fosse sempre il collegamento di retroazione sul morsetto invertente dell'amplificatore operazionale. Per lo schema a blocchi di Figura 11.1, retroazione negativa richiede che sia $T > 0$, mentre $T < 0$ corrisponde a una condizione di retroazione positiva. Nei multivibratori, che saranno studiati nel Capitolo 12, si fa uso di retroazione positiva e, nello stesso capitolo, sarà approfondito il discorso della retroazione.

Per garantire i risultati dell'analisi generalizzata appena effettuata bisogna considerare alcune assunzioni. Innanzitutto si presume che i blocchi possano essere interconnessi, come mostrato in Figura 11.1, senza che il loro comportamento interno sia alterato. In aggiunta si è tacitamente assunto che i segnali fluiscano in modo unidirezionale nei blocchi del sistema (solo in avanti attraverso l'amplificatore, e solo in direzione inversa attraverso la rete di retroazione), come indicato dalle frecce in Figura 11.1.

L'implementazione del diagramma a blocchi di Figura 11.1 con amplificatori operazionali, che hanno in genere una grande resistenza d'ingresso, una bassa resistenza di uscita e guadagno di tensione inverso nullo, permette di soddisfare facilmente le assunzioni appena fatte.

Tuttavia, in generale gli amplificatori e le reti di feedback non soddisfano necessariamente queste assunzioni. Nei prossimi paragrafi si analizzeranno e si progetteranno sistemi di retroazione che non soddisfano alle ipotesi implicite appena delineate.

11.1.2 Errore di Guadagno

Nelle applicazioni che richiedono elevata precisione è importante conoscere, o definire per progetto, quanto il guadagno reale dell'Equazione (11.4) si scosta dal valore ideale del guadagno. L'**errore di guadagno** (GE) è definito come differenza fra guadagno ideale e guadagno reale.

$$GE = (\text{guadagno ideale}) - (\text{guadagno reale}) = A_v^{\text{ideale}} - A_v^{\text{ideale}} \left(1 - \frac{T}{1 + T} \right) = \frac{A_v^{\text{ideale}}}{1 + T} \quad (11.5)$$

L'errore di guadagno è più frequentemente espresso come errore percentuale e l'**errore relativo di guadagno** (FGE) è definito come:

$$FGE = \frac{(\text{guadagno ideale}) - (\text{guadagno reale})}{(\text{guadagno ideale})} = \frac{A_v^{\text{ideale}} - A_v}{A_v^{\text{ideale}}} = \frac{1}{1 + T} \approx \frac{1}{T} \text{ per } T \gg 1 \quad (11.6)$$

Quando $T \gg 1$ il valore dell'errore relativo è dato dal reciproco del guadagno di anello.



NOTA PROGETTUALE

Errore di guadagno relativo

L'errore di guadagno relativo dato come specifica di progetto impone un limite inferiore al guadagno di anello.

11.2 Analisi di circuiti con amplificatori operazionali non ideali

Nel Capitolo 10 abbiamo sempre dato per scontato che il guadagno ad anello aperto A dell'amplificatore operazionale fosse infinito, e questa assunzione ci ha permesso di semplificare notevolmente l'analisi del circuito. Infatti, se si considera l'Equazione (11.4) con la condizione che A tende a infinito, si ottiene:

$$\lim_{A \rightarrow \infty} A_v = \lim_{T \rightarrow \infty} A_v^{\text{Ideale}} \left(\frac{T}{1+T} \right) = A_v^{\text{Ideale}} \quad (11.7)$$

e si nota che il guadagno di tensione reale ad anello chiuso coincide con il guadagno ideale (in questo caso il reciproco del fattore di retroazione fattore β) ed è indipendente dalle caratteristiche dell'amplificatore operazionale!

Questa indipendenza è proprio l'obiettivo che si vuole raggiungere nella progettazione degli amplificatori con retroazione. Da quanto svolto nel capitolo precedente si vede che $A_v^{\text{Ideale}} = 1/\beta$ è il guadagno del circuito amplificatore non invertente che utilizza un amplificatore operazionale ideale.

Nei paragrafi successivi, toglieremo varie ipotesi di idealità degli amplificatori operazionali e analizzeremo l'effetto del guadagno finito A dell'operazionale, della resistenza di ingresso finita e della resistenza di uscita non nulla sulle caratteristiche degli amplificatori invertente e non invertente che sono state studiate nel Capitolo 10, e capiremo quanto vicino possiamo arrivare ai risultati ideali.

11.2.1 Guadagno finito ad anello aperto

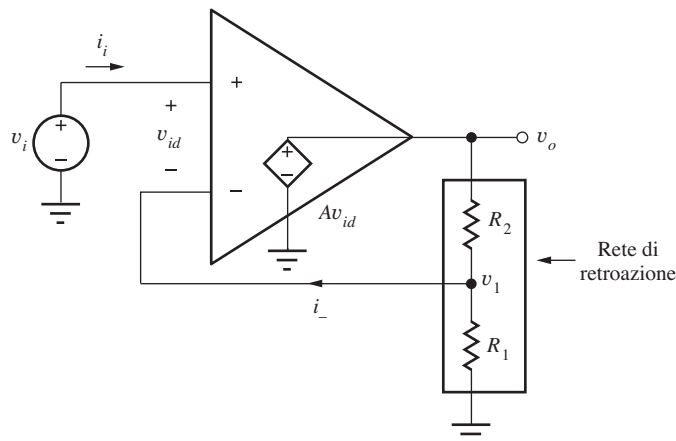
Un amplificatore operazionale reale è caratterizzato da un guadagno molto elevato ma comunque finito. Gli operazionali disponibili commercialmente offrono guadagni compresi tra 80 dB (10^4) e 120 dB (10^6). Il valore finito del **guadagno di tensione ad anello aperto** determina una variazione del valore del guadagno di tensione ad anello chiuso, della resistenza di ingresso e della resistenza di uscita rispetto a quelli riportati nel Capitolo 10.

Amplificatore non invertente

Come primo esempio di calcolo relativo a un amplificatore non ideale, determiniamo il guadagno di tensione ad anello chiuso per l'amplificatore non invertente di Figura 11.2. La tensione di uscita per il circuito di Figura 11.2 è data da:

$$v_o = A v_{id} \quad \text{dove} \quad v_{id} = v_i - v_1 \quad (11.8)$$

Figura 11.2
Amplificatore operazionale
con guadagno ad anello
aperto finito A .



$$A_v = A_v^{\text{Ideale}} \frac{T}{1+T}$$

$$A_v^{\text{Ideale}} = \frac{1}{\beta}$$

$$\beta = \frac{R_1}{R_1 + R_2}$$

Poiché $i_- = 0$ (Ipotesi 2), la tensione v_1 viene stabilita dal partitore di tensione formato dalle resistenze R_1 e R_2 :

$$v_1 = \frac{R_1}{R_1 + R_2} v_o = \beta v_o \quad \text{dove} \quad \beta = \frac{R_1}{R_1 + R_2} \quad (11.9)$$

Il parametro β è detto **fattore di retroazione** e rappresenta la frazione della tensione di uscita che viene riportata in ingresso.

Dalle precedenti relazioni si ottiene:

$$v_o = A(v_i - \beta v_o) \quad (11.10)$$

Risolviendo rispetto a v_o si ottiene la classica espressione per il guadagno di tensione di un **amplificatore retroazionato**:

$$A_v = \frac{v_o}{v_i} = \frac{A}{1 + A\beta} = \frac{1}{\beta} \left(\frac{A\beta}{1 + A\beta} \right) = A_v^{\text{ideale}} \left(\frac{T}{1 + T} \right) \quad (11.11)$$

Il prodotto $A\beta$ è detto **guadagno di anello** (o trasmissione di anello, T) e assume un ruolo importante negli amplificatori retroazionati. Per $T \gg 1$, A_v tende all'espressione del guadagno per il caso ideale precedentemente considerato:

$$A_v^{\text{ideale}} = \frac{1}{\beta} = 1 + \frac{R_2}{R_1} \quad (11.12)$$

Il significato del guadagno di anello verrà analizzato più in dettaglio quando affronteremo lo studio dei sistemi retroazionati.

La tensione di ingresso v_{id} è data da:

$$v_{id} = \frac{v_o}{A} = \frac{1}{A} \left(\frac{A}{1 + A\beta} v_i \right) = \frac{v_i}{1 + T} \quad (11.13)$$

Benché la tensione v_{id} non sia esattamente pari a zero, risulta piccola per elevati valori del prodotto T . Pertanto, quando si applica una tensione di ingresso v_i , solo una piccola porzione di essa appare ai capi di R_{in} ($v_{id} \rightarrow 0$ se $A \rightarrow \infty$) e quindi la corrente di ingresso è molto piccola.

Abbiamo ritrovato lo stesso risultato del sistema retroazionato "classico" di Figura 11.1. Come sono qui soddisfatte le assunzioni fatte nel Paragrafo 11.1.1? Un operazionale ideale ha una resistenza di uscita trascurabile e quando si collega la rete di retroazione all'uscita questa non modifica il guadagno A . Inoltre l'elevatissima impedenza di ingresso non carica il partitore di retroazione e non modifica il fattore β . L'amplificatore operazionale è unilaterale e il segnale procede solo in avanti. Infine non c'è segnale iniettato direttamente dall'ingresso sull'uscita attraverso la rete di retroazione che quindi si comporta come se fosse unidirezionale, portando il segnale solo dall'uscita verso l'ingresso.

Amplificatore invertente

Per il guadagno ad anello chiuso dell'amplificatore invertente di Figura 11.3, nel caso di operazionale con guadagno finito di anello aperto (A) si procede in modo simile a quanto fatto per la configurazione non invertente, e i risultati sono leggermente diversi. In questo caso, la tensione di uscita vale:

$$v_o = Av_{id} = -Av_- \quad (11.14)$$

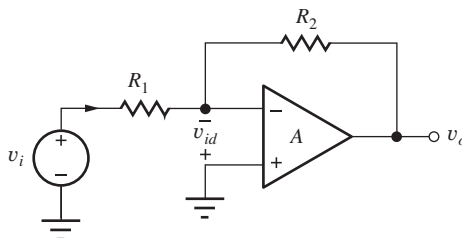


Figura 11.3
Amplificatore invertente.

e la tensione al terminale invertente di ingresso può essere ottenuta applicando il principio della sovrapposizione degli effetti:

$$\text{per } v_o = 0, \text{ allora } v_- = v_i \frac{R_2}{R_1 + R_2}, \text{ e per } v_i = 0, \text{ allora } v_- = v_o \frac{R_1}{R_1 + R_2} \quad (11.15)$$

Combinando questi due risultati si ottiene:

$$v_- = v_i \frac{R_2}{R_1 + R_2} + v_o \frac{R_1}{R_1 + R_2} \quad (11.16)$$

Dopo alcuni passaggi matematici, il guadagno ad anello chiuso può essere scritto come:

$$A_v = \frac{v_o}{v_i} = -\frac{R_2}{R_1} \left(\frac{A\beta}{1 + A\beta} \right) = A_v^{\text{ideale}} \left(\frac{T}{1 + T} \right) \quad (11.17)$$

Dove $A_v^{\text{ideale}} = -R_2/R_1$, $T = A\beta$, e $\beta = R_1/(R_1 + R_2)$. Si noti innanzi tutto che il fattore di retroazione β , che rappresenta la porzione del segnale di uscita che è riportato all'ingresso, è lo stesso di quello trovato per l'amplificatore non invertente; in altri termini, β è indipendente dalla configurazione in esame. Inoltre, se l'amplificazione di anello (T) tende a infinito, allora il guadagno tende a quello ideale che coincide con quello calcolato nel capitolo precedente:

$$A_v^{\text{ideale}} = \lim_{A \rightarrow \infty} A_v = \lim_{T \rightarrow \infty} \left(-\frac{R_2}{R_1} \right) \left(\frac{T}{1 + T} \right) = -\frac{R_2}{R_1} \quad (11.18)$$

La differenza di tensione presente ai terminali di ingresso dell'amplificatore operazionale vale:

$$v_{id} = \frac{v_o}{A} = \frac{1}{A} \left(-\frac{R_2}{R_1} \frac{A\beta}{1 + A\beta} v_i \right) = -\frac{R_2}{R_1} \frac{\beta}{1 + A\beta} v_i \approx -\frac{R_2}{R_1} \frac{v_i}{A} \quad (11.19)$$

nella quale l'approssimazione finale vale per guadagni di anello T molto grandi. Ancora una volta si osserva che se A e βA sono molto grandi, allora v_{id} sarà solo una minuscola porzione del segnale d'ingresso.

ESERCIZIO Si assuma $A = 10^5$, $\beta = 1/100$ e $v_i = 100$ mV. Quali sono i valori di A_v^{ideale} , T , A_v , v_o e v_{id} per l'amplificatore operazionale non invertente?

RISPOSTE 100, 1000, 99.9, 9.99 V, 99.9 μ V (v_{id} è piccola ma non nulla).

ESERCIZIO Si ripeta l'esercizio precedente per l'amplificatore invertente.

RISPOSTE -99, 1000, -98.9, -9.89 V, -98.9 μ V.

ESERCIZIO Si determinino il valore nominale, il valore minimo e il valore massimo del guadagno ad anello aperto a 25 °C per l'amplificatore operazionale OP-27.

RISPOSTE Per una tensione di alimentazione di 15 V: 1 000 000; 1 800 000; il valore massimo non è specificato.

ESERCIZIO Qual è il valore del guadagno ad anello aperto garantito dell'OP-27 per l'intero intervallo di temperature con una resistenza di carico pari ad almeno 2 k Ω ?

RISPOSTA 600 000, per una tensione di alimentazione di 15 V.

Esempio 11.1

ANALISI DELL'ERRORE RELATIVO AL GUADAGNO IN UN AMPLIFICATORE NON INVERTENTE

Caratterizzazione del guadagno e dell'errore di guadagno in un amplificatore non invertente realizzato con un operazionale con guadagno finito.

PROBLEMA Si progetti un amplificatore non invertente in modo da ottenere un guadagno pari a 200 (46 dB) e realizzato utilizzando un operazionale caratterizzato da un guadagno ad anello aperto pari a 80 dB. Si calcolino i valori del guadagno ideale, del guadagno reale e dell'errore percentuale.

Informazioni e dati noti: È specificata la configurazione non invertente con un guadagno ad anello chiuso pari a 46 dB. Il guadagno ad anello aperto è pari a 80 dB.

SOLUZIONE

Incognite: Il guadagno ideale, il guadagno reale e l'errore percentuale relativo al guadagno.

Approccio: Occorre dapprima chiarire il significato della terminologia utilizzata. Usualmente il progetto di un amplificatore viene effettuato in modo che il valore ideale del guadagno assuma il valore specificato. Successivamente, si valuta la variazione del guadagno rispetto al valore ideale. Quando si dice che l'amplificatore è progettato in modo che il guadagno sia pari a 200, si pone $\beta = 1/200$. Di solito non si cerca di definire il valore delle resistenze R_1 e R_2 in modo da compensare l'effetto del valore finito del guadagno ad anello aperto dell'amplificatore. Il motivo è che non conosciamo l'esatto valore del guadagno A , ma solo il valore minimo. Anche le resistenze sono caratterizzate da tolleranze, e il valore attuale non è noto.

Ipotesi: L'operazionale è ideale a eccezione del valore finito del guadagno.

Analisi: Il valore assegnato del guadagno ideale è pari a 200. Il valore reale del guadagno e l'errore FGE sono dati da:

$$A_v = \frac{A}{1 + A\beta} = \frac{10^4}{1 + \frac{10^4}{200}} = 196 \quad \text{e} \quad FGE = \frac{200 - 196}{200} = 0.02 = 2\%$$

Verifica dei risultati: Le incognite sono state determinate. Il valore di A_v è leggermente inferiore a $1/\beta$ e appare quindi corretto.

Discussione: Il guadagno reale è pari a 196, e l'errore percentuale è quindi del 2% rispetto al valore ideale di 200. Si noti che l'espressione dell'errore non tiene conto delle tolleranze delle resistenze, che rappresentano un'ulteriore causa di errore per il valore del guadagno nei circuiti reali. Nel caso in cui il valore del guadagno di tensione debba essere stabilito con maggiore precisione si può ricorrere a un operazionale con guadagno più elevato, oppure si può utilizzare un potenziometro in modo da stabilire manualmente il valore del guadagno.

Analisi assistita da calcolatore: Si può utilizzare il circuito relativo all'Esempio 10.5 per verificare i risultati dell'analisi, ponendo $R_1 = 1 \text{ k}\Omega$, $R_2 = 199 \text{ k}\Omega$ e il guadagno di E1 pari a 10 000. Dall'analisi della funzione di trasferimento si ha $A_v = 196$, in accordo con l'analisi manuale.

ESERCIZIO Un amplificatore non invertente è realizzato con $R_1 = 1 \text{ k}\Omega$, $R_2 = 39 \text{ k}\Omega$, e con un operazionale caratterizzato da un guadagno ad anello aperto pari a 80 dB. Si determini il guadagno di anello, il guadagno ad anello chiuso, il guadagno ideale e il valore dell'errore percentuale relativo al guadagno.

RISPOSTE 250, +39.8, +40, 0.4%.

ESERCIZIO Ripetere l'esercizio precedente nel caso di un amplificatore invertente.

RISPOSTE 250, -38.8, -39, 0.398%.

11.2.2 Resistenza di uscita diversa da zero

Analizziamo ora l'effetto sulle caratteristiche delle configurazioni invertente e non invertente, dovuto a una resistenza di uscita diversa da zero. Assumiamo quindi che la resistenza di uscita R_o sia diversa da zero e che il guadagno di tensione ad anello aperto A sia finito (come vedremo, se il guadagno di tensione fosse infinito la resistenza di uscita dell'amplificatore sarebbe identica a quella relativa al caso ideale).

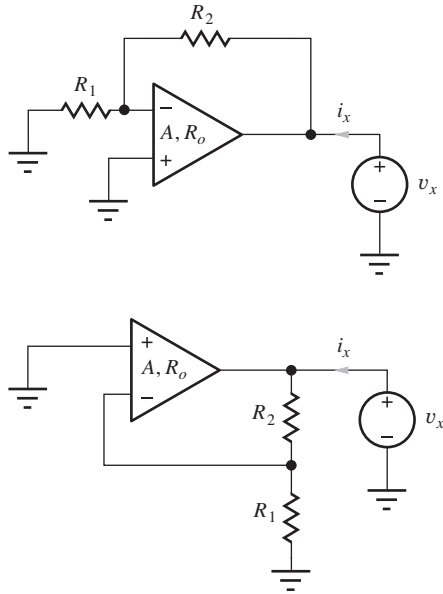
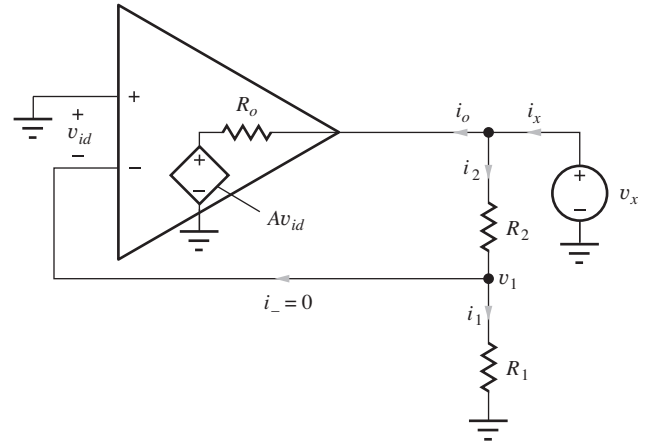


Figura 11.4 Circuiti per il calcolo della resistenza di uscita dell'amplificatore invertente e non invertente.



$$R_{\text{out}} = \frac{R_o}{1 + T} \parallel (R_1 + r_2) \quad \text{dove } T = A\beta$$

Figura 11.5 Circuito per il calcolo della resistenza di uscita in cui è evidenziato il generatore di tensione e la resistenza R_o .

Per determinare la resistenza di uscita per gli amplificatori mostrati in Figura 11.4, occorre collegare il terminale di uscita a un generatore di tensione di prova v_x (si potrebbe utilizzare anche un generatore di corrente), e quindi determinare la corrente i_x ; tutti i generatori indipendenti nel circuito devono essere spenti. La resistenza di uscita è data da:

$$R_{\text{out}} = \frac{v_x}{i_x} \quad (11.20)$$

Dalla Figura 11.4 si riconosce che i circuiti relativi ai due amplificatori, utilizzati per il calcolo della resistenza di uscita, sono identici. Dall'analisi del circuito di Figura 11.5 si può ricavare l'espressione della resistenza R_{out} per entrambi gli amplificatori.

Iniziamo l'analisi osservando che le correnti i_x e i_o possono essere espresse da:

$$i_x = i_o + i_2 \quad \text{e} \quad i_o = \frac{v_x - Av_{id}}{R_o} \quad (11.21)$$

La corrente i_2 può essere ricavata da

$$v_x = i_2 R_2 + i_1 R_1 \quad \text{ovvero} \quad i_2 = \frac{v_x}{R_1 + R_2} \quad (11.22)$$

Poiché $i_- = 0$ (ipotesi 2), si ha $i_1 = i_2$. La tensione di ingresso v_{id} è pari a $-v_1$, e poiché $i_- = 0$, si ha:

$$v_1 = \frac{R_1}{R_1 + R_2} v_x = \beta v_x \quad (11.23)$$

Dalle (11.21)-(11.23) si ottiene:

$$\frac{1}{R_{\text{out}}} = \frac{i_x}{v_x} = \frac{1 + A\beta}{R_o} + \frac{1}{R_1 + R_2} \quad (11.24)$$

L'Equazione (11.24) rappresenta la conduttanza di uscita dell'amplificatore, e può essere vista come la somma delle conduttanze di due resistori in parallelo. La resistenza di uscita può quindi essere espressa da:

$$R_{\text{out}} = \frac{R_o}{1 + T} \parallel (R_1 + R_2) \quad (11.25)$$

La resistenza di uscita nella (11.25) è quindi data dal parallelo tra la combinazione in serie $R_1 + R_2$, e la resistenza $R_o/(1 + A\beta)$, che rappresenta la resistenza di uscita dell'amplificatore operazionale in cui è incluso l'effetto della retroazione. Nei casi pratici il valore di

$R_o/(1 + A\beta)$ risulta molto inferiore rispetto a $(R_1 + R_2)$, e l'espressione della resistenza di uscita può essere semplificata come segue:

$$R_{out} \approx \frac{R_o}{1 + A\beta} = \frac{R_o}{1 + T} \quad (11.26)$$

Un confronto numerico tra i due termini che compongono la resistenza di uscita viene presentato nell'Esempio 11.2.

Si osservi che la resistenza di uscita risulterebbe pari a zero se il guadagno di tensione A nelle (11.25) e (11.26) fosse infinito. Questo è il motivo per cui nell'analisi della resistenza di uscita nei circuiti reali occorre tener conto non solo del valore non nullo di R_o , ma anche del valore finito di A , e d'altra parte se l'operazionale è ideale, con guadagno infinito, il valore della resistenza di uscita R_o non ha importanza.

ESERCIZIO Si determinino il valore nominale, il valore minimo e il valore massimo del guadagno ad anello aperto e della resistenza di uscita per l'amplificatore operazionale OP-77E.

RISPOSTE 12×10^6 (142 dB); 5×10^6 (134 dB); il valore massimo non è specificato; valore tipico 60 Ω ; il valore massimo e minimo non sono specificati.

RESISTENZA DI USCITA DELL'AMPLIFICATORE OPERAZIONALE

Esempio 11.2

Calcolo numerico della resistenza di uscita di un amplificatore non invertente realizzato con un operazionale con guadagno finito e resistenza di uscita non nulla.

Un amplificatore non invertente è realizzato con $R_1 = 1 \text{ k}\Omega$, $R_2 = 39 \text{ k}\Omega$ e con un operazionale caratterizzato da un guadagno ad anello aperto pari a 80 dB e resistenza di uscita di 50 Ω . Si determini la resistenza di uscita.

PROBLEMA

Informazioni e dati noti: È specificata la configurazione non invertente con $R_1 = 1 \text{ k}\Omega$, $R_2 = 39 \text{ k}\Omega$, $A = 10^4$, $R_o = 50 \text{ }\Omega$.

SOLUZIONE

Incognite: La resistenza di uscita dell'amplificatore complessivo.

Approccio: Si farà uso della (11.25).

Ipotesi: L'operazionale è ideale a eccezione del valore finito del guadagno e della resistenza di uscita.

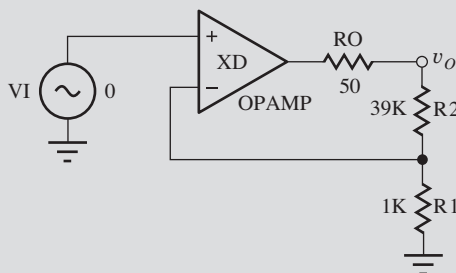
Analisi: Dalla (11.25) si ottiene

$$1 + T = 1 + A \frac{R_1}{R_1 + R_2} = 1 + 10^4 \frac{1 \text{ k}\Omega}{1 \text{ k}\Omega + 39 \text{ k}\Omega} = 251$$

da cui:

$$R_{out} = \frac{50 \text{ }\Omega}{251} \parallel (40 \text{ k}\Omega) = 0.199 \text{ }\Omega \parallel 40 \text{ k}\Omega = 0.199 \text{ }\Omega$$

Verifica dei risultati: La resistenza di uscita è stata determinata. Il valore è molto inferiore a R_o e appare quindi corretto.



Discussione: Si vede che l'effetto della retroazione nei circuiti di Figura 11.4 è quello di ridurre la resistenza di uscita per entrambi gli amplificatori a un valore molto inferiore a quello presentato dagli amplificatori operazionali. Il valore della resistenza di uscita è in effetti molto basso e rappresenta ai fini pratici una buona approssimazione del valore relativo a un amplificatore ideale ($R_{out} = 0$). Questo è l'effetto della retroazione parallelo alla porta di uscita, in cui la rete di retroazione è collegata in parallelo alla porta di uscita. Dallo studio dei circuiti retroazionati vedremo che la retroazione parallelo determina una riduzione della resistenza di uscita, mentre la retroazione serie produce un incremento.

Analisi assistita da calcolatore: Per analizzare l'effetto del valore finito della resistenza di uscita possiamo aggiungere una resistenza di uscita R_O nel circuito mostrato in figura. Il guadagno di OPAMP è pari a 10^4 . Dall'analisi della funzione di trasferimento da V_i a v_o si ottiene un guadagno +39.8 e una resistenza di uscita di 0.199Ω .

ESERCIZIO Si determini il valore del guadagno ad anello aperto necessario affinché la resistenza di uscita sia pari a 0.1Ω per l'amplificatore dell'Esempio 11.2.

RISPOSTA 20 000.

ESERCIZIO Si calcoli il valore del guadagno ad anello chiuso nell'Esempio 11.2 e si verifichino i risultati della simulazione.

ESERCIZIO Si supponga che le resistenze nell'Esempio 11.2 presentino una tolleranza del 5%. Qual è il valore del guadagno per il caso peggiore (si valuti sia il valore minimo che il valore massimo), nel caso in cui il guadagno ad anello aperto sia infinito? Qual è l'errore del guadagno nei due casi?

RISPOSTE 44.1, 36.3, 4.20 (10.5%), -3.70 (-9.3%).

Esempio 11.3

GUADAGNO AD ANELLO APERTO DI UN AMPLIFICATORE

In questo esempio si calcolerà il valore di guadagno di anello richiesto per soddisfare la specifica di resistenza di uscita in un amplificatore.

PROBLEMA Si progetti un amplificatore non invertente con un guadagno ad anello chiuso di 35 dB e una resistenza di uscita inferiore a 0.2Ω . Si utilizzi un amplificatore operazionale con resistenza di uscita pari a 250Ω . Qual è il valore minimo del guadagno ad anello aperto necessario affinché le specifiche siano soddisfatte?

SOLUZIONE **Informazioni e dati noti:** Per l'amplificatore non invertente si ha: guadagno ad anello chiuso = 35 dB, resistenza di uscita ad anello chiuso = 0.2Ω . Per l'operazionale utilizzato per realizzare l'amplificatore non invertente la resistenza di uscita ad anello aperto è pari a 250Ω .

Incognite: Il guadagno ad anello aperto A dell'operazionale.

Approccio: Si farà uso della (11.26) per determinare il valore di A .

Ipotesi: L'operazionale è ideale a eccezione del valore finito del guadagno e della resistenza di uscita.

Analisi: La resistenza di uscita ad anello chiuso è data da

$$R_{out} = \frac{R_o}{1 + A\beta} \leq 0.2 \Omega$$

in cui R_o e R_{out} sono specificati, mentre β viene valutato in base al guadagno ad anello chiuso:

$$R_o = 250 \Omega \quad R_{out} = 0.2 \Omega \quad \beta = \frac{1}{|A_v|}$$

Il valore numerico di A_v risulta:

$$|A_v| = 10^{35 \text{ dB}/20 \text{ dB}} = 56.2 \quad \text{e} \quad \beta = \frac{1}{|A_v|} = \frac{1}{56.2}$$

Il valore minimo del guadagno ad anello aperto può essere determinato dalla specifica relativa a R_{out} :

$$A \geq \frac{1}{\beta} \left(\frac{R_o}{R_{\text{out}}} - 1 \right) = 56.2 \left(\frac{250 \, \Omega}{0.2 \, \Omega} - 1 \right) = 7.03 \times 10^4$$

$$A_{\text{dB}} = 20 \log(7.03 \times 10^4) = 96.9 \text{ dB}$$

Verifica dei risultati: L'incognita è stata determinata.

Discussione: Effettuando una ricerca su Internet, possiamo vedere come siano disponibili in commercio operazionali con guadagno pari a 100 dB. Il valore ottenuto è quindi ragionevole.

Analisi assistita da calcolatore: Cambiando i parametri nel circuito relativo all'Esempio 11.2, e ripetendo la simulazione, possiamo verificare che il circuito soddisfa le specifiche. Ponendo $R_1 = 10\text{K}$, $R_2 = 552\text{K}$ e $R_O = 250$, e considerando un guadagno di $7.03\text{E}4$ per OPAMP, l'analisi SPICE della funzione di trasferimento fornisce $A_v = 56.2$ e $R_{\text{out}} = 0.200 \, \Omega$. Per R_1 e R_2 si sono appositamente scelti dei valori elevati in modo da non influenzare il valore della resistenza di uscita. Dal valore ottenuto per il guadagno possiamo verificare come il valore scelto per il rapporto R_2/R_1 sia corretto.

ESERCIZIO Si progetti un amplificatore non invertente con un guadagno ad anello chiuso di 40 dB e una resistenza di uscita inferiore a $0.1 \, \Omega$. Si utilizzi un amplificatore operazionale con resistenza di uscita pari a $200 \, \Omega$. Qual è il valore minimo del guadagno ad anello aperto necessario affinché le specifiche siano soddisfatte?

RISPOSTA 106 dB.

11.2.3 Resistenza di ingresso di valore finito

Analizziamo ora l'effetto di un valore finito della resistenza di ingresso dell'amplificatore operazionale sulla resistenza di ingresso delle configurazioni invertente e non invertente. Vedremo che l'effetto risulta sensibilmente diverso nei due casi.

Resistenza di ingresso dell'amplificatore non invertente

Analizziamo dapprima il circuito relativo all'amplificatore non invertente, mostrato in Figura 11.6, in cui è applicato all'ingresso un generatore di prova v_x . Per calcolare R_{in} occorre determinare la corrente i_x , data da:

$$i_x = \frac{v_x - v_1}{R_{\text{id}}} \quad (11.27)$$

La tensione v_1 è pari a:

$$v_1 = i_1 R_1 = (i_2 - i_-) R_1 \approx i_2 R_1 \quad (11.28)$$

L'Equazione (11.28) è stata semplificata assumendo che la corrente di ingresso i_- dell'amplificatore operazionale possa ritenersi trascurabile rispetto alla corrente i_2 . Verificheremo questa approssimazione tra breve. L'approssimazione utilizzata è equivalente ad assumere $i_1 \approx i_2$, e permette di esprimere la tensione v_1 utilizzando la legge del partitore di tensione:

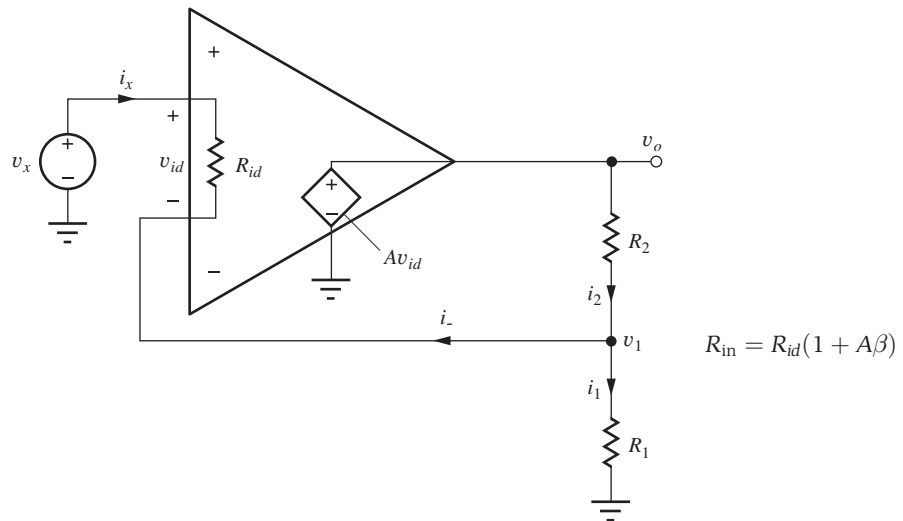
$$v_1 \approx \frac{R_1}{R_1 + R_2} v_o = \beta v_o = \beta(A v_{\text{id}}) = A\beta(v_x - v_1) \quad (11.29)$$

Esprimendo v_1 in funzione di v_x si ottiene:

$$v_1 = \frac{A\beta}{1 + A\beta} v_x \quad (11.30)$$

Figura 11.6

Resistenza di ingresso
dell'amplificatore non
invertente.



Sostituendo questa relazione nella (11.27) si ottiene l'espressione della resistenza di ingresso:

$$i_x = \frac{v_x - \frac{A\beta}{1 + A\beta} v_x}{R_{id}} = \frac{v_x}{(1 + A\beta)R_{id}} \quad \text{e} \quad R_{in} = R_{id}(1 + A\beta) = R_{id}(1 + T) \quad (11.31)$$

Dalla (11.31) si nota che la resistenza di ingresso è molto elevata, e molto maggiore della resistenza dell'amplificatore operazionale. Spesso il valore di R_{id} è di per sé molto elevato (da 1 MΩ a 1 TΩ), e viene moltiplicato secondo il guadagno di anello $A\beta$, che assume tipicamente valori molto superiori all'unità. Se nell'Equazione (11.31) il guadagno di anello tende a infinito anche la resistenza di ingresso dell'amplificatore tende al valore ideale infinito. Benché il valore di R_{in} non possa raggiungere il valore infinito, può comunque arrivare a valori molto elevati. Questa elevatissima resistenza di ingresso è generata dal fatto che solo una piccola parte della tensione v_x cade sulla resistenza R_{id} (Equazione (11.13)) e quindi la corrente di ingresso è piccolissima. Anche in questo caso se si considera un operazionale con guadagno infinito (operazionale ideale), la corrente di ingresso è nulla, indipendentemente dal valore di R_{id} .

ESERCIZIO Determinare il valore nominale, il valore minimo e il valore massimo del guadagno ad anello aperto e della resistenza di ingresso per l'amplificatore operazionale AD745. Si ripeta il calcolo per l'operazionale OP-27.

RISPOSTE 132 dB; 120 dB; il valore massimo non è specificato; 10 GΩ; i valori massimo e minimo non sono specificati; 6 MΩ; 1.3 MΩ; il valore massimo non è specificato.

Esempio 11.4

RESISTENZA DI INGRESSO DELL'AMPLIFICATORE NON INVERTENTE

Calcolo del valore della resistenza di ingresso di un amplificatore retroazionato non invertente.

PROBLEMA L'amplificatore non invertente in Figura 11.6 è realizzato con un operazionale caratterizzato da una resistenza di ingresso di 2 MΩ e da un guadagno ad anello aperto di 90 dB. Si calcoli la resistenza di ingresso assumendo $R_1 = 20 \text{ k}\Omega$ e $R_2 = 510 \text{ k}\Omega$.

SOLUZIONE **Informazioni e dati noti:** È specificata la configurazione non invertente con $R_1 = 20 \text{ k}\Omega$, $R_2 = 510 \text{ k}\Omega$. Per l'operazionale risulta: $A = 90 \text{ dB}$ e $R_{id} = 2 \text{ M}\Omega$.

Incognite: La resistenza di ingresso dell'amplificatore R_{in} .

Approccio: Si farà uso della (11.31) includendo A , R_{id} e le due resistenze di retroazione.

Ipotesi: L'operazionale è ideale a eccezione del valore finito del guadagno e della resistenza di ingresso.

Analisi: Occorre innanzitutto determinare β , che dipende dalle resistenze della rete di retroazione:

$$\beta = \frac{R_1}{R_1 + R_2} = \frac{20 \text{ k}\Omega}{20 \text{ k}\Omega + 510 \text{ k}\Omega} = \frac{1}{26.5}$$

Occorre anche valutare il valore numerico di A :

$$R_{id} = 2 \text{ M}\Omega \quad \text{e} \quad A = 10^{90 \text{ dB}/20 \text{ dB}} = 31\,600$$

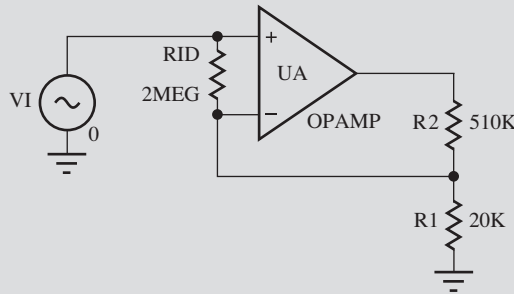
La resistenza di ingresso ad anello chiuso risulta quindi:

$$R_{in} = R_{id}(1 + A\beta) = 2 \text{ M}\Omega \left[1 + \frac{31\,600}{26.5} \right] = 2.39 \times 10^9 \Omega = 2.39 \text{ G}\Omega$$

Verifica dei risultati: La resistenza di uscita è stata determinata. Il valore è molto elevato come ci si poteva aspettare.

Discussione: Il valore della resistenza di ingresso dell'amplificatore non invertente risulta molto elevato (benché non infinito come per l'operazionale ideale). In effetti il valore calcolato è così elevato che dobbiamo tener conto di altri fattori che possono limitare la resistenza di ingresso, come le correnti di perdita della scheda sul quale viene montato l'operazionale oppure la resistenza di ingresso di modo comune (si veda il Paragrafo 8.3.4).

Analisi assistita da calcolatore: Per analizzare l'effetto del valore finito della resistenza di ingresso possiamo aggiungere una resistenza di ingresso $R_{ID} = 2 \text{ MEG}$ nel circuito, come mostrato in figura. Il guadagno di OPAMP è posto pari a 31 600. Dall'analisi della funzione di trasferimento si ottiene $A_v = 26.5$ e $R_{in} = 2.39 \text{ G}\Omega$.



ESERCIZIO Si consideri un amplificatore non invertente con $R_{id} = 1 \text{ M}\Omega$, con $R_1 = 10 \text{ k}\Omega$ e $R_2 = 390 \text{ k}\Omega$, e un guadagno ad anello aperto di 80 dB. Si calcoli la resistenza di ingresso dell'amplificatore complessivo. Si calcolino le correnti I_- e I_1 assumendo una tensione continua di ingresso pari a $V_I = 1 \text{ V}$. È verificata la disuguaglianza $I_- \ll I_1$?

RISPOSTE 251 M Ω ; -3.98 nA, 100 μA ; sì.

Dai valori numerici ottenuti nell'Esempio 11.4 e nell'esercizio precedente è facile verificare che la corrente I_- , che risulta uguale alla corrente $-i_x$ è piccola rispetto alla corrente che attraversa R_1 e R_2 . Pertanto l'ipotesi semplificativa utilizzata per ricavare le (11.28) e (11.29) è giustificata.

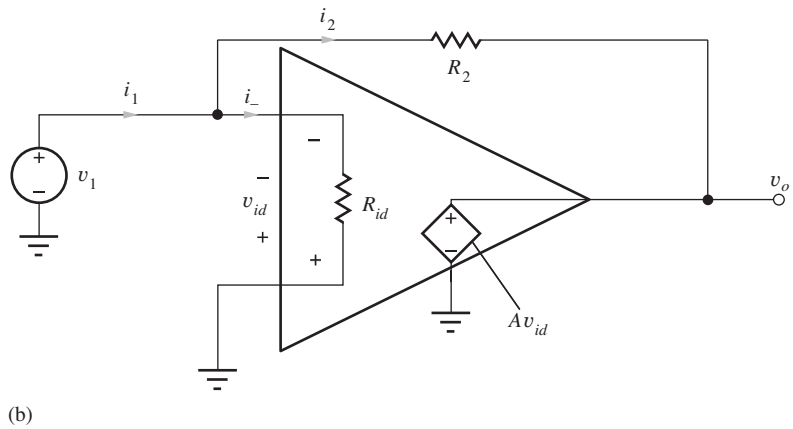
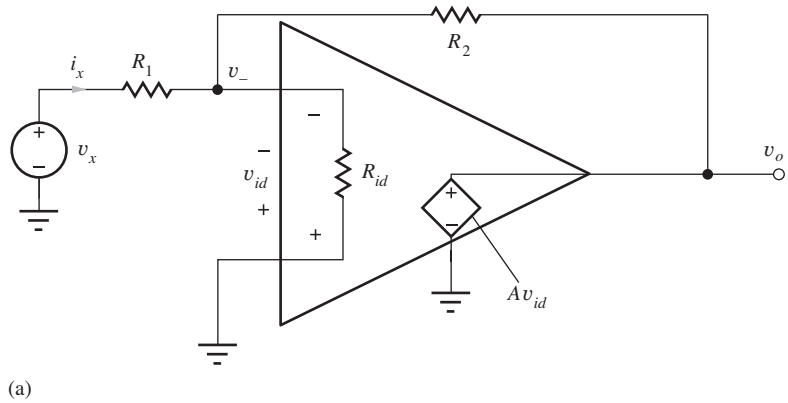
Resistenza di ingresso per la configurazione invertente

La resistenza di ingresso dell'amplificatore invertente può essere determinata utilizzando il circuito in Figura 11.7(a). La resistenza di ingresso è data da

$$R_{in} = \frac{v_x}{i_x} \quad (11.32)$$

Figura 11.7

Calcolo della resistenza di ingresso dell'amplificatore invertente: (a) amplificatore completo, (b) amplificatore senza R_1 .



dove il segnale di prova v_x può essere espresso da:

$$v_x = i_x R_1 + v_- \quad \text{e} \quad R_{in} = R_1 + \frac{v_-}{i_x} \quad (11.33)$$

La resistenza di ingresso complessiva R_{in} è pari alla somma di R_1 e della resistenza che si osserva all'ingresso dell'amplificatore operazionale, che può essere determinata utilizzando il circuito di Figura 11.7(b). La corrente di ingresso in Figura 11.7(b) risulta:

$$i_1 = i_- + i_2 = \frac{v_1}{R_{id}} + \frac{v_1 - v_o}{R_2} = \frac{v_1}{R_{id}} + \frac{v_1 + A v_1}{R_2} \quad (11.34)$$

Utilizzando questa relazione la conduttanza di ingresso può essere espressa nella forma:

$$G_1 = \frac{i_1}{v_1} = \frac{1}{R_{id}} + \frac{1+A}{R_2} \quad (11.35)$$

La conduttanza G_1 è espressa come somma di due conduttanze. La resistenza equivalente che si osserva al terminale invertente è data quindi dal parallelo di due resistenze:

$$R_{id} \parallel \left(\frac{R_2}{1+A} \right) \quad (11.36)$$

e la resistenza di ingresso complessiva dell'amplificatore invertente risulta:

$$R_{in} = R_1 + R_{id} \parallel \left(\frac{R_2}{1+A} \right) \quad (11.37)$$

Di solito R_{id} assume valori elevati, e la (11.37) può essere semplificata come segue:

$$R_{in} \approx R_1 + \left(\frac{R_2}{1+A} \right) \quad (11.38)$$

Per valori elevati di A , e per i valori usuali della resistenza R_2 , la resistenza di ingresso assume valori prossimi a quello ideale: $R_{in} \approx R_1$. Si vede quindi che la resistenza di ingresso può essere approssimata alla resistenza R_1 , e si noti che v_{id} non è pari a zero per un amplificatore con valore finito del guadagno.

ESERCIZIO Si determini la resistenza di ingresso R_{in} di un amplificatore invertente con $R_1 = 1 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_{id} = 1 \text{ M}\Omega$ e $A = 100 \text{ dB}$. Qual è la variazione di R_{in} rispetto al valore ideale?

RISPOSTE $1001 \text{ }\Omega$; $1 \text{ }\Omega$ rispetto a $1000 \text{ }\Omega$, ovvero lo 0.1%.

11.2.4 Riepilogo delle caratteristiche delle configurazioni non ideali invertente e non invertente

La Tabella 11.1 mostra un riepilogo delle espressioni semplificate relative al guadagno di tensione ad anello chiuso, alla resistenza di ingresso e alla resistenza di uscita per le configurazioni invertente e non invertente, ampiamente utilizzate nel progetto di questi circuiti fondamentali.

I circuiti con amplificatori operazionali sono in genere progettati in modo da avere un guadagno di anello ($T = A\beta$) molto elevato, in questo modo le espressioni semplificate della Tabella 11.1 sono in genere corrette. Tranne che per i circuiti di altissima precisione, l'errore causato dal guadagno finito sarà trascurabile e, in effetti, saranno le tolleranze sulle resistenze impiegate a essere la fonte principale dell'errore di guadagno finale. Grandi valori di T garantiscono bassi valori della resistenza di uscita, anche se va ricordato che la resistenza di uscita dipende anche dal valore stesso di T . La resistenza di ingresso dell'amplificatore invertente è approssimativamente uguale a R_1 , mentre quella dell'amplificatore non invertente è molto grande ma dipende direttamente dal guadagno di anello T .

11.3 Circuiti con retroazione serie e parallelo

Le proprietà degli amplificatori retroazionati sono riassunte nella Tabella 11.1 e si riferiscono ai casi di retroazione serie e parallelo. Quando si applicano alla porta (ingresso o uscita) di un amplificatore, la retroazione serie in genere aumenta il livello dell'impedenza alla porta mentre la retroazione parallelo la riduce.

11.3.1 Categorie di amplificatori con retroazione

I due tipi di retroazione, serie o parallelo, applicati alle porte di ingresso e uscita dell'amplificatore danno origine a quattro possibili combinazioni di retroazione serie e parallelo. Queste combinazioni sono mostrate in Figura 11.8 e le loro caratteristiche sono elencate in Tabella 11.2, dove si sono rappresentate tensioni e correnti con le loro trasformate di Laplace, poiché queste proprietà valgono anche per circuiti con impedenze generiche. I prossimi paragrafi analizzeranno in dettaglio ogni possibile configurazione.

In questo testo le indicazioni serie o parallelo specificano la connessione rispettivamente alla porta di ingresso e alla porta di uscita, ma esiste anche la convenzione opposta, che mette l'enfasi sulla rete di retroazione e specifica prima la connessione alla porta di uscita e poi quella di ingresso. Così una retroazione serie-parallelo qui indicherà che il collegamento sull'ingresso è in serie e sull'uscita in parallelo e quindi si ha un amplificatore di tensione, ma è possibile anche trovare la convenzione opposta in cui retroazione serie-parallelo indica un collegamento in serie sull'uscita e parallelo sull'ingresso, dando origine a un amplificatore di corrente.

Tabella 11.1 Riepilogo relativo alle configurazioni invertente e non invertente

$\beta = \frac{R_1}{R_1 + R_2} T = A\beta$	Amplificatore invertente	Amplificatore non invertente
Guadagno di tensione A_v	$-\frac{R_2}{R_1} \left(\frac{T}{1+T} \right) \approx -\frac{R_2}{R_1}$	$\frac{A}{1+T} \approx \frac{1}{\beta} = 1 + \frac{R_2}{R_1}$
Resistenza di ingresso R_{in}	$R_1 + R_{id} \parallel \frac{R_2}{1+A} \approx R_1$	$R_{id}(1+T) \approx R_{id}T$
Resistenza di uscita R_{out}	$\frac{R_o}{1+T} \approx \frac{R_o}{T}$	$\frac{R_o}{1+T} \approx \frac{R_o}{T}$
Errore relativo di guadagno	$\frac{1}{1+T}$	$\frac{1}{1+T}$

Figura 11.8

I quattro tipi di retroazione.

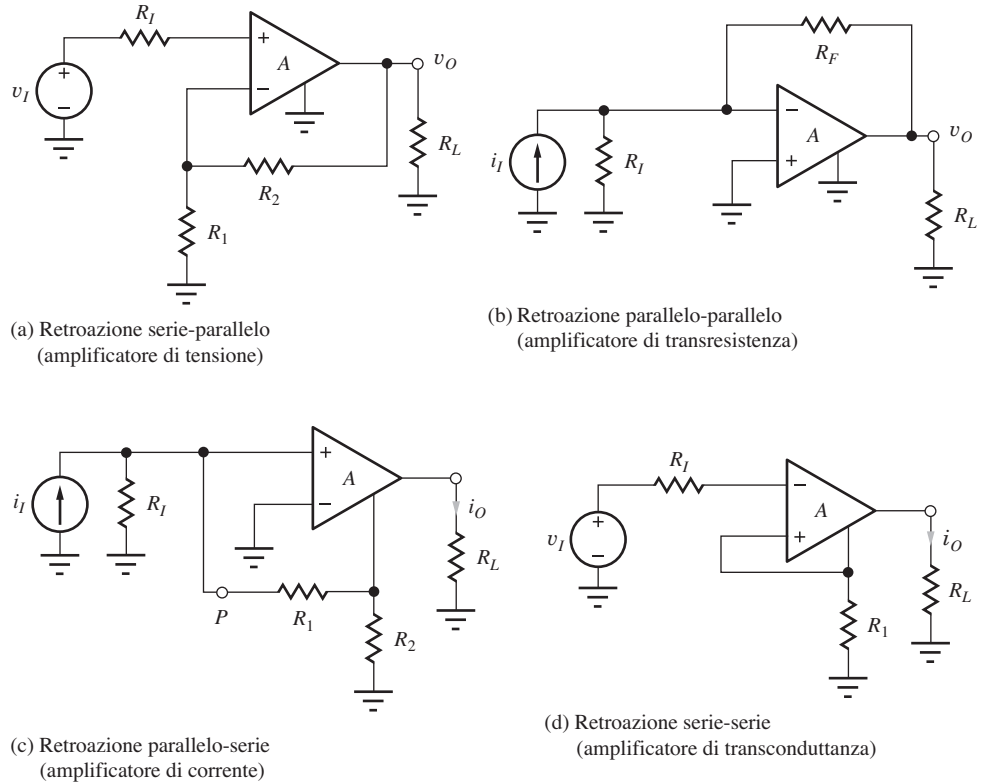


Tabella 11.2 Categorie di amplificatori retroazionati

Tipo di retroazione ingresso-uscita	Tipo di amplificatore e definizione del guadagno
Serie-parallelo	Amplificatore di tensione $A_v = \frac{V_o}{V_i}$
Parallelo-parallelo	Amplificatore di transresistenza $A_{tr} = R_m = \frac{V_o}{I_i}$
Parallelo-serie	Amplificatore di corrente $A_i = \frac{I_o}{I_i}$
Serie-serie	Amplificatore di transconduttanza $A_{tc} = G_m = \frac{I_o}{V_i}$

11.3.2 Amplificatore di tensione, retroazione serie-parallelo

Un amplificatore di tensione deve avere un'elevata impedenza di ingresso per prelevare la tensione voluta senza introdurre una partizione di tensione e una bassa resistenza di uscita per pilotare il carico esterno. Queste richieste corrispondono al circuito con retroazione serie-parallelo di Figura 11.8(a). Per ottenere il comportamento desiderato le porte di ingresso dell'amplificatore e della retroazione sono collegate in serie, mentre le porte di uscita sono collegate in parallelo. L'amplificazione di un amplificatore di tensione, essendo il rapporto di due tensioni, è adimensionato.

11.3.3 Amplificatore di transimpedenza, retroazione parallelo-parallelo

Un amplificatore di transimpedenza converte una corrente di ingresso in una tensione di uscita e deve quindi avere una bassa impedenza di ingresso per assorbire tutta la corrente disponibile della sorgente e una bassa impedenza di uscita per pilotare in tensione il carico esterno. Queste specifiche corrispondono al circuito con retroazione parallelo-parallelo di Figura 11.8(b). Per avere questo comportamento le porte di amplificatore e rete di retroazione sul lato ingresso sono collegate in parallelo, come pure le porte di uscita sono collegate in parallelo. L'amplificazione di un amplificatore di transimpedenza, rapporto tensione su corrente, ha le dimensioni di una impedenza.

11.3.4 Amplificatore di corrente, retroazione parallelo-serie

Un amplificatore di corrente deve presentare una bassa resistenza di ingresso e una sorgente di corrente in uscita con alta resistenza. Queste caratteristiche corrispondono alla retroazione parallelo-serie di Figura 11.8(c). Le porte di ingresso dell'amplificatore e della rete di retroazione sono collegate in parallelo, mentre le due porte sull'uscita sono collegate in serie. L'amplificazione di un amplificatore di corrente, essendo il rapporto di due correnti, è adimensionato.

11.3.5 Amplificatore di transconduttanza, retroazione serie-serie

L'ultima configurazione di retroazione è l'amplificatore di transconduttanza che converte una tensione di ingresso in una corrente in uscita. Questo amplificatore deve presentare un'alta resistenza sia in ingresso sia in uscita e corrisponde al circuito con retroazione serie-serie di Figura 11.8(d) in cui le porte di amplificatore e rete di retroazione sia all'ingresso sia all'uscita sono collegate in serie. L'amplificazione di un amplificatore di transconduttanza, rapporto corrente su tensione, ha le dimensioni di una ammettenza.

11.4 Metodo generale per il calcolo del guadagno di amplificatori retroazionati

Si è visto che il guadagno di anello T gioca un ruolo molto importante nella definizione del guadagno, della resistenza di ingresso e di uscita dell'amplificatore retroazionato. Vedremo inoltre che T determina anche la stabilità dell'amplificatore. A causa della sua importanza, è opportuno avere un modello generale dell'amplificatore per poterne trovare il guadagno di anello direttamente dal circuito, non solo in modo teorico, ma anche numericamente usando SPICE e sperimentalmente da misure sul circuito. Nel resto di questo capitolo svilupperemo e useremo un metodo generale per calcolare guadagno e resistenze associate a un amplificatore retroazionato.

11.4.1 Analisi del guadagno ad anello chiuso

Il guadagno ad anello chiuso per le quattro configurazioni di Figura 11.8 può essere scritto in modo generale come abbiamo ricavato nel Paragrafo 11.2

$$A_x = A_x^{\text{Ideale}} \left(\frac{T}{1 + T} \right) \quad (11.39)$$

Il guadagno ideale A_x^{Ideale} di ciascun amplificatore è definito dalla sua rete di retroazione e T è il guadagno di anello dell'amplificatore. Nel seguito si calcolerà T includendo l'effetto di R_{id} , R_o , R_i , R_L e della rete di retroazione. Gli effetti di carico di questi componenti sono stati in precedenza trascurati, ma possono essere importanti in molti circuiti reali.

11.4.2 Calcolo della resistenza con il teorema di Blackman

R. B. Blackman è stato un componente del gruppo di persone che ha studiato per primo le proprietà degli amplificatori retroazionati presso i Bell Laboratories negli anni '30 e '40 [4]. Il teorema di Blackman fornisce un metodo generale per calcolare le impedenze in un circuito con retroazione. Il suo importante risultato è indicato nell'Equazione (11.40) e fornisce un modo alternativo per calcolare tutte le impedenze in un circuito retroazionato, comprese quelle di ingresso e uscita [4], che sono spesso le più importanti.

$$R_X = R_X^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.40)$$

In questa equazione, R_X è la resistenza fra due qualsiasi nodi di un amplificatore retroazionato, R_X^D è la resistenza vista agli stessi due nodi con la retroazione annullata (sistema morto), T_{SC} è il guadagno di anello calcolato cortocircuitando i due nodi ai quali si vuole trovare l'impedenza e T_{OC} è il guadagno di anello con gli stessi due nodi aperti.

Per applicare il teorema di Blackman dobbiamo come prima cosa decidere a quali nodi vogliamo calcolare l'impedenza. Per esempio, spesso si vuole trovare l'impedenza di ingresso o quella di uscita ad anello chiuso di un amplificatore e questa resistenza è quella che compare fra il nodo di ingresso o di uscita e il riferimento. Poi si deve scegliere un generatore pilotato contenuto nel circuito equivalente dell'amplificatore. Usiamo questo generatore pilotato per annullare il guadagno di anello, e lo stesso generatore deve anche essere usato come generatore di riferimento per trovare i guadagni di anello T_{SC} e T_{OC} . La resistenza R_X^D rappresenta la resistenza vista fra i due morsetti su cui vogliamo trovare l'impedenza calcolata con il guadagno del generatore pilotato annullato (posto a zero), mentre T_{SC} e T_{OC} sono calcolati con i nodi su cui si vuole l'impedenza rispettivamente in cortocircuito e in circuito aperto. Questo procedimento risulterà più chiaro con gli esempi dei paragrafi seguenti.

11.5 Retroazione serie-parallelo - amplificatore di tensione

L'amplificatore non invertente è stato ridisegnato in Figura 11.9 per mostrare più chiaramente i collegamenti serie e parallelo tra amplificatore e rete di retroazione F . All'operazionale sono state aggiunte esplicitamente la resistenza di ingresso R_{id} e la resistenza di uscita R_o . La rete di retroazione è formata da R_1 e R_2 e le corrispondenti tensioni di porta di ingresso e uscita v_{if} e v_{of} sono anch'esse definite in figura. Sul lato dell'ingresso, la tensione di ingresso v_i applicata al circuito è pari alla tensione di ingresso dell'operazionale sommata alla tensione che arriva dalla rete di retroazione: $v_i = v_{id} + v_{of}$. Si è in presenza di un **confronto in serie** (o **confronto in tensione**) perché le tensioni di ingresso dell'amplificatore e della rete di retroazione sono in serie. Molto spesso in presenza di collegamento in serie sull'ingresso, il segnale che arriva dall'esterno e il segnale che torna indietro attraverso la rete di retroazione sono applicati su due nodi diversi del dispositivo attivo (operazionale o transistor).

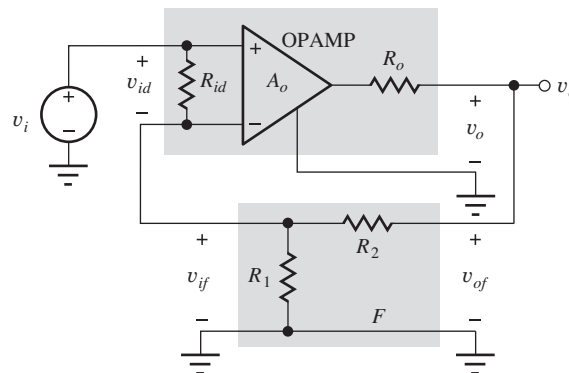
All'uscita vediamo che la tensione sulla rete di retroazione è uguale alla tensione di uscita dell'operazionale: $v_{of} = v_o$. L'uscita dell'amplificatore e la rete di retroazione sono collegate in parallelo e si è in presenza di un **prelievo in parallelo** (o **prelievo in tensione**). Questo amplificatore è chiamato amplificatore con **retroazione serie-parallelo** (oppure **tensione-tensione**). Come indicato in Tabella 11.1, il guadagno di questa configurazione è definito dalla rete di retroazione; ci si aspetta che la resistenza di ingresso aumenti rispetto a quella dell'operazionale R_{id} a causa della retroazione in serie all'ingresso e che la resistenza di uscita sia ridotta rispetto a quella dell'operazionale R_o a causa del prelievo in parallelo della retroazione.

11.5.1 Calcolo del guadagno ad anello chiuso

Per trovare il guadagno ad anello chiuso dell'amplificatore con retroazione serie-parallelo bisogna utilizzare l'Equazione (11.39) calcolando il guadagno di anello e il guadagno ideale.

$$A_v = A_v^{\text{ideale}} \left(\frac{T}{1 + T} \right) \quad \text{dove} \quad A_v^{\text{ideale}} = 1 + \frac{R_2}{R_1} \quad (11.41)$$

Figura 11.9
L'amplificatore non invertente
come amplificatore
retroazionato serie-parallelo.



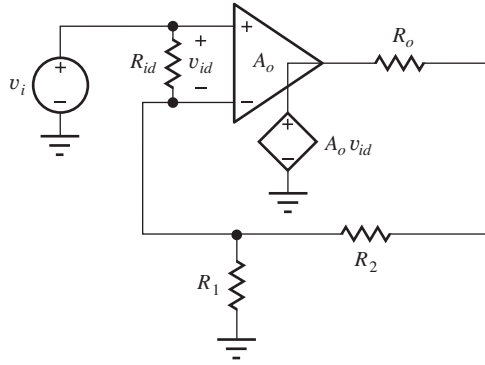


Figura 11.10
Amplificatore retroazionato
serie-parallelo.

Nel Capitolo 10 si è ricavato il guadagno ideale di una configurazione non invertente: $A_v^{\text{Ideale}} = 1 + (R_2/R_1)$.

Il guadagno di anello T rappresenta il guadagno totale facendo un percorso completo in avanti attraverso l'amplificatore e poi indietro, dall'uscita verso l'ingresso, passando attraverso la rete di retroazione. Facendo riferimento alla Figura 11.10, eliminiamo l'anello di retroazione in un qualunque punto, inseriamo una sorgente di prova e calcoliamo il guadagno lungo tutto l'anello. In un circuito con operazionale è comodo sfruttare il generatore pilotato già presente nel modello. Eliminiamo l'anello di retroazione assumendo che la grandezza pilota del generatore abbia un valore conosciuto v_{id} e che quindi il generatore pilotato generi una tensione $A_o v_{id}$ (per esempio, $v_{id} = 1$ V e quindi $A_o v_{id} = A_o \times 1$ V) e calcoliamo qual è la tensione di ingresso v_{id} quando il generatore genera $A_o \times 1$ V. Il guadagno di anello, che in questo caso è anche chiamato rapporto di ritorno, è pari al rapporto cambiato di segno fra la tensione v_{id} calcolata e il valore assunto inizialmente, in questo caso 1 V. Il cambiamento di segno è dovuto al fatto che in presenza di retroazione negativa si vuole T positivo.

Il guadagno di anello viene quindi calcolato risolvendo i partitori di tensione in Figura 11.10 oppure 11.11. Si osservi che quando si calcola il guadagno di anello, tutti i generatori indipendenti, per esempio l'ingresso v_i , devono essere annullati.

$$v_{id} = -A_o(1 \text{ V}) \frac{(R_1 \parallel R_{id})}{(R_1 \parallel R_{id}) + R_2 + R_o} \quad (11.42)$$

e

$$T = -\frac{v_{id}}{1 \text{ V}} = A_o \frac{R_1 \parallel R_{id}}{(R_1 \parallel R_{id}) + R_2 + R_o} \quad (11.43)$$

Il guadagno di anello calcolato in questo modo tiene conto degli effetti delle resistenze non ideali. R_{id} va in parallelo a R_1 della rete di retroazione, mentre R_o va in serie a R_2 . Nel caso in cui $R_{id} \gg R_1$ e $R_o \ll R_2$, il guadagno di anello vale $T = A_o \frac{R_1}{R_1 + R_2}$, se invece le resistenze dell'operazionale non sono trascurabili il guadagno di anello viene ridotto.

11.5.2 Calcolo della resistenza di ingresso

Calcoliamo ora la resistenza di ingresso facendo uso del teorema di Blackman, Equazione (11.40).

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.44)$$

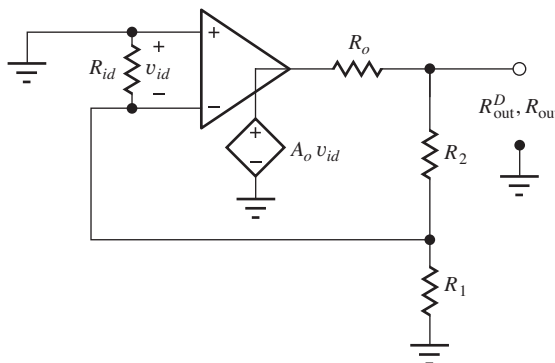
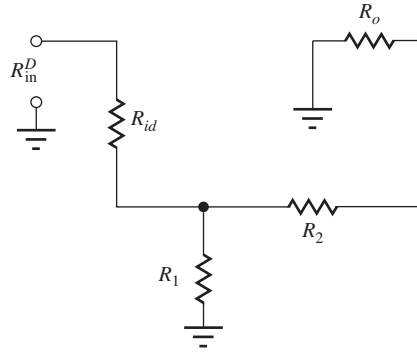


Figura 11.11
Circuito per il calcolo di T
e di R_{out} .

Figura 11.12Circuito per il calcolo di R_{in}^D .

R_{in} è in generale la resistenza ad anello chiuso vista guardando in una qualunque coppia di morsetti (in una porta, in questo caso quella di ingresso), R_{in}^D è la resistenza guardando nella stessa porta ma con il guadagno di anello annullato, T_{SC} è il guadagno di anello con la porta su cui si vuole trovare l'impedenza in cortocircuito e T_{OC} il guadagno di anello con la stessa porta in circuito aperto.

Nella configurazione serie-parallelo, la resistenza di ingresso è la resistenza che si ha fra ingresso non invertente e riferimento. Calcoliamo R_{in}^D dal circuito di Figura 11.12, il cui il guadagno di anello è stato annullato ponendo $A_o = 0$. La resistenza R_{in}^D è calcolabile direttamente (a vista) e vale

$$R_{in}^D = R_{id} + [R_1 \parallel (R_2 + R_o)] \quad (11.45)$$

Per trovare T_{SC} cortocircuitiamo i terminali di ingresso del circuito originale (ingresso non invertente connesso al riferimento): si vede che il circuito risultante è identico a quello usato per calcolare T nell'Equazione (11.43), quindi $T_{SC} = T$. Per calcolare T_{OC} apriamo i terminali di ingresso. In questa configurazione la corrente attraverso R_{id} è nulla, quindi anche v_{id} è nulla e di conseguenza $T_{OC} = 0$. In generale, per circuiti appena più complessi di questi, non capita che uno dei due guadagni di anello T_{SC} o T_{OC} sia nullo, e in genere nessuno dei due è uguale a T .

L'espressione finale della resistenza di ingresso è quindi

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} = R_{in}^D \frac{1 + T}{1 + 0} = [R_{id} + R_1 \parallel (R_2 + R_o)](1 + T) \quad (11.46)$$

Confrontata con il risultato in Tabella 11.1, la resistenza di ingresso ora include gli effetti di R_1 , R_2 , R_o e le alterazioni al valore di T .

11.5.3 Calcolo della resistenza di uscita

Applicando di nuovo il teorema di Blackman si ha:

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.47)$$

Si osservi che i valori di T_{SC} e di T_{OC} dipendono dalla porta che si sta esaminando e che i valori da inserire nell'Equazione (11.47) sono in generale sempre diversi da quelli calcolati nel paragrafo precedente per l'impedenza di ingresso!

La resistenza di uscita è la resistenza vista fra il terminale di uscita dell'amplificatore e il terminale di riferimento. Calcoliamo R_{out}^D con il circuito di Figura 11.11 in cui si annulla il guadagno di anello azzerando A_o . Si può scrivere direttamente la resistenza di uscita come:

$$R_{out}^D = R_o \parallel (R_2 + R_1 \parallel R_{id}) \quad (11.48)$$

Per trovare T_{SC} si collega direttamente al riferimento il terminale di uscita v_o cortocircuitando così l'anello di retroazione e quindi $T_{SC} = 0$. T_{OC} viene calcolato lasciando aperti i terminali di uscita, ottenendo lo stesso circuito già analizzato in precedenza che dà il guadagno di anello T dell'Equazione (11.43) e quindi $T_{OC} = T$. L'espressione complessiva per la resistenza di uscita è quindi

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} = R_{out}^D \frac{1 + 0}{1 + T} = \frac{R_o \parallel (R_2 + R_1 \parallel R_{id})}{1 + T} \quad (11.49)$$

L'espressione trovata, rispetto a quella della Tabella 11.1, comprende anche l'effetto di R_1 , R_2 , R_{id} e del fatto che T è variato rispetto al caso ideale. Si osservi che i guadagni di anello T_{SC} e T_{OC} sono opposti rispetto a quelli usati per il calcolo della resistenza di ingresso.

Nell'analisi sul comportamento del circuito ad anello chiuso delle resistenze di ingresso e di uscita fatta all'inizio di questo capitolo abbiamo ipotizzato più volte che la corrente di ingresso dell'operazionale fosse trascurabile rispetto alla corrente nella rete di retroazione, cioè che $R_{id} \gg R_1$. Invece l'analisi appena svolta prescinde da ipotesi semplificative e tiene conto in modo esatto delle resistenze di ingresso e di uscita; quest'analisi può essere estesa a casi più complicati (Esempio 11.5). Si osservi che se $R_{id} \gg R_1$ e $R_1 + R_2 \gg R_o$ allora $T \approx A_o \beta$.

11.5.4 Riepilogo dell'amplificatore con retroazione serie-parallelo

Per quanto riguarda l'amplificatore con retroazione serie-parallelo, l'analisi diretta del guadagno di anello ha portato ai seguenti risultati (11.50):

$$A_v = \left(1 + \frac{R_2}{R_1}\right) \frac{T}{1+T} \quad R_{in} = R_{in}^D(1+T) \quad R_{out} = \frac{R_{out}^D}{1+T} \quad (11.50)$$

Queste espressioni sono identiche a quelle trovate all'inizio del capitolo e riepilogate nelle Tabelle 11.1 e 11.2. La resistenza di ingresso viene aumentata dalla retroazione in serie all'ingresso, mentre la resistenza di uscita viene ridotta dal collegamento in parallelo della retroazione sull'uscita. A differenza di quanto trovato all'inizio del capitolo, ora le resistenze e il guadagno di anello tengono conto degli effetti delle resistenze nel circuito. L'applicazione di questa teoria è mostrata nell'esempio seguente.

ANALISI DI UN AMPLIFICATORE CON RETROAZIONE SERIE-PARALLELO

Esempio 11.5

In questo esempio sono calcolate le caratteristiche ad anello chiuso di un amplificatore basato su operazionale con retroazione serie-parallelo, facendo uso del guadagno di anello. L'analisi viene estesa per includere anche la resistenza della sorgente.

Trovare il guadagno ad anello chiuso, la resistenza di ingresso e la resistenza di uscita per l'amplificatore con retroazione serie-parallelo di Figura 11.9, assumendo che l'operazionale abbia un guadagno di 80 dB, una resistenza di ingresso di 25 k Ω e una resistenza di uscita di 1 k Ω . L'amplificatore ha all'ingresso una sorgente di tensione con una resistenza interna di 2 k Ω e la rete di retroazione è costituita da $R_2 = 91$ k Ω e $R_1 = 10$ k Ω .

PROBLEMA

Informazioni e dati noti: Il circuito è rappresentato nella Figura 11.13 in cui è stata aggiunta la resistenza interna del generatore di ingresso. L'operazionale ha $A_o = 80$ dB, $R_{id} = 25$ k Ω e $R_o = 1$ k Ω .

SOLUZIONE

Incognite: Guadagno ad anello chiuso A_v , resistenza di ingresso ad anello chiuso R_{in} , resistenza di uscita ad anello chiuso R_{out} .

Approccio: Si trovano A_v^{ideale} , T , R_{in}^D , R_{out}^D , poi si calcolano i valori delle grandezze cercate usando le formule sviluppate in questo paragrafo.

Ipotesi: L'operazionale è ideale, tranne che per A_v , R_{id} ed R_o .

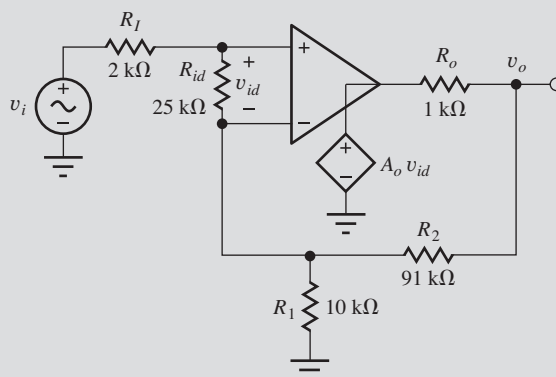
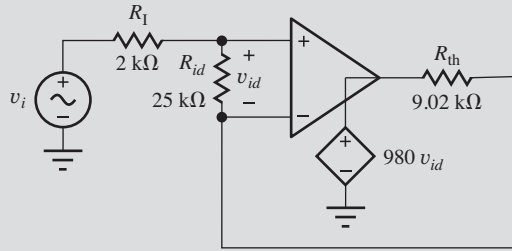


Figura 11.13
Amplificatore con retroazione serie-parallelo e resistenza della sorgente.

Figura 11.14

Amplificatore con retroazione serie-parallelo con equivalente Thévenin.



Analisi: L'amplificatore con la resistenza di sorgente è mostrato in Figura 11.13.

Analisi dell'amplificatore: Dalla Figura 11.13 si ha

$$A_v^{\text{Ideale}} = 1 + \frac{R_2}{R_1} = 1 + \frac{91 \text{ k}\Omega}{10 \text{ k}\Omega} = 10.1$$

$$R_{\text{in}}^D = R_I + R_{id} + R_1 \parallel (R_2 + R_o)$$

$$R_{\text{in}}^D = 2 \text{ k}\Omega + 25 \text{ k}\Omega + 10 \text{ k}\Omega \parallel (91 \text{ k}\Omega + 1 \text{ k}\Omega) = 36.0 \text{ k}\Omega$$

$$R_{\text{out}}^D = R_o \parallel [R_2 + R_1 \parallel (R_{id} + R_I)]$$

$$R_{\text{out}}^D = 1 \text{ k}\Omega \parallel [91 \text{ k}\Omega + 10 \text{ k}\Omega \parallel (25 \text{ k}\Omega + 2 \text{ k}\Omega)] = 990 \Omega$$

Il calcolo del guadagno di anello si semplifica se prima si trova l'equivalente Thévenin del generatore pilotato dell'operazionale con R_o , R_2 e R_1 , come mostrato in Figura 11.14.

$$v_{\text{th}} = A_o v_{id} \frac{R_1}{R_o + R_2 + R_1} = 10^4 v_{id} \frac{10 \text{ k}\Omega}{1 \text{ k}\Omega + 91 \text{ k}\Omega + 10 \text{ k}\Omega} = 980 v_{id}$$

$$R_{\text{th}} = R_1 \parallel (R_2 + R_o) = 10 \text{ k}\Omega \parallel (91 \text{ k}\Omega + 1 \text{ k}\Omega) = 9.02 \text{ k}\Omega$$

Per trovare il guadagno di anello supponiamo inizialmente $v_{id} = 1 \text{ V}$ in Figura 11.14, troviamo il valore di tensione generata dal generatore pilotato dell'equivalente Thévenin e ricalcoliamo il valore di v_{id} .

$$v_{id} = -v_{\text{th}} \frac{R_{id}}{R_{\text{th}} + R_{id} + R_I} = -980(1 \text{ V}) \frac{25 \text{ k}\Omega}{9.02 \text{ k}\Omega + 25 \text{ k}\Omega + 2 \text{ k}\Omega} = -680$$

$$T = -\frac{v_{id}}{1 \text{ V}} = 680$$

Risultati ad anello chiuso:

$$A_v = \left(1 + \frac{R_2}{R_1}\right) \frac{T}{1 + T} = \left(\frac{1 + 91 \text{ k}\Omega}{10 \text{ k}\Omega}\right) \frac{680}{1 + 680} = 10.1$$

$$R_{\text{in}} = R_{\text{in}}^D (1 + T) = 36.0 \text{ k}\Omega (1 + 680) = 24.5 \text{ M}\Omega$$

$$R_{\text{out}} = \frac{R_{\text{out}}^D}{1 + T} = \frac{990 \Omega}{1 + 680} = 1.45 \Omega$$

Verifica dei risultati: Abbiamo trovato le tre grandezze cercate. Il guadagno di anello è elevato, e ci si aspetta di trovare un guadagno circa pari a 10.1. La resistenza di ingresso trovata è molto più grande di quella dell'amplificatore operazionale stesso, mentre la resistenza di uscita è molto minore di quella dell'operazionale. Questi risultati sono conformi a quanto ci si può aspettare da una retroazione serie-parallelo.

Discussione: Questa analisi ha mostrato un metodo diretto per tenere conto degli effetti di un operazionale non ideale, come pure dell'effetto di carico della rete di retroazione e della resistenza della sorgente (e/o di carico) nel caso di amplificatore non invertente. In questo problema il valore di R_{id} , relativamente basso rispetto a R_1 e a R_I , riduce in modo significativo il guadagno di anello. Uno degli esercizi seguenti considererà l'aggiunta di una resistenza di carico.

Analisi assistita da calcolatore: L'analisi di funzione di trasferimento del circuito di Figura 11.13 fatta con SPICE, avendo aggiunto R_{id} in parallelo agli ingressi, R_o in serie all'uscita e con il guadagno fissato a 10000 volte, fornisce questi risultati: $A_v = 10.09$, $R_{in} = 24.54 \text{ M}\Omega$ e $R_{out} = 1.453 \text{ }\Omega$, valori molto simili a quelli ottenuti con il calcolo a mano.

ESERCIZIO Trovare il guadagno di anello, il guadagno di tensione ad anello chiuso, la resistenza di ingresso e la resistenza di uscita dell'amplificatore con retroazione serie-parallelo dell'Esempio 11.5 eliminando la resistenza di sorgente da $2 \text{ k}\Omega$.

RISPOSTE 720, 10.1, 24.5 $\text{M}\Omega$, 1.37 Ω .

ESERCIZIO Trovare il guadagno di anello, il guadagno di tensione ad anello chiuso, la resistenza di ingresso e quella di uscita per l'amplificatore con retroazione serie-parallelo dell'Esempio 11.5 quando si collega un carico da $5 \text{ k}\Omega$ all'uscita dell'amplificatore.

RISPOSTE 568, 10.1, 20.5 $\text{M}\Omega$, 1.45 Ω . Si osservi che la resistenza di ingresso dipende dalla resistenza di carico.

ESERCIZIO Quale sarebbe il guadagno di tensione ad anello chiuso, la resistenza di ingresso e quella di uscita del circuito con retroazione serie-parallelo dell'esercizio precedente se si trascurassero gli effetti di carico della rete di retroazione, di R_f e della resistenza di carico?

RISPOSTE 10.1, 24.8 $\text{M}\Omega$, 1.01 Ω .

DISCUSSIONE Si osservi che il guadagno ad anello chiuso rimane sostanzialmente stabile a causa dell'elevato valore del guadagno di anello, mentre le resistenze di ingresso e di uscita vengono modificate in modo significativo. La retroazione stabilizza il valore del guadagno in tensione, ma non quello delle resistenze di ingresso e uscita, come si deduce anche dal teorema di Blackman (11.42).

ESERCIZIO Quali sono i valori di A_v , R_{in} e R_{out} se nella Figura 11.14 si fissa il valore della resistenza di sorgente a $5 \text{ k}\Omega$?

RISPOSTE 10.1, 24.5 $\text{M}\Omega$, 1.57 Ω .



ELETTRONICA IN AZIONE



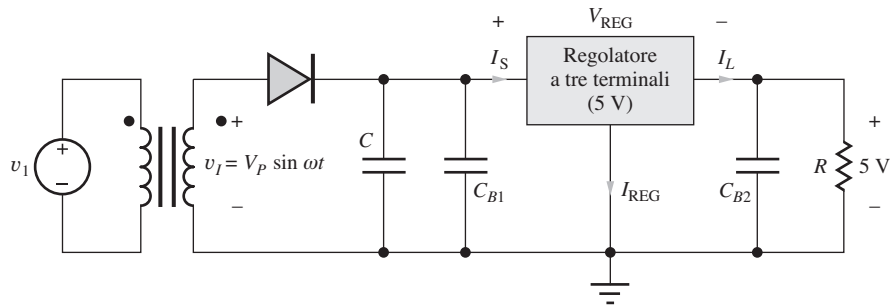
Regolatori di tensione a tre terminali

Non è semplice generare una tensione di uscita precisa e stabile con un circuito raddrizzatore quando varia la tensione di rete e cambia l'assorbimento del carico. Potrebbe essere necessario usare un trasformatore con avvolgimento *ad hoc* per avere la tensione desiderata e usare dei condensatori di livellamento di capacità molto elevata per ridurre l'ondulazione residua (*ripple*) a valori molto piccoli. Una soluzione decisamente migliore consiste nell'usare dei regolatori (o stabilizzatori) di tensione integrati per stabilizzare la tensione di uscita e rimuovere il ripple. Esistono regolatori integrati con uscita a tensione fissa in un ampio intervallo di valori come pure ci sono regolatori di tensione con tensione di uscita regolabile.

Un esempio di raddrizzatore con regolatore di tensione a tre terminali da 5 V è mostrato nella fi-

gura a inizio pagina successiva. Il regolatore usa la retroazione negativa con un amplificatore ad alto guadagno per ridurre il ripple di tensione in uscita. I **regolatori di tensione** forniscono anche un'eccezionale stabilità della tensione di uscita al variare della tensione di ingresso e con variazioni di corrente di carico di alcuni ordini di grandezza. Il condensatore C è il normale condensatore di livellamento di un raddrizzatore, mentre C_{B1} e C_{B2} , normalmente dell'ordine delle centinaia di nanofarad, sono condensatori che stabilizzano il funzionamento del regolatore e lo rendono più veloce nella risposta alle variazioni di carico.

Il regolatore attenua la tensione di ripple da 60 dB o più. Per minimizzare la dissipazione di potenza del regolatore si progetta il raddrizzatore con una tensione di ripple all'ingresso del regolatore relativa-



Raddrizzatore a singola semionda e regolatore di tensione a tre terminali.

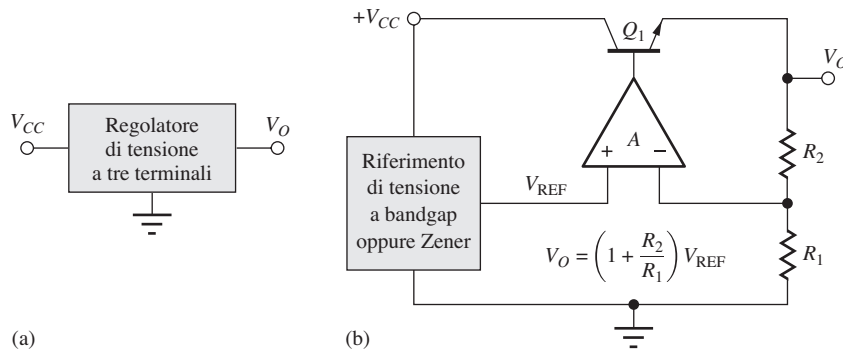
mente ampia, riducendo così la tensione media all'ingresso del regolatore. Il principale vincolo di progetto è dato dalla differenza di tensione ingresso-uscita V_{REG} ai capi del regolatore, che non deve scendere al di sotto di una tensione minima di *dropout* specificato per il regolatore, di solito dell'ordine di un paio di volt. La corrente I_{REG} necessaria per far funzionare il regolatore è dell'ordine di pochi milliampere ed è una piccola frazione della corrente totale fornita dal raddrizzatore $I_S = I_L + I_{REG}$.

I regolatori di tensione integrati sono di solito rea-

lizzati con un amplificatore con retroazione serie-parallelo, come mostrato nella figura seguente. L'operazionale forza la tensione di uscita, ridotta da un partitore, a essere uguale alla tensione di riferimento

$$V_O \left(\frac{R_1}{R_1 + R_2} \right) = V_{REF} \quad \text{o} \quad V_O = V_{REF} \left(1 + \frac{R_2}{R_1} \right)$$

Il transistor Q_1 , chiamato *pass transistor*, aumenta la capacità di pilotaggio in corrente dell'operazionale.



Regolatore a tre terminali (a) e sua struttura interna (b).

11.6 Retroazione parallelo-parallelo - amplificatore di transresistenza

In Figura 11.15(a) è riportato l'amplificatore di transresistenza del Capitolo 10 ridisegnato come amplificatore con retroazione parallelo-parallelo. In questo circuito la sorgente di ingresso è rappresentata con un equivalente Norton con corrente i_i e resistenza R_I . Le resistenze R_{id} e R_o sono state incluse per poterne valutare l'effetto sulle prestazioni complessive del circuito retroazionato. Sul lato ingresso la tensione riportata dalla rete di retroazione è collegata direttamente all'ingresso dell'operazionale $v_{if} = -v_{id}$, amplificatore e rete di retroazione sono collegate in parallelo e si ha quindi una **retroazione** (o **confronto**) parallelo all'ingresso, detta anche con **confronto in corrente**. All'uscita si ha $v_{of} = v_o$ e pertanto sull'uscita si ha un **prelievo in parallelo** o **prelievo in tensione**. Questa configurazione viene indicata come amplificatore con **retroazione parallelo-parallelo** (oppure **corrente-tensione**). In questo caso l'applicazione della retroazione dà una bassa resistenza di ingresso e una bassa resistenza di uscita, che è proprio quanto si vuole avere in un amplificatore di transimpedenza (corrente in ingresso, tensione in uscita).

11.6.1 Calcolo del guadagno ad anello chiuso

Per trovare il guadagno ad anello chiuso dell'amplificatore con retroazione parallelo-parallelo dobbiamo valutare l'Equazione (11.39) trovando il guadagno ideale A^{Ideale} e il guadagno di anello T

$$A_{tr} = A_{tr}^{\text{Ideale}} \left(\frac{T}{1+T} \right) \quad \text{dove} \quad A_{tr}^{\text{Ideale}} = -R_F \quad (11.51)$$

Abbiamo visto nel Capitolo 10 (Paragrafo 10.9.2) che il guadagno ideale di un amplificatore di transresistenza vale $A_{tr}^{\text{Ideale}} = -R_F$.

Per trovare il guadagno di anello T , si annulla come in precedenza l'anello di retroazione di Figura 11.15(b) assumendo, per esempio, che la tensione nel generatore pilotato sia $v_{id} = 1 \text{ V}$ e si calcola il valore che assume la tensione v_{id} quando il generatore pilotato genera $A_o \times 1 \text{ V}$. Nel calcolo del guadagno di anello bisogna annullare i generatori indipendenti in questo caso $i_i = 0$ pertanto il generatore di ingresso diventa un circuito aperto, e il valore di T diventa il rapporto fra l'effettivo valore di v_{id} diviso per il valore arbitrario assunto di 1 V , il tutto cambiato di segno. La tensione che torna sull'ingresso dell'operazionale, calcolata utilizzando un partitore di tensione, vale

$$v_{id} = -A_o(1 \text{ V}) \frac{R_{id} \parallel R_I}{R_o + R_F + (R_{id} \parallel R_I)} \quad (11.52)$$

$$T = -\frac{v_{id}}{1 \text{ V}} = A_o \frac{R_{id} \parallel R_I}{R_o + R_F + (R_{id} \parallel R_I)}$$

L'Equazione (11.52) permette di valutare l'effetto delle varie resistenze sul guadagno di anello. Se la resistenza equivalente di ingresso $R_I \parallel R_{id}$ è molto maggiore rispetto a $R_F + R_o$, il guadagno di anello si avvicina ad A_o . In caso contrario T può essere molto più piccolo del guadagno ad anello aperto dell'operazionale.

11.6.2 Calcolo della resistenza di ingresso

La resistenza di ingresso dell'amplificatore con retroazione parallelo-parallelo viene calcolata con il teorema di Blackman, Equazione (11.40):

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.53)$$

in cui la resistenza di ingresso è quella vista fra l'ingresso invertente e il potenziale di riferimento. R_{in}^D è la resistenza fra gli stessi due nodi quando il guadagno di anello viene annullato ponendo $A_o = 0$ in Figura 11.15(b). Il valore di R_{in}^D viene valutato direttamente a vista e vale

$$R_{in}^D = R_I \parallel R_{id} \parallel (R_F + R_o) \quad (11.54)$$

Per trovare T_{SC} si cortocircuitano i terminali di ingresso, forzando in questo modo v_{id} a essere nulla e spegnendo di fatto anche il generatore pilotato, ottenendo $T_{SC} = 0$. Per calcola-

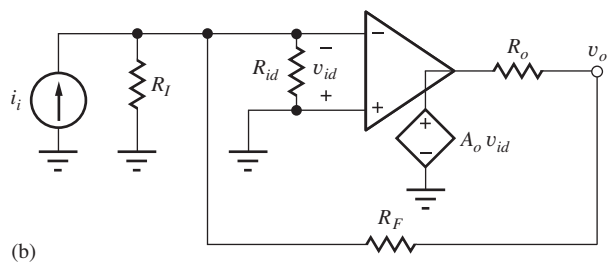
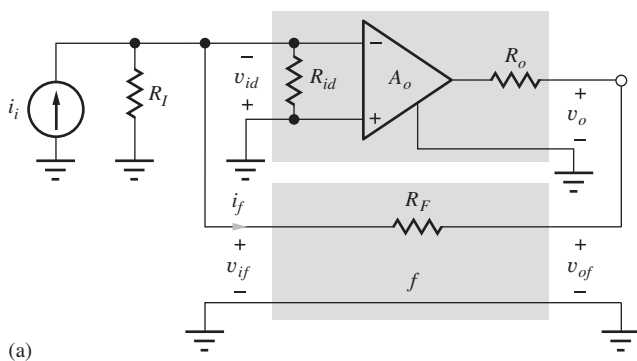


Figura 11.15
(a) Amplificatore di transresistenza con retroazione parallelo-parallelo;
(b) circuito per il calcolo del guadagno di anello.

re invece T_{OC} si lasciano aperti i terminali di ingresso e ci si ritrova nella stessa configurazione usata per calcolare T , perciò $T_{SC} = T$. L'espressione completa della resistenza di ingresso risulta quindi essere:

$$R_{in} = R_{in}^D \frac{1+0}{1+T} = \frac{R_I \| R_{id} \| (R_F + R_o)}{1+T} \quad (11.55)$$

Confrontando questo risultato con quanto indicato in Tabella 11.1, si ha che la resistenza di ingresso subisce anche l'influenza delle varie resistenze, anche parassite, e del guadagno di anello che viene anch'esso modificato. Nel caso di operazione ideale con T che tende a infinito, la resistenza ad anello chiuso R_{in} tende a zero.

11.6.3 Calcolo della resistenza di uscita

Per la resistenza di uscita il teorema di Blackman fornisce:

$$R_{out} = R_{out}^D \frac{1+T_{SC}}{1+T_{OC}} \quad (11.56)$$

La resistenza di uscita è quella vista fra il terminale di uscita dell'operazionale e il riferimento. Si calcola il valore di R_{out}^D ancora con lo schema di Figura 11.15(b) in cui si azzerà il guadagno di anello (sistema morto) ponendo $A_o = 0$. In questa condizione l'espressione di R_{out}^D può essere scritta direttamente a vista ottenendo

$$R_{out}^D = R_o \| (R_F + R_I \| R_{id}) \quad (11.57)$$

Per trovare T_{SC} si devono cortocircuitare i terminali di uscita, ma così facendo si annulla l'effetto del generatore pilotato e si ottiene $T_{SC} = 0$. Per trovare invece T_{OC} si lasciano aperti i terminali di uscita e ci si ritrova nella stessa configurazione usata per calcolare il guadagno di anello, Equazione (11.52) e quindi $T_{OC} = T$. L'espressione finale della resistenza di uscita diventa pertanto

$$R_{out} = R_{out}^D \frac{1+0}{1+T} = \frac{R_o \| (R_F + R_I \| R_{id})}{1+T} \quad (11.58)$$

Confrontando questo risultato con quello di Tabella 11.1, la resistenza di uscita ora comprende anche l'effetto di R_I , R_F e R_{id} come pure il fatto che il valore di T è stato modificato. Nel caso in cui $(R_F + R_I \| R_{id}) \gg R_o$, si ha che R_{out} tende a $R_o/(1+T)$. Se T tende a infinito, la resistenza di uscita tende a zero.

11.6.4 Riepilogo dell'amplificatore con retroazione parallelo-parallelo

L'analisi diretta con il guadagno di anello dell'amplificatore con retroazione parallelo-parallelo ha portato a questi risultati:

$$A_{tr} = (-R_F) \frac{T}{1+T} \quad R_{in} = \frac{R_{in}^D}{1+T} \quad R_{out} = \frac{R_{out}^D}{1+T} \quad (11.59)$$

Queste espressioni sono identiche a quelle trovate all'inizio di questo capitolo e riepilogate nelle Tabelle 11.1 e 11.2. Il guadagno ideale è definito dalla resistenza di retroazione R_F . La resistenza di ingresso viene ridotta dalla retroazione in parallelo all'ingresso e anche la resistenza di uscita viene ridotta dalla retroazione parallelo all'uscita. Tuttavia le equazioni ricavate includono anche l'effetto della resistenza di ingresso e di uscita dell'operazionale e il guadagno di anello tiene conto degli effetti di tutte le resistenze del circuito, come mostrato nell'Esempio 11.6.

ESERCIZIO Disegnare il circuito semplificato necessario per trovare R_{in}^D e R_{out}^D che si ha ponendo a zero il guadagno A_o e verificare che si ottengono le Equazioni (11.54) e (11.57).

ANALISI DELL'AMPLIFICATORE CON RETROAZIONE PARALLELO-PARALLELO

Esempio 11.6

Questo esempio valuta le caratteristiche ad anello chiuso di un amplificatore che fa uso di un operazionale con retroazione parallelo-parallelo. Sarà calcolato il guadagno ad anello chiuso e le resistenze di ingresso e uscita con il teorema di Blackman.

Trovare T e la transresistenza ad anello chiuso, la resistenza di ingresso e quella di uscita per l'amplificatore con retroazione parallelo-parallelo di Figura 11.15, assumendo che l'operazionale abbia un guadagno ad anello aperto di 80 dB, una resistenza di ingresso di 25 k Ω e una resistenza di uscita di 1 k Ω . Si analizzi il circuito con $R_I = 10$ k Ω , $R_F = 91$ k Ω e una resistenza di carico $R_L = 5$ k Ω .

PROBLEMA

Informazioni e dati noti: Il circuito con retroazione parallelo-parallelo è riportato in Figura 11.16, in cui sono state aggiunte la resistenza di sorgente e quella di carico. I dati sono $A_o = 80$ dB, $R_{id} = 25$ k Ω , $R_o = 1$ k Ω , $R_F = 91$ k Ω , $R_I = 10$ k Ω e $R_L = 5$ k Ω .

SOLUZIONE

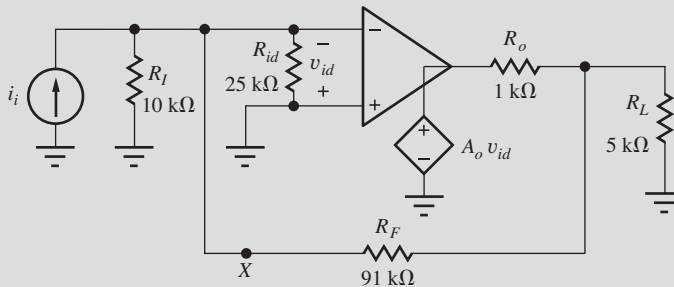


Figura 11.16
Amplificatore con retroazione parallelo-parallelo con resistenza di carico.

Incognite: Il guadagno ad anello chiuso A_{tr} , la resistenza di ingresso R_{in} e di uscita R_{out} entrambe ad anello chiuso.

Approccio: Si calcolano A_{tr}^{ideale} , T , R_{in}^D e R_{out}^D , poi si calcolano le grandezze cercate con le formule sviluppate in questa sezione.

Ipotesi: L'operazionale è ideale tranne per A_o , R_{id} e R_o

Analisi: Il guadagno ideale di questo stadio vale $-R_F$, quindi

$$A_{tr}^{ideale} = -R_F = -91 \text{ k}\Omega$$

Dobbiamo calcolare T e le resistenze con guadagno di anello annullato, tenendo conto anche dell'effetto della resistenza di carico.

$$R_{in}^D = R_I \parallel R_{id} \parallel (R_F + R_L \parallel R_o) = 10 \text{ k}\Omega \parallel 25 \text{ k}\Omega \parallel (91 \text{ k}\Omega + 5 \text{ k}\Omega \parallel 1 \text{ k}\Omega) = 6.63 \text{ k}\Omega$$

$$R_{out}^D = R_L \parallel R_o \parallel (R_F + R_I \parallel R_{id}) = 5 \text{ k}\Omega \parallel 1 \text{ k}\Omega \parallel (91 \text{ k}\Omega + 10 \text{ k}\Omega \parallel 25 \text{ k}\Omega) = 826 \Omega$$

Per calcolare il guadagno di anello si può dapprima calcolare l'equivalente Thévenin (al punto X) di R_F , R_o , R_L del generatore pilotato, ottenendo il circuito semplificato di Figura 11.17.

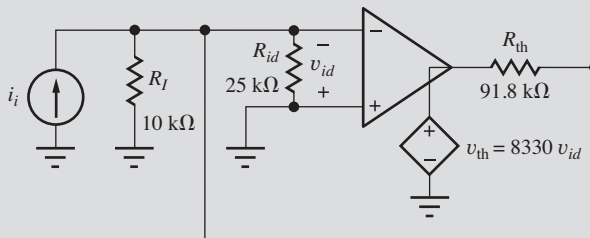


Figura 11.17
Amplificatore con trasformazione di Thévenin.

La tensione equivalente di Thévenin e la resistenza guardando indietro in R_F valgono

$$v_{th} = A_o v_{id} \frac{R_L}{R_o + R_L} = 10^4 v_{id} \frac{5 \text{ k}\Omega}{1 \text{ k}\Omega + 5 \text{ k}\Omega} = 8330 v_{id}$$

$$R_{th} = R_F + R_o \parallel R_L = 91 \text{ k}\Omega + 1 \text{ k}\Omega \parallel 5 \text{ k}\Omega = 91.8 \text{ k}\Omega$$

Il guadagno di anello si trova ponendo $A_o v_{id} = A_o = 1$ V e calcolando il conseguente v_{id}

$$v_{id} = -v_{th} \frac{R_I \parallel R_{id}}{R_{th} + R_I \parallel R_{id}} = -A_o(1 \text{ V}) \frac{R_L}{R_o + R_L} \frac{R_I \parallel R_{id}}{R_{th} + R_I \parallel R_{id}}$$

$$T = -\frac{v_{id}}{1 \text{ V}} = 10^4 \left(\frac{5 \text{ k}\Omega}{5 \text{ k}\Omega + 1 \text{ k}\Omega} \right) \left(\frac{10 \text{ k}\Omega \parallel 25 \text{ k}\Omega}{91.8 \text{ k}\Omega + 10 \text{ k}\Omega \parallel 25 \text{ k}\Omega} \right) = 602$$

Risultati ad anello chiuso:

$$A_{tr} = A_{tr}^{ideale} \frac{T}{1 + T} = -91 \text{ k}\Omega \frac{602}{1 + 602} = -90.9 \text{ k}\Omega$$

$$R_{in} = \frac{R_{in}^D}{1 + T} = \frac{6.63 \text{ k}\Omega}{603} = 11.0 \text{ }\Omega \quad R_{out} = \frac{R_{out}^D}{1 + T} = \frac{826 \text{ }\Omega}{603} = 1.37 \text{ }\Omega$$

Verifica dei risultati: Abbiamo trovato le grandezze cercate. Il guadagno di anello è elevato pertanto ci si aspetta che il guadagno A_{tr} sia prossimo al valore ideale di $-91 \text{ k}\Omega$. Le resistenze di ingresso e uscita sono entrambe molto minori di quelle dell'operazionale da solo. Tutto questo è in accordo con le attese che si hanno per un amplificatore con retroazione parallelo-parallelo.

Analisi assistita da calcolatore: Il circuito di Figura 11.16 riportato in SPICE, in cui sono state aggiunte le resistenze R_{id} in parallelo all'ingresso e R_o in serie all'uscita e con il guadagno fissato a 10 000 volte, fornisce come risultati un guadagno $A_{tr} = -90.85 \text{ k}\Omega$, $R_{in} = 11 \text{ }\Omega$ e $R_{out} = 1.372 \text{ }\Omega$, risultati che praticamente coincidono con il calcolo manuale.

Discussione: Quest'analisi illustra il metodo diretto per includere nell'analisi gli effetti delle non idealità dell'operazionale in un circuito con retroazione parallelo-parallelo, in cui sono anche considerati gli effetti di carico della rete di retroazione e delle resistenze di sorgente e di carico. L'esercizio seguente analizza gli errori che si commettono quando si trascurano questi effetti.

Si osservi che possiamo analizzare il classico stadio di amplificatore invertente considerando un amplificatore con retroazione parallelo-parallelo con una resistenza in serie all'ingresso.

ESERCIZIO Calcolare il guadagno di anello, la transresistenza complessiva, le resistenze di ingresso e uscita dell'amplificatore di transresistenza quando si trascurano gli effetti di R_{id} e di R_o .

RISPOSTE $T = 990$, $A_{tr} = -90.9 \text{ k}\Omega$, $R_{in} = 9.09 \text{ }\Omega$, $R_{out} = 0 \text{ }\Omega$.

ESERCIZIO Calcolare il guadagno di anello, il guadagno ad anello chiuso, le resistenze di ingresso e di uscita del circuito di Figura 11.16, eliminando la resistenza di sorgente R_I da $10 \text{ k}\Omega$ e quella di carico da $5 \text{ k}\Omega$.

RISPOSTE $T = 2137$, $A_{tr} = -90.96 \text{ k}\Omega$, $R_{in} = 9.21 \text{ }\Omega$, $R_{out} = 464 \text{ m}\Omega$.

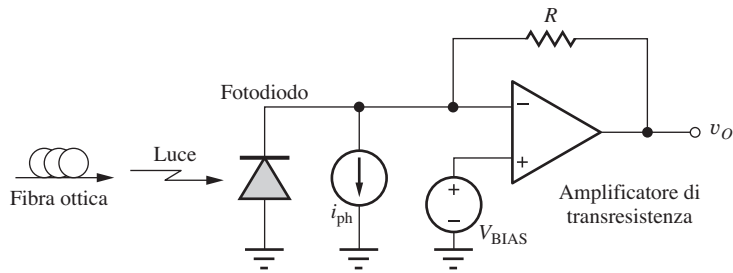


ELETTRONICA IN AZIONE

Ricevitore per fibre ottiche

I circuiti di interfaccia per comunicazioni ottiche sono stati introdotti nella scheda "Elettronica in azione" nel Capitolo 10. Un blocco importante del ricevitore per connessioni su fibra ottica è il circuito convertitore ottico-elettrico (O/E), che spesso è realizzato come nello schema riportato all'inizio della pagina successiva. La luce proveniente dalla fibra illumina un foto-

diodo (Paragrafo 3.18) che genera una fotocorrente i_{ph} modellata in figura da un generatore di corrente. Questa fotocorrente scorre attraverso la resistenza di retroazione R e genera una tensione di uscita data da $v_o = i_{ph}R$. La tensione V_{BIAS} viene usata per far lavorare il diodo in polarizzazione inversa. In questo caso la tensione complessiva di uscita vale $v_o = V_{BIAS} + i_{ph}R$.



Interfaccia ottica-elettrica per trasmissione dati su fibra ottica.

Poiché l'amplificatore riceve in ingresso una corrente e fornisce in uscita una tensione, il suo guadagno $A_{tr} = v_o / i_{ph}$ ha le dimensioni di una resistenza e l'amplificatore viene chiamato amplificatore di transresistenza o più in generale amplificatore di transimpedenza. L'operazionale dello schema deve

avere un'elevatissima banda passante ed essere lineare. Questi requisiti sono particolarmente stringenti, per esempio, nel sistema di comunicazione OC-768, in cui il segnale ottico in arrivo con una banda di 40 GHz deve essere amplificato con bassissima distorsione di fase.

11.7 Retroazione serie-serie - amplificatore di transconduttanza

In molti circuiti è necessario avere un amplificatore di transconduttanza ad alte prestazioni che generi una corrente di uscita proporzionale alla tensione di ingresso: $i_o = A_{tc} v_i$. Per prelevare la tensione di ingresso in modo preciso si usa una retroazione serie per ottenere una resistenza di ingresso elevata (confronto in serie o in tensione), mentre per approssimare al meglio un generatore di corrente in uscita si utilizza di nuovo una configurazione serie che aumenta l'impedenza di uscita (prelievo in serie o in corrente). L'amplificatore di transconduttanza è quindi un amplificatore con **retroazione serie-serie**. Uno schema di principio di questo amplificatore con operazionale è mostrato in Figura 11.18, in cui all'operazionale sono state aggiunte le resistenze di ingresso e di uscita e si sono messi in evidenza i due terminali del generatore comandato. Si ricordi tuttavia che gli operazionali reali *non* hanno il secondo piedino del generatore interno disponibile sull'uscita!

La rete di retroazione consiste di un singolo resistore R , e le tensioni delle porte di ingresso e uscita v_{if} e v_{of} sono indicate in figura. All'ingresso la tensione di ingresso v_i applicata al circuito è pari alla somma della tensione all'ingresso dell'operazionale più quella "riportata indietro" dalla retroazione: $v_i = v_{id} + v_{if}$. In questo modo si ha una **retroazione in serie**, un **confronto in tensione**, all'ingresso perché tensione di ingresso dell'amplificatore e tensione riportata dalla rete di retroazione sono in serie. All'uscita vediamo che la tensione di uscita v_o è pari alla somma della tensione erogata dall'operazionale v_{op} e della tensione sulla rete di retroazione v_{of} , quindi **prelievo in serie o in corrente**, poiché la rete di retroazione sente la corrente del carico. Sia all'ingresso sia all'uscita l'amplificatore e la rete di retroazione sono collegate in serie e quindi la configurazione complessiva è **retroazione serie-serie**, anche detta **prelievo in corrente** e **confronto in tensione**: infatti la ten-

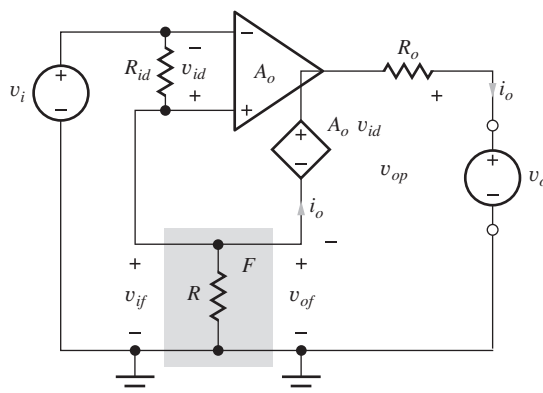
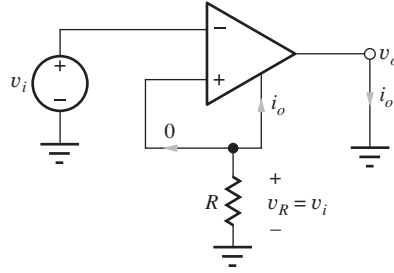


Figura 11.18

Operazionale a quattro terminale in configurazione di amplificatore con retroazione serie-serie.

Figura 11.19
Amplificatore ideale con
retroazione serie-serie.



sione riportata in serie all'ingresso è proporzionale alla corrente di uscita attraverso il carico. Per ottenere una retroazione negativa, il terminale di uscita negativo deve essere collegato al terminale non invertente di ingresso, come indicato in figura. Il generatore v_o indica la posizione dei terminali di uscita del circuito con retroazione serie in uscita e il punto in cui verrebbe connesso il carico. L'analisi seguente suppone che $v_o = 0$, come indicato in Figura 11.19.

11.7.1 Calcolo del guadagno ad anello chiuso

Per trovare il guadagno ad anello chiuso dell'amplificatore con retroazione serie-serie bisogna come al solito calcolare l'Equazione (11.39) trovando il guadagno ideale A_{tc}^{ideale} e il guadagno di anello T .

$$A_{tc} = A_{tc}^{\text{ideale}} \left(\frac{T}{1 + T} \right) \quad (11.60)$$

Il caso ideale è mostrato in Figura 11.19. Quando il guadagno A_o tende a infinito la tensione differenziale di ingresso dell'operazionale tende a zero e pertanto v_i compare direttamente ai capi del resistore R . La corrente di uscita i_o deve scorrere tutta attraverso R dato che nell'ingresso dell'operazionale non scorre corrente. Quindi, con i segni della corrente di Figura 11.19, $i_o = -v_i/R$ e quindi $A_{tc}^{\text{ideale}} = i_o/v_i = -1/R$.

Come già detto, il guadagno di anello rappresenta il guadagno totale che si incontra attraversando l'amplificatore e poi tornando indietro per la rete di retroazione. Nel circuito di Figura 11.18 possiamo trovare T supponendo di conoscere v_{id} dentro la sorgente $A_o v_{id}$ (per esempio, $v_{id} = 1$ V e quindi $A_o v_{id} = A_o \times 1$ V) e di calcolare il valore di v_{id} che ci si ritrova all'ingresso dell'operazionale. Il guadagno di anello lo si calcola quindi con dei semplici partitori di tensione, ricordando che le sorgenti indipendenti, in questo caso v_i , devono essere azzerate:

$$v_{id} = -A_o(1 \text{ V}) \frac{(R_{id} \parallel R)}{(R_{id} \parallel R) + R_o} \quad \text{e} \quad T = A_o \frac{(R_{id} \parallel R)}{(R_{id} \parallel R) + R_o} \quad (11.61)$$

Il guadagno di anello ora incorpora tutte le non idealità dell'operazionale. R_{id} è in parallelo alla resistenza R della rete di retroazione e anche R_o influisce sul guadagno di anello.

11.7.2 Calcolo della resistenza di ingresso

Calcoliamo ora la resistenza di ingresso dell'amplificatore con retroazione serie-serie usando il teorema di Blackman, Equazione (11.40)

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.62)$$

R_{in} rappresenta la resistenza che si vede fra il terminale invertente dell'operazionale e il potenziale zero (ground) ad anello chiuso, R_{in}^D è la resistenza fra gli stessi due terminali con l'anello di retroazione annullato (sistema morto) ottenuto ponendo $A_o = 0$. La resistenza di ingresso può essere scritta direttamente a vista

$$R_{in}^D = R_{id} + R \parallel R_o \quad (11.63)$$

Per trovare T_{SC} cortocircuitiamo i terminali di ingresso ritrovandoci con lo stesso circuito usato per calcolare il guadagno di anello T nell'Equazione (11.61), pertanto si ha $T_{SC} = T$. Per trovare invece T_{OC} si lasciano aperti i terminali di ingresso dell'amplificatore. In questo caso non si ha corrente attraverso R_{id} quindi $v_{id} = 0$ e di conseguenza $T_{OC} = 0$.

L'espressione finale della resistenza di uscita diventa perciò

$$R_{in} = R_{in}^D \frac{1+T}{1+0} = (R_{id} + R \parallel R_o)(1+T) \quad (11.64)$$

La retroazione serie in ingresso viene moltiplicata per un fattore $1+T$ ed è quindi molto elevata.

11.7.3 Calcolo della resistenza di uscita

Il teorema di Blackman fornisce

$$R_{out} = R_{out}^D \frac{1+T_{SC}}{1+T_{OC}} \quad (11.65)$$

La resistenza di uscita rappresenta la resistenza che si vede fra il terminale di uscita dell'operazionale e il potenziale zero. R_{out}^D viene calcolato per mezzo del circuito di Figura 11.18 in cui viene messo $v_i = 0$ e si annulla la retroazione con $A_o = 0$. La resistenza di uscita a retroazione annullata viene scritta a vista e vale

$$R_{out}^D = R_o + R \parallel R_{id} \quad (11.66)$$

Per calcolare T_{SC} si collega il terminale di uscita v_o direttamente a ground, si osserva che ci si ritrova con lo stesso circuito con cui si è calcolato T trovando l'Equazione (11.61) e quindi $T_{SC} = T$. Per calcolare invece T_{OC} si lasciano i terminali di uscita aperti. In questo caso non scorre corrente nel circuito e quindi $T_{OC} = 0$. L'espressione finale per la resistenza di uscita ad anello chiuso vale

$$R_{out} = R_{out}^D \frac{1+T}{1+0} = (R_o + R \parallel R_{id})(1+T) \quad (11.67)$$

La resistenza di uscita a sistema morto viene moltiplicata per $1+T$ e diventa pertanto molto elevata.

11.7.4 Riepilogo dell'amplificatore con retroazione serie-serie

L'analisi delle caratteristiche dell'amplificatore con retroazione serie-serie ha fornito i seguenti risultati

$$A_{ic} = \left(-\frac{1}{R} \right) \frac{T}{1+T} \quad R_{in} = R_{in}^D (1+T) \quad R_{out} = R_{out}^D (1+T) \quad (11.68)$$

L'amplificatore di transconduttanza ha un'elevata resistenza di ingresso, in modo da poter prelevare la tensione della sorgente senza causare cadute di tensione sulla sua resistenza interna, e una resistenza di uscita anch'essa molto elevata, approssimando in questo modo un generatore di corrente ideale. Il fattore di transconduttanza idealmente è pari al reciproco della resistenza R di retroazione.

ESERCIZIO Disegnare il circuito per il calcolo di R_{in}^D e di R_{out}^D che si ottiene ponendo $A_o = 0$ e verificare le espressioni (11.63) e (11.66).

ANALISI DI UN AMPLIFICATORE CON RETROAZIONE SERIE-SERIE

Esempio 11.7

In questo esempio si calcolano le caratteristiche ad anello chiuso di un amplificatore con operazionale avente retroazione serie-serie. L'analisi farà uso dell'approccio con guadagno di anello e con il teorema di Blackman, e sarà anche inclusa una resistenza di sorgente.

Trovare la transconduttanza ad anello chiuso e le resistenze di ingresso e uscita dell'amplificatore retroazionato di Figura 11.18, considerando che l'operazionale ha un guadagno ad anello aperto di 80 dB, resistenza di ingresso di 25 k Ω e resistenza di uscita di 1 k Ω . L'amplificatore ha in ingresso una sorgente di segnale con resistenza interna di 10 k Ω e la rete di retroazione è formata dalla resistenza R da 10 k Ω .

PROBLEMA

SOLUZIONE **Informazioni e dati noti:** L'amplificatore con retroazione serie-serie è riportato nella figura seguente, in cui è stata aggiunta una resistenza da $10\text{ k}\Omega$ in serie alla sorgente di tensione. L'operazionale presenta un guadagno $A_o = 80\text{ dB}$, $R_{id} = 25\text{ k}\Omega$ ed $R_o = 1\text{ k}\Omega$.

Incognite: Transconduttanza ad anello chiuso A_{tc} , resistenza di ingresso R_{in} e resistenza di uscita R_{out} .

Approccio: Si trovano le nuove espressioni di A_{tc}^{ideale} , T , R_{in}^D ed R_{out}^D , poi si calcolano i valori delle grandezze cercate usando le formule ricavate in questo paragrafo.

Ipotesi: L'operazionale è ideale tranne che per A_o , R_{id} ed R_o . La tensione v_o è nulla, il generatore indica solo dove viene connesso il carico.

Analisi: Il circuito che comprende anche la resistenza R_I è in Figura 11.20.

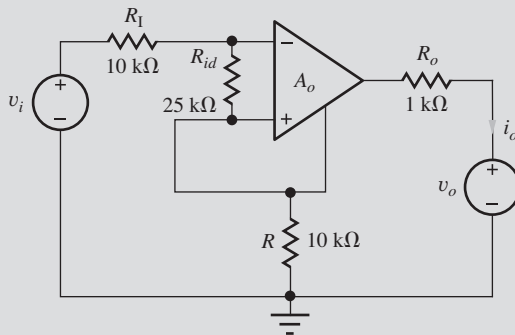


Figura 11.20 Amplificatore con retroazione serie-serie e resistenza di sorgente.

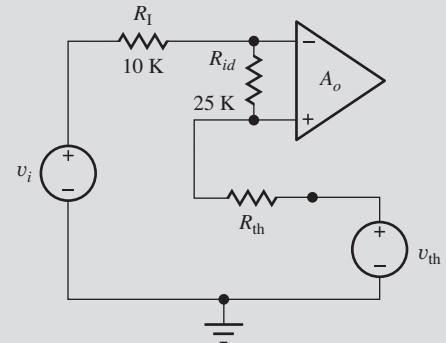


Figura 11.21 Amplificatore con retroazione serie-serie ed equivalente Thévenin.

Analisi dell'amplificatore

$$A_{tc}^{ideale} = -\frac{1}{R} = -\frac{1}{10\text{ k}\Omega} = -100\text{ }\mu\text{S}$$

$$R_{in}^D = R_I + R_{id} + R \parallel R_o = 10\text{ k}\Omega + 25\text{ k}\Omega + 10\text{ k}\Omega \parallel 1\text{ k}\Omega = 35.9\text{ k}\Omega$$

$$R_{out}^D = R_o + R \parallel (R_{id} + R_I) = 1\text{ k}\Omega + 10\text{ k}\Omega \parallel (25\text{ k}\Omega + 10\text{ k}\Omega) = 8.79\text{ k}\Omega$$

Il calcolo del guadagno di anello può essere fatto sostituendo R_o , R e il generatore controllato dell'operazionale con il loro equivalente Thévenin, sempre mantenendo $v_o = 0$, come mostrato in Figura 11.21.

$$v_{th} = -A_o v_{id} \frac{R}{R + R_o} = -10^4 v_{id} \frac{10\text{ k}\Omega}{10\text{ k}\Omega + 1\text{ k}\Omega} = -9090 v_{id}$$

$$R_{th} = R \parallel R_o = 10\text{ k}\Omega \parallel 1\text{ k}\Omega = 909\text{ }\Omega$$

Al solito supponiamo che v_{id} dentro al generatore sia pari a 1 V e calcoliamo l'effettiva tensione v_{id} che ne risulta.

$$v_{id} = -v_{th} \frac{R_{id}}{R_{th} + R_{id} + R_I} = -9090(1\text{ V}) \frac{25\text{ k}\Omega}{0.909\text{ k}\Omega + 25\text{ k}\Omega + 10\text{ k}\Omega} = -6330\text{ V}$$

$$T = -\frac{v_{id}}{1\text{ V}} = 6330$$

Risultati ad anello chiuso

$$A_{tc} = -\frac{1}{R} \left(\frac{T}{1 + T} \right) = -\frac{1}{10\text{ k}\Omega} \left(\frac{6330}{1 + 6330} \right) = -99.98\text{ }\mu\text{S}$$

$$R_{in} = R_{in}^D (1 + T) = 35.9\text{ k}\Omega (1 + 6330) = 227\text{ M}\Omega$$

$$R_{out} = R_{out}^D (1 + T) = 8.79\text{ k}\Omega (1 + 6330) = 55.7\text{ M}\Omega$$

Verifica dei risultati: Sono stati trovati i tre valori cercati. Il guadagno di anello è elevato pertanto ci si aspetta che A_{tc} sia praticamente pari a $-1/R = -100 \mu S$. Sia la resistenza di ingresso sia quella di uscita sono molto più elevate di quelle di ingresso e uscita dell'operazionale. Questi risultati concordano con il comportamento atteso di un amplificatore con retroazione serie-serie.

Analisi assistita da calcolatore: Il circuito SPICE usato per la simulazione rispecchia quello di Figura 11.20, dove vengono aggiunte esternamente all'operazionale ideale la resistenza R_{id} in parallelo agli ingressi e la resistenza R_o in serie all'uscita, mentre il guadagno è fissato a 10 000 volte. La sorgente di tensione v_o serve per far calcolare a SPICE la funzione di trasferimento. Nel modello di operazionale presente di solito in SPICE, il generatore pilotato interno all'operazionale è collegato internamente al potenziale di riferimento (ground). In un circuito possiamo scegliere arbitrariamente quale nodo scegliere come riferimento, per cui in questa simulazione il nodo di riferimento è stato spostato dal terminale inferiore della resistenza R al terminale superiore di R , come mostrato in Figura 11.22. La funzione di trasferimento fra la corrente attraverso VO in funzione della tensione VI è la trasconduttanza complessiva, mentre le resistenze di ingresso e uscita sono quelle viste da VI e da VO rispettivamente. I risultati SPICE sono $A_{tc} = -99.98 \mu S$, $R_{in} = 227.3 M\Omega$ e $R_{out} = 55.56 M\Omega$, risultati in ottimo accordo con i conti svolti a mano.

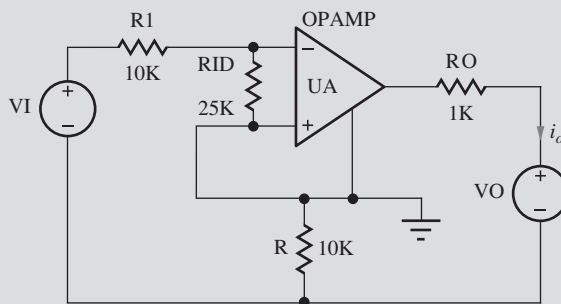


Figura 11.22

Circuito per la simulazione con riferimento di zero volt spostato.

ESERCIZIO Calcolare il guadagno di anello, la trasconduttanza ad anello chiuso, le resistenze di ingresso e di uscita per l'amplificatore con retroazione serie-serie dell'Esempio 11.7 eliminando la resistenza da $10 k\Omega$ della sorgente.

RISPOSTE 8770, $-100 \mu S$, $227 M\Omega$, $71.4 M\Omega$.

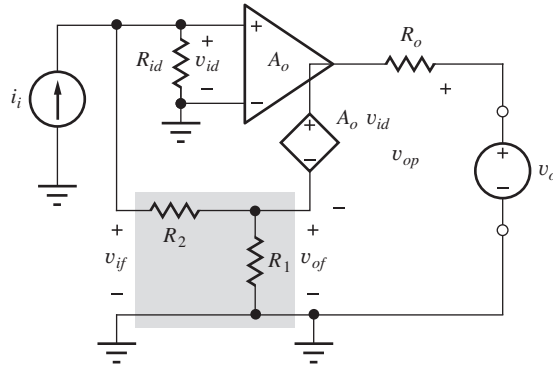
11.8 Retroazione parallelo-serie – amplificatore di corrente

L'ultima delle quattro topologie è l'amplificatore di corrente realizzato con una retroazione parallelo-serie. Questo amplificatore deve generare una corrente di uscita proporzionale alla corrente di ingresso $i_o = A_i i_i$. All'ingresso dobbiamo confrontare una corrente, quindi si utilizza una configurazione parallelo che dà una bassa impedenza, mentre sull'uscita si vuole approssimare un generatore di corrente, con elevata impedenza interna e quindi si utilizza un prelievo in serie o prelievo in corrente. L'amplificatore con retroazione parallelo-serie è rappresentato in Figura 11.23, in cui sono mostrate esplicitamente le resistenze dell'operazionale R_{id} ed R_o . Il generatore di tensione v_o serve per identificare i terminali dove va connesso il carico, ma in tutta l'analisi sarà mantenuto spento. Al solito bisogna tenere presente che questo è solo un circuito di principio, negli operazionali reali non è presente il terminale negativo del generatore pilotato.

La rete di retroazione è formata da R_1 ed R_2 , le cui tensioni sulle porte di ingresso e uscita sono mostrate esplicitamente. Sul lato di ingresso $v_{id} = v_{if}$ quindi si ha un collegamento in parallelo, mentre sull'uscita si ha che la tensione di uscita è pari alla tensione dell'operazionale più quella sulla rete di retroazione, $v_o = v_{op} + v_{of}$, quindi si è in presenza di un collegamento in serie. Questo amplificatore ha quindi una **retroazione parallelo-serie**, detta anche **prelievo in corrente** e **confronto in corrente**.

Figura 11.23

Operazionale a quattro terminali con retroazione parallelo-serie.



Per avere la retroazione negativa il terminale di uscita negativo deve essere collegato al terminale di ingresso non invertente attraverso la rete di retroazione, come mostrato in figura. Il generatore di tensione v_o indica la posizione dei terminali di uscita dove normalmente viene collegato il carico esterno. L'analisi che segue considererà sempre $v_o = 0$, come in Figura 11.24.

11.8.1 Calcolo del guadagno ad anello chiuso

Per trovare il guadagno ad anello chiuso A_i dell'amplificatore con retroazione serie-parallelo, dobbiamo valutare l'Equazione (11.39) calcolando il guadagno ideale di corrente A_i^{ideale} e il guadagno di anello T .

$$A_i = A_i^{\text{ideale}} \left(\frac{T}{1 + T} \right) \quad (11.69)$$

Il caso ideale è rappresentato in Figura 11.24. La corrente di ingresso dell'operazionale è nulla e la corrente di ingresso i_i deve scorrere attraverso il resistore R_2 . Se il guadagno dell'operazionale è infinito, possiamo trovare A_i^{ideale} scrivendo un'equazione per la maglia che passa per R_1 e R_2 :

$$i_i R_2 + (i_i - i_o) R_1 = 0 \quad \text{e} \quad A_i^{\text{ideale}} = \frac{i_o}{i_i} = 1 + \frac{R_2}{R_1} \quad (11.70)$$

Come al solito per trovare T imponiamo dentro al generatore pilotato $v_{id} = 1 \text{ V}$ ($A_o v_{id} = A_o \times 1 \text{ V}$) e calcoliamo il valore v_{id} che si ha all'ingresso dell'operazionale. Il guadagno di anello è pari al rapporto cambiato di segno della tensione che torna sull'ingresso diviso per quella iniziale di 1 V. Il guadagno di anello può essere calcolato sul circuito di Figura 11.23 usando i partitori di tensione, oppure semplificando dapprima il circuito con un equivalente Thévenin, come fatto in precedenza. Bisogna tenere presente che in questo calcolo si devono annullare tutti i generatori indipendenti, quindi i_i annullato diventa un circuito aperto. Troviamo dapprima la tensione v_1 ai capi di R_1 e poi v_{id} :

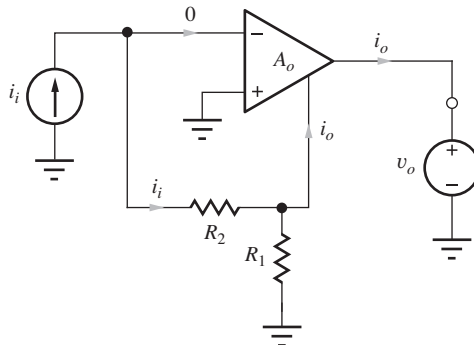
$$v_1 = -A_o(1 \text{ V}) \frac{[R_1 \parallel (R_2 + R_{id})]}{R_1 \parallel (R_2 + R_{id}) + R_o} \quad \text{e} \quad v_{id} = v_1 \left(\frac{R_{id}}{R_2 + R_{id}} \right) \quad (11.71)$$

$$T = A_o \frac{[R_1 \parallel (R_2 + R_{id})]}{R_1 \parallel (R_2 + R_{id}) + R_o} \left(\frac{R_{id}}{R_2 + R_{id}} \right)$$

Il guadagno di anello ora include anche le non idealità dell'operazionale A_o , R_{id} e R_o .

Figura 11.24

Amplificatore ideale con retroazione parallelo-serie.



11.8.2 Calcolo della resistenza di ingresso

Valutiamo la resistenza di ingresso dell'amplificatore con retroazione parallelo-serie applicando il teorema di Blackman, equazione (11.40).

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.72)$$

R_{in} rappresenta la resistenza dell'amplificatore ad anello chiuso vista fra il morsetto di ingresso non invertente e il potenziale di riferimento (porta di ingresso), R_{in}^D è la resistenza fra gli stessi due terminali con il guadagno di anello T annullato mettendo a zero A_o , T_{SC} è il guadagno di anello con la porta di ingresso cortocircuitata, mentre T_{OC} è il guadagno di anello con la porta di ingresso aperta.

Il valore di R_{in}^D lo si trova lavorando sul circuito di Figura 11.23 in cui si annulla il guadagno dell'operazionale ponendo $A_o = 0$. La resistenza di ingresso in queste condizioni è ottenuta a vista:

$$R_{in}^D = R_{id} \parallel (R_2 + R_1 \parallel R_o) \quad (11.73)$$

Il guadagno di anello con porta in cortocircuito T_{SC} viene calcolato collegando il terminale di ingresso al potenziale di riferimento, forzando così v_{id} a zero e annullando il guadagno di anello quindi $T_{SC} = 0$. Per trovare T_{OC} si lasciano aperti i terminali di ingresso dell'amplificatore e si osserva che il circuito coincide di nuovo con quello usato per trovare il guadagno di anello T , quindi $T_{OC} = T$, la cui espressione è data dalla (11.71). L'espressione della resistenza di ingresso diventa

$$R_{in} = R_{in}^D \frac{1 + 0}{1 + T} = \frac{R_{id} \parallel (R_2 + R_1 \parallel R_o)}{1 + T} \quad (11.74)$$

La resistenza di ingresso ad anello chiuso viene ridotta di un fattore $1 + T$ dalla retroazione con confronto in parallelo e può essere piccola.

11.8.3 Calcolo della resistenza di uscita

Il teorema di Blackman ci permette di dire che

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (11.75)$$

La resistenza di uscita è quella che si vede fra il terminale di uscita dell'amplificatore e il potenziale zero, ed è la resistenza che vede la sorgente v_o . R_{out}^D viene calcolata con il circuito di Figura 11.23 in cui si pone $i_i = 0$ (circuito aperto) e si annulla il guadagno di anello ponendo $A_o = 0$. La resistenza di uscita con retroazione annullata vale

$$R_{out}^D = R_o + R_1 \parallel (R_2 + R_{id}) \quad (11.76)$$

Per trovare T_{SC} si collega allo zero volt la tensione di uscita e si ottiene un circuito identico a quello usato per trovare il guadagno di anello T dell'Equazione (11.71), quindi $T_{SC} = T$. Invece per T_{OC} bisogna aprire i terminali di uscita. Così facendo nella maglia di uscita non scorre corrente e nessun segnale è riportato in ingresso, quindi $T_{OC} = 0$. L'espressione finale dell'impedenza di uscita è quindi

$$R_{out} = R_{out}^D \frac{1 + T}{1 + 0} = [R_o + R_1 \parallel (R_2 + R_{id})](1 + T) \quad (11.77)$$

La resistenza di uscita contiene un fattore moltiplicativo $1 + T$ che ne aumenta notevolmente il valore.

11.8.4 Riepilogo dell'amplificatore con retroazione parallelo-serie

L'analisi delle caratteristiche dell'amplificatore con retroazione parallelo-serie ha fornito i seguenti risultati

$$A_i = \left(1 + \frac{R_2}{R_1}\right) \frac{T}{1 + T} \quad R_{in} = \frac{R_{in}^D}{(1 + T)} \quad R_{out} = R_{out}^D (1 + T) \quad (11.78)$$

L'amplificatore di corrente ha una bassa resistenza di ingresso, in modo da poter prelevare tutta la corrente della sorgente senza fare partizione di corrente con la resistenza interna della sorgente, e una resistenza di uscita anch'essa molto elevata, approssimando in questo modo un generatore di corrente ideale. Il fattore di amplificazione ideale è pari a $1 + R_2/R_1$.

ESERCIZIO Disegnare il circuito per il calcolo di R_{in}^D e di R_{out}^D che si ottiene ponendo $A_o = 0$ e verificare le espressioni (11.73) e (11.76).

Esempio 11.8

ANALISI DI UN AMPLIFICATORE CON RETROAZIONE PARALLELO-SERIE

In questo esempio si calcolano le caratteristiche ad anello chiuso di un amplificatore con operazionale avente retroazione parallelo-serie. L'analisi farà uso dell'approccio con guadagno di anello e con il teorema di Blackman, e sarà anche inclusa una resistenza di sorgente.

PROBLEMA Trovare il guadagno di corrente ad anello chiuso, le resistenze di ingresso e di uscita per l'amplificatore con retroazione parallelo-serie di Figura 11.23 supponendo che il guadagno ad anello aperto dell'operazionale sia di 80 dB, la resistenza di ingresso valga 25 k Ω e quella di uscita 1 k Ω . Si supponga anche che la sorgente di segnale sia un generatore di corrente con resistenza interna parallela di 10 k Ω e che la rete di retroazione sia realizzata con $R_2 = 27$ k Ω e $R_1 = 3$ k Ω .

SOLUZIONE **Informazioni e dati noti:** L'amplificatore con retroazione parallelo-serie è riportato nella Figura 11.25, in cui è stata aggiunta una resistenza da 10 k Ω in parallelo alla sorgente di corrente. L'operazionale presenta un guadagno $A_o = 80$ dB, $R_{id} = 25$ k Ω ed $R_o = 1$ k Ω .

Incognite: Guadagno di corrente ad anello chiuso $A_i S$, resistenza di ingresso R_{in} e resistenza di uscita R_{out} .

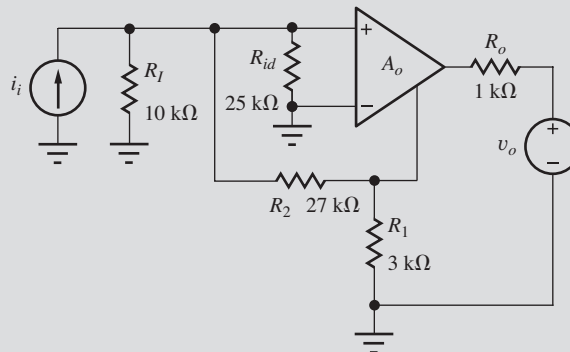
Approccio: Si trovano le nuove espressioni di A_i^{ideale} , T , R_{in}^D ed R_{out}^D , poi si calcolano i valori delle grandezze cercate usando le equazioni ricavate in questo paragrafo.

Ipotesi: L'operazionale è ideale tranne che per A_o , R_{id} e R_o . La tensione v_o è nulla, il generatore indica solo dove viene connesso il carico.

Analisi: Il circuito che comprende anche la resistenza R_I è rappresentato in Figura 11.25.

Figura 11.25

Amplificatore con retroazione parallelo-serie e resistenza di sorgente.



Analisi dell'amplificatore: In questo circuito si nota che R_I è collegata direttamente in parallelo con R_{id} . Possiamo quindi usare i risultati del precedente paragrafo sostituendo R_{id} con

$$R'_{id} = R_I \parallel R_{id} = 10 \text{ k}\Omega \parallel 25 \text{ k}\Omega = 7.14 \text{ k}\Omega$$

$$A_i^{ideale} = 1 + \frac{R_2}{R_1} = 1 + \frac{27 \text{ k}\Omega}{3 \text{ k}\Omega} = +10$$

$$R_{in}^D = R'_{id} \parallel (R_2 + R_1 \parallel R_o) = 7.14 \text{ k}\Omega \parallel (27 \text{ k}\Omega + 3 \text{ k}\Omega \parallel 1 \text{ k}\Omega) = 5.68 \text{ k}\Omega$$

$$R_{out}^D = R_o + R_1 \parallel (R_2 + R'_{id}) = 1 \text{ k}\Omega + 3 \text{ k}\Omega \parallel (27 \text{ k}\Omega + 7.14 \text{ k}\Omega) = 3.76 \text{ k}\Omega$$

Il calcolo del guadagno di anello può essere fatto modificando l'Equazione (11.71)

$$T = A_o \frac{[R_1|(R_2 + R'_{id})]}{R_1|(R_2 + R'_{id}) + R_o} \left(\frac{R'_{id}}{R_2 + R'_{id}} \right)$$

$$T = 10^4 \frac{3 \text{ k}\Omega || (27 \text{ k}\Omega + 7.14 \text{ k}\Omega)}{1 \text{ k}\Omega + 3 \text{ k}\Omega || (27 \text{ k}\Omega + 7.14 \text{ k}\Omega)} \left(\frac{1.14 \text{ k}\Omega}{27 \text{ k}\Omega + 7.14 \text{ k}\Omega} \right) = 1535$$

Risultati ad anello chiuso

$$A_i = +10 \left(\frac{T}{1 + T} \right) = +10 \left(\frac{1535}{1 + 1535} \right) = +9.99$$

$$R_{in} = \frac{R_{in}^D}{(1 + T)} = \frac{5.68 \text{ k}\Omega}{1536} = 3.70 \text{ }\Omega$$

$$R_{out} = R_{out}^D (1 + T) = 3.76 \text{ k}\Omega (1536) = 5.78 \text{ M}\Omega$$

Verifica dei risultati: Sono stati trovati i tre valori cercati. Il guadagno di anello è elevato pertanto ci si aspetta che A_i sia praticamente pari a 10. La resistenza di ingresso del circuito è molto più piccola di quella di ingresso dell'operazionale, mentre quella di uscita è molto più elevata di quella di uscita dell'operazionale. Questi risultati concordano con il comportamento atteso di un amplificatore con retroazione parallelo-serie.

Analisi assistita da calcolatore: Il circuito SPICE usato per la simulazione di Figura 11.26, mostra l'aggiunta esternamente all'operazionale ideale della resistenza R_{id} in parallelo agli ingressi e della resistenza R_o in serie all'uscita, mentre il guadagno è fissato a 10 000 volte. La sorgente di tensione v_o serve per far calcolare a SPICE la funzione di trasferimento rispetto alla corrente i_o . Nel modello di operazionale di solito presente in SPICE, il generatore pilotato interno all'operazionale è collegato internamente al potenziale di riferimento (ground). In un circuito possiamo scegliere arbitrariamente quale nodo scegliere come riferimento, per cui in questa simulazione il nodo di riferimento è stato spostato dal terminale inferiore della resistenza R_1 al suo terminale superiore, come mostrato in Figura 11.26. La funzione di trasferimento fra la corrente attraverso VO in funzione della corrente II è l'amplificazione di corrente complessiva, mentre le resistenze di ingresso e uscita sono quelle viste da II e da VO rispettivamente. I risultati SPICE sono $A_i = -9.994$, $R_{in} = 3.68 \text{ }\Omega$ e $R_{out} = 5.773 \text{ M}\Omega$, risultati in ottimo accordo con i conti svolti a mano.

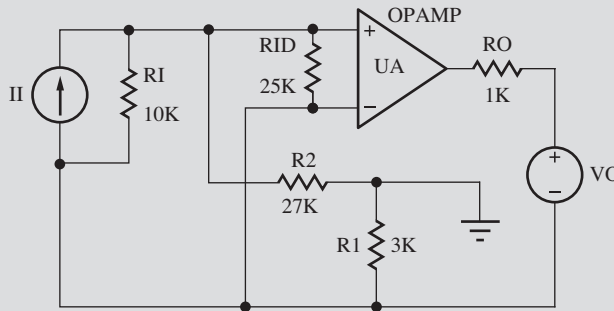


Figura 11.26

Circuito per la simulazione con nodo di riferimento spostato.

ESERCIZIO Calcolare il guadagno di anello, il guadagno di corrente ad anello chiuso, le resistenze di ingresso e di uscita per l'amplificatore con retroazione parallelo-serie dell'Esempio 11.8 eliminando la resistenza da 10 k Ω della sorgente.

RISPOSTE 3555, +10.0, 3.71 Ω , 13.7 M Ω .

ESERCIZIO Simulare il circuito di Figura 11.25 e confrontare i risultati con quelli di Figura 11.26.

ESERCIZIO Trovare il guadagno di anello, l'amplificazione ad anello chiuso, le resistenze di ingresso e uscita per l'amplificatore con retroazione parallelo-serie dell'Esempio 11.8 quando R_1 e R_2 sono incrementate di un fattore 10.

RISPOSTE 248.5, +9.96, 27.9 Ω , 7.01 M Ω .



NOTA PROGETTUALE

Determinazione del tipo di retroazione

Per determinare rapidamente il tipo di prelievo (porta di uscita) della retroazione cortocircuitare il carico: se non torna più indietro alcun segnale (retroazione annullata) il prelievo è in tensione o parallelo. Se si ha ancora ritorno di segnale, aprire il carico: se non torna indietro alcun segnale (retroazione annullata) il prelievo è in corrente o serie. Se in entrambi i casi la retroazione non si annulla, si ha un prelievo *misto*. Applicando il teorema di

Blackman in quest'ultimo caso, sia T_{OC} sia T_{SC} sono diversi da zero.

Per determinare rapidamente il tipo di confronto (porta di ingresso) osservare su quale terminale entrano il segnale e la retroazione: se sono connessi sullo stesso terminale si ha un confronto in corrente, parallelo, se invece arrivano su terminali diversi si ha un confronto in tensione, serie.

11.9 Calcolo del guadagno di anello con iniezioni successive di tensione e corrente

In molti casi pratici, specie quando il guadagno di anello è elevato, non si può semplicemente aprire l'anello per misurarne direttamente il guadagno, infatti se si apre l'anello il punto di funzionamento in continua cambia e l'elevato guadagno porta l'amplificatore a saturare. Lo stesso problema capita anche in SPICE con circuiti ad elevato guadagno come gli amplificatori operazionali. In questo caso si aggiungono i problemi di convergenza numerica dell'algoritmo. Fortunatamente il metodo delle **iniezioni successive di tensione corrente** [5] permette di valutare il guadagno di anello senza aprire l'anello stesso.

Consideriamo di nuovo il circuito di Figura 11.27. Per utilizzare questo metodo scegliamo un punto P qualsiasi che appartenga all'anello e inseriamo una sorgente di tensione v_x in serie all'anello come in Figura 11.27(a). Si misurano rispetto al riferimento le due tensioni v_1 e v_2 sui due terminali del generatore e si calcola il rapporto T_v

$$T_v = -\frac{v_2}{v_1} \quad (11.79)$$

Poi si toglie il generatore di tensione v_x , si inserisce in parallelo nello stesso punto un generatore di corrente i_x e si calcola il rapporto T_i con le correnti i_1 e i_2 .

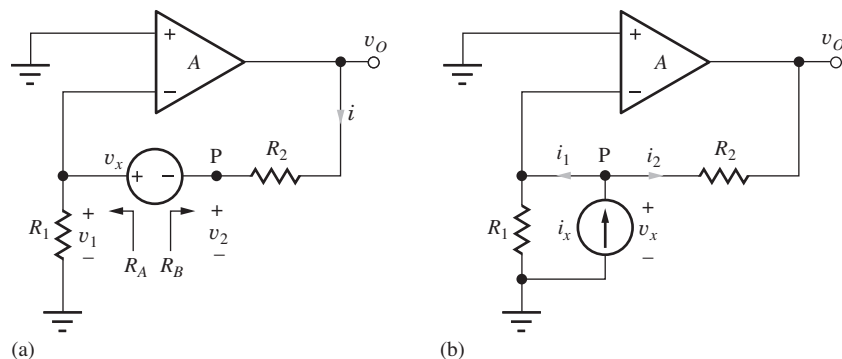
$$T_i = \frac{i_2}{i_1} \quad (11.80)$$

Queste due misure danno origine a due equazioni in due incognite, il guadagno di anello T e il rapporto di resistenze R_B/R_A . R_A rappresenta la resistenza vista guardando a sinistra del generatore di prova v_x , mentre la resistenza R_B rappresenta la resistenza vista guardando verso destra del generatore di prova di Figura 11.27(a), dove l'operazionale ha guadagno A , resistenza nulla in uscita e infinita in ingresso. Nel caso di iniezione di tensione si ha

$$v_1 = -iR_A = (v_x - Av_1) \frac{R_A}{R_A + R_B} \quad (11.81)$$

Figura 11.27

(a) Iniezione di tensione nel punto P; (b) iniezione di corrente nel punto P.



Risolviendo rispetto a v_1 si ottiene

$$v_1 = \frac{\beta}{1 + A\beta} v_x \quad \text{dove} \quad \beta = \frac{R_A}{R_A + R_B} \quad (11.82)$$

Ricavando il valore di v_2 si ottiene

$$v_2 = v_1 - v_x = \frac{\beta - (1 + A\beta)}{1 + A\beta} v_x \quad (11.83)$$

Il guadagno di anello T_v definito nella (11.79) vale quindi

$$T_v = T \left(1 + \frac{R_B}{R_A} \right) + \frac{R_B}{R_A} \quad (11.84)$$

L'iniezione di corrente di Figura 11.27(b) fornisce la seconda equazione nelle due incognite. Iniettando una corrente si genera una tensione v_x ai capi del generatore di corrente; le correnti i_1 e i_2 sono esprimibili in funzione di questa tensione:

$$i_1 = \frac{v_x}{R_A} \quad \text{e} \quad i_2 = \frac{v_x - (-Av_x)}{R_B} = v_x \frac{1 + A}{R_B} \quad (11.85)$$

Dal rapporto di queste due correnti si ottiene T_i definito nella (11.80)

$$T_i = \frac{i_2}{i_1} = \frac{\frac{R_B}{1}}{\frac{R_A}{1}} = (1 + A) \frac{R_A}{R_B} = \frac{R_A}{R_B} + A \frac{R_A}{R_B} \quad (11.86)$$

Moltiplicando l'ultimo termine per β e ricordando che $1/\beta = 1 + R_B/R_A$ si ha

$$T_i = \frac{R_A}{R_B} + A\beta \frac{R_A}{R_B} \frac{1}{\beta} = \frac{R_A}{R_B} + T \left(1 + \frac{R_A}{R_B} \right) \quad (11.87)$$

Risolviendo il sistema formato dalle equazioni (11.84) e (11.87) si ottengono i risultati cercati

$$T = \frac{T_v T_i - 1}{2 + T_v + T_i} \quad \text{e} \quad \frac{R_B}{R_A} = \frac{1 + T_v}{1 + T_i} \quad (11.88)$$

Con questa tecnica possiamo trovare sia il guadagno di anello T sia il rapporto di resistenze (o impedenze) nel punto P .

Anche se nel circuito di Figura 11.27 il rapporto delle resistenze è dominato da R_2 e R_1 , nel caso generale R_A e R_B rappresentano le resistenze equivalenti che si calcolerebbero guardando a sinistra e a destra del punto P in condizioni di anello aperto. Questo aspetto è illustrato più chiaramente nell'analisi SPICE dell'Esempio 11.9.

CALCOLO DEL GUADAGNO DI ANELLO E RAPPORTO DI RESISTENZE CON SPICE

Esempio 11.9

Usiamo ora SPICE per trovare il guadagno di anello di un amplificatore con la tecnica di iniezione successiva di tensione e corrente.

Usando il metodo di iniezione successiva di tensione e corrente nel punto P , trovare il guadagno di anello T e il rapporto di resistenze per l'amplificatore con retroazione serie-parallelo dell'Esempio 11.5.

PROBLEMA

Informazioni e dati noti: Amplificatore con retroazione serie-parallelo con i valori dati nell'Esempio 11.5. Applicare i generatori di tensione e corrente fra i due resistori R_2 e R_1 .

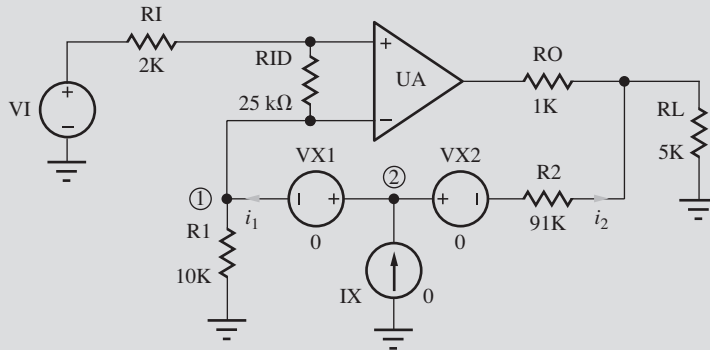
SOLUZIONE

Incognite: Guadagno di anello T e rapporto delle resistenze R_B/R_A

Approccio: Possiamo inserire nel circuito un generatore di tensione di valore nullo e usare il calcolo della funzione di trasferimento di SPICE per trovare v_1 e v_2 in funzione di v_x e analogamente le correnti i_1 e i_2 in funzione di i_x .

Ipotesi: Dall'Esempio 11.5 abbiamo $A_o = 80$ dB, $R_{id} = 25$ k Ω e $R_o = 1$ k Ω .

Analisi: L'amplificatore è ridisegnato qui sotto in cui sono stati aggiunti i generatori VX1, VX2 e IX. I tre generatori hanno valore nullo in continua in modo da non disturbare il punto di funzionamento. Il generatore VX2 è usato come amperometro per determinare la corrente I_2 .



I risultati delle quattro funzioni di trasferimento calcolate con SPICE sono

$$\begin{aligned} \frac{v_2}{v_{x1}} &= 0.9999 & \frac{v_1}{v_{x1}} &= -1.294 \times 10^{-4} \\ \frac{i_2}{i_x} &= 0.9984 & \frac{i_1}{i_x} &= 1.628 \times 10^{-3} \end{aligned}$$

Il guadagno di anello e il rapporto delle resistenze calcolate con i precedenti quattro valori risultano essere

$$\begin{aligned} T_v &= -\frac{-0.9999}{1.294 \times 10^{-4}} = 7730 & T_i &= \frac{0.9984}{1.628 \times 10^{-3}} = 613 \\ T &= \frac{T_v T_i - 1}{2 + T_v + T_i} = \frac{7730(613) - 1}{2 + 7730 + 613} = 568 \\ \frac{R_B}{R_A} &= \frac{1 + T_v}{1 + T_i} = \frac{1 + 7730}{1 + 623} = 12.6 \end{aligned}$$

Verifica dei risultati: Il valore di T calcolato a mano nell'esercizio dopo l'Esempio 11.5 era di 568, in accordo con il risultato di SPICE. Le resistenze R_A e R_B che si hanno ad anello aperto sui due lati del generatore sono indicate in Figura 11.27. Calcolando a mano queste due resistenze e valutandone il rapporto si ottiene

$$\begin{aligned} R_A &= 10 \text{ k}\Omega \parallel (R_{id} + R_I) = 10 \text{ k}\Omega \parallel 27 \text{ k}\Omega = 7.30 \text{ k}\Omega \\ R_B &= R_2 + (R_o \parallel R_L) = 91 \text{ k}\Omega + (1 \text{ k}\Omega + 5 \text{ k}\Omega) = 91.8 \text{ k}\Omega \\ \frac{R_B}{R_A} &= 12.6 \end{aligned}$$

Ancora una volta in ottimo accordo con SPICE.

Discussione: I valori calcolati a mano e con SPICE sono in ottimo accordo. Al posto di usare le analisi con funzione di trasferimento, che fa un'analisi in continua, si può effettuare un'analisi in AC (dominio della frequenza), usando un generatore di tensione da 1 V e un generatore di corrente da 1 A e calcolare due funzioni di trasferimento attivandone uno solo per volta. L'uso di generatori AC è molto vantaggioso in quanto fornisce i guadagni e le impedenze in funzione della frequenza. Si vedrà nel seguito che per valutare la stabilità di un circuito occorre conoscere il guadagno di anello in funzione della frequenza.

11.9.1 Semplificazioni

Middlebrook ha dimostrato [5] che se si usano generatori reali di tensione e di corrente con le loro resistenze interne, si ottengono gli stessi risultati trovati con i generatori ideali. Inoltre se si sceglie il punto P in una sezione in cui si ha un forte disadattamento di impedenze $R_B \ll R_A$, le equazioni usate possono essere semplificate e si trova T con una sola misura, dato che l'Equazione (11.84) si riduce a $T \approx T_v$ [6-8]. In circuiti con operazionali o comunque con guadagno elevato, è spesso possibile trovare più di una sezione che soddisfa il disadattamento di impedenze, come mostrato in Figura 11.28. Tuttavia bisogna tenere presente che in laboratorio i due casi mostrati non sono equivalenti a causa del rumore e delle capacità parassite introdotti dai generatori e dagli strumenti di misura aggiunti. La configurazione di Figura 11.28(b) è quella di solito usata poiché si lavora in una sezione a bassa impedenza, meno suscettibile all'iniezione di rumore e con livelli di segnale più elevati.

In modo duale, se si individua un punto in cui $R_A \ll R_B$, possiamo trovare T misurando solo T_i perché l'Equazione (11.87) diventa $T \approx T_i$. Quest'ultima condizione tuttavia è poco sfruttata perché in laboratorio è più facile misurare tensioni piuttosto che correnti.

Se non si può stabilire a priori che in un dato punto dove si vuole effettuare la misura c'è un forte disadattamento di impedenza, è necessario procedere con l'iniezione sia di tensione sia di corrente. Alcune versioni di SPICE sono fornite con macrocircuiti o funzioni che effettuano automaticamente le due iniezioni e danno in uscita il guadagno di anello calcolato con l'Equazione (11.88).

11.10 Riduzione della distorsione per mezzo della retroazione

Gli amplificatori reali non hanno una transcaratteristica lineare come quella mostrata in Figura 10.13. Le transcaratteristiche reali hanno piuttosto una forma ad "S" come in Figura 11.29 e le non linearità introducono una distorsione del segnale in uscita come visto nel Paragrafo 10.6. La retroazione negativa riesce a ridurre in modo sostanziale la distorsione degli amplificatori.

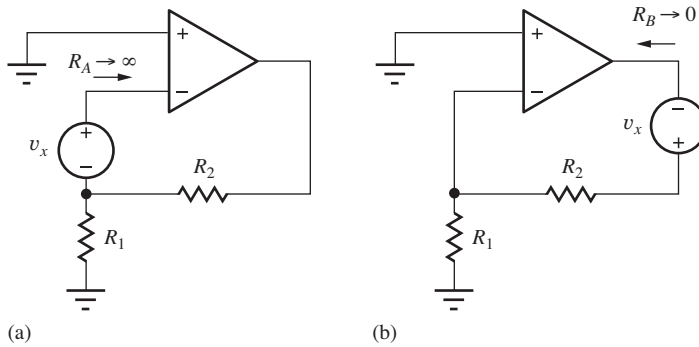


Figura 11.28

(a) iniezione di tensione in un punto con $R_A \rightarrow \infty$;
(b) iniezione di tensione in un punto con $R_B \rightarrow 0$.

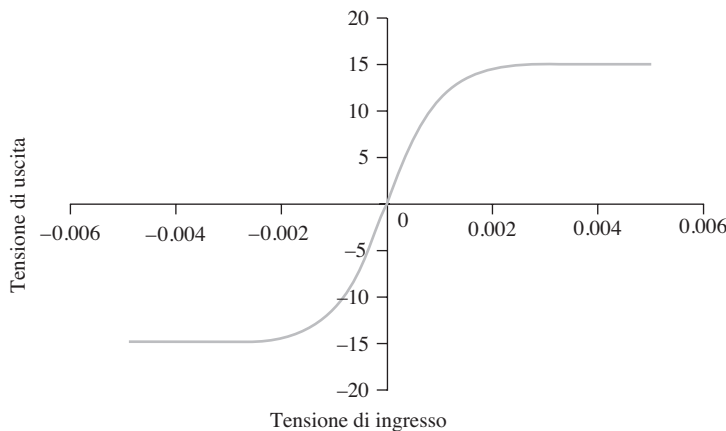
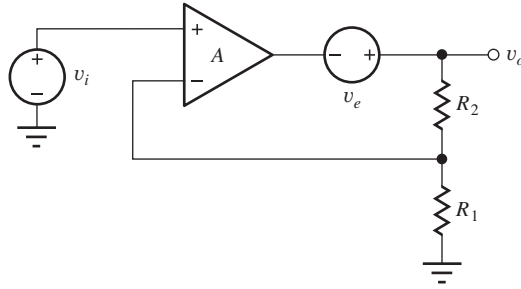


Figura 11.29

Transcaratteristica reale di un amplificatore.

Figura 11.30

Amplificatore non invertente con generatore che modella la distorsione.



Consideriamo l'amplificatore non invertente di Figura 11.30 con una tensione di ingresso $v_i = V_i \sin \omega_0 t$. A causa delle non linearità la tensione di uscita dell'operazionale conterrà non solo il segnale desiderato alla frequenza ω_0 ma anche componenti di segnale non desiderate a frequenze diverse dalla frequenza di ingresso, come si era mostrato nell'Equazione (10.29):

$$v_o(t) = V_1 \sin(\omega_0 t + \phi_1) + v_e(t)$$

dove

$$v_e(t) = V_2 \sin(2\omega_0 t + \phi_2) + V_3 \sin(3\omega_0 t + \phi_3) + \dots \quad (11.89)$$

Possiamo modellare questo comportamento inserendo una sorgente di errore v_e in serie all'uscita dell'amplificatore operazionale, come mostrato in Figura 11.30. Calcoliamo ora la tensione all'uscita dell'amplificatore non invertente.

$$v_o = A v_{id} + v_e \quad \text{e} \quad v_{id} = v_i - \beta v_o \quad \text{dove} \quad \beta = \frac{R_1}{R_1 + R_2} \quad (11.90)$$

e

$$v_o = \frac{A}{1 + A\beta} v_i + \frac{v_e}{1 + A\beta} \quad (11.91)$$

Il primo termine è il guadagno dell'amplificatore invariato rispetto al caso senza retroazione. Il secondo termine invece viene ridotto del fattore $1 + A\beta$. Nel caso ideale di $A \rightarrow \infty$ l'effetto della distorsione sarebbe eliminato completamente. Anche in un caso reale comunque la distorsione viene grandemente ridotta poiché il fattore $1 + A\beta$ può essere molto grande.

Questa analisi è un'approssimazione valida per tassi di distorsione non troppo elevati: si è fatto uso del principio di sovrapposizione con un amplificatore che non è lineare (se lo fosse non distorcerebbe), infatti il contributo della distorsione v_e è una funzione non lineare della tensione v_{id} .

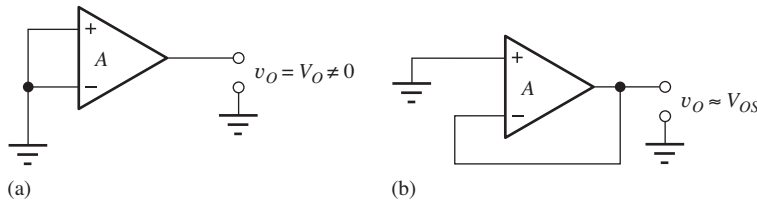
11.11 Cause di errore in continua e limitazioni dell'escursione in uscita

L'errore dovuto alla componente in continua è legato alla polarizzazione dei circuiti che costituiscono l'amplificatore operazionale e alle differenze tra le caratteristiche dei dispositivi accoppiati (ovvero caratterizzati dallo stesso valore nominale dei parametri) contenuti in questi circuiti. Tra queste cause di errore si annoverano la tensione di offset all'ingresso V_{OS} , le correnti di polarizzazione all'ingresso (correnti di bias) I_{B1} e I_{B2} , e la corrente di offset all'ingresso I_{OS} .

11.11.1 Tensione di offset all'ingresso

Quando i terminali d'ingresso dell'amplificatore in Figura 11.31 sono posti a 0 V, la tensione di uscita non è esattamente pari a zero, ma presenta una componente continua. Si può immaginare che questa tensione sia prodotta da una tensione applicata all'ingresso, che viene amplificata dall'amplificatore operazionale ideale.¹ Questa tensione equivalen-

¹ Questa tensione deriva principalmente dalle asimmetrie nello stadio di ingresso dell'operazionale. Si analizzerà questo problema nel Capitolo 16.

**Figura 11.31**

(a) Amplificatore con tensione d'ingresso nulla ma tensione di uscita diversa da zero. (Si osservi che non è possibile misurare V_{OS} in questo modo). (b) Circuito per la misura della tensione di offset.

te è detta **tensione di offset all'ingresso** V_{OS} , ed è definita da

$$V_{OS} = \frac{V_O}{A} \bigg|_{v_+ = 0 = v_-} \quad (11.92)$$

dove V_O rappresenta la tensione di uscita. L'espressione della tensione di uscita di un operazionale può essere modificata in modo da tener conto dell'effetto della tensione di offset aggiungendo il termine dovuto a V_{OS} :

$$v_O = A[v_{ID} + V_{OS}] \quad (11.93)$$

Il primo termine in parentesi quadra rappresenta la componente ideale, associata al solo segnale differenziale, mentre il secondo termine rappresenta la variazione indesiderata della tensione di uscita dovuta alla tensione di offset.

La tensione di offset cambia casualmente da un operazionale all'altro, il segno effettivo della tensione di offset in pratica non è noto, e la specifica indica solo il valore della tensione di offset per il caso peggiore. La maggior parte degli amplificatori operazionali disponibili in commercio sono caratterizzati da specifiche per la tensione di offset inferiori a 10 mV, ed è anche possibile acquistare operazionali con valori di V_{OS} inferiori a qualche millivolt. Sono anche disponibili, a prezzo maggiore, amplificatori operazionali in cui gli effetti dovuti alla tensione di offset sono ridotti attraverso particolari tecniche, in modo da ridurre la tensione V_{OS} a valori inferiori a 10 μ V.

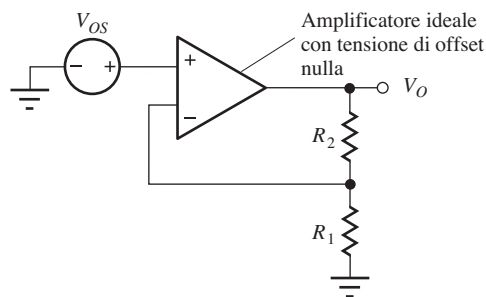
La tensione di offset non viene misurata connettendo l'operazionale come mostrato in Figura 11.31(a) a causa dell'elevato guadagno dell'amplificatore. Si può invece utilizzare il circuito mostrato in Figura 11.31(b), in cui l'amplificatore è connesso come un inseguitore di emittore e la tensione di uscita è pari alla tensione di offset (trascurando il piccolo errore dovuto al valore finito del guadagno).

Nell'Esempio 11.10 l'effetto della tensione di offset sul funzionamento del circuito viene analizzato utilizzando il modello riportato in Figura 11.32, in cui gli effetti di offset sono descritti da un generatore di tensione che viene posto all'ingresso di un amplificatore operazionale ideale. La tensione V_{OS} viene amplificata dall'amplificatore operazionale come se fosse un segnale di ingresso, e la tensione di uscita per l'amplificatore in Figura 11.32 è:

$$V_O = \left(1 + \frac{R_2}{R_1}\right) V_{OS} \quad (11.94)$$

ESERCIZIO (a) Qual è la tensione di uscita del circuito di Figura 11.31(b) quando $V_{OS} = 1$ mV e $A = 60$ dB? (b) Calcolare la tensione di uscita del circuito di Figura 11.31(a).

RISPOSTE 0.999 mV; 1 V.

**Figura 11.32**

La tensione di offset può essere modellata con un generatore di tensione V_{OS} posto in serie all'ingresso dell'amplificatore.

ESERCIZIO Si determinino il valore nominale, il valore minimo e il valore massimo della tensione di offset per l'amplificatore operazionale AD745 a 25 °C. Si ripeta il calcolo per l'operazionale OP77E.

RISPOSTE 0.25 mV, il valore minimo non è specificato, 1.0 mV; 10 μV, il valore minimo non è specificato, 25 μV.

Esempio 11.10

ANALISI DELLA TENSIONE DI OFFSET

In questo esempio si calcola la tensione di offset in uscita di un circuito con operazionale dovuta alla sua tensione di offset.

PROBLEMA Si supponga che per l'amplificatore di Figura 11.32 si abbia $|V_{OS}| \leq 3$ mV, $R_2 = 99$ kΩ, $R_1 = 1.2$ kΩ. Si determini la tensione di uscita in condizioni stazionarie.

SOLUZIONE **Informazioni e dati noti:** Per la configurazione non invertente si ha $R_2 = 99$ kΩ, $R_1 = 1.2$ kΩ. La tensione di offset risulta $|V_{OS}| \leq 3$ mV.

Incognite: Il valore in continua della tensione di uscita V_O .

Approccio: Si farà uso della (11.94).

Ipotesi: L'operazionale è ideale a eccezione del valore specificato per la tensione di offset.

Analisi: La tensione di uscita può essere ricavata dalla (11.94):

$$|V_O| \leq \left(1 + \frac{99 \text{ k}\Omega}{1.2 \text{ k}\Omega}\right) (3 \text{ mV}) = 250 \text{ mV}$$

Verifica dei risultati: L'incognita è stata determinata, e il valore ottenuto appare ragionevole.

Discussione: Poiché il segno di V_{OS} non è noto, e la specifica relativa a V_{OS} indica il valore massimo del modulo di V_{OS} , si ha in realtà:

$$-0.25 \text{ V} \leq V_O \leq 0.25 \text{ V}$$

ESERCIZIO Si ripetano i calcoli relativi all'Esempio 11.10 nel caso in cui il guadagno dell'amplificatore non invertente sia pari a 50 e la tensione di offset sia pari a 2 mV.

RISPOSTA 100 mV.

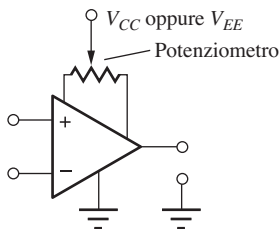


Figura 11.33
Bilanciamento della tensione di offset di un amplificatore operazionale.

11.11.2 Bilanciamento della tensione di offset

Aggiungendo un potenziometro al circuito di un amplificatore operazionale è possibile annullare manualmente la **tensione di offset**. Alcuni amplificatori dispongono di due terminali ai quali si può collegare il potenziometro, come mostrato in Figura 11.33. Il terzo terminale del potenziometro è collegato alla tensione di alimentazione positiva o negativa. Il valore del potenziometro dipende dall'amplificatore.

11.11.3 Correnti di polarizzazione e di offset all'ingresso

Affinché i transistori che compongono l'amplificatore operazionale possano funzionare correttamente, occorre fornire a entrambi i terminali di ingresso una piccola corrente continua di polarizzazione. Queste correnti sono correnti di base se l'amplificatore è realizzato con transistori bipolari, oppure correnti di gate se l'amplificatore è realizzato con MOSFET. Come vedremo tra breve, questa corrente continua è un'ulteriore causa di errore.

Le correnti di polarizzazione possono essere rappresentate da due generatori di corrente I_{B1} e I_{B2} connessi ai terminali invertente e non invertente dell'amplificatore, come in Figura 11.34. Le correnti I_{B1} e I_{B2} assumono un valore simile ma non identico, e inoltre il verso effettivo delle correnti dipende dalle caratteristiche del circuito (ovvero se questo è

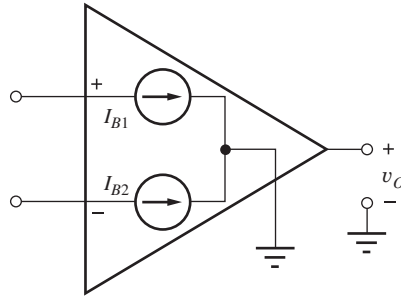


Figura 11.34

Amplificatore invertente con correnti di polarizzazione di ingresso rappresentate dai generatori di corrente I_{B1} e I_{B2} .

realizzato con dispositivi *npn*, *pnp*, NMOS, PMOS ecc.). La differenza tra le due correnti di polarizzazione è detta **corrente di offset** I_{OS} :

$$I_{OS} = I_{B1} - I_{B2} \quad \text{e} \quad |I_{OS}| \leq I_{MAX} \quad (11.95)$$

La specifica relativa alla corrente di offset è frequentemente espressa in termini di un valore massimo per I_{OS} mentre il segno effettivo di I_{OS} non è noto.

Le **correnti di polarizzazione di ingresso** producono una tensione indesiderata al terminale di uscita nei circuiti contenenti operazionali. Consideriamo per esempio l'amplificatore invertente di Figura 11.35(a). In questo circuito la corrente I_{B1} è cortocircuitata dalla connessione a zero volt del terminale non invertente, e non altera il funzionamento del circuito. Poiché anche il terminale invertente è a zero volt, la corrente in R_1 è nulla, sicché la corrente I_{B2} deve essere fornita dal terminale di uscita dell'amplificatore attraverso la resistenza R_2 . La tensione di uscita è quindi pari a:

$$V_O = I_{B2}R_2 \quad (11.96)$$

L'errore relativo alla tensione di uscita dato dalla (11.96) può essere ridotto disponendo una **resistenza di compensazione della corrente di polarizzazione** R_B in serie con il terminale non invertente dell'amplificatore, come mostrato in Figura 11.35(b). Utilizzando il metodo della sovrapposizione degli effetti, la tensione di uscita dovuta alla sola corrente I_{B1} è pari a:

$$V_O = -I_{B1}R_B \left(1 + \frac{R_2}{R_1} \right) \quad (11.97)$$

La tensione di uscita totale si ottiene sommando le (11.97) e (11.96):

$$V_O^T = I_{B2}R_2 - I_{B1}R_B \left(1 + \frac{R_2}{R_1} \right) \quad (11.98)$$

Se la resistenza R_B è uguale al parallelo di R_1 e R_2 la tensione di uscita diventa:

$$V_O^T = (I_{B2} - I_{B1})R_2 = -I_{OS}R_2 \quad \text{per} \quad R_B = \frac{R_1R_2}{R_1 + R_2} \quad (11.99)$$

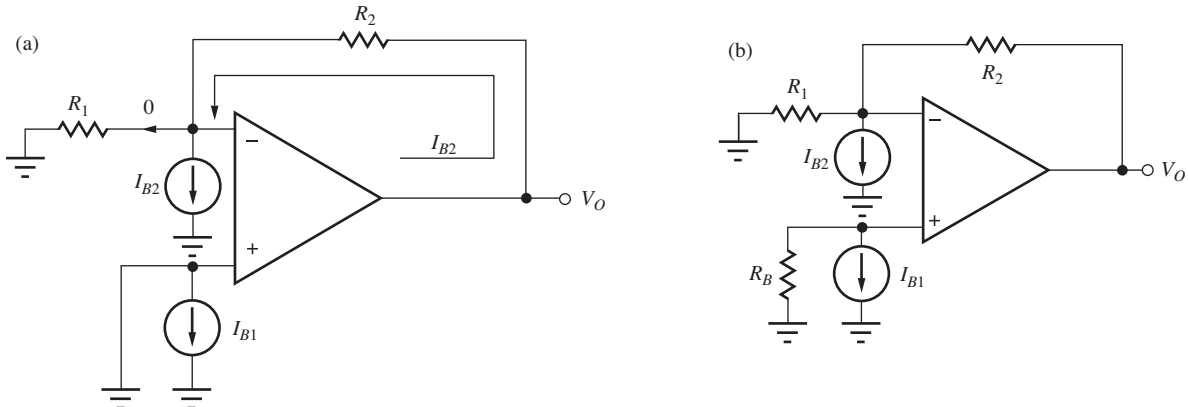
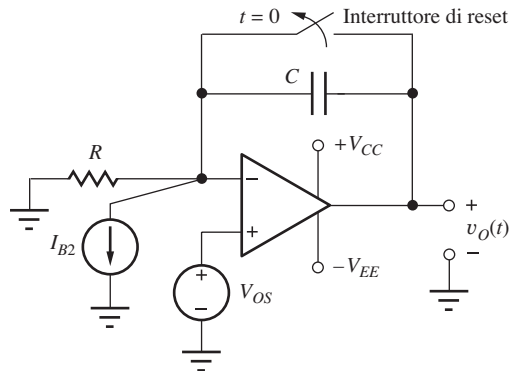


Figura 11.35 (a) Amplificatore operazionale invertente con correnti di polarizzazione di ingresso rappresentate dai generatori di corrente I_{B1} e I_{B2} . (b) Amplificatore invertente con resistore di compensazione delle correnti di polarizzazione R_B .

Figura 11.36

Esempio di errori dovuti alla tensione di offset in continua e alla corrente di polarizzazione in un integratore.



Il valore della corrente di offset è tipicamente più piccolo di un fattore 5-10 rispetto alle singole correnti di polarizzazione, sicché l'errore relativo alla tensione di uscita può essere notevolmente ridotto utilizzando tecniche di compensazione delle correnti di polarizzazione.

Un altro esempio di problema connesso alla tensione di offset e alle correnti di polarizzazione si verifica nel circuito integratore di Figura 11.36. Un interruttore di reset è stato aggiunto all'integratore, che viene mantenuto chiuso per $t < 0$. Quando l'interruttore è chiuso, il circuito è equivalente a un inseguitore di tensione, e la tensione di uscita v_O è uguale alla tensione di offset V_{OS} . Quando, tuttavia, l'interruttore si apre all'istante $t = 0$, il circuito incomincia a effettuare l'integrazione della tensione di offset e della corrente di polarizzazione. Utilizzando anche in questo caso il metodo della sovrapposizione degli effetti, è facile mostrare che la tensione di uscita è data da:

$$v_O(t) = V_{OS} + \frac{V_{OS}}{RC}t + \frac{I_{B2}}{C}t \quad \text{per } t \geq 0 \quad (11.100)$$

La tensione di uscita è quindi una rampa a pendenza costante, determinata dal valore di V_{OS} e I_{B2} . La tensione di uscita può raggiungere un valore di saturazione pari a una delle due tensioni di alimentazione, come discusso in maggior dettaglio nel paragrafo successivo. Se l'integratore è realizzato in laboratorio senza un interruttore di reset, può spesso verificarsi che la tensione di uscita sia "saturata" a una delle tensioni di alimentazione.

ESERCIZIO Si determinino il valore nominale, il valore minimo e il valore massimo per le correnti di polarizzazione e per la corrente di offset per l'amplificatore operazionale $\mu A741C$. Si ripeta l'analisi per l'operazionale AD745J.

RISPOSTE 80 nA, il valore minimo non è specificato, 500 nA; 20 nA, il valore minimo non è specificato, 200 nA; 150 pA, il valore minimo non è specificato, 400 pA; 40 pA, il valore minimo non è specificato, 150 pA.

ESERCIZIO Un amplificatore invertente è progettato con $R_1 = 1 \text{ k}\Omega$ e $R_2 = 39 \text{ k}\Omega$. Si determini il valore della resistenza da disporre in serie con il terminale non invertente per la compensazione delle correnti di polarizzazione.

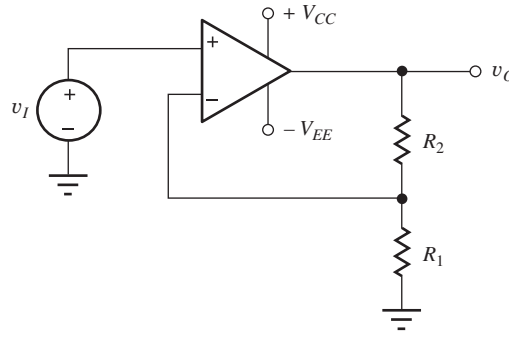
RISPOSTA 975 Ω ; si osservi che la resistenza più prossima con tolleranza del 5% è pari a 1 k Ω .

ESERCIZIO Un integratore presenta $R = 10 \text{ k}\Omega$, $C = 100 \text{ pF}$, $V_{OS} = 1.5 \text{ mV}$ e $I_{B2} = 100 \text{ nA}$. Qual è l'intervallo di tempo impiegato dalla tensione di uscita per raggiungere il valore di saturazione (V_{CC} o $-V_{EE}$) dopo l'accensione? Si assuma $V_{CC} = V_{EE} = 10 \text{ V}$.

RISPOSTA 6.0 ms.

11.11.4 Limiti della tensione e della corrente di uscita

In un amplificatore operazionale reale la tensione e la corrente di uscita possono variare in un intervallo limitato. Per esempio, la tensione di uscita dell'amplificatore di Figura 11.37 non può assumere valori maggiori di V_{CC} oppure inferiori a $-V_{EE}$. In realtà in molti progetti l'intervallo di variazione della tensione di uscita è inferiore di diversi volt rispetto a quel-

**Figura 11.37**

Amplificatore con l'indicazione delle tensioni di alimentazione.

lo massimo stabilito dall'alimentazione. Per esempio, i limiti per la tensione di uscita per un amplificatore operazionale possono essere:

$$-(V_{EE} - 1 \text{ V}) \leq v_O \leq (V_{CC} - 2 \text{ V}) \quad (11.101)$$

Gli amplificatori operazionali disponibili sul mercato contengono circuiti che limitano la massima corrente al terminale di uscita, per limitare la dissipazione di potenza e per proteggere l'amplificatore nel caso possano accidentalmente verificarsi cortocircuito. La specifica relativa al valore massimo della corrente di uscita è spesso espressa in termini del valore minimo della resistenza di uscita che può essere pilotata dall'amplificatore con una data escursione della tensione di uscita. Per esempio, può essere garantita una tensione di $\pm 10 \text{ V}$ solo per una resistenza di carico totale $\geq 5 \text{ k}\Omega$.

Ciò equivale alla seguente limitazione per la corrente di uscita:

$$|i_O| \leq \frac{10 \text{ V}}{5 \text{ k}\Omega} = 2 \text{ mA} \quad (11.102)$$

La specifica relativa alla corrente di uscita non solo determina il valore minimo della resistenza che può essere connessa all'amplificatore, ma determina anche un limite al valore delle resistenze del circuito di retroazione R_1 e R_2 . La corrente di uscita totale i_O nella Figura 11.38 è data da $i_O = i_L + i_F$ e, poiché la corrente nel terminale invertente è nulla,

$$i_O = \frac{v_O}{R_L} + \frac{v_O}{R_2 + R_1} = \frac{v_O}{R_{EQ}} \quad (11.103)$$

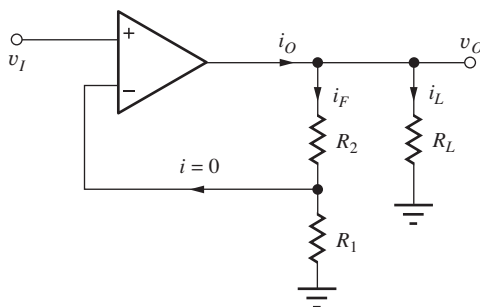
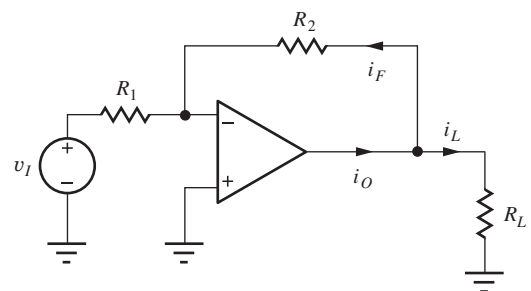
L'uscita dell'amplificatore deve fornire una corrente non solo al carico ma anche alla rete di retroazione. Dalla (11.103) si vede che la resistenza complessiva che si presenta al terminale di uscita è data dal parallelo della resistenza di carico e della serie di R_1 e R_2 :

$$R_{EQ} = R_L \parallel (R_1 + R_2) \quad (11.104)$$

Nel caso dell'amplificatore invertente di Figura 11.39, la resistenza R_{EQ} è pari a

$$R_{EQ} = R_L \parallel R_2 \quad (11.105)$$

poiché il terminale invertente dell'amplificatore è a potenziale nullo.

**Figura 11.38** Limite della corrente di uscita nell'amplificatore non invertente.**Figura 11.39** Limite della corrente di uscita nell'amplificatore invertente.

Le limitazioni relative alla corrente di uscita espresse dalle (11.104) e (11.105) possono essere spesso utilizzate per stabilire il valore delle resistenze della rete di retroazione nel progetto del circuito.

ESERCIZIO Si identifichi il valore massimo garantito per la corrente di uscita per l'amplificatore operazionale OP-27A.

RISPOSTA $12 \text{ V} / 2 \text{ k}\Omega = 6 \text{ mA}$.

Esempio 11.11

PROGETTO DELL'AMPLIFICATORE INVERTENTE CON LIMITAZIONE PER LA CORRENTE DI USCITA

In questo esempio si analizza il progetto di un amplificatore operazionale in cui si tiene conto della limitazione di corrente di uscita.

PROBLEMA Si supponga che l'amplificatore in Figura 11.39 debba essere progettato in modo che il guadagno sia pari a 20 dB, e il valore di picco della tensione di uscita sia almeno pari a 10 V, con un valore minimo della resistenza di carico di 5 k Ω . In base alla specifica relativa alla corrente di uscita, la corrente di uscita deve essere inferiore a 2.5 mA. Si scelga un valore accettabile per le resistenze R_1 e R_2 dalla tabella delle resistenze con tolleranza del 5% riportata nell'Appendice A.

SOLUZIONE **Informazioni e dati noti:** È specificata la topologia del circuito, e inoltre: $|A_v| = 20 \text{ dB}$, $|v_o| \leq 10 \text{ V}$ con $R_L \geq 5 \text{ k}\Omega$. La corrente di uscita deve essere inferiore a 2.5 mA.

Incognite: Le resistenze R_1 e R_2 (da determinare in base ai valori riportati nell'Appendice A).

Approccio: Occorre tener presente che l'amplificatore deve fornire le correnti che attraversano la resistenza di carico e la rete di retroazione.

Ipotesi: L'operazionale è ideale a eccezione della limitazione relativa alla corrente di uscita.

Analisi: La resistenza di carico equivalente dell'amplificatore deve essere maggiore di 4 k Ω :

$$R_{EQ} \geq \frac{10 \text{ V}}{2.5 \text{ mA}} = 4 \text{ k}\Omega \quad \text{oppure} \quad R_L \parallel R_2 \geq 4 \text{ k}\Omega$$

Poiché il valore minimo di R_L è di 5 k Ω , la resistenza di retroazione R_2 deve verificare la disuguaglianza $R_2 \geq 20 \text{ k}\Omega$ e abbiamo anche $R_2/R_1 = 10$ poiché il valore specificato del guadagno è di 20 dB.

Dovremo anche garantire un margine di sicurezza per il valore di R_2 . Scegliendo, per esempio, un valore di 27 k Ω , con una tolleranza del 5%, il valore minimo è pari a 25.6 k Ω , ed è quindi accettabile. Il valore minimo di una resistenza di 22 k Ω è pari a 20.9 k Ω , e soddisfa appena la specifica. Abbiamo a disposizione un'ampia scelta per R_1 e R_2 . Alcune scelte accettabili sono:

$$\begin{array}{lll} R_2 = 22 \text{ k}\Omega & \text{e} & R_1 = 2.2 \text{ k}\Omega \\ R_2 = 27 \text{ k}\Omega & \text{e} & R_1 = 2.7 \text{ k}\Omega \\ R_2 = 47 \text{ k}\Omega & \text{e} & R_1 = 4.7 \text{ k}\Omega \\ R_2 = 100 \text{ k}\Omega & \text{e} & R_1 = 10 \text{ k}\Omega \end{array}$$

Con l'ultima scelta si ha $R_1 = 10 \text{ k}\Omega$ e $R_2 = 100 \text{ k}\Omega$, e la resistenza di ingresso risulta pari a 10 k Ω .

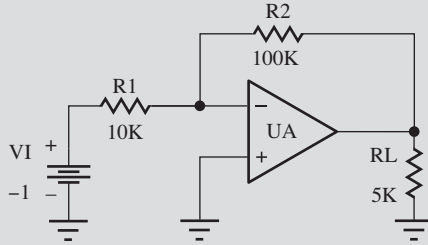
Verifica dei risultati: Il guadagno risulta pari a $-R_2/R_1 = -10$, ed è quindi corretto. Il valore massimo per la corrente di uscita risulta

$$i_o \leq \frac{10 \text{ V}}{100 \text{ k}\Omega} + \frac{10 \text{ V}}{5 \text{ k}\Omega} = 2.1 \text{ mA}$$

che è meno di 2.5 mA (2.2 mA se includiamo il 5% di tolleranza).

Discussione: Si osservi come una specifica relativa alla resistenza di ingresso faciliterebbe la scelta del valore di R_1 .

Analisi assistita da calcolatore: Possiamo effettuare la simulazione riferendoci al circuito riportato in figura. Il guadagno relativo a UA è pari a $1E6$ in modo da approssimare un operazionale ideale. VI è pari a -1 V in modo da ottenere in uscita una tensione di $+10$ V. Dall'analisi del punto di lavoro e della funzione di trasferimento si ottiene: $V_O = 10$ V, $I_O = 2.1$ mA, $A_v = -10$ e $R_{in} = 10$ k Ω , in accordo con l'analisi manuale.



ESERCIZIO Si identifichi il valore massimo garantito per la corrente di uscita per l'amplificatore operazionale AD745J.

RISPOSTA $12 \text{ V} / 2 \text{ k}\Omega = 6 \text{ mA}$.

ESERCIZIO Si progetti un amplificatore non invertente in modo che il guadagno sia pari a 20 dB, e il valore di picco della tensione di uscita sia almeno pari a 20 V, con un valore minimo della resistenza di carico di 5 k Ω . In base alla specifica relativa alla corrente di uscita, questa deve essere inferiore a 5 mA. Si scelga un valore accettabile per le resistenze R_1 e R_2 dalla tabella delle resistenze con tolleranza del 5% riportata nell'Appendice A.

RISPOSTE Alcune possibili scelte sono: 27 k Ω e 3 k Ω ; 270 k Ω e 30 k Ω ; 180 k Ω e 20 k Ω ; ma non 18 k Ω e 2 k Ω a causa delle tolleranze.

ESERCIZIO Qual è la corrente massima di uscita nel progetto dell'Esempio 11.11 se i resistori hanno una tolleranza del 10%?

RISPOSTA 2.33 mA.

11.12 Reiezione di modo comune e resistenza di ingresso

11.12.1 Valore finito per il rapporto di reiezione del modo comune

La tensione di uscita di un amplificatore reale (Figura 11.40) contiene altre componenti oltre alla replica del segnale di ingresso moltiplicata per il fattore A ($A v_{id}$). In particolare, un amplificatore reale presenta una componente del segnale di uscita legata alla componente del segnale comune a entrambi gli ingressi, detta **tensione di ingresso di modo comune** v_{ic} , definita da:

$$v_{ic} = \left(\frac{v_1 + v_2}{2} \right) \quad (11.106)$$

Il segnale di ingresso di modo comune è amplificato secondo il **guadagno di modo comune** A_{cm} , e la corrispondente tensione di uscita risulta

$$v_o = A(v_1 - v_2) + A_{cm} \left(\frac{v_1 + v_2}{2} \right) \quad \text{ovvero} \quad v_o = A(v_{id}) + A_{cm}(v_{ic}) \quad (11.107)$$

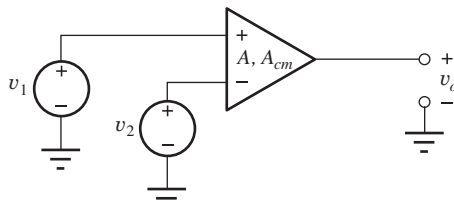
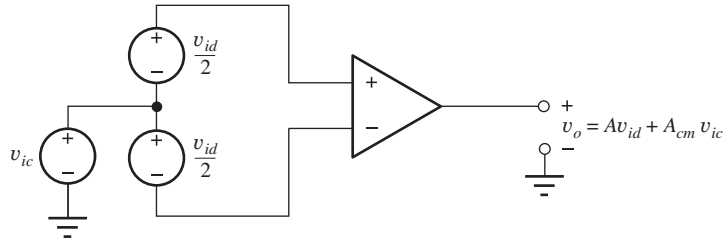


Figura 11.40
Amplificatore operazionale
con tensioni d'ingresso v_1 e v_2 .

Figura 11.41

Amplificatore operazionale con i segnali d'ingresso di modo comune e modo differenziale esplicitamente indicati.



dove

A (o A_{dm}) = **guadagno di modo differenziale**

A_{cm} = guadagno di modo comune

$v_{id} = (v_1 - v_2)$ = segnale differenziale di ingresso

$v_{ic} = (v_1 + v_2)/2$ = tensione di ingresso di modo comune

Risolvendo il sistema delle ultime due equazioni è possibile esprimere le tensioni v_1 e v_2 in termini delle tensioni v_{ic} e v_{id} :

$$v_1 = v_{ic} + \frac{v_{id}}{2} \quad \text{e} \quad v_2 = v_{ic} - \frac{v_{id}}{2} \quad (11.108)$$

e il circuito di Figura 11.40 si trasforma nel circuito di Figura 11.41.

Un amplificatore ideale amplifica solo il **segnale differenziale d'ingresso** v_{id} , mentre il segnale di modo comune viene eliminato ($A_{cm} = 0$). Un amplificatore reale, tuttavia, è caratterizzato da un valore di A_{cm} diverso da zero, e l'Equazione (11.107) viene spesso espressa in una forma diversa mettendo in evidenza A :

$$v_o = A \left[v_{id} + \frac{A_{cm} v_{ic}}{A} \right] = A \left[v_{id} + \frac{v_{ic}}{\text{CMRR}} \right] \quad (11.109)$$

In questa equazione il termine CMRR è detto **rapporto di reiezione del modo comune** (*Common-Mode Rejection Ratio*), ed è definito dal rapporto tra A e A_{cm} :

$$\text{CMRR} = \left| \frac{A}{A_{cm}} \right| \quad (11.110)$$

Il rapporto di reiezione del modo comune è sovente espresso in dB:

$$\text{CMRR}_{\text{dB}} = 20 \log \left| \frac{A}{A_{cm}} \right| \text{ dB} \quad (11.111)$$

Per un amplificatore ideale $A_{cm} = 0$, quindi il CMRR è infinito. Negli amplificatori reali di solito si ha $A \gg A_{cm}$, e il rapporto di reiezione del modo comune è tipicamente compreso nell'intervallo:

$$60 \text{ dB} \leq \text{CMRR}_{\text{dB}} \leq 120 \text{ dB}$$

Un valore di 60 dB deve essere considerato relativamente basso, mentre è possibile ma difficile ottenere un valore di 120 dB o maggiore. In genere il segno del guadagno A_{cm} non è noto a priori. Inoltre, la specifica relativa al CMRR spesso esprime un limite inferiore. L'Esempio 11.2 mostra i possibili problemi che sorgono se si trascurano gli effetti legati al valore finito del CMRR.

ESERCIZIO Quali sono i valori nominale, massimo e minimo del CMRR per l'amplificatore operazionale OP-27? Si ripeta l'esercizio per l'amplificatore AD745.

RISPOSTE 126 dB, 114 dB, il valore massimo non è specificato; 95 dB, 80 dB, il valore massimo non è specificato.

11.12.2 Perché è importante il CMRR?

Il concetto di segnale di modo comune può inizialmente apparire oscuro, tuttavia incontriamo segnali di modo comune abbastanza spesso. Nei sistemi digitali l'accoppiamento capacitivo di segnali ad alta frequenza tra le piste, su un bus o sulla metallizzazione posteriore-



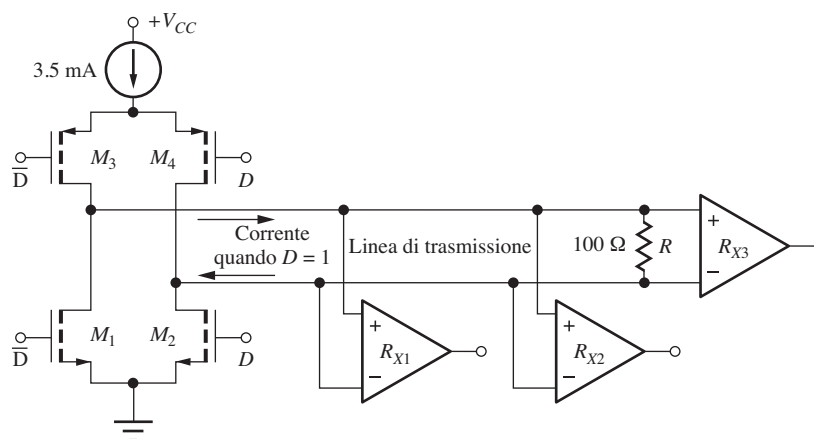
ELETTRONICA IN AZIONE

Segnali differenziali a bassa tensione (LVDS)

Nel Capitoli 6 e 7 si è trovato che un modo per ridurre la potenza nei sistemi digitali consiste nel ridurre l'ampiezza dei segnali logici. Inoltre l'accoppiamento fra linee digitali (Figura 6.4) è una delle principali cause di disturbo nei sistemi logici. Il circuito nello schema seguente mostra una tecnica di comunicazione differenziale multipunto con segnali di piccola ampiezza (LVDS, *Low Voltage Differential Signaling*), tecnica che è stata sviluppata per ridurre il consumo di potenza e i disturbi accoppiati.

Vengono usati amplificatori differenziali come ricevitori (R_{X1} , R_{X2} , R_{X3}) per leggere i dati binari rappresentati dalla polarità della corrente iniettata nella linea di trasmissione per mezzo di transistori MOS (o bipolari). Per inviare il dato $D = 1$ si attivano i transistori M_2 e M_3 mentre M_1 e M_4 rimangono

spenti. La corrente di 3.5 mA viene mandata attraverso M_3 al conduttore "in alto" della linea di trasmissione, scorre poi attraverso la resistenza da $100\ \Omega$ e ritorna attraverso il conduttore "in basso" della linea, richiudendosi attraverso M_2 . La resistenza da $100\ \Omega$ genera una caduta di tensione di 350 mV che viene letta da tutti i ricevitori. Nel caso di dato $D = 0$, la corrente scorre in verso opposto, essendo ora attivati M_1 e M_4 e agli ingressi dei ricevitori si ha una tensione di -350 mV . I ricevitori differenziali amplificano questa differenza di potenziale fino ai livelli logici necessari per il resto del circuito digitale. La capacità dei ricevitori di rigettare (di non "sentire") i segnali di modo comune è sfruttata per eliminare l'effetto dei disturbi comuni sulle due linee.



Circuito LVDS per trasmissione dati a più ricevitori che fa uso delle caratteristiche di modo differenziale e modo comune dei ricevitori differenziali.

re possono indurre lo stesso segnale su più di una pista di collegamento. Questi segnali indotti appaiono spesso come segnali di modo comune. Molti bus di computer ad alta velocità lavorano in modalità differenziale e i segnali indesiderati di modo comune possono essere eliminati mediante amplificatori con elevato CMRR.

Probabilmente il caso più frequente in cui si incontrano segnali di modo comune è quello degli amplificatori per strumentazione di misura. Si consideri il circuito di Figura 11.42 in cui si tenta di misurare la tensione ai capi di una resistenza di $100\ \Omega$ con un multimetro digitale (DMM, *Digital Multimeter*). La differenza di potenziale in DC ai terminali di ingresso del DMM (il suo ingresso di modo differenziale è V_{DM}) si ricava facilmente dalla regola del partitore di tensione:

$$V_{DM} = V_+ - V_- = 10\text{ V} \left(\frac{100\ \Omega}{7.3\ \text{k}\Omega} \right) = 0.137\text{ V}$$

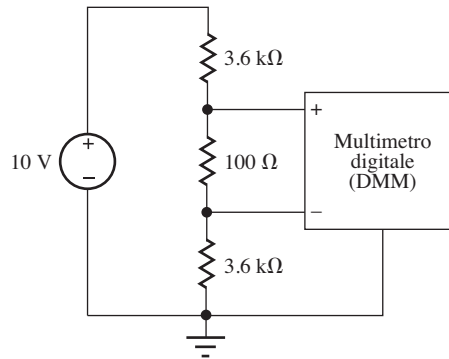
Tuttavia, è anche presente un ingresso DC di modo comune:

$$V_{CM} = \frac{V_+ + V_-}{2} = \frac{1}{2} \left[10\text{ V} \left(\frac{3.7\ \text{k}\Omega}{7.3\ \text{k}\Omega} \right) + 10\text{ V} \left(\frac{3.6\ \text{k}\Omega}{7.3\ \text{k}\Omega} \right) \right] = 5\text{ V}$$

Pertanto il nostro DMM deve misurare accuratamente 0.137V (ingresso differenziale) in presenza di 5 V di modo comune. Ciò richiede un multimetro digitale con una buona reiezione di modo comune.

Figura 11.42

Ingresso di modo comune in un multimetro digitale.



Se vogliamo che l'ingresso di modo comune produca un errore minore dello 0.1% nella misura di 0.137V, è necessario che:

$$\frac{5 \text{ V}}{\text{CMRR}} \leq 10^{-3} \times (0.137 \text{ V}) \quad \text{ovvero} \quad \text{CMRR} \geq 3.65 \times 10^4$$

che rappresenta un CMRR maggiore di 90 dB.

Un problema di misura simile si presenta quando un oscilloscopio è utilizzato in maniera differenziale. In questo caso, gli ingressi di modo differenziale e di modo comune possono presentare componenti a elevata frequenza in aggiunta ai segnali in DC. Sfortunatamente, è difficile ottenere una buona reiezione di modo comune alle alte frequenze.

Esempio 11.12**CALCOLO DELL'ERRORE RELATIVO AL MODO COMUNE**

Calcolo dell'errore di un amplificatore differenziale con non idealità di guadagno e reiezione di modo comune.

PROBLEMA Supponiamo che l'amplificatore di Figura 11.40 presenti un guadagno differenziale pari a 2500 e un rapporto di reiezione di modo comune pari a 80 dB. Si calcoli la tensione di uscita per $v_1 = 5.001 \text{ V}$ e $v_2 = 4.999 \text{ V}$. Qual è l'errore causato dal valore finito di CMRR?

SOLUZIONE **Informazioni e dati noti:** Per l'amplificatore di Figura 11.40 si ha: $A = 2500$, $\text{CMRR} = 80 \text{ dB}$, $v_1 = 5.001 \text{ V}$ e $v_2 = 4.999 \text{ V}$.

Incognite: La tensione di uscita v_o e l'errore causato dal valore finito di CMRR.

Approccio: Si farà uso della (11.109).

Ipotesi: L'operazionale è ideale a eccezione del valore finito del guadagno e di CMRR. La specifica relativa al valore di CMRR corrisponde a un valore di CMRR pari a $\pm 10^4$. Assumiamo in questo esempio $\text{CMRR} = +10^4$.

Analisi: Le tensioni di ingresso differenziale e di modo comune sono:

$$v_{id} = 5.001 \text{ V} - 4.999 \text{ V} = 2 \text{ mV} \quad \text{e} \quad v_{ic} = \frac{5.001 + 4.999}{2} \text{ V} = 5.000 \text{ V}$$

$$\begin{aligned} v_o &= A \left[v_{id} + \frac{v_{ic}}{\text{CMRR}} \right] = 2500 \left[0.002 + \frac{5.000}{10^4} \right] \text{ V} \\ &= 2500[0.002 + 0.0005] \text{ V} = 6.25 \text{ V} \end{aligned}$$

L'errore causato dal valore finito di CMRR è pari al 25% della tensione di ingresso differenziale.

Verifica dei risultati: L'incognita è stata determinata. Il valore ottenuto appare ragionevole per le tensioni di alimentazione usualmente impiegate nei circuiti con operazionali.

Discussione: In un amplificatore ideale verrebbe amplificata la sola componente v_{id} , e la tensione di uscita sarebbe pari a 5.00 V. Nel caso in esame l'errore relativo alla tensione di uscita, causato dal valore finito di CMRR, è del 25%. L'errore relativo al valore finito di CMRR è importante nel caso in cui la differenza tra i segnali in ingresso risulti bassa e sia

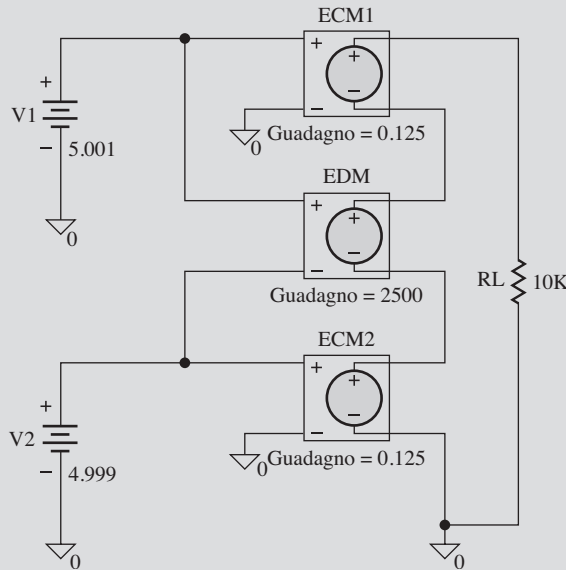
presente una componente di modo comune elevata, come nell'esempio considerato. Nel caso in esame si ha:

$$A_{cm} = \frac{A}{CMRR} = \frac{2500}{10000} = 0.25 \text{ ovvero } -12 \text{ dB}$$

Analisi assistita da calcolatore: Sviluppiamo un modello per l'analisi al calcolatore del problema in esame. La tensione di uscita può essere riscritta nella forma

$$v_o = A_{dm}v_{id} + \frac{A_{cm}}{2}v_1 + \frac{A_{cm}}{2}v_2 = 2500v_{id} + 0.125v_1 + 0.125v_2$$

che può essere implementata utilizzando tre generatori di tensione controllati, come mostrato nel circuito in figura. Il generatore EDM dipende dalla tensione ai capi del generatore IDM ($V1-V2$), ECM1 dipende dalla tensione ai capi di ICM1 ($V1$), mentre ECM2 dipende dalla tensione ai capi di ICM2 ($V2$). L'analisi del punto di lavoro conferma i risultati dell'analisi manuale con $v_o = 6.25 \text{ V}$. La resistenza R_L è stata aggiunta per completare la maglia di uscita e non ha alcun effetto sui risultati.



ESERCIZIO La specifica relativa al rapporto CMRR (80 dB) nell'Esempio 11.12 in realtà corrisponde all'intervallo di valori $-10^4 \leq CMRR \leq +10^4$. Qual è la variazione che si può verificare per la tensione di uscita?

RISPOSTA $3.75 \text{ V} \leq v_o \leq 6.25 \text{ V}$.

11.12.3 Errore nel guadagno dell'inseguitore di tensione dovuto al CMRR

Il valore finito del rapporto di reiezione del modo comune può anche determinare un errore nel guadagno dell'inseguitore di tensione mostrato in Figura 11.43, per il quale risulta:

$$v_{id} = v_i - v_o \quad \text{e} \quad v_{ic} = \frac{v_i + v_o}{2}$$

Utilizzando la (11.107) si ha:

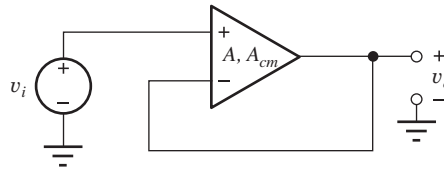
$$v_o = A \left[(v_i - v_o) + \frac{v_i + v_o}{2 CMRR} \right] \quad (11.112)$$

Risolvendo questa equazione rispetto a v_o si ottiene:

$$A_v = \frac{v_o}{v_i} = \frac{A \left[1 + \frac{1}{2 CMRR} \right]}{1 + A \left[1 - \frac{1}{2 CMRR} \right]} \quad (11.113)$$

Figura 11.43

Errore dovuto al CMRR
nell'inseguitore di tensione.



Nel caso ideale, il guadagno dell'inseguitore di tensione è unitario, sicché l'errore relativo al guadagno di tensione risulta:

$$GE = 1 - A_v = \frac{1 - \frac{A}{\text{CMRR}}}{1 + A \left[1 - \frac{1}{2 \text{CMRR}} \right]} \approx \frac{1}{A} - \frac{1}{\text{CMRR}} \quad (11.114)$$

Di solito il valore di A e di CMRR è molto maggiore dell'unità per cui l'approssimazione nella (11.114) può essere ritenuta valida.

Il primo termine nell'Equazione (11.114) rappresenta l'errore dovuto al valore finito del guadagno dell'amplificatore, analizzato in precedenza, mentre il secondo termine mostra che si può verificare un errore ancor più significativo a causa del valore finito di CMRR .

Esempio 11.13
**CALCOLO DELL'ERRORE RELATIVO AL GUADAGNO
PER UN INSEGUITORE DI TENSIONE**

Analizzare l'errore di guadagno per l'inseguitore di tensione.

PROBLEMA Si calcoli l'errore relativo al guadagno per un inseguitore di tensione realizzato con un amplificatore operazionale con un guadagno ad anello aperto di 80 dB e $\text{CMRR} = 60$ dB.

SOLUZIONE **Informazioni e dati noti:** È specificata la topologia del circuito, e inoltre: $A = 80$ dB, $\text{CMRR} = 60$ dB.

Incognite: L'errore relativo al guadagno.

Approccio: Si farà uso della (11.113).

Ipotesi: L'operazionale è ideale a eccezione del valore finito del guadagno e di CMRR . La specifica relativa al valore di CMRR corrisponde a un valore di CMRR pari a ± 1000 . Assumiamo in questo esempio $\text{CMRR} = +1000$. Poiché sia A che CMRR sono molto maggiori dell'unità possiamo utilizzare l'espressione semplificata dell'Equazione (11.114).

Analisi: Dall'Equazione (11.114) si ottiene:

$$GE \approx \frac{1}{10^4} - \frac{1}{10^3} = -9.00 \times 10^{-4} \quad \text{ovvero} \quad -0.090\%$$

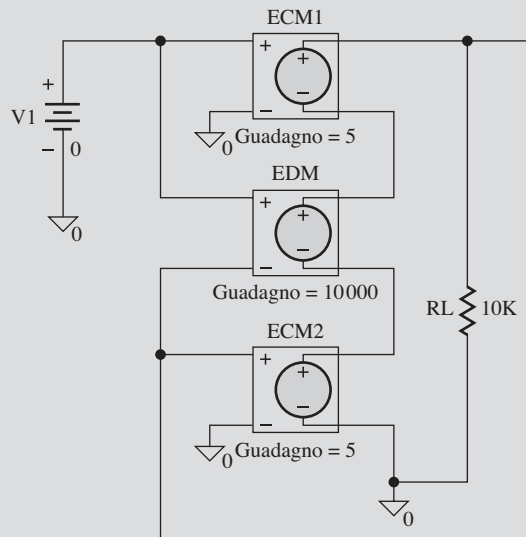
Verifica dei risultati: L'incognita è stata determinata. Il valore appare ragionevole, ma il segno negativo può apparire un risultato inaspettato. Analizzeremo questo aspetto tra breve.

Discussione: In questo esempio l'errore introdotto dal valore finito di CMRR è dieci volte maggiore rispetto a quello dovuto al valore finito del guadagno. Si osservi che l'errore ha segno negativo, corrispondente a un guadagno maggiore di 1! L'errore dovuto solo al valore finito del guadagno produce invece un guadagno A_v leggermente inferiore a 1. In questo caso si ha invece:

$$A_v = \frac{A \left[1 + \frac{1}{2 \text{CMRR}} \right]}{1 + A \left[1 - \frac{1}{2 \text{CMRR}} \right]} = \frac{10^4 \left[1 + \frac{1}{2(1000)} \right]}{1 + 10^4 \left[1 - \frac{1}{2(1000)} \right]} = 1.001$$

Occorre tenere sempre presente l'errore legato al rapporto di reiezione nel progetto di amplificatori di precisione.

Analisi assistita da calcolatore: Il circuito utilizzato nell'esempio precedente viene modificato in base alla topologia dell'inseguitore di tensione con $V1 = 0$. I guadagni relativi a EDM, ECM1 e ECM2 sono pari a 10 000, 5 e 5. L'analisi della funzione di trasferimento fornisce un guadagno di tensione pari a +1.001.



ESERCIZIO Si calcoli il guadagno di tensione nell'Esempio 11.13 nel caso il CMRR sia pari a 80 dB. Si ripeta il calcolo nel caso di un guadagno pari a 60 dB.

RISPOSTE 1.000; 1.000.

L'analisi delle problematiche legate al rapporto di reiezione del modo comune è spesso limitata al funzionamento in continua. Questi problemi, tuttavia, possono diventare ancor più gravi a frequenze elevate. Il rapporto di reiezione del modo comune decresce rapidamente all'aumentare della frequenza, tipicamente con un tasso almeno pari a -20 dB/decade. La riduzione del CMRR può avere inizio a frequenze inferiori a 100 Hz; il valore di CMRR a 50 Hz o 100 Hz può quindi risultare molto inferiore a quello specificato in continua.

ESERCIZIO Un inseguitore di tensione deve essere progettato in modo che l'errore per il guadagno di tensione sia inferiore allo 0.005%. Si definiscano alcune possibili specifiche per il guadagno ad anello aperto e per il CMRR.

RISPOSTE Alcune possibili soluzioni sono: $A = 92$ dB, $\text{CMRR} = 92$ dB; $A = 100$ dB, $\text{CMRR} = 88$ dB; $A = 88$ dB, $\text{CMRR} = 100$ dB.

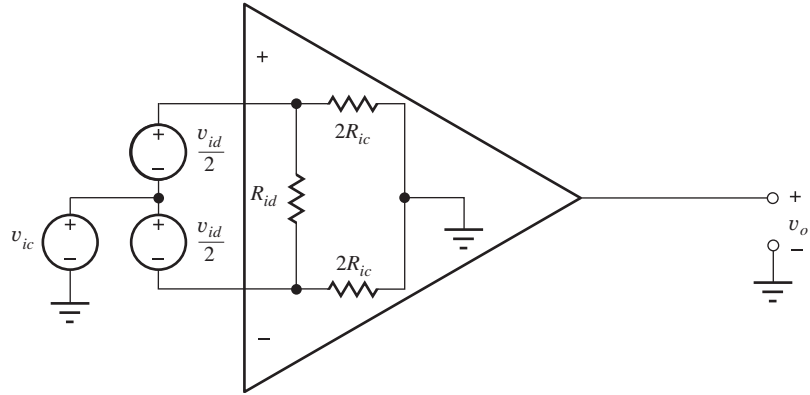
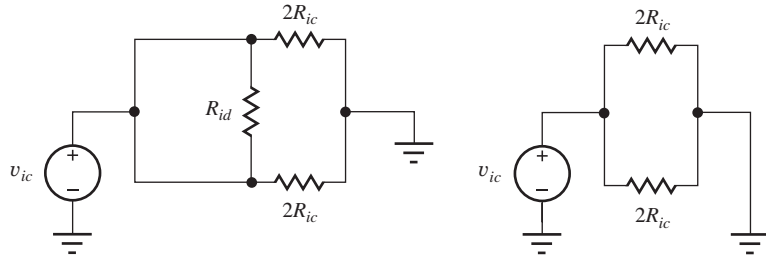
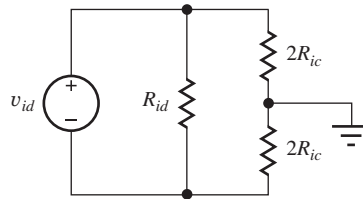
11.12.4 Resistenza di ingresso di modo comune

Abbiamo finora considerato la resistenza d'ingresso R_{id} , che rappresenta approssimativamente il valore della resistenza nel caso in cui in ingresso sia presente una tensione differenziale v_{id} , in assenza di una componente di modo comune. Nel circuito di Figura 11.44 sono state aggiunte due resistenze $2R_{ic}$ che descrivono il valore finito della resistenza di ingresso dell'amplificatore vista dalla componente di modo comune.

Quando un segnale v_{ic} è applicato all'ingresso dell'amplificatore, per il quale la componente differenziale sia nulla ($v_{id} = 0$), la corrente d'ingresso non è pari a zero, benché la resistenza R_{id} sia cortocircuitata (si veda la Figura 11.45). In questo caso la resistenza "vista" dal segnale v_{ic} è data dal parallelo di due resistenze pari a $2R_{ic}$, ed è quindi pari a R_{ic} . La resistenza R_{ic} rappresenta quindi la resistenza di ingresso equivalente relativa alla componente di modo comune, ed è detta **resistenza di ingresso di modo comune** dell'amplificatore. Il valore di R_{ic} è tipicamente molto maggiore rispetto a quello della **resistenza di ingresso di modo differenziale** R_{id} , ed è usualmente maggiore di $1\text{ G}\Omega$.

Figura 11.44

Amplificatore operazionale nel quale sono state aggiunte le resistenze d'ingresso relative al modo comune.

**Figura 11.45** Circuito equivalente d'ingresso in cui è presente solo un segnale di modo comune.**Figura 11.46** Circuito equivalente in cui è presente solo un segnale di modo differenziale.

Dalla Figura 11.46 si vede che la resistenza d'ingresso relativa alla componente differenziale del segnale di ingresso è in realtà pari a:

$$R_{in} = R_{id} \parallel 4R_{ic} \quad (11.115)$$

Come abbiamo osservato, poiché R_{ic} è tipicamente molto maggiore rispetto a R_{id} , la resistenza d'ingresso relativa al modo differenziale è approssimativamente pari a R_{id} .

11.12.5 Interpretazione alternativa della reiezione di modo comune

Annullando la tensione differenziale nella (11.110), la tensione di uscita può essere associata a due componenti di tensione equivalenti all'ingresso:

$$v_o = A \left(V_{OS} + \frac{v_{ic}}{CMRR} \right) = A(v_{OS}) \quad \text{dove} \quad v_{OS} = V_{OS} + v_{os} \quad (11.116)$$

Il CMRR può essere visto come la grandezza che descrive la variazione della tensione di offset totale v_{OS} rispetto al suo valore in continua V_{OS} in seguito all'applicazione di una componente di modo comune all'ingresso, vale a dire $CMRR = v_{ic}/v_{os}$. Spesso nei data sheet il CMRR può essere anche espresso come:

$$CMRR = \frac{v_{os}}{v_{ic}} \quad \text{ovvero} \quad CMRR_{dB} = 20 \log \left| \frac{v_{os}}{v_{ic}} \right|^{-1} \quad (11.117)$$

ed è specificato nel primo caso in microvolt su volt.

Si osservi che talvolta il CMRR (e ancora più spesso il PSRR trattato nel paragrafo successivo) viene dato come rapporto in microvolt su volt, ma quando viene convertito in decibel si calcola il reciproco del rapporto in modo da avere un valore positivo in decibel.

11.12.6 Rapporto di reiezione della tensione di alimentazione

Un parametro simile al CMRR è il **rapporto di reiezione della tensione di alimentazione (PSRR, Power Supply Rejection Ratio)**. A causa della deriva della tensione di alimentazione, o a causa del rumore presente sulla tensione di alimentazione, il valore equivalente della tensione di offset all'ingresso può variare leggermente. Il rapporto PSRR tra la variazione della tensione di offset all'ingresso e la variazione della tensione di alimentazione descrive la sensibilità dell'amplificatore rispetto alle variazioni della tensione di alimentazione. Analogamente al CMRR, il rapporto di reiezione della tensione di alimentazione indica la variazione della tensione di offset dovuta a variazione delle tensioni di alimentazione:

$$\text{PSRR}_+ = \frac{\Delta V_{OS}}{\Delta V_{CC}} \quad \text{e} \quad \text{PSRR}_- = \frac{\Delta V_{OS}}{\Delta V_{EE}} \quad (11.118)$$

espresso di solito in microvolt su volt. Il PSRR è spesso anche espresso in decibel nella forma $\text{PSRR}_{\text{dB}} = 20 \log |1/\text{PSRR}|$. Di solito il PSRR assume valori diversi nel caso di variazioni di V_{CC} oppure di V_{EE} , e nella specifica relativa al PSRR si riporta tipicamente il caso peggiore. I valori del rapporto PSRR sono simili a quelli relativi a CMRR, e sono tipicamente compresi tra 60 e 120 dB in continua. È importante tenere presente che entrambi i parametri diminuiscono rapidamente all'aumentare della frequenza.

ESERCIZIO Si determinino il valore nominale, il valore minimo e il valore massimo del PSRR e del CMRR per l'amplificatore operazionale OP77E. Si ripeta l'analisi per l'operazionale AD741C.

RISPOSTE 123 dB, 120 dB, il valore massimo non è specificato; 140 dB, 120 dB, il valore massimo non è specificato; 90 dB, 76 dB, il valore massimo non è specificato; 90 dB, 70 dB, il valore massimo non è specificato.



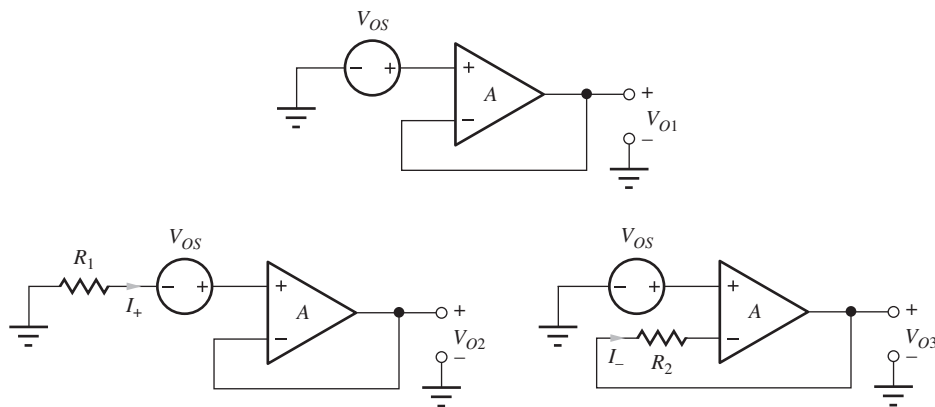
ELETRONICA IN AZIONE

Misura della tensione di offset, corrente di bias e CMRR

In linea di principio i tre circuiti nella figura sotto riportata potrebbero essere usati per misurare la tensione di offset e la corrente di bias di un amplifica-

tore operazionale. Le tensioni di uscita dei tre circuiti sono

$$V_O = V_{OS} \left(\frac{A}{1+A} \right) \quad V_O = (V_{OS} - I_+ R_1) \left(\frac{A}{1+A} \right) \quad V_O = (V_{OS} - I_- R_2) \left(\frac{A}{1+A} \right)$$

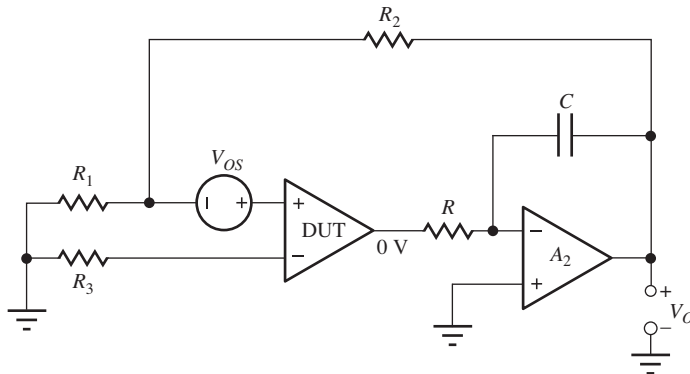


Il primo circuito dà in uscita una tensione continua che è approssimativamente pari alla tensione di offset. Se si aggiunge R_1 al circuito si riesce a calcolare la corrente di polarizzazione I_+ dato che la tensione di uscita cambia circa di $\Delta V_O = -I_+ R_1$. Aggiungendo invece R_2 al circuito originale possia-

mo calcolare la corrente di polarizzazione I_- , dato che in questo caso la tensione di uscita varia di $\Delta V_O = +I_- R_2$. Tutte queste misure tuttavia richiedono di valutare con precisione bassi valori di tensioni e sono affette da un piccolo errore di guadagno.

Il circuito successivo risolve i problemi indicati aggiungendo un secondo amplificatore A_2 . In continua il guadagno di anello complessivo è aumentato dal guadagno ad anello aperto di A_2 . L'amplificatore fatto dai due operazionali può fornire un guadagno elevato, determinato da R_1 e R_2 pur avendo ancora un guadagno di anello elevato e quindi un comportamento preciso. Il secondo amplificatore è connesso a integratore per stabilizzare l'anello di retroazione. In continua l'integratore forza a zero la ten-

sione di uscita del dispositivo in prova (DUT, *Device Under Test*) e la tensione di uscita V_O del circuito completo vale $V_O = V_{OS}(1 + R_2/R_1)$ (assumendo che $I_+ = I_- = 0$). Si può scegliere il rapporto dei resistori R_2/R_1 in modo da amplificare la tensione V_{OS} di un fattore da 10 a 1000 volte, pur avendo ancora un basso errore di guadagno. In questo circuito la resistenza R_3 viene scelta in modo da avere la compensazione della corrente di bias, per misurare la quale basta cambiare i valori di R_1 e R_3 .



L'ultimo circuito qui sotto estende la tecnica precedente per misurare anche il CMRR. Si introduce una tensione di modo comune spostando il potenziale del nodo fra le tensioni di alimentazione V_{CC} e V_{EE} . In continua l'integratore forza l'uscita del primo operazionale ad assumere il valore della tensione di modo comune V_{CM} (ricordare che l'ingresso invertente insegue il potenziale di quello non invertente), in questo modo muovendo le alimentazioni e l'uscita di V_{CM} e mantenendo fermi i potenziali degli ingressi si ha lo stesso effetto dell'applicazione di una tensione di modo comune sugli ingressi. La

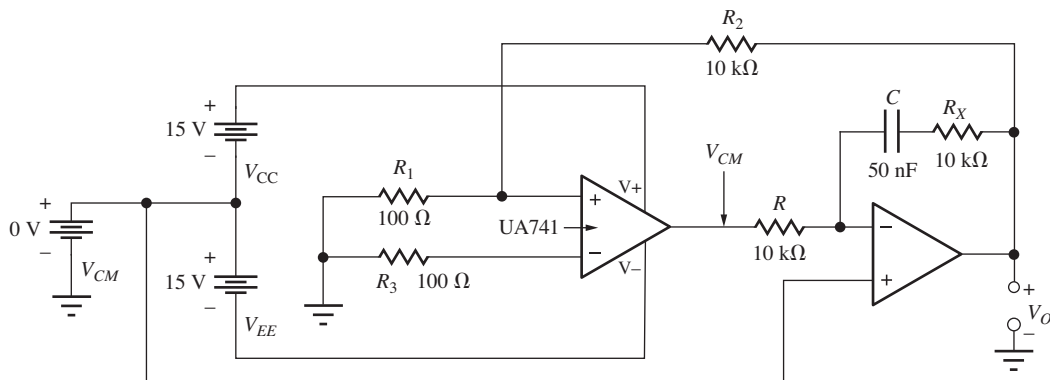
tensione di uscita del circuito, supponendo $T \gg 1$ vale

$$V_O \approx \left(V_{OS} + \frac{V_{CM}}{\text{CMRR}} \right) \left(1 + \frac{R_2}{R_1} \right)$$

e

$$\frac{dV_O}{dV_{CM}} \approx \left(1 + \frac{R_2}{R_1} \right) \frac{1}{\text{CMRR}}$$

Si è aggiunto all'integratore il resistore R_x per avere uno zero nella funzione di trasferimento che facilita la stabilizzazione dell'anello di retroazione.



In SPICE si ottiene il CMRR facendo calcolare la funzione di trasferimento fra la tensione di uscita V_O in funzione di V_{cm} . Inoltre si può anche trovare in modo analogo il PSRR:

$$\frac{dV_O}{dV_{CC}} \approx \left(1 + \frac{R_2}{R_1} \right) \frac{1}{\text{PSRR}_+} \quad \text{e} \quad \frac{dV_O}{dV_{EE}} \approx \left(1 + \frac{R_2}{R_1} \right) \frac{1}{\text{PSRR}_-}$$

Usando il macro modello del $\mu A741$ incluso in SPICE nel circuito sopra riportato, si ottengono i seguenti valori $V_{OS} = 19.8 \mu V$, $\text{CMRR} = 90 \text{ dB}$, $\text{PSRR}_+ = 96 \text{ dB}$, $\text{PSRR}_- = 96 \text{ dB}$.

Il circuito sopra riportato è utilizzabile per misure in laboratorio e può anche essere simulato in SPICE. Tuttavia in quest'ultimo caso bisogna essere sicuri che il modello usato descriva correttamente il comportamento dell'operazionale per quanto riguarda il CMRR e il PSRR. Molti modelli infatti non modellano questi fenomeni o li modellano in modo molto approssimato. Inoltre i valori di offset, bias, CMRR e PSRR sono variabili casuali, di cui viene dato solo il

valore massimo e cambiano da un esemplare di operazionale all'altro. Una simulazione restituisce invece sempre lo stesso valore, che è quello deciso da chi ha scritto il macromodello.

Un semplice modo per generare un segnale di modo comune in ingresso consiste nel modificare le due tensioni di alimentazione della stessa quantità, per esempio da $\pm 15\text{ V}$ a $+20\text{ V}$ e -10 V . Un esempio di questa tecnica è descritta in una "application note".²

11.13 Risposta in frequenza e larghezza di banda degli amplificatori operazionali

Finora abbiamo ipotizzato che l'operazionale avesse una risposta in frequenza ideale, cioè banda passante infinita e guadagno costante. Nella realtà invece gli operazionali sono costruiti con componenti reali che hanno capacità interne e ogni nodo, in un circuito reale, ha delle capacità parassite verso ground. Tutte queste capacità limitano la banda passante dell'operazionale. La maggior parte degli amplificatori operazionali sono progettati in modo da presentare un elevato guadagno a bassa frequenza, e una **risposta in frequenza a singolo polo**, descritta dalla funzione di trasferimento

$$A(s) = \frac{A_o \omega_B}{s + \omega_B} = \frac{\omega_T}{s + \omega_B} \quad (11.119)$$

in cui A_o rappresenta il guadagno in continua ad anello aperto, ω_B è la larghezza di banda ad anello aperto dell'amplificatore operazionale. La frequenza ω_T è detta **frequenza di guadagno unitario**, e rappresenta la frequenza in corrispondenza della quale il modulo del guadagno ad anello aperto diventa unitario: $|A(j\omega)| = 1$ (0 dB). La dipendenza dalla frequenza del modulo del guadagno espresso dalla (11.119) è data da:

$$|A(j\omega)| = \frac{A_o \omega_B}{\sqrt{\omega^2 + \omega_B^2}} = \frac{A_o}{\sqrt{1 + \frac{\omega^2}{\omega_B^2}}} \quad (11.120)$$

La Figura 11.47 mostra il diagramma di Bode della funzione di trasferimento a singolo polo. Per $\omega \ll \omega_B$ il guadagno è costante e pari al valore in continua A_o . La larghezza di banda ad anello aperto ω_B (ovvero $f_B = \omega_B/2\pi$) dell'amplificatore è la frequenza in corrispondenza della quale il guadagno è inferiore di 3 dB rispetto ad A_o . I valori utilizzati per tracciare il diagramma di Bode della Figura 11.47 sono $A_o = 10\,000$ (80 dB) e $\omega_B = 1000$ rad/s (159 Hz).

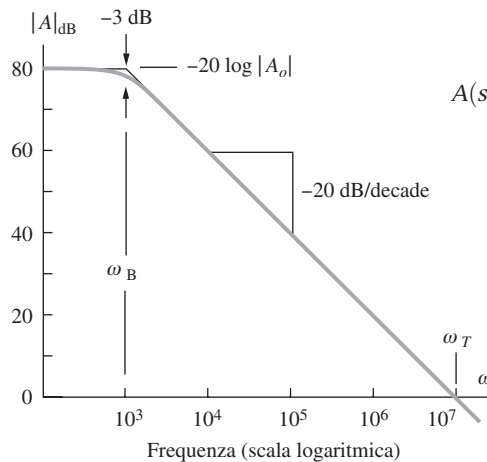


Figura 11.47

Guadagno di tensione in funzione della frequenza per un amplificatore operazionale a singolo polo.

$$A(s) = \frac{A_o \omega_B}{s + \omega_B} = \frac{A_o}{1 + \frac{s}{\omega_B}}$$

² "Op Amp common-Mode Rejection Ratio (CMRR)," Analog Devices Tutorial MT-042, in <http://www.analog.com> della società Analog Devices.

A frequenze elevate ($\omega \gg \omega_B$) la funzione di trasferimento può essere approssimata da:

$$|A(j\omega)| \approx \frac{A_0\omega_B}{\omega} = \frac{\omega_T}{\omega} \quad (11.121)$$

Dalla (11.121) si vede che il modulo del guadagno diventa effettivamente unitario per $\omega = \omega_T$:

$$|A(j\omega)| = \frac{\omega_T}{\omega} = 1 \quad \text{per} \quad \omega = \omega_T \quad (11.122)$$

La (11.122) può essere riscritta nella forma

$$|A(j\omega)| \omega \approx \omega_T \quad \text{e dividendo per } 2\pi \text{ si ottiene} \quad |A(jf)|f \approx f_T \quad (11.123)$$

Per il diagramma di Bode di Figura 11.47 risulta $\omega_T = 10^7$ rad/s oppure $f_T = 1.59$ MHz.

Dall'Equazione (11.123) si vede che per frequenze $\omega \gg \omega_B$, il prodotto del modulo del guadagno di tensione e della frequenza assume un valore costante, pari alla frequenza di guadagno unitario ω_T . Per questo motivo, il parametro ω_T (oppure f_T) è anche detto **prodotto guadagno-larghezza di banda** (GBW, *Gain-Bandwidth Product*) dell'amplificatore. Il risultato importante espresso dalla (11.123) rappresenta una proprietà degli amplificatori a singolo polo descritti dalla funzione di trasferimento (11.119).

Esempio 11.14

FUNZIONE DI TRASFERIMENTO DELL'OPERAZIONALE

Scrittura della funzione di trasferimento a partire dal diagramma di Bode.

PROBLEMA Si ricavi la funzione di trasferimento relativa al guadagno di tensione riportato in Figura 11.47.

SOLUZIONE **Informazioni e dati noti:** Dalla figura si vede che l'amplificatore presenta una funzione di trasferimento a singolo polo descritta dalla (11.119).

Incognite: La funzione di trasferimento, ovvero i valori di A_0 e ω_B .

Approccio: Le incognite devono essere ricavate dal grafico e convertite nella forma appropriata prima di inserirle nell'Equazione (11.119).

Ipotesi: L'amplificatore è caratterizzato da una funzione di trasferimento a singolo polo.

Analisi: Per basse frequenze il guadagno tende asintoticamente a 80 dB, ovvero:

$$A_0 = 10^{80 \text{ dB}/20 \text{ dB}} = 10^4$$

La frequenza di taglio ω_B può essere ricavata direttamente dalla figura e risulta espressa in radianti: $\omega_B = 10^3$ rad/s. Sostituendo i valori di A_0 e ω_B nella (11.119) otteniamo la funzione di trasferimento:

$$A_v(s) = \frac{A_0\omega_B}{s + \omega_B} = \frac{10^4 10^3}{s + 10^3} = \frac{10^7}{s + 10^3} = \frac{10\,000}{1 + s/1000}$$

Verifica dei risultati: La funzione di trasferimento è stata determinata. Possiamo verificare il risultato osservando che il numeratore rappresenta la frequenza di guadagno unitario ω_T . Dal grafico si vede che ω_T è effettivamente pari a 10^7 rad/s.

Discussione: Osserviamo che le frequenze sono usualmente espresse in hertz e che $A_0 f_B = f_T$.

$$f_B = \frac{\omega_B}{2\pi} = 159 \text{ Hz} \quad \text{e} \quad f_T = \frac{\omega_T}{2\pi} = 1.59 \text{ MHz}$$

ESERCIZIO Un amplificatore operazionale presenta un guadagno in continua pari a 100 dB, e una frequenza di guadagno unitario pari a 5 MHz. Qual è il valore di f_B ? Si scriva l'espressione del guadagno dell'amplificatore.

RISPOSTE 50 Hz; $A(s) = \frac{10^7 \pi}{s + 100\pi}$.

ESERCIZIO Si determini il valore nominale del guadagno ad anello aperto e della frequenza di guadagno unitario per l'amplificatore operazionale AD745. Si ricavi l'espressione della funzione di trasferimento relativa al guadagno.

RISPOSTE 200 000; 1 MHz; $A_v(s) = \frac{A_o \omega_B}{s + \omega_B} = \frac{\omega_T}{s + \omega_B} = \frac{2\pi \times 10^6}{s + 10\pi}$.

11.13.1 Risposta in frequenza dell'amplificatore non invertente

Analizziamo ora la risposta in frequenza ad anello chiuso delle configurazioni invertente e non invertente dell'amplificatore operazionale. In precedenza abbiamo visto che il guadagno ad anello chiuso per l'amplificatore non invertente assume la forma

$$A_v = \frac{A}{1 + A\beta} \quad \text{dove} \quad \beta = \frac{R_1}{R_1 + R_2} \quad (11.124)$$

Il procedimento utilizzato per ricavare questa relazione non dipende dall'espressione che descrive il guadagno A . Finora abbiamo assunto un valore costante per A . Per analizzare la risposta in frequenza del guadagno ad anello chiuso sostituiamo nella (11.124) l'Equazione (11.119), che descrive la dipendenza di A dalla frequenza:

$$A_v(s) = \frac{A(s)}{1 + A(s)\beta} = \frac{\frac{A_o \omega_B}{s + \omega_B}}{1 + \frac{A_o \omega_B}{s + \omega_B} \beta} = \frac{A_o \omega_B}{s + \omega_B(1 + A_o \beta)} \quad (11.125)$$

Dividendo numeratore e denominatore per il fattore $(1 + A_o \beta)\omega_B$ in modo da avere il termine noto unitario (forma canonica), la (11.125) diventa

$$A_v(s) = \frac{\frac{A_o}{1 + A_o \beta}}{\frac{s}{(1 + A_o \beta)\omega_B} + 1} = \frac{\frac{A_v(0)}{s/\omega_H + 1}}{\frac{s}{\omega_H} + 1} \quad (11.126)$$

dove la frequenza di taglio superiore è data da:

$$\omega_H = \omega_B(1 + A_o \beta) = \omega_T \frac{(1 + A_o \beta)}{A_o} = \frac{\omega_T}{A_v(0)} \quad (11.127)$$

L'amplificatore retroazionato presenta quindi una risposta in frequenza a singolo polo, espressa da una relazione simile alla (11.119), in cui il guadagno in continua e la larghezza di banda sono dati da:

$$A_v(0) = \frac{A_o}{1 + A_o \beta} \quad \text{e} \quad \omega_H = \frac{\omega_T}{A_v(0)} \quad (11.128)$$

Per $A_o \beta \gg 1$ l'Equazione (11.128) assume la forma semplificata:

$$A_v(0) \approx \frac{1}{\beta} \quad \text{e} \quad \omega_H \approx \beta \omega_T \quad (11.129)$$

Si osservi che il prodotto guadagno-larghezza di banda risulta ancora costante:

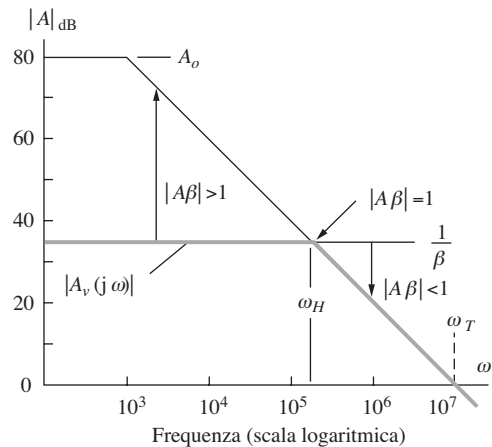
$$A_v(0) \omega_H = \omega_T$$

Dalla (11.128) si vede che il guadagno deve essere ridotto se si vuole aumentare ω_H , e viceversa. Analizzeremo tra breve questo punto in maggior dettaglio.

Anche il guadagno di anello $A(s)\beta$ dipende dalla frequenza come mostrato in Figura 11.48. A frequenze per le quali risulta $|A(j\omega)\beta| \gg 1$, la (11.124) si riduce a $1/\beta$, che coincide con il valore costante trovato precedentemente. Per frequenze tali che $|A(j\omega)\beta| \ll 1$, la (11.124) diventa $A_v \approx A(j\omega)$. Per basse frequenze il guadagno è quindi determinato dalla retroazione, mentre a frequenze elevate coincide con il guadagno dell'amplificatore operazionale.

Figura 11.48

Interpretazione grafica
dell'amplificatore
operazionale con retroazione.



Questi risultati sono mostrati in forma grafica dalle linee più marcate in Figura 11.48, per un amplificatore in cui $1/\beta = 35$ dB. Il guadagno di anello può essere espresso da:

$$A\beta = \frac{A}{\left(\frac{1}{\beta}\right)} \quad \text{e (in dB)} \quad |A\beta|_{\text{dB}} = |A|_{\text{dB}} - \left|\frac{1}{\beta}\right|_{\text{dB}} \quad (11.130)$$

A una data frequenza il modulo del guadagno di anello è pari alla differenza tra i valori A_{dB} e $(1/\beta)_{\text{dB}}$ riportati sul grafico. La frequenza di taglio superiore $\omega_H = \beta\omega_T$ corrisponde al punto di intersezione della retta corrispondente a $(1/\beta)$ e la retta corrispondente a $|A(j\omega)|$, ovvero al punto in cui risulta $|A\beta| = 1$ (più precisamente si ha $A\beta \approx -j1 = 1 \angle -90^\circ$). Per il caso considerato in Figura 11.48 si ha $\beta = 0.0178$ (-35 dB) e $\omega_H = 0.0178 \times 10^7 = 178 \times 10^3$ rad/s.

Esempio 11.15**RISPOSTA IN FREQUENZA DELL'AMPLIFICATORE NON INVERTENTE**

Caratterizzazione della risposta in frequenza di un amplificatore non invertente realizzato con un operazionale con guadagno e banda limitati.

PROBLEMA Un amplificatore operazionale presenta un guadagno in continua pari a 100 dB, e una frequenza di guadagno unitario di 10 MHz. (a) Si determini la frequenza di taglio dell'operazionale. (b) Se l'operazionale è utilizzato per realizzare un amplificatore non invertente con guadagno ad anello chiuso pari a 60 dB, quanto vale la larghezza di banda dell'amplificatore retroazionato? (c) Si ricavi un'espressione per la funzione di trasferimento dell'amplificatore operazionale. (d) Si ricavi un'espressione per la funzione di trasferimento dell'amplificatore non invertente.

SOLUZIONE **Informazioni e dati noti:** $A_o = 10^5$ (100 dB) e $f_T = 10$ MHz. Il valore specificato per il guadagno ad anello chiuso è pari a $A_v = 1000$ (60 dB).

Incognite: (a) L'ampiezza di banda f_B dell'operazionale. (b) Il valore di f_H per l'amplificatore ad anello chiuso. (c) La funzione di trasferimento dell'operazionale. (d) La funzione di trasferimento dell'amplificatore non invertente.

Approccio: Si farà uso delle (11.124)-(11.129) che modellano il comportamento dell'amplificatore non invertente.

Ipotesi: L'amplificatore è caratterizzato da una funzione di trasferimento a singolo polo.

Analisi:

(a) La frequenza di taglio f_B risulta:

$$f_B = \frac{f_T}{A_o} = \frac{10 \text{ MHz}}{10^5} = 100 \text{ Hz}$$

(b) Dalla (11.127) la larghezza di banda dell'amplificatore non invertente risulta

$$f_H = f_B(1 + A_o\beta) = 100(1 + 10^5 \times 10^{-3}) = 10.1 \text{ kHz}$$

in cui il fattore di retroazione β è dato dal valore specificato per il guadagno ad anello chiuso:

$$\beta = \frac{1}{A_v(0)} = \frac{1}{1000} = 10^{-3}$$

(c) Sostituendo i valori di A_o e ω_B nella (11.119) otteniamo la funzione di trasferimento dell'operazionale:

$$A_v(s) = \frac{A_o \omega_B}{s + \omega_B} = \frac{10^5 (2\pi)(10^2)}{s + (2\pi)(10^2)} = \frac{2\pi \times 10^7}{s + 200\pi}$$

(d) Dalla (11.125) la funzione di trasferimento dell'amplificatore non invertente risulta:

$$A_v(s) = \frac{A_o \omega_B}{s + \omega_B(1 + A_o \beta)} = \frac{10^5 (2\pi)(10^2)}{s + (2\pi)(10^2)[1 + 10^5(10^{-3})]} = \frac{2\pi \times 10^7}{s + 2.02\pi \times 10^4}$$

Verifica dei risultati: Le incognite sono state determinate. Il numeratore delle espressioni relative alle funzioni di trasferimento corrisponde a $\omega_T = 2\pi f_T$ ed è quindi corretto.

Soluzione alternativa: Nella determinazione delle prestazioni ad anello chiuso, al posto di partire dal valore di A_o e f_B e scendere lungo la curva dell'operazionale fino a incontrare $1/\beta$, si può procedere a ritroso partendo dal valore di f_T e risalendo lungo la funzione di trasferimento ad anello aperto dell'operazionale fino a incontrare il guadagno desiderato, in questo caso 1000 volte.

Facendo uso della tecnica illustrata nel Paragrafo 10.10.9 e facendo riferimento alla Figura 11.48 si può scrivere che

$$\frac{f_T}{f_H} = \frac{A_v(0)}{1} \quad \text{da cui} \quad f_H = \frac{f_T}{A_v(0)} = \frac{10 \text{ MHz}}{1000} = 10 \text{ kHz}$$

Il risultato è compatibile con quello trovato in precedenza e non si è fatto uso né dei parametri in bassa frequenza dell'operazionale e neppure si è calcolato il fattore β , il cui valore dato in precedenza (ossia 10^{-3}) è il valore nominale in quanto non si tiene conto dell'errore di guadagno.

Negli operazionali reali i valori di A_o e di f_B sono estremamente mal determinati perché dipendono da parametri secondari dei transistori (effetto Early per i bipolari e modulazione della lunghezza di canale per i MOS). Invece il prodotto guadagno banda è un valore molto più affidabile e controllato tecnologicamente, per cui nel calcolo delle prestazioni di un circuito con operazionale è opportuno non utilizzare A_o e f_B , ma usare f_T .

ESERCIZIO Un amplificatore operazionale presenta un guadagno in DC di 90 dB e una frequenza corrispondente a guadagno unitario di 5 MHz. Qual è la frequenza di taglio dell'amplificatore? Se l'amplificatore è usato per costruire un amplificatore non invertente con guadagno ad anello chiuso di 40 dB, qual è la larghezza di banda dell'amplificatore retroazionato? Si scriva l'espressione della funzione di trasferimento dell'operazionale. Si scriva l'espressione della funzione di trasferimento dell'amplificatore non invertente.

RISPOSTE 158 Hz; 50 kHz; $A(s) = \frac{10^7 \pi}{s + 316\pi}$; $A_v(s) = \frac{10^7 \pi}{s + 10^5 \pi}$.

ESERCIZIO Si mostri che $A\beta \approx -j1$ in corrispondenza della frequenza per cui $|A(j\omega)|$ diventa pari a $(1/\beta)$.

11.13.2 Risposta in frequenza dell'amplificatore invertente

La risposta in frequenza della configurazione invertente può essere ricavata con un procedimento simile a quello utilizzato per la configurazione non invertente. Sostituendo l'Equazione (11.119), che descrive la dipendenza dalla frequenza del guadagno dell'amplifi-

cattore operazionale, nell'espressione del guadagno dell'amplificatore invertente, si ottiene

$$A_v = \left(-\frac{R_2}{R_1} \right) \frac{A(s)\beta}{1 + A(s)\beta} \quad \text{dove} \quad \beta = \frac{R_1}{R_1 + R_2}$$

ovvero

(11.131)

$$A_v(s) = \left(-\frac{R_2}{R_1} \right) \frac{\frac{A_o\omega_B}{s + \omega_B}\beta}{1 + \frac{A_o\omega_B}{s + \omega_B}\beta} = \frac{\left(-\frac{R_2}{R_1} \right) \frac{A_o\beta}{1 + A_o\beta}}{\frac{s}{\omega_B(1 + A_o\beta)} + 1} = \left(-\frac{R_2}{R_1} \right) \frac{A_o\beta\omega_B}{s + \omega_B(1 + A_o\beta)}$$

Per $A_o\beta \gg 1$, queste equazioni si semplificano come segue:

$$A_v = \frac{\left(-\frac{R_2}{R_1} \right) \frac{A_o\beta}{(1 + A_o\beta)}}{\frac{s}{\omega_H} + 1} \approx \frac{\left(-\frac{R_2}{R_1} \right)}{\frac{s}{\omega_H} + 1} \quad \text{e} \quad \omega_H = \frac{\omega_T}{\frac{A_o}{(1 + A_o\beta)}} \approx \beta\omega_T \quad (11.132)$$

Queste espressioni approssimate rappresentano ancora una funzione di trasferimento a un singolo polo. Il guadagno a bassa frequenza $A_v(0)$ è determinato dal rapporto delle resistenze $(-R_2/R_1)$, e la larghezza di banda ha espressione identica a quella trovata per la configurazione non invertente $\omega_H = \beta\omega_T$.

I risultati qui ottenuti per la risposta in frequenza delle configurazioni invertente e non invertente sono riassunti nella Tabella 11.3, in cui le diverse relazioni sono state espresse in termini del valore ideale del guadagno a bassa frequenza. Benché le espressioni siano simili, si nota che, per un assegnato valore del guadagno in continua, la larghezza di banda risulta leggermente maggiore per la configurazione non invertente, a causa della differenza tra le relazioni relative a β e $A_v(0)$. La differenza è significativa solo per amplificatori progettati con valori ridotti del guadagno ad anello chiuso.

Tabella 11.3 Confronto tra la risposta in frequenza dell'amplificatore invertente e di quella dell'amplificatore non invertente

$\beta = \frac{R_1}{R_1 + R_2}$	Amplificatore non invertente	Amplificatore invertente
Guadagno in DC	$A_v(0) = 1 + \frac{R_2}{R_1}$	$A_v(0) = -\frac{R_2}{R_1}$
Fattore di retroazione	$\beta = \frac{1}{A_v(0)}$	$\beta = \frac{1}{1 + A_v(0) }$
Larghezza di banda	$f_H = \beta f_T$	$f_H = \beta f_T$
Resistenza di ingresso	$R_{ic} \parallel R_{id}(1 + A\beta)$	$R_1 + \left(R_{id} \parallel \frac{R_2}{1 + A} \right)$
Resistenza di uscita	$\frac{R_o}{1 + A\beta}$	$\frac{R_o}{1 + A\beta}$

Esempio 11.16

RISPOSTA IN FREQUENZA DELL'AMPLIFICATORE INVERTENTE

Caratterizzazione della risposta in frequenza di un amplificatore invertente realizzato con un operazionale avente guadagno e banda limitati.

PROBLEMA

Un amplificatore operazionale presenta un guadagno in continua pari a 200 000, e una frequenza di guadagno unitario di 500 kHz. (a) Si determini la frequenza di taglio dell'operazionale. (b) Se l'operazionale è utilizzato per realizzare un amplificatore invertente con guadagno ad anello chiuso pari a 40 dB, quanto vale la larghezza di banda dell'amplificatore retroazionato? (c) Si ricavi un'espressione per la funzione di trasferimento dell'amplificatore operazionale. (d) Si ricavi un'espressione per la funzione di trasferimento dell'amplificatore invertente.

Informazioni e dati noti: $A_o = 2 \times 10^5$ (106 dB) e $f_T = 500$ kHz. Il valore specificato per il guadagno ad anello chiuso è pari a $A_v = -100$ (40 dB). **SOLUZIONE**

Incognite: (a) L'ampiezza di banda f_B dell'operazionale. (b) La larghezza di banda dell'amplificatore invertente. (c) La funzione di trasferimento dell'operazionale. (d) La funzione di trasferimento dell'amplificatore invertente.

Approccio: Si farà uso della (11.119) per l'operazionale e delle (11.131)-(11.132) per l'amplificatore invertente.

Ipotesi: L'amplificatore è caratterizzato da una funzione di trasferimento a singolo polo. Per le altre caratteristiche è ideale.

Analisi:

(a) La frequenza di taglio f_B risulta:

$$f_B = \frac{f_T}{A_o} = \frac{5 \times 10^5 \text{ Hz}}{2 \times 10^5} = 2.5 \text{ Hz}$$

(b) Dalla (11.132) la larghezza di banda dell'amplificatore invertente risulta

$$f_H = f_B(1 + A_o\beta) = 2.5 \text{ Hz} \left(1 + \frac{2 \times 10^5}{101} \right) = 4.95 \text{ kHz}$$

in cui il fattore di retroazione β è dato dal valore specificato per il guadagno ad anello chiuso (si veda la Tabella 11.3):

$$\beta = \frac{1}{1 + |A_v(0)|} = \frac{1}{101}$$

La larghezza di banda dell'amplificatore retroazionato può anche essere calcolata partendo da f_T

$$f_H = \frac{f_T}{1 + |A_v(0)|} = \frac{500 \text{ kHz}}{1 + 100} = 4.95 \text{ kHz}$$

(c) Sostituendo i valori di A_o e ω_B nella (11.119) otteniamo la funzione di trasferimento dell'operazionale:

$$A_o(s) = \frac{A_o\omega_B}{s + \omega_B} = \frac{\omega_T}{s + \omega_B} = \frac{(2\pi)(5 \times 10^5)}{s + (2\pi)(2.5)} = \frac{10^6\pi}{s + 5\pi}$$

(d) Dalla (11.131) la funzione di trasferimento dell'amplificatore invertente risulta:

$$\begin{aligned} A_v(s) &= \left(-\frac{R_2}{R_1} \right) \frac{A_o\beta\omega_B}{s + \omega_B(1 + A_o\beta)} = (-100) \frac{(2 \times 10^5)(2\pi)(2.5) \frac{1}{101}}{s + (2\pi)(2.5) \left(1 + \frac{2 \times 10^5}{101} \right)} \\ &= -\frac{9.90 \times 10^5\pi}{s + 9.91 \times 10^3\pi} \end{aligned}$$

Verifica dei risultati: Le incognite sono state determinate. Possiamo effettuare un'ulteriore verifica per la funzione di trasferimento dell'amplificatore invertente valutando il valore in continua e l'ampiezza di banda

$$A_v(0) = -\frac{9.90 \times 10^5\pi}{9.91 \times 10^3\pi} = -99.9 \quad \text{e} \quad f_H = \frac{9.91 \times 10^3\pi}{2\pi} = 4.96 \text{ kHz}$$

in cui le trascurabili differenze sono dovute agli errori di arrotondamento, alle approssimazioni introdotte e all'errore di guadagno.

ESERCIZIO Un amplificatore operazionale con guadagno in continua pari a 90 dB e frequenza di guadagno unitario di 5 MHz è utilizzato per realizzare un amplificatore invertente con guadagno ad anello chiuso pari a 50 dB. Si calcoli la frequenza di taglio dell'operazionale e la larghezza di banda dell'amplificatore retroazionato. Si scriva un'espressione per la funzione di trasferimento dell'amplificatore operazionale. Si scriva un'espressione per la funzione di trasferimento dell'amplificatore invertente.

RISPOSTE 158 Hz; 15.8 kHz; $A(s) = \frac{\pi \times 10^7}{s + 316\pi}$; $A(s) = -\frac{\pi \times 10^7}{s + 31.84\pi \times 10^3}$.

RISPOSTE Si calcoli la larghezza di banda di un inseguitore di tensione realizzato con l'amplificatore considerato nell'Esempio 11.15. Si ripeta il calcolo per un amplificatore invertente con $A_v = -1$.

RISPOSTE 10 MHz; 5 MHz.

11.13.3 Controllo della risposta in frequenza mediante la retroazione

Nei paragrafi precedenti abbiamo scoperto che la retroazione può essere utilizzata per stabilizzare il guadagno e migliorare le resistenze di ingresso e di uscita di un amplificatore. D'altra parte, abbiamo anche visto, nella discussione sugli amplificatori operazionali, che la retroazione può essere usata per ridurre il guadagno a vantaggio della banda passante negli amplificatori passa-basso. In questo paragrafo estenderemo l'analisi agli amplificatori con retroazione in modo generale.

La risposta ad anello chiuso di tutti gli amplificatori con retroazione analizzati in questo capitolo si può scrivere nella forma:

$$A_v = \frac{A}{1 + A\beta} \quad \text{o} \quad A_v(s) = \frac{A(s)}{1 + A(s)\beta(s)} \quad (11.133)$$

Finora, abbiamo considerato il guadagno a centro banda A e abbiamo supposto che esso fosse costante. Tuttavia, possiamo analizzare la risposta in frequenza di un amplificatore ad anello chiuso semplicemente inserendo, nell'Equazione (11.133), l'espressione che esprime la dipendenza di A dalla frequenza.

Supponiamo che l'amplificatore presenti una frequenza di taglio inferiore ω_L , una frequenza di taglio superiore ω_H e un guadagno a centro banda A_o , e sia quindi descrivibile come:

$$A(s) = \frac{A_o \omega_H s}{(s + \omega_L)(s + \omega_H)} \quad (11.134)$$

Sostituendo l'Equazione (11.134) nella (11.133) ed effettuando alcune semplificazioni si ottiene:

$$A_v(s) = \frac{\frac{A_o \omega_H s}{(s + \omega_L)(s + \omega_H)}}{1 + \frac{A_o \omega_H s}{(s + \omega_L)(s + \omega_H)} \beta} = \frac{A_o \omega_H s}{s^2 + [\omega_L + \omega_H(1 + A_o \beta)]s + \omega_L \omega_H} \quad (11.135)$$

Assumendo che $\omega_H(1 + A\beta) \gg \omega_L$, la decomposizione a radice dominante (si veda il Paragrafo 17.6.3) fornisce la seguente stima per le frequenze di taglio superiore ed inferiore e per la banda passante dell'amplificatore:

$$\begin{aligned} \omega_L^F &\approx \frac{\omega_L \omega_H}{\omega_L + \omega_H(1 + A_o \beta)} \approx \frac{\omega_L}{1 + A_o \beta} \\ \omega_H^F &\approx \omega_L + \omega_H(1 + A_o \beta) \approx \omega_H(1 + A_o \beta) \\ BW_F &= \omega_H^F - \omega_L^F \approx \omega_H(1 + A_o \beta) \end{aligned} \quad (11.136)$$

Le frequenze di taglio, e quindi la banda passante, sono migliorate di un fattore $(1 + A_o\beta)$. Nell'ambito delle approssimazioni considerate, la funzione di trasferimento dell'Equazione (11.136) si può riscrivere come:

$$A_v(s) \approx \frac{\frac{A_o}{(1 + A_o\beta)} s}{\left(s + \frac{\omega_L}{(1 + A_o\beta)}\right) \left(1 + \frac{s}{\omega_H(1 + A_o\beta)}\right)} \quad (11.137)$$

Come era lecito aspettarsi, il guadagno a centro banda risulta stabilizzato:

$$A_{\text{mid}} = \frac{A_o}{1 + A_o\beta} \approx \frac{1}{\beta} \quad (11.138)$$

Si vede, inoltre, che il prodotto guadagno-larghezza di banda dell'amplificatore ad anello chiuso risulta costante:

$$\text{GBW} = A_{\text{mid}} \times \text{BW}_F \approx \frac{A_o}{1 + A_o\beta} \omega_H(1 + A_o\beta) = A_o\omega_H \quad (11.139)$$

Questi risultati sono rappresentati in forma grafica nella Figura 11.49 per un amplificatore con $1/\beta = 20$ dB. L'amplificatore ad anello aperto ha $A_o = 40$ dB, $\omega_L = 100$ rad/s, $\omega_H = 10$ krad/s, mentre l'amplificatore ad anello chiuso presenta $A_v = 19.2$ dB, $\omega_L = 9.1$ rad/s, $\omega_H = 110$ krad/s.

ESERCIZIO Un amplificatore operazionale presenta un guadagno in continua di 100 dB e una frequenza di guadagno unitario di 10 MHz. Qual è la frequenza di taglio superiore dell'amplificatore operazionale? Se l'amplificatore operazionale è utilizzato per realizzare un amplificatore non invertente con un guadagno ad anello chiuso di 60 dB, qual è la banda passante dell'amplificatore retroazionato? Si scriva un'espressione della funzione di trasferimento dell'amplificatore operazionale. Si scriva un'espressione della funzione di trasferimento dell'amplificatore non invertente.

RISPOSTE 100 Hz; 10 kHz; $A(s) = 2\pi \times 10^7 / (s + 200\pi)$;

$$A_v(s) = 2\pi \times 10^7 / (s + 2\pi \times 10^4) = \frac{1000}{s / (2\pi \times 10^4) + 1}.$$

11.13.4 Funzionamento ad ampi segnali: slew rate e larghezza di banda a piena potenza

Finora abbiamo tacitamente supposto che i circuiti che compongono gli amplificatori operazionali possano rispondere in modo istantaneo alle variazioni dei segnali d'ingresso. I nodi interni di un amplificatore, tuttavia, presentano, rispetto agli altri nodi, delle capacità parassite. Poiché è disponibile solo un valore finito di corrente per caricare queste capacità, esi-

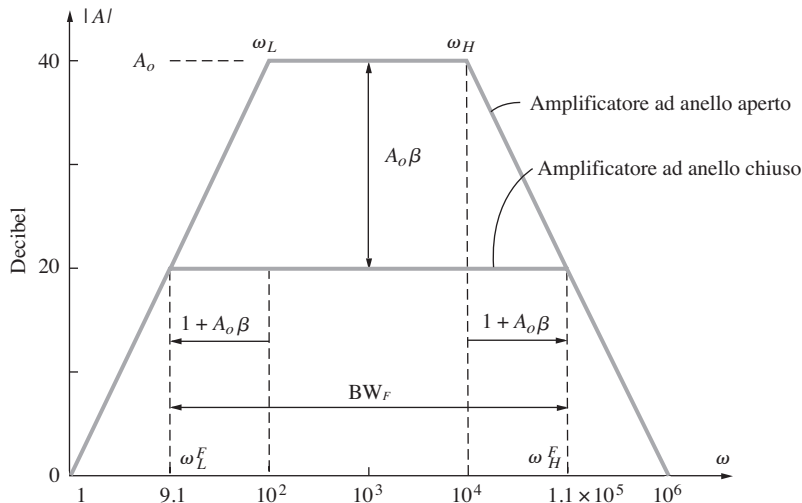
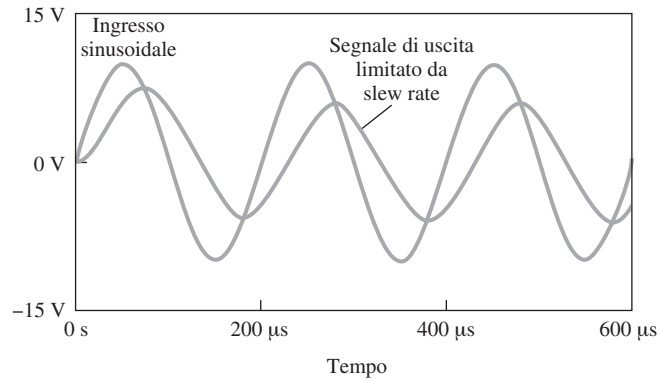


Figura 11.49
Rappresentazione grafica della risposta in frequenza dell'amplificatore retroazionato.

Figura 11.50

Un esempio di segnale di uscita limitato da slew rate.



ste un valore massimo della velocità con cui può variare la tensione dei nodi. Questa limitazione è descritta da un parametro detto **slew rate** (SR), che rappresenta la velocità massima di variazione della tensione di uscita dell'amplificatore operazionale, in condizioni di funzionamento ad ampi segnali. Negli amplificatori operazionali lo slew rate assume tipicamente valori compresi nell'intervallo:

$$0.1 \text{ V}/\mu\text{s} \leq \text{SR} \leq 10 \text{ V}/\mu\text{s}$$

In casi particolari è possibile ottenere valori molto maggiori. Un esempio di limitazione alla velocità di variazione del segnale di uscita dovuta allo slew rate è mostrato in Figura 11.50.

Per una data frequenza, lo slew rate limita il valore massimo dell'ampiezza del segnale che può essere applicato in ingresso senza produrre distorsione. Consideriamo, per esempio, un segnale sinusoidale $v_O = V_M \sin \omega t$.

La massima velocità di variazione si verifica quando il segnale si annulla, ed è data da:

$$\left. \frac{dv_O}{dt} \right|_{\max} = V_M \omega \cos \omega t|_{\max} = V_M \omega \quad (11.140)$$

Per evitare la distorsione del segnale, la massima velocità di variazione deve essere inferiore allo slew rate:

$$V_M \omega \leq \text{SR} \quad \text{ovvero} \quad V_M \leq \frac{\text{SR}}{\omega} \quad (11.141)$$

Detta V_{FS} la massima escursione del segnale di uscita, la **larghezza di banda a piena potenza** rappresenta la massima frequenza per cui è possibile ottenere un segnale di uscita di ampiezza pari a V_{FS} . La larghezza di banda a piena potenza può essere espressa da:

$$f_M \leq \frac{\text{SR}}{2\pi V_{FS}} \quad (11.142)$$

ESERCIZIO Si supponga che un amplificatore operazionale presenti uno slew rate di $0.5 \text{ V}/\mu\text{s}$. Qual è l'ampiezza massima di un segnale sinusoidale che può essere amplificato senza distorsione alla frequenza di 20 kHz ? Se il segnale di uscita deve presentare un'ampiezza massima di 10 V , qual è la corrispondente larghezza di banda a piena potenza?

RISPOSTE 3.98 V ; 7.96 kHz .

11.13.5 Macromodello per la risposta in frequenza dell'amplificatore operazionale

I circuiti interni che compongono un amplificatore operazionale possono contenere da 20 a 100 transistori bipolari o a effetto di campo (oppure entrambi). Se si rappresentassero questi transistori con i corrispondenti circuiti equivalenti, la simulazione di circuiti contenenti diversi amplificatori operazionali richiederebbe tempi di calcolo molto elevati. Sono quindi state sviluppate rappresentazioni circuitali semplificate del comportamento dell'amplificatore operazionale, dette **macromodelli**. Il modello a doppio bipolo che abbiamo utilizzato in questo capitolo può essere considerato come una forma semplificata di macromodello. In questo paragrafo presenteremo un modello che può essere utilizzato per la simulazione SPICE della risposta in frequenza di circuiti contenenti amplificatori operazionali.

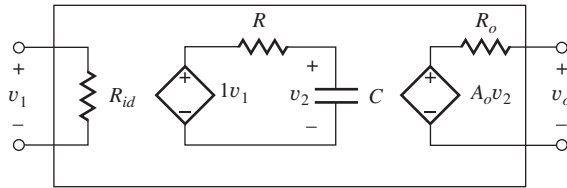


Figura 11.51
Semplice macro-modello
di un amplificatore
operazionale.

Per riprodurre un comportamento in frequenza a singolo polo, viene aggiunta una maglia al doppio bipolo, come mostrato in Figura 11.51. Questa maglia contiene un generatore di tensione controllato (tensione v_1), disposto in serie con la resistenza R e la capacità C . Il prodotto RC viene scelto in modo da ottenere il valore corretto della larghezza di banda ad anello aperto dell'amplificatore operazionale. Se si applica un generatore di tensione in ingresso, il guadagno di tensione ad anello aperto ($R_L \rightarrow \infty$) risulta:

$$A_v(s) = \frac{V_o(s)}{V_1(s)} = \frac{A_o \omega_B}{s + \omega_B} \quad \text{dove} \quad \omega_B = \frac{1}{RC} \quad (11.143)$$

Il circuito aggiunto è un circuito fittizio, che ha il solo scopo di riprodurre la risposta in frequenza dell'amplificatore operazionale; i valori di R e C sono arbitrari. Per esempio, le coppie di valori $R = 1 \, \Omega$ e $C = 15.9 \, \text{mF}$, $R = 1 \, \text{k}\Omega$ e $C = 15.9 \, \mu\text{F}$, $R = 1 \, \text{M}\Omega$ e $C = 15.9 \, \text{nF}$ possono equivalentemente essere utilizzate per il modello di un amplificatore con una frequenza di taglio di $10 \, \text{Hz}$.

ESERCIZIO Si sviluppi un semplice macromodello per l'amplificatore operazionale OP-27. Si faccia riferimento al valore nominale dei parametri.

RISPOSTE $R_{id} = 6 \, \text{M}\Omega$; $R = 2 \, \text{k}\Omega$; $C = 17.9 \, \mu\text{F}$; $A_o = 1.8 \times 10^6$; $R_o = 70 \, \Omega$. I valori di R e C sono arbitrari, essendo specificato solo il prodotto $RC = (1/8.89\pi) \, \text{s}$.

11.13.6 Macromodelli completi di amplificatori operazionali in SPICE

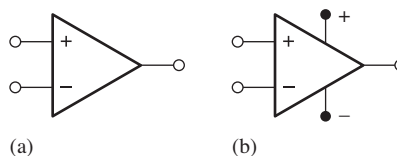
La maggior parte delle versioni di SPICE disponibili contiene dei macromodelli sofisticati per gli operazionali (si vedano anche le letture consigliate a fine capitolo). Questi macromodelli includono tutti gli aspetti non ideali esaminati in precedenza e contengono un elevato numero di parametri che possono essere scelti per descrivere in modo accurato il comportamento di un amplificatore operazionale. È possibile descrivere amplificatori con tre oppure cinque terminali come mostrato in Figura 11.52. Un possibile insieme di parametri è mostrato in Tabella 11.4. In aggiunta ai parametri esaminati in precedenza, sono inclusi

Tabella 11.4 Parametri tipici relativi a macro modelli di amplificatori operazionali

Parametro	Valore tipico
Guadagno di modo differenziale (DC)	106 dB
Resistenza di ingresso di modo differenziale	2 M Ω
Capacità di ingresso	1.5 pF
Rapporto di reiezione di modo comune	90 dB
Resistenza di ingresso di modo comune	2 G Ω
Resistenza di uscita	50 Ω
Tensione di offset di ingresso	1 mV
Corrente di polarizzazione di ingresso	80 nA
Corrente di offset	20 nA
Slew rate positivo	0.5 V/ μs
Slew rate negativo	0.5 V/ μs
Corrente massima erogata in uscita	25 mA
Corrente massima assorbita in uscita	25 mA
Tipo di ingresso (n oppure p)	tipo n
Frequenza del primo polo	5 Hz
Frequenza dello zero	5 MHz
Frequenza del secondo polo	2 MHz
Frequenza del terzo polo	20 MHz
Frequenza del quarto polo	100 MHz
Tensione di alimentazione (modello a 3 terminali)	15 V

Figura 11.52

(a) Amplificatore operazionale a tre terminali.
 (b) Amplificatore operazionale a cinque terminali.



parametri relativi ai diversi poli e allo zero nella risposta in frequenza, alla capacità d'ingresso e ai transistori *nnp* o *pnp* in ingresso. Questa ultima scelta determina il verso delle correnti di polarizzazione in ingresso; la corrente di polarizzazione entra nei terminali dell'operazionale nel caso siano presenti transistori *nnp* (tipo *n*), mentre esce dai terminali nel caso di transistori *pnp* (tipo *p*).

11.13.7 Esempi di amplificatori operazionali commerciali per applicazioni generali

Avendo studiato la teoria dei circuiti basati su amplificatori operazionali ideali e non ideali, analizziamo in maggiore dettaglio le caratteristiche di un amplificatore operazionale per applicazioni generali.

Si osservi che molte delle specifiche sono espresse in termini di valori tipici a cui sono aggiunti il valore minimo o il valore massimo. Per esempio il guadagno di tensione dell'AD745J, in corrispondenza di una temperatura di $T = 25\text{ }^{\circ}\text{C}$ e tensioni di alimentazione pari a $\pm 15\text{ V}$, assume un valore tipico di 132 dB e un valore minimo di 120 dB, mentre il valore massimo non è specificato. La tensione di offset è tipicamente pari a 0.25 mV, con un valore massimo di 1 mV; la versione AD745K, tuttavia, è caratterizzata da un valore tipico della tensione di offset di 0.1 mV con un valore massimo di 0.5 mV. Lo stadio di ingresso di questo amplificatore contiene transistori JFET, pertanto le correnti di polarizzazione di ingresso sono molto piccole a temperatura ambiente, e il valore nominale della resistenza di ingresso è molto elevato.

Il valore minimo per il rapporto di reiezione di modo comune (in continua) è pari a 80 dB, e le specifiche relative a PSRR e CMRR sono identiche. Con tensioni di alimentazione di $\pm 15\text{ V}$, l'amplificatore è in grado di amplificare segnali di ingresso con un intervallo di modo comune da +13.3 V a -10.7 V; l'amplificatore inoltre garantisce un'escursione per la tensione di uscita di +12 V, con una resistenza di carico pari a 2 k Ω .

Il valore minimo per il prodotto guadagno-banda (ovvero la frequenza di guadagno unitario f_T) è pari a 20 MHz per l'amplificatore AD745J, mentre il valore minimo per lo slew rate risulta di 12 V/ μs . Sono disponibili molte informazioni aggiuntive in merito alle prestazioni di questa famiglia di amplificatori relativamente a un ampio intervallo di tensioni di alimentazione e temperature.

Tutti i parametri indicati sono delle variabili causali che cambiano da un esemplare all'altro. In fase di progetto si considerano principalmente i valori massimi o minimi, che sono garantiti nelle condizioni di uso specificate.

11.14 Stabilità degli amplificatori retroazionati

Quando un amplificatore viene retroazionato si pone il problema della sua **stabilità**. Fino a questo momento è stato tacitamente assunto che la retroazione fosse negativa. Tuttavia, al crescere della frequenza, la fase del guadagno d'anello cambia ed è possibile che a un certo punto la retroazione diventi positiva. Se il guadagno è maggiore o uguale a 1 in corrispondenza di questa frequenza, si potrebbe avere instabilità, tipicamente sotto forma di oscillazione.

La posizione dei poli di un amplificatore retroazionato si può determinare mediante l'analisi della funzione di trasferimento ad anello chiuso descritta da:

$$A_v(s) = \frac{A(s)}{1 + A(s)\beta(s)} = \frac{A(s)}{1 + T(s)} \quad (11.144)$$

I poli corrispondono ai valori di s per i quali il denominatore si annulla:

$$1 + T(s) = 0 \quad \text{oppure} \quad T(s) = -1 \quad (11.145)$$

I valori di s che soddisfano l'Equazione (11.145) rappresentano i poli di $A_v(s)$. Affinché l'amplificatore sia stabile, i poli devono trovarsi nel semipiano sinistro del piano s . Introduciamo ora due metodi grafici per studiare la stabilità mediante i diagrammi di Nyquist e di Bode.

11.14.1 Il diagramma di Nyquist

Il **diagramma di Nyquist** è un metodo grafico molto utile per l'analisi qualitativa della posizione dei poli di un amplificatore retroazionato. Il diagramma rappresenta una trasformazione della metà destra del piano s sul piano $T(s)$, come mostrato in Figura 11.53. Ciascun valore di s corrisponde a un valore di $T(s)$. Il punto cruciale è la verifica dell'esistenza di un valore di s che corrisponde a $T(s) = -1$. Tuttavia, la verifica per tutti i possibili valori di s richiede un tempo molto lungo. Nyquist scoprì che per semplificare la procedura è sufficiente solo diagrammare la funzione $T(s)$ per i valori di s appartenenti all'asse $j\omega$:

$$T(j\omega) = A(j\omega)\beta(j\omega) = |T(j\omega)| \angle T(j\omega) \quad (11.146)$$

che rappresenta il confine tra il semipiano destro (RHP, *Right Half Plane*) e il semipiano sinistro (LHP, *Left Half Plane*). La funzione $T(j\omega)$ viene normalmente diagrammata in coordinate polari a partire dall'Equazione (11.146). Se il **punto -1** si trova all'interno di questa curva, allora esiste qualche valore di s per cui $T(s) = -1$, ovvero c'è un polo nel semipiano destro, e l'amplificatore è instabile.³ Tuttavia, se il punto -1 giace all'esterno del diagramma di Nyquist, i poli dell'amplificatore ad anello chiuso saranno tutti nel semipiano sinistro, e l'amplificatore è stabile.

Possiamo costruire rapidamente i diagrammi di Nyquist utilizzando MATLAB.⁴ Questo strumento elimina il noioso lavoro di disegnare manualmente i grafici e consente di concentrarsi sulla loro interpretazione. Consideriamo per esempio i sistemi del primo, del secondo e del terzo ordine.

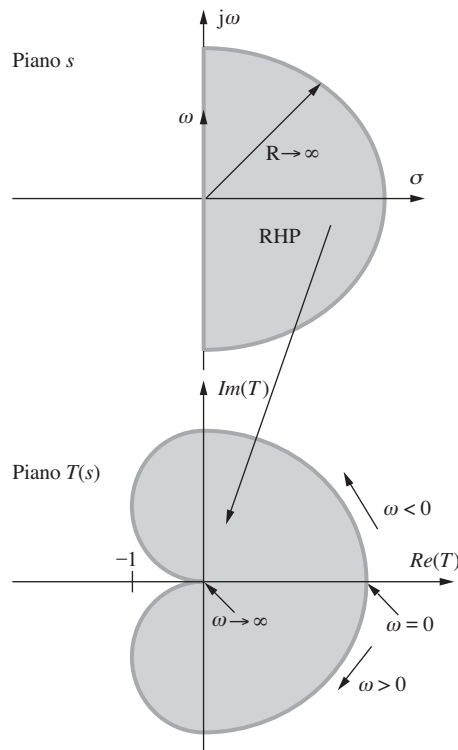


Figura 11.53

Diagramma di Nyquist come trasformazione tra il piano s e il piano $T(s)$.

³ Se "camminiamo" intorno al piano s mantenendo la regione ombreggiata alla nostra destra, la regione corrispondente nel piano $T(s)$ si troverà alla nostra destra [N.d.C.].

⁴ Per esempio, usando la funzione `nyquist(Num, Den)`, con `Num` e `Den` vettori riga contenenti i coefficienti dei polinomi $p_{\text{num}}(s)$ e $p_{\text{den}}(s)$ che compaiono a numeratore e denominatore di $T(s) = p_{\text{num}}(s)/p_{\text{den}}(s)$ [N.d.C.].

11.14.2 Sistemi del primo ordine

Nella maggior parte degli amplificatori retroazionati che abbiamo considerato, si è ritenuto costante il fattore β , mentre $A(s)$ rappresenta la parte dipendente dalla frequenza del guadagno d'anello $T(s)$. Tuttavia, ciò che importa è il comportamento complessivo di $T(s)$. Il caso più semplice è quello dell'amplificatore passa-basso elementare con un guadagno d'anello descritto da:

$$T(s) = \frac{A_o \omega_o}{s + \omega_o} \beta = \frac{T_o}{\frac{s}{\omega_o} + 1} \quad (11.147)$$

Per esempio, l'Equazione (11.147) può descrivere un amplificatore operazionale a singolo polo con una rete di retroazione resistiva. Il diagramma di Nyquist relativo alla funzione

$$T(j\omega) = \frac{T_o}{j\omega + 1} \quad (11.148)$$

è riportato nella Figura 11.54. A frequenza nulla, $T(0) = T_o$, mentre per $\omega \gg 1$,

$$T(j\omega) \approx -j \frac{T_o}{\omega} \quad (11.149)$$

Al crescere della frequenza l'ampiezza tende a zero, e la fase tende asintoticamente a -90° .

Dall'Equazione (11.147) si vede che cambiando il fattore di retroazione β varia il valore di $T(0)$,

$$T(0) = A_o \beta \quad (11.150)$$

ma cambiare $T(0)$ significa semplicemente variare il raggio del cerchio in Figura 11.54, come indicato dalle curve per $T(0) = 5, 10$ e 14 . È impossibile che il diagramma di Figura 11.54 circonda il punto $T = -1$ (indicato da una crocetta in Figura 11.54): l'amplificatore è stabile indipendentemente dal valore di $T(0)$. Questo è uno dei motivi per cui un amplificatore operazionale per uso generale è spesso compensato internamente in modo da presentare una risposta passa-basso a singolo polo. Gli amplificatori operazionali a singolo polo sono stabili per ogni valore di β reale.

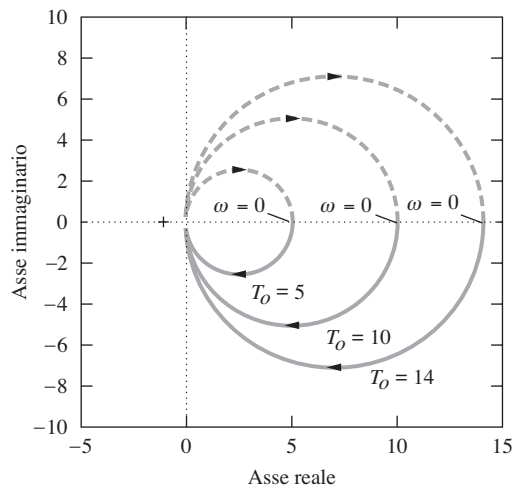
11.14.3 Sistemi del secondo ordine e margine di fase

Il guadagno d'anello del secondo ordine può essere descritto da:

$$T(s) = \frac{A_o}{\left(1 + \frac{s}{\omega_1}\right)\left(1 + \frac{s}{\omega_2}\right)} \beta = \frac{T_o}{\left(1 + \frac{s}{\omega_1}\right)\left(1 + \frac{s}{\omega_2}\right)} \quad (11.151)$$

Figura 11.54

Diagramma di Nyquist per una funzione $T(s)$ del primo ordine, con $T_o = 5, 10$ e 14 . I diagrammi di Nyquist si tracciano facilmente mediante MATLAB: questa figura viene ottenuta mediante le tre istruzioni:
`nyquist (14, [1, 1]),`
`nyquist (10, [1, 1]),`
`nyquist (5, [1, 1]).`



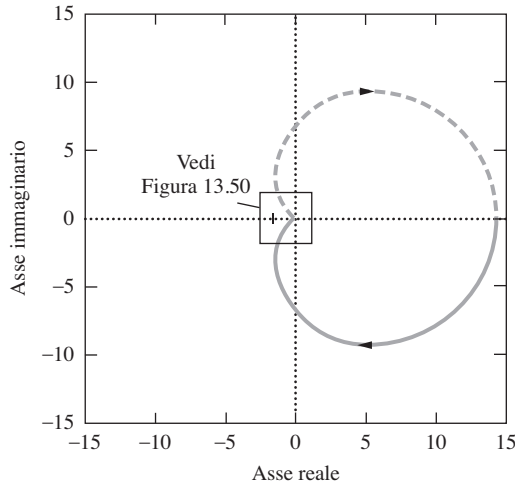


Figura 11.55 Diagramma di Nyquist per una $T(s)$ del secondo ordine (ottenuto mediante il comando MATLAB: `nyquist (14, [1 2 1])`).

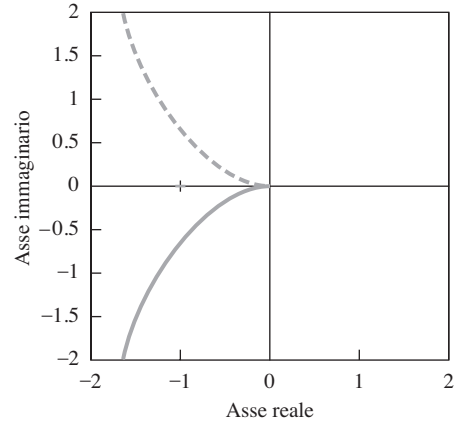


Figura 11.56 Ingrandimento della Figura 11.55 in prossimità del punto -1 . Il sistema del secondo ordine non circonda il punto -1 ma può essere arbitrariamente vicino a esso.

La Figura 11.55 riporta un esempio relativo al guadagno d'anello definito da:

$$T(s) = \frac{14}{(s+1)^2} \quad \text{e} \quad T(j\omega) = \frac{14}{(j\omega+1)^2} \quad (11.152)$$

In questo caso $T_o = 14$, ma alle alte frequenze:

$$T(j\omega) \approx (-j)^2 \frac{14}{\omega^2} = -\frac{14}{\omega^2} \quad (11.153)$$

Al crescere della frequenza l'ampiezza decresce monotonicamente da 14 a 0, e la fase tende asintoticamente a -180° . Ancora una volta è impossibile che questo diagramma circonda il punto -1 . Tuttavia, il sistema del secondo ordine può essere arbitrariamente vicino al punto -1 , come indicato nella Figura 11.56, che mostra un ingrandimento del diagramma di Nyquist nella zona di interesse. Al crescere di T_o la curva si avvicina sempre più al punto -1 . La curva di Figura 11.56 è disegnata per $T_o = 14$, mentre un amplificatore operazionale può presentare facilmente un valore di T_o pari a 1000 o anche più elevato.

Benché stabile, il sistema del secondo ordine può avere un **margine di fase**, definito nella Figura 11.57, praticamente nullo. Il margine di fase φ_M rappresenta il massimo incremento del ritardo di fase tollerabile prima che il sistema diventi instabile, ed è definito da:

$$\varphi_M = \angle T(j\omega_1) - (-180^\circ) = 180^\circ + \angle T(j\omega_1) \quad \text{dove} \quad |T(j\omega_1)| = 1 \quad (11.154)$$

Per calcolare φ_M bisogna prima di tutto determinare la frequenza ω_1 per cui l'ampiezza del guadagno d'anello è unitaria, corrispondente all'intersezione del diagramma di Nyquist con il cerchio di raggio unitario di Figura 11.57, e quindi determinare la fase di T a questa frequenza. La differenza tra questa fase e -180° rappresenta φ_M .

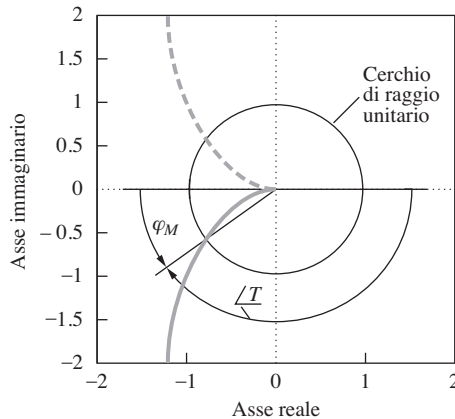


Figura 11.57 Definizione del margine di fase φ_M .

Un margine di fase piccolo causa picchi di risonanza nella risposta in frequenza ad anello chiuso e indesiderate oscillazioni nella risposta al gradino. Inoltre, ogni rotazione del diagramma di Nyquist dovuta a un ulteriore ritardo di fase (causato, per esempio, da poli che possono essere stati trascurati nel modello) può condurre all'instabilità.

11.14.4 Risposta al gradino e margine di fase

Il margine di fase non solo fornisce indicazioni sulla stabilità, ma è anche direttamente legato alla risposta del sistema nel dominio del tempo, in particolare alla sovraelongazione (*overshoot*) e al tempo di assestamento (*settling time*). Consideriamo un operazionale con una risposta in frequenza che contiene un polo in bassa frequenza a ω_B e un secondo polo a frequenza molto più alta ω_2 :

$$A(s) = \frac{A_0 \omega_B}{(s + \omega_B)} \frac{\omega_2}{(s + \omega_2)} \quad (11.155)$$

Se si ipotizza che $\omega_2 \gg \omega_B$, allora la banda passante ad anello aperto vale circa ω_B . Se il fattore di retroazione β non dipende dalla frequenza, la risposta ad anello chiuso vale

$$A_{CL} = \frac{A(s)}{1 + A(s)\beta} = \frac{A_0 \omega_B \omega_2}{s^2 + s(\omega_B + \omega_2) + \omega_B \omega_2 (1 + A_0 \beta)} = \frac{A_0}{1 + A_0 \beta} \left(\frac{\omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \right)$$

$$\omega_n = \sqrt{\omega_B \omega_2 (1 + A_0 \beta)} \quad \text{e} \quad \zeta = \frac{1}{2} \frac{\omega_B + \omega_2}{\sqrt{\omega_B \omega_2 (1 + A_0 \beta)}} = \frac{\omega_B + \omega_2}{2\omega_n} \quad (11.156)$$

In queste espressioni sono stati introdotti due nuovi parametri: ζ è il coefficiente di smorzamento e ω_n è la frequenza dei poli del sistema. Le frequenze naturali del sistema sono date da

$$p_{1,2} = -\zeta \omega_n \pm j\omega_n \sqrt{1 - \zeta^2} \quad (11.157)$$

Applichiamo ora all'ingresso del sistema un gradino di ampiezza V_I . A seconda del valore di ζ si devono considerare tre casi [9]:

- (i) $\zeta > 1$ sistema sovrasmorzato (due poli reali): $p_{1,2} = -\omega_n (\zeta \pm \sqrt{\zeta^2 - 1})$

$$v_{od}(t) = V_F \left\{ 1 - \frac{1}{2\sqrt{\zeta^2 - 1}} \left[\frac{e^{-\omega_n(\zeta - \sqrt{\zeta^2 - 1})t}}{\zeta - \sqrt{\zeta^2 - 1}} - \frac{e^{-\omega_n(\zeta + \sqrt{\zeta^2 - 1})t}}{\zeta + \sqrt{\zeta^2 - 1}} \right] \right\} e$$

$$V_F = \frac{A_0}{1 + A_0 \beta} V_I \quad (11.158)$$

- (ii) $\zeta = 1$ smorzamento critico (due poli reali coincidenti): $p_{1,2} = -\omega_n$

$$v_{od}(t) = V_F [1 - (1 + \omega_n t) e^{-\omega_n t}] \quad (11.159)$$

- (iii) $\zeta < 1$, sistema sottosmorzato (due poli complessi coniugati): $p_{1,2} = -\zeta \omega_n \pm j\omega_n \sqrt{1 - \zeta^2}$

$$v_{ud}(t) = V_F \left[1 - \frac{1}{\sqrt{1 - \zeta^2}} e^{-\zeta \omega_n t} \sin \left(\sqrt{1 - \zeta^2} \omega_n t + \phi \right) \right] \quad \phi = \tan^{-1} \left(\frac{\sqrt{1 - \zeta^2}}{\zeta} \right) \quad (11.160)$$

Le forme d'onda della risposta al gradino di un sistema del secondo ordine in funzione del coefficiente di smorzamento ζ sono in Figura 11.58(a), mentre in Figura 11.58(b) sono definiti la sovraelongazione e il tempo di assestamento. La **sovraelongazione** è la misura di quanto la forma d'onda in uscita supera in transitorio il valore finale e può essere definita come una frazione o una percentuale del valore finale. La sovraelongazione raggiunge il valore massimo al tempo t_p . In Figura 11.58(b), con smorzamento pari a 0.2, la sovraelongazione è del 52.7% all'istante $t_p = 3.21/\omega_n$ s.

$$\text{Sovraelongazione relativa} = \frac{\text{Valore di picco} - \text{Valore finale}}{\text{Valore finale}} = \exp \left(-\frac{\pi \zeta}{\sqrt{1 - \zeta^2}} \right)$$

$$t_p = \frac{\pi}{\omega_n \sqrt{1 - \zeta^2}} \quad (11.161)$$

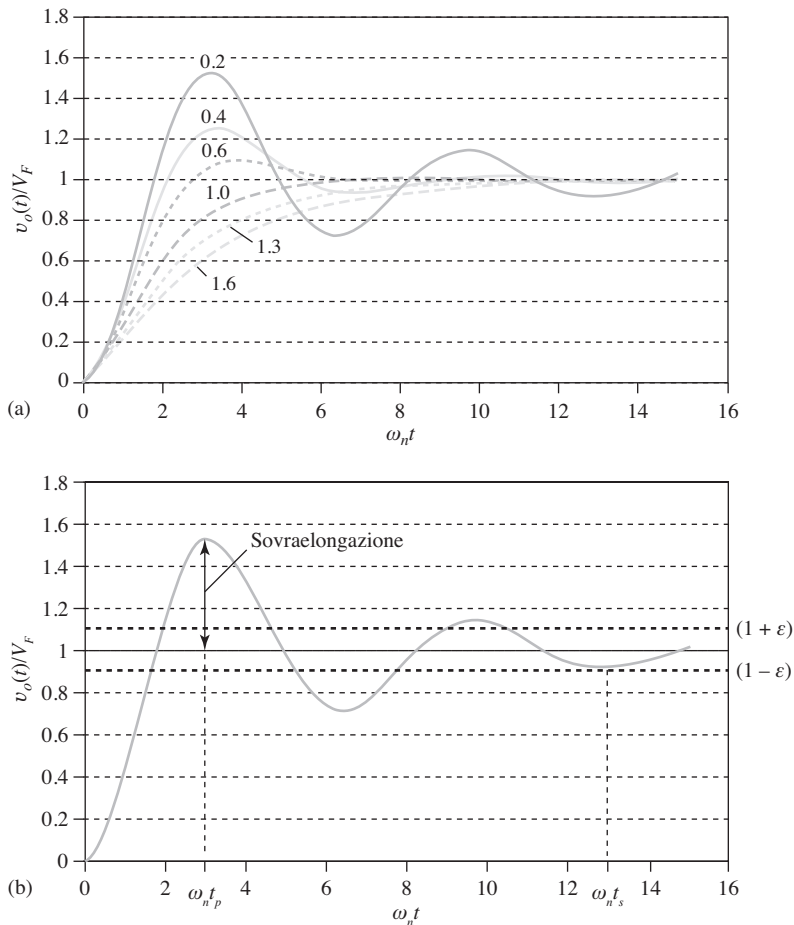


Figura 11.58 (a) Risposta al gradino normalizzata di un sistema del secondo ordine in funzione del fattore di smorzamento ζ ; (b) sovraelongazione e tempo di assestamento per $\zeta = 0.2$ e $\varepsilon = 0.1$.

Il tempo necessario affinché la grandezza di uscita rientri in un determinato errore relativo ε del valore finale è chiamato **tempo di assestamento** t_s . In Figura 11.58(b) la linea in grassetto tratteggiato rappresenta il limite di errore del 10% ($\varepsilon = 0.1$) e il tempo di assestamento t_s è poco meno di $13/\omega_n$ s.

Una risposta sovrasmorzata, $\zeta > 1$, non presenta sovraelongazione, ma il tempo di assestamento richiesto perché l'uscita rientri in una fascia di errore predefinita è molto più lungo. Il caso di smorzamento critico, $\zeta = 1$, presenta il tempo di assestamento più breve senza avere alcuna sovraelongazione. Se però si accetta una certa sovraelongazione, $\zeta < 1$, si può ridurre il tempo di assestamento. La scelta del fattore di smorzamento dipende dall'applicazione.

Frequenza a guadagno unitario e margine di fase

Per trovare il margine di fase in un sistema del secondo ordine si calcola la frequenza ω_T (frequenza di transizione) alla quale il modulo del guadagno di anello diventa unitario partendo dall'Equazione (11.155). Si scrive il guadagno di anello in funzione di ω_n e ζ definiti nella (11.156) ottenendo

$$T(s) = A(s)\beta = \frac{A_o\beta\omega_B\omega_2}{s^2 + s(\omega_B + \omega_2) + \omega_B\omega_2} = \left(\frac{A_o\beta}{1 + A_o\beta} \right) \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \frac{\omega_n^2}{1 + A_o\beta}} \quad (11.162)$$

Per trovare la frequenza a guadagno unitario del guadagno di anello, si costruisce dapprima l'espressione di $|T(j\omega)|$ e la si uguaglia a 1, ottenendo

$$|T(j\omega_T)| = 1 \Rightarrow \left(\frac{A_o\beta}{1 + A_o\beta} \right)^2 \omega_n^4 = \left(\frac{\omega_n^2}{1 + A_o\beta} - \omega_T^2 \right)^2 + 4\zeta^2 \omega_n^2 \omega_T^2 \quad (11.163)$$

Nel caso in cui $A_o\beta \gg 1$, condizione molto comune, si trova, dopo parecchie manipolazioni algebriche [9], che la frequenza a guadagno unitario vale

$$\omega_T = \omega_n \sqrt{\sqrt{4\zeta^2 + 1} - 2\zeta^2}$$

e

$$\varphi_M = \tan^{-1} \frac{2\zeta}{\sqrt{\sqrt{4\zeta^2 + 1} - 2\zeta^2}} = \cos^{-1} \left(\sqrt{4\zeta^2 + 1} - 2\zeta^2 \right) \quad (11.164)$$

I risultati delle Equazioni (11.161) e (11.164) permettono di collegare la sovralongazione, il margine di fase e il coefficiente di smorzamento. I valori per alcuni casi sono riportati in Tabella 11.5. Una specifica abbastanza comune nel progetto di sistemi retroazionati è di avere un margine di fase di almeno 60° , che corrisponde a una sovralongazione minore del 10%.

Tabella 11.5 Sovralongazione in funzione del margine di fase e del coefficiente di smorzamento

Sovralongazione%	Margine di fase%	Coefficiente di smorzamento
1	71	0.83
2	69	0.78
3	67	0.75
5	65	0.69
7	62	0.65
10	59	0.59
20	48	0.46
30	39	0.36
50	24	0.22
70	13	0.11

ESERCIZIO Che fattore di smorzamento e margine di fase è necessario per avere una sovralongazione minore dell'1%? Quanto è la sovralongazione se il margine di fase è di 45° ?

RISPOSTE 0.826, 79.9° ; 23.4%.

ESERCIZIO Si supponga di volere che l'amplificatore di Figura 11.58(b) abbia un tempo di assestamento entro il 10% in $10 \mu s$. Quale valore della frequenza dei poli ω_n è necessario? Se l'operazionale ha $f_T = 1 \text{ MHz}$ e $1/\beta = 10$, qual è la frequenza del secondo polo $f_2 = \omega_2/2\pi$?

RISPOSTE $\geq 1.3 \text{ Mrad/s}$; $\geq 428 \text{ kHz}$.



NOTA PROGETTUALE

Margine di fase minimo

Un obiettivo comune nel progetto di sistemi retroazionati è di ottenere un margine di fase minimo di 60° , che corrisponde a una sovralongazione inferiore al 10%.

11.14.5 Sistemi del terzo ordine e margine di guadagno

I sistemi del terzo ordine descritti da:

$$T(s) = \frac{A_o}{\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right) \left(1 + \frac{s}{\omega_3}\right)} \beta = \frac{T_o}{\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right) \left(1 + \frac{s}{\omega_3}\right)} \quad (11.165)$$

possono facilmente avere problemi di stabilità. Si consideri l'esempio di Figura 11.59 dove:

$$T(s) = \frac{14}{s^3 + s^2 + 3s + 2} \quad (11.166)$$

In questo caso si ha $T(0) = 7$ e alle alte frequenze risulta:

$$T(j\omega) \approx (-j)^3 \frac{14}{\omega^3} = +j \frac{14}{\omega^3} \quad (11.167)$$

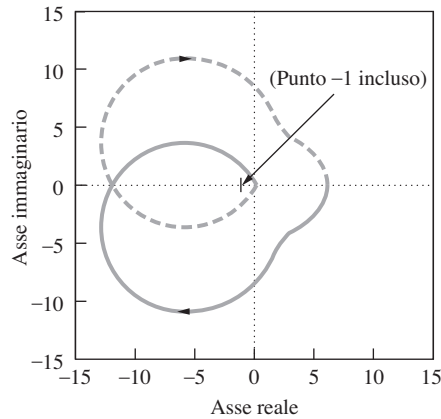
**Figura 11.59**

Diagramma di Nyquist per una funzione $T(s)$ del terzo ordine (ottenuto mediante il comando MATLAB: `nyquist(14, [1, 1, 3, 2])`).

Al crescere della frequenza il diagramma polare tende asintoticamente a zero lungo il semiasse immaginario positivo, e il diagramma può circondare il punto critico -1 in molte condizioni. Il caso particolare di Figura 11.59 rappresenta un sistema instabile.

Il **marginale di guadagno** è un'altra grandezza importante, definita come l'inverso del modulo di $T(j\omega)$, valutato alla frequenza per cui la fase è pari a 180° :

$$GM = \frac{1}{|T(j\omega_{180})|} \quad \text{dove} \quad \angle T(j\omega_{180}) = -180^\circ \quad (11.168)$$

Il margine di guadagno è spesso espresso in dB: $GM_{dB} = 20 \log(GM)$.

La Figura 11.60 mostra il margine di guadagno definito dall'Equazione (11.168). Se l'ampiezza di $T(s)$ aumenta di un fattore pari o maggiore del margine di guadagno, il sistema ad anello chiuso diventa instabile, perché il diagramma di Nyquist circonda il punto -1 .

Si osservi che è possibile che un guadagno di anello abbia modulo maggiore di uno e fase pari a 180° senza che il sistema sia instabile.

ESERCIZIO Si trovi il margine di guadagno del sistema di Figura 11.60 descritto da:

$$T(s) = \frac{5}{s^3 + 3s^2 + 3s + 1} = \frac{5}{(s+1)^3}$$

RISPOSTA 4.08 dB.

11.14.6 Analisi della stabilità mediante i diagrammi di Bode

I margini di fase e di guadagno possono anche essere determinati direttamente dai **diagrammi di Bode** del guadagno d'anello, come mostrato nella Figura 11.61. Questa figura rappresenta il diagramma di Bode del guadagno d'anello T per una funzione di trasferimento del terzo ordine:

$$T = A\beta = \frac{2 \times 10^{19}}{(s + 10^5)(s + 10^6)(s + 10^7)} = \frac{2 \times 10^{19}}{s^3 + 11.1 \times 10^6 s^2 + 11.1 \times 10^{12} s + 10^{18}}$$

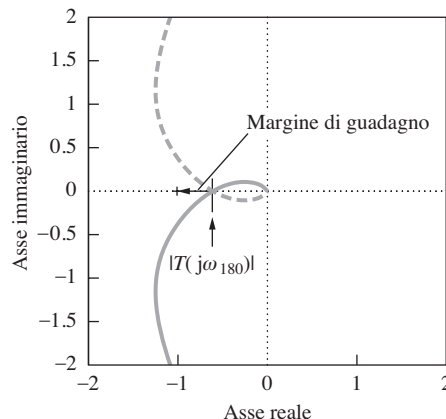
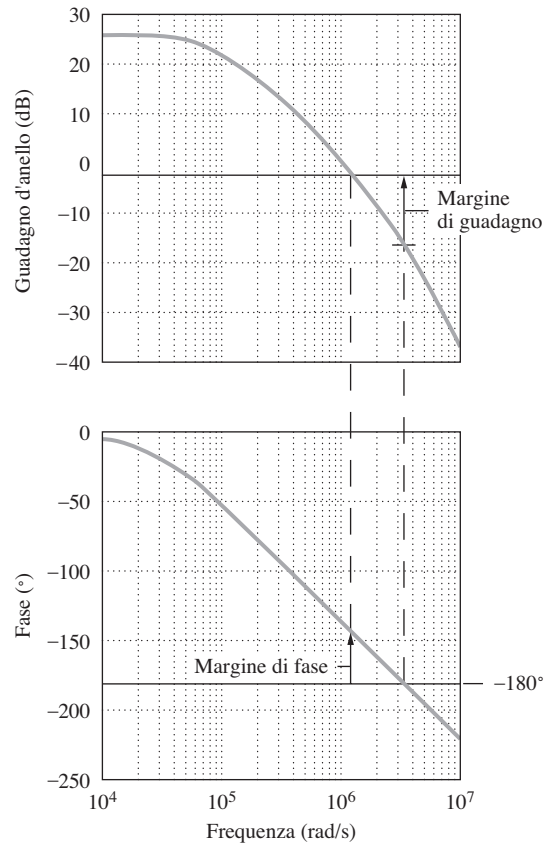
**Figura 11.60**

Diagramma di Nyquist di un sistema del terzo ordine con indicazione del margine di guadagno (ottenuto mediante il comando MATLAB: `nyquist(5, [1, 3, 3, 1])`).

Figura 11.61

Margini di fase e di guadagno
sui diagrammi di Bode
(diagramma ottenuto usando
l'istruzione MATLAB:
`bode (2E19, [1, 11.1E6,
11.1E12, 1E18])`).



Il margine di fase si trova identificando in primo luogo la frequenza per cui $|A\beta| = 1$ o 0 dB. Nel caso di Figura 11.61, questa frequenza è circa 1.2×10^6 rad/s. A questa frequenza il ritardo di fase è pari a -145° e il margine di fase è $\varphi_M = 180^\circ - 145^\circ = 35^\circ$. L'amplificatore può tollerare un ulteriore ritardo di fase di circa 35° prima di diventare instabile.

Il margine di guadagno si trova identificando la frequenza per cui il ritardo di fase dell'amplificatore è esattamente pari a 180° . Nella Figura 11.61 questa frequenza è circa 3.2×10^6 rad/s. Il guadagno d'anello a questa frequenza è -17 dB, per cui il margine di guadagno è $+17$ dB. Il guadagno può crescere di 17 dB prima che l'amplificatore divenga instabile.

Utilizzando MATLAB è facile tracciare i diagrammi di Bode del guadagno dell'amplificatore e utilizzarli per determinare l'intervallo di guadagno per il quale l'amplificatore è stabile. La stabilità può essere determinata mediante un'adeguata interpretazione del diagramma di Bode relativo al modulo. Useremo la seguente relazione matematica:

$$20 \log |A\beta| = 20 \log |A| - 20 \log \left| \frac{1}{\beta} \right| \quad (11.169)$$

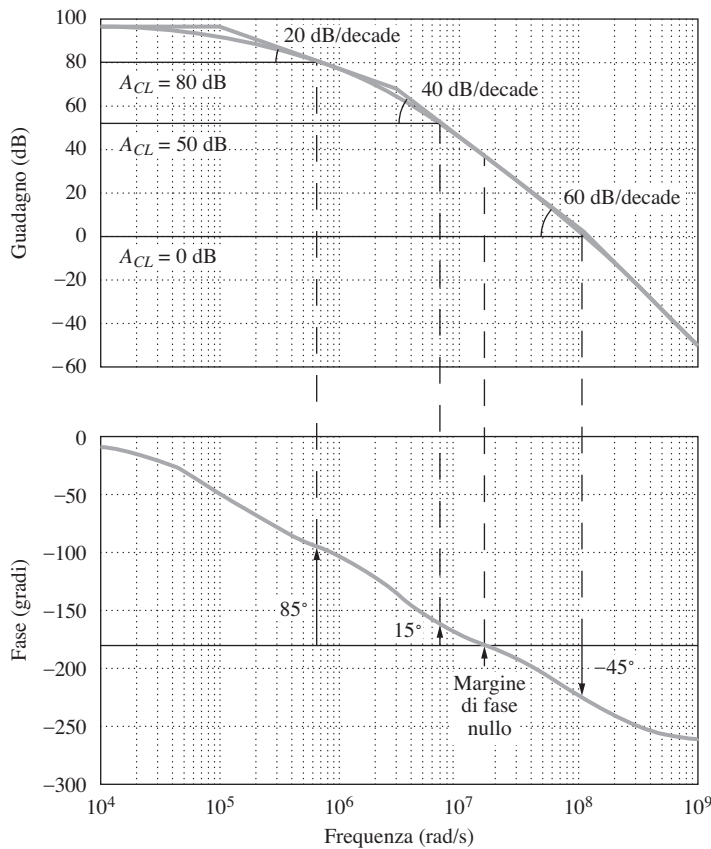
Invece di disegnare il guadagno d'anello $A\beta$, tratteremo separatamente i diagrammi del modulo del guadagno ad anello aperto A e del reciproco del fattore di retroazione β (si ricordi che $A_v \approx 1/\beta$). La frequenza alla quale queste due curve si intersecano è il punto in cui $|A\beta| = 1$ e il margine di fase dell'amplificatore ad anello chiuso si può determinare dal diagramma di fase.

Consideriamo, per esempio, il diagramma di Bode riportato in Figura 11.62. In questo caso,

$$A(s) = \frac{2 \times 10^{24}}{(s + 10^5)(s + 3 \times 10^6)(s + 10^8)} \quad (11.170)$$

Nel grafico sono stati inclusi anche gli asintoti dell'Equazione (11.170). Supponiamo per semplicità che la retroazione sia indipendente dalla frequenza (è questo il caso, per esempio, di un partitore di tensione resistivo) cosicché $1/\beta$ è descritto da una linea retta.

Sono indicati tre guadagni ad anello chiuso. Nel caso del guadagno maggiore, $1/\beta = 80$ dB, il margine di fase è di circa 85° e la stabilità non è critica. Il secondo caso cor-

**Figura 11.62**

Analisi della stabilità dai diagrammi di Bode. Sono indicati tre valori del guadagno ad anello chiuso: 80 dB, 50 dB e 0 dB. I margini di fase corrispondenti sono: 85°, 15° (oscillazioni e picchi) e -45° (instabilità). I diagrammi sono ottenuti usando l'istruzione MATLAB: `bode (2E24, [1, 103.1E6, 310.3E12, 30E18] )`.

risponde a un guadagno ad anello chiuso di 50 dB e il margine di fase è di soli 15°. Benché stabile, l'amplificatore con un guadagno ad anello chiuso di 50 dB presenta significativi picchi e oscillazioni nella risposta al gradino. Infine, se si tenta di utilizzare l'amplificatore come un inseguitore di tensione, esso risulterà instabile (margine di fase negativo). Si vede che il margine di fase è zero per un guadagno ad anello chiuso di circa 35 dB.

La stabilità può essere verificata direttamente dal diagramma di ampiezza. Se i diagrammi di A e $1/\beta$ si intersecano in una regione con pendenza di 20 dB/decade, l'amplificatore sarà stabile. Tuttavia, se le curve si intersecano in una regione con pendenza di 40 dB/decade, l'amplificatore ad anello chiuso avrà, nel migliore dei casi, un piccolo margine di fase o sarà, nel caso peggiore, instabile. Infine, se i diagrammi si intersecano in una regione con pendenza di 60 dB/decade o maggiore, l'amplificatore ad anello chiuso sarà instabile. Il criterio relativo alla pendenza del diagramma dell'ampiezza si applica anche nel caso di rete di retroazione dipendente dalla frequenza.

ANALISI DEL MARGINE DI FASE

Esempio 11.17

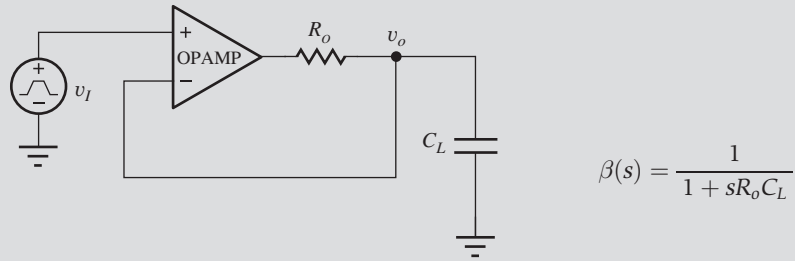
Anche gli operazionali con funzione di trasferimento a singolo polo possono avere problemi di margine di fase quando devono pilotare dei carichi capacitivi elevati. In questo esempio si calcola il margine di fase di un inseguitore di tensione con un carico capacitivo elevato collegato all'uscita.

Trovare il margine di fase di un inseguitore di tensione che pilota un carico capacitivo di 10 nF. Si supponga che l'operazionale abbia un guadagno di anello di 100 dB, una frequenza di transizione f_T di 1 MHz e una resistenza di uscita di 250 Ω .

Informazioni e dati noti: In figura è riportato il circuito dell'inseguitore con un carico capacitivo C_L e resistenza di uscita R_o . L'operazionale ha guadagno $A_o = 100$ dB, $f_T = 1$ MHz, $C_L = 10$ nF e $R_o = 250$ Ω . Il fattore di retroazione $\beta = \beta(s)$ ora è funzione della frequenza.

PROBLEMA

SOLUZIONE



Inseguitore di tensione con carico capacitivo e resistenza di uscita.

Incognite: Margine di fase dell'amplificatore.

Approccio: Si trova l'espressione del guadagno di anello T , poi si cerca la frequenza f_c alla quale $|T| = 1$, si valuta la fase a questa frequenza e si calcola quanto dista da 180° .

Ipotesi: L'operazionale è ideale eccetto per A_o , f_T ed R_o .

Analisi: Per l'operazionale si ha $f_B = f_T/A_o = 1 \text{ MHz}/10^5 = 10 \text{ Hz}$

$$T(s) = A(s)\beta(s) = \frac{A_o}{1 + \frac{s}{\omega_B}} \cdot \frac{1}{1 + sR_oC_L} = \frac{10^5}{1 + \frac{s}{20\pi}} \cdot \frac{1}{1 + \frac{s}{4 \times 10^5}}$$

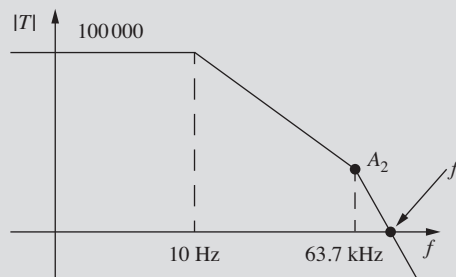
$$|T(j\omega)| = \frac{10^5}{\sqrt{1 + \left(\frac{\omega}{20\pi}\right)^2} \sqrt{1 + \left(\frac{\omega}{4 \times 10^5}\right)^2}} \quad \angle T(j\omega) = -\tan^{-1}\left(\frac{\omega}{20\pi}\right) - \tan^{-1}\left(\frac{\omega}{4 \times 10^5}\right)$$

Usando un calcolatore o un foglio di calcolo si cerca la frequenza per cui $|T(j\omega_c)| = 1$ che risulta essere $f = 248 \text{ kHz}$ ($\omega = 1.57 \text{ Mrad/s}$), e $\angle T = -166^\circ$.

Il margine di fase è solo di $180^\circ - 166^\circ = 14^\circ$.

Verifica dei risultati: Si è trovato che il margine di fase è di soli 14° .

Soluzione alternativa: Si può calcolare la frequenza alla quale $|T| = 1$ lavorando sul diagramma di Bode, riducendo in modo drastico la quantità di calcoli necessaria. Il diagramma di Bode del guadagno di anello è mostrato nella figura seguente, dove sono stati indicati il guadagno in bassa frequenza $A_o = 100\,000$, la frequenza del primo polo $f_B = 10 \text{ Hz}$ e del secondo polo $f_2 = 63.7 \text{ kHz}$ introdotto da R_o e C_L .



Si calcola prima il guadagno A_2 in corrispondenza del secondo polo, quando la pendenza del grafico passa da -20 dB/decade a -40 dB/decade . Usando la tecnica introdotta nel Paragrafo 10.10.9, rapporto delle ampiezze pari al rapporto delle amplificazioni, si ha

$$\frac{A_o}{A_2} = \frac{f_2}{f_B} \Rightarrow A_2 = A_o \frac{f_B}{f_2} = 10^5 \frac{10 \text{ Hz}}{63.7 \text{ kHz}} = 15.7$$

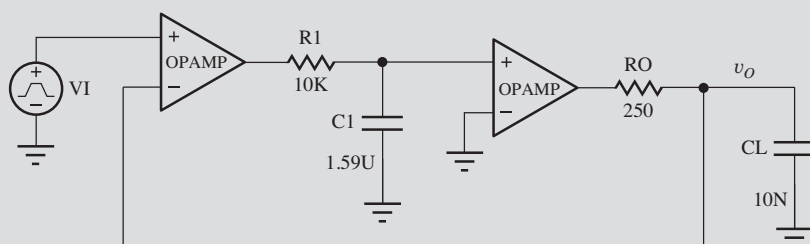
Si ripete poi la procedura sul tratto a pendenza a -40 dB/decade , questa volta per trovare la frequenza f_c alla quale il modulo di T vale 1. In questo caso, essendo la pendenza di -40 dB/decade , il rapporto delle ampiezze è pari al rapporto delle frequenze al quadrato.

$$\frac{A_2}{1} = \left(\frac{f_c}{f_2}\right)^2 \Rightarrow f_c = f_2 \sqrt{A_2} = 63.7 \text{ kHz} \sqrt{15.7} = 252 \text{ kHz}$$

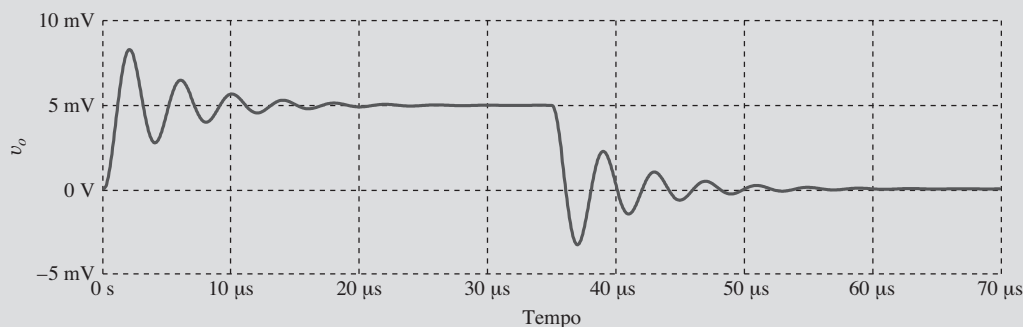
Il risultato trovato è un'ottima approssimazione del risultato esatto trovato prima. Dal diagramma di Bode si vede che il primo polo è distante svariate decadi dalla frequenza f_c quindi il suo contributo di fase è di -90° . Il secondo polo invece dà un contributo di fase pari a $-\tan^{-1}(252 \text{ kHz}/63.7 \text{ kHz}) = -75.8^\circ$ da cui la fase totale vale $-90^\circ - 75.8^\circ \approx -166^\circ$ e il margine di fase, come prima, vale circa 14° .

Discussione: L'interazione fra resistenza di uscita e capacità di carico introduce un secondo polo nel guadagno di anello. In questo caso il sistema diventa del secondo ordine e, anche se non oscilla, il margine di fase è molto ridotto e la risposta al gradino presenta sovravelongazione e risonanze smorzate. Un operazionale reale ha altri poli oltre a quello in ω_B e questo riduce ulteriormente il margine di fase e aumenta la possibilità di oscillazioni. Questo fenomeno viene analizzato con una simulazione SPICE.

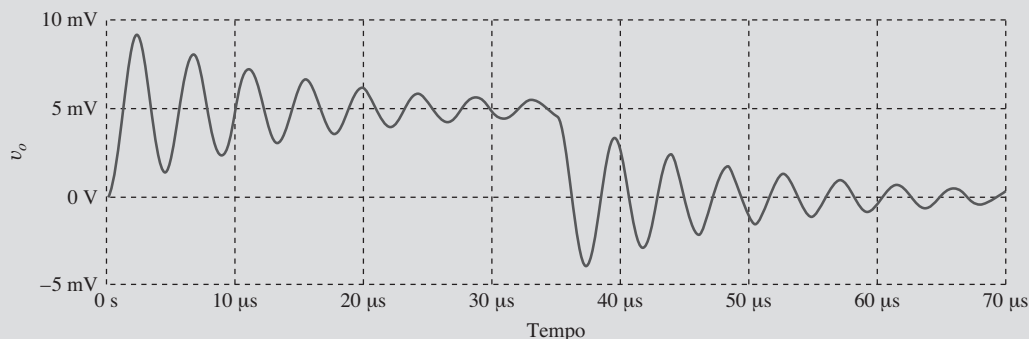
Analisi assistita da calcolatore: Come primo passo è necessario un modello che rispecchi l'analisi svolta a mano. Un possibile circuito equivalente fa uso di due operazionali, come nello schema sottostante. Il primo operazionale ideale con guadagno di 100 dB. R_1 e C_1 alla sua uscita introducono un polo alla frequenza di 10 Hz. Questa rete RC interna viene separata dal carico da un secondo operazionale con guadagno unitario, alla cui uscita è collegato R_o e C_L .



Il segnale di ingresso è un impulso di 5 mV, durata 35 μs , con tempi di salita e discesa di 10 ns, in modo da essere quasi un segnale con fronti ideali. Nella forma d'onda simulata si vede una sovravelongazione del 67% e l'uscita richiede circa 22 μs per raggiungere il valore finale entro l'1% di errore. Se si ripete la simulazione del circuito usando il macromodello di un operazionale μA741 si trova che la situazione reale è peggiore del modello semplificato usato prima, perché il μA741 contiene ulteriori poli in alta frequenza.



Risposta al gradino del circuito corrispondente all'analisi matematica con operazionale a un solo polo.



Simulazione SPICE del circuito con il macromodello del μA741 .

ESERCIZIO Stimare la sovraelongazione e calcolare il margine di fase per le due simulazioni fatte in precedenza.

RISPOSTE 67%, 14°; 85%, 6°.

ESERCIZIO Ripetere la simulazione per vedere che cosa capita se l'ampiezza dell'impulso viene portata a 1 V. Spiegare il comportamento.



Riferimenti bibliografici

- [1] H.S. Black, "Stabilized feed-back amplifiers", *Electrical Engineering*, vol. 53, pp. 114-120, gennaio 1934.
- [2] H.S. Black, "Inventing the negative feedback amplifier," *IEEE Spectrum*, vol. 14, pp. 54-60, dicembre 1977. (50° anniversario dell'invenzione dell'amplificatore con retroazione negativa da parte di Black.)
- [3] J.E. Brittain, "Scanning the past: Harold S. Black and the negative feedback amplifier", *Proceedings of the IEEE*, vol. 85, no. 8, pp. 1335-1336, agosto 1997.
- [4] R.B. Blackman, "Effect of feedback on impedance", *Bell System Technical Journal*, vol. 22, n. 3, 1943.
- [5] R.D. Middlebrook, "Measurement of loop gain in feedback systems", *International Journal of Electronics*, vol. 38, no. 4, pp. 485-512, aprile 1975. Middlebrook indica una Application Note di Hewlett-Packard del 1965 come fonte originale di questa tecnica.
- [6] R.C. Jaeger, S.W. Director e A.J. Brodersen, "Computer-aided characterization of differential amplifiers", *IEEE JSSC*, vol. SC-12, pp. 83-86, febbraio 1977.
- [7] P.J. Hurst, "A comparison of two approaches to feedback circuit analysis", *IEEE Trans. on Education*, vol. 35, pp. 253-261, agosto 1992.
- [8] F. Corsi, C. Marzocca e G. Matarrese, "On impedance evaluation in feedback circuits", *IEEE Trans. on Education*, vol. 45, no. 4, pp. 371-379, novembre 2002.
- [9] P.E. Allen e D.R. Holberg, *CMOS Analog Circuit Design*, seconda ed., Oxford University Press, New York: 2002.

Obiettivi

- Il progetto di amplificatori multistadio, di cui calcoleremo guadagno e impedenze di ingresso e uscita.
- La risposta in frequenza di amplificatori multistadio.
- L'amplificatore da strumentazione.
- I filtri attivi basati su amplificatori operazionali.
- Lo scalamento dell'ampiezza e della frequenza dei filtri.
- La tecnica delle capacità commutate.
- Le caratteristiche dei convertitori da analogico a digitale (A/D) e da digitale ad analogico (D/A).
- Come sono realizzati i convertitori A/D e D/A.
- Il criterio di Barkhausen per le oscillazioni.
- I circuiti oscillatori basati su amplificatori operazionali, inclusi l'oscillatore a ponte di Wien e gli oscillatori a sfasamento.
- Le tecniche per la stabilizzazione dell'ampiezza negli oscillatori.
- I circuiti con retroazione positiva, tra cui il trigger di Schmitt e il multivibratore astabile e monostabile.
- I comparatori di tensione.

In questo capitolo continuiamo lo studio dei circuiti con amplificatori operazionali, esplorando ulteriori circuiti che si basano su questi componenti.

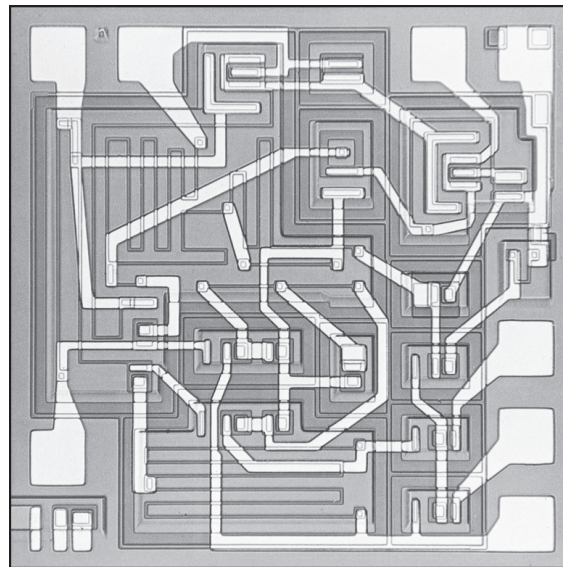
Il capitolo inizia con la discussione e un esempio di progettazione di amplificatori multistadio, la cui importanza risiede nel fatto che spesso incontriamo specifiche che non possono essere soddisfatte con un singolo stadio amplificatore. Successivamente discuteremo il circuito amplificatore da strumentazione di precisione, realizzato con tre amplificatori operazionali.

I filtri attivi rappresentano un'applicazione estremamente importante degli amplificatori operazionali; nel corso del capitolo discuteremo i filtri passa-basso, passa-alto e passa-banda.

Passeremo poi a una breve introduzione dei circuiti a capacità commutate, che sono ampiamente utilizzati oggi per realizzare filtri in tecnologia CMOS.

L'elaborazione digitale del segnale è sempre più usata per migliorare (o sostituire) le funzioni analogiche tradizionali; per interfacciare il mondo analogico e quello digitale occorre comprendere il funzionamento dei circuiti per la conversione da analogico a digitale (A/D) e da digitale ad analogico (D/A). Nel corso del capitolo descriveremo quindi le caratteristiche dei convertitori D/A e A/D e discuteremo le realizzazioni circuitali di alcuni semplici convertitori.

Nei capitoli precedenti, abbiamo trattato circuiti che utilizzavano la retroazione negativa. In questo capitolo, introdurremo alcuni circuiti che impiegano la retroazione positiva, tra cui circuiti oscillatori e multivibratori che servono per la generazione di forme d'onda.



Amplificatore operazionale $\mu A709$. [© Fairchild Semiconductor International].

12.1 Connessione in cascata di amplificatori

Spesso non è possibile soddisfare tutte le specifiche di progetto utilizzando un solo amplificatore, ed è necessario ricorrere a una connessione in cascata, come per esempio la configurazione a tre stadi mostrata in Figura 12.1. In questo caso l'uscita di uno stadio è connessa all'ingresso di quello successivo.

Se la resistenza di uscita dell'amplificatore risulta molto inferiore a quella di ingresso dello stadio successivo ($R_{outA} \ll R_{inB}$ e $R_{outB} \ll R_{inC}$), allora l'interazione tra i diversi stadi è trascurabile, e il guadagno complessivo relativo alla connessione in cascata è pari al prodotto dei guadagni dei singoli stadi. Per comprendere questo risultato, possiamo considerare la rappresentazione a doppio bipolo per gli amplificatori.

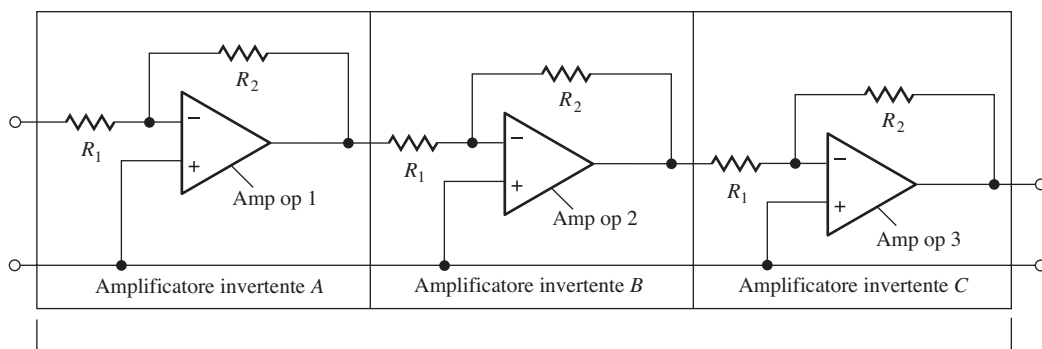
12.1.1 Rappresentazione a doppio bipolo

Possiamo rappresentare gli "amplificatori" relativi a ciascun livello della Figura 12.1 ricorrendo al **modello a doppio bipolo**, per il quale occorre specificare il valore del guadagno di tensione, della resistenza di ingresso e di uscita, come mostrato in Figura 12.1(b) e (c). Ciascuno stadio dell'amplificatore (A, B e C) è realizzato con un amplificatore operazionale caratterizzato da un guadagno A , resistenza di ingresso R_{id} e resistenza di uscita R_o . Queste grandezze sono di solito dette **parametri ad anello aperto** dell'amplificatore operazionale: *guadagno ad anello aperto*, *resistenza di ingresso ad anello aperto*, *resistenza di uscita ad anello aperto*. Questi parametri descrivono l'amplificatore operazionale come un doppio bipolo, in assenza di una rete esterna.

Ciascuno stadio (A, B, C) comprende un amplificatore operazionale e una rete di retroazione costituita dalle resistenze R_1 e R_2 , e viene detto **amplificatore ad anello chiuso**. Utilizzeremo i simboli A_v , R_{in} e R_{out} per indicare i parametri della rappresentazione a doppio bipolo relativa a ciascun amplificatore ad anello chiuso, e anche per l'amplificatore complessivo. La Tabella 12.1 riassume la terminologia sopra descritta.

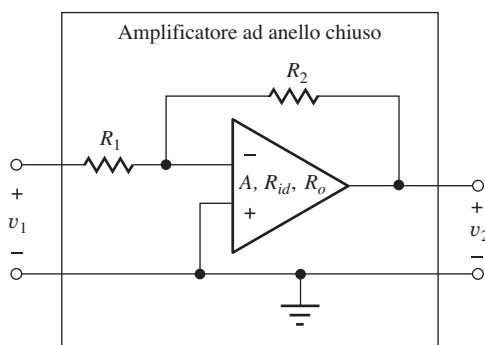
Figura 12.1

(a) Amplificatore a tre stadi.
(b) Amplificatore invertente realizzato con un amplificatore operazionale.
(c) Rappresentazione a doppio bipolo dell'amplificatore complessivo.

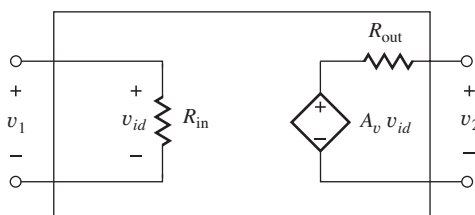


Amplificatore a tre stadi.

(a)



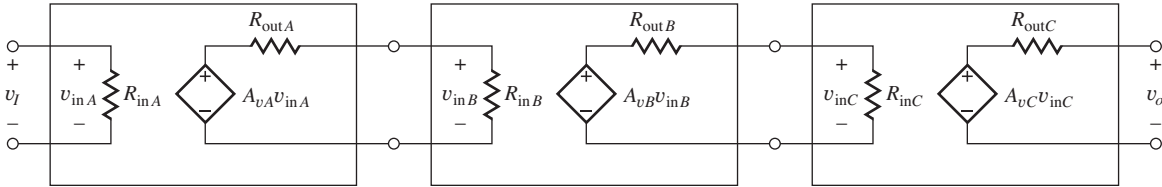
(b) A_v , R_{in} , R_{out} .



(c) Rappresentazione a doppio bipolo dell'amplificatore ad anello chiuso.

Tabella 12.1 Confronto dei termini utilizzati per gli amplificatori retroazionati

	Guadagno di tensione	Resistenza di ingresso	Resistenza di uscita
Amplificatore ad anello aperto	A	R_{id}	R_o
Amplificatore ad anello chiuso	A_v	R_{in}	R_{out}
Amplificatori a più stadi	A_v	R_{in}	R_{out}



Rappresentazione a doppio bipolo per l'amplificatore a tre stadi

Nella Figura 12.2 ciascuno stadio è stato sostituito con la corrispondente rappresentazione a doppio bipolo. Analizzando il circuito da sinistra verso destra è possibile ricavare l'espressione del guadagno complessivo di tensione:

$$v_o = A_{vA} v_i \left(\frac{R_{inB}}{R_{outA} + R_{inB}} \right) A_{vB} \left(\frac{R_{inC}}{R_{outB} + R_{inC}} \right) A_{vC} \quad (12.1)$$

Per gli amplificatori ideali finora considerati si ha $R_{out} = 0$ e la condizione di disadattamento $R_{outA} \ll R_{inB}$ e $R_{outB} \ll R_{inC}$ risulta sempre verificata (si veda il Paragrafo 10.4). In tal caso il guadagno complessivo di tensione si scrive:

$$A_v = \frac{v_o}{v_i} = A_{vA} A_{vB} A_{vC} \quad (12.2)$$

Applicando all'ingresso un generatore di prova v_x e valutando la corrente i_x all'ingresso, si vede che la resistenza R_{in} per l'amplificatore complessivo dipende solo dalla resistenza di ingresso del primo stadio. In questo caso si ha $R_{in} = v_x / i_x = R_{inA}$. Analogamente, applicando all'uscita un generatore di prova v_x e valutando la corrente i_x all'uscita, si vede che la resistenza R_{out} per l'amplificatore complessivo dipende solo dalla resistenza di uscita dell'ultimo stadio. Nel caso in esame si ha $R_{out} = R_{outC} = 0$.

Figura 12.2

Rappresentazione a doppio bipolo dell'amplificatore a tre stadi.



NOTA PROGETTUALE

Impedenze di ingresso

L'impedenza di ingresso dell'amplificatore complessivo è data dall'impedenza d'ingresso del primo amplificatore; allo stesso modo, l'impedenza di uscita dell'amplificatore complessivo è data dall'impedenza di uscita dell'ultimo stadio. Un errore

comune consiste nel ritenere che la resistenza di ingresso R_{in} dipenda dalle resistenze di ingresso di tutti gli stadi, oppure che la resistenza di uscita R_{out} dipenda dalle resistenze di uscita di tutti gli stadi.

ESERCIZIO Per l'amplificatore di Figura 12.1 si ha $R_2 = 68 \text{ k}\Omega$ e $R_1 = 2.7 \text{ k}\Omega$. Si determinino i valori di A_{vA} , A_{vB} , A_{vC} , R_{inA} , R_{inB} , R_{inC} , e R_{outA} , R_{outB} , R_{outC} per il circuito equivalente di Figura 12.2.

RISPOSTE -25.2 ; -25.2 ; -25.2 ; $2.7 \text{ k}\Omega$; $2.7 \text{ k}\Omega$; $2.7 \text{ k}\Omega$; 0 ; 0 ; 0 .

ESERCIZIO Si determinino il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita per l'amplificatore a tre stadi in Figura 12.1(a), assumendo $R_2 = 68 \text{ k}\Omega$ e $R_1 = 2.7 \text{ k}\Omega$.

RISPOSTE $(-25.2)^3 = -16 \times 10^3 = -16 \text{ V/mV}$; $2.7 \text{ k}\Omega$; 0 .

ESERCIZIO Si supponga che le resistenze di uscita per gli stadi considerati nell'esercizio precedente non siano nulle. Qual è il valore massimo di R_{out} affinché la riduzione del guadagno sia inferiore all'1%? Si assuma lo stesso valore per la resistenza di uscita.

RISPOSTE 13.5 Ω .

12.1.2 Osservazioni sulla terminologia relativa agli amplificatori

Dopo aver esaminato diverse configurazioni di amplificatori, facciamo un passo indietro e riepiloghiamo i termini utilizzati per descrivere questi circuiti. La terminologia relativa ai circuiti amplificatori è infatti causa di una certa confusione, in quanto la porzione del circuito che viene detta *amplificatore* deve essere spesso determinata dal contesto del discorso.

Nella Figura 12.1, per esempio, viene mostrato un amplificatore formato dalla connessione in cascata di tre amplificatori invertenti (A, B, C). Ciascun amplificatore invertente è stato realizzato con un amplificatore operazionale (operazionali 1, 2 e 3). Possiamo quindi distinguere sette "amplificatori" differenti nella Figura 12.1: gli amplificatori operazionali 1, 2 e 3, gli amplificatori invertenti A, B e C e l'amplificatore complessivo a tre stadi ABC.

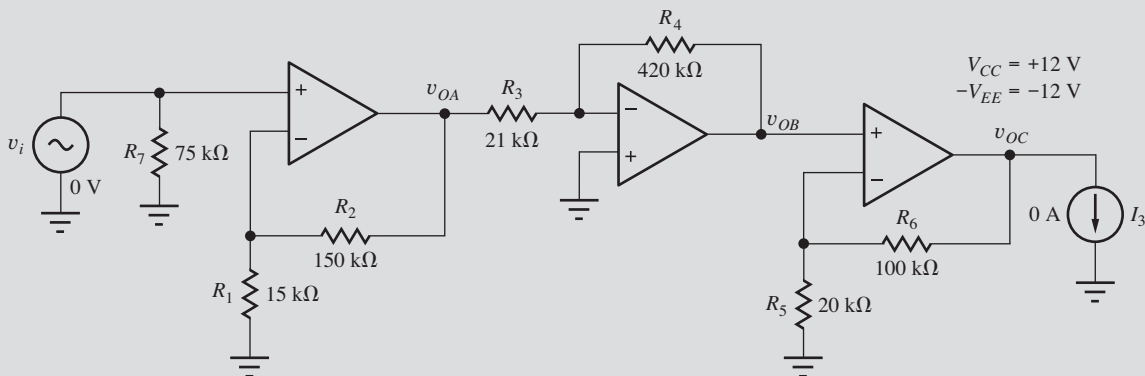
Esempio 12.1

STUDIO DI CIRCUITO CON AMPLIFICATORI IN CASCATA

In questo esempio studiamo un amplificatore a tre stadi collegati in cascata e analizziamo gli effetti legati alle limitazioni dell'alimentazione.

PROBLEMA Gli amplificatori operazionali nel circuito seguente sono da considerarsi ideali, fatta eccezione per la tensione finita di alimentazione, pari a ± 12 V. (a) Quanto valgono il guadagno in tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore complessivo? (b) Se la tensione di ingresso è $v_I = 5$ mV, quando valgono le tensioni a ognuno dei 10 nodi del circuito? (c) Supponendo ora $v_I = 10$ mV, quanto valgono le tensioni alle uscite dei tre amplificatori operazionali? (d) Ipotizzando $v_I = V_I \sin 2000\pi t$, quanto vale la massima ampiezza del segnale di ingresso V_I per cui l'amplificatore opera in linearità?

SOLUZIONE **Informazioni e dati noti:** Il circuito è mostrato in figura. Gli amplificatori operazionali sono ideali, tranne che per la tensione di alimentazione, pari a ± 12 V.



Incognite: (a) Guadagno in tensione, resistenza di ingresso e resistenza di uscita dell'amplificatore complessivo. (b) Tensioni a ognuno dei 10 nodi del circuito quando $v_I = 5$ mV. (c) Tensioni a ognuno dei 10 nodi del circuito quando $v_I = 10$ mV. (d) Massima ampiezza del segnale di ingresso V_I per cui l'amplificatore opera in linearità quando l'ingresso è un segnale sinusoidale con frequenza pari a 2 kHz.

Approccio: Si applicheranno le formule dell'amplificatore invertente e non invertente a ogni singolo stadio. Il guadagno sarà il prodotto dei guadagni. L'impedenza di ingresso sarà l'impedenza di ingresso del primo stadio. L'impedenza di uscita sarà l'impedenza d'uscita dell'ultimo stadio.

Ipotesi: Gli amplificatori operazionali sono ideali a eccezione della tensione finita di alimentazione. L'interazione tra impedenze di ingresso e uscita degli amplificatori operazionali è trascurabile. Ogni amplificatore operazionale opera in linearità con retroazione negativa.

Analisi: I tre amplificatori operazionali sono collegati rispettivamente in configurazione non invertente, invertente e non invertente.

(a) Usando le espressioni in Tabella 10.3 $A_v = A_{v1}A_{v2}A_{v3}$

$$A_{v1} = 1 + \frac{R_2}{R_1} \quad A_{v2} = -\frac{R_4}{R_3} \quad A_{v3} = 1 + \frac{R_6}{R_5}$$

$$A_v = \left(1 + \frac{150 \text{ k}\Omega}{15 \text{ k}\Omega}\right) \left(-\frac{420 \text{ k}\Omega}{21 \text{ k}\Omega}\right) \left(1 + \frac{100 \text{ k}\Omega}{20 \text{ k}\Omega}\right) = -1320$$

La resistenza di ingresso vista dall'ingresso non invertente del primo amplificatore operazionale è infinita, ma l'ingresso non invertente è anche collegato alla resistenza R_7 da 75 k Ω . Di conseguenza, $R_{in} = 75 \text{ k}\Omega \parallel \infty = 75 \text{ k}\Omega$. La resistenza di uscita è uguale a quella d'uscita dell'ultimo amplificatore operazionale: $R_{out} = R_{outC} = 0$.

(b) $v_I = 5.00 \text{ mV}$, $v_{OA} = +11v_I = 55.0 \text{ mV}$, $v_{OB} = -20v_{OA} = -1.10 \text{ V}$,
 $v_O = +6v_{OB} = -6.60 \text{ V}$.

Dal momento che gli amplificatori operazionali sono ideali, possiamo affermare che non c'è differenza di tensione tra gli ingressi di ogni operazionale:

$$v_{-A} = v_{+A} = +5.00 \text{ mV}, v_{-B} = v_{+B} = 0 \text{ V}, v_{-C} = v_{+C} = -6.60 \text{ V}$$

$$V_+ = +12 \text{ V}, V_- = -12 \text{ V}, V_{gnd} = 0 \text{ V}$$

(c) $v_I = 10.0 \text{ mV}$, $v_{OA} = +11v_I = 110 \text{ mV}$, $v_{OB} = -20v_{OA} = -2.2 \text{ V}$, $v_O = +6v_{OB} = -13.2 \text{ V} < -12 \text{ V} \rightarrow v_O = -12 \text{ V}$.

La tensione di uscita del circuito non può uscire dall'intervallo delle tensioni di alimentazione. I primi due amplificatori operano in regime lineare, presentando quindi una caduta di tensione nulla tra gli ingressi: $v_{-A} = v_{+A} = +10.0 \text{ mV}$. $v_{-B} = v_{+B} = 0 \text{ V}$. Tuttavia, la tensione di uscita del terzo amplificatore satura a -12 V e il suo guadagno vale 0. In questo caso, le tensioni sull'ingresso invertente e non invertente non sono più uguali:

$$v_{-C} = -12 \text{ V} \frac{20 \text{ k}\Omega}{20 \text{ k}\Omega + 100 \text{ k}\Omega} = -2 \text{ V} \quad V_+ = +12 \text{ V} \quad V_- = -12 \text{ V} \quad V_{gnd} = 0 \text{ V}$$

(d) v_I deve essere minore o uguale alla tensione per cui l'uscita uguaglia le tensioni di alimentazione

$$|v_I| \leq \left| \frac{12 \text{ V}}{A_v} \right| = \frac{12}{1320} = 9.09 \text{ mV}$$

Verifica dei risultati: Tutte le quantità richieste sono state calcolate. L'impedenza di ingresso R_{in} è data dal resistore R_7 e quella di uscita è molto piccola. Quando la tensione in ingresso vale 5 mV, la tensione di uscita dovrebbe essere $v_O = -1320(5 \text{ mV}) = -6.60 \text{ V}$, in accordo con quanto trovato. Quando la tensione in ingresso vale 10 mV, la tensione di uscita dovrebbe essere $v_O = -1320(10 \text{ mV}) = -13.2 \text{ V}$, esterno all'intervallo della tensione di alimentazione, per cui $v_O = -12 \text{ V}$: in questo caso l'ipotesi di linearità non è rispettata.

Analisi assistita da calcolatore: Le simulazioni SPICE usano l'analisi in continua DC con ingresso in continua per il calcolo delle tensioni ai nodi; serve inoltre un'analisi della funzione di trasferimento del circuito dall'ingresso V_I al nodo I3 per calcolare l'impedenza di ingresso, l'impedenza di uscita e il guadagno. Le tensioni di alimentazione degli OPAMP sono impostate a $\pm 12 \text{ V}$ mentre per i loro guadagni si usa il valore predefinito (120 dB). Le simulazioni forniscono i risultati $A_v = -1320$, $R_{in} = 75 \text{ k}\Omega$ e $R_{out} = 0$, in accordo con i nostri calcoli.

I valori delle tensioni ai nodi del circuito sono:

Tensioni ai nodi calcolate da SPICE		
Nodo	5 mV	10 mV
v_I	5.000 mV	10.00 mV
v_{-A}	5.000 mV	10.00 mV
v_{OA}	55.00 mV	110.0 mV
v_{-B}	1.100 μ V	-2.200 μ V
v_{OB}	-1.100 V	-2.200 V
v_{-C}	-1.100 V	-2.000 V
v_{OC}	-6.600 V	-12.00 V
V_+	+12.00 V	+12.00 V
V_-	-12.00 V	-12.00 V
V_{gnd}	0.000 V	0.000 V

I valori riportati sono in accordo con quelli che abbiamo calcolato, con l'esclusione della tensione all'ingresso invertente del secondo amplificatore operazionale, dove la simulazione SPICE restituisce $v_{-B} = 1.100 \mu\text{V}$. Cerchiamo di capire l'origine di questa differenza. In SPICE, gli amplificatori operazionali hanno un guadagno finito pari a 120 dB. Di conseguenza, deve esserci una differenza di tensione tra gli ingressi degli amplificatori operazionali per generare la tensione di uscita non nulla. I valori di v_{ID} per ogni amplificatore devono valere infatti

$$v_{IDA} = \frac{55.0 \text{ mV}}{10^6} = 55.0 \text{ nV} \quad v_{IDB} = \frac{-1.1 \text{ V}}{10^6} = -1.10 \mu\text{V} \quad v_{IDC} = \frac{-6.6 \text{ V}}{10^6} = -6.60 \mu\text{V}$$

Osserviamo che la tensione all'ingresso invertente del secondo amplificatore operazionale è pari a $-v_{IDB}$, in accordo con il risultato della simulazione SPICE. Se calcoliamo le tensioni sugli ingressi invertenti del primo e del terzo amplificatore operazionale, il contributo di v_{ID} viene perso negli arrotondamenti:

$$v_{-A} = v_I - v_{IDA} = 5.000 \text{ mV} - 55.0 \text{ nV} = 5 \text{ mV}$$

$$v_{-C} = v_{OB} - v_{IDC} = -1.100 \text{ V} - (-6.600 \mu\text{V}) = -1.100 \text{ V}$$

Per il caso con $v_I = 10 \text{ mV}$, le tensioni ai nodi sono in accordo con i nostri calcoli, tranne che per il nodo v_{-B} . Osserviamo che il segnale differenziale all'ingresso del terzo amplificatore non è nullo ma vale $2.2 \text{ V} - (-2 \text{ V}) = 0.2 \text{ V}$: l'uscita dell'amplificatore operazionale non riesce a raggiungere il valore necessario per forzare $v_{ID} = 0$.

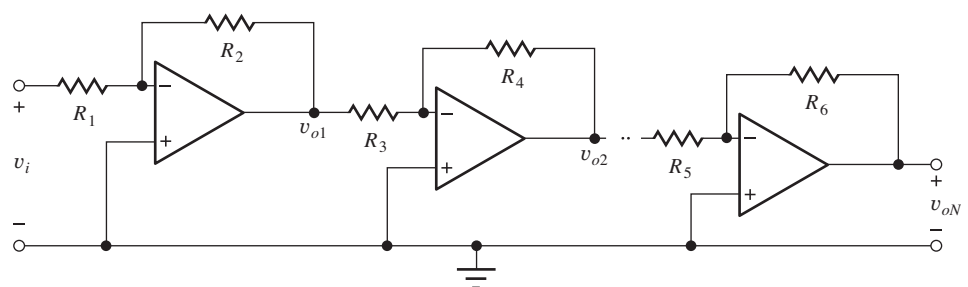
12.1.3 Risposta in frequenza di amplificatori a più stadi

La funzione di trasferimento complessiva relativa a più amplificatori connessi in cascata (si veda l'esempio mostrato in Figura 12.3) può essere espressa come il prodotto delle funzioni di trasferimento relative a ciascuno stadio:

$$A_v(s) = \frac{V_{oN}(s)}{V_i(s)} = \frac{V_{o1}}{V_i} \frac{V_{o2}}{V_{o1}} \cdots \frac{V_{oN}}{V_{o(N-1)}} = A_{v1}(s) A_{v2}(s) \cdots A_{vN}(s) \quad (12.3)$$

È molto importante osservare che la precedente relazione è valida solo se non vi è alcuna interazione tra i diversi stadi, condizione verificata soltanto se $R_{\text{out}} = 0$ oppure se $R_{\text{in}} \rightarrow \infty$ (in tali condizioni la connessione dei diversi stadi non altera la funzione di trasferimento degli stadi stessi).

Figura 12.3
Amplificatore multistadio.



Nel caso generale, ciascuno stadio è caratterizzato da un diverso valore per il guadagno in continua e per la larghezza di banda, assumendo amplificatori con un solo polo la funzione di trasferimento complessiva diventa:

$$A_v(s) = \frac{A_{v1}(0)}{\left(1 + \frac{s}{\omega_{H1}}\right)} \frac{A_{v2}(0)}{\left(1 + \frac{s}{\omega_{H2}}\right)} \cdots \frac{A_{vN}(0)}{\left(1 + \frac{s}{\omega_{HN}}\right)} \quad (12.4)$$

Il guadagno a bassa frequenza ($s = 0$) risulta:

$$A_v(0) = A_{v1}(0)A_{v2}(0) \cdots A_{vN}(0) \quad (12.5)$$

La larghezza di banda complessiva dell'amplificatore rappresenta la frequenza alla quale il guadagno di tensione si riduce del fattore $1/\sqrt{2}$ (oppure -3 dB) rispetto al valore a bassa frequenza, ovvero:

$$|A_v(j\omega_H)| = \frac{|A_{v1}(0)A_{v2}(0) \cdots A_{vN}(0)|}{\sqrt{2}} \quad (12.6)$$

Nel caso generale, il calcolo di ω_H a partire dalla (12.6) può risultare complicato. Nello studio della risposta in frequenza degli amplificatori vedremo come sia possibile utilizzare alcune tecniche approssimate per la stima della frequenza ω_H . Con l'aiuto di un calcolatore è possibile utilizzare degli appositi sottoprogrammi, oppure tecniche iterative per approssimazioni successive, per determinare la larghezza di banda. Nell'Esempio 12.2 si utilizza l'Equazione (12.6) per il calcolo del valore di ω_H per un amplificatore a due stadi.

RISPOSTA IN FREQUENZA DI DUE AMPLIFICATORI DISPOSTI IN CASCATA

Esempio 12.2

Supponiamo che due amplificatori caratterizzati dalle funzioni di trasferimento $A_{v1}(s)$ e $A_{v2}(s)$ siano connessi in cascata. Qual è il valore del guadagno in continua e della larghezza di banda per l'amplificatore complessivo a due stadi?

PROBLEMA

$$A_{v1} = \frac{500}{1 + \frac{s}{2000}} \quad \text{e} \quad A_{v2} = \frac{250}{1 + \frac{s}{4000}}$$

Informazioni e dati noti: Sono specificate la connessione in cascata e le funzioni di trasferimento per i due amplificatori.

SOLUZIONE

Incognite: $A_v(0)$ e f_H per l'amplificatore complessivo a due stadi.

Approccio: La funzione di trasferimento è data da $A_v = A_{v1} \times A_{v2}$. Si calcolerà dapprima $A_v(0)$, e quindi f_H applicando la definizione di larghezza di banda.

Ipotesi: Gli amplificatori sono ideali (a eccezione del valore finito della larghezza di banda). Si assumerà inoltre che la connessione in cascata non influenzi la funzione di trasferimento, ovvero che la funzione di trasferimento complessiva possa essere espressa come il prodotto delle funzioni di trasferimento dei singoli stadi.

Analisi: La funzione di trasferimento complessiva risulta:

$$A_v(s) = \left(\frac{500}{1 + \frac{s}{2000}} \right) \left(\frac{250}{1 + \frac{s}{4000}} \right) = \frac{125\,000}{\left(1 + \frac{s}{2000}\right) \left(1 + \frac{s}{4000}\right)}$$

Il valore in continua del guadagno risulta:

$$A_v(0) = (500)(250) = 125\,000 = 102 \text{ dB}$$

Si osservi che $A_v(0)$ è pari al prodotto dei valori in continua dei guadagni dei due amplificatori. Il modulo della funzione di trasferimento risulta:

$$|A_v(j\omega)| = \frac{1.25 \times 10^5}{\sqrt{1 + \frac{\omega^2}{2000^2}} \sqrt{1 + \frac{\omega^2}{4000^2}}}$$

Ricordando che la frequenza di taglio ω_H è definita da

$$|A(j\omega_H)| = \frac{A_{\text{mid}}}{\sqrt{2}} = \frac{A_v(0)}{\sqrt{2}} = \frac{1.25 \times 10^5}{\sqrt{2}}$$

risulta

$$\left(1 + \frac{\omega_H^2}{2000^2}\right) \left(1 + \frac{\omega_H^2}{4000^2}\right) = 2$$

da cui si ottiene un'equazione quadratica nell'incognita ω_H^2 :

$$(\omega_H^2)^2 + 2.00 \times 10^7 (\omega_H^2) - 6.40 \times 10^{13} = 0$$

e quindi:

$$\omega_H^2 = 2.81 \times 10^6 \quad \text{oppure} \quad -4.56 \times 10^7$$

Poiché la frequenza ω_H deve essere reale, si ha quindi:

$$\omega_H = 1.68 \times 10^3 \quad \text{oppure} \quad f_H = 267 \text{ Hz}$$

Verifica dei risultati: L'ampiezza di banda per l'amplificatore complessivo deve risultare inferiore rispetto alle ampiezze relative ai singoli stadi:

$$f_{H1} = \frac{2000}{2\pi} = 318 \text{ Hz} \quad \text{e} \quad f_{H2} = \frac{4000}{2\pi} = 637 \text{ Hz}$$

Il valore di f_H risulta effettivamente inferiore rispetto a quella dei singoli amplificatori.

ESERCIZIO Un amplificatore è costituito dalla connessione in cascata di due amplificatori caratterizzati dalle funzioni di trasferimento riportate di seguito. Quanto vale il guadagno a bassa frequenza? Quanto vale il guadagno alla frequenza f_H ? Qual è il valore di f_H ?

$$A_{v1}(s) = \frac{50}{1 + \frac{s}{10000\pi}} \quad \text{e} \quad A_{v2}(s) = \frac{25}{1 + \frac{s}{20000\pi}}$$

RISPOSTE 1250; 884; 4190 Hz.

ESERCIZIO Un amplificatore è costituito dalla connessione in cascata di tre amplificatori caratterizzati dalle funzioni di trasferimento riportate di seguito. Quanto vale il guadagno a bassa frequenza? Quanto vale il guadagno alla frequenza f_H ? Qual è il valore di f_H ?

$$A_{v1}(s) = \frac{-100}{1 + \frac{s}{10000\pi}}, \quad A_{v2}(s) = \frac{66.7}{1 + \frac{s}{15000\pi}}, \quad A_{v3}(s) = \frac{50}{1 + \frac{s}{20000\pi}}$$

RISPOSTE -333×10^3 ; -236×10^3 ; 3448 Hz.

Connessione in cascata di amplificatori identici

Nel caso particolare in cui la connessione in cascata sia costituita da amplificatori uguali, è possibile determinare in modo agevole la larghezza di banda dell'amplificatore complessivo. Considerando N stadi identici, si ha:

$$A_v(s) = \left[\frac{A_{v1}(0)}{1 + \frac{s}{\omega_{H1}}} \right]^N = \frac{[A_{v1}(0)]^N}{\left(1 + \frac{s}{\omega_{H1}}\right)^N} \quad \text{e} \quad A_v(0) = [A_{v1}(0)]^N \quad (12.7)$$

in cui $A_{v1}(0)$ e ω_{H1} rappresentano rispettivamente il guadagno ad anello chiuso e la larghezza di banda per ciascuno stadio dell'amplificatore.

La larghezza di banda ω_H dell'amplificatore complessivo è definita dalla relazione:

$$|A_v(j\omega_H)| = \frac{[A_{v1}(0)]^N}{\left(\sqrt{1 + \frac{\omega_H^2}{\omega_{H1}^2}}\right)^N} = \frac{[A_{v1}(0)]^N}{\sqrt{2}} \quad (12.8)$$

Esprimendo ω_H in funzione di ω_{H1} , si ottiene:

$$\omega_H = \omega_{H1} \sqrt{2^{1/N} - 1} \quad \text{ovvero} \quad f_H = f_{H1} \sqrt{2^{1/N} - 1} \quad (12.9)$$

La larghezza di banda dell'amplificatore complessivo è minore di quella dei singoli amplificatori. Alcuni valori per il **fattore di riduzione della larghezza di banda** $\sqrt{2^{1/N} - 1}$ sono riportati nella Tabella 12.2.

Benché la maggior parte degli amplificatori non sia realizzata come cascata di stadi uguali, l'Equazione (12.9) può essere utilizzata per ottenere utili indicazioni nel progetto di un amplificatore a più stadi, o per ottenere una stima della larghezza di banda di una parte dell'amplificatore.

Tabella 12.2 Fattore di riduzione della larghezza di banda

N	$\sqrt{2^{1/N} - 1}$
1	1
2	0.644
3	0.510
4	0.435
5	0.386
6	0.350
7	0.323

ESERCIZIO Si supponga che tre amplificatori siano connessi in cascata come in Figura 12.3. Ciascun amplificatore è caratterizzato da $A_v = -30$ e $f_H = 33.3$ kHz. Qual è il valore del guadagno in continua e della larghezza di banda per l'amplificatore complessivo a tre stadi?

RISPOSTE $-27\,000$; 17.0 kHz.

PROGETTO DI AMPLIFICATORI DISPOSTI IN CASCATA

Esempio 12.3

Si progetti un amplificatore caratterizzato dalle seguenti specifiche: $A_v \geq 100$ dB, larghezza di banda ≥ 50 kHz, $R_{out} \leq 0.1 \, \Omega$, $R_{in} \geq 20$ k Ω . Si impieghi un operazionale caratterizzato dalle seguenti specifiche: $A_o = 100$ dB, $f_T = 1$ MHz, $R_{id} = 1$ G Ω , $R_o = 50 \, \Omega$.

PROBLEMA

Informazioni e dati noti: Le specifiche per l'operazionale e per gli amplificatori.

SOLUZIONE

Incognite: La configurazione degli amplificatori, il guadagno in continua e la banda per ciascun amplificatore, i resistori di retroazione.

Approccio: Poiché il valore richiesto di R_{in} è relativamente basso, e può essere ottenuto impiegando un resistore, possiamo prendere in considerazione sia la configurazione invertente che quella non invertente. Sarà necessario impiegare più stadi in cascata, in quanto un solo operazionale non è in grado di soddisfare le specifiche relative a A_v , f_H e R_{out} . Per esempio, il guadagno ad anello aperto dell'operazionale è pari a 100 dB (10^5), ma la larghezza di banda è pari a solo $f_T/10^5 = 10$ Hz. Occorre quindi ridurre il guadagno di ciascuno stadio in modo da aumentare la larghezza di banda.

Per semplicità di progetto, supponiamo che l'amplificatore sia realizzato con la cascata di N stadi identici. Le formule del progetto verranno considerate secondo un ordine opportuno in modo tale che, fissando una sola variabile di progetto, le equazioni rimanenti risultino determinate di conseguenza. Per il progetto considerato le specifiche più difficili da soddisfare sono quelle relative al guadagno e alla larghezza di banda, mentre le specifiche relative alle resistenze di ingresso e uscita sono più semplici da soddisfare. Possiamo inizialmente fare in modo che il progetto soddisfaccia la specifica relativa al guadagno, oppure quella relativa alla larghezza di banda, e quindi determinare il numero di stadi che consente di soddisfare le specifiche rimanenti.

Ipotesi: Nel progetto dobbiamo utilizzare il numero minimo di stadi che consente di soddisfare le specifiche in modo da minimizzare i costi.

Analisi: Nell'esempio in esame, faremo in modo che l'amplificatore complessivo soddisfaccia la specifica del guadagno, e utilizzeremo una procedura per tentativi per determinare il numero di stadi che consente di ottenere il valore richiesto per la larghezza di banda.

Allo scopo di soddisfare la specifica relativa al guadagno, il guadagno di ciascuno stadio deve essere pari a:

$$A_v(0) = \sqrt[N]{10^5}$$

Possiamo quindi calcolare le rimanenti caratteristiche dell'amplificatore utilizzando la procedura di seguito descritta:

1. Si sceglie un valore per il numero di stadi N .
2. Si calcola il guadagno relativo a ciascuno stadio da $A_v(0) = \sqrt[N]{10^5}$.
3. Si determina β utilizzando il risultato del passo 2.
4. Si calcola la larghezza di banda f_{H1} relativa a ciascuno stadio.
5. Si calcola la larghezza di banda complessiva utilizzando la (12.9).
6. In base al valore ottenuto per $A\beta$ si calcolano R_{out} e R_{in} .
7. Verifica delle specifiche. Se queste non sono soddisfatte, si torna al passo 1 e si fissa un nuovo valore di tentativo per N .

Le equazioni relative alle configurazioni invertente e non invertente sono leggermente diverse, come mostrato in Tabella 12.3. I risultati di questa procedura iterativa, realizzata con un foglio di calcolo, sono riportati in Tabella 12.4.

Dalla Tabella 12.4 si vede che il numero di stadi è pari a 6 nel caso in cui siano utilizzati amplificatori non invertenti, e pari a 7 nel caso di amplificatori invertenti. Ciò è dovuto al fatto che la larghezza di banda della configurazione non invertente è leggermente maggiore, per un dato valore del guadagno ad anello chiuso. Poiché siamo di solito interessati a minimizzare i costi, sceglieremo il progetto a 6 stadi. Si osservi che per entrambi i progetti la specifica relativa alla resistenza di uscita risulta soddisfatta per $N > 2$.

Tabella 12.3 Connessione in cascata a N stadi di amplificatori invertenti e non invertenti

$\beta = \frac{R_1}{R_1 + R_2}$	Configurazione non invertente	Configurazione invertente
2. Guadagno del singolo stadio $A_v(0) = \sqrt[N]{10^5}$	$A_v(0) = 1 + \frac{R_2}{R_1}$	$A_v(0) = -\frac{R_2}{R_1}$
3. Fattore di retroazione	$\beta = \frac{1}{A_v(0)}$	$\beta = \frac{1}{1 + A_v(0) }$
4. Larghezza di banda di ciascuno stadio	$f_{H1} = \frac{f_T}{\frac{A_o}{1 + A_o\beta}}$	$f_{H1} = \frac{f_T}{\frac{A_o}{1 + A_o\beta}}$
5. Larghezza di banda dell'amplificatore a N stadi	$f_H = f_{H1}\sqrt{2^{1/N} - 1}$	$f_H = f_{H1}\sqrt{2^{1/N} - 1}$
6. Resistenza di ingresso	$R_{id}(1 + A_o\beta)$	R_1
Resistenza di uscita	$\frac{R_o}{1 + A_o\beta}$	$\frac{R_o}{1 + A_o\beta}$

Tabella 12.4 Progetto di N amplificatori operazionali identici in cascata

Connessione in cascata di amplificatori non invertenti					
Numero di stadi	$A_v(0)$ Guadagno per stadio $1/\beta$	f_{H1} (Hz) Singolo stadio $\beta \times f_T$	f_H (Hz) N stadi	R_{in} (Ω)	R_{out} (Ω)
1	1.00E+05	1.00E+01	1.000E+01	2.00E+09	2.50E+01
2	3.16E+02	3.16E+03	2.035E+03	3.17E+11	1.58E-01
3	4.64E+01	2.15E+04	1.098E+04	2.16E+12	2.32E-02
4	1.78E+01	5.62E+04	2.446E+04	5.62E+12	8.89E-03
5	1.00E+01	1.00E+05	3.856E+04	1.00E+13	5.00E-03
6	6.81E+00	1.47E+05	5.137E+04	1.47E+13	3.41E-03
7	5.18E+00	1.93E+05	6.229E+04	1.93E+13	2.59E-03

(segue)

(continua)

Tabella 12.4 Progetto di N amplificatori operazionali identici in cascata

Connessione in cascata di amplificatori invertenti					
Numero di stadi	$A_v(0)$ Guadagno per stadio $1/\beta$	f_{H1} (Hz) Singolo stadio $\beta \times f_T$	f_H (Hz) N stadi	R_{in}	R_{out} (Ω)
1	1.00E+05	1.00E+01	1.00E+01	R_1	2.50E+01
2	3.16E+02	3.15E+03	2.03E+03	R_1	1.58E-01
3	4.64E+01	2.11E+04	1.08E+04	R_1	2.32E-02
4	1.78E+01	5.32E+04	2.32E+04	R_1	8.89E-03
5	1.00E+01	9.09E+04	3.51E+04	R_1	5.00E-03
6	6.81E+00	1.28E+05	4.48E+04	R_1	3.41E-03
7	5.18E+00	1.62E+05	5.22E+04	R_1	2.59E-03
8	4.22E+00	1.92E+05	5.77E+04	R_1	2.11E-03
9	3.59E+00	2.18E+05	6.16E+04	R_1	1.80E-03
10	3.16E+00	2.40E+06	6.44E+04	R_1	1.58E-03

Per completare il progetto occorre definire il valore delle resistenze R_1 e R_2 . Dalla Tabella 12.4, il guadagno di ciascuno stadio deve essere almeno pari a 6.81, cui corrisponde un rapporto R_2/R_1 pari a 5.81. Poiché non è probabilmente possibile trovare due resistenze con tolleranza del 5 per cento il cui rapporto sia esattamente pari a 5.81, occorre esaminare i valori accettabili per il rapporto delle resistenze, per un amplificatore a 6 stadi. Nella Tabella 12.5 vengono riportati i risultati ottenuti con un foglio di calcolo per un amplificatore a 6 stadi, relativi a valori del guadagno dei singoli stadi compresi tra 6.81 e 7.01. All'aumentare del valore del guadagno dei singoli stadi, la larghezza di banda complessiva decresce. Dalla Tabella 12.5 si vede che le specifiche sono soddisfatte per resistori il cui rapporto è compreso tra 5.81 e 5.99.

Tabella 12.5 Connessione in cascata a 6 stadi di amplificatori non invertenti identici

Numero di stadi	$A_v(0)$ Guadagno per stadio $1/\beta$	Guadagno dell'amplificatore a N stadi	f_{H1} (Hz) singolo stadio $\beta \times f_T$	f_H (Hz) N stadi	R_{in} (Ω)	R_{out} (Ω)
6	6.81E+00	1.00E+05	1.47E+05	5.137E+04	1.47E+13	3.41E-03
6	6.83E+00	1.02E+05	1.46E+05	5.121E+04	1.46E+13	3.42E-03
6	6.85E+00	1.04E+05	1.46E+05	5.107E+04	1.46E+13	3.43E-03
6	6.87E+00	1.05E+05	1.45E+05	5.092E+04	1.46E+13	3.44E-03
6	6.89E+00	1.07E+05	1.45E+05	5.077E+04	1.45E+13	3.45E-03
6	6.91E+00	1.09E+05	1.45E+05	5.062E+04	1.45E+13	3.46E-03
6	6.93E+00	1.11E+05	1.44E+05	5.048E+04	1.44E+13	3.47E-03
6	6.95E+00	1.13E+05	1.44E+05	5.033E+04	1.44E+13	3.48E-03
6	6.97E+00	1.15E+05	1.43E+05	5.019E+04	1.43E+13	3.49E-03
6	6.99E+00	1.17E+05	1.43E+05	5.004E+04	1.43E+13	3.50E-03
6	7.01E+00	1.19E+05	1.43E+05	4.990E+04	1.43E+13	3.51E-03

Dai valori delle resistenze con tolleranza del 5% riportati in Appendice A, si vede che sono possibili diverse scelte. Scegliendo un valore intermedio tra quelli possibili, $A_v(0) = 6.91$, due possibili scelte per le resistenze R_1 e R_2 sono

$$(i) \quad R_1 = 22 \text{ k}\Omega, \quad R_2 = 130 \text{ k}\Omega$$

da cui

$$1 + \frac{R_2}{R_1} = 6.91, \quad A(0) = 101 \text{ dB}, \quad f_H = 50.6 \text{ kHz}, \quad R_{out} = 3.46 \text{ m}\Omega$$

e

$$(ii) \quad R_1 = 5.6 \text{ k}\Omega, \quad R_2 = 33 \text{ k}\Omega$$

da cui:

$$1 + \frac{R_2}{R_1} = 6.89, \quad A(0) = 101 \text{ dB}, \quad f_H = 50.8 \text{ kHz}, \quad R_{out} = 3.45 \text{ m}\Omega$$

Il valore delle resistenze è stato scelto in modo che non vadano a caricare pesantemente l'uscita degli amplificatori operazionali. Per esempio, le resistenze $R_1 = 220 \, \Omega$ e $R_2 = 1.3 \, \text{k}\Omega$, oppure $R_1 = 56 \, \Omega$ e $R_2 = 330 \, \Omega$, benché forniscano un rapporto accettabile, non sono valori consigliabili.

Verifica dei risultati: I valori determinati soddisfano le specifiche del progetto.

Discussione: Nell'esempio abbiamo esaminato il progetto di un amplificatore multistadio relativamente complesso. Per minimizzare i costi è auspicabile utilizzare il minimo numero di stadi. Dai risultati ottenuti con un foglio di calcolo abbiamo visto che le specifiche possono essere soddisfatte utilizzando sei stadi non invertenti in cascata. Il progetto è stato completato con la scelta di resistori nell'ambito dei valori disponibili in forma discreta.

Analisi assistita da calcolatore: Nel caso di circuiti complessi come quello in esame, è particolarmente conveniente utilizzare SPICE per verificare l'analisi manuale. Rimandiamo l'analisi dopo lo studio dei macromodelli per gli amplificatori operazionali.

Effetto delle tolleranze sul progetto di un amplificatore

Dopo aver completato l'Esempio 12.3 analizziamo gli effetti delle tolleranze delle resistenze sul progetto. Abbiamo scelto resistenze con tolleranza del 5%; la Tabella 12.6 presenta i risultati ottenuti dall'analisi del caso peggiore, in cui:

$$A_v^{\text{nom}} = 1 + \frac{130 \, \text{k}\Omega}{22 \, \text{k}\Omega} = 6.91$$

$$A_v^{\text{max}} = 1 + \frac{130 \, \text{k}\Omega(1.05)}{22 \, \text{k}\Omega(0.95)} = 7.53$$

$$A_v^{\text{min}} = 1 + \frac{130 \, \text{k}\Omega(0.95)}{22 \, \text{k}\Omega(1.05)} = 6.35$$

Nel caso in cui le resistenze assumono i valori nominali, entrambe le specifiche risultano verificate, con un margine del 9% per il guadagno, ma solo dell'1.3% per la larghezza di banda. Quando le tolleranze delle resistenze sono tali da ottenere il valore massimo del guadagno per ciascuno stadio, la specifica del guadagno è ovviamente verificata, mentre quella relativa alla larghezza di banda non lo è. Nel caso opposto, non risulta verificata la specifica relativa al guadagno. L'analisi ha quindi fornito delle utili indicazioni riguardo possibili problemi che possono verificarsi a causa delle tolleranze. Ovviamente, la condizione in cui tutti gli stadi assumono il valore estremo per il guadagno e la larghezza di banda è da considerare come un caso limite. Tuttavia osserviamo che il valore nominale della larghezza di banda è di poco superiore al valore specificato.

Un progetto più accurato potrebbe essere basato sui risultati di un'analisi Monte Carlo. L'analisi Monte Carlo dell'amplificatore a 6 stadi, relativa a 10 000 casi, mostra che se il circuito è realizzato con resistenze con tolleranza del 5%, più del 30% degli amplificatori non soddisferebbero o la specifica relativa al guadagno, oppure quella relativa alla banda (si veda il Problema 12.71).

Tabella 12.6 Connessione in cascata a 6 stadi di amplificatori non invertenti identici - analisi del caso peggiore

Valori di R	Guadagno per uno stadio	Guadagno per sei stadi	f_{H1} (Hz)	f_H (Hz)	R_{in} (Ω)	R_{out} (Ω)
Nominale	6.91E+00	1.09E+05	1.45E+05	5.065E+04	1.45E+13	3.45E-03
Max	7.53E+00	1.82E+05	1.33E+05	4.647E+04	1.33E+13	3.77E-03
Min	6.35E+00	6.53E+04	1.58E+05	5.514E+04	1.58E+13	3.17E-03

RISPOSTA IN FREQUENZA DI AMPLIFICATORI MULTISTADIO

Esempio 12.4

Si impieghi SPICE per studiare la risposta in frequenza di un amplificatore multistadio.

PROBLEMA

Usare il simulatore per verificare la risposta in frequenza dell'amplificatore a sei stadi progettato nell'Esempio 12.3.

Informazioni e dati noti: È data la configurazione a sei stadi in cascata descritta nell'Esempio 12.13, con: $R_1 = 22 \text{ k}\Omega$, $R_2 = 130 \text{ k}\Omega$. Le specifiche dell'operazionale sono: $A_o = 100 \text{ dB}$, $f_T = 1 \text{ MHz}$, $R_{id} = 1 \text{ G}\Omega$, $R_o = 50 \text{ }\Omega$.

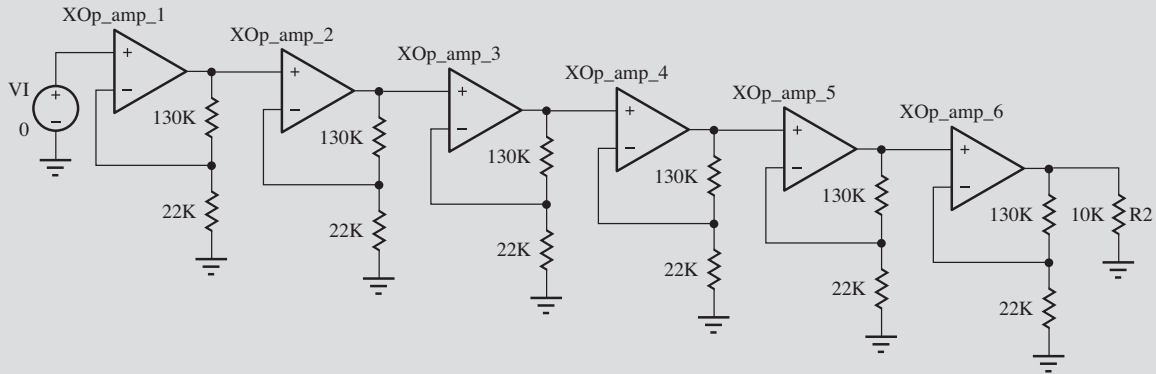
SOLUZIONE

Incognite: Il grafico di Bode relativo alla risposta in frequenza dell'amplificatore complessivo; i valori di $A_v(0)$ e f_H .

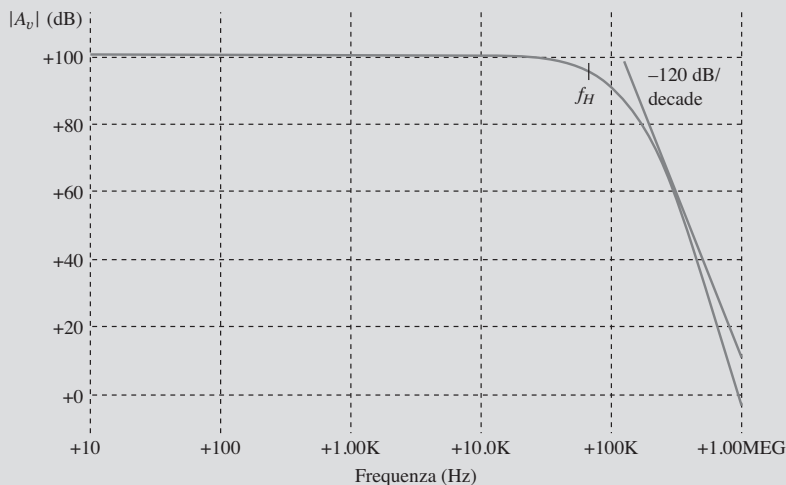
Approccio: Si utilizzerà un macromodello SPICE per effettuare la simulazione dell'amplificatore a sei stadi, e inoltre si impiegheranno sottocircuiti SPICE per semplificare l'analisi.

Ipotesi: Si farà uso di un'approssimazione a singolo polo. Sono altresì disponibili alimentazioni simmetriche di 15 V.

Analisi: Dopo aver disegnato il circuito con lo "schematic editor", dobbiamo definire i parametri del macromodello SPICE in base alle specifiche. Sono assegnati il guadagno di modo differenziale, la resistenza di ingresso e quella di uscita. Dobbiamo quindi calcolare la frequenza del primo polo $f_{\beta} = f_T/A_o = 10 \text{ Hz}$.



VI è un generatore AC di 1 V, con un valore DC nullo. Poiché l'amplificatore è accoppiato in continua, dall'analisi della funzione di trasferimento dal generatore VI al nodo di uscita potremo determinare il guadagno a bassa frequenza, la resistenza d'ingresso e la resistenza di uscita. L'intervallo di frequenze utilizzato per l'analisi AC risulta $F_{START} = 100$, $F_{STOP} = 1 \text{ MEG}$, con 10 punti per decade. L'ampiezza di banda potrà essere determinata dal diagramma di Bode prodotto dall'analisi AC. Dai risultati della simulazione otteniamo un guadagno di 100.7 dB, $R_{in} = 28.9 \text{ T}\Omega$, $R_{out} = 3.52 \text{ m}\Omega$ e una banda pari a 54.8 kHz.



Verifica dei risultati: Possiamo osservare alcune differenze. Mentre il guadagno e la resistenza di uscita sono in accordo con i valori calcolati, l'ampiezza di banda risulta maggiore e la resistenza d'ingresso è molto più piccola. Un'analisi più attenta del diagramma di Bode mostra che la riduzione del guadagno ad alte frequenze presenta una pendenza maggiore del valore atteso $6 \text{ (20 dB/decade)} = 120 \text{ dB/decade}$.

Discussione: L'origine di questa differenza è da ricercarsi nel macromodello in cui tutti i parametri non modificati presentano i valori di default. Prendendo in esame il modello di amplificatore operazionale relativo alla versione di SPICE utilizzata dall'autore, i valori di default sono indicati nella Tabella 11.4: resistenza di ingresso di modo comune = $2 \text{ G}\Omega$, frequenza del secondo polo = 2 MHz , tensione di offset di ingresso = 1 mV , corrente di polarizzazione di ingresso = 80 nA e così via. La resistenza di ingresso non può risultare superiore al valore relativo a R_{cm} , mentre i valori elevati osservati per l'ampiezza di banda e per la pendenza relativa al grafico di Bode sono determinati dal secondo polo dell'operazionale a 2 MHz . Se modifichiamo il valore di R_{cm} a $10^{15} \Omega$, e poniamo le frequenze di tutti i poli di ordine superiore a 200 MHz , la simulazione SPICE fornisce una resistenza di ingresso di $28.9 \text{ T}\Omega$ e una banda di 50.4 kHz , che risultano più vicini ai valori calcolati. Inoltre, la pendenza del guadagno ad alte frequenze risulta pari a 120 dB/decade .

In questa simulazione si è riscontrato anche un altro problema. Nelle prime simulazioni effettuate si sono ottenuti dei valori bassi per il guadagno di tensione. Effettuando l'analisi relativa al punto di lavoro si è visto che alcuni degli amplificatori operazionali presentano valori elevati per la tensione di uscita. Anche in questo caso il problema è da ricercarsi nei valori di default dei parametri. L'amplificatore presenta un guadagno complessivo molto elevato, sicché una tensione di offset di 1 mV all'ingresso del primo amplificatore moltiplicata per un guadagno di $100\,000$ produrrebbe una tensione pari a 100 V all'uscita del sesto amplificatore! Per ottenere dei risultati corretti dalla simulazione è necessario specificare nel modello dell'operazionale dei valori nulli per la tensione di offset, per la corrente di polarizzazione e per le correnti di offset all'ingresso.

Questi problemi sono importanti anche per la realizzazione pratica dell'amplificatore. Se cercassimo di costruire questo amplificatore, infatti, troveremmo proprio gli stessi problemi. Per esempio, a causa della tensione di offset e delle correnti di polarizzazione di ingresso, le uscite degli operazionali saturerebbero ai valori imposti dalle tensioni di alimentazione. Si potrebbe introdurre un circuito di retroazione per l'amplificatore complessivo allo scopo di stabilizzare il punto di lavoro DC. Tuttavia, i valori elevati per il guadagno e per la variazione di fase attraverso l'amplificatore potrebbero facilmente causare problemi di stabilità.

ESERCIZIO Si effettui la simulazione dell'amplificatore assumendo un valore DC per V_I pari a 1 mV . Si calcolino le tensioni di uscita per gli operazionali.

RISPOSTE 6.91 mV , 47.7 mV , 330 mV , 2.28 V , 15 V , 15 V ; gli ultimi due valori corrispondono a una saturazione dell'uscita.

12.2 Amplificatore per strumentazione

Quando occorre amplificare la differenza tra due segnali, spesso non è possibile utilizzare l'amplificatore sottrattore di Figura 10.25, perché la resistenza di ingresso è troppo bassa. In tal caso possiamo realizzare un **amplificatore per strumentazione** a elevate prestazioni (Figura 12.4), utilizzando due amplificatori non invertenti e un amplificatore sottrattore.

Nel circuito di Figura 12.4 il terzo operazionale costituisce, con le resistenze R_3 e R_4 , un amplificatore sottrattore. Dalla (10.63) si ricava l'espressione della tensione di uscita:

$$v_o = \left(-\frac{R_4}{R_3} \right) (v_a - v_b) \quad (12.10)$$

in cui le tensioni v_a e v_b rappresentano le tensioni di uscita dei primi due amplificatori. Poiché la corrente i_- relativa agli amplificatori 1 e 2 deve essere nulla, si ha:

$$v_a - iR_2 - i(2R_1) - iR_2 = v_b \quad \text{ovvero} \quad v_a - v_b = 2i(R_1 + R_2) \quad (12.11)$$

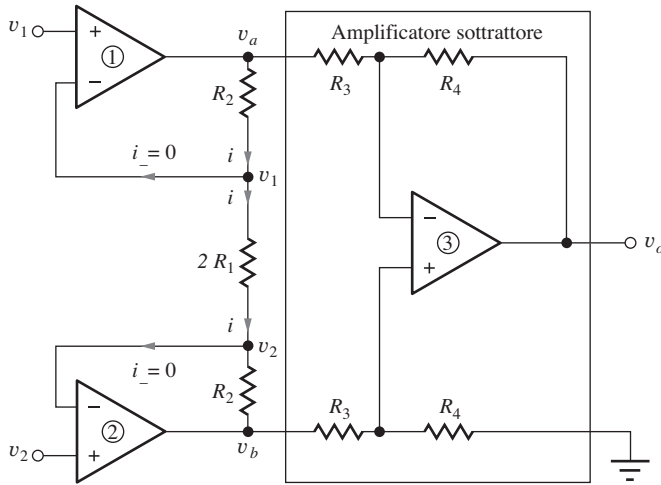


Figura 12.4
Amplificatore per
strumentazione.

$$v_o = -\frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1} \right) (v_1 - v_2)$$

$$R_{in1} \rightarrow \infty$$

$$R_{in2} \rightarrow \infty$$

$$R_{out} = 0$$

Poiché la tensione di ingresso relativa agli amplificatori 1 e 2 deve essere pari a zero, la differenza $(v_1 - v_2)$ appare direttamente ai capi della resistenza $2R_1$, e quindi:

$$i = \frac{v_1 - v_2}{2R_1} \quad (12.12)$$

Dalle (12.10), (12.11) e (12.12) si ottiene l'espressione della tensione di uscita:

$$v_o = -\frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1} \right) (v_1 - v_2) \quad (12.13)$$

L'amplificatore per strumentazione ideale amplifica la differenza tra i segnali di ingresso, ed è caratterizzato da un guadagno di tensione dato dal prodotto dei guadagni relativi agli amplificatori non invertenti e all'amplificatore sottrattore. La resistenza di ingresso è infinita per entrambi gli ingressi, in quanto la corrente di ingresso è nulla per gli operazionali 1 e 2, mentre per effetto dell'amplificatore sottrattore la resistenza di uscita è nulla.

ANALISI DELL'AMPLIFICATORE PER STRUMENTAZIONE

Esempio 12.5

Si calcolino i valori di V_O , V_A , V_B per l'amplificatore per strumentazione di Figura 12.4 assumendo $V_1 = 2.5 \text{ V}$, $V_2 = 2.25 \text{ V}$, $R_1 = 15 \text{ k}\Omega$, $R_2 = 150 \text{ k}\Omega$, $R_3 = 15 \text{ k}\Omega$ e $R_4 = 30 \text{ k}\Omega$.

PROBLEMA

Informazioni e dati noti: È specificata la topologia del circuito con $V_1 = 2.5 \text{ V}$, $V_2 = 2.25 \text{ V}$, $R_1 = 15 \text{ k}\Omega$, $R_2 = 150 \text{ k}\Omega$, $R_3 = 15 \text{ k}\Omega$ e $R_4 = 30 \text{ k}\Omega$.

SOLUZIONE

Incognite: V_O , V_A e V_B .

Approccio: Si farà uso della (12.13).

Ipotesi: Gli operazionali sono ideali ($I_- = I_+ = 0$ e $V_- = V_+$).

Analisi: Dalla (12.13), riferita a segnali continui, si ottiene:

$$V_O = -\frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1} \right) (V_1 - V_2) = -\frac{30 \text{ k}\Omega}{15 \text{ k}\Omega} \left(1 + \frac{150 \text{ k}\Omega}{15 \text{ k}\Omega} \right) (2.5 \text{ V} - 2.25 \text{ V}) = -5.50 \text{ V}$$

Poiché le correnti in ingresso agli operazionali sono nulle, possiamo esprimere le tensioni V_A e V_B in termini delle tensioni di ingresso e della corrente i :

$$V_A = V_1 + iR_2 \quad \text{e} \quad V_B = V_2 - iR_2$$

$$i = \frac{V_1 - V_2}{2R_1} = \frac{2.5 \text{ V} - 2.25 \text{ V}}{2(15 \text{ k}\Omega)} = 8.33 \text{ }\mu\text{A}$$

$$V_A = 2.5 \text{ V} + (8.33 \text{ }\mu\text{A})(150 \text{ k}\Omega) = +3.75 \text{ V}$$

$$V_B = 2.25 \text{ V} - (8.33 \text{ }\mu\text{A})(150 \text{ k}\Omega) = 1.00 \text{ V}$$

Verifica dei risultati: Le incognite sono state determinate. Possiamo verificare se i valori ottenuti corrispondano a un guadagno di tensione di -2 per l'amplificatore sottrattore:

$$V_O = -\frac{R_4}{R_3}(V_A - V_B) = -\frac{30 \text{ k}\Omega}{15 \text{ k}\Omega}(3.75 \text{ V} - 1.00 \text{ V}) = -5.50 \text{ V}$$

ESERCIZIO Assumendo per v_1 e v_2 i valori in continua $V_1 = 5.001 \text{ V}$, $V_2 = 4.999 \text{ V}$, e inoltre $R_1 = 1 \text{ k}\Omega$, $R_2 = 49 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$, $R_4 = 10 \text{ k}\Omega$, si ricavi l'espressione di V_A e V_B . Quali sono i valori di V_O , V_A , V_B e I ?

RISPOSTE $V_A = V_1 + I R_2$, $V_B = V_2 - I R_2$; -100 mV , 5.05 V , 4.95 V , $1.00 \mu\text{A}$.



ELETTRONICA IN AZIONE

Chip di navigazione CMOS per mouse ottici

La Agilent Technologies ha venduto oltre 100 milioni di sensori per mouse ottici, i dispositivi che rappresentano il cuore della maggior parte dei mouse ottici in commercio al giorno d'oggi. Tuttavia, come spesso accade nel mondo dell'ingegneria, la tecnologia di base fu sviluppata in origine per una differente applicazione.

Nel 1993 un gruppo di ingegneri della Hewlett-Packard guidato da Ross Allen immaginarono uno

scanner per documenti, alimentato a batteria, che poteva essere utilizzato per scandire a mano libera un documento e conservare accuratezza nel riconoscimento del testo. Per rendere realtà questa idea Travis Blalock e Dick Baumgartner progettaron, presso i laboratori HP, un integrato CMOS per misurare otticamente il movimento dello scanner sul foglio. Il chip, noto come "Magellan" in HP, è mostrato nella figura seguente.

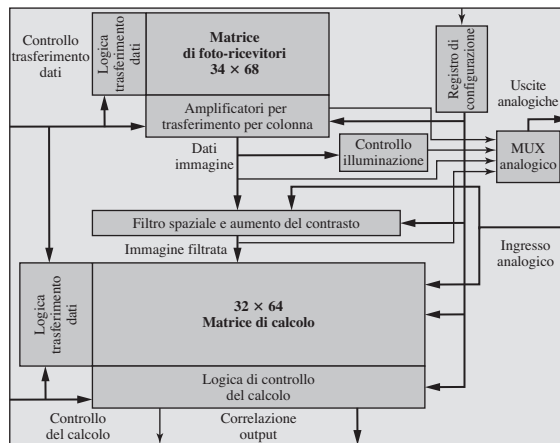
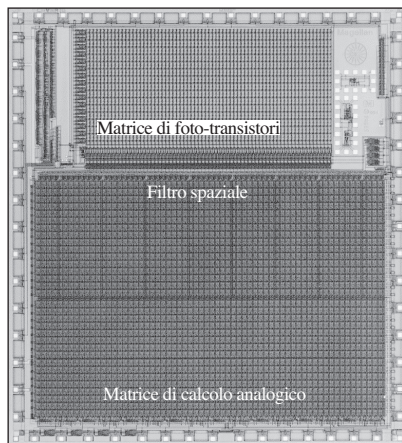


Foto del chip di navigazione ottica e suo schema a blocchi (per gentile concessione di Travis N. Blalock).

Simile alle fotocamere digitali, il prototipo conteneva una matrice di foto-ricevitori per acquisire immagini della superficie scansionata, illuminata e posizionata sotto il chip. Le immagini venivano quindi trasferite dalla matrice di foto-ricevitori a una matrice di calcolo. Quest'ultima conteneva sempre un'immagine di riferimento e l'immagine corrente; i risultati della cross-correlazione bidimensionale tra le due immagini erano utilizzati per calcolare lo spostamento.

Il chip di navigazione ottica Magellan contiene oltre 6000 operazionali e circuiti Sample and Hold, più di 2000 foto-transistor e acquisisce 25000 immagini al secondo. Il chip esegue la correlazione in-

crociata a una velocità di circa 1.5 miliardi di operazioni al secondo.

Dopo che la tecnologia sviluppata fu collaudata con successo, il prototipo fu trasferito al settore produzione e modificato per ottenere un prodotto commerciale. A un certo punto di questo processo ci si rese conto che l'architettura sviluppata poteva essere utilizzata come punto di partenza per la realizzazione di un mouse ottico. Il chip fu quindi modificato ancora una volta e divenne la base del modulo di navigazione venduto dalla Agilent Technologies (uno spin-off della Hewlett-Packard) e attualmente utilizzato in quasi tutti i mouse ottici disponibili sul mercato.

12.3 Filtri attivi

I filtri possono essere realizzati in diversi modi. Nei Capitoli 1 e 10 abbiamo analizzato le caratteristiche dei filtri passa-basso, passa-alto, passa-banda e a reiezione di banda. L'implementazione più semplice dei filtri si avvale di componenti passivi, resistori, condensatori e induttori. Nei circuiti integrati, tuttavia, gli induttori sono difficili da fabbricare, occupano un'area notevole e possono solo essere realizzati con valori molto piccoli di induttanza. Con l'avvento degli amplificatori operazionali ad alte prestazioni e basso costo, sono stati inventati circuiti in grado di realizzare filtri senza uso di induttori.

Questi filtri utilizzano amplificatori operazionali e sono denominati **filtri attivi**; questo paragrafo analizza alcuni esempi di filtri attivi passa-basso, passa-alto e passa-banda. Nel Paragrafo 10.10.10 abbiamo analizzato un semplice filtro attivo passa-basso caratterizzato da un solo polo. Molti dei filtri presentati in questo paragrafo sono più efficienti nel senso che presentano due poli anziché uno solo.

12.3.1 Filtro passa-basso

La Figura 12.5 mostra la configurazione fondamentale relativa a un filtro passa-basso a due poli, realizzato con un amplificatore operazionale, due resistori e due condensatori. In questo circuito l'amplificatore operazionale opera come un inseguitore di tensione caratterizzato da un guadagno unitario su un ampio intervallo di frequenze. Il funzionamento del filtro è basato sulla retroazione positiva attraverso il condensatore C_1 per frequenze maggiori di zero e non richiede l'uso di induttanze.

Determiniamo ora la funzione di trasferimento che descrive il guadagno di tensione di questo filtro. L'amplificatore operazionale ideale impone l'uguaglianza delle tensioni $V_o(s) = V_2(s)$ per cui esistono solo due nodi indipendenti nel circuito.

Scrivendo l'equazione ai nodi per $V_1(s)$ e $V_2(s)$, si ottiene:

$$\begin{bmatrix} G_1 V_1(s) \\ 0 \end{bmatrix} = \begin{bmatrix} sC_1 + G_1 + G_2 & -(sC_1 + G_2) \\ -G_2 & sC_2 + G_2 \end{bmatrix} \begin{bmatrix} V_1(s) \\ V_2(s) \end{bmatrix} \quad (12.14)$$

e il determinante di questo sistema di equazioni è:

$$\Delta = s^2 C_1 C_2 + s C_2 (G_1 + G_2) + G_1 G_2 \quad (12.15)$$

Risolvendo rispetto a $V_2(s)$ e ricordando che $V_o(s) = V_2(s)$, si ha:

$$V_o(s) = V_2(s) = \frac{G_1 G_2}{\Delta} V_i(s) \quad (12.16)$$

e quindi:

$$\begin{aligned} A_{LP}(s) &= \frac{V_o(s)}{V_i(s)} = \frac{\frac{G_1 G_2}{C_1 C_2}}{s^2 + s \frac{G_1 + G_2}{C_1} + \frac{G_1 G_2}{C_1 C_2}} \\ &= \frac{1}{\frac{R_1 R_2 C_1 C_2}{s^2 + s \frac{1}{C_1} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) + \frac{1}{R_1 R_2 C_1 C_2}}} \end{aligned} \quad (12.17)$$

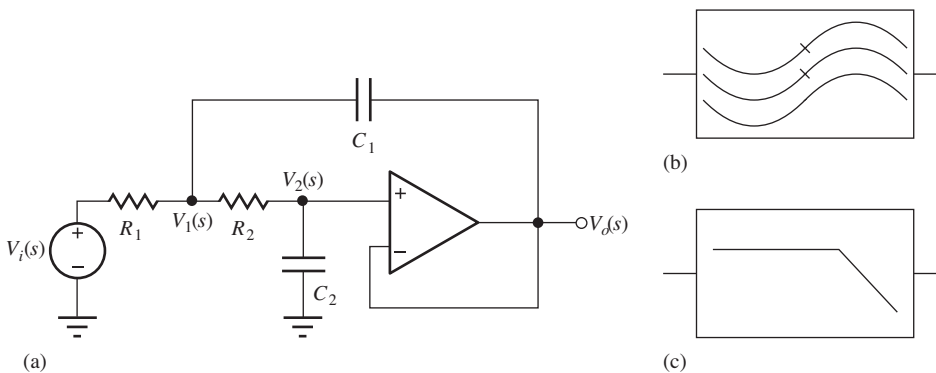


Figura 12.5

(a) Filtro passa-basso a due poli. (b) Simbolo del filtro passa-basso. (c) Altra rappresentazione del filtro passa-basso.

L'Equazione (12.17) è molto spesso scritta in forma canonica:

$$A_{LP}(s) = \frac{\omega_o^2}{s^2 + s \frac{\omega_o}{Q} + \omega_o^2} \quad (12.18)$$

dove

$$\omega_o = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad \text{e} \quad Q = \sqrt{\frac{C_1}{C_2}} \frac{\sqrt{R_1 R_2}}{R_1 + R_2} \quad (12.19)$$

La frequenza ω_o è detta frequenza di taglio del filtro, benché l'esatto valore della frequenza di taglio, in base alla definizione di ω_H , è sia uguale a ω_o solo se $Q = 1/\sqrt{2}$. A basse frequenze, cioè $\omega \ll \omega_o$, il filtro presenta un guadagno unitario, mentre per frequenze ben al di sopra di ω_o la risposta del filtro è quella di un sistema a due poli caratterizzato da una riduzione del modulo del guadagno con pendenza di 40 dB/decade. Per $\omega = \omega_o$ il guadagno del filtro è pari a Q .

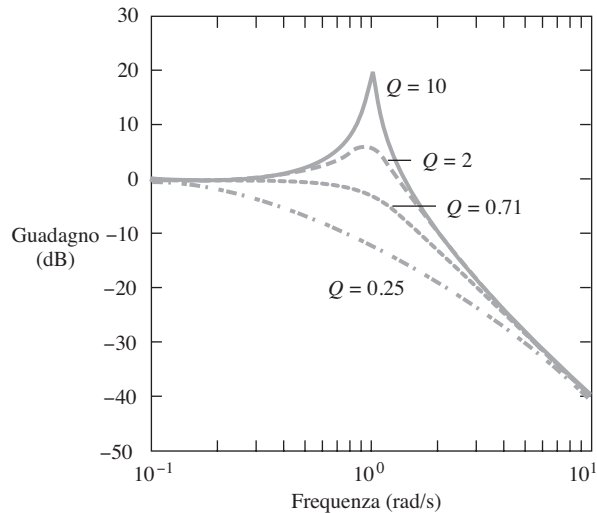
La Figura 12.6 mostra la risposta del filtro. Le risposte mostrate possono essere ottenute con la funzione MATLAB `bode`¹ per $\omega_o = 1$ rad/s e quattro valori di Q : 0.25, $1/\sqrt{2}$, 2 e 10. Per $Q = 1/\sqrt{2}$, il filtro presenta l'andamento **massimamente piatto** di un **filtro di Butterworth** cui corrisponde il massimo valore della larghezza di banda in assenza di picco. Per valori di Q maggiori di $1/\sqrt{2}$ si osserva un picco, in genere indesiderato, mentre per valori di Q minori di $1/\sqrt{2}$ la larghezza di banda diminuisce. Poiché il guadagno dell'inseguitore di tensione deve essere esattamente pari a 1, ω_o deve essere minore della frequenza di guadagno unitario dell'operazionale di una o due decadi.

Dal punto di vista pratico, la scelta dei valori della resistenze è molto più ampia di quella dei valori dei condensatori, per cui i filtri sono spesso progettati con $C_1 = C_2 = C$. I valori di ω_o e Q vengono quindi definiti selezionando un valore opportuno per le resistenze R_1 e R_2 . Nel caso di condensatori di valore uguale, si ha:

$$\omega_o = \frac{1}{C\sqrt{R_1 R_2}} \quad \text{e} \quad Q = \frac{\sqrt{R_1 R_2}}{R_1 + R_2} \quad (12.20)$$

Un'altra considerazione di ordine pratico riguarda le correnti di polarizzazione dell'amplificatore operazionale. Affinché il filtro operi in maniera corretta, il circuito deve assicurare un percorso per le componenti continue delle correnti dell'operazionale. Nel circuito di Figura 12.5, la corrente continua per l'ingresso non invertente è fornita dal generatore di segnale attraverso R_1 e R_2 . La corrente continua per l'ingresso invertente è fornita dall'uscita dell'operazionale.

Figura 12.6
Risposta del filtro passa-basso
per $\omega_o = 1$ rad/s e quattro
valori di Q .



¹ La funzione `bode` accetta come argomenti i coefficienti dei polinomi in s a numeratore e denominatore: `omega0=1; Q=10; bode(1, [1, omega0/Q, omega0^2])`.

**NOTA PROGETTUALE****Operazionali e correnti di bias**

Affinché un circuito con un amplificatore operazionale operi correttamente, occorre fornire un percorso per le componenti continue delle correnti di ingresso dell'operazionale.

PROGETTO DI UN FILTRO PASSA-BASSO**Esempio 12.6**

Si determinino i valori di resistori e condensatori necessari a soddisfare le specifiche sulla frequenza di taglio di un filtro attivo passa-basso a due poli.

Utilizzando il circuito della Figura 12.5, si progetti un filtro passa-basso che presenti una frequenza di taglio superiore di 5 kHz e una risposta il più possibile piatta. **PROBLEMA**

Informazioni e dati noti: È nota la topologia del circuito (Figura 12.5); è richiesta una risposta massimamente piatta con $f_H = 5$ kHz. **SOLUZIONE**

Incognite: R_1 , R_2 , C_1 e C_2 .

Approccio: La risposta piatta si ottiene per $Q = 1/\sqrt{2}$. In questo caso $f_H = f_o$. Sfortunatamente, in base all'Equazione (12.19), i condensatori uguali non consentono di ottenere il desiderato valore di Q . Dobbiamo esplorare altre opzioni.

Ipotesi: L'amplificatore operazionale è ideale.

Analisi: Dall'Equazione (12.19) si vede che una possibile scelta per i condensatori e resistori è: $C_1 = 2C_2 = 2C$ e $R_1 = R_2 = R$. Con questi valori si ha:

$$R = \frac{1}{\sqrt{2}\omega_o C} \quad \text{e} \quad Q = \frac{1}{\sqrt{2}}$$

Abbiamo ancora due parametri da definire e un solo vincolo da soddisfare. La scelta deve essere effettuata in base a criteri di tipo ingegneristico. Si noti che $1/(\omega_o C)$ rappresenta la reattanza di C alla frequenza ω_o e R è il 30% minore di questo valore. L'impedenza del filtro è quindi definita dalla scelta di C (oppure R). Se il livello di impedenza è troppo basso, l'operazionale non sarà in grado di fornire la corrente necessaria al pilotaggio della rete di retroazione.

Alla frequenza di 5 kHz, un condensatore di 10 nF presenta una reattanza di 3.18 kΩ:

$$\frac{1}{\omega_o C} = \frac{1}{2\pi(5 \text{ kHz})(10 \text{ nF})} = 3180 \, \Omega$$

Questo valore di capacità è disponibile, per cui:

$$R = \frac{3180 \, \Omega}{\sqrt{2}} = 2250 \, \Omega$$

Dall'Appendice A si vede che il resistore con tolleranza di 1% più vicino al valore richiesto è 2260 Ω. I valori definitivi di progetto sono:

$$R_1 = R_2 = 2.26 \text{ k}\Omega, C_1 = 20 \text{ nF}, C_2 = 10 \text{ nF}$$

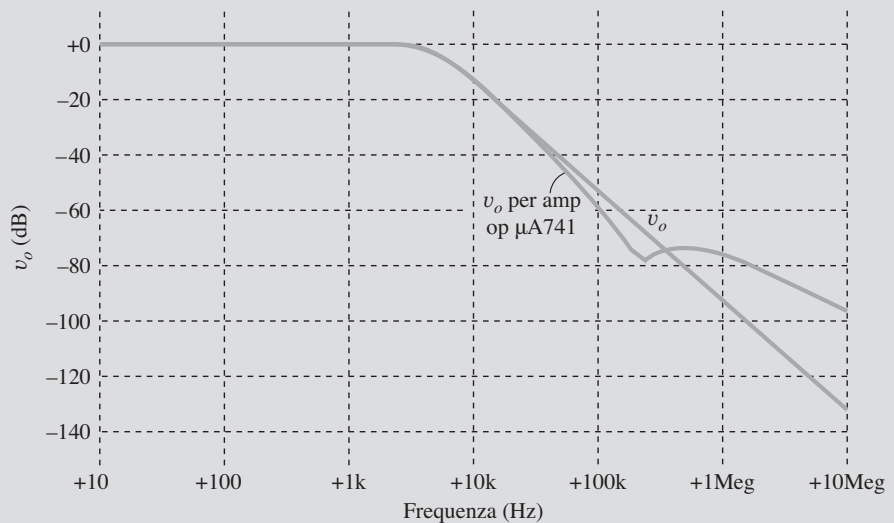
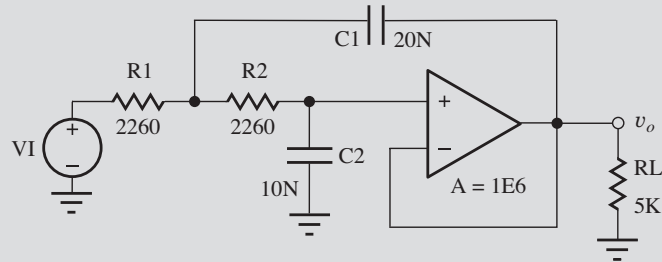
Verifica dei risultati: Utilizzando i valori calcolati si ha: $f_o = 4980$ Hz e $Q = 0.707$.

Discussione e analisi assistita al calcolatore: La risposta in frequenza del filtro viene simulata utilizzando il circuito mostrato di seguito.

Il guadagno dell'operazionale è fissato a 10^6 . Viene eseguita una analisi AC con VI come generatore, FSTART = 10, FSTOP = 10MEG e 10 punti per decade.

Il guadagno al nodo di uscita è 0 dB e $f_H = 5$ kHz, in accordo con le specifiche di progetto.

Nel grafico è riportata una seconda curva, che mostra la risposta in frequenza dell'amp op $\mu A741$; le differenze tra le curve sono dovute al prodotto banda-guadagno non infinito dell'amplificatore operazionale.



ESERCIZIO Quanto vale $A_v(0)$ per il filtro dell'esempio precedente? Si mostri che $f_H = f_o$ se $Q = 1/\sqrt{2}$.

RISPOSTA +1.00.

ESERCIZIO Si riprogetti il filtro dell'esempio precedente in modo da avere $f_H = 10$ kHz e risposta piatta. Si mantenga lo stesso livello di impedenza.

RISPOSTE 10 nF, 5 nF, 2.26 k Ω , 2.26 k Ω .

ESERCIZIO Utilizzando l'Equazione (12.20), si mostri che $|A_{LP}(j\omega_o)| = Q$.

ESERCIZIO Si porti la frequenza di taglio del filtro a 2 kHz cambiando i valori di R_1 e R_2 senza variare Q .

RISPOSTE $R_1 = R_2 = 5.62$ k Ω .

ESERCIZIO Si utilizzi l'espressione di Q data dall'Equazione (12.20) per mostrare che $Q = 1/\sqrt{2}$ non si può ottenere con condensatori di uguale valore. Qual è il massimo valore di Q per $C_1 = C_2$?

RISPOSTA 0.5.

12.3.2 Filtro passa-alto con guadagno maggiore di 1

È possibile realizzare un **filtro passa-alto** con la stessa topologia della Figura 12.5 semplicemente scambiando la posizione dei resistori e dei condensatori, come mostrato in Figura 12.7. In molte applicazioni si preferisce avere filtri con guadagno maggiore di 1 in banda passante. L'inseguitore di tensione viene sostituito da un amplificatore non invertente con guadagno K nello schema di Figura 12.7. Il guadagno K fornisce un ulteriore grado di libertà nel progetto degli elementi del filtro. Si noti che esiste un percorso per le componenti continue attraverso R_2 e i due resistori di retroazione.

L'analisi è praticamente identica a quella eseguita per il filtro passa-basso. I nodi v_1 e v_2 sono gli unici indipendenti, in quanto $v_o = +KV_2$. Scrivendo le due equazioni ai nodi si ha il seguente sistema:

$$\begin{bmatrix} sC_1 V_1(s) \\ 0 \end{bmatrix} = \begin{bmatrix} s(C_1 + C_2) + G_1 & -(sC_2 + KG_1) \\ -sC_2 & sC_2 + G_2 \end{bmatrix} \begin{bmatrix} V_1(s) \\ V_2(s) \end{bmatrix} \quad (12.21)$$

Il determinante del sistema è:

$$\Delta = s^2 C_1 C_2 + s(C_1 + C_2)G_2 + sC_2 G_1 (1 - K) + G_1 G_2 \quad (12.22)$$

e la tensione di uscita è:

$$V_o(s) = KV_2(s) = K \frac{s^2 C_1 C_2 V_i(s)}{\Delta} \quad (12.23)$$

Combinando le Equazioni (12.22) e (12.23) si ottiene la funzione di trasferimento del filtro

$$A_{HP}(s) = K \frac{s^2}{s^2 + s \frac{\omega_o}{Q} + \omega_o^2} \quad (12.24)$$

dove

$$\omega_o = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad \text{e} \quad Q = \left[\sqrt{\frac{R_1}{R_2}} \frac{C_1 + C_2}{\sqrt{C_1 C_2}} + (1 - K) \sqrt{\frac{R_2 C_2}{R_1 C_1}} \right]^{-1} \quad (12.25)$$

Per il caso in cui $R_1 = R_2 = R$ e $C_1 = C_2 = C$, le Equazioni (12.24) e (12.25) si semplificano in:

$$A_{HP}(s) = K \frac{s^2}{s^2 + s \frac{3-K}{RC} + \frac{1}{R^2 C^2}} \quad (12.26)$$

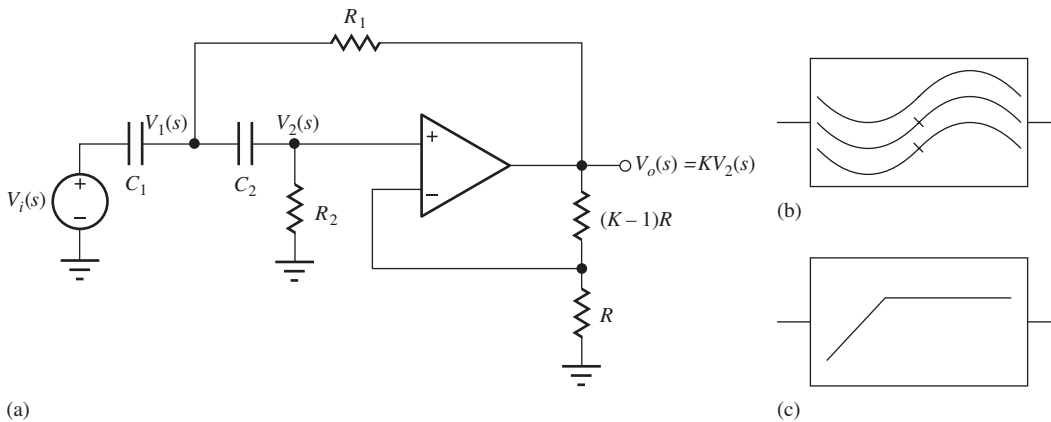
$$\omega_o = \frac{1}{RC} \quad \text{e} \quad Q = \frac{1}{3-K}$$

Con questa scelta i valori di ω_o e Q possono essere definiti indipendentemente.

La Figura 12.8 mostra la risposta di un filtro passa-alto² per $\omega_o = 1$ rad/s e quattro valori di Q . Il parametro ω_o corrisponde approssimativamente alla frequenza di taglio inferiore del filtro, e $Q = 1/\sqrt{2}$ corrisponde all'andamento massimamente piatto (filtro di Butterworth).

Figura 12.7

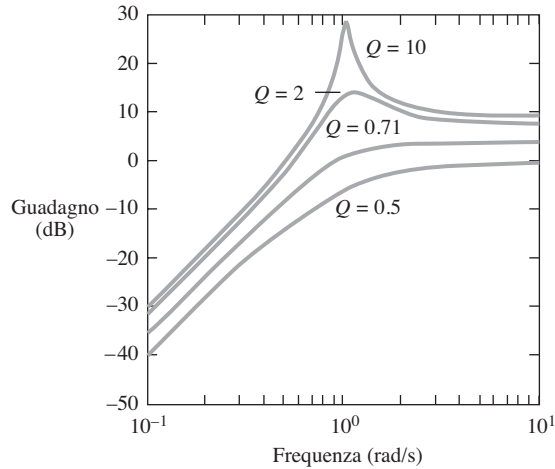
(a) Filtro passa-alto con guadagno maggiore di 1. (b) Simbolo del filtro passa-alto. (c) Altra rappresentazione del filtro passa-alto.



² Ottenuta, ad esempio, con l'istruzione MATLAB `bode([ (3-sqrt(2)), 0, 0], [1, sqrt(2), 1])`.

Figura 12.8

Risposta del filtro passa-alto
con $\omega_o = 1 \text{ rad/s}$ e quattro
valori di Q .



L'amplificatore non invertente di Figura 12.7 deve avere $K \geq 1$. Si noti che, nell'Equazione (12.26), $K = 3$ corrisponde a Q infinito. In questo caso i poli del filtro si trovano esattamente sull'asse immaginario, dando luogo a oscillazioni sinusoidali. Per $K > 3$, i poli del filtro si trovano nel semipiano destro e il filtro risulta instabile. Quindi deve aversi $1 \leq K < 3$.

ESERCIZIO Quanto vale il guadagno a $\omega = \omega_o$ per il filtro descritto dall'Equazione (12.26)?

RISPOSTA $j \frac{K}{3-K}$; modulo: $\frac{K}{3-K}$, fase: $+90^\circ$.

ESERCIZIO Il filtro passa-alto di Figura 12.7 è stato progettato con $C_1 = 4.7 \text{ nF}$, $C_2 = 1 \text{ nF}$, $R_1 = 10 \text{ k}\Omega$ e $R_2 = 20 \text{ k}\Omega$, e il guadagno dell'amplificatore è 2. Quanto valgono f_o e Q ?

RISPOSTE 5.19 kHz, 0.828.

ESERCIZIO Si ricavi un'espressione per la sensibilità (Paragrafo 12.3.5) di Q rispetto al guadagno ad anello chiuso K per il filtro passa-alto di Figura 12.7 nel caso di componenti uguali. Si calcoli il valore della sensibilità se $Q = 1/\sqrt{2}$.

RISPOSTE $S_K^Q = 3Q - 1 = K/(3-K) = KQ$; 1.12.

12.3.3 Filtro passa-banda

Un **filtro passa-banda** può essere realizzato combinando le caratteristiche passa-alto e passa-basso dei filtri precedenti. La Figura 12.9 mostra un possibile circuito per tale filtro passa-banda. In questo caso l'operazionale è utilizzato in configurazione invertente; questo circuito è a volte chiamato "filtro a guadagno infinito" perché utilizza il guadagno ad anello dell'operazionale, che è idealmente infinito. Il resistore R_3 viene aggiunto allo scopo di fornire un ulteriore grado di libertà al progetto in modo da poter fissare guadagno, frequenza centrale e Q con la minima interazione reciproca.

Si noti ancora che esiste un percorso per le correnti continue di polarizzazione.

L'analisi del circuito della Figura 12.9(b) può essere ridotta all'analisi di un solo nodo utilizzando la teoria dell'operazionale per trovare una relazione tra $V_o(s)$ e $V_1(s)$:

$$sC_2 V_1(s) = -\frac{V_o(s)}{R_2} \quad \text{ovvero} \quad V_1(s) = -\frac{V_o(s)}{sC_2 R_2} \quad (12.27)$$

Mediante la legge di Kirchhoff al nodo v_1 , si ha:

$$G_{th} V_{th} = [s(C_1 + C_2) + G_{th}] V_1(s) - sC_1 V_o(s) \quad (12.28)$$

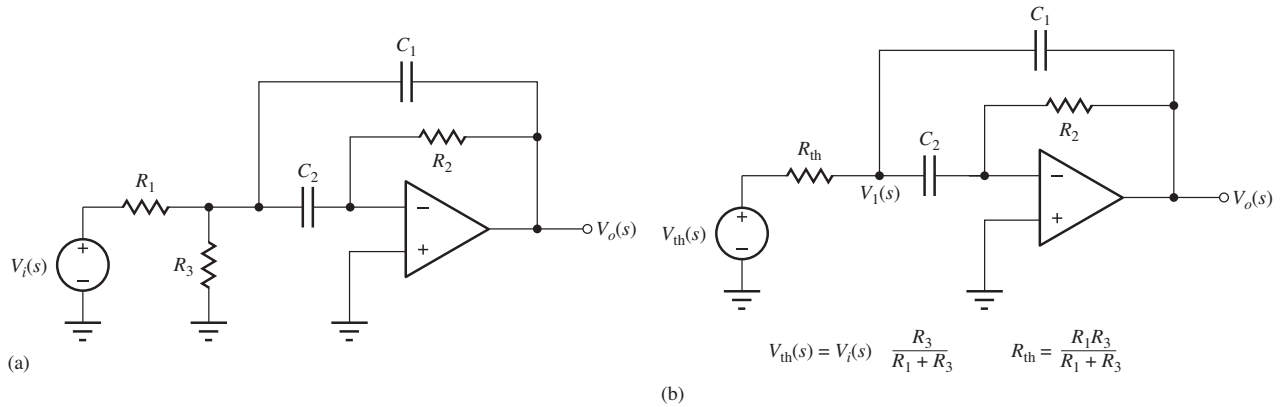


Figura 12.9 (a) Filtro passa-banda con amplificatore operazionale in configurazione invertente. (b) Circuito semplificato del filtro passa-banda.

Combinando le equazioni (12.27) e (12.28) si ottiene:

$$\frac{V_o(s)}{V_{th}(s)} = \frac{-\frac{s}{R_{th}C_1}}{s^2 + s\frac{1}{R_2}\left(\frac{1}{C_1} + \frac{1}{C_2}\right) + \frac{1}{R_{th}R_2C_1C_2}} \quad (12.29)$$

L'uscita del filtro passa-banda può essere espressa come:

$$A_{BP}(s) = -\frac{V_o(s)}{V_i(s)} = \sqrt{\frac{R_3}{R_1 + R_3} \frac{R_2 C_2}{R_1 C_1}} \frac{s\omega_o}{s^2 + s\frac{\omega_o}{Q} + \omega_o^2} \quad (12.30)$$

con

$$\omega_o = \frac{1}{\sqrt{R_{th}R_2C_1C_2}} \quad \text{e} \quad Q = \sqrt{\frac{R_2}{R_{th}}} \frac{\sqrt{C_1C_2}}{C_1 + C_2} \quad (12.31)$$

Se $C_1 = C_2 = C$, allora:

$$\omega_o = \frac{1}{C\sqrt{R_{th}R_2}} \quad Q = \frac{1}{2} \sqrt{\frac{R_2}{R_{th}}} \quad BW = \frac{2}{R_2C} \quad (12.32)$$

$$A_{BP}(s) = -\left(\frac{2Q}{1 + \frac{R_1}{R_3}}\right) \left(\frac{s\omega_o}{s^2 + s\frac{\omega_o}{Q} + \omega_o^2}\right) \quad A_{BP}(\omega_o) = -\frac{1}{2} \left(\frac{R_2}{R_1}\right)$$

La Figura 12.10 mostra la risposta del filtro passa-banda³ per $\omega_o = 1$ rad/s, $C_1 = C_2$, $R_3 \rightarrow \infty$ e tre valori di Q . Il parametro ω_o rappresenta ora la frequenza centrale del filtro passa-banda. La risposta in frequenza presenta un picco in corrispondenza di ω_o e il guadagno alla frequenza centrale è $2Q^2$. A frequenze molto minori o molto maggiori di ω_o , la risposta del filtro corrisponde a quella di un filtro rispettivamente passa-alto e passa-basso a singolo polo con pendenza di 20 dB/decade.

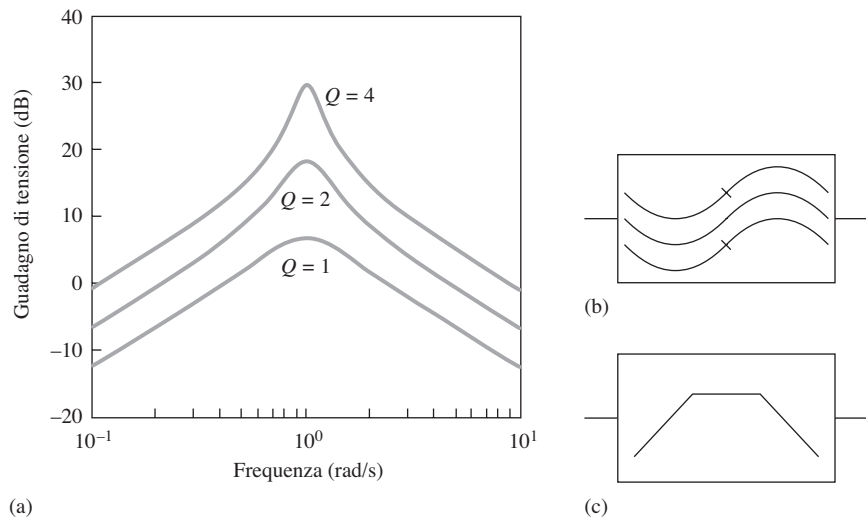
ESERCIZIO Il filtro di Figura 12.9 è stato progettato con $C_1 = C_2 = 20$ nF, $R_1 = 2$ k Ω , $R_3 = 2$ k Ω e $R_2 = 82$ k Ω . Quanto valgono f_o e Q ?

RISPOSTE 879 Hz, 4.5.

³ Ottenuta, per esempio, con l'istruzione MATLAB: `bode([4, 0], [1, 0.5, 1])`.

Figura 12.10

(a) Risposta del filtro passa-banda con $\omega_o = 1 \text{ rad/s}$ e tre valori di Q assumendo $C_1 = C_2$ e $R_3 \rightarrow \infty$. (b) Simbolo del filtro passa-banda. (c) Altra rappresentazione del filtro passa-banda.



12.3.4 Filtro biquadratico Tow-Thomas

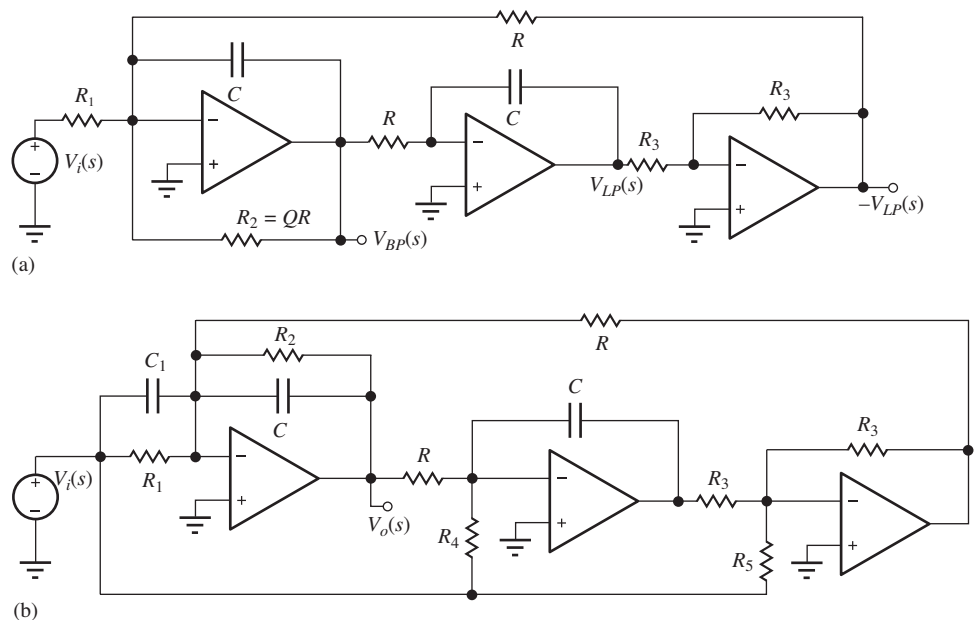
Molti filtri a singolo amplificatore non consentono di definire in modo indipendente ω_o , Q e il guadagno di centro banda. I filtri realizzati con più amplificatori presentano una maggiore semplicità di progetto e una minore sensibilità a scapito di un costo maggiore. Essi possono implementare la funzione di trasferimento biquadratica, la cui forma generale è:

$$T(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2} \quad (12.33)$$

Con una opportuna scelta dei coefficienti del numeratore, è possibile realizzare filtri passa-basso, passa-alto, passa-banda e a reiezione di banda. Si confronti la (12.33) con le Equazioni (12.18), (12.24) e (12.32). Filtri realizzati mediante più di un amplificatore operazionale possono essere utilizzati per ottenere valori di Q più elevati rispetto a quelli ottenibili con un singolo operazionale. Un esempio è il **filtro biquadratico Tow-Thomas** mostrato in Figura 12.11(a). Le uscite $V_{BP}(s)$ e $V_{LP}(s)$ del circuito sono rispettivamente di tipo passa-banda e passa-basso, ma è possibile realizzare altri tipi di uscite aggiungendo alcuni componenti passivi, come mostrato in Figura 12.11(b).

Figura 12.11

(a) Filtro di Tow-Thomas con uscite di tipo passa-banda e passa-basso. (b) Circuito biquadratico Tow-Thomas completo.



La risposta del filtro può essere determinata riguardando il primo amplificatore operazionale come un integratore a più ingressi, e osservando che il terzo operazionale rappresenta semplicemente un amplificatore invertente con $V_o(s) = -V_{LP}(s)$. Utilizzando il metodo della sovrapposizione degli effetti, l'uscita del primo integratore risulta:

$$V_{BP}(s) = -\frac{1}{sR_1C} V_i(s) - \frac{1}{sRC} [-V_{LP}(s)] - \frac{1}{sR_2C} V_{BP}(s) \quad (12.34)$$

Per effetto del secondo integratore le tensioni $V_{LP}(s)$ e $V_{BP}(s)$ sono legate dalla relazione:

$$V_{LP}(s) = -\frac{1}{sRC} V_{BP}(s) \quad (12.35)$$

Dalle Equazioni (12.34) e (12.35) si ricava l'espressione di $V_{BP}(s)$:

$$A_{BP}(s) = \frac{V_{BP}(s)}{V_i(s)} = -\frac{\left(\frac{R}{R_1}\right) \frac{s}{RC}}{s^2 + s\left(\frac{R}{R_2}\right) \frac{1}{RC} + \frac{1}{R^2C^2}} = K \frac{s\omega_o}{s^2 + s\frac{\omega_o}{Q} + \omega_o^2} \quad (12.36)$$

in cui

$$K = \left(\frac{R}{R_1}\right) \quad \omega_o = \frac{1}{RC} \quad Q = \frac{R_2}{R} \quad BW = \frac{1}{R_2C}$$

L'uscita di tipo passa-basso può essere ottenuta dalle (12.35) e (12.36):

$$A_{LP}(s) = K \frac{\frac{1}{R^2C^2}}{s^2 + s\frac{1}{R_2C} + \frac{1}{R^2C^2}} = K \frac{\omega_o^2}{s^2 + s\frac{\omega_o}{Q} + \omega_o^2} \quad (12.37)$$

Nell'Equazione (12.37) si può notare che la frequenza centrale ω_o , il fattore Q e il guadagno K del filtro dipendono da elementi circuitali differenti, e possono essere quindi definiti in modo indipendente.

Come mostrato nella Figura 12.11(b), aggiungendo alcuni componenti è possibile realizzare altre funzioni di trasferimento. Detta v_o la tensione di uscita del primo amplificatore, si ha:

$$A_v(s) = \frac{V_o(s)}{V_i(s)} = -\frac{s^2\left(\frac{C_1}{C}\right) + \frac{s}{C}\left(\frac{1}{R_1} - \frac{R_3}{RR_5}\right) + \frac{1}{RR_4C^2}}{s^2 + s\left(\frac{R}{R_2}\right) \frac{1}{RC} + \frac{1}{R^2C^2}} \quad (12.38)$$

PROGETTO DI UN FILTRO TOW-THOMAS

Esempio 12.7

In questo esempio progetteremo un filtro Tow-Thomas passa-banda.

Si progetti un filtro passa-banda utilizzando il circuito di Tow-Thomas che soddisfaccia le seguenti specifiche: frequenza centrale 2 kHz, banda passante 200 Hz, guadagno di centro banda 20.

PROBLEMA

Informazioni e dati noti: Circuito di Tow-Thomas con frequenza centrale $f_o = 2$ kHz, banda passante $BW = 200$ Hz, guadagno di centro banda $|A_v(j\omega_o)| = 20$.

SOLUZIONE

Incognite: R, R_1, R_2, R_3 e C .

Approccio: Sono note la topologia circuitale, il valore della frequenza centrale, della banda passante e del guadagno. Inoltre, il valore di Q per questo filtro è $Q = f_o/BW = 10$. Dall'Equazione (12.36) si vede che abbiamo quattro elementi circuitali da scegliere (R, R_1, R_2 e C), ma sono state fissate solo tre condizioni. Questa è la situazione che normalmente si incontra nei progetti. Bisogna inoltre scegliere R_3 , che non compare direttamente nelle equazioni del filtro passa-banda.

Ipotesi: L'amplificatore operazionale è ideale.

Analisi: Organizziamo le equazioni in una sequenza logica in modo tale che, scelto un valore, gli altri vengono determinati in conseguenza. Volendo utilizzare valori di componenti commercialmente disponibili (Appendice A), si nota che la scelta dei condensatori è molto più limitata di quella dei resistori, pertanto fissiamo per prima cosa la capacità C . Poi:

$$R = \frac{1}{\omega_o C} \quad R_2 = Q R \quad R_1 = -\frac{R_2}{A_v(0)}$$

Dai dati di progetto si ha:

$$R = \frac{1}{2\pi(2 \text{ kHz}) C} \quad R_2 = 10R \quad R_1 = \frac{R_2}{20} = \frac{R}{2}$$

Un'ulteriore considerazione riguarda il "livello di impedenza" del filtro. Dalla Figura 12.11(a) si osserva che la resistenza di ingresso del filtro è fissata da R_1 e che il modulo della reattanza del condensatore alla frequenza centrale è data da:

$$X_C = \frac{1}{\omega_o C} = R = 2R_1$$

Come vedremo più avanti, gli amplificatori operazionali presentano una limitata capacità di pilotaggio in corrente di carichi elevati. Il primo operazionale del filtro deve fornire corrente AC alla combinazione in parallelo di R , R_2 e C , il secondo operazionale deve pilotare il parallelo di R_3 e C mentre il terzo deve pilotare il parallelo di R_3 e R . Un foglio elettronico aiuta nella scelta dei valori dei componenti:

C (F)	R (Ω)	R_2 (Ω)	R_1 (Ω)	$R \parallel R_2 \parallel X_C$ (Ω)
1.00E-09	7.96E+04	7.96E+05	3.98E+04	53 530
2.00E-09	3.98E+04	3.98E+05	1.99E+04	26 765
2.20E-09	3.62E+04	3.62E+05	1.81E+04	24 332
2.70E-09	2.95E+04	2.95E+05	1.47E+04	19 826
3.30E-09	2.41E+04	2.41E+05	1.21E+04	16 221

La riga in grassetto indica una scelta ragionevole. Dall'Appendice A si vede che possiamo utilizzare $C = 2.7 \text{ nF}$, $R = 29.4 \text{ k}\Omega$ e $R_1 = 14.7 \text{ k}\Omega$. La resistenza di ingresso del filtro sarà $14.7 \text{ k}\Omega$, mentre l'impedenza di carico del primo operazionale è $19.83 \text{ k}\Omega$. Infine, la scelta di R_3 è arbitraria purché il suo valore sia abbastanza grande da non sovraccaricare il secondo e terzo operazionale. $R_3 = 49.9 \text{ k}\Omega$ rappresenta una scelta ragionevole.

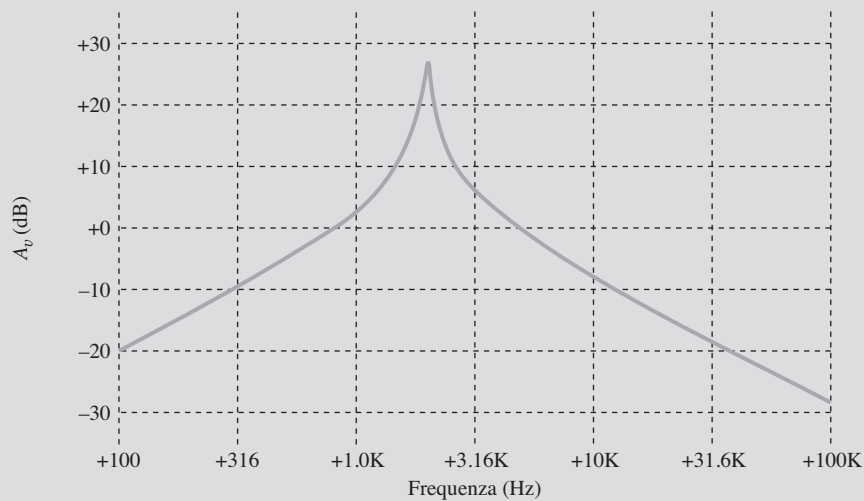
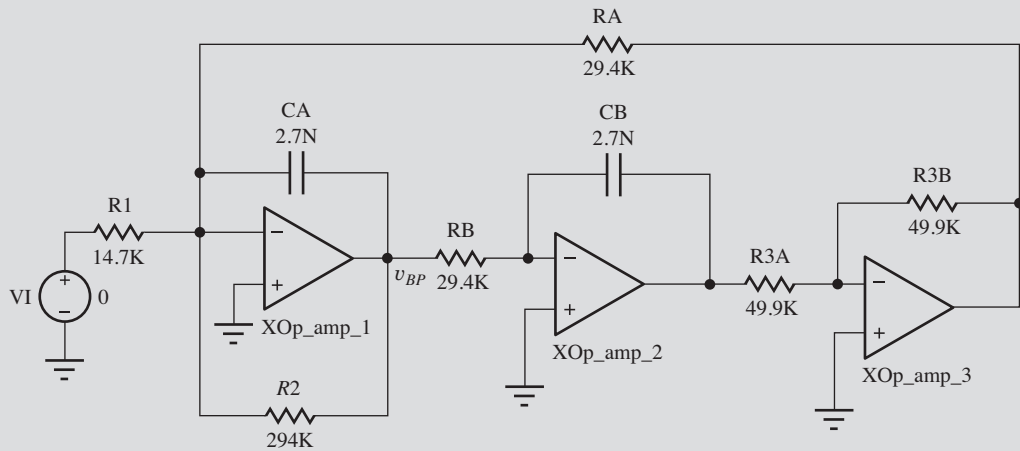
Verifica dei risultati: Utilizzando i valori scelti si ha:

$$f_o = \frac{1}{2\pi(29.4 \text{ k}\Omega)(2.7 \text{ nF})} = 2005 \text{ Hz}$$

$$BW = \frac{1}{2\pi(29.4 \text{ k}\Omega)(2.7 \text{ nF})} = 200.5 \text{ Hz}$$

$$A_v(0) = -20.0$$

Analisi assistita da calcolatore: La risposta in frequenza del filtro viene simulata utilizzando il circuito mostrato di seguito. I parametri degli operazionali sono: resistenza di ingresso $2 \text{ M}\Omega$, guadagno 106 dB , resistenza di uscita 50Ω . Viene eseguita un'analisi AC con VI come generatore, FSTART = 100, FSTOP = 100K e 10 punti per decade. I risultati SPICE sono: $f_o = 1.99 \text{ kHz}$, $BW = 200 \text{ Hz}$ e un guadagno di 26.7 dB . Si noti che c'è un leggero aumento del guadagno e uno spostamento della frequenza centrale a causa delle non idealità dell'operazionale.



ESERCIZIO Si simuli il filtro dell'Esempio 12.7 con un operazionale che presenti un guadagno ad anello aperto di 80 dB. Quanto vale il guadagno del filtro alla frequenza centrale?

RISPOSTA 31.5 dB.

ESERCIZIO Si ripeta il progetto dell'Esempio 12.7 in modo da ottenere un guadagno di 20 dB alla frequenza centrale.

RISPOSTA La resistenza R_1 deve essere pari a 29.4 k Ω .

ESERCIZIO Quali sarebbero i valori standard per i resistori nel caso in cui si utilizzasse una capacità $C = 2$ nF nell'Esempio 12.7? Si determinino la frequenza centrale, l'ampiezza di banda e il guadagno di tensione.

RISPOSTE $R = 40.2$ k Ω , $R_2 = 402$ k Ω , $R_1 = 20.0$ k Ω , $R_3 = 49.9$ k Ω ; 1980 Hz, 198 Hz, -20.1.

ESERCIZIO Quali sono i valori peggiori della frequenza centrale, della banda passante e del guadagno del filtro dell'Esempio 12.7 se i condensatori hanno una tolleranza del 2% e i resistori una tolleranza dell'1%?

RISPOSTE 1946 Hz; 2067 Hz; 195 Hz; 207 Hz; -19.6; -20.4.

12.3.5 Sensibilità

Un aspetto importante nel progetto dei filtri attivi è la **sensibilità** di ω_o e Q alle variazioni degli elementi passivi e dei parametri dell'amplificatore operazionale. La **sensibilità relativa** di un parametro di progetto P alle variazioni di un parametro del circuito Z è espressa in forma matematica da:

$$S_Z^P = \frac{\frac{\partial P}{P}}{\frac{\partial Z}{Z}} = \frac{Z}{P} \frac{\partial P}{\partial Z} \quad (12.39)$$

La sensibilità relativa S rappresenta la variazione percentuale del parametro P associata alla variazione percentuale del parametro Z . Valutiamo, per esempio, la sensibilità della frequenza ω_o rispetto alle variazioni di R e C . Utilizzando l'Equazione (12.19) si ha:

$$S_R^{\omega_o} = S_C^{\omega_o} = -\frac{1}{2} \quad (12.40)$$

Un incremento del 2% del valore di R o C produce una riduzione della frequenza ω_o pari all'1%.

ESERCIZIO Si calcolino S_{C1}^Q e S_{R2}^Q per il filtro passa-basso dell'esempio mediante l'Equazione (12.19).

RISPOSTE +0.5%; 0.

ESERCIZIO Si calcolino i valori di $S_R^{\omega_o}$, $S_C^{\omega_o}$ e S_K^Q del filtro passa alto descritto dall'Equazione (12.26).

RISPOSTE -1 ; -1 ; $K/(3-K)$.

ESERCIZIO Si calcolino i valori di $S_{R1}^{\omega_o}$, $S_{R2}^{\omega_o}$, $S_{R3}^{\omega_o}$, $S_C^{\omega_o}$, S_{R1}^Q , S_{R2}^Q , S_{R3}^Q , S_C^Q , per il filtro passa banda descritto dall'Equazione (12.32).

RISPOSTE $-\frac{1}{2} \frac{R_3}{R_1 + R_3}$; $-\frac{1}{2}$; $-\frac{1}{2} \frac{R_1}{R_1 + R_3}$; -1 ; $-\frac{1}{2} \frac{R_3}{R_1 + R_3}$; $+\frac{1}{2}$; $-\frac{1}{2} \frac{R_1}{R_1 + R_3}$; 0; -1 .

12.3.6 Variazione delle impedenze e della frequenza secondo un fattore di scala

I valori calcolati per le resistenze o per le capacità nel progetto di un filtro possono non risultare convenienti, oppure possono non essere compresi tra i valori disponibili. È possibile modificare il valore delle impedenze secondo un **fattore di scala** senza alterare la risposta in frequenza. È anche possibile modificare il valore di ω_o senza alterare il valore di Q .

Variazione delle impedenze secondo un fattore di scala

Il valore delle impedenze di un filtro può essere aumentato o diminuito secondo un fattore di scala K_M senza alterare il valore dei parametri ω_o e Q . A tale scopo il valore di tutte le resistenze viene moltiplicato per il fattore K_M , mentre il valore delle capacità viene diviso per questo fattore⁴:

$$R' = K_M R \quad \text{e} \quad C' = \frac{C}{K_M} \quad \text{quindi} \quad Z'_C = \frac{1}{sC'} = \frac{K_M}{sC} = K_M Z_C \quad (12.41)$$

⁴ Nei filtri RLC le induttanze devono essere aumentate di un fattore K_M ($L' = K_M L$) in modo da avere $Z'_L = K_M Z_L$.

In tutti i filtri analizzati nel Paragrafo 12.3, il valore di Q è determinato dal rapporto delle capacità oppure delle resistenze, mentre l'espressione di ω_o assume sempre la forma $\omega_o = 1/\sqrt{R_1 R_2 C_1 C_2}$. Dalle (12.19) si vede che il nuovo valore di ω_o e Q è dato da:

$$\omega'_o = \frac{1}{\sqrt{K_M R_1 (K_M R_2) \frac{C_1}{K_M} \frac{C_2}{K_M}}} = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} = \omega_o$$

e

$$Q' = \frac{\frac{C_1}{K_M} \sqrt{K_M R_1 (K_M R_2)}}{\frac{C_2}{K_M} K_M R_1 + K_M R_2} = \sqrt{\frac{C_1}{C_2} \frac{\sqrt{R_1 R_2}}{R_1 + R_2}} = Q \quad (12.42)$$

Il valore di Q e di ω_o è quindi indipendente dal fattore di scala K_M .

ESERCIZIO Il filtro di Figura 12.9 è progettato con $R_1 = R_2 = 2.26 \text{ k}\Omega$, $R_3 \rightarrow \infty$, $C_1 = 20 \text{ nF}$ e $C_2 = 10 \text{ nF}$. Quali sono i nuovi valori di C_1 , C_2 , R_1 , R_2 , f_o e Q se le impedenze vengono moltiplicate secondo un fattore di scala pari a (a) 5 e (b) 0.885?

RISPOSTE (a) 4 nF, 2 nF, 11.3 k Ω , 11.3 k Ω , 4980 Hz, 0.707; (b) 22.6 nF, 11.3 nF, 2.00 k Ω , 2.00 k Ω , 4980 Hz, 0.707.

Variazione della risposta in frequenza secondo un fattore di scala

La frequenza di taglio oppure la frequenza centrale di un filtro possono essere moltiplicate secondo un fattore di scala K_F senza alterare il valore di Q , dividendo il valore delle capacità per K_F , e lasciando inalterato il valore delle resistenze:

$$R' = R \quad \text{e} \quad C' = \frac{C}{K_F}$$

Ancora una volta, utilizzando il filtro passa-basso come esempio, si ottiene:

$$\omega'_o = \frac{1}{\sqrt{R_1 R_2 \frac{C_1}{K_F} \frac{C_2}{K_F}}} = \frac{K_F}{\sqrt{R_1 R_2 C_1 C_2}} = K_F \omega_o$$

e

$$Q' = \frac{\frac{C_1}{K_F} \sqrt{R_1 R_2}}{\frac{C_2}{K_F} R_1 + R_2} = \sqrt{\frac{C_1}{C_2} \frac{\sqrt{R_1 R_2}}{R_1 + R_2}} = Q \quad (12.43)$$

In questo caso si vede che il valore di ω_o è aumentato secondo il fattore K_F , mentre Q è rimasto inalterato.

ESERCIZIO Il filtro di Figura 12.9 è progettato con $R_1 = 1 \text{ k}\Omega$, $R_2 = 82 \text{ k}\Omega$, $R_3 = 2 \text{ k}\Omega$ e $C_1 = C_2 = 20 \text{ nF}$. (a) Si determinino i valori di f_o e Q . (b) Quali sono i nuovi valori di C_1 , C_2 , R_1 , R_2 , f_o e Q se la frequenza viene moltiplicata secondo un fattore di scala pari 4?

RISPOSTE 880 Hz, 4.5; 5 nF, 5 nF, 1 k Ω , 82 k Ω , 3.5 kHz, 4.5.

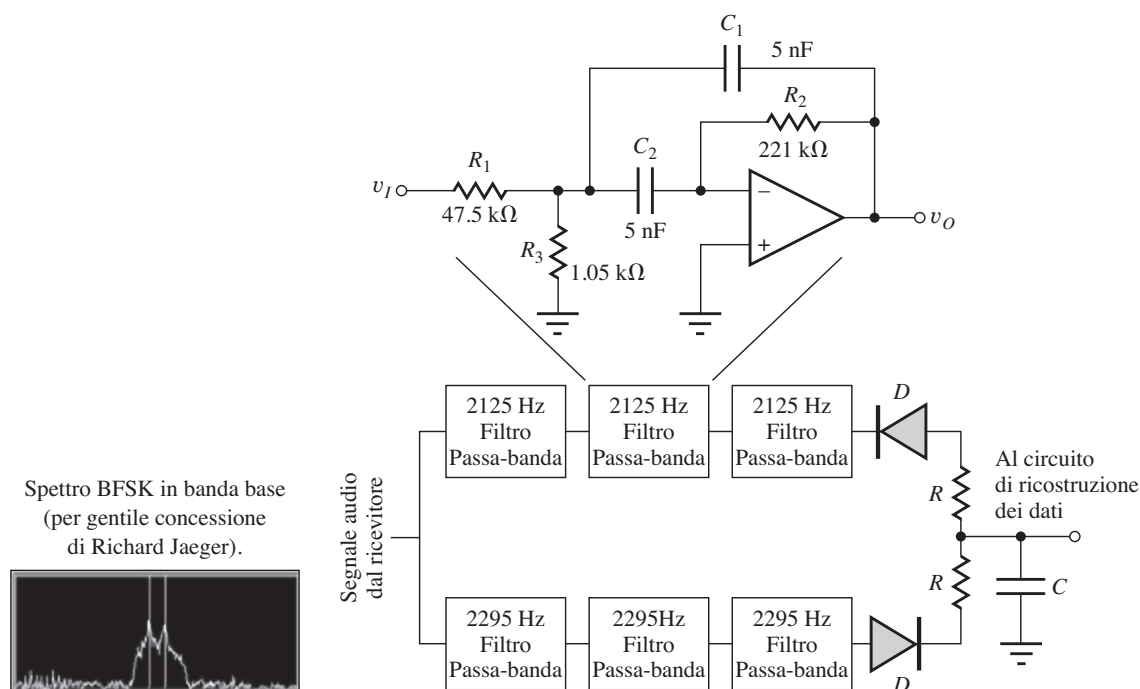
Filtri passa-banda nei ricevitori BFSK

La modulazione BFSK (*Binary Frequency Shift Keying*) viene comunemente usata nelle comunicazioni radio nelle bande ad alta frequenza o "onde corte" (da 3 MHz a 30 MHz). Il segnale che trasmette i dati passa in modo alternato tra due frequenze molto prossime tra loro (per esempio 18 080 000 Hz e 18 080 170 Hz). Nel diagramma a blocchi mostrato in figura il ricevitore di questo segnale produce all'uscita un segnale audio che si alterna tra 2125 Hz e 2295 Hz (oppure tra un'altra coppia di frequenze opportune, separate da un intervallo di 170 Hz). Nel circuito analogico considerato qui si utilizzano dei filtri a sei poli per separare i due toni audio.

Ciascun banco di filtri consiste in una cascata di tre filtri attivi passa-banda a due poli, come descritto nel Paragrafo 12.3.3. Le uscite dei due banchi di filtri sono raddrizzate e filtrate da una rete RC che realizza un semplice discriminatore di frequenza.

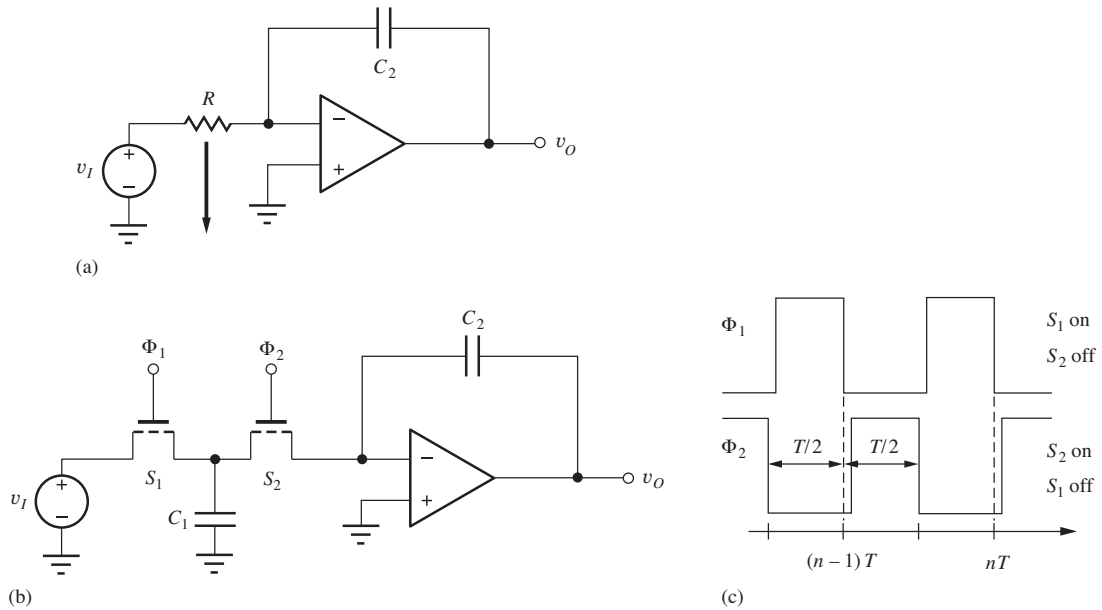
L'uscita, infine, pilota un circuito per la ricostruzione dei dati trasmessi.

Queste funzioni possono anche essere implementate con tecniche di elaborazione digitale di segnali (DSP, *Digital Signal Processing*) se il segnale audio proveniente dal ricevitore viene convertito in forma digitale da un ADC.



12.4 Circuiti a capacità commutate

Come è noto, i resistori realizzati nei circuiti integrati occupano un'area elevata, soprattutto se paragonati ai transistori MOS. Nei **circuiti a capacità commutate** (**SC**, *Switched Capacitors Circuits*) i resistori utilizzati nei filtri vengono sostituiti da condensatori e interruttori. I filtri così realizzati rappresentano le versioni a tempo discreto dei filtri a tempo continuo analizzati nel paragrafo precedente, e i corrispondenti circuiti sono compatibili con i circuiti integrati realizzati con tecnologia MOS a elevato livello di integrazione. I circuiti a capacità commutate sono diventati un esempio estremamente importante e largamente utilizzato per il progetto di filtri integrati. Essi consentono di realizzare filtri a bassa potenza e circuiti integrati CMOS per analisi di segnali al punto che i filtri e i convertitori analogico-digitale e digitale-analogico, basati su circuiti a capacità commutate, rappresentano componenti di routine nel settore delle comunicazioni.



12.4.1 Integratore a capacità commutate

Il modulo fondamentale dei circuiti SC è l'**integratore a capacità commutate** mostrato in Figura 12.12. La resistenza R presente nell'integratore a tempo continuo di Figura 12.12(a) è sostituita da un condensatore C_1 e dagli interruttori S_1 e S_2 realizzati con MOSFET, nella Figura 12.12(b). Gli interruttori sono pilotati da **segnali di cadenza (clock) a due fasi** che non presentano sovrapposizione, come mostrato in Figura 12.12(c). Quando il segnale Φ_1 è alto, l'interruttore S_1 è chiuso (on) e S_2 è aperto (off), mentre quando il segnale Φ_2 è alto, l'interruttore S_2 è chiuso e S_1 è aperto.

Nella Figura 12.13 sono riportati i circuiti equivalenti (in base all'approssimazione lineare a tratti) utilizzati per l'analisi dei circuiti nelle due fasi del segnale di clock. Durante la fase 1, il condensatore C_1 si carica alla tensione del generatore di ingresso v_I attraverso l'interruttore S_1 . In questa fase l'interruttore S_2 è aperto e la tensione di uscita, presente ai capi del condensatore C_2 , rimane costante. Durante la fase 2, il condensatore C_1 si scarica completamente, in quanto l'ingresso invertente è a potenziale nullo, e la carica immagazzinata nel condensatore C_1 durante la prima fase viene trasferita al condensatore C_2 attraverso la corrente di scarica di C_1 .

La carica immagazzinata nel condensatore C_1 durante la fase 1 (transistore S_1 in conduzione) è pari a

$$Q_1 = C_1 V_I \quad (12.44)$$

dove $V_I = v_I((n-1)T)$ è la tensione immagazzinata in C_1 quando l'interruttore si apre alla fine dell'intervallo di campionamento. La variazione della carica immagazzinata in C_2 durante la fase 2 è

$$\Delta Q_2 = -C_2 \Delta v_O \quad (12.45)$$

Uguagliando queste equazioni si ottiene

$$\Delta v_O = -\frac{C_1}{C_2} V_I \quad (12.46)$$

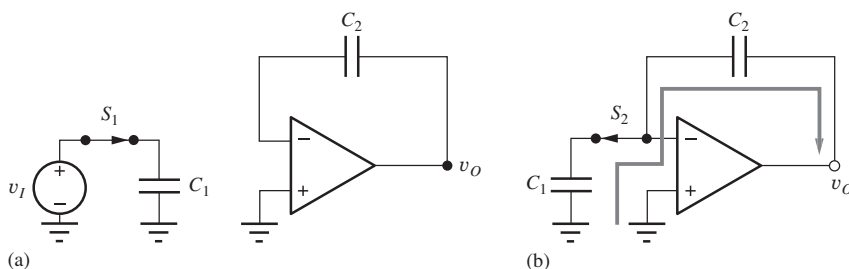


Figura 12.12

(a) Integratore a tempo continuo. (b) Integratore a capacità commutate. (c) Segnale di clock a due fasi non sovrapposte che controlla gli interruttori del circuito SC.

Figura 12.13

Circuiti equivalenti durante (a) la fase 1, e (b) la fase 2.

La tensione di uscita alla fine dell' n -esimo ciclo di clock è dato da⁵

$$v_O(T) = v_O((n-1)T) - \frac{C_1}{C_2} v_I((n-1)T) \quad (12.47)$$

Durante ogni periodo T del segnale di clock, una quantità di carica pari a Q_I viene trasferita al condensatore C_2 , e la variazione dell'uscita è proporzionale alla tensione di ingresso secondo un fattore pari al rapporto delle capacità C_1 e C_2 . Durante la fase 1, la tensione di ingresso viene campionata mentre la tensione di uscita rimane costante. Durante la fase 2, l'uscita varia a causa della variazione della tensione di ingresso registrata durante la fase 1.

Si può immaginare una corrispondenza tra l'integratore SC e l'integratore a tempo continuo, analizzando la carica totale Q_I che fluisce dal generatore v_I attraverso la resistenza R durante un intervallo di tempo pari al periodo di clock T . Assumendo per semplicità un valore costante per la tensione v_I , si ha

$$Q_I = IT = \frac{V_I}{R} T \quad (12.48)$$

Uguagliando la carica Q_I alla carica immagazzinata nel condensatore C_1 si ottiene

$$\frac{V_I}{R} T = C_1 V_I \quad \text{e} \quad R = \frac{T}{f_C C_1} = \frac{1}{f_C C_1} \quad (12.49)$$

in cui f_C rappresenta la frequenza di clock. Per una capacità $C_1 = 1$ pF, e una frequenza di commutazione di 100 kHz, la resistenza equivalente è pari a $R = 10$ M Ω . Questo valore così elevato non potrebbe in pratica essere realizzato in una versione integrata dell'integratore a tempo continuo.

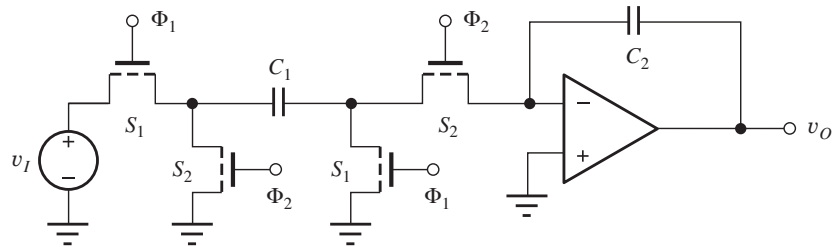
ESERCIZIO L'integratore a capacità commutate mostrato in Figura 12.12(b) ha $v_I = 0.1$ V, $C_1 = 2$ pF e $C_2 = 0.5$ pF. Quando valgono le tensioni di uscita negli istanti $t = T$, $t = 5T$, e $t = 9T$ se $v_O(0) = 0$?

RISPOSTE -0.4 V; -2.0 V; -3.6 V.

12.4.2 Integratore non invertente

Rispetto ai circuiti a tempo continuo, i circuiti a capacità commutate offrono anche una certa flessibilità. Per esempio, il segno di un segnale può essere invertito senza utilizzare un amplificatore. Nella Figura 12.14 viene mostrato un **integratore non invertente**, realizzato con quattro interruttori e una capacità.

Figura 12.14
Integratore SC non invertente
(tutti i transistori sono
dispositivi NMOS).



⁵ Usando la notazione della trasformata z , l'Equazione (12.47) può essere scritta come

$$V_O(z) = z^{-1} V_O(z) - \frac{C_1}{C_2} z^{-1} V_I(z)$$

e la funzione di trasferimento dell'integratore è

$$T(z) = \frac{V_O(z)}{V_I(z)} = \frac{C_1}{C_2} \frac{z^{-1}}{1 - z^{-1}}.$$

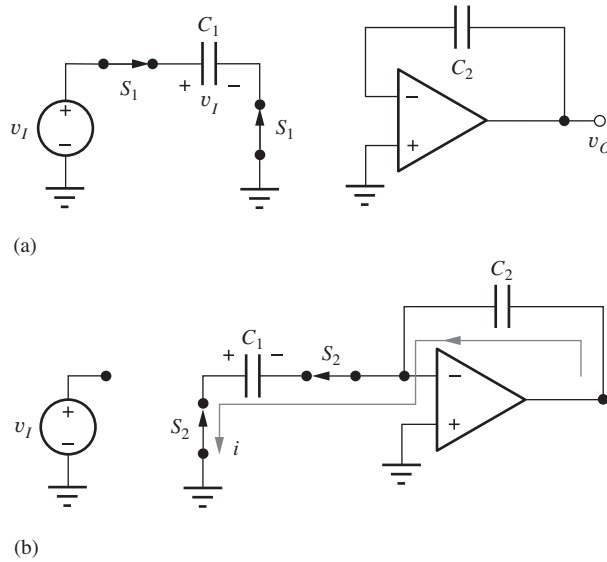


Figura 12.15
Circuiti equivalenti per
l'integratore non invertente
durante (a) la fase 1 e
(b) la fase 2.

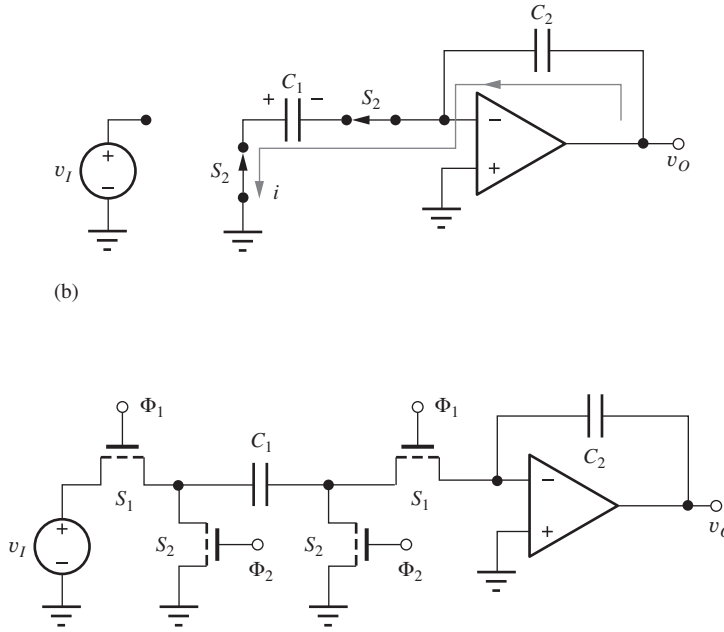


Figura 12.16 Integratore
invertente ottenuto
modificando le fasi dei segnali
di clock degli interruttori.

La Figura 12.15 mostra i circuiti corrispondenti alle due fasi del segnale di clock. Durante la fase 1 gli interruttori S_1 sono chiusi, e una carica proporzionale alla tensione V_I è immagazzinata nel condensatore C_1 , mentre la tensione v_O rimane costante. Durante la fase 2, gli interruttori S_2 sono chiusi, e una quantità di carica pari a $C_1 V_I$ viene rimossa dal condensatore C_2 , anziché essere immagazzinata come avveniva nel circuito di Figura 12.13. Nel circuito di Figura 12.15 la variazione della tensione di uscita alla fine di un ciclo di commutazione è pari a

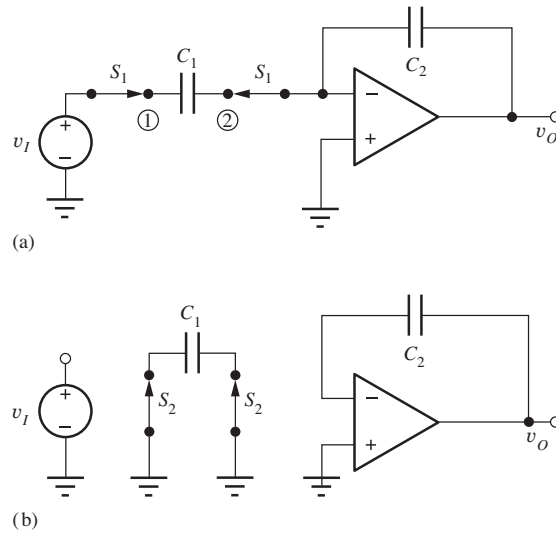
$$\Delta v_O = + \frac{C_1}{C_2} V_I \quad (12.50)$$

Le capacità ai nodi di source e drain dei MOSFET che costituiscono gli interruttori in Figura 12.13 possono provocare errori nel funzionamento del circuito integratore SC invertente. È possibile realizzare un integratore invertente, modificando la fase dei segnali di clock applicati agli interruttori come mostrato in Figura 12.16. Durante la fase 1 (si veda la Figura 12.17(a)) il generatore è collegato attraverso il condensatore C_1 al nodo sommatore dell'amplificatore operazionale, e una carica pari a $C_1 V_I$ viene trasferita al condensatore C_2 ; la variazione della tensione di uscita è quindi data dalla (12.46). Durante la fase 2 (si veda la Figura 12.17(b)) il generatore non è più collegato al circuito, la tensione v_O rimane costante, e il condensatore C_1 viene completamente scaricato, in preparazione al ciclo successivo.

Durante la fase 1 il nodo 1 è pilotato dal generatore v_I , e il nodo 2 è mantenuto a potenziale nullo, in quanto collegato al terminale invertente, la cui tensione insegue quella del terminale non invertente. Durante la fase 2, i potenziali di entrambi i terminali del condensatore C_1 sono forzati ad assumere un valore nullo. Pertanto, eventuali capacità parassite presenti ai nodi 1 e 2 non causano errori durante il processo di trasferimento di carica. Considerazioni simili valgono per l'integratore non invertente. Questi circuiti sono detti **indipendenti dai parametri parassiti** (*stray-insensitive circuits*) e sono quelli effettivamente utilizzati nei circuiti integratori.

Figura 12.17

(a) Fase 1 della versione dell'integratore invertente insensibile ai parametri parassiti. (b) Fase 2.



12.4.3 Filtri a capacità commutate

Le tecniche dei circuiti a capacità commutate sono state considerevolmente perfezionate, e sono frequentemente utilizzate per realizzare filtri per applicazioni audio e nel progetto di convertitori analogico-digitale e digitale-analogico. Per esempio, la Figura 12.18 mostra la versione realizzata con tecnica SC del filtro di Figura 12.9. Nel circuito a tempo continuo la frequenza centrale e il fattore Q sono dati da

$$\omega_o = \frac{1}{\sqrt{R_{th}R_2C_1C_2}} \quad \text{e} \quad Q = \sqrt{\frac{R_2}{R_{th}}} \frac{\sqrt{C_1C_2}}{(C_1 + C_2)} \quad (12.51)$$

Nella versione SC si ha

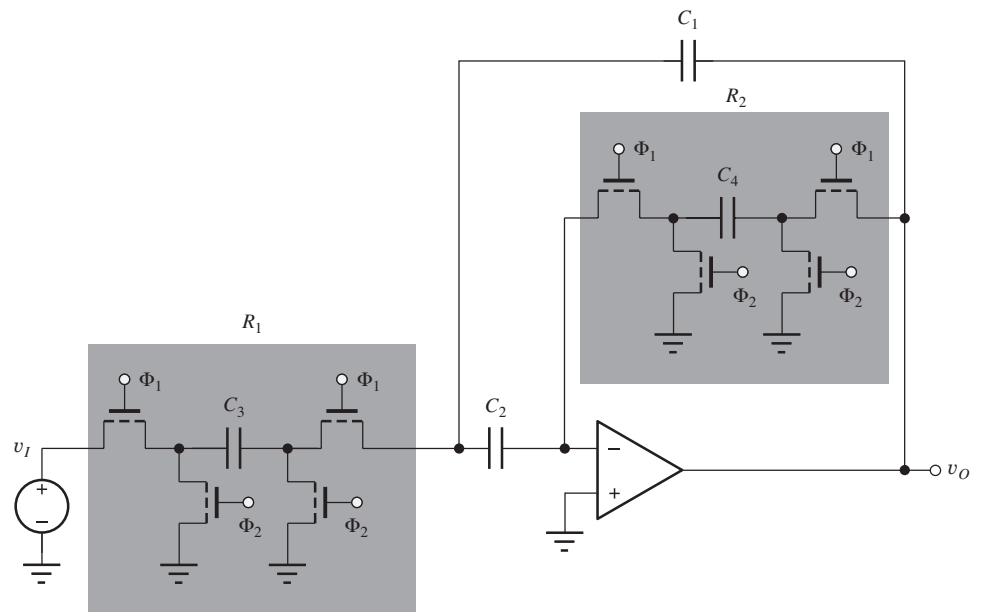
$$R_{th} = \frac{T}{C_3} \quad \text{e} \quad R_2 = \frac{T}{C_4} \quad (12.52)$$

In cui T rappresenta il periodo di clock. Sostituendo questi valori nella (12.51) si ottengono i valori equivalenti per il **filtro a capacità commutate**:

$$\omega_o = \frac{1}{T} \sqrt{\frac{C_3C_4}{C_1C_2}} = f_c \sqrt{\frac{C_3C_4}{C_1C_2}} \quad \text{e} \quad Q = \sqrt{\frac{C_3}{C_4}} \frac{\sqrt{C_1C_2}}{(C_1 + C_2)} \quad (12.53)$$

Figura 12.18

Realizzazione con tecnica SC del filtro passa-banda del secondo ordine di Figura 12.9.



Si osservi che la frequenza centrale del filtro può essere modificata semplicemente cambiando la frequenza di clock f_C , mentre il fattore Q è indipendente dalla frequenza. Questa proprietà può risultare estremamente utile nelle applicazioni in cui sono richiesti filtri accordabili. Peraltro, poiché i filtri a capacità commutata sono sistemi a campionamento, il teorema del campionamento limita lo spettro di frequenze del segnale di ingresso all'intervallo $f \leq f_C/2$.

ESERCIZIO Quanto valgono la frequenza di centro banda, la larghezza e il guadagno di tensione del filtro mostrato in Figura 12.18 se $C_1 = 3 \text{ pF}$, $C_2 = 3 \text{ pF}$, $C_3 = 4 \text{ pF}$, $C_4 = 0.25 \text{ pF}$, and a clock frequency of 200 kHz?

RISPOSTE 10.6 kHz, 5.31 kHz, -8.00.

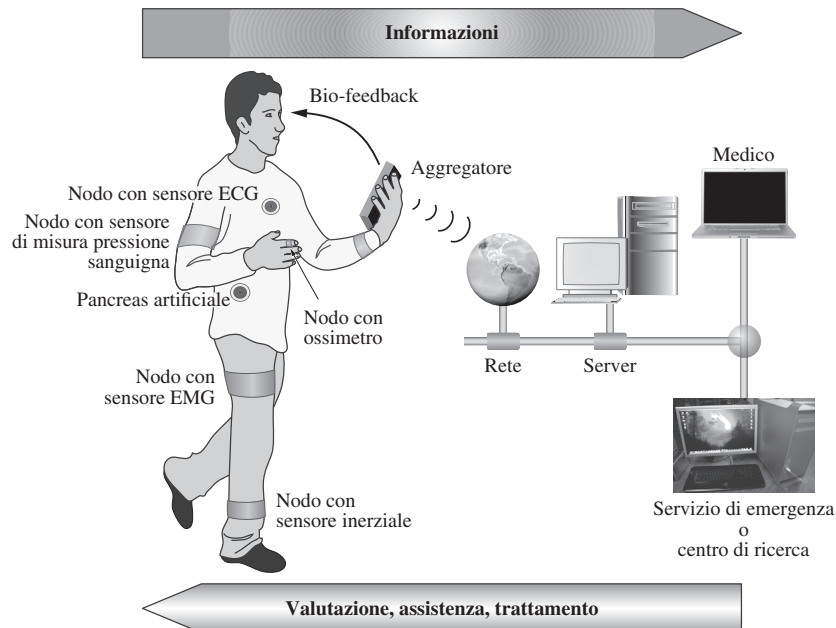
ELETTRONICA IN AZIONE

Reti di sensori corporei

Con la diffusione dei circuiti integrati a bassa tensione, si stanno presentando nuove opportunità per applicazioni a bassa potenza. Ora è possibile combinare sensori analogici ad alta precisione con capacità di calcolo digitale sempre più potenti a livelli di potenza estremamente bassi.

Un esempio di una questa nuova categoria di sistemi basati su circuiti integrati a bassa potenza è rappresentato dalle reti di sensori corporei (BSN, *Body Sensor Network*). I BSN comprendono sensori indossabili o impiantati per raccogliere, elaborare e comunicare informazioni fisiologiche provenienti dal corpo umano. Con l'aumentare dei costi legati all'assistenza sanitaria, è necessario un approccio più efficiente ed economico per la diagnosi, il trat-

tamento e la cura medica. I BSN potrebbero rivoluzionare l'assistenza sanitaria offrendo un servizio miniaturizzato, non invadente, con monitoraggi quasi continui per fornire livelli di osservazione medica senza precedenti riducendo contemporaneamente la necessità di visite dal medico. I BSN forniscono agli utenti informazioni che possono evidenziare in anticipo potenziali problemi di salute, incoraggiare stili di vita più sani e migliorare il benessere personale. È anche possibile utilizzare i dati raccolti per fornire in tempo reale valutazioni sulla condizione di salute e sulle esigenze di un individuo, attivando eventualmente un'assistenza immediata, per esempio, con un defibrillatore indossabile.⁶



Terra: © Design Pics/Design Pics Eye Traveller RF; Laptop: © D. Hurst/Alamy RF; Monitor e CPU (Foto): © Denise McCullough; Monitor e CPU (illustrazione): © McGraw-Hill Education.

⁶ M.A. Hanson, H.C. Powell Jr., A.T. Barth, K. Ringgenberg, B.H. Calhoun, J.H. Aylor e J. Lach, "Body Area Sensor Networks: Challenges and Opportunities", *IEEE Computer*, gennaio 2009. Adattamento da IEEE. Copyright 2009 IEEE.

Un BSN è costituito da uno o più nodi con sensori che formano una rete di comunicazione. Generalmente, uno dei nodi funge da stazione base: esso aggrega le informazioni provenienti dai nodi distribuiti sul corpo e le trasmette ai destinatari (medici, centri di ricerca, ecc.) attraverso le reti di comunicazioni esistenti. Gli smartphone stanno già supportando molte app legate alla salute; gli smartphone di futura generazione rappresentano la scelta più ovvia per svolgere la funzione di stazione base BSN. La stazione base infatti ha un ruolo diverso dagli altri nodi del sistema, e necessita di più risorse in termini di dimensioni, energia, raggio di comunicazione, memoria e potenza di calcolo. Ogni nodo contiene una serie di sensori destinati a raccogliere specifici dati fisiologici, l'hardware di elaborazione dei segnali e un sistema di comunicazione senza fili (alcuni nodi BSN possono addirittura utilizzare un ricevitore trasmettitore che comunica attraverso il corpo, usando la superficie della pelle come canale di comunicazione).⁷

In base ai requisiti dell'applicazione, i dati rilevati possono essere trasmessi in modalità wireless o ar-

chiati localmente (tipicamente in una memoria flash) per successive trasmissioni o download.

La figura seguente⁸ illustra una rete di sensori corporei. I sensori forniscono dati a un aggregatore, per esempio uno smartphone. L'aggregatore fonde i dati provenienti da più sensori, fornisce informazioni all'utente e comunica con chi deve fornire l'assistenza sanitaria. L'adozione diffusa di smartphone ha reso tale integrazione sensore/rete di comunicazione molto più pratica rispetto a pochi anni fa.

La figura mostra anche un esempio di nodo BSN, che in genere include una fonte di energia, un sensore analogico, un convertitore A/D, un'unità di elaborazione, circuiti per la memorizzazione dei dati e la comunicazione. Il nodo mostrato è il nodo con sensore inerziale TEMPO sviluppato presso l'Università della Virginia. È usato per aiutare gli anziani con problemi di equilibrio ed estrarre dati fisiologici attraverso l'analisi dell'andatura. La ricerca in questo ambito punta a una drastica riduzione delle richieste di potenza del nodo, fino a essere in grado di utilizzare nodi alimentati interamente da energia presa dall'ambiente circostante.

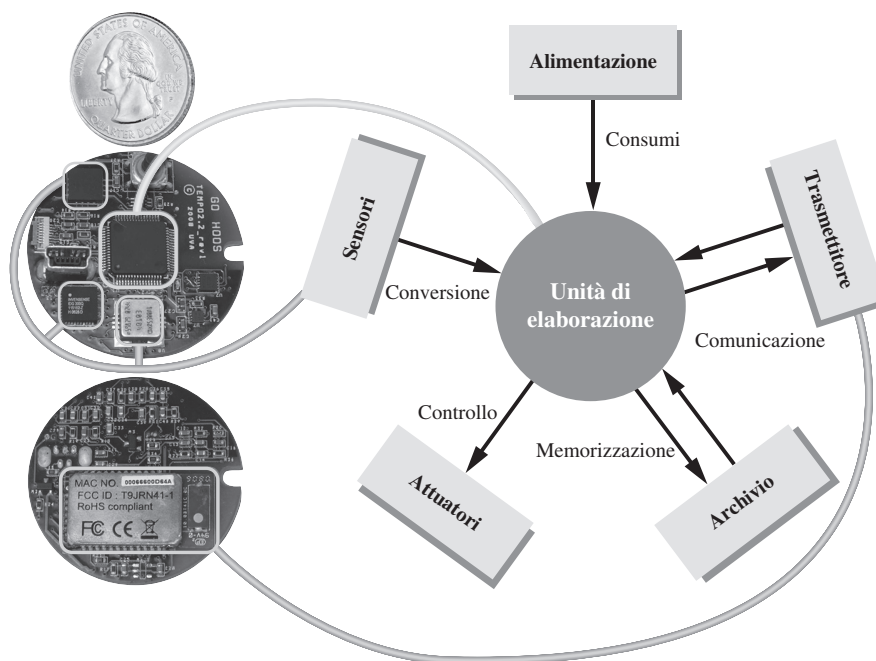


Foto: M.A. Hanson, H.C. Powell Jr., A.T. Barth, K. Ringgenberg, B.H. Calhoun, J.H. Aylor e J. Lach, "Body Area Sensor Networks: Challenges and Opportunities," *IEEE Computer*, gennaio 2009. (© 2009 IEEE. Ristampata con permesso).

I BSN consentono un nuovo approccio all'assistenza medica; le promettenti indicazioni provenienti dallo sviluppo di BSN mostrano le possibilità potenzialmente rivoluzionarie di questa tecnologia.

⁷ A.T. Barth, M.A. Hanson, H.C. Powell Jr., D. Unluer, S.G. Wilson e J. Lach, Adapted: "Body-Coupled Communication for Body Sensor Networks", *International Conference on Body Area Networks*, 2008.

⁸ M.A. Hanson, H.C. Powell Jr., A.T. Barth, K. Ringgenberg, B.H. Calhoun, J.H. Aylor e J. Lach, "Body Area Sensor Networks: Challenges and Opportunities", *IEEE Computer*, gennaio 2009. Adattamento da IEEE. Copyright 2009 IEEE.

12.5 Conversione digitale-analogica

Il convertitore **digitale-analogico** spesso indicato come **convertitore D/A** o **DAC**, è l'interfaccia tra i segnali digitali e i segnali continui. Il convertitore D/A accetta in ingresso una informazione digitale, spesso in forma binaria, e genera in uscita una tensione o una corrente che può essere usata per un controllo elettronico o per visualizzare informazioni.

12.5.1 Aspetti fondamentali dei convertitori D/A

Nel DAC di Figura 12.19, una parola binaria di n -bit ($b_1, b_2, \dots, b_n$) viene combinata con una **tensione di riferimento** V_{REF} per ottenere l'uscita analogica. L'ingresso digitale è considerato una frazione binaria con il punto collocato alla sinistra della parola. Assumendo una uscita in tensione si ha:

$$v_O = V_{FS}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) + V_{OS} \quad \text{per } b_i \in \{1, 0\} \quad (12.54)$$

L'uscita del DAC può anche essere una corrente, in tal caso si ha:

$$i_O = I_{FS}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) + I_{OS} \quad \text{per } b_i \in \{1, 0\} \quad (12.55)$$

La **tensione di fondo scala** V_{FS} o la **corrente di fondo scala** I_{FS} sono legate alla tensione di riferimento V_{REF} del convertitore da:

$$V_{FS} = K V_{REF} \quad \text{ovvero} \quad I_{FS} = G V_{REF} \quad (12.56)$$

dove K e G determinano il guadagno del convertitore e sono spesso di valore unitario. Valori tipici di V_{FS} sono 2.5, 5, 5.12, 10 e 10.24 V mentre i valori di I_{FS} sono 2 mA, 10 mA e 50 mA.

V_{OS} e I_{OS} rappresentano, rispettivamente, l'**offset di tensione** e l'**offset di corrente** del convertitore e compaiono in uscita quando l'ingresso digitale è nullo. La tensione di offset viene normalmente azzerata, mentre la corrente di offset, di un DAC con uscita in corrente, viene spesso deliberatamente fissata a un valore non nullo. Per esempio, si utilizzano campi di valori da 2 mA a 10 mA o tra 10 mA e 50 mA in alcune applicazioni al controllo di processi. Assumiamo, per ora, che l'uscita del DAC sia una tensione.

ESERCIZIO Quali sono i valori decimali delle seguenti parole binarie a 8 bit?

(a) 0.01100001 (b) 0.10001000.

RISPOSTE 0.37890625, 0.5312500.

La più piccola variazione di tensione all'uscita del DAC si ha quando il **bit meno significativo (LSB)** b_n cambia da 0 a 1. Questa variazione di tensione viene indicata come **risoluzione del convertitore** ed è data da:

$$V_{LSB} = 2^{-n} V_{FS} \quad (12.57)$$

All'altro estremo, b_1 è chiamato **bit più significativo (MSB)** e ha un peso pari a metà della tensione di fondo scala V_{FS} .

Per esempio, un convertitore a 12 bit con tensione di fondo scala di 10.24 V ha un LSB (o risoluzione) di 2.500 mV. Tuttavia, la risoluzione può essere definita in modi diversi. Si può dire che un convertitore D/A a 12 bit ha una risoluzione di 12 bit oppure una risoluzione dello 0.025% del fondo scala o, ancora, una risoluzione di una parte su 4096. Sono disponibili DAC con risoluzione variabile da pochi bit, per esempio 6, fino a 18 o 20 bit. Convertitori

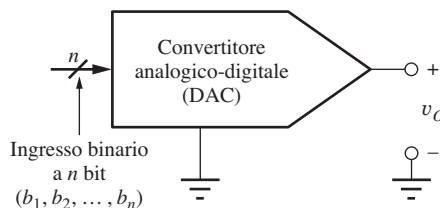


Figura 12.19
Convertitore D/A con uscita in tensione.

con risoluzione da 8 a 12 bit sono piuttosto comuni ed economici. Oltre i 12 bit, i DAC diventano sempre più costosi e bisogna prestare molta attenzione per capire quale sia la loro effettiva precisione.

ESERCIZIO Un convertitore D/A a 12 bit ha una tensione di riferimento $V_{REF} = 5.12\text{ V}$. Qual è la tensione di uscita per un ingresso di (1010101010)? Quanto vale V_{LSB} ? Qual è la dimensione del MSB?

RISPOSTE 3.41250 V, 1.25 mV, 2.56 V.

12.5.2 Errori nei convertitori D/A

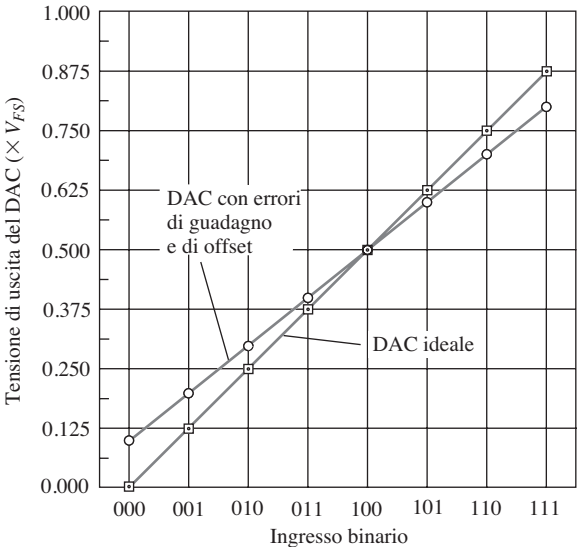
La Figura 12.20 e le colonne 1 e 2 della Tabella 12.7 riportano la relazione tra l'ingresso digitale e la tensione di uscita nel caso di un convertitore D/A ideale a tre bit. I punti in figura rappresentano gli otto possibili valori della tensione di uscita, compresi tra 0 e $0.875 \times V_{FS}$. Si noti che la tensione di uscita del DAC ideale non raggiunge mai il valore V_{FS} . Il massimo valore dell'uscita è sempre 1 LSB minore di V_{FS} . In questo esempio, quindi, l'uscita corrispondente all'ingresso 111 è pari a 7/8 della tensione di fondo scala, ovvero $0.875V_{FS}$. Il convertitore ideale di Figura 12.20 è stato calibrato in modo che $V_{OS} = 0$ e 1 LSB è esattamente uguale a $V_{FS}/8$.

La Figura 12.20 mostra anche un convertitore affetto da errore di guadagno e di offset. L'**errore di guadagno** è la deviazione di pendenza della caratteristica di trasferimento del convertitore reale rispetto a quello ideale nella Figura 12.20; l'offset, invece, è semplicemente la tensione di uscita corrispondente a un ingresso nullo.

Tabella 12.7 Caratteristica di trasferimento di un convertitore D/A

Ingresso binario	Uscita del DAC ideale ($\times V_{FS}$)	DAC di Figura 12.21 ($\times V_{FS}$)	Ampiezza dello step (LSB)	Errore di linearità differenziale (LSB)	Errore di linearità integrale (LSB)
000	0.0000	0.0000			0.00
001	0.1250	0.1000	0.80	-0.20	-0.20
010	0.2500	0.2500	1.20	+0.20	0.00
011	0.3750	0.3125	0.50	-0.50	-0.50
100	0.5000	0.5625	2.00	+1.00	+0.50
101	0.6250	0.6250	0.50	-0.50	0.00
110	0.7500	0.8000	1.40	+0.40	+0.40
111	0.8750	0.8750	0.60	-0.40	0.00

Figura 12.20
Caratteristica di trasferimento di un DAC ideale e di un convertitore reale con errori di guadagno e di offset.



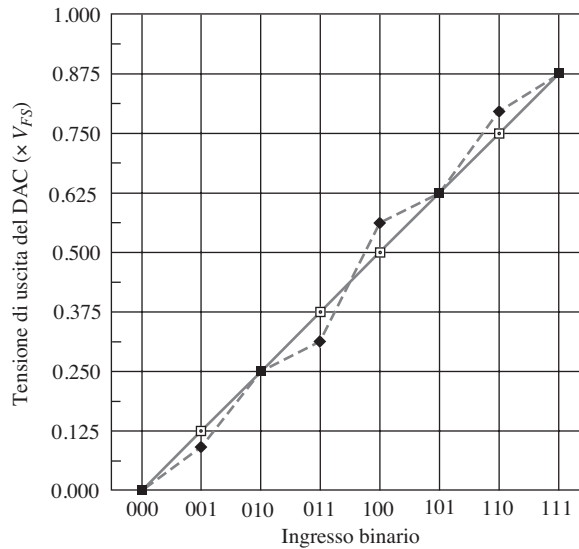


Figura 12.21
Convertitore D/A con errori di linearità.

Benché le uscite di entrambi i convertitori di Figura 12.20 si trovino su una linea retta, la caratteristica di trasferimento di un DAC reale non è necessariamente rettilinea. Per esempio, il convertitore di Figura 12.21 presenta una caratteristica non perfettamente lineare. L'**errore di linearità integrale**, spesso indicato semplicemente come **errore di linearità**, è una misura della deviazione dell'uscita del convertitore dalla linea retta che meglio interpola i valori della tensione di uscita. Questo errore viene, in genere, indicato in termini di frazioni di LSB o come percentuale della tensione di fondo scala.

La Tabella 12.7 riporta gli errori di linearità del DAC di Figura 12.21. Questo convertitore presenta errori di linearità per i codici di ingresso 001, 011, 100 e 110. L'errore di linearità complessivo è il massimo errore che si verifica. Quindi questo convertitore presenta un errore di linearità di 0.5 LSB ovvero del 6.25% della tensione di fondo scala. Un buon convertitore deve avere un errore di linearità inferiore a 0.5 LSB.

Un diverso indicatore delle prestazioni del convertitore è l'**errore di linearità differenziale**. Quando l'ingresso cambia di 1 bit, l'uscita dovrebbe variare di 1 LSB. L'errore di linearità differenziale di un convertitore è la massima differenza tra l'incremento effettivo di tensione e l'incremento ideale di 1 LSB. La Tabella 12.7 riporta anche l'ampiezza di ciascun incremento e l'errore di linearità differenziale del convertitore di Figura 12.21.

Per esempio, l'uscita del convertitore varia di 0.8 LSB quando l'ingresso passa da 000 a 001. L'errore di linearità differenziale rappresenta la differenza tra questo incremento e 1 LSB. L'errore di linearità integrale, per un assegnato ingresso, è la somma degli errori di linearità differenziale di tutti gli ingressi precedenti fino a quello considerato.

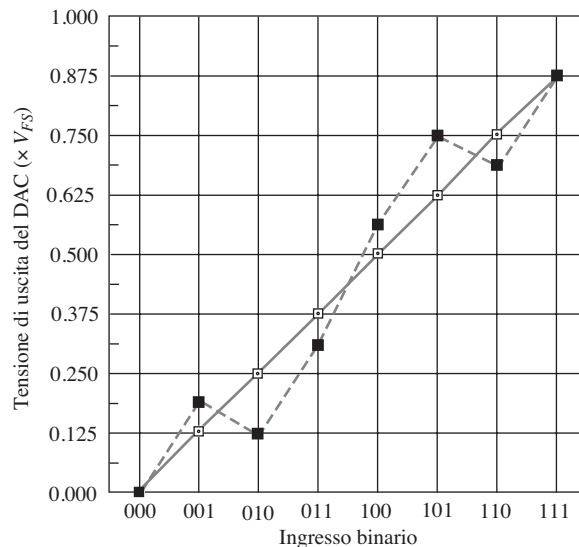


Figura 12.22
DAC con uscita non monotona.

Un'altra specifica, che può essere importante in molte applicazioni, è la **monotonicità**. All'aumentare dell'ingresso, infatti, l'uscita dovrebbe aumentare con continuità. Se ciò non accade, si dice che il DAC non è monotono. Per esempio, nel DAC di Figura 12.22, l'uscita passa da $(3/16)V_{FS}$ a $(1/8)V_{FS}$ quando l'ingresso cambia da 001 a 010. Questo comportamento, in un sistema di controllo, rappresenta una indesiderata variazione di fase di 180° che potrebbe portare il sistema alla instabilità.

Nell'esercizio che segue, troveremo che questo convertitore ha un errore di linearità differenziale di 1.5 LSB mentre l'errore di linearità integrale è 1 LSB. Quindi, un errore di linearità integrale basso non garantisce necessariamente una buona linearità differenziale.

Benché sia possibile che un convertitore presenti un errore di linearità differenziale maggiore di 1 LSB conservando la monotonicità, un convertitore non monotono presenta sempre un errore di linearità differenziale superiore a 1 LSB.

ESERCIZIO Si riempiano le caselle vuote della seguente tabella con riferimento al convertitore di Figura 12.22.

Ingresso binario	Uscita del DAC ideale ($\times V_{FS}$)	DAC di Figura 12.22 ($\times V_{FS}$)	Ampiezza dello step (LSB)	Errore di linearità differenziale (LSB)	Errore di linearità integrale (LSB)
000	0.0000	0.0000			0.00
001	0.1250	0.2000			
010	0.2500	0.1375			
011	0.3750	0.3125			
100	0.5000	0.5625			
101	0.6250	0.7500			
110	0.7500	0.6875			
111	0.8750	0.8750			0.00

RISPOSTE 1.5, -0.5 , 1.5, 2.0, 1.5, -0.5 , 1.5; 0.5, -1.5 , 0.5, 1.0, 0.5, -1.5 , 0.5; 0.5, -1.0 , -0.5 , 0.5, 1.0, -0.5 , 0.0.

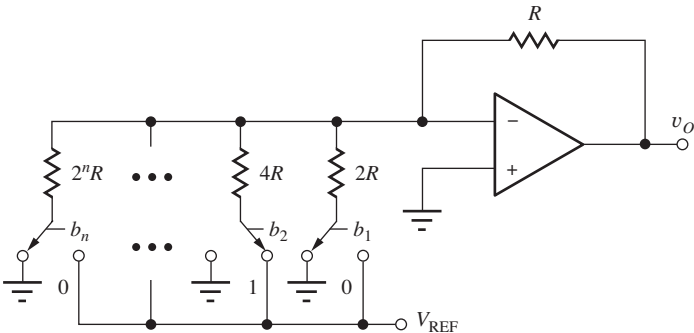
ESERCIZIO Quanto valgono la tensione di offset e l'ampiezza dello step per il convertitore non ideale di Figura 12.22 se i punti estremi sono 0.100 e $0.800V_{FS}$?

RISPOSTE $0.100V_{FS}$, $0.100V_{FS}$.

Realizzazione circuitale dei convertitori D/A

Iniziamo la discussione sui circuiti usati per realizzare i DAC dai convertitori a MOS; successivamente analizzeremo i progetti con BJT. Uno dei circuiti più semplici è il **DAC a resistori scalati**, mostrato in Figura 12.23. Esso utilizza l'amplificatore sommatore, la tensione di riferimento V_{REF} e una rete di resistori scalati. L'ingresso binario controlla gli interruttori, un 1 indica che la resistenza è connessa a V_{REF} mentre 0 indica che è connessa al potenziale nullo. I resistori adiacenti sono scalati di un fattore 2, in modo che ciascuno di essi

Figura 12.23
Un DAC a n bit realizzato mediante resistori scalati.



fornisce il corretto contributo all'uscita:

$$v_O = (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) V_{REF} \quad \text{per } b_i \in \{1, 0\} \quad (12.58)$$

Quando i rapporti tra i resistori non sono mantenuti in maniera esatta, il convertitore presenta errori di linearità differenziale, integrale e di guadagno. La tensione di offset dell'amplificatore operazionale, invece, contribuisce direttamente alla V_{OS} del convertitore.

Nella realizzazione di un DAC mediante la tecnica dei resistori scalati sorgono diversi problemi. La difficoltà principale è legata al mantenimento degli esatti rapporti tra i resistori su un ampio intervallo di valori (per esempio, per un convertitore a 12 bit l'intervallo va da 4096 a 1). Inoltre, poiché gli interruttori si trovano in serie ai resistori, la loro resistenza, quando sono chiusi, deve essere molto piccola e devono avere tensione di offset nulla. Queste due ultime specifiche possono essere facilmente soddisfatte utilizzando dei buoni MOSFET, i cui rapporti (W/L) vanno scalati con la posizione in modo da equalizzare il contributo della loro resistenza serie. Tuttavia, non essendo possibile realizzare in forma integrata un ampio intervallo di valori di resistenza, i convertitori monolitici possono essere solo a bassa risoluzione. Bisogna, inoltre, osservare che la corrente erogata dal generatore di riferimento V_{REF} dipende dalla configurazione binaria di ingresso. Questa variazione di corrente erogata provoca una diversa caduta di tensione sulla resistenza interna del generatore, producendo una variazione della tensione di riferimento che può condurre a errori, dipendenti dai dati di ingresso, spesso chiamati **errori di sovrapposizione**.

ESERCIZIO Se per l'MSB di un convertitore a 8 bit, come quello di Figura 12.23, viene usato un resistore da 1 kΩ, quali sono i valori degli altri resistori?

RISPOSTE 2 kΩ, 4 kΩ, 8 kΩ, 16 kΩ, 32 kΩ, 64 kΩ, 128 kΩ, 500 Ω.

Rete R-2R

La **rete R-2R** di Figura 12.24 elimina la necessità di un ampio intervallo di valori di resistori. È adatta a una realizzazione in forma integrata in quanto richiede il controllo del rapporto di due soli resistori, R e $2R$. Il valore di R varia tipicamente tra 2 kΩ e 10 kΩ. È possibile dimostrare, applicando il teorema di Thévenin passo passo procedendo da sinistra verso destra lungo i nodi della rete, che il contributo di ciascun bit si riduce di un fattore 2 andando dal MSB all'LSB. Anche questo tipo di realizzazione, come la precedente, richiede interruttori con bassa resistenza serie e tensione di offset nulla; inoltre la corrente erogata da V_{REF} dipende ancora dall'ingresso binario.

ESERCIZIO Quanto vale la resistenza totale necessaria per costruire un convertitore D/A a 8 bit con rete a scala R-2R se $R = 1$ kΩ? Quanto vale la resistenza totale necessaria per costruire un convertitore D/A 8 bit con resistori scalati se $R = 1$ kΩ?

RISPOSTE 26 kΩ; 511 kΩ.

Rete R-2R inversa

Poiché la corrente che scorre nei resistori delle reti di Figura 12.23 e di Figura 12.24 varia con l'ingresso, la dissipazione di potenza negli elementi della rete è variabile; ciò può condurre a errori di linearità oltre che a errori di sovrapposizione. Al fine di evitare questi erro-

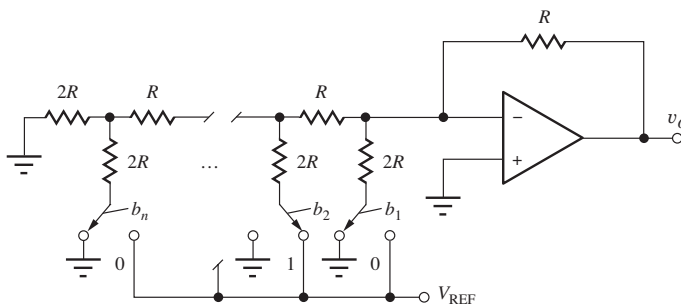
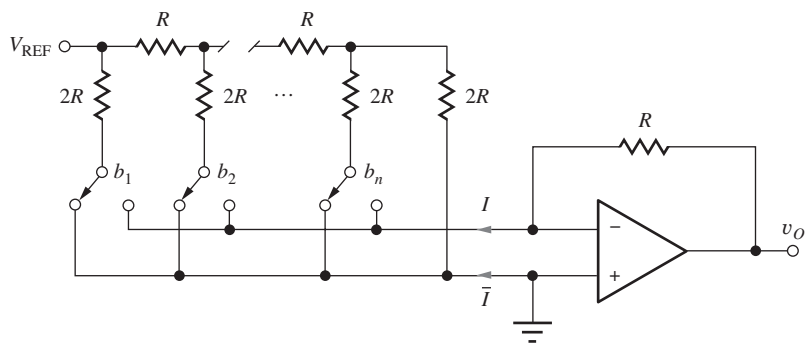


Figura 12.24
DAC a n bit realizzato
mediante la rete R-2R.

Figura 12.25

DAC a n bit realizzato mediante la rete R-2R inversa.



ri, molti DAC monolitici adottano la configurazione di Figura 12.25, nota come **rete R-2R inversa**. In questo circuito le correnti della rete e del generatore di riferimento sono indipendenti dalla configurazione dell'ingresso poiché le resistenze vengono collegate o direttamente a 0 V oppure all'ingresso del convertitore corrente-tensione che si trova anch'esso a 0 V. Si noti che all'ingresso del DAC sono disponibili le due correnti complementari I e $\bar{I}$.

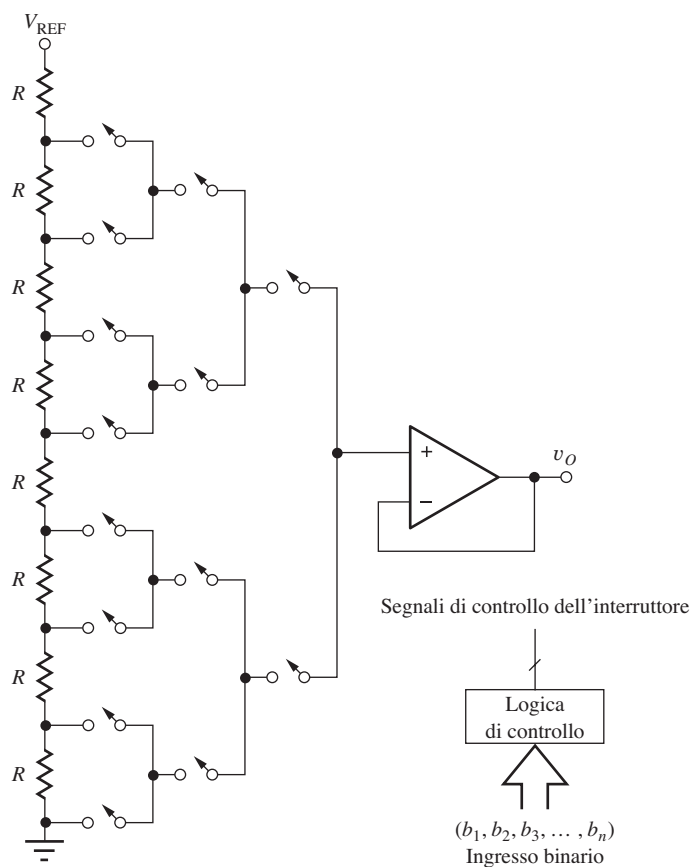
La rete R-2R inversa è una configurazione molto comune, spesso implementata in tecnologia CMOS. Gli interruttori devono ancora avere una bassa resistenza serie per minimizzare gli errori. I resistori possono essere a film sottile, oppure diffusi o impiantati; la scelta dipende dal processo di realizzazione e dalla risoluzione del convertitore che viene richiesta.

Un DAC con uscita intrinsecamente monotona

La tecnologia CMOS ha facilitato alcune metodologie non usuali di progetto dei convertitori D/A. La Figura 12.26 mostra un DAC con uscita intrinsecamente monotona. Si utilizza un partitore di tensione realizzato mediante una striscia di resistori a più uscite collegata tra V_{REF} e ground. Un albero di interruttori analogici collega ciascuna uscita del partitore con l'ingresso di un amplificatore operazionale che funziona da inseguitore di tensione. Gli interruttori sono pilotati da una rete logica che decodifica l'ingresso binario.

Figura 12.26

Convertitore D/A a 3 bit con uscita intrinsecamente monotona.



Ciascuna uscita del partitore produce una tensione maggiore o uguale di quella delle uscite che si trovano più in basso verso ground, per cui l'uscita deve necessariamente aumentare al crescere dell'ingresso binario. Una versione a 8 bit di questo convertitore richiede 256 resistori identici, 510 interruttori e la rete di decodifica. Può essere realizzato sia in tecnologia NMOS che CMOS, dove è facile realizzare un gran numero di interruttori a MOSFET e la logica di decodifica.

ESERCIZIO Quanti resistori e interruttori sono necessari per realizzare un DAC a 10 bit del tipo di quello di Figura 12.26?

RISPOSTE 1024, 2046.

Convertitori D/A a capacità commutata

È possibile realizzare convertitori D/A utilizzando solo interruttori, condensatori e amplificatori operazionali. La Figura 12.27(a) riporta un **DAC a condensatori scalati**; la Figura 12.27(b) rappresenta una rete C-2C che implementa un DAC. Poiché questi circuiti sono realizzati solo mediante interruttori e condensatori, l'unica potenza statica dissipata è quella dell'amplificatore operazionale. Esiste, tuttavia, una dissipazione dinamica come nelle porte logiche CMOS. Questi circuiti rappresentano l'equivalente a capacità commutata dei convertitori a reti R-2R.

Quando un interruttore cambia stato, un impulso di corrente carica o scarica i condensatori della rete. L'impulso di corrente è fornito dall'uscita dell'amplificatore operazionale e fa variare la tensione sul condensatore di retroazione di una quantità corrispondente al peso del bit relativo all'interruttore che ha cambiato stato. Questi convertitori consumano poca potenza, anche quando sullo stesso chip si utilizzano amplificatori operazionali CMOS, e sono pertanto molto usati nei sistemi VLSI.

ESERCIZIO (a) Supponendo che un DAC a condensatori scalati a 8 bit sia realizzato utilizzando capacità maggiori o uguali di 1.0 pF, qual è la capacità totale richiesta? (b) Si ripeta il punto (a) nel caso di un DAC realizzato mediante la rete C-2C. (c) Un processo tecnologico fornisce condensatori a ossido sottile con capacità di $5 \text{ fF}/\mu\text{m}^2$. Che area è richiesta per realizzare il DAC C-2C?

RISPOSTE 511 pF; 25 pF; $5000 \mu\text{m}^2$.

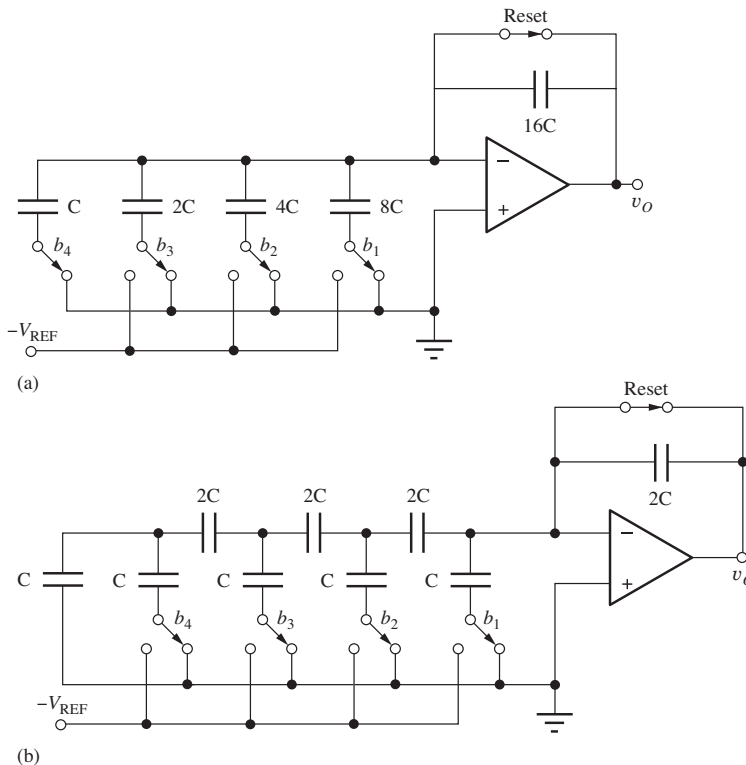


Figura 12.27

Convertitore D/A a capacità commutata. (a) DAC a condensatori scalati. (b) DAC con rete C-2C.

12.6 Conversione analogico-digitale

Il **convertitore analogico-digitale** anche noto come **convertitore A/D** o **ADC**, è utilizzato per trasformare una informazione analogica in un dato binario. L'ADC di Figura 12.28 preleva un segnale continuo incognito, molto spesso una tensione v_X , e la converte in un numero binario a n -bit che può essere facilmente trattato con un computer. Il numero binario rappresenta il rapporto fra la tensione incognita di ingresso e la tensione di fondo scala del convertitore $V_{FS} = K V_{REF}$.

12.6.1 Aspetti fondamentali dei convertitori A/D

La Figura 12.29(a) è un esempio di relazione ingresso-uscita di un convertitore A/D ideale a 3 bit. Al variare dell'ingresso da 0 al fondo scala, l'uscita digitale varia da 000 a 111 con un andamento a gradini. Tranne che per 000 e 111, l'uscita è costante per variazioni della tensione di ingresso uguali a 1 LSB, in questo caso $V_{FS}/8$. Al crescere della tensione di ingresso, il codice di uscita prima sottostima l'ingresso, poi lo sovrastima. Questo errore, chiamato **errore di quantizzazione**, è riportato in Figura 12.29(b) in funzione della tensione di ingresso.

Per un assegnato codice di uscita sappiamo solo che il valore della tensione di ingresso si trova da qualche parte all'interno dell'intervallo di quantizzazione di ampiezza pari a 1 LSB. Per esempio, se l'uscita di un ADC a 3 bit è 100, la tensione di ingresso può essere un valore qualsiasi compreso tra $(7/16)V_{FS}$ e $(9/16)V_{FS}$, cioè in un intervallo di $V_{FS}/8$ V corrispondente a 1 LSB. Dal punto di vista matematico, un ADC ideale dovrebbe essere progettato in modo da minimizzare l'ampiezza dell'errore di quantizzazione v_ε tra la tensione di ingresso incognita e il più vicino valore quantizzato di tensione:

$$v_\varepsilon = |v_X - (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) V_{FS}| \quad (12.59)$$

ESERCIZIO Un convertitore A/D a 8 bit ha $V_{REF} = 5$ V. Qual è l'uscita binaria per un ingresso di 1.2 V? Qual è l'intervallo di tensione corrispondente a 1 LSB?

RISPOSTE (00111101); 19.5 mV.

Figura 12.28
Schema a blocchi di un convertitore A/D.

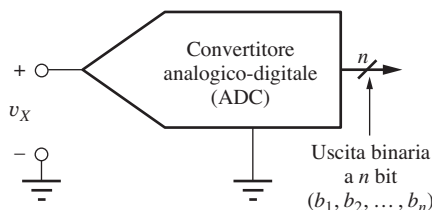
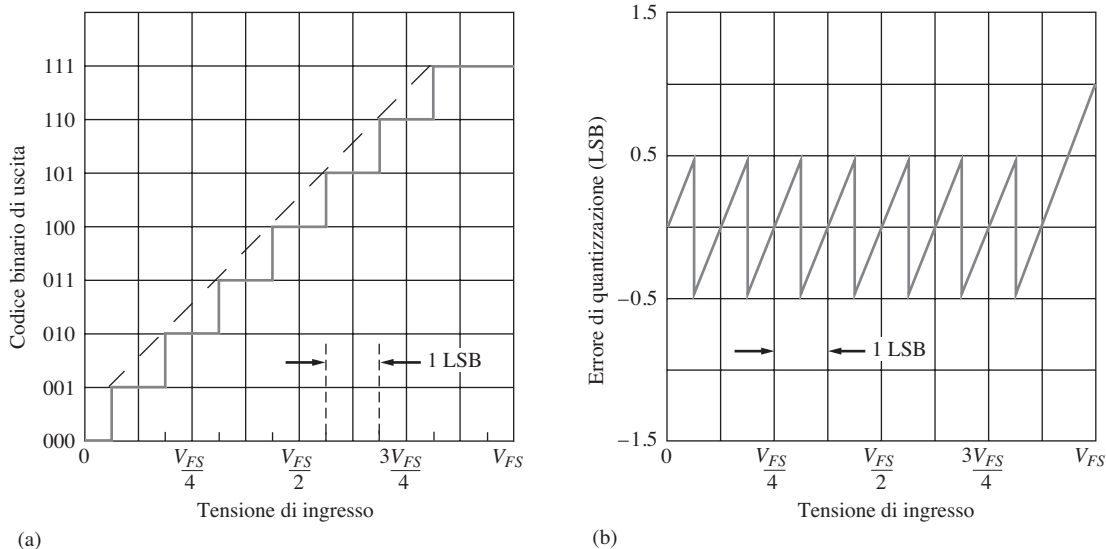


Figura 12.29
ADC ideale a 3 bit:
(a) relazione ingresso-uscita e
(b) errore di quantizzazione.



12.6.2 Errori nei convertitori analogico-digitali

Come indicato dalla linea tratteggiata di Figura 12.29(a), i punti di transizione di un convertitore ideale si trovano tutti su una linea retta. Tuttavia, un convertitore A/D reale presenta errori di linearità differenziale e integrale simili a quelli di un convertitore D/A. La Figura 12.30 riporta un esempio di caratteristica ingresso-uscita di un convertitore non ideale. Il convertitore è calibrato in modo che la prima e l'ultima transizione avvengano nei loro punti ideali.

Nel caso ideale, l'ampiezza di ciascuna transizione, tranne la prima e l'ultima (cioè i valori di tensione di ingresso che producono un'uscita pari a (000) o (111)), dovrebbe essere costante e pari a 1 LSB. L'errore di linearità differenziale rappresenta la differenza tra l'ampiezza reale del gradino e 1 LSB, mentre l'errore di linearità integrale è una misura della deviazione dei punti di transizione dalla loro posizione ideale. La Tabella 12.8 riporta l'ampiezza del gradino, l'errore di linearità differenziale e l'errore di linearità integrale del convertitore di Figura 12.30. Si noti che l'ampiezza ideale del gradino in corrispondenza dei codici (000) e (111) è pari, rispettivamente, a 0.5 LSB e 1.5 LSB.

Come nei convertitori D/A, l'errore di linearità integrale è la somma degli errori di linearità differenziale delle singole transizioni.

La Figura 12.31 è un esempio di caratteristica di trasferimento di un convertitore non calibrato con errori sia di offset che di guadagno. La prima transizione avviene per un valore di tensione più alto di 0.5 LSB rispetto al caso ideale, e ciò rappresenta un errore di **offset** pari a 0.5 LSB. La pendenza della retta che meglio approssima i punti di transizione non corrisponde a 1 LSB = $V_{FS}/8$, quindi il convertitore presenta anche un **errore di guadagno**.

Tabella 12.8 Caratteristica di trasferimento di un convertitore A/D

Uscita binaria	Punti di transizione ideali ($\times V_{FS}$)	ADC di Figura 12.30 ($\times V_{FS}$)	Ampiezza dello step (LSB)	Errore di linearità differenziale (LSB)	Errore di linearità integrale (LSB)
000	0.0000	0.0000	0.5	0	0
001	0.0625	0.0625	1.5	0.50	0.5
010	0.1875	0.2500	0.5	-0.50	0
011	0.3125	0.3125	1.0	0	0
100	0.4375	0.4375	1.0	0	0
101	0.5625	0.5625	1.50	0.50	0.5
110	0.6875	0.7500	0.5	-0.50	0
111	0.8125	0.8125	1.5	0	0

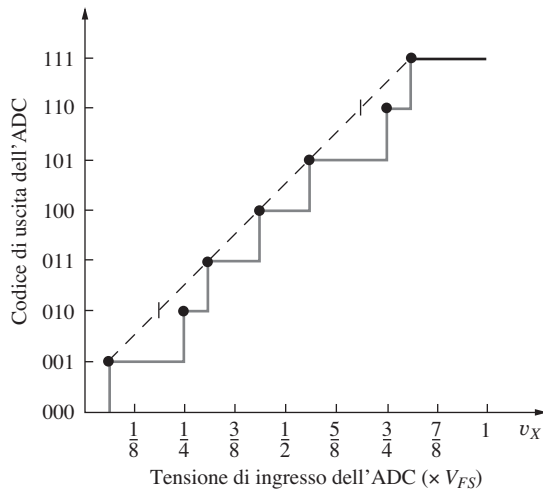


Figura 12.30 Esempio di caratteristica ingresso-uscita di un ADC non ideale a 3 bit.

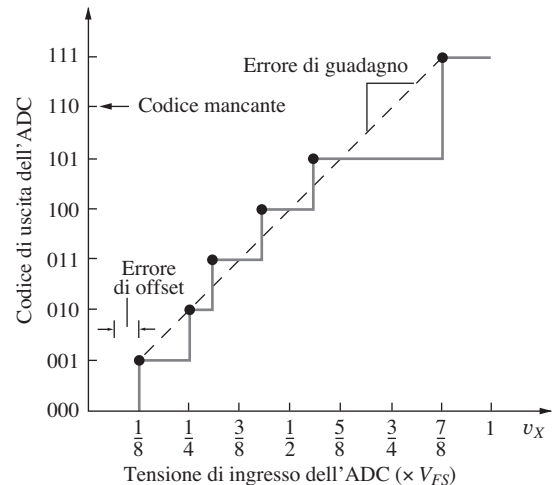


Figura 12.31 ADC con un codice mancante.

La Figura 12.31 evidenzia anche un nuovo tipo di errore, tipico dei convertitori A/D, denominato **codice mancante**. Infatti l'uscita passa direttamente da 101 a 111 saltando il valore 110. Un convertitore con errore di linearità differenziale inferiore a 1 LSB non presenta codici mancanti nella sua caratteristica ingresso-uscita. Un ADC può anche essere **non monotono**. Se l'uscita decresce in corrispondenza di un aumento della tensione di ingresso il convertitore presenta una caratteristica di trasferimento non monotona.

Tutte le deviazioni dal comportamento ideale dei convertitori A/D (o D/A) sono dipendenti dalla temperatura; quindi il costruttore fornisce anche i coefficienti di temperatura per l'offset, il guadagno e la linearità. Un buon convertitore dovrebbe essere monotono con un errore di linearità inferiore a 0.5 LSB e senza codici mancanti, su un ampio intervallo di temperatura.

ESERCIZIO Un convertitore A/D viene utilizzato in un multimetro digitale a 6 cifre decimali. Quanti bit sono necessari?

RISPOSTE 20 bit.

ESERCIZIO Quali sono i valori dello step massimo e dello step minimo nell'ADC di Figura 12.31? Quali sono gli errori di linearità differenziale e integrale rispetto alla linea tratteggiata in figura?

RISPOSTE 0, 2.5 LSB; 1.5 LSB, 1 LSB.

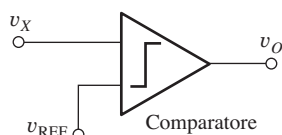


Figura 12.32
Schema a blocchi di un convertitore A/D.

12.6.3 Tecniche di base per la conversione analogico-digitale

La Figura 12.32 mostra lo schema di base per la conversione analogico-digitale. La tensione di ingresso incognita v_X è connessa a uno degli ingressi di un comparatore analogico mentre una tensione di riferimento v_{REF} , variabile nel tempo, è connessa all'altro ingresso. Se l'ingresso v_X è maggiore della tensione di riferimento l'uscita è alta e corrisponde al valore logico 1, altrimenti è bassa e corrisponde al valore logico 0.

Nell'effettuare la conversione, la tensione di riferimento viene variata finché non raggiunge l'ingresso, entro l'errore di quantizzazione. Idealmente, il convertitore sceglie un insieme di coefficienti binari b_i in modo tale che la differenza tra l'ingresso incognito e il valore quantizzato sia minore o uguale a 0.5 LSB. In altre parole, b_i viene scelto in modo che:

$$\left| v_X - V_{FS} \sum_{i=1}^n b_i 2^{-i} \right| < \frac{V_{FS}}{2^{n+1}} \quad (12.60)$$

La differenza tra il modo di funzionare dei diversi tipi di convertitori risiede nella tecnica utilizzata per variare la tensione di riferimento al fine di determinare l'insieme di coefficienti $\{b_i, i = 1, \dots, n\}$.

Convertitori a contatore

Il modo più semplice di generare la tensione di riferimento è utilizzare un convertitore digitale-analogico. Si può infatti utilizzare un DAC a n -bit per generare ciascuno dei 2^n valori discreti di uscita applicando l'adeguato codice di ingresso. Un modo diretto per misurare la tensione incognita di ingresso è confrontarla in sequenza con ciascuna delle possibili uscite di un DAC. Collegando l'ingresso del DAC all'uscita di un contatore binario a n bit si realizza il confronto passo-passo con la tensione incognita, come riportato in Figura 12.33.

La conversione A/D inizia quando un impulso (reset) abilita il conteggio tramite il Flip-Flop e contemporaneamente azzerà l'uscita del contatore. A ogni impulso di clock successivo il contatore incrementa la sua uscita; l'uscita del DAC ha un andamento crescente a gradini. Quando l'uscita del DAC supera il valore dell'ingresso incognito, l'uscita del comparatore cambia stato e, tramite il Flip-Flop, blocca il conteggio. Il cambiamento di stato dell'uscita del comparatore indica che la conversione è completa. A questo punto, l'uscita del contatore binario rappresenta il valore digitale della tensione incognita di ingresso.

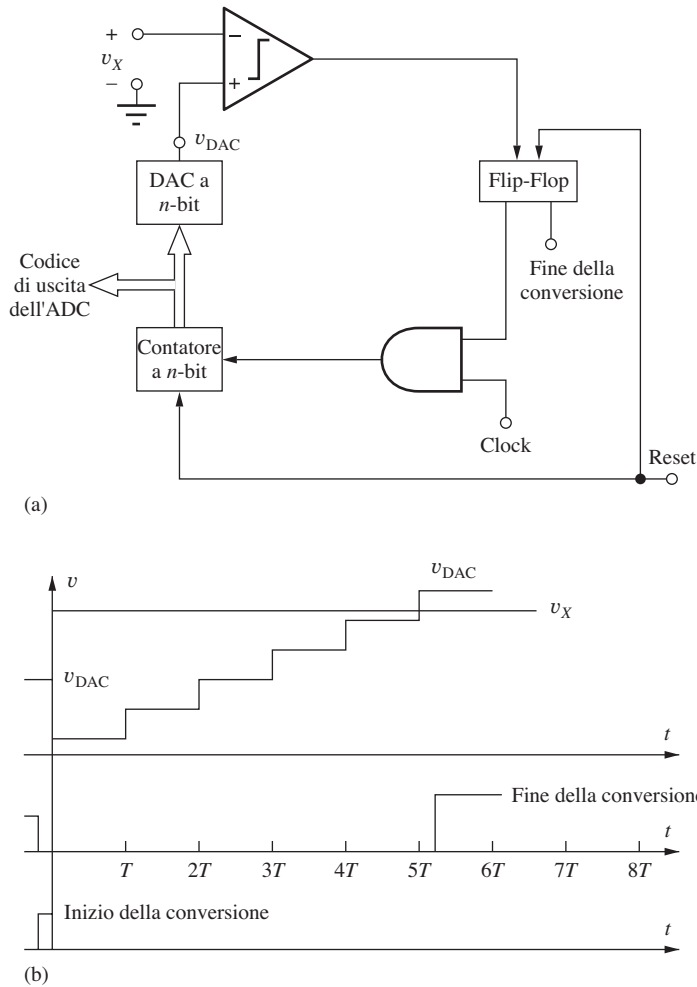


Figura 12.33

(a) Schema a blocchi di un ADC a contatore. (b) Diagramma di temporizzazione.

Vanno evidenziate parecchie caratteristiche di questo tipo di convertitore. In primo luogo la lunghezza del ciclo di conversione è variabile ed è proporzionale alla tensione incognita. Il massimo **tempo di conversione** T_T si ha in corrispondenza del valore di fondo scala del segnale di ingresso e corrisponde a 2^n periodi di clock, ovvero:

$$T_T \leq \frac{2^n}{f_C} = 2^n T_C \quad (12.61)$$

dove $f_C = 1/T_C$ è la frequenza del clock. In secondo luogo, l'uscita binaria del contatore rappresenta la più piccola uscita del DAC che è maggiore della tensione incognita; questo valore non è necessariamente la tensione di uscita del DAC più vicina alla tensione incognita, come sarebbe auspicabile. Inoltre, l'esempio di Figura 12.33(b) riporta il caso di una tensione incognita che si mantiene costante durante il periodo di conversione. Se l'ingresso varia, l'uscita binaria sarà una rappresentazione accurata del valore della tensione di ingresso nell'istante in cui il comparatore cambia stato.

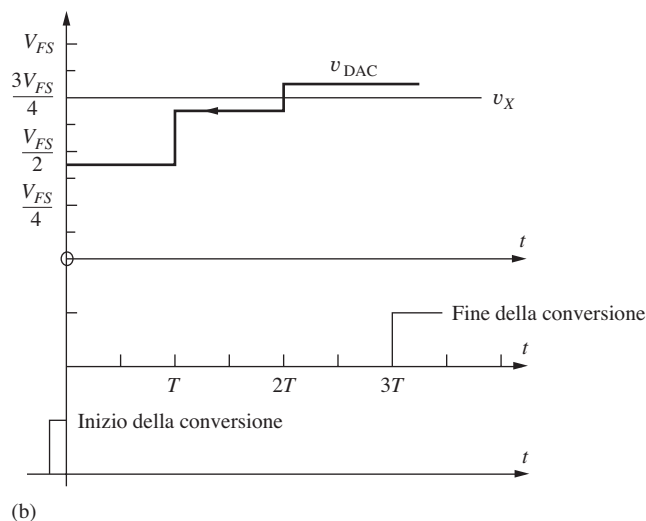
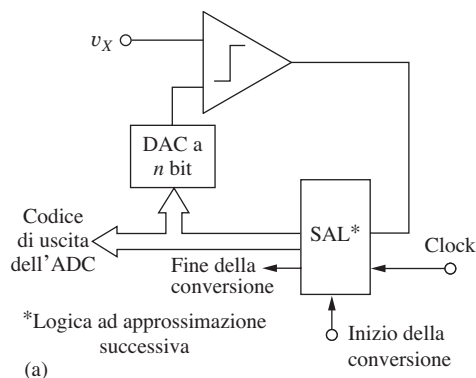
Il vantaggio di un convertitore di questo tipo è che richiede pochi componenti ed è poco costoso. Alcuni dei convertitori A/D meno costosi utilizzano questa tecnica. Lo svantaggio maggiore è la relativa lentezza del processo di conversione per una assegnata velocità del DAC. Un convertitore a n -bit richiede, nel caso peggiore, 2^n impulsi di clock.

ESERCIZIO Qual è il massimo tempo di conversione di un ADC che utilizza un DAC a 12 bit e un clock a 2 MHz? Qual è il massimo numero di conversioni per secondo?

RISPOSTE 2.05 ms; 488 conversioni/secondo.

Figura 12.34

(a) ADC ad approssimazione successiva. (b) Diagramma di tempificazione.



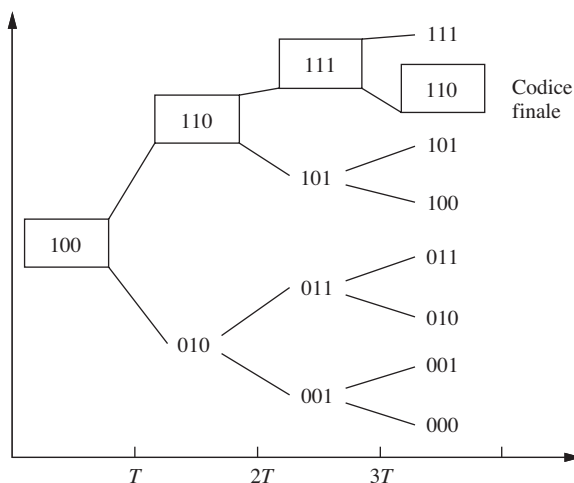
Convertitore ad approssimazione successiva

Il **convertitore ad approssimazione successiva** utilizza una strategia più efficiente per variare la tensione di riferimento del comparatore, richiedendo solo n impulsi di clock per una conversione a n -bit. La Figura 12.34 schematizza il funzionamento di un convertitore a tre bit ad approssimazione successiva. Si utilizza una "ricerca binaria" per trovare la migliore approssimazione della tensione di ingresso v_X . Dopo il segnale di inizio conversione, un circuito logico fissa l'uscita del DAC a $(V_{FS}/2 - V_{FS}/16)$ e, dopo un tempo di assestamento, controlla l'uscita del comparatore. (L'uscita del DAC presenta un offset di $-0.5 \text{ LSB} = -V_{FS}/16$ per ottenere la caratteristica di trasferimento di Figura 12.31.) Al successivo impulso di clock l'uscita del DAC viene incrementata di $V_{FS}/4$ se l'uscita del comparatore era 1 o decrementata di $V_{FS}/4$ se l'uscita del comparatore era 0. Viene quindi controllata di nuovo l'uscita del comparatore e il successivo impulso di clock provoca un incremento o un decremento dell'uscita del DAC di $V_{FS}/8$. Viene eseguito un terzo confronto. L'uscita binaria finale resta immutata se v_X è maggiore dell'uscita finale del DAC o diminuita di 1 LSB in caso contrario. La conversione è quindi completa alla fine del terzo impulso di clock, per il convertitore a 3 bit, o alla fine di n impulsi di clock per un convertitore a n -bit.

La Figura 12.35 mostra una possibile sequenza di codici, per un DAC a tre bit, che realizza la conversione di Figura 12.34. All'inizio della conversione l'ingresso del DAC è 100. Dopo il primo periodo di clock, l'uscita è inferiore a v_X , per cui il codice è incrementato a 110. Alla fine del secondo periodo di clock l'uscita è ancora troppo piccola e il codice è incre-

Figura 12.35

Sequenza di codici di uscita per un ADC a 3 bit ad approssimazione successiva.



mentato a 111. Dopo il terzo impulso di clock l'uscita risulta troppo grande, per cui il codice viene diminuito e il valore finale risulta 110.

Con un convertitore ad approssimazione successiva è possibile ottenere elevate velocità di conversione. Questa tecnica è ampiamente diffusa ed è usata in molti convertitori a 8 o a 16 bit. I fattori principali che limitano la velocità di questo ADC sono il tempo richiesto per l'assestamento dell'uscita del convertitore D/A entro una frazione di LSB e il tempo di risposta del comparatore a segnali di ingresso molto vicini tra loro.

ESERCIZIO Qual è il tempo di conversione di un ADC ad approssimazione successiva che utilizza un DAC a 12 bit e una frequenza di clock di 2 MHz? Qual è il numero massimo di conversioni per secondo?

RISPOSTE 6.00 μ s; 167 000 conversioni/secondo.

Nella discussione precedente è stato tacitamente assunto che l'ingresso resti costante durante l'intero periodo di conversione. Un segnale lentamente variabile, purché non cambi di più di 0.5 LSB ($V_{FS}/2^{n+1}$) durante l'intervallo di conversione ($T_T = n/f_C = nT_C$) è accettabile. La frequenza di un segnale di ingresso sinusoidale, con ampiezza picco-picco pari alla metà della tensione di fondo scala, deve soddisfare la seguente disuguaglianza:

$$T_T \left\{ \max \left[\frac{d}{dt} (V_{FS} \sin \omega_o t) \right] \right\} \leq \frac{V_{FS}}{2^{n+1}} \quad \text{ovvero} \quad \frac{n}{f_C} (V_{FS} \omega_o) \leq \frac{V_{FS}}{2^{n+1}} \quad (12.62)$$

e

$$f_o \leq \frac{f_C}{2^{n+2} n \pi}$$

Per un convertitore a 12-bit con frequenza di clock di 1-MHz f_o deve essere inferiore a 1.62 Hz. Se l'ingresso varia più di 0.5 LSB durante la conversione, l'uscita del convertitore non conserva una relazione precisa con la tensione di ingresso v_X . Per risolvere questo problema si utilizzano appositi circuiti, detti **Sample-and-Hold**, inseriti a monte del convertitore ad approssimazione successiva, che campionano il segnale di ingresso e lo mantengono costante per il tempo necessario alla conversione.

ADC a singola rampa (singola pendenza)

È possibile sostituire l'uscita discreta del convertitore D/A con un segnale di riferimento analogico continuo nel tempo, come mostrato in Figura 12.36. La tensione di riferimento varia linearmente, con una pendenza ben definita, da un valore leggermente inferiore allo zero a un valore superiore a V_{FS} , e il convertitore viene detto a **singola rampa** o a **singola pendenza**. Il tempo richiesto affinché il segnale di riferimento eguagli la tensione incognita è proporzionale alla tensione incognita stessa.

Il processo di conversione inizia con un segnale di "inizio conversione" che azzerà il contatore binario e fa partire il generatore di rampa da un valore di tensione leggermente negativo (si veda la Figura 12.36(b)). Quando la rampa attraversa lo zero l'uscita del comparatore 2 diventa alta consentendo al contatore di contare gli impulsi di clock. L'uscita del contatore si incrementa, quindi, finché la rampa non supera la tensione incognita. A questo punto, l'uscita del comparatore 1 diventa alta inibendo ogni ulteriore conteggio. Il numero N nel contatore alla fine della conversione è direttamente proporzionale alla tensione di ingresso:

$$v_X = K \times N \times T_C \quad (12.63)$$

dove K è la pendenza della rampa in volt/secondo. Se la pendenza della rampa viene scelta in modo che risulti $K = V_{FS}/2^n T_C$, il numero nel contatore rappresenta direttamente l'equivalente binario di v_X/V_{FS} :

$$\frac{v_X}{V_{FS}} = \frac{N}{2^n} \quad (12.64)$$

Chiaramente il tempo di conversione T_T di un convertitore a singola rampa è variabile ed è proporzionale alla tensione incognita v_X . Il tempo di conversione è massimo per $v_X = V_{FS}$ con:

$$T_T \leq 2^n T_C \quad (12.65)$$

Figura 12.36

(a) Schema a blocchi e (b) diagramma di tempificazione di un ADC a singola rampa.

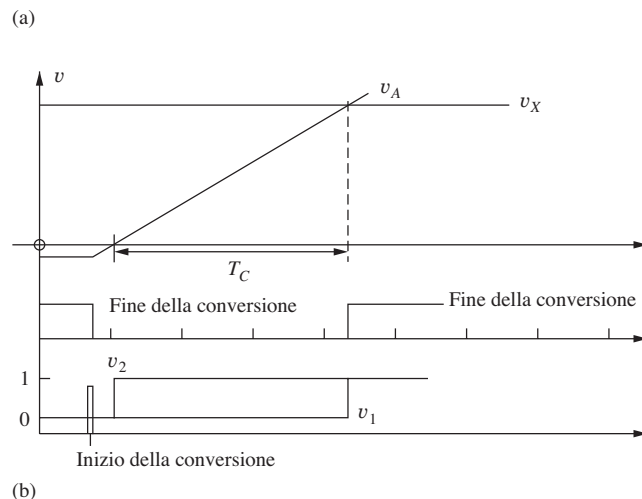
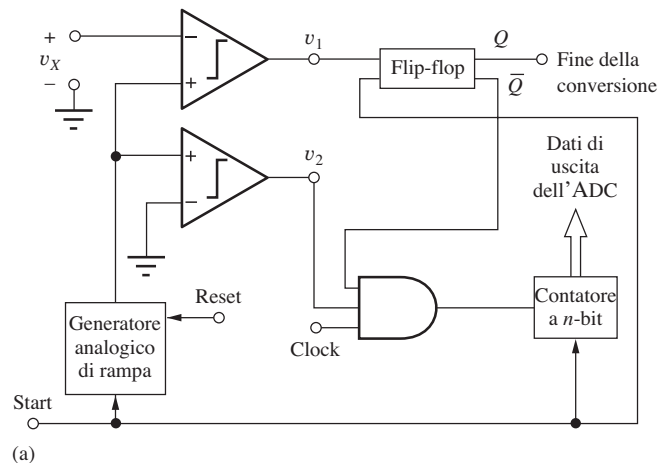
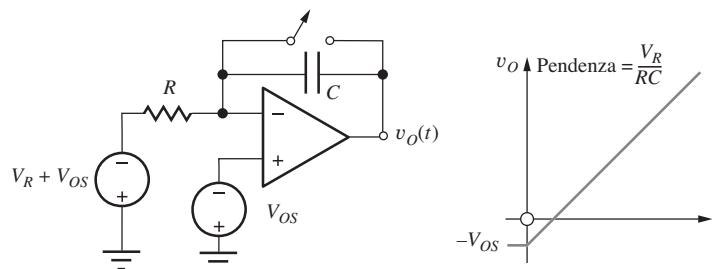


Figura 12.37

Generatore di rampa realizzato con un integratore con ingresso costante.



Nel convertitore a **contatore e rampa**, l'uscita del contatore rappresenta il valore di v_X nell'istante in cui arriva il segnale di fine conversione.

La rampa di tensione viene usualmente generata mediante un integratore collegato a una tensione di riferimento costante, come mostrato in Figura 12.37. Quando viene aperto l'interruttore di *reset* l'uscita cresce con pendenza costante pari a V_R/RC :

$$v_O(t) = -V_{OS} + \frac{1}{RC} \int_0^t V_R dt \quad (12.66)$$

La dipendenza della pendenza della rampa dal prodotto RC è una delle maggiori limitazioni del convertitore A/D a singola rampa. La pendenza dipende dai valori assoluti di R e di C i quali, a loro volta, dipendono dalla temperatura e sono soggetti a variazioni con l'invecchiamento. A causa di questo problema i convertitori a singola rampa sono usati molto raramente.

ESERCIZIO Qual è il valore di RC per un ADC a singola rampa a 8 bit con $V_{FS} = 5.12$ V, $V_R = 2.00$ V e $f_C = 1$ MHz?

RISPOSTA 0.1 ms.

ADC a doppia rampa (doppia pendenza)

L'ADC a **doppia rampa**, o a **doppia pendenza**, risolve i problemi del convertitore a singola rampa ed è usato comunemente nei sistemi di acquisizione dati di alta precisione e negli strumenti di misura. La Figura 12.38 illustra le modalità di funzionamento del convertitore. Il ciclo di conversione è composto da due intervalli di integrazione distinti. Inizialmente la tensione incognita v_x viene integrata per un intervallo di tempo noto T_1 . Il valore di questo integrale viene confrontato con un riferimento di tensione noto V_{REF} , che viene integrato per un intervallo di tempo variabile T_2 .

All'inizio della conversione il contatore è azzerato e l'integratore presenta in uscita una tensione leggermente negativa. La tensione incognita v_x viene connessa all'ingresso dell'integratore mediante l'interruttore S_1 . La tensione incognita è quindi integrata per un fissato intervallo di tempo $T_1 = 2^n T_C$, che inizia quando l'uscita dell'integratore attraversa lo zero. Alla fine dell'intervallo T_1 il contatore indica *overflow*, e ciò produce l'apertura di S_1 e la chiusura di S_2 , collegando il segnale di riferimento V_{REF} all'ingresso dell'integratore. L'uscita dell'integratore decresce fino al punto in cui attraversa di nuovo lo zero e, in questo istante, il comparatore cambia stato indicando la fine della conversione. Il contatore continua a contare durante la rampa di discesa e il numero finale rappresenta il valore digitale della tensione incognita v_x .

Il circuito funziona in modo tale che gli integrali sui due intervalli di tempo sono uguali:

$$\frac{1}{RC} \int_0^{T_1} v_x(t) dt = \frac{1}{RC} \int_{T_1}^{T_1+T_2} V_{REF} dt \quad (12.67)$$

T_1 viene scelto uguale a $2^n T_C$ di modo che la tensione incognita sia integrata fino a portare il contatore in *overflow*. L'intervallo di tempo T_2 è uguale a $N T_C$, dove N è il numero di conteggi durante la seconda fase.

In base al teorema della media si ha:

$$\frac{1}{RC} \int_0^{T_1} v_x(t) dt = \langle v_x \rangle T_1 \quad (12.68)$$

e

$$\frac{1}{RC} \int_{T_1}^{T_1+T_2} V_{REF}(t) dt = \frac{V_{REF}}{RC} T_2 \quad (12.69)$$

essendo V_{REF} costante. Sostituendo questi due valori nell'Equazione (12.67) troviamo che il valor medio della tensione di ingresso è:

$$\frac{\langle v_x \rangle}{V_{REF}} = \frac{T_2}{T_1} = \frac{N}{2^n} \quad (12.70)$$

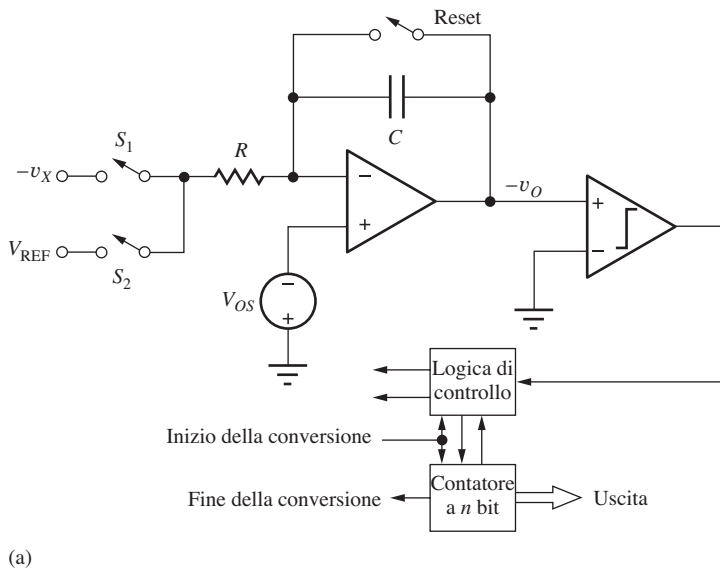
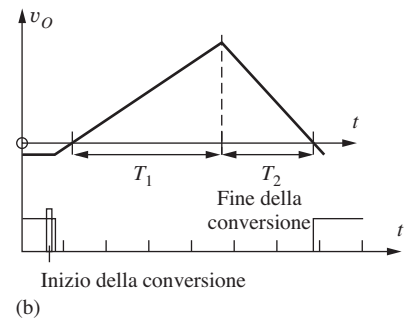


Figura 12.38
(a) ADC a doppia rampa
e (b) diagramma di tempificazione.



assumendo che il prodotto RC rimanga costante durante il periodo di conversione. I valori assoluti di R e di C non entrano direttamente nella relazione che lega v_x a V_{FS} , pertanto sono risolti i problemi di stabilità a lungo termine del convertitore a singola rampa. Inoltre, l'uscita digitale rappresenta il valor medio di v_x durante il primo intervallo di integrazione. Quindi v_x può cambiare durante il ciclo di conversione di questo convertitore senza inficiare la validità del valore di uscita.

L'intervallo di conversione T_T richiede 2^n cicli di clock per il primo intervallo di integrazione e n cicli di clock per il secondo intervallo di integrazione. Pertanto il tempo di conversione è variabile e:

$$T_T = (2^n + N)T_C \leq 2^{n+1}T_C \quad (12.71)$$

poiché N non può superare 2^n .

ESERCIZIO Qual è il massimo tempo di conversione per un convertitore a doppia rampa a 16 bit che utilizza un clock a frequenza di 1 MHz? Qual è la massima velocità di conversione?

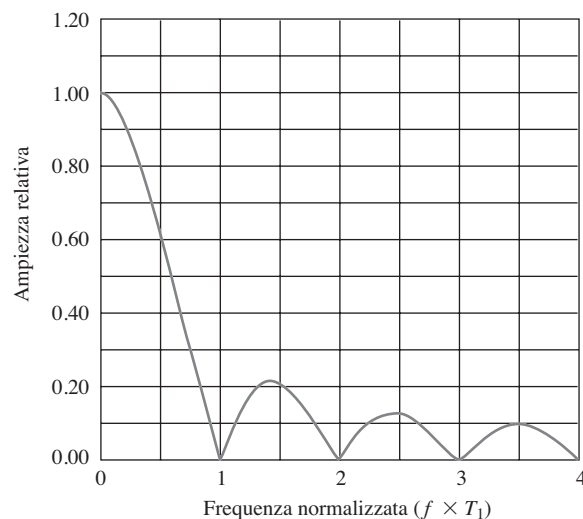
RISPOSTE 0.131 s; 7.63 conversioni/secondo.

Il convertitore a doppia rampa è molto diffuso. Benché sia molto più lento del convertitore ad approssimazione successiva, esso offre eccellenti prestazioni in termini di linearità differenziale e integrale. Con un progetto accorto è possibile ottenere conversioni accurate con una risoluzione superiore a 20 bit ma con velocità relativamente bassa. In molti strumenti e convertitori moderni il convertitore a doppia rampa è stato modificato prevedendo ulteriori fasi di integrazione per l'eliminazione automatica della tensione di offset. Questi dispositivi vengono chiamati *convertitori a quattro pendenze* o *convertitori a quattro fasi*. Un altro tipo di convertitore, il convertitore a tripla rampa, utilizza due rampe in discesa per migliorare notevolmente la velocità di conversione (di un fattore $2^{n/2}$ nel caso di un convertitore a n bit).

Reiezione di modo normale

L'uscita digitale del convertitore a doppia rampa rappresenta la media del segnale di ingresso durante la prima fase di integrazione. L'integratore effettua un filtraggio passa-basso con una funzione di trasferimento normalizzata mostrata in Figura 12.39. I segnali di ingresso sinusoidali, con frequenze che sono multipli interi del reciproco dell'intervallo di integrazione T_1 , presentano integrali di valore nullo e quindi non appaiono all'uscita. Questa proprietà viene sfruttata in molti multimetri digitali, realizzandoli tramite convertitori a doppia rampa con intervallo di integrazione multiplo intero del periodo della tensione di rete a 50 Hz o a 60 Hz. In tal modo le sorgenti di rumore con frequenza multipla della frequenza di rete vengono automaticamente rigettate. Questa proprietà viene generalmente denominata **reiezione di modo normale**.

Figura 12.39
Reiezione di modo normale
in un ADC.



Il convertitore parallelo (flash converter)

I convertitori più veloci funzionano in modo parallelo piuttosto che in modo seriale, a spese della complessità di realizzazione. Il termine **convertitore flash** viene spesso usato per indicare i convertitori paralleli a causa della loro velocità. La Figura 12.40 mostra un convertitore parallelo a 3 bit dove la tensione incognita v_X viene contemporaneamente confrontata con sette diverse tensioni di riferimento. Una rete logica codifica l'uscita dei comparatori direttamente in una parola a 3 bit che rappresenta il valore quantizzato della tensione di ingresso. La velocità di questo convertitore è estremamente elevata, essendo limitata solo dai tempi di ritardo dei comparatori e della rete logica.

Il convertitore A/D parallelo viene usato quando è necessaria la massima velocità di conversione e ha tipicamente una risoluzione minore o uguale di 10 bit poiché sono necessari $2^n - 1$ comparatori e tensioni di riferimento. Pertanto il costo di questi convertitori cresce rapidamente con l'aumento della risoluzione. Tuttavia, è possibile realizzare convertitori a 6, 8 e 10 bit monolitici in tecnologia integrata. Questi convertitori raggiungono velocità di conversione dell'ordine di 10^8 - 10^9 conversioni /secondo.

ESERCIZIO Quanti resistori e comparatori sono necessari per realizzare un convertitore flash a 10 bit?

RISPOSTE 1024 resistori; 1023 comparatori.

Convertitore A/D Delta-Sigma

I **convertitori Delta-Sigma** (Δ - Σ) sono largamente utilizzati nei moderni circuiti integrati poiché richiedono pochi componenti di precisione e sono facilmente implementabili mediante condensatori commutati; essi rappresentano pertanto la soluzione ideale nelle applicazioni di elaborazione digitale dei segnali. Questi convertitori vengono utilizzati sia nelle applicazioni audio che nelle applicazioni ad alta frequenza.

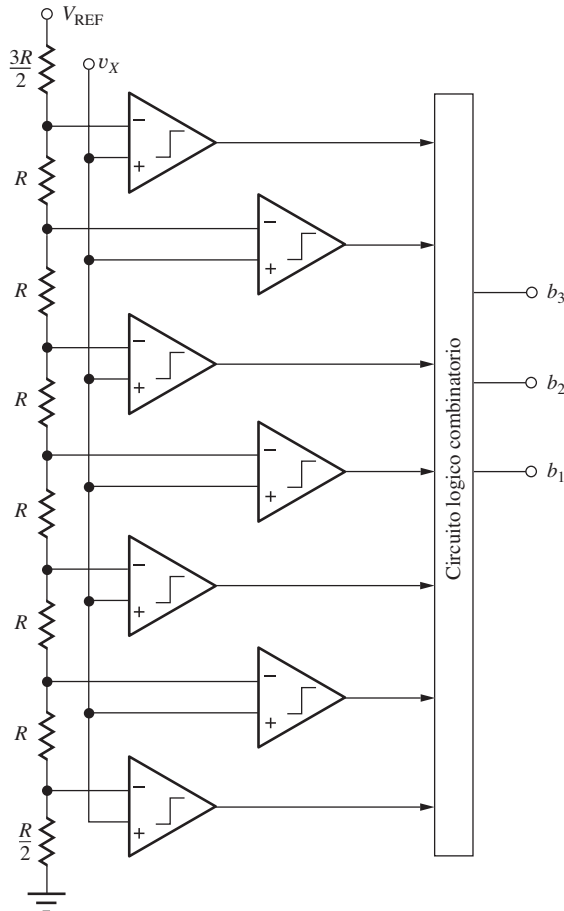
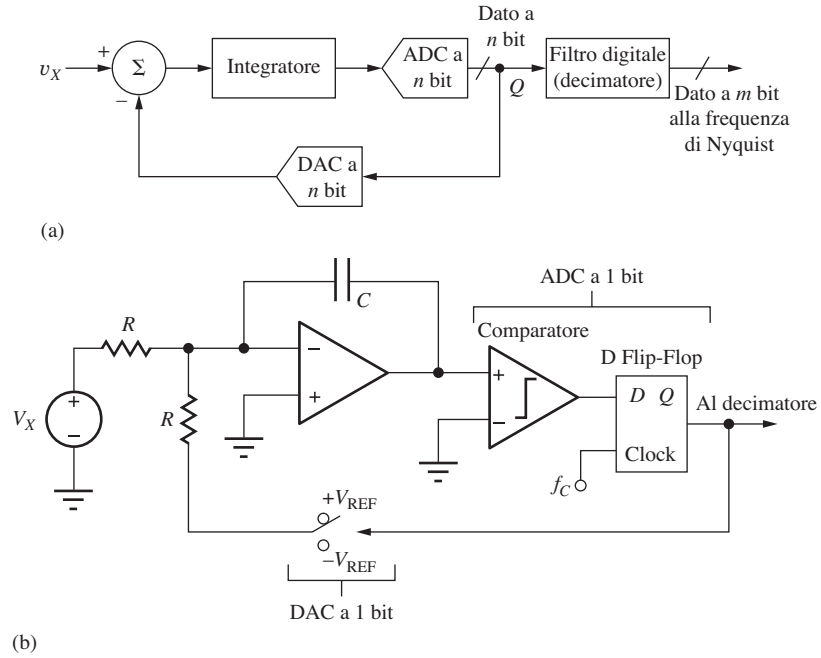


Figura 12.40
Convertitore parallelo a 3 bit.

Figura 12.41

(a) Schema a blocchi di un convertitore A/D Δ - Σ .
 (b) ADC Δ - Σ a 1 bit ($n = 1$) che utilizza un integratore a tempo continuo.



La Figura 12.41(a) mostra lo schema a blocchi di un ADC Δ - Σ . L'integratore accumula le differenze tra la tensione incognita v_x e l'uscita di un convertitore D/A a n bit. L'anello di retroazione forza l'uguaglianza tra il valor medio della tensione di uscita del DAC e la tensione incognita. Contrariamente agli altri tipi di convertitori, l'ADC interno campiona l'uscita dell'integratore a una velocità molto più elevata di quella minima richiesta dal teorema di Nyquist (si ricordi che la frequenza di campionamento deve essere almeno il doppio della massima componente spettrale presente nel segnale). Valori tipici della frequenza di campionamento dei convertitori Δ - Σ vanno da 16 a 512 volte la frequenza di Nyquist e per questo motivo essi sono chiamati convertitori "sovracampionati". I convertitori Δ - Σ producono, all'uscita Q , un flusso di dati a n bit a elevata frequenza che viene elaborato da un filtro digitale fino a ottenere una rappresentazione in alta risoluzione ($m > n$) della tensione v_x alla frequenza di Nyquist.

Possiamo analizzare il funzionamento del convertitore con maggiore dettaglio riferendoci alla sua implementazione riportata nella Figura 12.41(b). Questa versione elementare di convertitore Δ - Σ utilizza un integratore a tempo continuo e convertitori A/D e D/A a 1 bit. L'integrale di V_x (componente continua della tensione incognita v_x) viene confrontato con il valor medio dell'uscita del D/A che commuta tra $+V_{REF}$ e $-V_{REF}$. All'inizio di ogni intervallo di clock, l'ADC a 1 bit (rappresentato dal comparatore e dal Flip-Flop D) decide se l'uscita del comparatore è maggiore di zero ($Q = 1$) o minore di zero ($Q = 0$) e l'uscita del DAC è fissata in modo da portare l'uscita dell'integratore di nuovo a zero. Se, per esempio, V_x è zero l'uscita digitale oscilla tra 0 e 1, trascorrendo metà del tempo in ciascuno stato. Per altri valori di V_x , l'interruttore passerà N periodi di clock connesso a $-V_{REF}$ e $M - N$ connesso a $+V_{REF}$. La scelta dell'intervallo di osservazione M dipende dalla risoluzione desiderata.

È possibile ottenere una rappresentazione quantitativa dell'uscita sfruttando il fatto che l'anello di retroazione tenta di forzare l'uscita dell'integratore a zero:

$$-V_X \left(\frac{MT_C}{RC} \right) - V_{REF} \left(\frac{NT_C}{RC} \right) + V_{REF} \left[\frac{(M-N)T_C}{RC} \right] = 0 \quad (12.72)$$

ovvero

$$V_X = V_{REF} \left(\frac{M-2N}{M} \right) = V_{REF} \left(1 - 2 \frac{N}{M} \right) \quad (12.73)$$

dove il rapporto N/M rappresenta il valor medio del flusso di bit all'uscita. Se scegliamo $M = 2^m$ si ha:

$$V_X = \left(\frac{V_{REF}}{2^m} \right) (2^m - 2N) \quad (12.74)$$

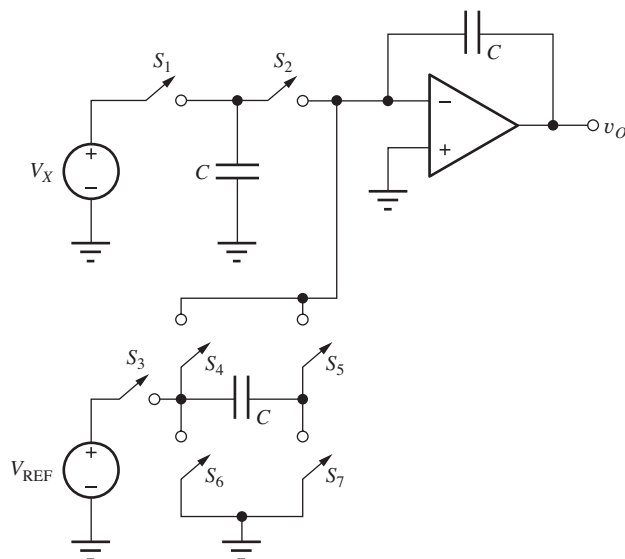


Figura 12.42
Integratore a condensatori
commutati e interruttore di
riferimento.

e si vede che l'LSB è $V_{REF}/2^m$. L'effettiva risoluzione è determinata dalla durata del tempo di integrazione dell'uscita. Il più semplice filtro digitale calcola questa media e converte il flusso di dati a 1 bit in un'uscita parallela ad m -bit alla frequenza di Nyquist. L'operazione di conversione è considerevolmente più complessa se il segnale di ingresso varia nel tempo, ma il principio di funzionamento è lo stesso.

Il circuito può essere direttamente convertito in un circuito con condensatori commutati sostituendo l'integratore a tempo continuo con l'integratore SC di Figura 12.42.

Una quantità di carica proporzionale al segnale di ingresso viene aggiunta all'uscita dell'integratore a ogni istante di campionamento, mentre una carica pari a CV_{REF} viene aggiunta o sottratta a ogni campione a seconda della sequenza di controllo applicata agli interruttori.

Un vantaggio del convertitore $\Delta\Sigma$ è la sua intrinseca linearità dovuta all'utilizzo del DAC a 1 bit. Poiché ci sono solo due livelli, essi devono necessariamente cadere su una linea retta anche se può esistere un offset. Nel caso dell'integratore a tempo continuo, le fluttuazioni di frequenza del clock possono comportare degli errori. L'integratore SC è meno sensibile al problema delle fluttuazioni del clock finché il suo periodo è lungo abbastanza da consentire il completamento del processo di trasferimento di carica. Il convertitore SC lavora, inoltre, a bassa potenza.



ELETTRONICA IN AZIONE

Sample & Hold

I circuiti Sample & Hold (S/H) sono utilizzati in tutti i sistemi a dati campionati e sono necessari come primo stadio in molti tipi di convertitori analogico-digitali per prevenire le variazioni del segnale di ingresso durante l'operazione di conversione.⁹

In questo paragrafo sono descritti alcuni circuiti S/H basati su amplificatori operazionali, compreso quello basato sulla configurazione integratrice.

La configurazione base di un Sample & Hold descritta nella parte (a) della figura comprende un interruttore di campionamento S e un condensatore C che immagazzina il segnale in tensione campionato. Tuttavia questo semplice circuito può generare errori a causa del carico che si presenta al segnale da

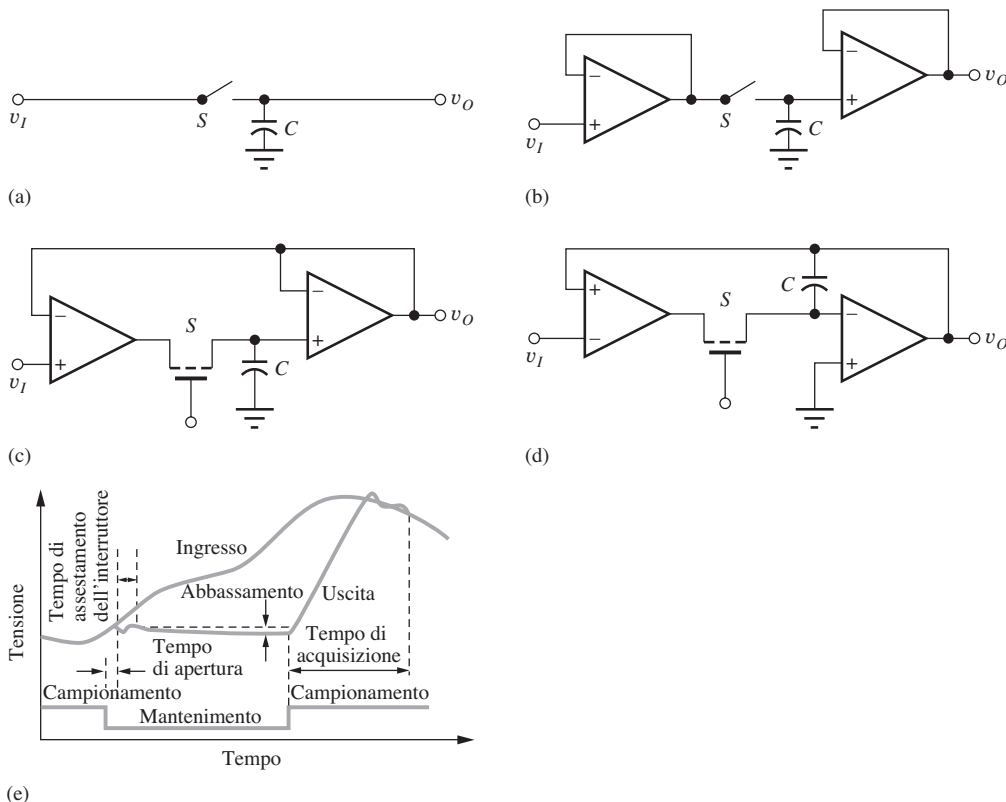
campionare. Il circuito (b) utilizza due inseguitori di tensione per risolvere il problema; essi infatti funzionano da buffer sia in ingresso verso il condensatore sia in uscita dal condensatore. I circuiti S/H ad anello chiuso (c) e (d) vedono il condensatore posizionato all'interno di un anello di retroazione per migliorare le prestazioni del circuito. Il circuito integratore nella configurazione (d) incrementa enormemente il valore effettivo del condensatore di campionamento. Se si assume un operazionale ideale per ciascuno dei tre circuiti S/H, si trova che sia le tensioni sul condensatore che le tensioni di uscita sono sempre uguali alla tensione di ingresso v_I .

Il diagramma (e) illustra alcune problematiche di

⁹ K.R. Stafford, P.R. Gray e R.A. Blanchard, "A complete monolithic sample-and-hold", *IEEE Journal of Solid-State Circuits*, vol. SC-9, no. 6, pp. 381387, dicembre 1974.

progetto associate all'operazione di S/H. Il tempo di apertura rappresenta il tempo necessario all'interruttore per cambiare stato tra la modalità "campionamento" (*sample*) e la modalità "mantenimento" (*hold*). Vi è poi un tempo di assestamento necessario al recupero del circuito di retroazione dopo il transitorio di commutazione. Durante la modalità "mantenimento" la tensione immagazzinata

nel condensatore può variare leggermente a causa delle perdite dell'interruttore e delle correnti di polarizzazione dell'operazionale. Questo cambiamento è indicato come "abbassamento" (*droop*). Infine, è necessario un tempo di acquisizione affinché il circuito agganci la tensione di ingresso dopo la commutazione tra la modalità "mantenimento" e la modalità "campionamento".



Circuiti Sample & Hold: (a) configurazione base (b) con buffer (c) ad anello chiuso (d) con integratore (e) forme d'onda. (K.R. Stafford, P.R. Gray e R.A. Blanchard, "A complete monolithic sample-and-hold", *IEEE Journal of Solid-State Circuits*, vol. SC-9, nr. 6, pp. 381387, dicembre 1974. © IEE 1974. Riprodotta con permesso).

12.7 Oscillatori

Gli **oscillatori** rappresentano un'importante classe di circuiti retroazionati e sono usati per la generazione di segnali. Abbiamo già incontrato un tipo di oscillatore: il multivibratore non lineare. Questo circuito, tuttavia, genera un segnale con andamento approssimativo a onda quadra. In questo paragrafo consideriamo oscillatori basati sul principio della retroazione positiva che generano un segnale sinusoidale e sono realizzati con amplificatori operazionali. Gli oscillatori realizzati con amplificatori operazionali possono essere usati per generare segnali con frequenza massima pari a circa metà della frequenza di transizione f_T dell'operazionale. Successivamente, nel Capitolo 18, analizzeremo gli oscillatori *LC* a transistori, i quali utilizzano induttori e condensatori per generare segnali le cui frequenze sono limitate esclusivamente dalla frequenza di guadagno unitario dei singoli dispositivi.

12.7.1 Il criterio di Barkhausen per le oscillazioni

L'oscillatore può essere rappresentato come un sistema con retroazione positiva (o rigenerativa) utilizzando il diagramma a blocchi di Figura 12.43. Si utilizza una rete di retroazione selettiva in frequenza e l'oscillatore viene progettato in modo da ottenere un segnale di uscita anche quando l'ingresso è nullo.

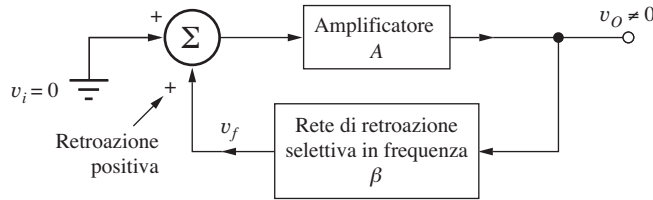


Figura 12.43

Schema a blocchi di un sistema con retroazione positiva.

Per realizzare un oscillatore sinusoidale è necessario che i poli dell'amplificatore ad anello chiuso si trovino a una frequenza ω_o situata sull'asse immaginario. Questi circuiti utilizzano la retroazione positiva, realizzata mediante una rete di retroazione selettiva in frequenza, in modo da ottenere oscillazioni stabili alla frequenza ω_o . Si consideri il sistema in retroazione in Figura 12.43 descritto dalla relazione:

$$A_v(s) = \frac{A(s)}{1 - A(s)\beta(s)} = \frac{A(s)}{1 - T(s)} \quad (12.75)$$

L'uso della reazione positiva risulta dal segno negativo al denominatore. Per ottenere oscillazioni sinusoidali, il denominatore dell'Equazione (12.75) deve essere nullo a una particolare frequenza ω_o (ovvero per $s = j\omega_o$):

$$1 - T(j\omega_o) = 0 \quad \text{ovvero} \quad T(j\omega_o) = +1 \quad (12.76)$$

Il **criterio di Barkhausen** stabilisce le due condizioni necessarie a soddisfare l'Equazione (12.76):

$$\begin{aligned} 1. \quad \angle T(j\omega_o) &= n \times 360^\circ \quad \text{ovvero} \quad 2\pi n \text{ rad con } n \in \mathbb{Z} \\ 2. \quad |T(j\omega_o)| &= 1 \end{aligned} \quad (12.77)$$

Queste due condizioni stabiliscono che il ritardo di fase complessivo deve essere pari a zero e che l'ampiezza del guadagno d'anello deve essere unitaria. Il guadagno di anello unitario corrisponde a un oscillatore puramente sinusoidale. Un guadagno d'anello maggiore di 1 produce oscillazioni distorte.

Nel prossimo paragrafo analizzeremo alcuni oscillatori *RC* che possono operare a frequenze inferiori ad alcuni megahertz. Nel Capitolo 18 saranno presentati gli oscillatori *LC* e gli oscillatori a cristallo, utilizzabili a frequenze molto più alte.



ELETTRONICA IN AZIONE

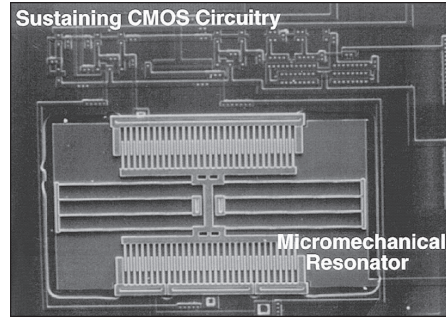
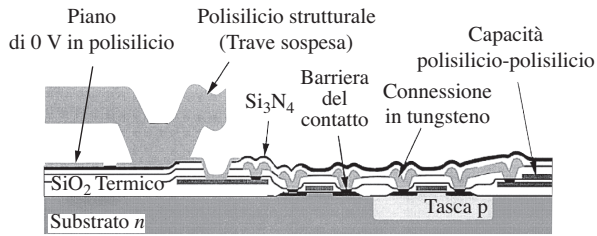
Un oscillatore MEMS

Gli oscillatori a cristallo sono stati per lungo tempo utilizzati per realizzare oscillatori stabili e accurati per orologi e clock di computer. A differenza degli oscillatori realizzati con induttori e condensatori integrati, gli oscillatori a cristallo presentano una resistenza serie molto bassa e quindi basse perdite ed elevato Q . Tuttavia, gli oscillatori a cristallo convenzionali sono relativamente ingombranti e non sono facilmente integrabili con i processi CMOS. Per questa ragione, i ricercatori hanno sviluppato strutture risonanti basate su sistemi micro-elettro-meccanici (MEMS) che possono essere integrati direttamente nei circuiti CMOS.

La figura seguente mostra un risonatore MEMS pubblicato nel 1999 da Clark Nguyen e Roger Howe [1]. Di seguito è anche mostrata una microfotografia del dispositivo. La struttura è essenzialmente un pettine a pilotaggio elettrostatico di polisilicio. La figura mostra anche una sezione trasversa della struttura MEMS. La grande struttura in polisilicio

sulla sinistra è un esempio di struttura utilizzata per realizzare il risonatore. La struttura realizza dei contatti elettrici verso un film metallico attraverso la deposizione di un sottile strato di polisilicio. Si noti che la trave orizzontale sulla sinistra della figura è sospesa sul substrato. Il polisilicio strutturale viene depositato su uno strato sacrificale di vetro fosforilato (PSG) che è stato depositato in precedenza e opportunamente sagomato. Dopo che il polisilicio strutturale è stato depositato e sagomato, il PSG viene eliminato chimicamente lasciando così la trave di polisilicio sospesa sul substrato.

La struttura fisica del pettine di pilotaggio si vede più chiaramente nel diagramma mostrato di seguito. Pilotando il dito più a sinistra della struttura con una opportuna tensione, la struttura sospesa nel centro viene tirata verso sinistra. Quando la tensione è rimossa, la struttura viene tirata indietro verso destra dalla sospensione. Quando la frequenza della tensione di pilotaggio si avvicina alla frequenza

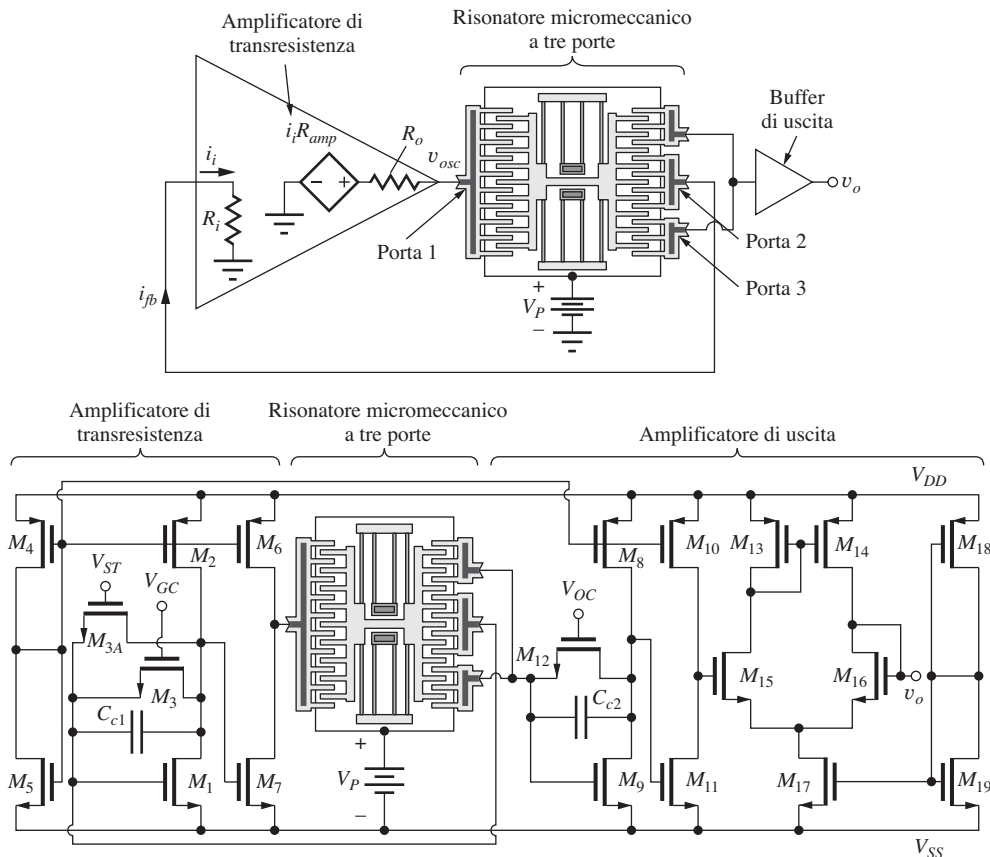


C. T-C. Nguyen e R.T. Howe, "An integrated micromechanical resonator high-Q oscillator", *IEEE J. Solid-State Circuits*, vol. 34, no. 4, pp. 440-445, aprile 1999. (© 1999 IEEE. Riprodotta con permesso).

di risonanza della struttura, essa comincia a oscillare. In maniera simile a un oscillatore a quarzo, il sistema micro-elettro-meccanico è modellabile mediante una serie RLC e una capacità in parallelo.

Mentre la struttura centrale oscilla avanti e indietro, si genera una corrente di spostamento alla porta di uscita della struttura a pettine a causa della variazione di capacità dovuta al movimento delle dita del pettine. In questo progetto, la corrente viene amplificata da un amplificatore di transresistenza e utilizzata per pilotare l'ingresso. Alla frequenza di risonanza, il criterio di Barkhausen è soddisfatto, e si genera un'oscillazione permanente.

I dispositivi basati su MEMS consentono l'integrazione di miscelatori, filtri e altre strutture basate su risonatori. Poiché le strutture sono tipicamente realizzate in polisilicio, esse sono compatibili con i processi CMOS. La struttura mostrata presenta una frequenza di risonanza dell'ordine della decina di kilohertz, ma i ricercatori stanno esplorando tecnologie in grado di raggiungere frequenze dell'ordine del centinaio di megahertz. La combinazione di MEMS e CMOS può rapidamente consentire la realizzazione di ricetrasmittitori a radiofrequenza su singolo chip che non si basano sui condensatori e induttori integrati, con perdite relativamente alte, disponibili oggi.



12.7.2 Oscillatori con reti RC selettive in frequenza

È possibile usare reti RC per realizzare una retroazione selettiva in frequenza fino ad alcuni megahertz. In questo paragrafo introdurremo due tipi di **oscillatori RC**: il ponte di Wien e l'oscillatore a sfasamento. Un ulteriore esempio, l'oscillatore in quadratura, è discusso nel Problema 12.83.

L'oscillatore a ponte di Wien

L'**oscillatore a ponte di Wien**,¹⁰ riportato in Figura 12.44, utilizza due reti RC per realizzare la retroazione selettiva in frequenza. Il guadagno d'anello $T(s)$ del ponte di Wien si determina aprendo l'anello nel punto P , come indicato in Figura 12.45.

L'amplificatore operazionale funziona come amplificatore non-invertente con guadagno $G = V_1(s)/V_2(s) = 1 + R_2/R_1$. Il guadagno d'anello si calcola mediante il partitore di tensione tra $Z_1(s)$ e $Z_2(s)$:

$$V_o(s) = V_1(s) \frac{Z_2(s)}{Z_1(s) + Z_2(s)} \quad (12.78)$$

$$Z_1(s) = R + \frac{1}{sC} = \frac{sCR + 1}{sC} \quad \text{e} \quad Z_2(s) = R \parallel \frac{1}{sC} = \frac{R}{sCR + 1}$$

Semplificando l'Equazione (12.78) si ottiene:

$$V_o(s) = GV_1(s) \frac{sRC}{s^2R^2C^2 + 3sRC + 1} \quad (12.79)$$

$$T(s) = \frac{V_o(s)}{V_1(s)} = \frac{sRCG}{s^2R^2C^2 + 3sRC + 1}$$

Per $s = j\omega$ si ha:

$$T(j\omega) = \frac{j\omega RCG}{(1 - \omega^2R^2C^2) + 3j\omega RC} \quad (12.80)$$

Applicando il criterio di Barkhausen, si vede che la fase è pari a zero se $(1 - \omega_o^2R^2C^2) = 0$. Alla frequenza $\omega_o = 1/RC$ si ha:

$$T(j\omega_o) = +\frac{G}{3} \quad \angle T(j\omega_o) = 0^\circ \quad |T(j\omega_o)| = \frac{G}{3} \quad (12.81)$$

Per $\omega = \omega_o$ il ritardo di fase è nullo. Se il guadagno dell'amplificatore è $G = 3$, risulta $|T(j\omega)| = 1$, e si ottengono oscillazioni sinusoidali.

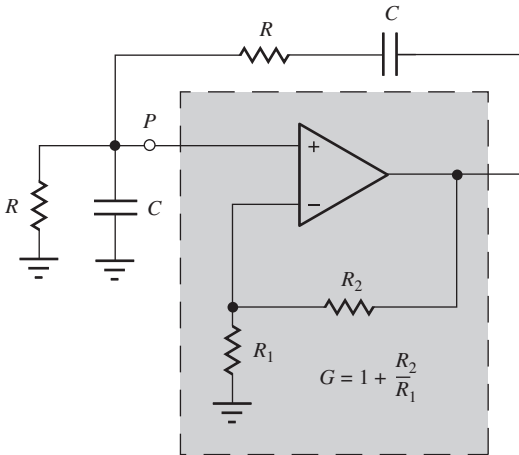


Figura 12.44 Oscillatore a ponte di Wien.

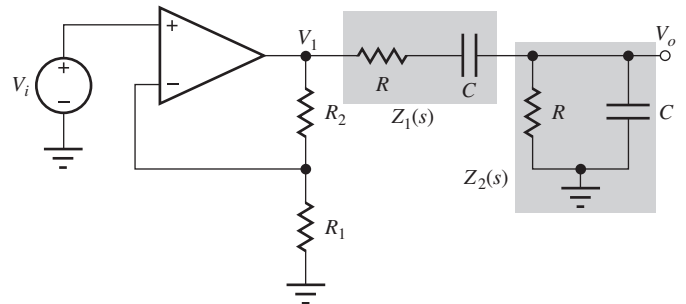


Figura 12.45 Circuito per il calcolo del guadagno d'anello dell'oscillatore a ponte di Wien.

¹⁰ Una particolare versione di questo oscillatore fu il prodotto HP model 200 che lanciò sul mercato la società Hewlett-Packard.

L'oscillatore a ponte di Wien è utilizzabile fino a frequenze di alcuni megahertz, essendo limitato principalmente dalle caratteristiche dell'amplificatore. Nella realizzazione di generatori di segnale, i condensatori vengono variati per decadi in modo da ottenere un ampio intervallo di frequenze di oscillazione. I resistori sono sostituiti da potenziometri, in modo da disporre di una regolazione continua della frequenza all'interno di un assegnato intervallo.

Oscillatori a sfasamento

La Figura 12.46 mostra un secondo tipo di oscillatore RC: l'**oscillatore a sfasamento**. Si utilizza una rete RC a tre celle per ottenere una rotazione di fase di 180° che, unita allo sfasamento di 180° dato dall'amplificatore invertente, realizza un ritardo totale di fase di 360° .

È possibile implementare l'oscillatore a sfasamento in diversi modi; si può, per esempio, utilizzare un amplificatore operazionale, come in Figura 12.47. Il guadagno d'anello si trova aprendo l'anello di retroazione in $X - X'$ ed esprimendo $V_o(s)$ in funzione di $V'_o(s)$.

Le tensioni V_1 e V_2 sono date da:

$$\begin{bmatrix} sCV'_o(s) \\ 0 \end{bmatrix} = \begin{bmatrix} (2sC + G) - sC \\ -sC(2sC + G) \end{bmatrix} \begin{bmatrix} V_1(s) \\ V_2(s) \end{bmatrix} \quad (12.82)$$

e ricordando la teoria dell'amplificatore operazionale si ha:

$$\frac{V_o(s)}{V_2(s)} = -sCR_1 \quad (12.83)$$

Utilizzando le Equazioni (12.82) e (12.83) ed esprimendo $V_o(s)$ in funzione di $V'_o(s)$:

$$T(s) = \frac{V_o(s)}{V'_o(s)} = -\frac{s^3 C^3 R^2 R_1}{3s^2 R^2 C^2 + 4sRC + 1} \quad (12.84)$$

e

$$T(j\omega) = -\frac{(j\omega)^3 C^3 R^2 R_1}{(1 - 3\omega^2 R^2 C^2) + j4\omega RC} = \frac{j\omega^3 C^3 R^2 R_1}{(1 - 3\omega^2 R^2 C^2) + j4\omega RC} \quad (12.85)$$

Si vede che la fase di $T(j\omega)$ è pari a zero se si annulla la parte reale del denominatore:

$$1 - 3\omega_o^2 R^2 C^2 = 0 \quad \text{ovvero} \quad \omega_o = \frac{1}{\sqrt{3}RC} \quad (12.86)$$

e

$$T(j\omega_o) = +\frac{\omega_o^2 C^2 R R_1}{4} = +\frac{1}{12} \frac{R_1}{R} \quad (12.87)$$

Scegliendo $R_1 = 12R$ anche il criterio di Barkhausen è soddisfatto ($|T(j\omega_o)| = 1$).

Stabilizzazione dell'ampiezza negli oscillatori RC

Il guadagno d'anello di un oscillatore può cambiare a causa di una variazione della tensione di alimentazione, di una variazione dei valori dei componenti o di un cambiamento di temperatura. Se il guadagno d'anello diventa troppo piccolo, le oscillazioni si smorzano; se invece diventa troppo grande, la forma d'onda viene distorta. Pertanto, negli oscillatori si utilizzano spesso meccanismi di **stabilizzazione dell'ampiezza** per controllare in maniera automatica il guadagno d'anello e portare i poli esattamente sull'asse $j\omega$. Il circuito viene

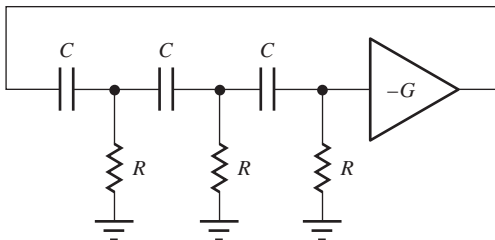


Figura 12.46
Schema di principio dell'oscillatore a sfasamento.

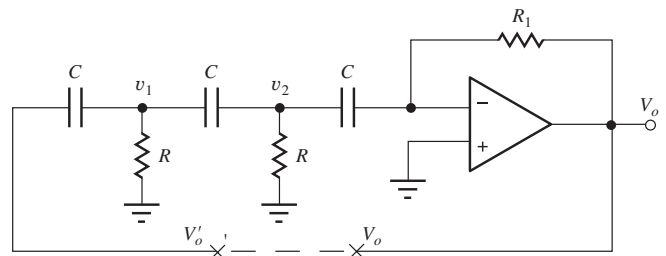


Figura 12.47
Una possibile realizzazione dell'oscillatore a sfasamento mediante un amplificatore operazionale.

progettato in modo che, all'accensione, il guadagno d'anello sia maggiore del minimo necessario a sostenere le oscillazioni. Quando l'ampiezza delle oscillazioni cresce, interviene un meccanismo di stabilizzazione che riduce il guadagno portandolo al valore minimo necessario a sostenere le oscillazioni.

Le Figure 12.48-12.50 mostrano due possibili tecniche di stabilizzazione delle oscillazioni. Nell'oscillatore a ponte di Wien, realizzato in origine dalla Hewlett-Packard, il resistore R_1 era sostituito da un elemento non lineare; per esempio, come mostra la Figura 12.48, una lampadina a incandescenza. La resistenza differenziale della lampadina è fortemente dipendente dalla temperatura del filamento. Se l'ampiezza è troppo grande, la corrente aumenta e la resistenza del filamento cresce; si ottiene così una riduzione del guadagno. Se l'ampiezza è piccola, la lampadina si raffredda e la resistenza si riduce, portando a un aumento del guadagno d'anello. La costante di tempo termica della lampadina media la corrente conducendo alla stabilizzazione dell'ampiezza.

Nel ponte di Wien di Figura 12.49, invece, sono i diodi D_1 e D_2 che, insieme ai resistori R_1 e R_2 , realizzano la rete di stabilizzazione. Per segnali positivi al nodo v_o , il diodo D_1 si accende quando la tensione ai capi di R_3 , è sufficientemente alta. Quando il diodo è in conduzione, la resistenza R_4 si trova in parallelo a R_3 determinando una riduzione del guadagno d'anello. Il diodo D_2 opera in maniera simile sui picchi negativi del segnale. I valori dei resistori vanno scelti in modo che:

$$\frac{R_2 + R_3}{R_1} > 2 \quad \text{e} \quad \frac{R_2 + R_3 \parallel R_4}{R_1} < 2 \quad (12.88)$$

Il primo rapporto deve essere leggermente maggiore di 2, e il secondo leggermente minore di 2. Quindi, quando i diodi sono spenti, il guadagno dell'amplificatore operazionale è leggermente maggiore di 3, assicurando così l'innesco delle oscillazioni; se uno dei diodi si porta in conduzione il guadagno diventa minore di 3.

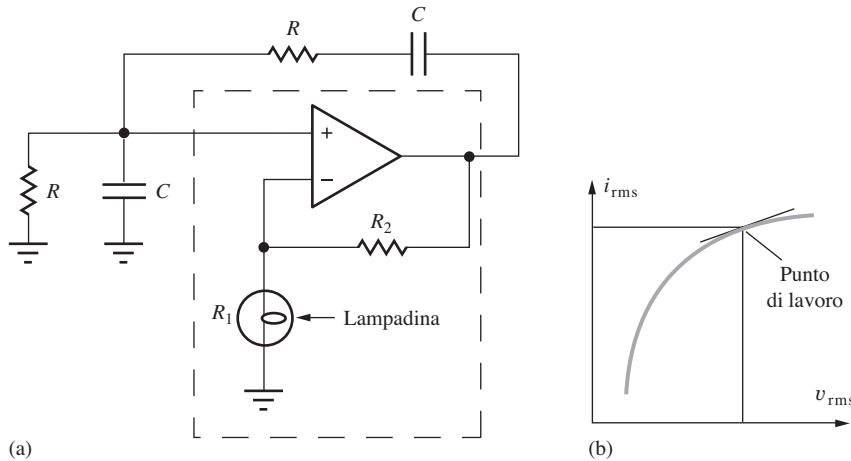


Figura 12.48

(a) Oscillatore a ponte di Wien con stabilizzazione dell'ampiezza.
(b) Caratteristica i - v della lampadina.

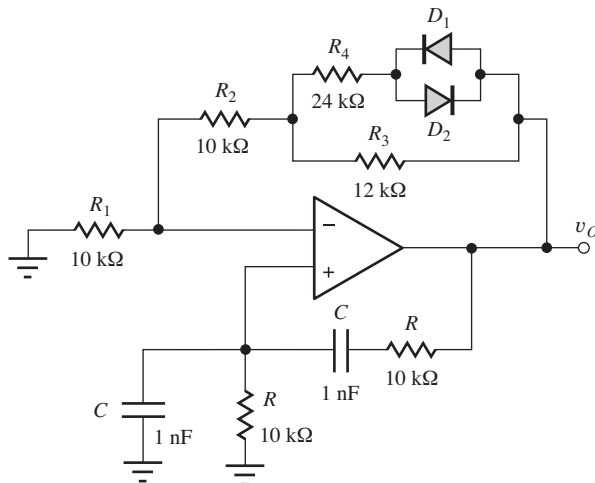


Figura 12.49

Oscillatore a ponte di Wien con stabilizzazione dell'ampiezza mediante diodi.

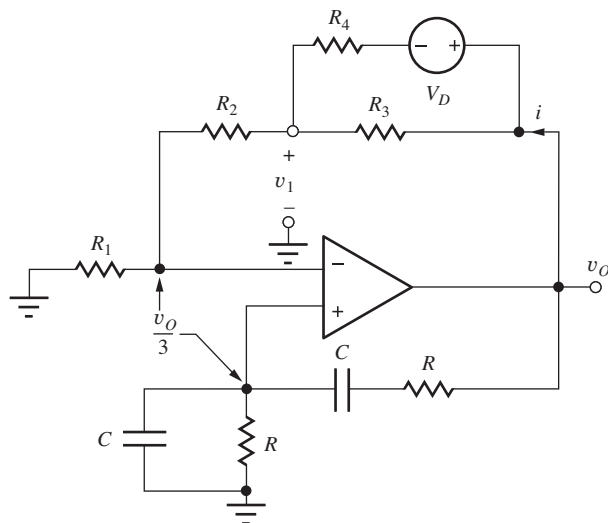


Figura 12.50 Circuito equivalente con il diodo D_1 acceso.

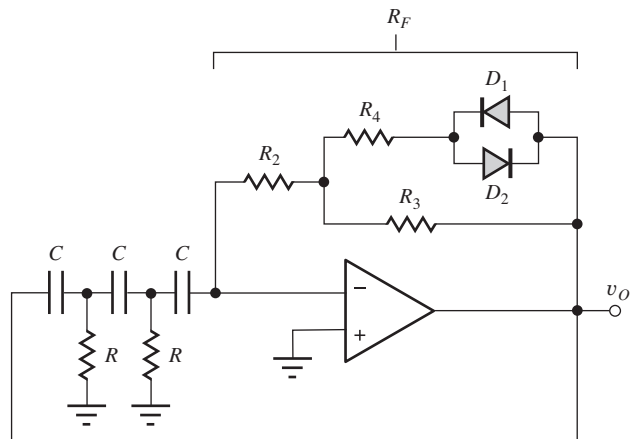


Figura 12.51 Stabilizzazione dell'ampiezza, dell'oscillatore a sfasamento, mediante diodi.

Una stima dell'ampiezza delle oscillazioni si può ottenere dal circuito di Figura 12.50, dove il diodo D_1 è in conduzione da una tensione V_D . La corrente i è data da:

$$i = \frac{v_O - v_1}{R_3} + \frac{v_O - v_1 - V_D}{R_4} \quad (12.89)$$

Dal comportamento dell'amplificatore operazionale ideale e dall'Equazione (12.81) si evince che la tensione ai terminali di ingresso dell'amplificatore operazionale è pari a un terzo della tensione di uscita. Pertanto risulta:

$$v_1 = \frac{v_O}{3} \left(1 + \frac{R_2}{R_1} \right) \quad (12.90)$$

Ricavando v_O dalle Equazioni (12.89) e (12.90) si ha:

$$v_O = \frac{3V_D}{\left(2 - \frac{R_2}{R_1} \right) \left(1 + \frac{R_4}{R_3} \right) - \frac{R_4}{R_1}} \quad \text{dove} \quad \frac{R_2}{R_1} < 2 \quad (12.91)$$

Poiché il circuito di controllo del guadagno è di fatto un circuito non lineare, l'Equazione (12.91) fornisce solo una stima del valore dell'ampiezza di uscita; ciò nonostante essa costituisce un ottimo punto di partenza per il progetto del circuito. Una simile rete di stabilizzazione dell'ampiezza può essere applicata all'oscillatore a sfasamento di Figura 12.51. In questo caso, la conduzione dei diodi regola l'effettivo valore della resistenza totale di retroazione R_F , che determina il guadagno.

ESERCIZIO Quanto valgono l'ampiezza e la frequenza di oscillazione dell'oscillatore a ponte di Wien di Figura 12.50? Si assuma $V_D = 0.6$ V.

RISPOSTE 15.9 kHz, 3.0 V.

ESERCIZIO Si simuli il funzionamento dell'oscillatore mediante SPICE e si trovino l'ampiezza e la frequenza delle oscillazioni. Si assuma per l'amplificatore operazionale un guadagno di 100 000.

RISPOSTE 15.9 kHz, 3.33 V.

12.8 Applicazioni non lineari

Fino a questo punto abbiamo considerato solo circuiti con amplificatori operazionali in cui la rete di retroazione è realizzata con elementi circuitali passivi e lineari. È tuttavia possibile realizzare circuiti che svolgono utili funzioni, utilizzando nella rete di retroazione elementi non lineari, come transistori e diodi. In questo paragrafo illustreremo alcuni esempi.

I circuiti ad amplificatore operazionale fin qui considerati, inoltre, sono circuiti a retroazione negativa, mentre molti circuiti non lineari di notevole importanza utilizzano retroazione positiva. In questo paragrafo sarà analizzata questa classe di circuiti, che comprende i multivibratori astabile e monostabile, e il trigger di Schmitt.

12.8.1 Un raddrizzatore di precisione a semionda

Il circuito **raddrizzatore di precisione a semionda** mostrato in Figura 12.52 comprende un amplificatore operazionale e un diodo. In questo circuito si evita la caduta di tensione sul diodo, presente nel semplice circuito raddrizzatore, sicché, per valori positivi, la tensione di uscita v_O è identica alla tensione di ingresso v_I . L'amplificatore operazionale "cerca" di forzare una differenza di potenziale nulla ai terminali di ingresso. Per $v_I > 0$, la tensione v_O è uguale alla tensione v_I , e inoltre $i > 0$. Poiché la corrente i_- deve essere pari a zero, la corrente del diodo i_D deve coincidere con la corrente i ; il diodo D_1 è polarizzato direttamente, e l'anello di retroazione si chiude attraverso il diodo. Per tensioni di uscita negative, tuttavia, la corrente i , e quindi i_D , assumerebbe un valore negativo. Poiché il diodo non può condurre una corrente negativa, si interdice ($i_D = 0$), e l'anello di retroazione si interrompe; la tensione di uscita è quindi pari a zero dal momento che $i = 0$.

La caratteristica del raddrizzatore di precisione è riportata in Figura 12.53. Per $v_I \geq 0$ si ha $v_O = v_I$, mentre per $v_I \leq 0$ risulta $v_O = 0$. Il raddrizzamento è quindi molto preciso; per $v_I \geq 0$, la tensione di uscita v_O dell'amplificatore operazionale "assorbe" la caduta di tensione sul diodo:

$$v_I = v_O + v_D = v_I + v_D \quad (12.92)$$

Questo circuito è in grado di realizzare un raddrizzamento molto preciso anche per piccoli valori della tensione di ingresso ed è detto a volte **superdiodo**. Le principali cause di errore sono l'errore dovuto al valore finito del guadagno dell'amplificatore operazionale, e quello dovuto alla tensione di offset (Capitolo 11).

Un problema si può verificare quando la tensione di ingresso diventa negativa. Benché la tensione di uscita sia pari a zero, come richiesto, la differenza di potenziale tra i terminali di ingresso è ora negativa, e la tensione di uscita dell'amplificatore v_I satura a un valore pari alla tensione di alimentazione negativa. I moderni amplificatori sono provvisti di protezione all'ingresso, e non sono danneggiati quando all'ingresso è applicata una tensione elevata. Amplificatori che non dispongono di un'adeguata protezione possono invece essere distrutti quando la tensione di ingresso è maggiore di 1 o 2 V. Il valore di saturazione della tensione di uscita non risulta in genere dannoso, sebbene sia necessario un certo tempo affinché i circuiti interni possano lasciare la condizione di saturazione, rallentando la velocità di funzionamento del circuito. È consigliabile, se possibile, evitare la saturazione dell'amplificatore operazionale.

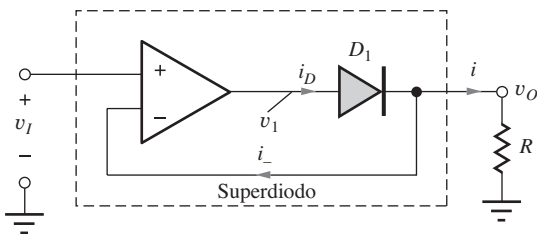


Figura 12.52 Circuito raddrizzatore a semionda di precisione (detto "superdiodo").

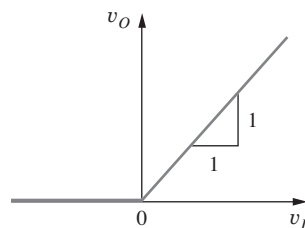


Figura 12.53 Caratteristica di trasferimento di tensione relativa al raddrizzatore di precisione.

ESERCIZIO Si supponga che il diodo D_1 in Figura 12.52 presenti una tensione di accensione di 0.6 V, e che l'operazionale lavori con delle tensioni di alimentazione di ± 10 V. Si determinino le tensioni v_O e v_1 ai nodi del circuito assumendo $v_I = +1$ V. Si ripeta il calcolo per $v_I = -1$ V. Qual è il minimo valore per la tensione di rottura del diodo?

RISPOSTE +1 V, +1.6 V; 0 V, -10 V; 10 V.

12.8.2 Circuito raddrizzatore di precisione senza saturazione

Il problema connesso alla saturazione dell'amplificatore può essere risolto utilizzando il circuito mostrato in Figura 12.54. A differenza del circuito precedente, viene utilizzata la configurazione invertente, e viene aggiunto il diodo D_2 per chiudere l'anello di retroazione quando la tensione di uscita è nulla.

Per valori positivi della tensione di ingresso (Figura 12.54(b)), la tensione di uscita dell'amplificatore operazionale diventa negativa, polarizzando direttamente il diodo D_2 , sicché la corrente i_I attraversa il diodo D_2 ed entra nel terminale di uscita dell'operazionale. Poiché l'ingresso invertente è a potenziale nullo, la corrente che attraversa la resistenza R_2 è nulla, e la tensione di uscita v_O si mantiene pari a zero.

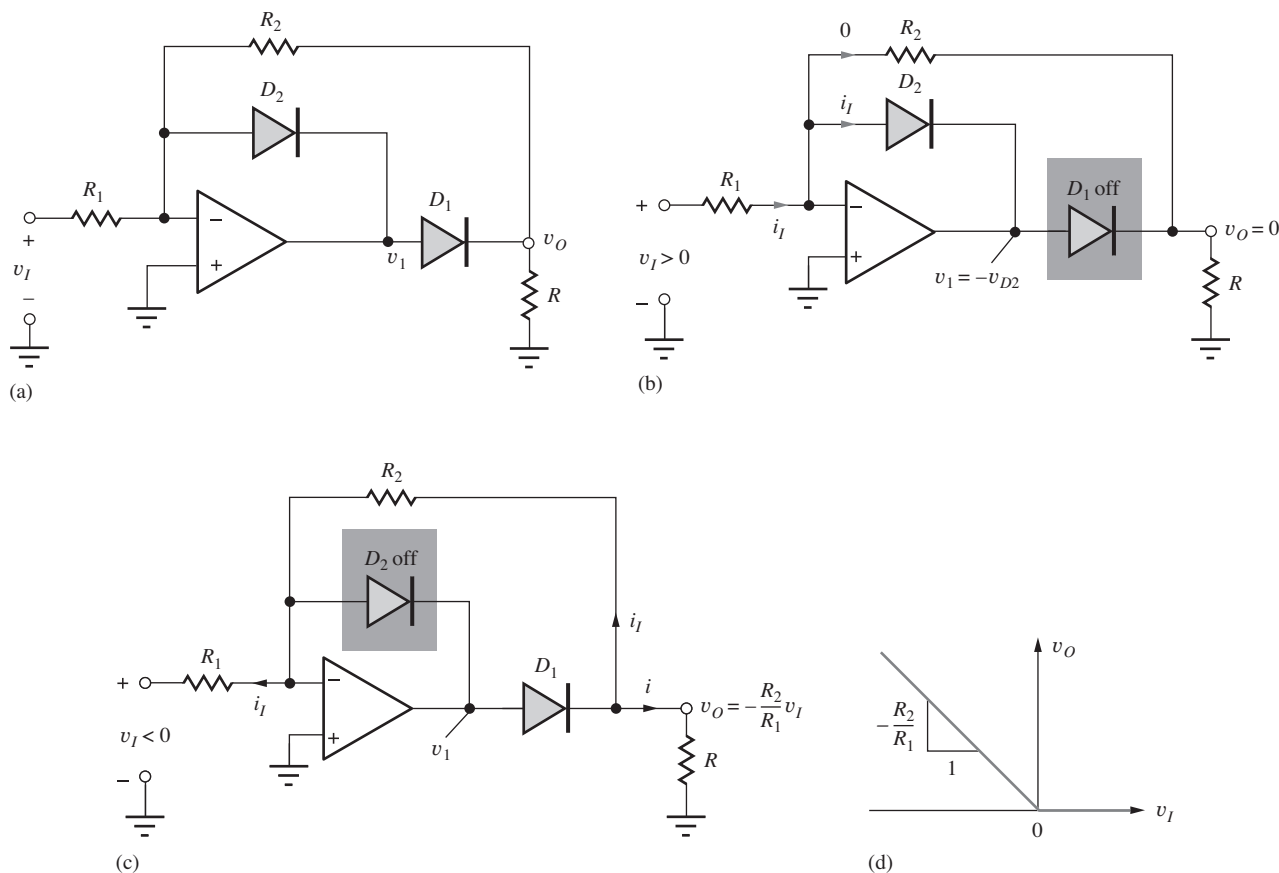
Per $v_I < 0$ (Figura 12.54(c)) il diodo D_1 entra in conduzione ed è attraversato da una corrente pari alla somma della corrente I_S , che attraversa il generatore di ingresso, e la corrente di carico i . Il diodo D_2 è interdetto. Il circuito opera quindi come un amplificatore invertente con guadagno pari a $-R_2/R_1$. La caratteristica di trasferimento complessiva è quindi descritta da:

$$v_O = 0 \text{ per } v_I \geq 0 \quad \text{e} \quad v_O = -\frac{R_2}{R_1} v_I \quad \text{per } v_I < 0 \quad (12.93)$$

ed è riportata in Figura 12.54(d). La tensione di uscita dell'amplificatore operazionale v_1 assume un valore negativo pari alla caduta sul diodo D_2 per tensioni di ingresso positive, mentre è maggiore della tensione di uscita v_O di una quantità pari alla caduta sul diodo D_1 ,

Figura 12.54

(a) Raddrizzatore di precisione che evita la saturazione. (b) Elementi della rete di retroazione in conduzione per $v_I \geq 0$. (c) Elementi della rete di retroazione in conduzione per $v_I < 0$. (d) Caratteristica di trasferimento di tensione.



per tensioni di ingresso negative. L'ingresso invertente rimane a potenziale nullo in entrambi i casi, grazie alla retroazione sempre attiva: si chiude attraverso D_1 e R_2 quando $v_I < 0$, e attraverso D_2 per $v_I > 0$.



ELETTRONICA IN AZIONE

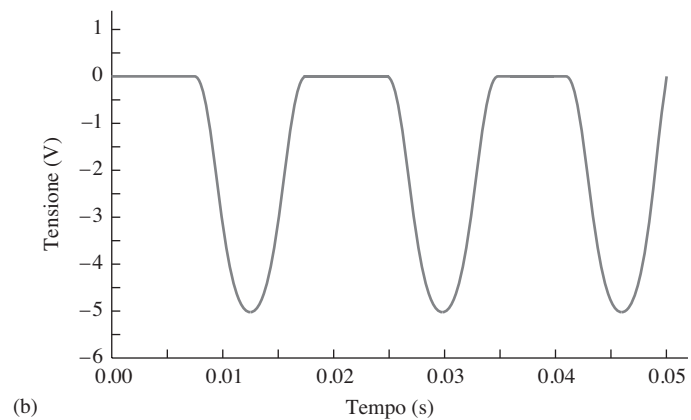
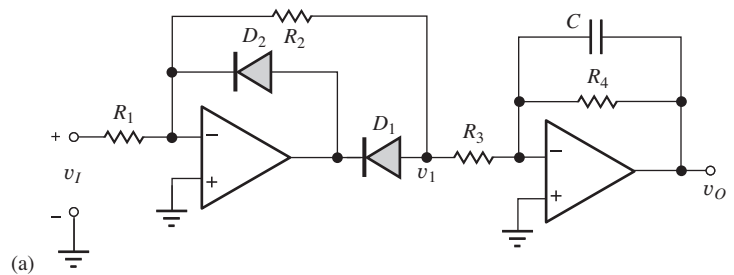
Un voltmetro in alternata

Il circuito raddrizzatore a semionda può essere collegato a un filtro passa-basso per realizzare un voltmetro, il cui circuito è mostrato in Figura 12.55. Applicando all'ingresso un segnale sinusoidale di am-

piezza V_M e frequenza ω_o , la tensione v_1 all'uscita del raddrizzatore può essere espressa utilizzando l'espansione in serie di Fourier:

$$v_1(t) = -\left(\frac{R_2}{R_1}\right)\left(\frac{V_M}{\pi}\right)\left[1 + \frac{\pi}{2} \sin \omega_o t - \sum_{n=2}^{\infty} \frac{1 + \cos n\pi}{(n^2 - 1)} \cos n\omega_o t\right] \quad (12.94)$$

Figura 12.55 (a) Voltmetro AC costituito da un raddrizzatore a semionda e da un filtro passa-basso. (b) Tensione v_1 all'uscita del raddrizzatore, per una tensione di ingresso $v_I = (-5 \sin 120\pi t) \text{ V}$, $R_1 = R_2$.



Se la frequenza di taglio del filtro bassa-basso viene scelta in modo che $\omega_C \ll \omega_o$, la tensione di uscita contiene solo la componente continua data da (si veda il Problema 12.103):

$$v_O = \frac{R_4}{R_3} \left[\frac{R_2}{R_1} \frac{V_M}{\pi} \right] \quad (12.95)$$

Il fattore di scala del voltmetro può essere modificato attraverso le quattro resistenze.

ESERCIZIO Si supponga che i diodi in Figura 12.54 presentino una tensione di accensione di 0.6 V, e che l'operazionale lavori con delle tensioni di alimentazione di $\pm 15 \text{ V}$. Si determinino le tensioni v_O e v_1 ai nodi del circuito assumendo $R_1 = 22 \text{ k}\Omega$, $R_2 = 68 \text{ k}\Omega$ e $v_I = +2 \text{ V}$. Si ripeta il calcolo per $v_I = -2 \text{ V}$. Si fornisca una stima del minimo valore della tensione di ingresso che garantisca un corretto funzionamento del circuito. Qual è il minimo valore richiesto per la tensione di rottura dei diodi, se identici?

RISPOSTE 0 V, -0.6 V; +6.18 V, +6.78 V; -4.66 V; 15 V.

ESERCIZIO Si determini il valore della tensione continua in uscita per il circuito di Figura 12.55(a) assumendo $R_1 = 3.24 \text{ k}\Omega$, $R_2 = 10.2 \text{ k}\Omega$, $R_3 = R_4 = 20 \text{ k}\Omega$ e $V_M = 2 \text{ V}$.

RISPOSTE 2.00 V.

12.9 Circuiti a retroazione positiva

I circuiti finora considerati, a eccezione di quelli utilizzati nei filtri attivi, sono basati su retroazione negativa: una tensione o una corrente proporzionale al segnale di uscita viene riportata al terminale invertente dell'amplificatore operazionale. Tuttavia, è possibile utilizzare anche la retroazione positiva per realizzare diverse funzioni non lineari, come il comparatore, il trigger di Schmitt e diversi circuiti multivibratori.

12.9.1 Il comparatore e il trigger di Schmitt

Spesso occorre confrontare una tensione con una tensione di riferimento assegnata. Questa operazione può essere effettuata dal circuito **comparatore** in Figura 12.56. L'uscita del comparatore deve fornire un livello logico 1 quando la tensione di ingresso supera la tensione di riferimento, e un livello logico 0 per valori inferiori. Lo schema più semplice di un comparatore comprende un amplificatore con guadagno molto elevato, senza rete di retroazione, come mostrato in Figura 12.56. Per tensioni di ingresso maggiori della tensione di riferimento V_{REF} , la tensione di uscita satura al valore V_{CC} , mentre per valori minori di V_{REF} , la tensione di uscita satura al valore $-V_{EE}$, come mostrato dalla caratteristica di trasferimento di tensione in Figura 12.56¹¹. Gli amplificatori realizzati per essere utilizzati come comparatori sono progettati in modo da raggiungere le due tensioni di saturazione senza ritardi eccessivi.

Si possono tuttavia verificare dei problemi quando comparatori a elevata velocità sono pilotati da segnali affetti da elevato rumore, come mostrato in Figura 12.57. Quando il segnale attraversa il livello di riferimento, si possono verificare molteplici transizioni a causa del rumore. Nei sistemi digitali si preferisce evitare queste transizioni spurie, ricorrendo al **trigger di Schmitt**, il cui circuito è riportato in Figura 12.58.

Il trigger di Schmitt utilizza un comparatore la cui tensione di riferimento è definita da un partitore di tensione collegato all'uscita. Il segnale d'ingresso è applicato al terminale invertente, e la tensione di riferimento è applicata al terminale non invertente (retroazione positiva). Per valori positivi della tensione di uscita si ha $V_{REF} = \beta V_{CC}$, mentre per valori negativi si ha $V_{REF} = -\beta V_{EE}$, dove $\beta = R_1/(R_1 + R_2)$. La tensione di riferimento, quindi, cambia quando cambia la tensione di uscita.

Si consideri il caso in cui la tensione di ingresso aumenti a partire da un valore minore della tensione V_{REF} , come mostrato in Figura 12.59. La tensione di uscita è pari a V_{CC} , mentre la tensione di riferimento è pari a $V_{REF} = \beta V_{CC}$. Quando la tensione d'ingresso attraversa il livello di riferimento V_{REF} , l'uscita cambia stato e assume il valore $-V_{EE}$, determinando

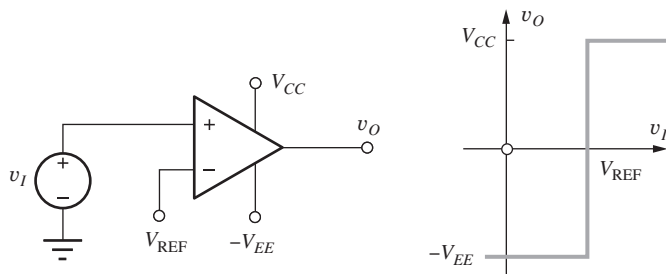


Figura 12.56 Circuito comparatore realizzato con un amplificatore a guadagno infinito.

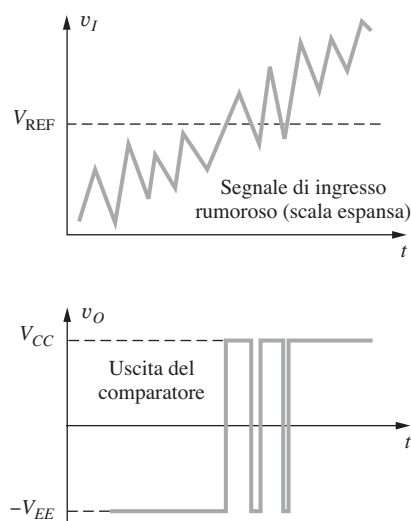


Figura 12.57 Risposta del comparatore a un segnale affetto da rumore.

¹¹ In questo paragrafo assumeremo che l'uscita possa raggiungere le tensioni di alimentazione.

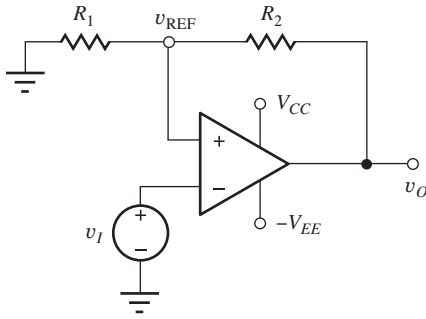


Figura 12.58 Circuito del trigger di Schmitt.

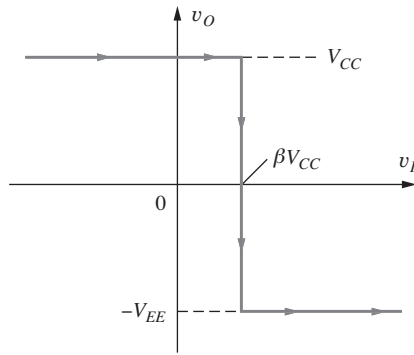
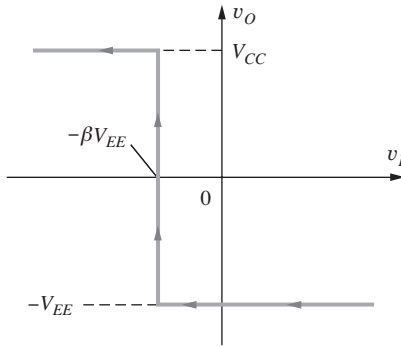
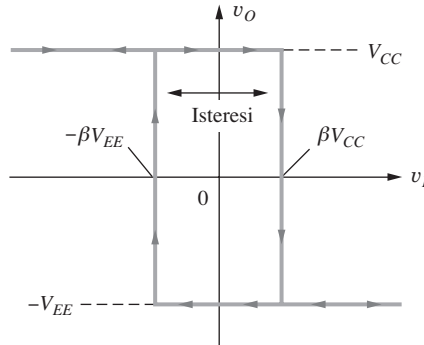
Figura 12.59 Caratteristica di trasferimento di tensione del trigger di Schmitt, per valori crescenti di v_I a partire da valori minori di $V_{REF} = +\beta V_{CC}$.Figura 12.60 Caratteristica di trasferimento di tensione del trigger di Schmitt, per valori decrescenti di v_I a partire da valori maggiori di $V_{REF} = -\beta V_{EE}$.

Figura 12.61 Caratteristica di trasferimento di tensione completa del trigger di Schmitt.

la riduzione della tensione di riferimento e quindi un incremento della differenza di potenziale all'ingresso del comparatore. Affinché possa verificarsi una nuova commutazione dello stato del comparatore, è ora necessario che la tensione di ingresso diventi minore di $V_{REF} = -\beta V_{EE}$, come mostrato in Figura 12.60.

Analizziamo ora il caso in cui la tensione v_I diminuisca a partire da un valore elevato, come mostrato in Figura 12.60. L'uscita si trova alla tensione $-V_{EE}$, mentre la tensione di riferimento è pari a $V_{REF} = -\beta V_{EE}$. Quando il segnale di ingresso attraversa la tensione di riferimento V_{REF} , la tensione di uscita commuta al valore V_{CC} , determinando un incremento della tensione di riferimento e quindi un incremento della differenza di tensione presente all'ingresso del comparatore. La caratteristica di trasferimento di tensione complessiva del trigger di Schmitt è mostrata in Figura 12.61, e si ottiene facilmente dalle caratteristiche riportate nelle Figure 12.59 e 12.60. La freccia indica il tratto di caratteristica attraversato in corrispondenza di valori crescenti o decrescenti della tensione di ingresso. La caratteristica di trasferimento del trigger di Schmitt presenta un'isteresi, e risulta insensibile al rumore presente all'ingresso, se l'ampiezza del rumore è inferiore alla differenza V_n tra le tensioni di soglia:

$$V_n < \beta[V_{CC} - (-V_{EE})] = \beta(V_{CC} + V_{EE}) \quad (12.96)$$

Il trigger di Schmitt con retroazione positiva rappresenta un esempio di circuito con due stati stabili, detto anche **circuito bistabile** o **multivibratore bistabile**. Un altro esempio di circuito bistabile è il Flip-Flop.

ESERCIZIO Assumendo $V_{CC} = +10 \text{ V} = V_{EE}$, $R_1 = 1 \text{ k}\Omega$ e $R_2 = 9.1 \text{ k}\Omega$, si determinino il valore delle tensioni di commutazione del trigger di Schmitt e l'ampiezza dell'isteresi.

RISPOSTE $+0.99 \text{ V}$, -0.99 V , 1.98 V .

12.9.2 Il multivibratore astabile

Un altro tipo di circuito multivibratore utilizza sia retroazione positiva che negativa, ed è utilizzato come generatore d'onda quadra. L'uscita di questo circuito (Figura 12.62) non possiede uno stato stabile, e il circuito è detto **circuito astabile** o **multivibratore astabile**.

Il funzionamento del circuito astabile può essere compreso più facilmente considerando le forme d'onda mostrate in Figura 12.63. La tensione di uscita commuta periodicamente (oscilla) tra le tensioni V_{CC} e $-V_{EE}$. Assumiamo che l'uscita abbia appena effettuato la commutazione al valore $v_O = V_{CC}$, all'istante $t = 0$. La tensione al terminale invertente dell'amplificatore operazionale tende secondo una legge esponenziale al valore finale V_{CC} , con una costante di tempo $\tau = RC$. La tensione sul condensatore all'istante della commutazione dell'uscita è pari a $v_C = -\beta V_{EE}$. La tensione sul condensatore è quindi data da:

$$v_C(t) = V_{CC} - (V_{CC} + \beta V_{EE}) \exp\left(-\frac{t}{RC}\right) \quad (12.97)$$

Il comparatore cambia nuovamente stato all'istante T_1 , quando $v_C(t)$ raggiunge il valore βV_{CC} :

$$\beta V_{CC} = V_{CC} - (V_{CC} + \beta V_{EE}) \exp\left(-\frac{T_1}{RC}\right) \quad (12.98)$$

Risolvendo la precedente equazione rispetto a T_1 si ottiene:

$$T_1 = RC \ln \frac{1 + \beta \left(\frac{V_{EE}}{V_{CC}}\right)}{1 - \beta} \quad (12.99)$$

Durante l'intervallo T_2 , l'uscita è bassa e il condensatore si scarica; a partire dal valore iniziale βV_{CC} , la tensione $v_C(t)$ tende al valore finale $-V_{EE}$. In questo caso la tensione sul condensatore è data da

$$v_C(t') = -V_{EE} + (V_{EE} + \beta V_{CC}) \exp\left(-\frac{t'}{RC}\right) \quad (12.100)$$

in cui l'istante $t' = 0$ definisce l'inizio dell'intervallo T_2 . Per $t' = T_2$, si ha $v_C = -\beta V_{EE}$:

$$-\beta V_{EE} = -V_{EE} + (V_{EE} + \beta V_{CC}) \exp\left(-\frac{T_2}{RC}\right) \quad (12.101)$$

Figura 12.62
Circuito multivibratore astabile realizzato con un amplificatore operazionale.

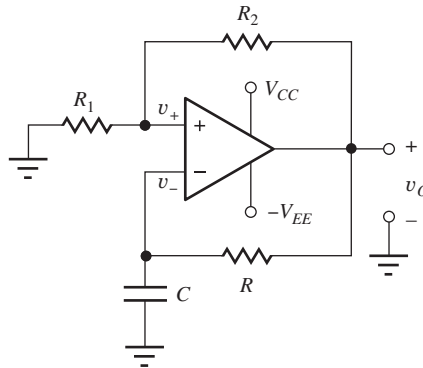
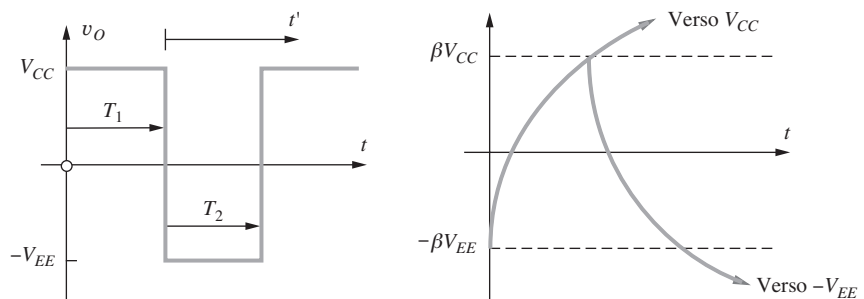


Figura 12.63
Forme d'onda per il multivibratore astabile.



e quindi l'intervallo T_2 è pari a:

$$T_2 = RC \ln \frac{1 + \beta \left(\frac{V_{CC}}{V_{EE}} \right)}{1 - \beta} \quad (12.102)$$

Se le tensioni di alimentazione sono simmetriche ($V_{CC} = V_{EE}$), come di solito avviene, l'uscita del multivibratore astabile è un'onda quadra, con periodo T pari a:

$$T = T_1 + T_2 = 2RC \ln \frac{1 + \beta}{1 - \beta} \quad (12.103)$$

ESERCIZIO Si calcoli la frequenza di oscillazione del circuito di Figura 12.62 assumendo $V_{CC} = +5 \text{ V}$, $-V_{EE} = -5 \text{ V}$, $R_1 = 6.8 \text{ k}\Omega$, $R_2 = 6.8 \text{ k}\Omega$, $R = 10 \text{ k}\Omega$ e $C = 1 \text{ nF}$.

RISPOSTE 45.5 kHz.



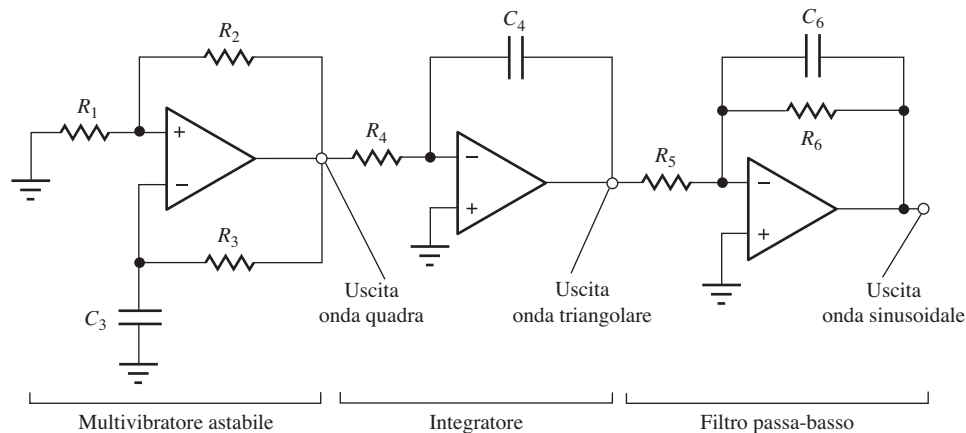
ELETTRONICA IN AZIONE

Generatori analogici di funzioni

Generatori analogici di funzioni

Nella strumentazione dei laboratori didattici di elettronica è sempre presente un generatore di funzioni a bassa frequenza in grado di produrre funzioni d'onda elementari, come onde quadre, triangolari e sinusoidali a frequenze fino a qualche megahertz. Per molti anni i generatori di funzioni sono stati realizzati in modo economico utilizzando il multivibratore astabile, secondo lo schema mostrato in figura. La frequenza dell'oscillatore può essere modificata, cambiando il valore di R_3 oppure di C_3 .

La variazione della capacità C_3 avviene spesso per passi di una decade, mentre la resistenza R_3 può assumere valori continui regolando un potenziometro. L'uscita del multivibratore astabile pilota un integratore in modo da produrre una forma d'onda triangolare. L'uscita dell'integratore viene poi collegata all'ingresso di un filtro passa-basso, o di un circuito formatore d'onda lineare a tratti, per produrre una forma d'onda sinusoidale a bassa distorsione.



Schema di un semplice generatore di funzioni basato su un multivibratore astabile, un integratore e un filtro passa-basso.

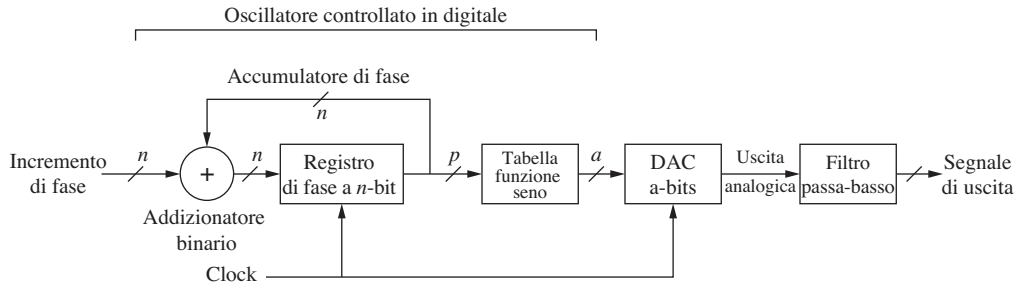


Generatore di funzioni Keysight. IFoto: © Keysight Technologies 2014. Tutti i diritti riservati.

Sintesi digitale diretta

I generatori di funzioni analogici sono stati sostituiti con strumenti basati sulla sintesi digitale diretta (DSS, *Direct Digital Synthesis*), il cui schema a blocchi è riportato in figura. Nella DSS la forma d'onda

viene costruita nel dominio digitale, e il segnale analogico di uscita viene prodotto da un convertitore D/A seguito da un filtro passa-basso.



La sezione digitale di un *Direct Digital Synthesizer* consiste in un accumulatore di fase a n bit e da una tabella dati che contiene i valori della funzione seno. Per generare un'onda sinusoidale, un incremento a n bit viene aggiunto a ogni ciclo di clock al valore corrente dell'accumulatore di fase. Il valore massimo memorizzabile nell'accumulatore di fase (2^n) corrisponde a 2π radianti ovvero un ciclo della sinusoide di uscita. Se la fase viene incrementata di un'unità in ciascun intervallo di clock, il periodo massimo della forma d'onda di uscita, corrispondente alla minima frequenza di uscita $f_{\min}$, risulta

$$T_{\max} = 2^n T_{\text{clk}} \quad \text{ovvero} \quad f_{\min} = \frac{f_{\text{clk}}}{2^n}$$

dove T_{clk} è il periodo del clock e f_{clk} è la frequenza di clock. La minima frequenza di uscita rappresenta anche la risoluzione in frequenza del DSS. Per generare segnali a frequenza superiore, un maggiore incremento di fase N viene aggiunto alla fase a ogni ciclo di clock, e $f_o = Nf_{\min}$. Per esempio, per $f_{\text{clk}} = 20$ MHz e $n = 24$, $f_{\min} \approx 1.192$ Hz. Per generare una sinusoide a 10 kHz un incremento di fase di 8389 (10 000/1.192) sarebbe aggiunto alla fase a ogni ciclo di clock. In base al teorema del campionamento di Nyquist, la più alta frequenza che può essere generata è la metà della frequenza di clock (con $N = 2^{n/2}$), dal mo-

mento che f_{clk} è la frequenza di aggiornamento del convertitore D/A.

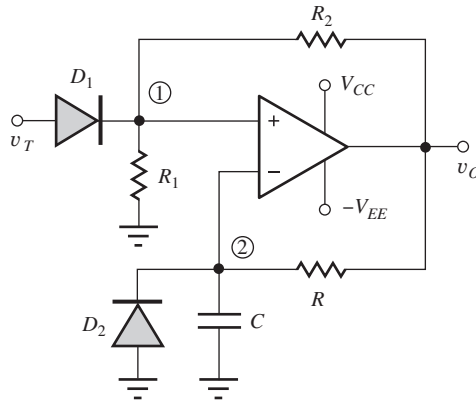
Per ridurre le dimensioni della tabella, solo i p bit più significativi dell'accumulatore di fase sono utilizzati per indirizzare la tabella, e si impiegano anche delle tecniche di compressione ROM. L'uscita della tabella dati è una rappresentazione con a bit dell'ampiezza della funzione seno, dove " a " corrisponde al numero di bit del convertitore D/A. A causa della risoluzione finita della rappresentazione della fase del segnale e dell'ampiezza si produce una distorsione della forma d'onda di uscita. Il filtro passa-basso contribuisce a rimuovere la distorsione e il contenuto spettrale ad alta frequenza relativo alla frequenza di aggiornamento del DAC (f_{clk}).

La sintesi digitale diretta è in grado di garantire un'elevata flessibilità in quanto è possibile generare forme d'onda molto complesse nel dominio digitale. Per esempio, è possibile generare funzioni seno e coseno con una relazione di fase a 90° molto precisa, ed è possibile generare onde triangolari oppure onde quadre modificando l'informazione di aggiornamento della fase in funzione del tempo. Si possono anche generare forme d'onda modulate in AM e FM, con un modesto incremento della complessità del circuito.

12.9.3 Il multivibratore monostabile (*one shot*)

Un terzo tipo di multivibratore opera con uno stato stabile ed è utilizzato per generare un singolo impulso di durata stabilita, in seguito all'applicazione di un segnale di innesco. Il circuito presenta uno stato stabile, nel quale rimane fino a quando, a seguito dell'applicazione di un segnale di innesco di tipo impulsivo, genera un impulso di durata stabilita T . Al termine dell'intervallo T , il circuito ritorna nello stato stabile, nel quale rimane fino al successivo impulso di innesco (*triggering pulse*). Questo **circuito monostabile** è anche detto **multivibratore monostabile**, o a **singolo impulso** (*one shot*).

Un esempio di multivibratore monostabile realizzato con un comparatore è mostrato in Figura 12.64. Il diodo D_1 è stato aggiunto al circuito del multivibratore astabile di Figura 12.62, allo scopo di collegare opportunamente il circuito al segnale di innesco, mentre il diodo di aggancio D_2 è stato aggiunto per limitare l'escursione negativa della tensione sul condensatore C .

**Figura 12.64**Esempio di circuito
multivibratore monostabile.

Il circuito si trova inizialmente nello stato stabile, con tensione di uscita $v_O = -V_{EE}$. Se il segnale di innesco v_T è inferiore alla tensione presente al nodo 1, ovvero se

$$v_T < -\frac{R_1}{R_1 + R_2} V_{EE} = -\beta V_{EE} \quad (12.104)$$

il diodo D_1 è interdetto. Il condensatore si scarica attraverso la resistenza R fino a quando il diodo D_2 entra in conduzione, fissando la tensione del condensatore a un valore negativo dato dalla tensione del diodo. In queste condizioni, il segnale differenziale v_{ID} all'ingresso del comparatore è dato da:

$$v_{ID} = -\beta V_{EE} - (-V_D) = -\beta V_{EE} + V_D \quad (12.105)$$

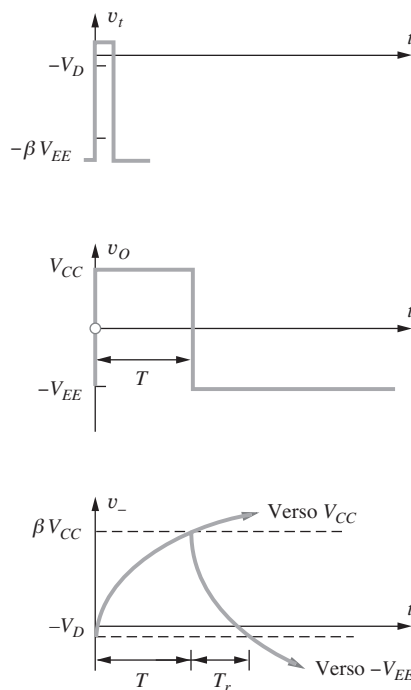
Se il partitore di tensione è tale che

$$v_{ID} < 0 \quad \text{ovvero} \quad \beta V_{EE} > V_D \quad \text{dove} \quad \beta = \frac{R_1}{R_1 + R_2} \quad (12.106)$$

l'uscita del circuito presenterà uno stato stabile.

Commutazione del multivibratore monostabile

La commutazione del multivibratore monostabile può essere ottenuta applicando un impulso positivo di comando v_T , come mostrato in Figura 12.65. Quando l'impulso di coman-

**Figura 12.65**Forme d'onda per il
multivibratore monostabile.

do supera la tensione $-\beta V_{EE}$, il diodo D_1 entra in conduzione, e porta la tensione del nodo 1 a un valore maggiore rispetto a quella sul nodo 2. A questo punto il comparatore cambia stato, e la tensione al terminale non invertente aumenta bruscamente a un valore pari a $+\beta V_{CC}$. Il diodo D_1 passa in interdizione, isolando il comparatore da ulteriori variazioni del segnale di innesco.

La tensione sul condensatore cambia dal valore iniziale pari a $-V_D$, tendendo a un valore finale pari a V_{CC} , come espresso dalla relazione

$$v_C(t) = V_{CC} - (V_{CC} + V_D) \exp\left(-\frac{t}{RC}\right) \quad (12.107)$$

dove l'origine dell'asse dei tempi ($t = 0$) coincide con l'istante di applicazione dell'impulso di comando. Lo stato del comparatore, tuttavia, cambia di nuovo, quando la tensione sul condensatore raggiunge il valore $+\beta V_{CC}$. La durata dell'intervallo T è quindi pari a:

$$\beta V_{CC} = V_{CC} - (V_{CC} + V_D) \exp\left(-\frac{T}{RC}\right) \quad \text{ovvero} \quad T = RC \ln \frac{1 + \left(\frac{V_D}{V_{CC}}\right)}{1 - \beta} \quad (12.108)$$

L'uscita del circuito è quindi data da un impulso positivo di durata pari a T , definita dai valori di R_1 , R_2 , R e C .

Per generare un impulso di durata ben definita, è necessario evitare l'innesco della commutazione del circuito fino a quando le tensioni ai diversi nodi siano ritornate ai valori stazionari. Quando la tensione di uscita torna al valore $-V_{EE}$, la tensione del condensatore cambia dal valore βV_{CC} , tendendo al valore $-V_{EE}$, ma raggiunge il valore stazionario quando il diodo D_2 incomincia a condurre. Il tempo di recupero può quindi essere espresso da:

$$-V_D = -V_{EE} + (V_{EE} + \beta V_{CC}) \exp\left(-\frac{T_r}{RC}\right) \quad \text{e} \quad T_r = RC \ln \frac{1 + \beta \left(\frac{V_{CC}}{V_{EE}}\right)}{1 - \left(\frac{V_D}{V_{EE}}\right)} \quad (12.109)$$

ESERCIZIO Si assuma per il circuito di Figura 12.64 $V_{CC} = +5 \text{ V} = V_{EE}$, $R_1 = 22 \text{ k}\Omega$, $R_2 = 18 \text{ k}\Omega$, $R = 11 \text{ k}\Omega$, $C = 2 \text{ nF}$. Qual è la durata dell'impulso? Qual è il valore minimo dell'intervallo tra impulsi di comando successivi?

RISPOSTE 20.4 μs ; 33.4 μs .

Riferimenti bibliografici

- [1] J.A. Connelly e P. Choi, *Macromodeling with SPICE*, Prentice Hall, Englewood Cliffs, NJ: 1992.
- [2] G.R. Boyle, B.M. Cohen, D.O. Pederson e J.E. Soloman, "Macromodeling of integrated circuit operational amplifiers", *IEEE Journal of Solid-State Circuits*, vol. SC-9, no. 6, pp. 353-364, dicembre 1974.
- [3] M.S. Ghausi e K.R. Laker, *Modern Filter Design - Active RC and Switched Capacitor*, Prentice-Hall, Englewood Cliffs, NJ: 1981.
- [4] P. Huelsman e P.E. Allen, *Introduction to Theory and Design of Active Filters*, McGraw-Hill, New York: 1980.

Lecture addizionali

- S. Franco, *Amplificatori operazionali e circuiti integrati analogici*, Hoepli: 1992.
- S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, quarta ed., McGraw-Hill, New York: 2015.
- M.S. Ghausi e K.R. Laker, *Modern Filter Design - Active RC and Switched Capacitor*, PrenticeHall, Englewood Cliffs, NJ: 1981.
- P.R. Gray, P.J. Hurst, S.H. Lewis e R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, quinta ed., John Wiley and Sons, New York: 2009.
- L.P. Huelsman e P.E. Allen, *Introduction to Theory and Design of Active Filters*, McGraw-Hill, New York: 1980.
- E.J. Kennedy, *Operational Amplifier Circuits - Theory and Applications*, Holt, Rinehart and Winston, New York: 1988.

Modelli di piccolo segnale e amplificazione lineare

13

Obiettivi

In questo capitolo approfondiamo lo studio degli amplificatori lineari.

- I transistori come amplificatori lineari.
- I circuiti equivalenti in DC e in AC.
- L'utilizzo di condensatori di accoppiamento e di bypass e di induttori per modificare i circuiti equivalenti AC e DC.
- Il concetto di "piccolo segnale".
- I modelli per piccoli segnali per diodi e transistori.
- Gli amplificatori a emettitore comune e a source comune.
- Le caratteristiche degli amplificatori: guadagno di tensione, resistenze d'ingresso e di uscita, massima escursione dei segnali compatibile con il funzionamento per piccoli segnali.
- Le regole approssimate per il guadagno di tensione degli amplificatori a emettitore comune e a source comune.
- Miglioramento della comprensione delle differenze in SPICE fra analisi AC per piccoli segnali e analisi in transitorio.

In questo capitolo iniziamo lo studio dei circuiti amplificatori fondamentali, che sono utilizzati per il progetto di sistemi e componenti analogici complessi, quali amplificatori operazionali a elevate prestazioni, convertitori analogico-digitali e digitali-analogici, lettori di compact-disk, dispositivi wireless, telefoni cellulari e così via. A prima vista, lo schema di un amplificatore operazionale, come quello mostrato di seguito, rappresenta una intricata rete di transistori e componenti passivi; studieremo come semplificare lo studio di circuiti di questa complessità, suddividendo le analisi in AC e in DC del circuito.

Al fine di predire il comportamento dettagliato del circuito dovremo essere in grado di costruire dei modelli matematici che descrivono il circuito stesso. Nei capitoli successivi acquisiremo inoltre familiarità con i sottocircuiti fondamentali che verranno utilizzati come elementi base per costruire sistemi elettronici più complessi. Con la pratica, saremo in grado di assemblare tali sottocircuiti e di utilizzare la nostra conoscenza dei sottocircuiti per comprendere il funzionamento dell'intero sistema.

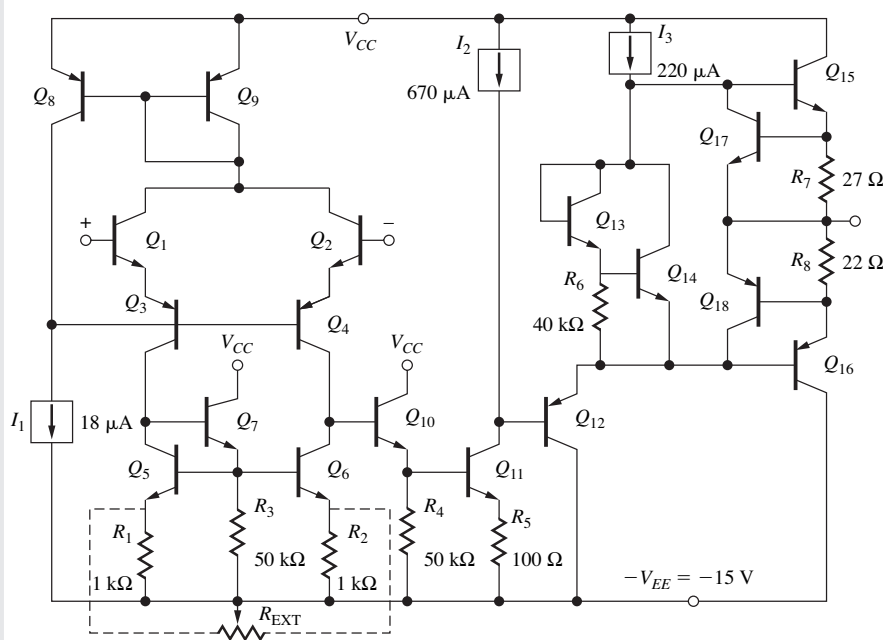
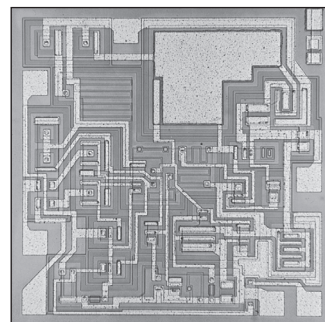
In questo capitolo studieremo come un singolo transistor possa operare da amplificatore, per poi analizzare in dettaglio il funzionamento dei circuiti con transistori bipolari in configurazione a emettitore comune. In se-

guito verranno analizzati gli amplificatori a source comune con MOSFET. Verranno determinate le espressioni del guadagno di tensione e delle resistenze di ingresso e di uscita dei vari circuiti, discutendo in dettaglio i vantaggi e gli svantaggi di ciascuno di essi.

Per semplificare l'analisi e il progetto, useremo il principio di sovrapposizione secondo il quale si può utilizzare un circuito equivalente in DC per ottenere il punto di lavoro o punto Q dei transistori, e un circuito equivalente in AC per calcolare la risposta del circuito ai segnali applicati in ingresso.

L'utilizzo del principio di sovrapposizione si basa sulla linearità del circuito, pertanto la nostra analisi AC richiederà l'utilizzo di modelli per "piccoli segnali" caratterizzati da una relazione lineare fra tensioni e correnti ai terminali. Svilupperemo quindi il concetto di piccolo segnale e discuteremo in dettaglio i modelli per piccoli segnali per il diodo, il transistor bipolare e il MOSFET.

In questo capitolo sono presentati diversi esempi di analisi completa di amplificatori a emettitore comune e a source comune; vengono inoltre analizzate in dettaglio le relazioni fra la scelta del punto di lavoro e le caratteristiche per piccoli segnali dei vari amplificatori, così come vengono studiate le relazioni fra la scelta del punto Q e l'escursione del segnale di uscita.

Schema circuitale dell'amplificatore operazionale $\mu A741$.Fotografia di un amplificatore operazionale $\mu A741$. [© Fairchild Semiconductor International.]

13.1 Il transistor come amplificatore

Il transistor bipolare a giunzione (BJT) è un ottimo amplificatore quando è polarizzato in regione attiva diretta; i transistori a effetto di campo devono essere invece polarizzati in regione di saturazione (o *pinch-off*) per poter essere utilizzati come amplificatori. D'ora in avanti, per semplicità, diremo che un dispositivo (sia esso BJT o MOS) è in "regione attiva" quando è polarizzato in modo da poter essere utilizzato al meglio come amplificatore lineare. Un transistor in regione attiva è in grado di fornire elevati guadagni di tensione, di corrente e di potenza.

In questo capitolo ci occupiamo della valutazione del guadagno di tensione e delle resistenze di ingresso e di uscita degli amplificatori elementari, rimandando ai capitoli successivi l'analisi del guadagno di corrente e di potenza.

Per realizzare un amplificatore, dobbiamo anzitutto polarizzare il transistor, stabilizzando il punto di lavoro nella regione desiderata delle caratteristiche di uscita. Solo dopo aver definito il punto di lavoro Q il transistor può funzionare da amplificatore. Dal punto Q dipendono molte caratteristiche dell'amplificatore, fra cui:

- i parametri per piccoli segnali del transistor;
- il guadagno di tensione e le resistenze di ingresso e di uscita;
- le ampiezze massime dei segnali di ingresso e di uscita;
- la dissipazione di potenza.

13.1.1 L'amplificatore a BJT

Per meglio comprendere come un transistor possa amplificare un segnale di ingresso, consideriamo un circuito in cui un transistor bipolare a giunzione è polarizzato in regione attiva diretta mediante un generatore di tensione continua collegato fra i terminali di base e di emettitore, come mostra la Figura 13.1(a). In questo caso particolare, la tensione base-emettitore V_{BE} di 0.700 V fissa il punto Q a $(I_C, V_{CE}) = (1.5 \text{ mA}, 5 \text{ V})$, con $I_B = 15 \text{ μA}$, come indicato dalle caratteristiche di uscita e dalla retta di carico in Figura 13.1(b). (Si noti che in Figura 13.1(b) le caratteristiche di uscita del BJT hanno come parametri sia I_B sia V_{BE} , mentre usualmente viene riportato il solo parametro I_B .)

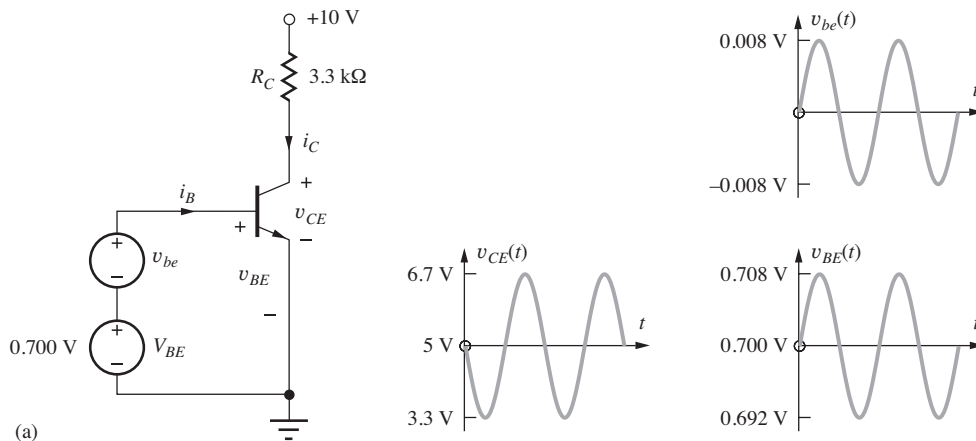
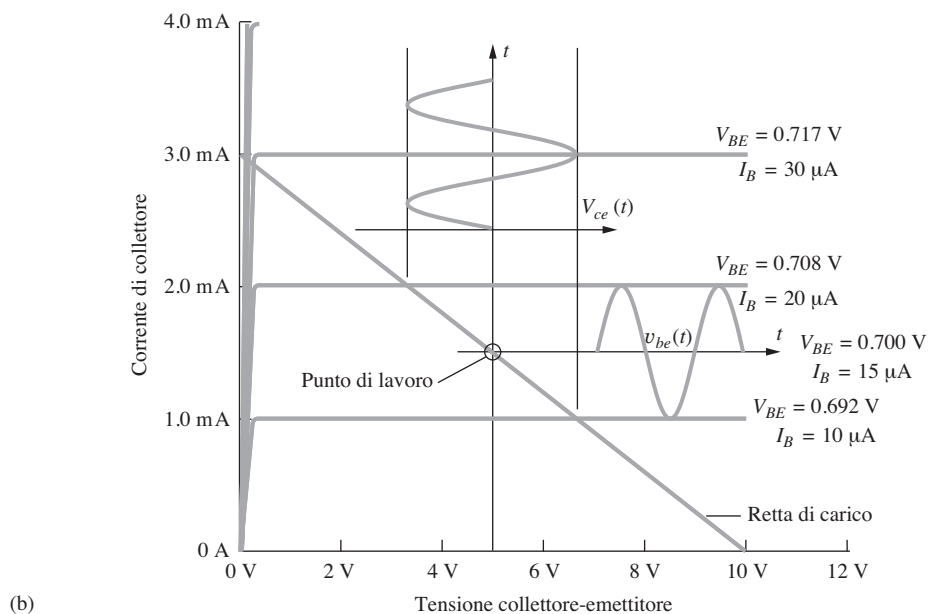


Figura 13.1

(a) BJT polarizzato in regione attiva diretta da un generatore di tensione in continua V_{BE} . In serie a V_{BE} è presente un generatore di segnale sinusoidale di piccola ampiezza v_{be} . (b) Retta di carico, punto di lavoro e segnali di ingresso e di uscita per il circuito di Figura 13.1(a).



In un amplificatore, è necessario iniettare il segnale di ingresso nel circuito, in modo da far variare le tensioni e le correnti del transistor con il segnale applicato. Nel caso del circuito di Figura 13.1, la tensione base-emettitore varia rispetto al punto Q , grazie alla presenza del generatore di segnale v_{be} posto in serie al generatore V_{BE} . La tensione totale base-emettitore è data da:

$$v_{BE} = V_{BE} + v_{be} \quad (13.1)$$

Dalla Figura 13.1(b) vediamo che una escursione di 8 mV della tensione base-emettitore comporta una variazione della corrente di base di 5 μ A e una variazione della corrente di collettore di 0.5 mA.

La tensione collettore-emettitore del BJT può essere espressa come:

$$v_{CE} = 10 \text{ V} - i_C R_C = 10 \text{ V} - 3.3 \text{ k}\Omega \times i_C \quad (13.2)$$

La (13.2) è l'equazione della retta di carico del transistor. La variazione della corrente di collettore comporta una variazione di tensione ai capi del resistore di carico R_C e quindi anche al terminale di collettore del transistor; la variazione della corrente di collettore di 0.5 mA comporta una variazione di 1.65 V della tensione collettore-emettitore.

Se queste variazioni rispetto alle correnti e alle tensioni di polarizzazione sono sufficientemente piccole, la corrente di collettore e la tensione collettore-emettitore saranno delle repliche non distorte del segnale di ingresso. Il concetto di segnale "sufficientemente piccolo"

lo” verrà definito rigorosamente in seguito, quando verrà introdotto il modello per piccoli segnali del transistor bipolare.

Nella Figura 13.1 vediamo come una piccola variazione della tensione di ingresso in base comporti una sensibile variazione di tensione al terminale di collettore. L’amplificazione di tensione per questo circuito è definita considerando la variazione della tensione di uscita rispetto a quella di ingresso:

$$A_v = \frac{\Delta v_{CE}}{\Delta v_{BE}} = \frac{v_{ce}}{v_{be}} = \frac{-1.65 \text{ V}}{8 \text{ mV}} = -206 \quad (13.3)$$

L’ampiezza della tensione collettore-emettitore è 206 volte maggiore rispetto a quella del segnale in base, con un guadagno di tensione di 206. È importante osservare dalla Figura 13.1 che la tensione di uscita decresce se il segnale di ingresso aumenta, indicando uno sfasamento di 180° fra le fasi dei segnali di ingresso e di uscita e l’amplificatore è di tipo invertente. Lo sfasamento di 180° è rappresentato dal segno meno nell’Equazione (13.3). Il transistor in Figura 13.1 ha l’emettitore collegato al riferimento di tensione; il circuito è chiamato **amplificatore a emettitore comune**. Si osservi che l’Equazione 13.2 è l’equazione della retta di carico per questo transistor.

ESERCIZIO Il guadagno di corrente a emettitore comune di un transistor bipolare è definito dalla relazione $\beta_F = I_C/I_B$. (a) Qual è il valore di β_F per il transistor di Figura 13.1(b)? (b) La corrente di collettore di un BJT in regione attiva diretta è data da: $I_C = I_S \exp(V_{BE}/V_T)$. Si utilizzino le coordinate del punto Q per calcolare la corrente di saturazione I_S del transistor di Figura 13.1 (si ricordi che $V_T = 25 \text{ mV}$ a temperatura ambiente). (c) Il rapporto v_{be}/i_b rappresenta la resistenza di ingresso per piccoli segnali R_{in} del BJT. Qual è il suo valore per il transistor di Figura 13.1? (d) Il BJT rimane sempre in regione attiva diretta, nonostante l’escursione della tensione di collettore? (e) Esprimere il guadagno di tensione in decibel.

RISPOSTE $\beta_F = 100$; $I_S = 1.04 \text{ fA}$; $R_{in} = 1.6 \text{ k}\Omega$; sì, poiché $V_{CE}^{\min} = 3.4 \text{ V} > V_{BE} = 0.708 \text{ V}$; 46.3 dB.

13.1.2 L’amplificatore a MOSFET

Il circuito amplificatore a MOSFET di Figura 13.2 è del tutto analogo all’amplificatore a BJT di Figura 13.1. In questo caso, la tensione gate-source varia intorno al punto di lavoro ($V_{GS} = 3.5 \text{ V}$) a causa della presenza del generatore di segnale v_{gs} in serie al generatore di tensione continua V_{GS} . La tensione totale gate-source è data da:

$$v_{GS} = V_{GS} + v_{gs}$$

La Figura 13.2(b) mostra come $V_{GS} = 3.5 \text{ V}$ consenta di posizionare il punto Q alle coordinate (I_{DS}, V_{DS}) = (1.56 mA, 4.8 V), mentre un’escursione picco-picco ($p-p$) di 1 V di v_{GS} comporta una variazione $p-p$ di 1.25 mA della i_D .

In questo circuito, la tensione drain-source del MOSFET può essere scritta come

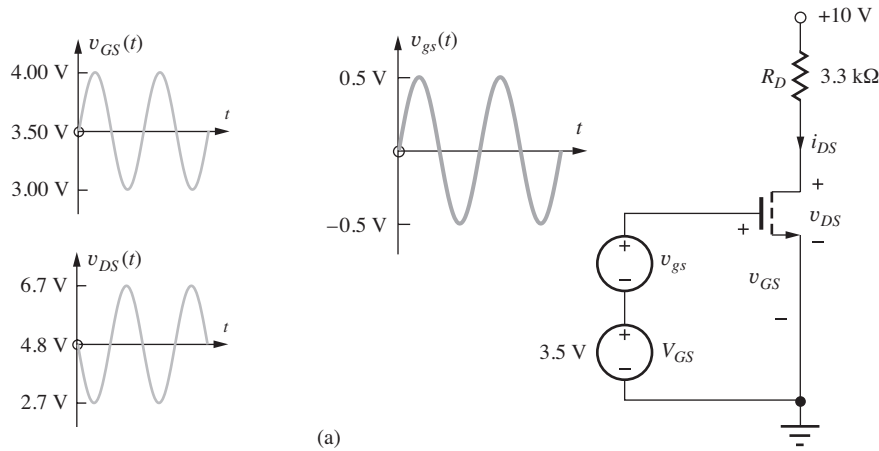
$$v_{DS} = 10 \text{ V} - 3.3 \text{ k}\Omega \times i_D \quad (13.4)$$

La variazione picco-picco di 1.25 mA della corrente di drain causa una corrispondente variazione di 4.13 V della tensione drain-source del MOSFET. Se queste variazioni delle correnti e tensioni operative sono anche in questo caso abbastanza basse da poter essere considerate “piccoli segnali”, allora la forma d’onda del segnale di tensione drain-source risulterà una replica non distorta del segnale di ingresso applicato al gate. La definizione di piccolo segnale per il MOSFET è diversa da quella per il BJT e sarà definita quando verrà introdotto il modello per piccoli segnali del MOSFET.

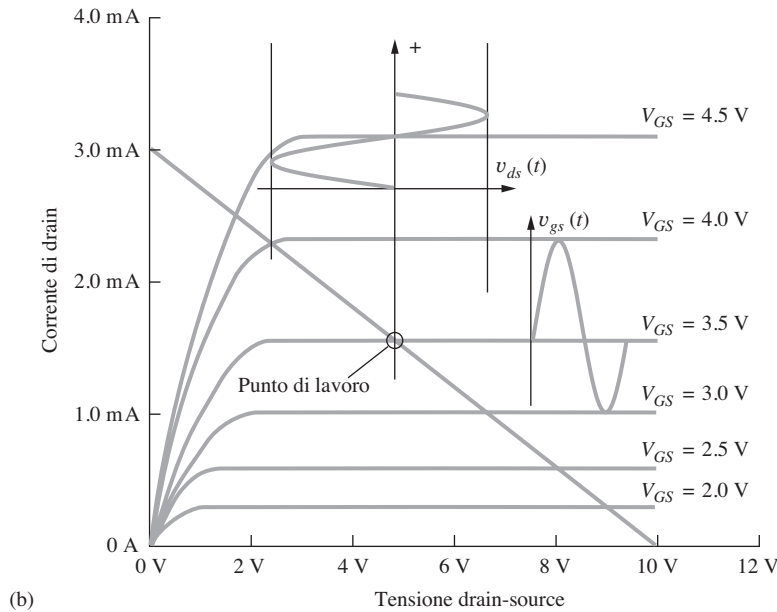
Nella Figura 13.2 la tensione di ingresso applicata al gate provoca una variazione di tensione maggiore al drain e il guadagno di tensione è dato da

$$A_v = \frac{\Delta v_{DS}}{\Delta v_{GS}} = \frac{v_{ds}}{v_{gs}} = \frac{-4.13 \text{ V}}{1 \text{ V}} = -4.13 \quad (13.5)$$

In questo caso, il source del transistor è connesso al potenziale di riferimento e il circuito è un **amplificatore a source comune**. Si noti che anche la configurazione a source comune è invertente.

**Figura 13.2**

(a) Un amplificatore MOSFET a source comune. (b) Retta di carico, punto di lavoro e segnali di ingresso e di uscita per il circuito di Figura 13.2(a).



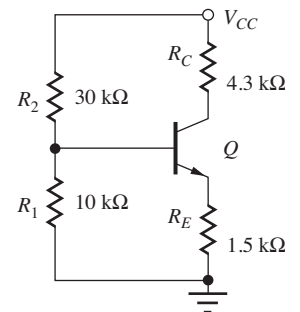
ESERCIZIO (a) Il MOSFET rimane sempre in regione di saturazione, nonostante l'escursione della tensione di drain? (b) Se la corrente di drain di un MOSFET in saturazione è data da: $I_{DS} = (K_n/2)(V_{GS} - V_{TN})^2$, quali sono i valori del parametro K_n e della tensione di soglia V_{TN} per il transistor? (Si utilizzino le caratteristiche di uscita di Figura 13.2.) (c) Esprimere il guadagno di tensione in decibel.

RISPOSTE no, non in prossimità del picco positivo di v_{GS} , corrispondente al picco negativo della v_{DS} , $K_N = 500 \mu\text{A}/\text{V}^2$; $V_{TN} = 1 \text{ V}$; 12.3 dB.

13.2 Condensatori di accoppiamento e di bypass

I circuiti di Figura 13.1 e Figura 13.2 non rappresentano il modo migliore per polarizzare un transistor bipolare o un MOS, in quanto il punto di lavoro, determinato dai generatori V_{BE} o V_{GS} , è fortemente dipendente dai parametri dei dispositivi attivi. Esistono altri circuiti di polarizzazione, come per esempio la rete a quattro resistori di Figura 13.3, che sono senz'altro da preferirsi per ottenere un punto di lavoro stabile per un transistor.

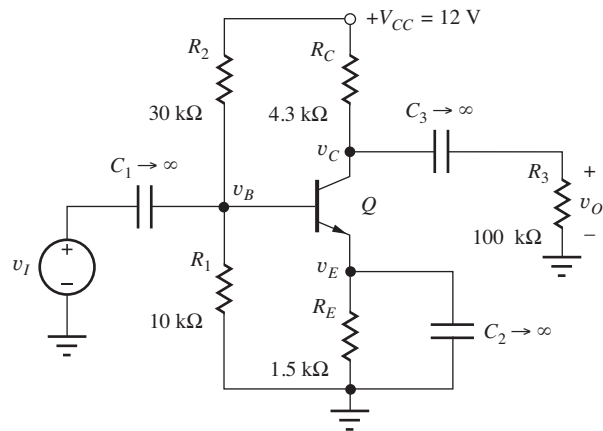
L'applicazione dei segnali AC in ingresso all'amplificatore e il prelievo del segnale in uscita non devono modificare il punto di lavoro stabilito dalla rete di polarizzazione. A tale scopo è possibile utilizzare un **accoppiamento in AC**, mediante condensatori. Le capacità si comportano infatti come circuiti aperti per le componenti continue, e pertanto non altera-

**Figura 13.3**

Transistore polarizzato in regione attiva diretta utilizzando una rete di polarizzazione a quattro resistori.

Figura 13.4

Amplificatore a emettitore comune, in cui il BJT è polarizzato utilizzando una rete a quattro resistori. C_1 e C_3 sono i condensatori di accoppiamento, mentre C_2 è un condensatore di bypass.



no il punto di lavoro del circuito (quando la tensione di alimentazione viene applicata al circuito amplificatore ci sarà un transitorio di carica dei condensatori che peraltro non influenza in alcun modo il punto di lavoro). Il valore dei condensatori è scelto in modo da avere una impedenza trascurabile per il campo di frequenze di interesse.

La Figura 13.4 è un esempio dell'utilizzo di un accoppiamento in AC; si noti che il transistor è polarizzato mediante la stessa rete a quattro resistori di Figura 13.3. Il segnale di ingresso v_i è iniettato nel circuito attraverso il condensatore C_1 , mentre il segnale di uscita al collettore viene prelevato grazie a C_3 . I condensatori C_1 e C_3 vengono chiamati **condensatori di accoppiamento** o **condensatori di blocco** per le componenti continue.

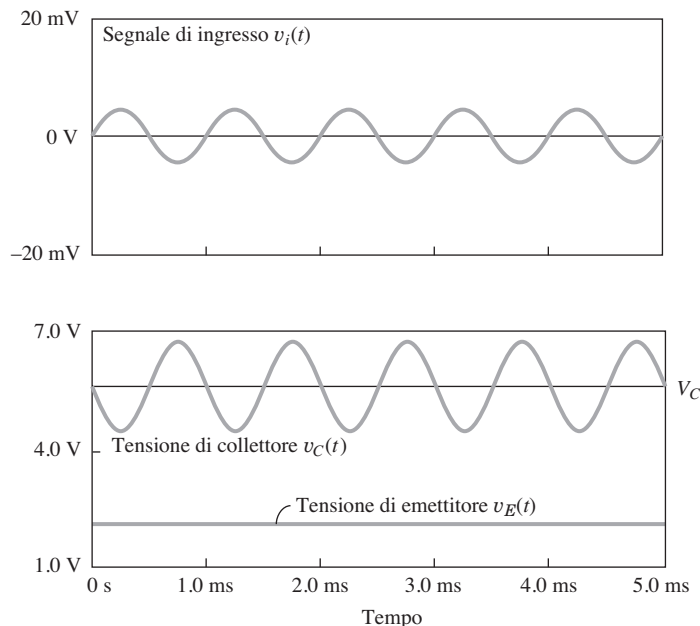
Per il momento, assumiamo che i valori di C_1 e di C_3 siano molto grandi, per cui la loro reattanza alla pulsazione ω del segnale, $1/(\omega C)$, può essere trascurata. Questa ipotesi è indicata in figura dal simbolo $C \rightarrow \infty$.

Passiamo ad analizzare il condensatore C_2 , detto **condensatore di bypass**. In molti circuiti è opportuno cortocircuitare, per quanto riguarda le sole componenti variabili, alcuni elementi della rete di polarizzazione. Nel caso di Figura 13.4, il condensatore C_2 fornisce per le componenti AC un cammino a bassa impedenza fra l'emettitore e lo zero volt, bypassando il resistore di emettitore R_E . Pertanto R_E , che è indispensabile per garantire la stabilità del punto di lavoro del transistor, è cortocircuitata quando consideriamo il comportamento del circuito rispetto ai segnali AC.

La Figura 13.5 mostra i risultati di una simulazione del circuito di Figura 13.4. Il segnale di ingresso, applicato alla base del transistor tramite il condensatore di accoppiamento C_1 , è un'onda sinusoidale di ampiezza 5 mV e di frequenza 1 kHz. Il segnale sul collettore del

Figura 13.5

Risultati di una simulazione SPICE dell'amplificatore di Figura 13.4, per $v_i(t) = 5 \sin 2000\pi t$ mV.



BJT è ancora sinusoidale, con un'ampiezza di circa 1.1 V, sovrapposto a una componente continua di circa 5.8 V. Si noti ancora una volta la presenza di uno sfasamento di 180° fra i segnali di ingresso e di uscita. I risultati di Figura 13.5 indicano che l'amplificatore fornisce un guadagno di tensione di:

$$A_v = \frac{v_c}{v_i} = \frac{-1.1 \text{ V}}{+5 \text{ mV}} = -220 \quad (13.6)$$

Dalla Figura 13.5 possiamo inoltre osservare che la tensione v_E al nodo di emettitore rimane costante al valore di polarizzazione di circa 2 V. Ciò è dovuto all'impedenza molto bassa del condensatore di bypass, che mantiene il terminale di emettitore a potenziale costante per le componenti AC.

ESERCIZIO Si calcoli il punto di lavoro per il transistor bipolare di Figura 13.3. Si utilizzino $\beta_F = 100$, $V_{BE} = 0.7 \text{ V}$ e $V_A \rightarrow \infty$. Quanto vale V_B ?

RISPOSTE (1.45 mA, 3.59 V); 2.89 V.

ESERCIZIO Utilizzando le forme d'onda di Figura 13.5, si scrivano le espressioni per $v_C(t)$, $v_E(t)$, $i_C(t)$ e $v_B(t)$.

RISPOSTE $v_C(t) = (5.8 - 1.1 \sin 2000\pi t) \text{ V}$, $v_E(t) = 2.1 \text{ V}$, $i_C(t) = -0.25 \sin 2000\pi t \text{ mA}$, $v_B(t) = 2.9 \text{ V} + (5 \text{ mV}) \sin 2000\pi t$

ESERCIZIO Si supponga che il condensatore C_2 sia di $500 \mu\text{F}$. Qual è la sua reattanza alla frequenza di 1 kHz?

RISPOSTE 0.318Ω .

13.3 Utilizzo dei circuiti equivalenti DC e AC

Per semplificare l'analisi e il progetto degli amplificatori, utilizzeremo il principio di sovrapposizione. Il punto di lavoro verrà determinato utilizzando **il circuito equivalente in DC**, ottenuto considerando i condensatori come circuiti aperti e gli induttori come cortocircuiti. Una volta ottenuto il punto di lavoro, calcoleremo la risposta a segnali di ingresso variabili, utilizzando **il circuito equivalente in AC**. In questo caso, assumeremo che l'impedenza dei condensatori di accoppiamento e di bypass sia trascurabile per le frequenze di interesse ($|Z_C| = 1/(\omega C) = 0$), per cui sostituiranno i condensatori con cortocircuiti. Analogamente, assumeremo che l'impedenza di ogni induttore eventualmente presente nel circuito sia estremamente grande ($|Z_L| = \omega L \rightarrow \infty$), per cui gli induttori verranno sostituiti da circuiti aperti. Poiché la tensione ai capi di un generatore di tensione costante non può variare, nel circuito equivalente AC è possibile sostituire questi generatori con dei cortocircuiti; analogamente i generatori di corrente costante verranno sostituiti da circuiti aperti. I circuiti equivalenti AC che stiamo costruendo sono validi nella banda passante dell'amplificatore; i parametri che calcoliamo sono quindi il guadagno in tensione, l'impedenza di ingresso e di uscita a centro banda. Nel Capitolo 14 e nei successivi studieremo la relazione che lega la frequenza di taglio superiore e inferiore ai valori delle capacità e delle induttanze del circuito.



NOTA PROGETTUALE

Generatori in continua e circuiti equivalenti AC

Nel circuito equivalente AC i generatori di tensione costanti devono essere cortocircuitati, mentre i ge-

neratori di corrente costanti devono essere sostituiti da circuiti aperti.

13.3.1 Regole per le analisi in DC e in AC

Ricapitolando, l'analisi dei circuiti amplificatori richiede sia uno studio del comportamento in DC sia del comportamento in AC, da effettuare secondo i passi seguenti.

Analisi DC

1. Ottenere il circuito equivalente in DC, sostituendo tutti i condensatori con circuiti aperti e tutti gli induttori con cortocircuiti.

2. Determinare il punto di lavoro a partire dal circuito equivalente in DC, utilizzando l'appropriato modello per ampio segnale per il transistor.

Analisi AC

3. Ottenere il circuito equivalente in AC, sostituendo tutti i condensatori e i generatori di tensione costante con cortocircuiti, e tutti gli induttori e i generatori di corrente costante con circuiti aperti.
4. Sostituire il transistor con il suo modello per piccoli segnali.
5. Analizzare le caratteristiche AC dell'amplificatore, utilizzando il circuito equivalente in AC, per piccoli segnali, ottenuto al punto 4.
6. Se necessario, combinare i risultati del punto 2 e del punto 5 per ottenere i valori complessivi di tensione e di corrente nel circuito.

Il passo 6 rappresenta il punto finale dell'**analisi mediante il principio di sovrapposizione**. Peraltro, siamo interessati molto spesso a determinare il comportamento in AC del circuito, e raramente effettueremo questo passo finale di combinare insieme i risultati delle analisi AC e DC.



NOTA PROGETTUALE

Regole per i circuiti equivalenti in DC e AC

Circuito equivalenti in DC: i condensatori sono sostituiti da circuiti aperti e gli induttori da cortocircuiti.

Circuito equivalenti in AC (a centrobanda): i generatori di corrente DC diventano cortocircuiti (ali-

mentazione positiva e negativa, per il segnale, sono quindi cortocircuitate), i generatori di corrente sono circuiti aperti; i condensatori sono sostituiti da cortocircuiti e gli induttori da circuiti aperti.

Esempio 13.1

COSTRUZIONE DEI CIRCUITI EQUIVALENTI IN AC E DC DI UN AMPLIFICATORE A BJT

PROBLEMA Si disegnano i circuiti equivalenti in AC e DC per l'amplificatore di Figura 13.6(a). Il circuito è simile a quello di Figura 13.4. La resistenza di emettitore R_E è stata suddivisa in due parti etichettate R_E ed R_4 ; inoltre è stata aggiunta la resistenza R_1 in serie al generatore di segnale. I valori dei resistori sono inoltre stati modificati rispetto alla Figura 13.4 in modo da stabilire un differente punto di lavoro.

SOLUZIONE **Informazioni e dati noti:** Il circuito e i valori dei resistori, riportati in Figura 13.6(a).

Incognite: Il circuito equivalente in DC; il circuito equivalente in AC.

Approccio: Si sostituiscono i condensatori con circuiti aperti per ottenere il circuito equivalente in DC. Si sostituiscono i condensatori e i generatori di tensione costante con cortocircuiti per ottenere il circuito equivalente in AC. Nei circuiti AC e DC, si semplificano le reti di resistori, ove possibile.

Ipotesi: I valori dei condensatori sono sufficientemente grandi da poter essere trattati come cortocircuiti nel circuito equivalente in AC.

ANALISI **Circuito equivalente in DC:** Il circuito equivalente in DC, mostrato in Figura 13.6(b) è identico alla rete a quattro resistori di Figura 13.3. Si noti che, sostituendo C_1 e C_3 con circuiti aperti, dal circuito in DC vengono disconnessi v_I , R_1 e R_3 .

Circuito equivalente in AC: Per ottenere il circuito equivalente in AC, sostituiamo tutti i condensatori e i generatori di tensione costante con cortocircuiti, ottenendo in questo modo il circuito di Figura 13.6(c). In questo caso, la resistenza R_I è collegata direttamente al nodo di base, mentre il resistore di carico R_3 è collegato direttamente al nodo di collettore. La resistenza R_4 è cortocircuitata grazie alla presenza del condensatore di bypass C_2 . Il circuito equivalente in AC è ridisegnato in Figura 13.6(d). Poiché la tensione di alimentazione è un cortocircuito per le componenti variabili, i resistori R_1 e R_2 sono in parallelo fra il nodo di base e il riferimento, mentre R_C e R_3 sono in parallelo fra il collettore e il riferimento. Si noti che nel circuito equivalente AC appare soltanto la componente variabile del segnale di ingresso, v_I .

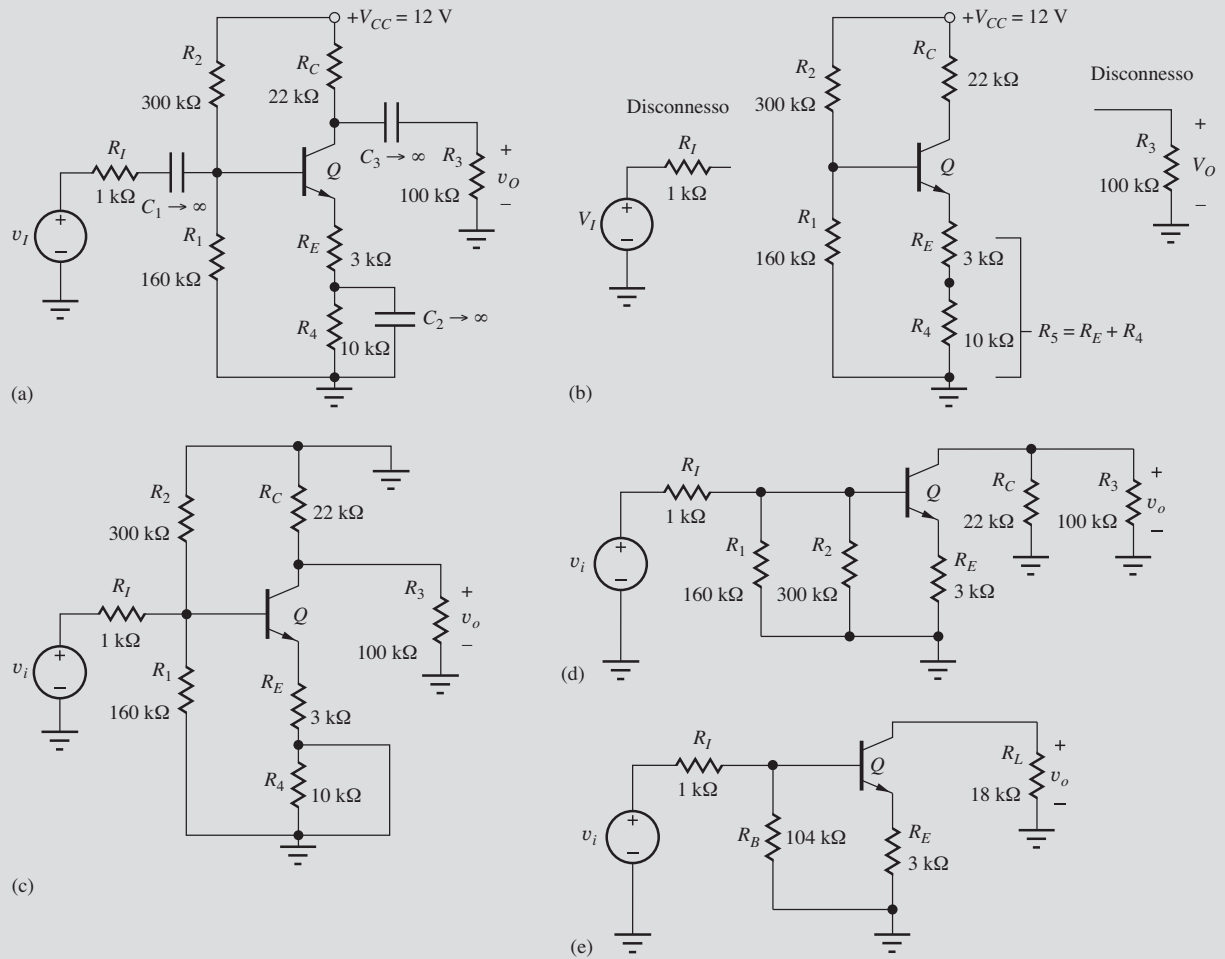


Figura 13.6 (a) Circuito completo di un amplificatore a BJT. (b) Circuito equivalente per l'analisi DC. (c) Circuito equivalente dopo il passo 3; si noti che le tensioni di ingresso e di uscita sono ora v_i e v_o . (d) Versione ridisegnata del circuito di Figura 13.6(c). (e) Semplificazione del circuito AC.

In Figura 13.6(e), R_1 e R_2 sono state combinate nel resistore R_B , mentre R_C e R_3 sono state combinate nel resistore R_L :

$$R_B = R_1 || R_2 = 160\text{ k}\Omega || 300\text{ k}\Omega = 104\text{ k}\Omega$$

$$R_L = R_C || R_3 = 22\text{ k}\Omega || 100\text{ k}\Omega = 18.0\text{ k}\Omega$$

Controllo dei risultati: In questo caso, il modo migliore per verificare i risultati ottenuti è quello di controllare nuovamente tutti i passi svolti. Tutto sembra corretto.

Discussione: Si noti come i condensatori di accoppiamento e di bypass siano stati utilizzati per modificare le topologie circuitali per i segnali AC e DC. C_1 e C_3 separano il generatore di ingresso e il carico in uscita dall'amplificatore, in modo da non alterare il circuito di polarizzazione. Il condensatore C_2 consente di rimuovere la resistenza R_4 dal circuito in AC.

ESERCIZIO Si calcolino i valori di R_B e R_L in Figura 13.6(e), assumendo: $R_1 = 20\text{ k}\Omega$, $R_2 = 62\text{ k}\Omega$, $R_C = 8.2\text{ k}\Omega$ e $R_E = 2.7\text{ k}\Omega$.

RISPOSTE 15.1 k Ω , 7.58 k Ω .

ESERCIZIO Come si modificano i circuiti equivalenti in DC e AC dei circuiti in Figura 13.6(b) e (e) se si elimina la capacità C_2 ?

RISPOSTE (b) nessuna modifica, (e) il resistore R_E risulta connesso in serie a R_4 .

Esempio 13.2**COSTRUZIONE DEI CIRCUITI EQUIVALENTI IN AC E DC DI UN AMPLIFICATORE A MOSFET**

PROBLEMA Si disegnano i circuiti equivalenti in AC e DC per l'amplificatore di Figura 13.7(a).

SOLUZIONE **Informazioni e dati noti:** Il circuito mostrato in Figura 13.7(a).

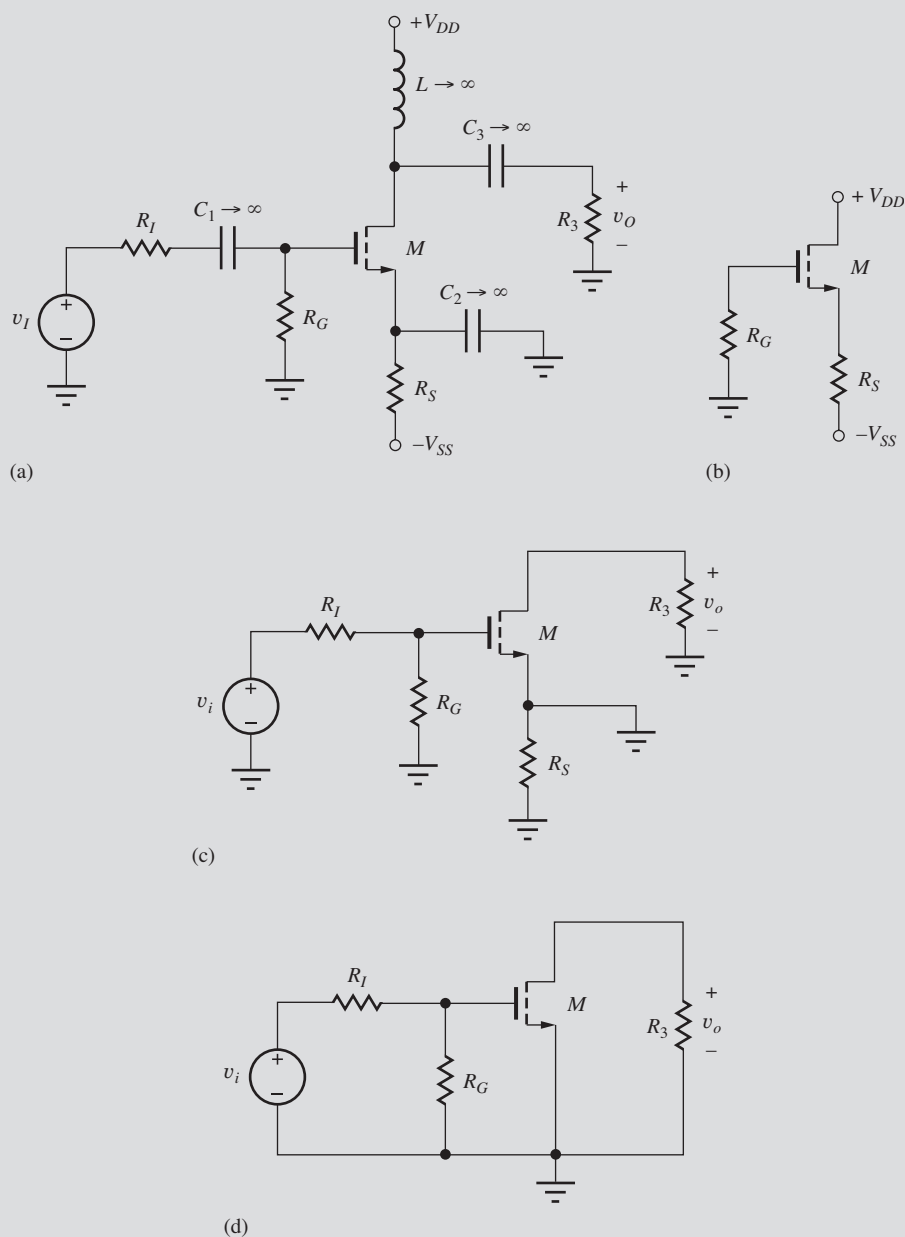
Incognite: Il circuito equivalente in DC; il circuito equivalente in AC.

Approccio: Si sostituiscono i condensatori con circuiti aperti e gli induttori con cortocircuiti per ottenere il circuito equivalente in DC. Si sostituiscono i condensatori e i generatori di tensione costante con cortocircuiti e gli induttori con circuiti aperti per ottenere il circuito equivalente in AC. Nei circuiti AC e DC, si semplificano le reti di resistori, ove possibile.

Ipotesi: I valori dei condensatori sono sufficientemente grandi da poter essere trattati come cortocircuiti nel circuito equivalente in AC. I valori degli induttori sono sufficientemente grandi da poter essere trattati come circuiti aperti nel circuito equivalente in AC.

Figura 13.7

(a) Un amplificatore a MOSFET. (b) Circuito equivalente in DC per determinare il punto di lavoro. (c) Primo passo per la progettazione del circuito equivalente in AC. (d) Circuito equivalente in AC semplificato.



Circuito equivalente in DC: Il circuito equivalente in DC è mostrato in Figura 13.7(b). Si noti che, sostituendo C_1 e C_3 con circuiti aperti, dal circuito in DC vengono disconnessi v_i , R_1 e R_3 , mentre, avendo sostituito l'induttore con un cortocircuito, il drain del transistor è collegato direttamente a V_{DD} .

Circuito equivalente in AC: Per ottenere il circuito equivalente in AC, sostituiamo tutti i condensatori e i generatori di tensione costante con cortocircuiti e l'induttore con un circuito aperto, ottenendo in questo modo il circuito di Figura 13.7(c). Il circuito equivalente in AC è ridisegnato in Figura 13.7(d). Si noti che nel circuito equivalente AC appare soltanto la componente variabile del segnale di ingresso, v_i .

Controllo dei risultati: In questo caso, il modo migliore per verificare i risultati ottenuti è quello di controllare nuovamente tutti i passi svolti. Tutto sembra corretto.

Discussione: Anche in questo caso, i condensatori di accoppiamento e di bypass e gli induttori hanno consentito di ottenere topologie circuitali sensibilmente differenti per i circuiti equivalenti in DC e in AC.

ANALISI

ESERCIZIO Si assuma che il condensatore C_2 sia eliminato dal circuito di Figura 13.7(a). Si ridisegnino i circuiti equivalenti in DC e in AC.

RISPOSTE Il circuito equivalente in DC resta inalterato. Nel circuito equivalente in AC, il resistore R_S collega il source del MOSFET a 0 V.

13.4 Introduzione ai modelli per piccoli segnali del diodo

Come abbiamo accennato in precedenza, è possibile suddividere l'analisi di un circuito amplificatore in due parti, utilizzando i circuiti equivalenti in DC e in AC, grazie al principio di sovrapposizione. Per poter applicare il principio di sovrapposizione, tutte le componenti variabili di tensione e di corrente presenti nel circuito devono essere sufficientemente piccole, in modo che il circuito AC si comporti in modo lineare. Dunque, dobbiamo assumere che tutte le componenti tempo-varianti siano **piccoli segnali**. Per poter affermare che un segnale è "piccolo" bisogna considerare il particolare dispositivo attivo presente nel circuito; definiremo rigorosamente questo concetto quando svilupperemo i modelli per piccoli segnali dei vari dispositivi. Il nostro studio dei **modelli per piccoli segnali** partirà con il diodo, per poi procedere al transistor bipolare a giunzione e al transistor a effetto di campo.

13.4.1 Interpretazione grafica del comportamento per piccoli segnali del diodo

Per ottenere un modello per piccoli segnali, siamo interessati a ottenere le relazioni fra le variazioni di tensione e le variazioni di corrente in un intorno del punto di lavoro del dispositivo. I valori totali di tensione e di corrente per il diodo in Figura 13.8 possono essere scritti come:

$$v_D = V_D + v_d \quad \text{e} \quad i_D = I_D + i_d$$

dove I_D e V_D rappresentano il punto di lavoro, mentre v_d e i_d sono piccole variazioni rispetto al punto Q . Le variazioni di tensione e corrente sono riportate graficamente in Figura 13.9.

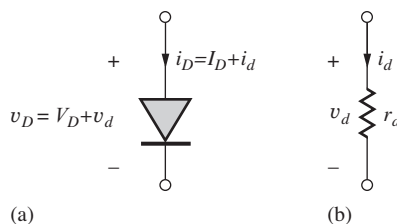
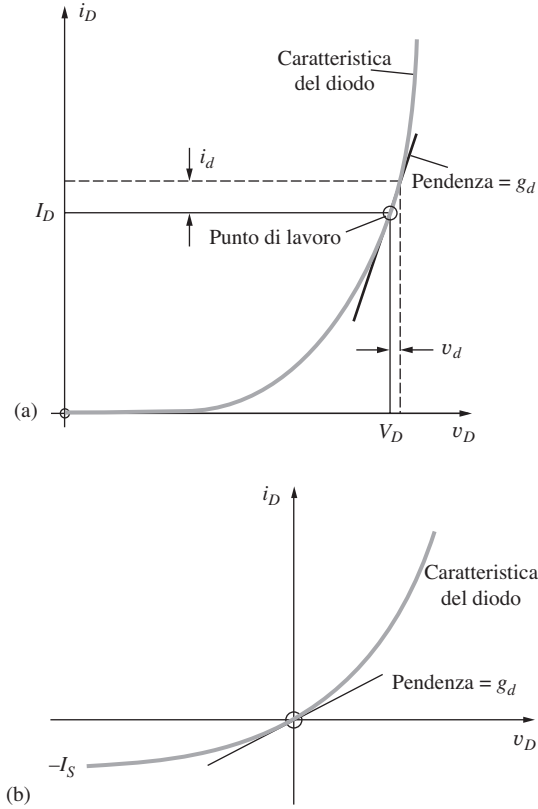


Figura 13.8

(a) Valori totali di tensione e di corrente per il diodo.
(b) Modello di piccolo segnale per il diodo.

Figura 13.9

(a) Analisi grafica della relazione fra un aumento di tensione v_d e il corrispondente aumento di corrente i_d per un diodo polarizzato nel punto (I_D, V_D) . Per piccole variazioni si ha: $i_d = g_d v_d$. (b) La conduttanza differenziale del diodo è diversa da zero per $I_D = 0$.



Se la tensione ai capi del diodo aumenta leggermente, si verificherà un corrispondente aumento della corrente che attraversa il dispositivo. Per variazioni sufficientemente piccole, i_d sarà direttamente proporzionale a v_d . La costante di proporzionalità viene denominata conduttanza differenziale del diodo, g_d :

$$i_d = g_d v_d \quad (13.7)$$

Come mostra la Figura 13.9(a), la conduttanza differenziale g_d rappresenta la pendenza della caratteristica del diodo, valutata nel punto Q. Matematicamente, g_d può essere scritta come:

$$g_d = \left. \frac{\partial i_D}{\partial v_D} \right|_{\text{punto Q}} = \left. \frac{\partial}{\partial v_d} \left\{ I_S \left[\exp\left(\frac{v_D}{V_T}\right) - 1 \right] \right\} \right|_{\text{punto Q}} \quad (13.8)$$

ovvero:

$$g_d = \left. \frac{I_S}{V_T} \exp\left(\frac{v_D}{V_T}\right) \right|_{\text{punto Q}} = \frac{I_S}{V_T} \exp\left(\frac{V_D}{V_T}\right) = \frac{I_D + I_S}{V_T}$$

Per polarizzazione diretta, con $I_D \gg I_S$, la conduttanza differenziale del diodo diviene:

$$g_d \approx \frac{I_D}{V_T} \quad \text{ovvero} \quad g_d \approx \frac{I_D}{25 \text{ mV}} \quad (13.9)$$

dove si è utilizzato il valore $V_T = 25 \text{ mV}$ a temperatura ambiente. Da notare che per $I_D = 0$ la conduttanza g_d è piccola ma non nulla, dato che la pendenza della caratteristica del diodo è diversa da zero nell'origine, come evidenziato in Figura 13.9(b).

13.4.2 Modello per piccoli segnali del diodo

Siamo ora in grado di utilizzare l'equazione del diodo per analizzare più in dettaglio il comportamento per piccoli segnali del dispositivo e per valutare quanto grandi possono diventare v_d e i_d prima che l'Equazione (13.7) non sia più valida. Una relazione che lega le quantità AC e DC può essere ottenuta direttamente a partire dall'equazione del diodo:

$$i_D = I_S \left[\exp\left(\frac{v_D}{V_T}\right) - 1 \right] \quad (13.10)$$

Sostituendo $v_D = V_D + v_d$ e $i_D = I_D + i_d$ nella (13.10) si ottiene:

$$I_D + i_d = I_S \left[\exp\left(\frac{V_D + v_d}{V_T}\right) - 1 \right] = I_S \left[\exp\left(\frac{V_D}{V_T}\right) \exp\left(\frac{v_d}{V_T}\right) - 1 \right] \quad (13.11)$$

Espandendo il secondo esponenziale in serie di Mac Laurin e raggruppando i termini AC e DC abbiamo:

$$I_D + i_d = I_S \left[\exp\left(\frac{V_D}{V_T}\right) - 1 \right] + I_S \exp\left(\frac{V_D}{V_T}\right) \left[\frac{v_d}{V_T} + \frac{1}{2} \left(\frac{v_d}{V_T}\right)^2 + \frac{1}{6} \left(\frac{v_d}{V_T}\right)^3 + \dots \right] \quad (13.12)$$

Il primo termine a destra del segno di uguaglianza nell'Equazione (13.12) rappresenta la corrente DC del diodo I_D :

$$I_D = I_S \left[\exp\left(\frac{V_D}{V_T}\right) - 1 \right] \quad \text{e inoltre} \quad I_S \exp\left(\frac{V_D}{V_T}\right) = I_D + I_S \quad (13.13)$$

Sottraendo I_D a entrambi i membri dell'Equazione (13.12) otteniamo un'espressione per i_d in funzione di v_d :

$$i_d = (I_D + I_S) \left[\frac{v_d}{V_T} + \frac{1}{2} \left(\frac{v_d}{V_T}\right)^2 + \frac{1}{6} \left(\frac{v_d}{V_T}\right)^3 + \dots \right] \quad (13.14)$$

Noi vogliamo che la componente variabile della corrente i_d sia una funzione lineare della componente AC della tensione v_d . Dall'Equazione (13.14) possiamo ottenere una relazione lineare fra i_d e v_d se è verificata la seguente condizione:

$$\frac{v_d}{V_T} \gg \frac{1}{2} \left(\frac{v_d}{V_T}\right)^2 \quad \text{ovvero} \quad v_d \ll 2V_T = 50 \text{ mV} \quad (13.15)$$

Se la (13.15) è soddisfatta, l'Equazione (13.14) può essere approssimata, considerando i primi due termini dell'espansione in serie, come:

$$i_d = (I_D + I_S) \left(\frac{v_d}{V_T}\right) \quad \text{ovvero} \quad i_d = g_d v_d \quad \text{e} \quad i_D = I_D + g_d v_d \quad (13.16)$$

in cui g_d è la **conduttanza per piccoli segnali** o **conduttanza differenziale** del diodo già introdotta nell'Equazione (13.8). Secondo l'Equazione (13.16), la corrente totale del diodo può essere scritta come la somma della componente DC I_D (relativa al punto di lavoro), più una piccola variazione $i_d = g_d v_d$ che dipende linearmente dalla variazione di tensione v_d ai capi del diodo.

I valori della conduttanza per piccoli segnali g_d , ovvero della **resistenza per piccoli segnali** o **resistenza differenziale** r_d , sono determinati dal punto di lavoro del diodo:

$$g_d = \frac{I_D + I_S}{V_T} \approx \frac{I_D}{V_T} \quad \text{e} \quad r_d = \frac{1}{g_d} \quad (13.17)$$

Il diodo e il suo modello per piccoli segnali, rappresentato dalla resistenza r_d , sono mostrati in Figura 13.8.

L'Equazione (13.15) fornisce la condizione per poter utilizzare il modello per piccoli segnali per il diodo. La variazione di tensione ai capi del dispositivo, rispetto al punto di lavoro, deve essere molto minore di 50 mV. Un fattore 10 è adeguato per soddisfare la disuguaglianza, per cui deve essere $v_d \leq 5 \text{ mV}$.

Nonostante il massimo valore di v_d sia molto piccolo, la corrispondente variazione di corrente è una frazione significativa della corrente totale del diodo. Risulta:

$$i_d = g_d v_d = 5 \text{ mV} \frac{I_D}{25 \text{ mV}} = 0.2 I_D \quad (13.18)$$

Una variazione di soli 5 mV della tensione di capi del diodo comporta una variazione del 20% della corrente; questa è una conseguenza della relazione esponenziale fra tensione e corrente nel diodo.



NOTA PROGETTUALE

Condizione di piccolo segnale

Piccole variazioni fra tensione e corrente nel diodo sono collegate dalla conduttanza di piccolo segnale del dispositivo:

$$i_d = g_d v_d; \quad \text{dove: } g_d \approx I_D / V_T$$

a temperatura ambiente. La condizione di piccolo segnale è:

$$|v_d| \leq 5 \text{ mV} \quad \text{e} \quad |i_d| \leq 0.20 I_D$$

ESERCIZIO Si calcolino i valori di resistenza differenziale r_d per un diodo avente $I_S = 1 \text{ fA}$, operante a $I_D = 0, 50 \mu\text{A}, 2 \text{ mA}, 3 \text{ A}$.

RISPOSTE 25.0 T Ω , 500 Ω , 12.5 Ω , 8.33 m Ω .

ESERCIZIO Qual è la resistenza per piccoli segnali r_d , a temperatura ambiente, per $I_D = 1.5 \text{ mA}$? Qual è la resistenza per piccoli segnali, per lo stesso diodo, a $T = 100^\circ\text{C}$?

RISPOSTE 16.7 Ω , 21.4 Ω .

13.5 Modelli per piccoli segnali per i transistori bipolari a giunzione

Dopo aver introdotto il modello per piccoli segnali del diodo, svilupperemo in questo paragrafo il modello per piccoli segnali per il transistor bipolare. Il BJT è un dispositivo a tre terminali, e il suo modello per piccoli segnali è basato sulla rappresentazione mediante doppio bipolo mostrata in Figura 13.10. In questa rappresentazione, le variabili di ingresso sono v_{be} e i_b , mentre le variabili di uscita sono v_{ce} e i_c . Le equazioni che rappresentano il doppio bipolo possono essere scritte come:

$$\begin{aligned} i_b &= g_\pi v_{be} + g_r v_{ce} \\ i_c &= g_m v_{be} + g_o v_{ce} \end{aligned} \quad (13.19)$$

Le variabili di ingresso e di uscita di Figura 13.10 rappresentano le componenti variabili delle tensioni e delle correnti totali, ovvero le piccole variazioni rispetto ai valori corrispondenti al punto di lavoro:

$$\begin{aligned} v_{BE} &= V_{BE} + v_{be} & v_{CE} &= V_{CE} + v_{ce} \\ i_B &= I_B + i_b & i_C &= I_C + i_c \end{aligned}$$

ovvero

$$\begin{aligned} v_{be} &= \Delta v_{BE} = v_{BE} - V_{BE} & v_{ce} &= \Delta v_{CE} = v_{CE} - V_{CE} \\ i_b &= \Delta i_B = i_B - I_B & i_c &= \Delta i_C = i_C - I_C \end{aligned} \quad (13.20)$$

Possiamo pertanto scrivere i parametri y del BJT, che compaiono in Figura 13.10(b) in termini delle componenti di segnale delle tensioni e delle correnti, ovvero in termini delle derivate delle tensioni e delle correnti totali, come mostra l'Equazione (13.21):

$$\begin{aligned} g_\pi &= \left. \frac{i_b}{v_{be}} \right|_{v_{ce}=0} = \left. \frac{\partial i_B}{\partial v_{BE}} \right|_{\text{punto Q}} & g_r &= \left. \frac{i_b}{v_{ce}} \right|_{v_{be}=0} = \left. \frac{\partial i_B}{\partial v_{CE}} \right|_{\text{punto Q}} \\ g_m &= \left. \frac{i_c}{v_{be}} \right|_{v_{ce}=0} = \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{\text{punto Q}} & g_o &= \left. \frac{i_c}{v_{ce}} \right|_{v_{be}=0} = \left. \frac{\partial i_C}{\partial v_{CE}} \right|_{\text{punto Q}} \end{aligned} \quad (13.21)$$

Il modello del trasporto per il BJT che esprime le correnti in funzione delle tensioni ai capi del dispositivo, nel caso di funzionamento in regione attiva diretta è il seguente:

$$\begin{aligned} i_C &= I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] \left[1 + \frac{v_{CE}}{V_A} \right] & i_B &= \frac{i_C}{\beta_F} = \frac{I_S}{\beta_{FO}} \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] \\ \beta_F &= \beta_{FO} \left[1 + \frac{v_{CE}}{V_A} \right] \end{aligned} \quad (13.22)$$

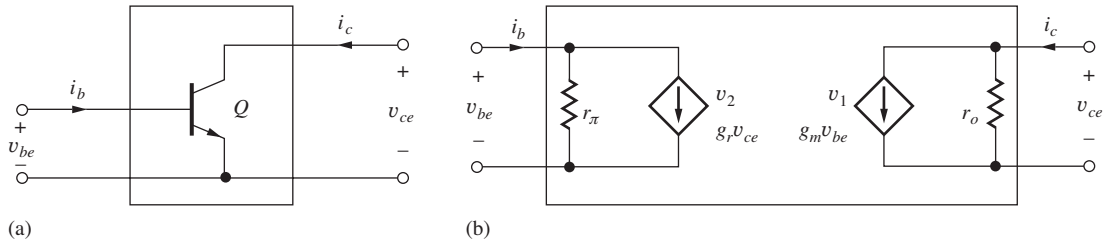


Figura 13.10 (a) Rappresentazione come doppio bipolo di un transistor npn . (b) Rappresentazione circuitale a doppio bipolo per il transistor di Figura 13.10(a).

Utilizzando la (13.22) per valutare le derivate nell'Equazione (13.21), possiamo ottenere l'espressione dei parametri y del BJT:

$$\begin{aligned} g_r &= \left. \frac{\partial i_B}{\partial v_{CE}} \right|_{\text{punto } Q} = 0 \\ g_m &= \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{\text{punto } Q} = \frac{I_S}{V_T} \left[\exp\left(\frac{v_{BE}}{V_T}\right) \right] \left[1 + \frac{v_{CE}}{V_A} \right]_{\text{punto } Q} = \frac{I_C}{V_T} \\ g_o &= \left. \frac{\partial i_C}{\partial v_{CE}} \right|_{\text{punto } Q} = \frac{I_S}{V_A} \left[\exp\left(\frac{v_{BE}}{V_T}\right) \right] = \frac{I_C}{V_A + V_{CE}} \end{aligned} \quad (13.23)$$

Il calcolo di g_π è stato lasciato per ultimo, in quanto richiede qualche osservazione aggiuntiva. Il guadagno di corrente di un BJT dipende dal punto di lavoro del dispositivo, e questa dipendenza deve essere portata in conto quando si effettua la derivata necessaria per calcolare g_π :

$$\begin{aligned} g_\pi &= \left. \frac{\partial i_B}{\partial v_{BE}} \right|_{\text{punto } Q} = \left[\frac{1}{\beta_F} \frac{\partial i_C}{\partial v_{BE}} - \frac{i_C}{\beta_F^2} \frac{\partial \beta_F}{\partial v_{BE}} \right]_{\text{punto } Q} \\ &= \left[\frac{1}{\beta_F} \frac{\partial i_C}{\partial v_{BE}} - \frac{i_C}{\beta_F^2} \frac{\partial \beta_F}{\partial i_C} \frac{\partial i_C}{\partial v_{BE}} \right]_{\text{punto } Q} \end{aligned} \quad (13.24)$$

Raccogliendo a fattore comune:

$$g_\pi = \frac{1}{\beta_F} \frac{\partial i_C}{\partial v_{BE}} \left[1 - \frac{i_C}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right]_{\text{punto } Q} = \frac{I_C}{\beta_F V_T} \left[1 - \left(\frac{i_C}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right)_{\text{punto } Q} \right] \quad (13.25)$$

L'Equazione (13.25) può infine essere semplificata introducendo un nuovo parametro β_o :

$$g_\pi = \frac{I_C}{\beta_o V_T} \quad \text{dove } \beta_o = \frac{\beta_F}{\left[1 - I_C \left(\frac{1}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right)_{\text{punto } Q} \right]} \quad (13.26)$$

β_o rappresenta il **guadagno di corrente per piccoli segnali a emettitore comune** del transistor bipolare.

Osserviamo che g_μ è nulla e non appare nel circuito: ciò è dovuto al modello di transistor usato, che assume che i_B sia indipendente da v_{CE} . Questa ipotesi è valida per la maggior parte dei moderni transistori bipolari. Tuttavia, essa non è valida a priori per ogni BJT; quando non è verificata si può aggiungere una resistenza r_μ tra collettore e base nel modello π -ibrido per descrivere i piccoli cambiamenti nella corrente di base causati da variazioni della tensione tra collettore ed emettitore. La resistenza r_μ ha generalmente un valore molto più grande di r_o o r_π ; ed è sicuramente non minore di $\beta_o r_o$. In questo testo, assumeremo che il valore r_μ sia infinito e quindi trascurabile.

ESERCIZIO Disegnare il modello ibrido a π di Figura 13.11 per includere la resistenza r_μ discusso sopra.

RISPOSTE Collegare la resistenza r_μ tra il collegamento superiore della resistenza r_π e il collegamento superiore del generatore di corrente $g_m v_{be}$.

13.5.1 Il modello ibrido a π

La rappresentazione circuitale del modello ibrido a π del BJT è quella più comunemente utilizzata ed è mostrata in Figura 13.11, mentre le espressioni per i parametri del modello sono date dall'Equazione (13.27). Sia il circuito che le espressioni dei parametri verranno utilizzati spesso nel resto del libro, e dovrebbero essere ricordati a memoria. Nel modello:

Transconduttanza	$g_m = \frac{I_C}{V_T}$	
Resistenza differenziale d'ingresso	$r_\pi = \frac{\beta_o V_T}{I_C} = \frac{\beta_o}{g_m}$	(13.27)
Resistenza differenziale di uscita	$r_o = \frac{1}{g_o} = \frac{V_A + V_{CE}}{I_C} \approx \frac{V_A}{I_C}$	

Senza dubbio il parametro per piccoli segnali più importante è la transconduttanza, g_m . La transconduttanza caratterizza come cambia la corrente di collettore a fronte di un cambiamento della tensione base-emettitore, e pertanto modella il guadagno del dispositivo in regione attiva diretta.

La transconduttanza g_m è inversamente proporzionale a V_T , la quale a temperatura ambiente vale 25 mV. Per cambiare la tensione base-emettitore (e quindi anche la corrente di collettore) bisogna cambiare la corrente di base. La resistenza r_π caratterizza appunto la relazione fra le variazioni di i_B e v_{BE} . Analogamente, la resistenza r_o caratterizza la relazione fra le variazioni di i_C e v_{CE} . Si noti che la tensione collettore-emettitore V_{CE} è normalmente molto più piccola della tensione di Early V_A ; possiamo pertanto semplificare l'espressione per la resistenza differenziale di uscita: $r_o \approx V_A/I_C$.

Quando cambia la tensione tra base ed emettitore (e quindi la corrente di collettore), occorre che vari anche la corrente di base: la resistenza r_π esprime il legame tra i_b e v_{be} . In maniera analoga, quando la tensione tra collettore ed emettitore cambia leggermente, allora cambia anche la corrente di collettore: la resistenza r_o permette di legare i_c e v_{ce} .

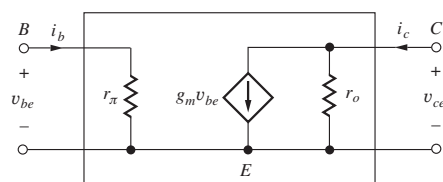
La rappresentazione a doppio bipolo di Figura 13.11 mostra il modello per piccoli segnali ibrido a π del BJT e l'espressione dei parametri differenziali. In seguito, vedremo che sarà possibile aggiungere ulteriori elementi a questo circuito per modellare la risposta in frequenza del dispositivo.

Dall'Equazione (13.27), vediamo che i valori dei parametri differenziali dipendono dalla scelta del punto di lavoro. La transconduttanza g_m è direttamente proporzionale alla corrente di collettore, mentre le resistenze differenziali di ingresso r_π e di uscita r_o sono entrambe inversamente proporzionali alla corrente di collettore. La resistenza differenziale di uscita mostra una debole dipendenza dalla tensione collettore-emettitore (generalmente infatti $V_{CE} \ll V_A$), come già notato in precedenza. Si noti che questi parametri sono indipendenti dalla geometria del BJT. Un dispositivo di piccola area per alta frequenza e un transistor bipolare di potenza di grande area hanno entrambi lo stesso valore di g_m per una data corrente di collettore.

13.5.2 Interpretazione grafica della transconduttanza

La Figura 13.12 mostra la relazione esponenziale (simile a quella di un diodo) che lega la corrente totale di collettore i_C e la tensione totale base-emettitore v_{BE} in un transistor bipolare. La transconduttanza g_m rappresenta la pendenza della caratteristica $i_C - v_{BE}$ in corrispondenza del punto di lavoro (punto Q). Per piccoli aumenti v_{be} oltre la tensione del punto Q, V_{BE} , si evidenzia un corrispondente aumento della corrente di collettore, che cresce di una quantità i_c oltre il valore del punto di lavoro, I_C . Se è soddisfatta la condizione di piccolo segnale: $v_{be} < 5\text{mV}$, le due variazioni v_{be} e i_b sono linearmente dipendenti, per il tramite della transconduttanza: $i_c = g_m v_{be}$.

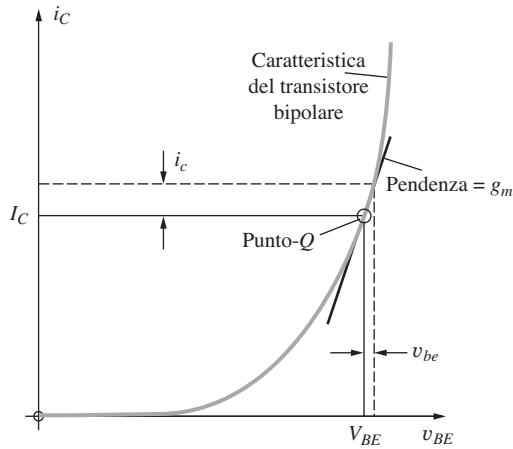
Figura 13.11
Modello ibrido a π del BJT.



$$g_m = \frac{I_C}{V_T}$$

$$r_\pi = \frac{\beta_o}{g_m}$$

$$r_o = \frac{V_A + V_{CE}}{I_C} \approx \frac{V_A}{I_C}$$

**Figura 13.12**

Relazione fra piccole variazioni della tensione base-emettitore e della corrente di collettore in un transistor bipolare. Nel punto di lavoro la tensione base-emettitore è V_{BE} e la corrente di collettore è I_C . In condizioni di piccolo segnale $i_c = g_m v_{be}$.

13.5.3 Guadagno di corrente per piccoli segnali

Esistono alcune importanti relazioni che legano fra loro i parametri per piccoli segnali. Dall'Equazione (13.27) possiamo vedere che i parametri g_m , r_π e β_o sono legati dalla relazione:

$$\beta_o = g_m r_\pi \quad (13.28)$$

Come abbiamo osservato poc'anzi, il guadagno di corrente non è costante, ma è invece funzione della corrente di polarizzazione del dispositivo, come indicato in Figura 13.13. Da questa figura possiamo vedere che:

$$\frac{\partial \beta_F}{\partial i_C} > 0 \text{ per } i_C < I_M \quad \text{e} \quad \frac{\partial \beta_F}{\partial i_C} < 0 \text{ per } i_C > I_M$$

dove I_M è la corrente di collettore per cui β_F ha il massimo valore. Dunque, per il **guadagno di corrente per piccoli segnali**, definito dalla relazione:

$$\beta_o = \frac{\beta_F}{\left[1 - I_C \left(\frac{1}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right)_{\text{punto } Q} \right]} \quad (13.29)$$

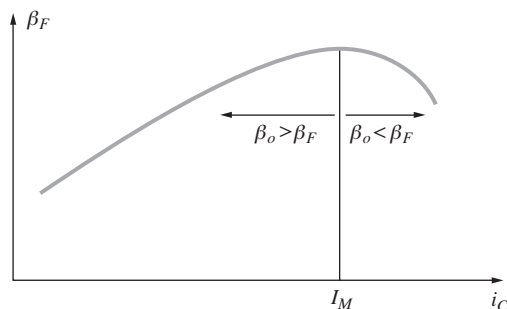
abbiamo: $\beta_o > \beta_F$ per $i_C < I_M$ e $\beta_o < \beta_F$ per $i_C > I_M$. Pertanto, il guadagno di corrente per piccoli segnali β_o è maggiore del guadagno di corrente in DC β_F se la corrente di collettore è inferiore di I_M mentre β_o è minore di β_F se i_C supera I_M .

In pratica, la differenza fra β_F e β_o è generalmente trascurata, e si assume $\beta_F \approx \beta_o$.

13.5.4 Il guadagno di tensione intrinseco del BJT

Un altro importante parametro differenziale è il **guadagno di tensione intrinseco** μ_f , definito come il prodotto di g_m e r_o :

$$\mu_f = g_m r_o = \frac{V_A + V_{CE}}{V_T} \approx \frac{V_A}{V_T} \quad \text{per } V_{CS} \ll V_A \quad (13.30)$$

**Figura 13.13**

Guadagno di corrente in DC in funzione della corrente di collettore per un BJT.

$$\beta_o = \frac{\beta_F}{\left[1 - I_C \left(\frac{1}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right)_{\text{punto } Q} \right]}$$

Dall'Equazione (13.30), il fattore di amplificazione è poco dipendente dal punto di lavoro, per $V_{CE} \ll V_A$.

Vedremo in seguito che il guadagno di tensione intrinseco μ_f gioca un ruolo importante nel progetto dei circuiti amplificatori. Il parametro μ_f rappresenta infatti il massimo guadagno di tensione che un dato transistor può fornire, questo parametro viene pertanto anche denominato fattore di amplificazione del dispositivo. Per V_A compreso fra 25 V e 100 V, a temperatura ambiente μ_f varia fra 1000 e 4000. Come vedremo nei prossimi capitoli, con un progetto accorto è quindi possibile avere amplificatori a singolo stadio con guadagno di tensione pari ad alcune migliaia.



NOTA PROGETTUALE

Guadagno di tensione intrinseco

Il guadagno di tensione di un amplificatore a singolo transistor non può superare il guadagno di tensione intrinseco μ_f , che per il transistor bipolare a

temperatura ambiente è generalmente compreso fra 1000 e 4000.

$$\mu_f = \frac{V_A + V_{CE}}{V_T} \approx \frac{V_A}{V_T}$$

La Tabella 13.1 mostra alcuni esempi di variazione dei parametri per piccoli segnali di un transistor, al variare del punto di lavoro. I valori di g_m , r_π e r_o possono variare di molti ordini di grandezza, al variare della corrente di collettore. Si noti in Tabella 13.1 che μ_f , invece, non varia al variare del punto di lavoro. Vedremo più avanti in questo stesso capitolo che questa è una differenza significativa fra BJT e MOS.

È importante osservare che, benché il modello per piccoli segnali del BJT sia stato ottenuto considerando il transistor montato in configurazione a emettitore comune (si veda la Figura 13.10), il modello ibrido a π può essere utilizzato per analizzare qualsiasi topologia circuitale. Questo punto risulterà più chiaro nel prossimo capitolo.

Tabella 13.1 Parametri per piccoli segnali del BJT in funzione della corrente di collettore $\beta_o = 100$, $V_A = 75$ V, $V_{CE} = 10$ V

I_C	g_m	r_π	r_o	μ_f
1 μ A	40 μ S	2.5 M Ω	85 M Ω	3400
10 μ A	400 μ S	250 k Ω	8.5 M Ω	3400
100 μ A	4 mS	25.0 k Ω	850 k Ω	3400
1 mA	40 mS	2.5 k Ω	85 k Ω	3400
10 mA	0.40 S	250 Ω	8.5 k Ω	3400

ESERCIZIO Si calcolino i valori di g_m , r_π , r_o e μ_f per un transistor bipolare con $\beta_o = 75$ e $V_A = 60$ V, polarizzato nel punto (50 μ A, 5 V).

RISPOSTE 2.00 mS, 37.5 k Ω , 1.30 M Ω , 2600.

ESERCIZIO Si calcolino i valori di g_m , r_π , r_o e μ_f per un transistor bipolare con $\beta_o = 50$ e $V_A = 75$ V, polarizzato nel punto (250 μ A, 5 V).

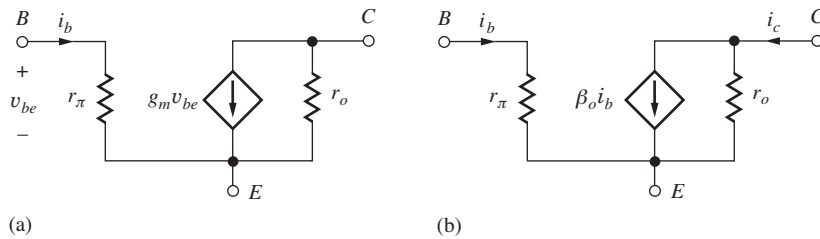
RISPOSTE 10.0 mS, 5.00 k Ω , 360 k Ω , 3600.

ESERCIZIO Si utilizzi un'analisi grafica per ottenere i valori di β_{FO} , g_m , β_o e r_o per il transistor con le caratteristiche e il punto di lavoro mostrati in Figura 13.1(b). Si calcoli il valore di r_π .

RISPOSTE 100, 62.5 mS, 100, ∞ , 1.60 k Ω .

ESERCIZIO Supponendo di aggiungere r_μ al modello ibrido a π , quali valori di resistenza r_μ occorre usare per i punti di lavoro riassunti nella Tabella 13.1 se $r_\mu = \beta_o r_o$?

RISPOSTE 8.5 G Ω , 850 M Ω , 85 M Ω , 8.5 M Ω , 850 k Ω .

**Figura 13.14**

Due forme equivalenti del modello per piccoli segnali del BJT: (a) modello con un generatore di corrente pilotato in tensione e (b) modello con un generatore di corrente pilotato in corrente.

13.5.5 Forme equivalenti del modello per piccoli segnali

Il modello per piccoli segnali di Figura 13.14 include il generatore di corrente controllato in tensione $g_m v_{be}$. Risulta spesso conveniente nell'analisi circuitale trasformare questo elemento in un generatore controllato in corrente. Osservando che la tensione v_{be} in Figura 13.13 può essere espressa in funzione della corrente i_b secondo la relazione $v_{be} = r_\pi i_b$, l'espressione per il generatore di corrente controllato può essere riscritta come:

$$g_m v_{be} = g_m r_\pi i_b = \beta_o i_b \quad \text{dove} \quad \beta_o = g_m r_\pi \quad (13.31)$$

Le Figure 13.14(a) e 13.14(b) mostrano due forme equivalenti per il modello per piccoli segnali del BJT. Il circuito in Figura 13.14(a) modella il BJT utilizzando un generatore di corrente pilotato in tensione, mentre per il modello in Figura 13.14(b) abbiamo:

$$i_c = \beta_o i_b + \frac{v_{ce}}{r_o} \approx \beta_o i_b \quad (13.32)$$

L'ultima equazione mostra che in regione attiva diretta $i_c \approx \beta_o i_b$. Nella maggior parte dei casi, risulta $v_{ce}/r_o \ll \beta_o i_b$, pertanto la relazione $i_c = \beta_o i_b$ può essere adoperata sia nell'analisi DC sia nell'analisi AC, quando il BJT è in regione attiva diretta. Vedremo che in alcuni casi l'analisi circuitale si semplifica utilizzando il modello di Figura 13.14(a), mentre in altri casi è più agevole l'utilizzo del modello di Figura 13.14(b).¹

13.5.6 Modello ibrido a π semplificato

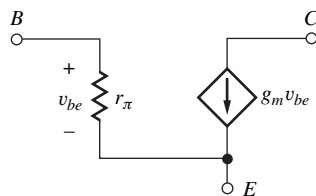
Avremo modo di vedere nel seguito che la resistenza di uscita r_o ha spesso un effetto trascurabile sulle prestazioni dei circuiti, in particolar modo sul guadagno di tensione. Possiamo pertanto spesso semplificare significativamente l'analisi circuitale trascurando la resistenza di uscita nel modello ibrido a π , come mostrato in Figura 13.15. In generale, questa semplificazione è possibile se il guadagno di tensione del circuito è molto inferiore rispetto al guadagno intrinseco μ_f . Pertanto il nostro approccio sarà quello di trascurare r_o , calcolare il guadagno di tensione e verificare a posteriori se il risultato è consistente (guadagno di tensione molto più piccolo di μ_f). Si deve tuttavia evidenziare che r_o può avere un impatto molto significativo, e quindi non può essere trascurata, per il calcolo della resistenza di uscita degli amplificatori.



NOTA PROGETTUALE

Resistenza di uscita

La resistenza di uscita r_o può essere trascurata per il calcolo del guadagno di tensione A_v se risulta a posteriori $A_v \ll \mu_f$.

**Figura 13.15**

Modello ibrido a π semplificato, in cui si trascura la resistenza di uscita r_o .

¹ Un'ulteriore forma del modello per piccoli segnali del BJT, il modello a T, è studiata nel Problema 13.59 [N.d.C.].

13.5.7 Definizione di piccolo segnale per un transistor bipolare

In un modello per piccoli segnali, vogliamo che le relazioni fra le variazioni di tensione e le variazioni di corrente siano lineari. Possiamo utilizzare le equazioni del trasporto semplificate, in regione di funzionamento attiva diretta, per ottenere le condizioni che debbono essere verificate per poter utilizzare il modello per piccoli segnali del BJT:

$$i_C = I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] = I_S \left[\exp \left(\frac{V_{BE} + v_{be}}{V_T} \right) \right] \quad (13.33)$$

La (13.33) può essere riscritta nel modo seguente:

$$i_C = I_C + i_c = \left[I_S \exp \left(\frac{V_{BE}}{V_T} \right) \right] \left[\exp \left(\frac{v_{be}}{V_T} \right) \right] = I_C \left[\exp \left(\frac{v_{be}}{V_T} \right) \right] \quad (13.34)$$

in cui abbiamo osservato che I_C , la corrente di collettore in DC, è pari a:

$$I_C = I_S \exp \left(\frac{V_{BE}}{V_T} \right) \quad (13.35)$$

Sviluppando l'esponenziale dell'Equazione (13.34) in serie di Mac Laurin si ha:

$$i_C = I_C \left[1 + \frac{v_{be}}{V_T} + \frac{1}{2} \left(\frac{v_{be}}{V_T} \right)^2 + \frac{1}{6} \left(\frac{v_{be}}{V_T} \right)^3 + \dots \right] \quad (13.36)$$

Ricordando poi che $i_c = i_C - I_C$ si ha:

$$i_c = I_C \left[\frac{v_{be}}{V_T} + \frac{1}{2} \left(\frac{v_{be}}{V_T} \right)^2 + \frac{1}{6} \left(\frac{v_{be}}{V_T} \right)^3 + \dots \right] \quad (13.37)$$

La condizione di linearità richiede che i_c sia proporzionale a v_{be} , per cui dobbiamo avere:

$$\frac{1}{2} \left(\frac{v_{be}}{V_T} \right)^2 \ll \frac{v_{be}}{V_T} \quad \text{ovvero} \quad v_{be} \ll 2V_T \approx 50 \text{ mV} \quad (13.38)$$

Dall'Equazione (13.38) vediamo che il funzionamento per piccoli segnali richiede che il segnale applicato alla giunzione base-emettitore sia molto più piccolo del doppio della tensione termica, ovvero 50 mV a temperatura ambiente. Assumendo che un fattore 10 sia adeguato a soddisfare la disuguaglianza richiesta dall'Equazione (13.38), la condizione di piccolo segnale per un BJT si può scrivere come:

$$|v_{be}| \leq 5 \text{ mV} \quad (13.39)$$

Se la condizione (13.39) è soddisfatta, l'Equazione (13.37) può essere approssimata come segue:

$$i_c \approx I_C \left[1 + \frac{v_{be}}{V_T} \right] = I_C + \frac{I_C}{V_T} v_{be} = I_C + g_m v_{be} \quad (13.40)$$

Le variazioni di i_C risultano così direttamente proporzionali alle variazioni di v_{be} , con un fattore di proporzionalità pari a g_m . Le componenti di v_{be} ordine superiore al primo in Equazione 13.37 danno luogo a distorsione armonica, come discusso nel Paragrafo 10.6.

Dall'Equazione (13.39) vediamo che la componente di segnale ai capi della giunzione base-emettitore deve essere inferiore a 5 mV per poter applicare il modello per piccoli segnali; questo valore è davvero molto piccolo. È bene notare, peraltro, che tale condizione non implica affatto che le componenti AC siano così piccole anche in altri punti del circuito. Per esempio, se consideriamo di nuovo la Figura 13.1, vediamo che un segnale picco-picco di 16 mV per v_{be} è in grado di generare un segnale al collettore di 3.3 V *p-p*. Questo è un aspetto importante, in quanto molto spesso vogliamo che un amplificatore lineare sia in grado di generare segnali di uscita di ampiezza pari ad alcuni volt.

Vediamo ora quali sono le variazioni della corrente di collettore, compatibili con il funzionamento per piccoli segnali. Utilizzando l'Equazione (13.40) si ha:

$$\frac{i_c}{I_C} = \frac{i_C - I_C}{I_C} = \frac{g_m}{I_C} v_{be} = \frac{v_{be}}{V_T} \leq \frac{5 \text{ mV}}{25 \text{ mV}} = 0.20 \quad (13.41)$$

Una variazione di 5 mV per la v_{BE} corrisponde a una variazione del 20% della i_C rispetto al punto di lavoro, e anche a una variazione del 20% della i_E rispetto al punto di lavoro, visto che $\alpha_F \approx 1$. Dunque, possiamo avere delle variazioni di tensione significative ai terminali di emettitore e/o di collettore del transistor, quando le componenti di segnale i_c e i_e fluiscono attraverso resistori di carico.

La condizione di piccolo segnale, che garantisce un comportamento lineare per il dispositivo, è in pratica frequentemente violata. Il progettista del circuito deve in questo caso accettare un compromesso fra una maggiore ampiezza dei segnali e un più alto livello di distorsione; inoltre l'analisi effettuata sul circuito linearizzato diviene più approssimata, quando ci muoviamo al di fuori della condizione di piccolo segnale. Tuttavia, l'analisi manuale rimane estremamente importante per ottenere una stima analitica delle prestazioni del circuito; se è necessario ottenere dei risultati più accurati, l'analisi manuale può essere seguita da una simulazione in transitorio.



NOTA PROGETTUALE

Condizione di piccolo segnale per il transistor bipolare

La condizione di piccolo segnale per un transistor bipolare è: $|v_{be}| \leq 5 \text{ mV}$ e $|i_c| \leq 0.2 I_C$

ESERCIZIO L'ampiezza del segnale nelle Figure 13.1(a) e 13.1(b) soddisfa i requisiti per poter applicare il modello per piccoli segnali del BJT?

RISPOSTA no, $v_{be} = 8 \text{ mV}$ non soddisfa la condizione (13.39) che rappresenta la nostra definizione di piccolo segnale.

13.5.8 Modello per piccoli segnali per il transistor *pnp*

Il modello per piccoli segnali del transistor *pnp* è identico a quello del transistor *nnp*. A prima vista questo fatto può apparire sorprendente, visto che nei due dispositivi le correnti in continua fluiscono in direzioni opposte. Per spiegare questa apparente incongruenza, consideriamo i circuiti di Figura 13.16.

In Figura 13.16 i transistori *nnp* e *pnp* sono entrambi polarizzati da un generatore di corrente I_B , che impone una corrente di collettore nel punto Q pari a: $I_C = \beta_F I_B$. In entrambi i circuiti, una componente di segnale i_b è iniettata nella base dei dispositivi. Per il transistor *nnp*, le correnti totali di base e di collettore sono (assumendo $\beta_o = \beta_F$):

$$i_B = I_B + i_b \quad \text{e} \quad i_C = I_C + i_c = \beta_F I_B + \beta_o i_b \quad (13.42)$$

Un aumento della corrente di base comporta in un transistor *nnp* un aumento della corrente entrante nel collettore.

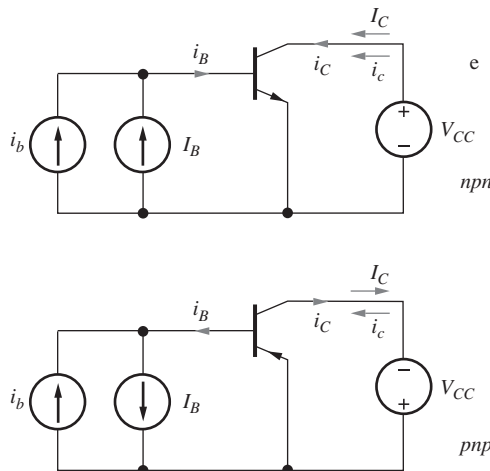
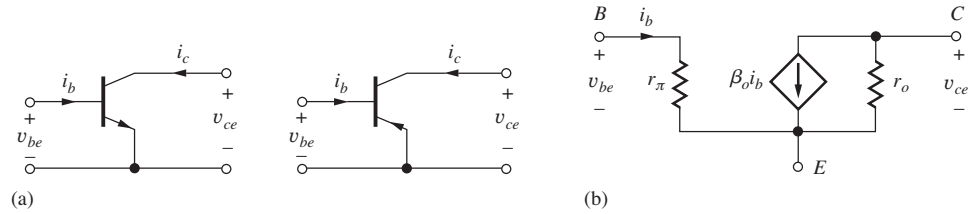


Figura 13.16

Componenti di corrente AC e DC per i transistori *nnp* e *pnp*.

Figura 13.17

(a) Rappresentazione come doppio bipolo per i transistori *nnp* e *pnnp*. (b) I modelli per piccoli segnali per i due transistori sono identici.



Per il transistor *pnnp* si ha:

$$i_B = I_B - i_b \quad \text{e} \quad i_C = I_C - i_c = \beta_F I_B - \beta_F i_b \quad (13.43)$$

Il segnale i_b iniettato nella base del transistor *pnnp* comporta una diminuzione della corrente totale di collettore, che, dati i versi delle correnti mostrati in Figura 13.16, è equivalente a un aumento della componente di segnale i_c . In definitiva, sia per i transistori *nnp* che per i dispositivi *pnnp*, una corrente i_b iniettata nella base determina una componente di corrente i_c entrante nel collettore, per cui nei modelli per piccoli segnali i versi dei generatori di corrente controllati sono identici, come evidenzia la Figura 13.17.

13.5.9 Confronto fra analisi AC e analisi in transitorio in SPICE

Le differenze fra le modalità di simulazione in AC e in transitorio in SPICE sono frequenti causa di confusione per chi utilizza le prime volte il simulatore.

La modalità di analisi in AC è del tutto simile alle nostre analisi manuali con il modello per piccoli segnali. Nell'analisi AC di SPICE, infatti, tutti i dispositivi sono sostituiti con i loro modelli per piccoli segnali, e viene quindi effettuata un'analisi del circuito linearizzato. È importante osservare che nell'analisi AC di SPICE, avendo linearizzato il circuito, non è necessario imporre alcun vincolo di piccolo segnale alle sorgenti; spesso, per comodità, assumeremo un valore unitario (1 V oppure 1 A).

L'analisi in transitorio di SPICE fornisce, invece, una rappresentazione nel dominio del tempo delle tensioni e correnti nel circuito, simile a quella che potremmo vedere se costruiamo il circuito e guardassimo le forme d'onda con un oscilloscopio. I modelli disponibili in SPICE portano in conto, in modo quanto più fedele possibile il comportamento non-lineare dei dispositivi. Un'analisi SPICE in transitorio, se sono violati i limiti di piccolo segnale dei generatori, consente di studiare la distorsione delle forme d'onda prodotte in uscita.

13.6 L'amplificatore a emettitore comune (C-E)

Siamo ora in grado di analizzare il comportamento per piccoli segnali **dell'amplificatore a emettitore comune (C-E, Common-Emitter)**, il cui schema completo è mostrato in Figura 13.18(a). Il circuito equivalente AC di Figura 13.18(b) è stato ottenuto in precedenza (si veda l'Esempio 13.1), assumendo che tutti i condensatori abbiano un'impedenza trascurabile alla frequenza del segnale e ricordando che il generatore di tensione continua si comporta come un cortocircuito per le componenti variabili. Assumiamo per semplicità di aver calcolato in precedenza il punto di lavoro e i valori di I_C e di V_{CE} .

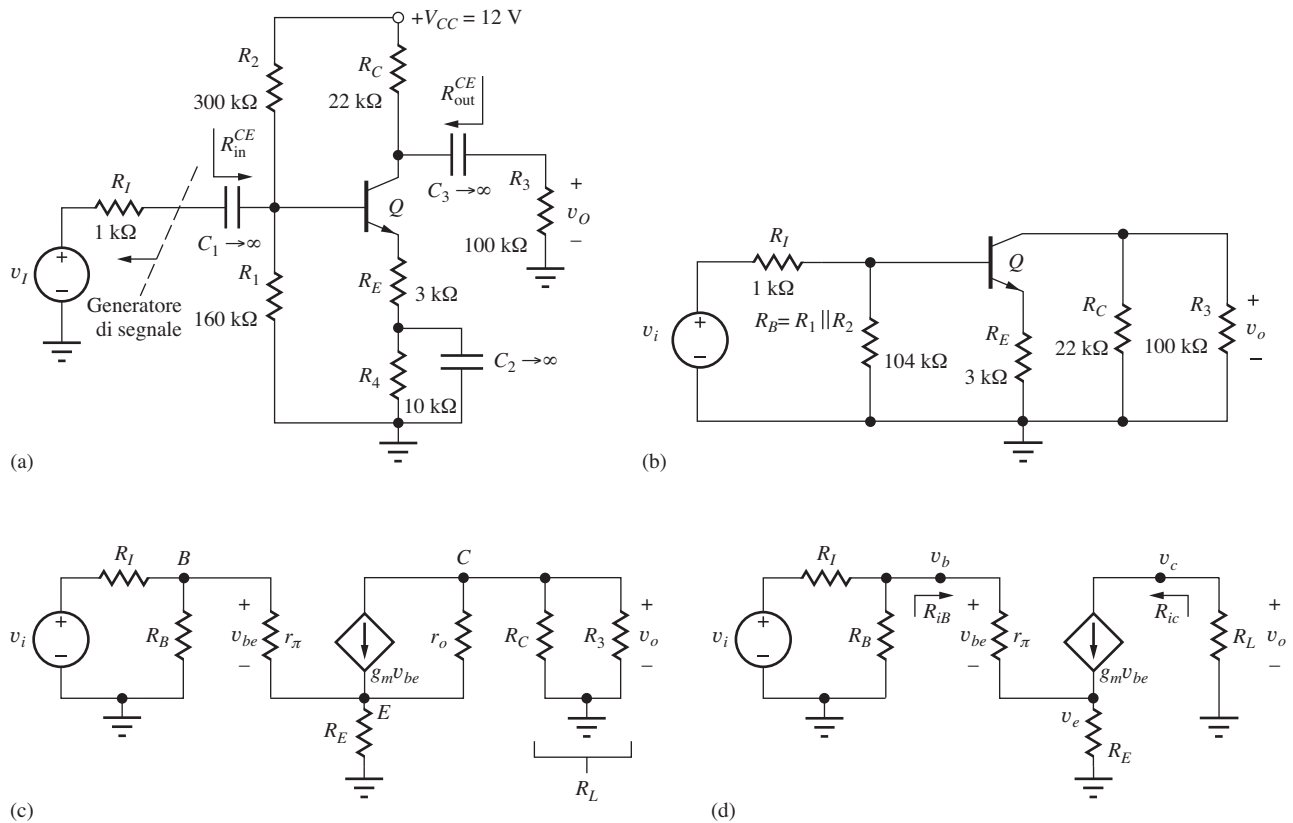
Ulteriori esempi di analisi completa di circuiti amplificatori verranno mostrati in seguito in questo stesso capitolo. In Figura 13.18(b) la resistenza R_B rappresenta il parallelo fra i due resistori di polarizzazione R_1 e R_2 :

$$R_B = R_1 \parallel R_2 \quad (13.44)$$

mentre il resistore R_4 non compare, grazie alla presenza del condensatore di bypass C_2 .

Prima di procedere al calcolo del guadagno di tensione dell'amplificatore, dobbiamo sostituire al transistor il suo modello per piccoli segnali, come mostra la Figura 13.18(c). Un'ultima semplificazione del circuito viene mostrata in Figura 13.18(d), in cui il resistore R_L rappresenta la resistenza di carico complessiva del transistor, data dal parallelo di R_C e di R_3 :

$$R_L = R_C \parallel R_3 \quad (13.45)$$



Si noti che la resistenza differenziale di uscita r_o è stata trascurata nel circuito finale di Figura 13.18(d), come discusso nel Paragrafo 13.5.5.

La ragione per cui questa configurazione circuitale è denominata “amplificatore a emettitore comune” dovrebbe essere abbastanza chiara, se consideriamo le Figure dalla 13.18(b) alla 13.18(d): il segnale di ingresso è applicato alla base del transistor mentre l'uscita è prelevata al terminale di collettore; i segnali di ingresso e di uscita sono riferiti al terminale comune di emettitore (attraverso la resistenza R_E).

13.6.1 Guadagno di tensione dell'amplificatore a emettitore comune

Siamo ora in grado di ottenere l'espressione del guadagno di tensione fra il generatore di segnale v_i e la tensione di uscita, ai capi della resistenza R_3 . Il guadagno complessivo di tensione può essere scritto come:

$$A_v^{CE} = \frac{v_o}{v_i} = \left(\frac{v_o}{v_b} \right) \left(\frac{v_b}{v_i} \right) = A_{vt}^{CE} \left(\frac{v_b}{v_i} \right) \quad \text{dove} \quad A_{vt}^{CE} = \left(\frac{v_o}{v_b} \right) \quad (13.46)$$

Il termine A_{vt}^{CE} rappresenta il guadagno di tensione fra i terminali di base e di collettore del transistor, il “guadagno ai terminali”. Procederemo dapprima al calcolo del guadagno ai terminali, A_{vt}^{CE} , e della resistenza di ingresso vista guardando verso il terminale di base del BJT; in seguito calcoleremo il rapporto v_b/v_i per ottenere il guadagno di tensione complessivo.

Al fine di calcolare il guadagno ai terminali, in Figura 13.19 il BJT è sostituito con il suo modello per piccoli segnali, mentre il terminale di base è pilotato da una sorgente di test, v_b . Si noti che si è utilizzata la versione del modello per piccoli segnali che utilizza un generatore controllato in corrente (si veda la Figura 13.14(b)); inoltre, come discusso in precedenza, si è trascurata la resistenza r_o . La tensione di uscita v_o è data da:

$$v_o = -\beta_o i_b R_L \quad (13.47)$$

Possiamo facilmente esprimere i_b in funzione della tensione di base v_b , scrivendo l'equazione relativa alla maglia 1 mostrata in Figura 13.19:

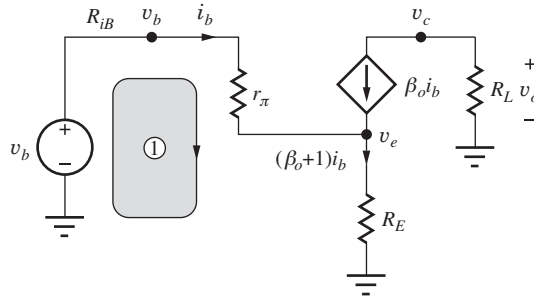
$$v_b = i_b r_\pi + (i_b + \beta_o i_b) R_E = i_b [r_\pi + (\beta_o + 1) R_E] \quad (13.48)$$

Figura 13.18

Amplificatore a emettitore comune, con un transistor bipolare. (b) Circuito equivalente in AC. (c) Circuito equivalente in AC, in cui il transistor bipolare è sostituito dal modello per piccoli segnali. (d) Circuito equivalente finale per l'analisi AC dell'amplificatore a emettitore comune.

Figura 13.19

Modello per piccoli segnali semplificato, per il calcolo del guadagno di tensione ai terminali a emettitore comune, A_{vt}^{CE} , e della resistenza di ingresso R_{iB} .



Risolvendo in i_b e sostituendo il risultato nella (13.47) si ha:

$$A_{vt}^{CE} = \frac{v_o}{v_b} = - \frac{\beta_o R_L}{r_{\pi} + (\beta_o + 1) R_E} \approx - \frac{g_m R_L}{1 + g_m R_E} \quad (13.49)$$

in cui l'approssimazione consiste nel considerare $\beta_o \gg 1$ e si è inoltre utilizzata la relazione: $\beta_o = g_m r_{\pi}$.

Il segno meno nella (13.49) indica che lo stadio a emettitore comune è un amplificatore invertente, in cui i segnali di ingresso e di uscita sono sfasati di 180° . Il guadagno ai terminali è proporzionale al prodotto fra la transconduttanza g_m e la resistenza di carico R_L ; questo prodotto rappresenta un limite superiore al guadagno complessivo dell'amplificatore a emettitore comune.

13.6.2 Resistenza di ingresso

La resistenza di ingresso R_{iB} che si osserva in Figura 13.19 guardando dentro il terminale di base è data dal rapporto fra v_b e i_b e può essere facilmente ottenuta a partire dall'Equazione (13.48):

$$R_{iB} = \frac{v_b}{i_b} = r_{\pi} + (\beta_o + 1) R_E \approx r_{\pi} (1 + g_m R_E) \quad (13.50)$$

in cui, nuovamente, l'approssimazione consiste nel considerare $\beta_o \gg 1$ e si è inoltre utilizzata la relazione: $\beta_o = g_m r_{\pi}$.

Dalla (13.48) si osserva che la resistenza di ingresso vista guardando verso il terminale di base è pari ad r_{π} cui si somma un contributo dovuto alla resistenza R_E ; tale contributo è dato dalla stessa R_E moltiplicata per il guadagno di corrente $(\beta_o + 1)$.

13.6.3 Guadagno di tensione complessivo

Il guadagno di tensione complessivo A_v^{CE} può essere ottenuto abbastanza facilmente a partire dalle espressioni del guadagno ai terminali e della resistenza di ingresso. La tensione v_b al terminale di base nella Figura 13.18(d) può essere scritta come:

$$v_b = v_i \frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})} \quad (13.51)$$

Combinando le (13.46), (13.49) e (13.51) si ottiene un'espressione generale per il guadagno di tensione complessivo dell'amplificatore a emettitore comune:

$$A_v^{CE} = A_{vt}^{CE} \left(\frac{v_b}{v_i} \right) \approx - \left(\frac{g_m R_L}{1 + g_m R_E} \right) \left[\frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})} \right] \quad (13.52)$$

Da questa espressione si può osservare che il guadagno complessivo è dato dal guadagno al terminale A_{vt}^{CE} , ridotto di un fattore pari al partitore resistivo fra la R_I e la resistenza equivalente di ingresso vista al terminale di base del transistor. Dalla (13.52) risulta evidente che A_{vt}^{CE} rappresenta un limite superiore al guadagno di tensione complessivo del circuito.

13.7 Limiti importanti e semplificazioni dei modelli

Possiamo ora valutare i limiti entro cui può variare il guadagno di tensione, al variare della resistenza di emettitore. Assumeremo nel seguito che $R_I \ll R_B || R_{IB}$, in modo tale che:

$$A_v^{CE} \approx A_{vt}^{CE} = -\frac{g_m R_L}{1 + g_m R_E} \quad \text{per} \quad R_I \ll R_B || R_{IB} \quad (13.53)$$

Questa approssimazione è equivalente a ipotizzare che tutto il segnale di ingresso sia disponibile al terminale di base del transistor.

13.7.1 Resistenza di emettitore nulla

Per rendere il guadagno di tensione quanto più grande possibile, dobbiamo minimizzare il denominatore della (13.53); questo risultato si ottiene ponendo $R_E = 0$. Il guadagno, in questo caso, diviene:

$$A_v^{CE} \approx -g_m R_L = -g_m (R_C || R_3) \quad (13.54)$$

L'ultima equazione evidenzia che il guadagno di tensione complessivo è dato dal prodotto fra la transconduttanza g_m e la resistenza di carico R_L .

Il segno meno indica che la tensione di uscita è "invertita", nel senso che i segnali di ingresso e di uscita sono sfasati di 180° . L'Equazione (13.54) rappresenta un limite superiore al guadagno ottenibile da un amplificatore a emettitore comune con un resistore esterno di carico. Come mostra la Figura 13.20, le approssimazioni che hanno portato all'Equazione (13.54) sono equivalenti a ipotizzare che il segnale di ingresso sia direttamente applicato ai capi della resistenza r_π .

13.7.2 Guida per il progetto dell'amplificatore a emettitore comune con carico resistivo

Nel progetto dell'amplificatore si cerca spesso di ottenere la condizione $R_3 \gg R_C$. In questo caso la resistenza complessiva sul collettore del transistor è approssimativamente pari a R_C , e l'Equazione (13.54) si semplifica in questo modo:

$$A_v^{CE} \approx A_{vt}^{CE} = -g_m R_C = -\frac{I_C R_C}{V_T} \quad (13.55)$$

Il prodotto $I_C R_C$ rappresenta la caduta di tensione in DC ai capi della resistenza di collettore R_C . Questa tensione deve essere ovviamente inferiore rispetto alla tensione di alimentazione, ed è tipicamente compresa fra un quarto e tre quarti di V_{CC} . Assumendo $I_C R_C = \zeta V_{CC}$, con $0 < \zeta < 1$, l'Equazione (13.55) può essere così riscritta:

$$A_v^{CE} \approx -\frac{I_C R_C}{V_T} \approx -\zeta \frac{V_{CC}}{V_T} \quad \text{con} \quad 0 \leq \zeta \leq 1 \quad (13.56)$$

Spesso il circuito viene progettato in modo che circa dal 30 % al 45% della tensione di alimentazione cada ai capi di R_C . Se si sceglie $\zeta = 1/3$; $I_C R_C = V_{CC}/3$ e l'Equazione (13.56) diviene: $A_v \approx V_{CC}/(3V_T)$. Per tenere in conto le approssimazioni che hanno portato a questo risultato, e per ottenere un risultato che è più facile da ricordare, utilizzeremo l'espressione seguente come stima del guadagno di tensione:

$$A_v^{CE} \approx -\frac{V_{CC}}{4V_T} = -\frac{V_{CC}}{100 \text{ mV}} \quad \text{per} \quad R_E = 0 \quad (13.57)$$

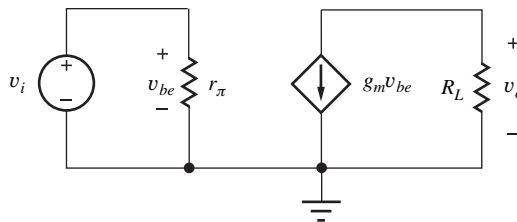


Figura 13.20
Circuito semplificato,
corrispondente
all'Equazione (13.54) con
 $R_E = 0$.

L'Equazione (13.57) rappresenta una relazione di prima approssimazione per il progetto di amplificatori a emettitore comune con carico resistivo. Si noti che per avere una stima al primo ordine del guadagno di tensione di un amplificatore a emettitore comune è necessario conoscere soltanto la tensione di alimentazione del circuito. Per un amplificatore a emettitore comune con una tensione di alimentazione di 15 V possiamo pertanto stimare un guadagno di -150 , ovvero 44 dB, mentre per una tensione di alimentazione di 10 V il guadagno sarà all'incirca -100 o 40 dB. Da notare, infine, che un valore di R_E maggiore di zero provoca una riduzione del guadagno rispetto alla stima offerta dalla (13.57).



NOTA PROGETTUALE

Stima del guadagno dell'amplificatore a emettitore comune

Il guadagno di tensione di un amplificatore a emettitore comune con resistenza di emettitore nulla è approssimativamente 10 volte la tensione di alimentazione

$$A_v^{CE} \approx -V_{CC}/(100 \text{ mV}) \quad \text{per} \quad R_E = 0$$

Questo risultato fornisce un modo eccellente per controllare rapidamente la validità di calcoli più accurati. Si tenga presente che la stima del guadagno è solo una approssimazione del primo ordine, in grado di fornire l'ordine di grandezza del guadagno, e non è un risultato esatto.

Confronto tra r_o e R_C

Proviamo a confrontare r_o con R_C moltiplicando entrambe per la corrente di collettore I_C :

$$I_C r_o = V_A + V_{CE} \approx V_A \quad \text{mentre} \quad I_C R_C \approx V_{CC}/3 \quad (13.58)$$

Per valori tipici, per esempio $V_A = 75 \text{ V}$ e $V_{CC} = 15 \text{ V}$, si nota che $I_C R_C \ll I_C r_o$ e $R_C \ll r_o$. Pertanto si ha anche

$$g_m R_C \ll g_m r_o \quad \text{oppure} \quad g_m R_C \ll \mu_f \quad (13.59)$$

L'Equazione (13.59) mostra che è possibile trascurare r_o ogni qual volta il guadagno di tensione è molto inferiore a μ_f .



NOTA PROGETTUALE

Resistenza di uscita dell'amplificatore a emettitore comune

La resistenza di uscita r_o del transistor può essere trascurata nei calcoli del guadagno di tensione ogni qual volta il guadagno di tensione è molto inferiore a μ_f .

13.7.3 Guadagno di corrente per l'amplificatore a emettitore comune con elevata resistenza di emettitore

Nel caso in cui la resistenza R_E sia diversa da zero, il guadagno si riduce rispetto a quanto previsto dall'Equazione (13.54). Nel caso in cui la R_E sia sufficientemente grande, per cui $g_m R_E \gg 1$, il guadagno di tensione complessivo può essere approssimato dalla relazione seguente:

$$A_{vt}^{CE} = -\frac{g_m R_L}{1 + g_m R_E} \approx -\frac{R_L}{R_E} \quad \text{per} \quad g_m R_E \gg 1 \quad (13.60)$$

Il guadagno è determinato dal rapporto fra la resistenza di carico R_L e la resistenza di emettitore R_E ; questa condizione è estremamente utile nelle applicazioni pratiche, in quanto il guadagno è indipendente dai parametri del transistor che possono variare significativamente da un dispositivo all'altro. L'espressione riportata nella (13.60) è molto simile a quella relativa all'amplificatore operazionale in configurazione invertente; questo è un risultato della retroazione (feedback) introdotta dalla resistenza R_E .

Nella (13.60) si è ipotizzato $g_m R_E \gg 1$. Il prodotto $g_m R_E$ può essere facilmente espresso in funzione della caduta in DC ai capi del resistore R_E :

$$g_m R_E = \frac{I_C R_E}{V_T} = \alpha_F \frac{I_E R_E}{V_T} \approx \frac{I_E R_E}{V_T} \quad \text{e si desidera } I_E R_E \gg V_T \quad (13.61)$$

Il prodotto $I_E R_E$ rappresenta la caduta in DC ai capi del resistore R_E ; la condizione che questa caduta sia molto maggiore di 25 mV (per esempio 0.250 V) è facilmente realizzabile in pratica.

13.7.4 Limiti per la condizione di piccolo segnale nell'amplificatore a emettitore comune

La presenza del resistore R_E comporta un beneficio addizionale, in quanto consente di incrementare la massima tensione v_b compatibile con la condizione di piccolo segnale. Sappiamo che la tensione v_{be} ai capi della resistenza r_π deve essere inferiore a 5 mV affinché il BJT operi in condizioni di piccolo segnale (si veda il Paragrafo 13.5.7). Il valore di v_{be} può essere espresso in funzione di i_b grazie alla (13.48):

$$v_{be} = i_b r_\pi = v_b \frac{r_\pi}{r_\pi + (\beta_o + 1)R_E} \approx \frac{v_b}{1 + g_m R_E} \quad (13.62)$$

il risultato approssimato vale per $\beta_o \gg 1$. Imponendo $|v_{be}| < 5$ mV nella 13.62 si ha:

$$|v_b| \leq 5 \text{ mV} (1 + g_m R_E) \quad (13.63)$$

Pertanto, se $g_m R_E \gg 1$, v_b può essere aumentata ben oltre il limite di 5 mV.

GUADAGNO DI TENSIONE DI UN AMPLIFICATORE A EMETTITORE COMUNE

Esempio 13.3

Si calcoli il guadagno di tensione dell'amplificatore a emettitore comune di Figura 13.18(a), assumendo: $\beta_F = 100$, $V_A = 75$ V e che il punto Q sia: (0.245 mA, 3.39 V). Si calcoli il massimo valore di v_i compatibile con l'ipotesi di funzionamento del circuito per piccoli segnali.

PROBLEMA

Informazioni e dati noti: L'amplificatore a emettitore comune e il suo circuito equivalente, mostrati in Figura 13.18; $\beta_F = 100$, $V_A = 75$ V; il punto Q è: (0.245 mA, 3.39 V); $R_I = 1$ k Ω , $R_1 = 160$ k Ω , $R_2 = 300$ k Ω , $R_C = 22$ k Ω , $R_E = 3$ k Ω , $R_4 = 100$ k Ω e $R_3 = 100$ k Ω .

SOLUZIONE

Incognite: I parametri differenziali del transistor, il guadagno di tensione A_v , il massimo valore di v_i compatibile con il funzionamento del circuito per piccoli segnali.

Approccio: Si utilizzi l'informazione sul punto Q per ottenere r_π e r_o . Si utilizzi l'Equazione (13.52) per il guadagno di tensione.

Ipotesi: Il transistor è in regione attiva e $\beta_o = \beta_F$; le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali del dispositivo. La resistenza r_o può essere trascurata.

Analisi: Per poter applicare l'Equazione (13.52):

$$A_v = - \left(\frac{g_m R_L}{1 + g_m R_E} \right) \left[\frac{R_B \| R_{iB}}{R_1 + (R_B \| R_{iB})} \right] \quad \text{con } R_B = R_1 \| R_2 \quad \text{e} \quad R_{iB} = r_\pi + (\beta_o + 1)R_E$$

è necessario calcolare i valori dei parametri del modello per piccoli segnali. Si ha:

$$g_m = I_C / V_T = (0.245 \text{ mA}) / (25 \text{ mV}) = 9.80 \text{ mS} \quad r_\pi = \frac{\beta_o V_T}{I_C} = \frac{100(25 \text{ mV})}{0.245 \text{ mA}} = 10.2 \text{ k}\Omega$$

$$r_o = \frac{V_A + V_{CE}}{I_C} = \frac{75 \text{ V} + 3.39 \text{ V}}{0.245 \text{ mA}} = 320 \text{ k}\Omega \quad R_{iB} = r_\pi + (\beta_o + 1)R_{E1} = 313 \text{ k}\Omega$$

$$R_B = R_1 \| R_2 = 104 \text{ k}\Omega \quad R_L = R_C \| R_3 = 18.0 \text{ k}\Omega$$

Utilizzando questi valori otteniamo:

$$A_v = - \left(\frac{9.80 \text{ mS}(18.0 \text{ k}\Omega)}{1 + 9.80 \text{ mS}(3.0 \text{ k}\Omega)} \right) \left[\frac{104 \text{ k}\Omega \parallel 313 \text{ k}\Omega}{1 \text{ k}\Omega + (104 \text{ k}\Omega \parallel 313 \text{ k}\Omega)} \right] = -5.80(0.987) = -5.72$$

Pertanto, l'amplificatore a emettitore comune di Figura 13.18(a) fornisce un guadagno di tensione per piccoli segnali: $A_v v = -5.72$, o 15.1 dB.

L'ipotesi di piccoli segnali richiede: $|v_{be}| \ll 5 \text{ mV}$. Dalla Figura 13.18(d) la componente di segnale della tensione base-emettitore è data da:

$$v_{be} = v_b \frac{r_\pi}{r_\pi + (\beta_o + 1)R_E} = v_i \left[\frac{R_B \parallel R_{iB}}{R_I + R_B \parallel R_{iB}} \right] \left[\frac{r_\pi}{r_\pi + (\beta_o + 1)R_E} \right]$$

per cui deve essere:

$$v_i \leq (5 \text{ mV}) \left[\frac{R_I + (R_B \parallel R_{iB})}{R_B \parallel R_{iB}} \right] \left[\frac{r_\pi + (\beta_o + 1)R_E}{r_\pi} \right]$$

$$v_i \leq (5 \text{ mV}) \left[\frac{1 \text{ k}\Omega + (104 \text{ k}\Omega \parallel 313 \text{ k}\Omega)}{104 \text{ k}\Omega \parallel 313 \text{ k}\Omega} \right] \left[\frac{10.2 \text{ k}\Omega + 101(3 \text{ k}\Omega)}{10.2 \text{ k}\Omega} \right] = 0.155 \text{ V}$$

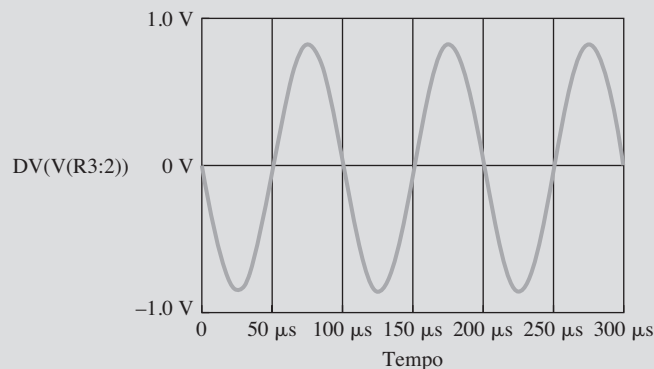
Controllo dei risultati: Abbiamo calcolato le informazioni richieste. Il fattore di amplificazione del transistor è $\mu_f = g_m r_o = (13.80 \text{ mS})(320 \text{ k}\Omega) = 3140$. Il guadagno di tensione di un amplificatore a singolo transistor non può superare questo valore. Utilizzando la (13.58) otteniamo una stima del guadagno di tensione di: $A_v^{CE} = -18 \text{ k}\Omega / 3 \text{ k}\Omega = -6$. I risultati ottenuti soddisfano entrambi i controlli.

Discussione: Si noti che il valore del guadagno di tensione ($A_v = -5.72$) è molto minore rispetto al guadagno intrinseco ($\mu_f = 3140$), per cui l'ipotesi di poter trascurare la r_o nel calcolo del guadagno è ampiamente verificata. Si noti inoltre che il valore di r_o è molto maggiore rispetto alla resistenza di carico collegata al terminale di collettore dell'amplificatore (18 kΩ). Anche questa condizione è consistente con l'ipotesi di poter trascurare la r_o .

L'ampiezza massima del segnale di ingresso compatibile con il funzionamento in regime di piccoli segnali è di 150 mV, grazie alla presenza della R_E .

Analisi assistita da calcolatore: Verifichiamo i nostri calcoli manuali utilizzando SPICE. Simuliamo il circuito di Figura 13.18(a), definendo i parametri dei transistori in modo che siano consistenti con la nostra analisi manuale: $\text{BF} = 100$, $\text{VAF} = 75$ e $\text{IS} = 1\text{f}$. Utilizziamo l'analisi in AC per ottenere il guadagno di tensione, con $\text{FSTART} = 1\text{K}$, $\text{FSTOP} = 100\text{K}$ e cinque punti calcolati ogni decade. Simulando il comportamento per numerose decadi, siamo sicuri di individuare una regione in cui gli effetti dei condensatori sono trascurabili. I condensatori devono essere di valore molto elevato, per esempio 1 mF, in modo che la loro reattanza sia molto piccola per le frequenze considerate. I risultati di SPICE sono punto $Q = (0.248 \text{ mA}, 3.30 \text{ V})$ e $A_v = -5.67$. Si noti che un modo alternativo per verificare i nostri calcoli è quello di utilizzare SPICE per simulare in AC il circuito equivalente per piccoli segnali di Figura 13.18(d).

Il grafico seguente mostra la risposta nel dominio del tempo dell'amplificatore, con una tensione di ingresso di ampiezza 0.15 V, $\text{TSTOP} = 0.3\text{M}$. Dal grafico rileviamo una buona linearità dell'amplificatore, con un guadagno di -5.7 .



ESERCIZIO (a) Si supponga che i resistori R_C , R_E e R_3 abbiano tolleranze del 10%. Quali sono i guadagni di tensione dell'amplificatore, nei casi peggiori? (b) Qual è il guadagno di tensione del circuito originario se $\beta_o = 125$? (c) Si supponga che, nel circuito originario, la corrente nel punto Q cresca fino a 0.275 mA. Quali sono i nuovi valori di V_{CE} e del guadagno di tensione?

RISPOSTE (a) -4.75 , -6.99 ; (b) -5.74 ; (c) 2.34 V; -5.76 .

GUADAGNO DI TENSIONE DI UN AMPLIFICATORE A EMETTITORE COMUNE, CON CONDENSATORE DI BYPASS SULLA RESISTENZA DI EMETTITORE

Esempio 13.4

a) Si calcoli il guadagno di tensione dell'amplificatore a emettitore comune dell'Esempio 13.3, assumendo che il condensatore di bypass C_2 sia collegato fra il terminale di emettitore del BJT e potenziale zero. (b) Si confrontino i risultati ottenuti al punto precedente con l'approssimazione al primo ordine del guadagno dell'amplificatore a emettitore comune. (c) Si calcoli il massimo valore di v_i compatibile con l'ipotesi di funzionamento del circuito per piccoli segnali.

PROBLEMA

Informazioni e dati noti: L'amplificatore a emettitore comune di Figura 13.18(a), con il condensatore di bypass C_2 collegato fra il terminale di emettitore del BJT e ground; dai risultati dell'esempio precedente il punto Q è: (0.245 mA, 3.39 V), $g_m = 9.80$ mS, $r_\pi = 10.2$ k Ω e $r_o = 320$ k Ω .

SOLUZIONE

Incognite: Il guadagno di tensione A_v , la stima al primo ordine del guadagno, il massimo valore di v_i compatibile con il funzionamento del circuito per piccoli segnali.

Approccio: (a) Si calcoli A_v^{CE} per $R_E = 0$; (b) si stimi il guadagno di tensione con la relazione approssimata: $A_v^{CE} \approx -V_{CC}/(100$ mV).

Ipotesi: Il transistor è in regione attiva; le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali del dispositivo. La resistenza r_o può essere trascurata.

Analisi: (a) Con il terminale di emettitore collegato direttamente a 0 V risulta:

$$R_{iB} = r_\pi + (\beta_o + 1)R_E = r_\pi \quad \text{e} \quad R_B = R_1 \parallel R_2$$

$$A_v^{CE} = -\left(\frac{g_m R_L}{1 + g_m R_E}\right) \left[\frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})}\right] = -g_m R_L \frac{R_B \parallel r_\pi}{R_I + (R_B \parallel r_\pi)}$$

$$A_v^{CE} = -9.80 \text{ mS} (18 \text{ k}\Omega) \frac{104 \text{ k}\Omega \parallel 10.2 \text{ k}\Omega}{1 \text{ k}\Omega + (104 \text{ k}\Omega \parallel 10.2 \text{ k}\Omega)} = -159 \text{ o } 44.0 \text{ dB}$$

(b) $A_v^{CE} \approx -(12 \text{ V})/(100 \text{ mV}) = -120$ e $\mu_f = 9.80 \text{ mS} (320 \text{ k}\Omega) = 3140$

(c) Con il terminale di emettitore collegato direttamente a 0 V la v_{be} è data da:

$$v_{be} = v_i \left[\frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})} \right] = v_i \frac{R_B \parallel r_\pi}{R_I + (R_B \parallel r_\pi)} = v_i \frac{104 \text{ k}\Omega \parallel 10.2 \text{ k}\Omega}{1 \text{ k}\Omega + (104 \text{ k}\Omega \parallel 10.2 \text{ k}\Omega)} = 0.903 v_i$$

La condizione di piccoli segnali richiede:

$$|v_i| \leq \frac{5 \text{ mV}}{0.903} = 5.53 \text{ mV}$$

Controllo dei risultati: Abbiamo calcolato le informazioni richieste. Il guadagno di tensione non è troppo diverso dalla stima al primo ordine e pertanto i calcoli appaiono corretti (si ricordi che la stima al primo ordine fornisce solo una grossolana approssimazione del guadagno, non è una formula esatta). Il guadagno di tensione è molto minore rispetto al guadagno intrinseco, per cui l'ipotesi di poter trascurare la r_o nel calcolo del guadagno è verificata.

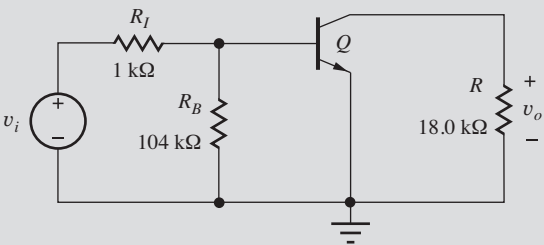
Analisi assistita da calcolatore: Utilizziamo l'analisi SPICE in AC per ottenere il guadagno di tensione, con FSTART = 10, FSTOP = 1MEG e dieci punti calcolati ogni decade. Il guadagno risulta costante e pari a 43.4 dB per frequenze superiori a 1 kHz; il guadagno è leggermente inferiore rispetto alla nostra analisi manuale in cui abbiamo trascurato la r_o . Effettuando una simulazione in transitorio con una sinusoide di ampiezza 5 mV e frequenza 10 kHz, l'uscita mostra un'apprezzabile distorsione; l'analisi Fourier di SPICE riporta una distorsione armonica totale inferiore al 4%.

Discussione: Completiamo la nostra analisi studiando l'impatto delle tolleranze sul funzionamento del circuito. Assumiamo che V_{CC} e tutti i resistori abbiano tolleranze del 5% e che β_F abbia una tolleranza del 25%. Per semplicità, trascuriamo le tolleranze su V_{BE} e V_A .

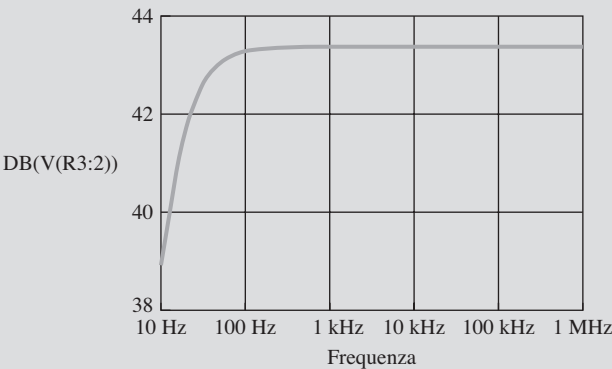
I risultati ottenuti con il metodo Monte Carlo su 500 casi sono riassunti nella tabella sottostante. La corrente di collettore varia di circa $\pm 15\%$; fortunatamente la tensione minima tra collettore e base è ± 1.11 V, per cui il transistor rimane sempre in regione attiva. Se in alcuni casi il transistor fosse risultato in saturazione, avremmo dovuto riprogettare il circuito. Il guadagno simulato varia tra -125 e -190 e la sua variazione è imputabile principalmente a variazioni dei valori di R_C , R_3 , I_C e β_F . Se dovessimo realizzare diverse repliche montate di questo circuito, esse presenterebbero significative variazioni del punto di lavoro e del guadagno.

Amplificatore ad emettitore comune: risultati di analisi con metodo Monte Carlo

Parametro	Valore nominale	Valore massimo	Valore minimo
I_C (μA)	245	285	211
V_{CE} (V)	3.40	4.36	2.52
V_{CB} (V)	2.44	3.60	1.11
A_v^{CE}	-146	-169	-125
r_π (k Ω)	10.6	14.2	7.36



Circuito equivalente AC con $R_E = 0$



ESERCIZIO Qual è il guadagno di tensione ai terminali dell'amplificatore dell'Esempio 13.4? Il guadagno di tensione complessivo è -159 . Dove viene perso il guadagno mancante?

RISPOSTE -176 ; il guadagno complessivo è circa il 10% inferiore (in modulo) al guadagno ai terminali a causa della perdita di accoppiamento tra la resistenza di sorgente R_I e la resistenza d'ingresso dell'amplificatore.

ESERCIZIO Un amplificatore a emettitore comune, simile a quello in Figura 13.18, è alimentato con una tensione di 20 V e il terminale di emettitore è bypassato dal condensatore C_2 . Il BJT ha $\beta_F = 100$, $V_A = 50$ V e opera con un punto Q di $(100 \mu A, 10$ V). L'amplificatore ha $R_I = 5$ k Ω , $R_B = 150$ k Ω , $R_C = 100$ k Ω e $R_3 \rightarrow \infty$. Si calcoli il guadagno di tensione previsto dalla stima del primo ordine, il guadagno di tensione effettivo e il valore di μ_f .

RISPOSTE -200 ; -278 ; 2400.

ESERCIZIO (a) Quanto vale il guadagno di tensione nel circuito originale se $\beta_F = 125$? (b) Supponendo di usare resistori con tolleranze del 10% per R_C e R_3 , quanto vale il guadagno di tensione nel caso peggiore per questo amplificatore? (c) Supponendo che il punto di lavoro del circuito originale aumenti fino a 0.275 mA, quali sono i nuovi valori di V_{CE} e del guadagno di tensione?

RISPOSTE (a) -162 ; (b) $-143, -175$; (c) $2.34 \text{ V}, -177$.



NOTA PROGETTUALE

Massimo guadagno di un amplificatore a singolo transistorore

Si ricordi che μ_f è un limite superiore al guadagno di un amplificatore a singolo transistorore. Per il BJT:

$$\mu_f \approx V_A / V_T$$

Per $25 \text{ V} < V_A < 100 \text{ V}$, abbiamo:

$$1000 < \mu_f < 4000.$$

ESERCIZIO (a) Si calcoli il guadagno di tensione A_v dell'amplificatore dell'Esempio 13.4 assumendo che $R_E = 1 \text{ k}\Omega$ e che il punto Q sia invariato. (b) Quale deve essere il valore di R_{E2} per mantenere invariato il punto Q ?

RISPOSTE -15.6 ; $12 \text{ k}\Omega$.

ESERCIZIO Si calcoli il valore della corrente di saturazione I_S da utilizzare in SPICE per avere $V_{BE} = 0.7 \text{ V}$ per $I_C = 245 \mu\text{A}$. Si assuma una temperatura di 27°C .

RISPOSTA 0.422 fA .

ESERCIZIO Si calcoli R_{in} per l'amplificatore a emettitore comune in Figura 13.18(a); come è R_{in}^{CE} rispetto ad r_π ?

RISPOSTE $313 \text{ k}\Omega \approx \beta_o R_E$; $R_{in}^{CE} \gg r_\pi$.

13.7.5 Resistenza vista guardando nel collettore del BJT

La resistenza vista guardando nel collettore del transistorore, R_{iC} , può essere ottenuta con l'aiuto del circuito equivalente di Figura 13.21, in cui la tensione di ingresso v_i è stata posta a zero ed è applicato un generatore di test v_x al collettore del BJT. La resistenza R_{iC} è data dal rapporto v_x/i_x , dove i_x è la corrente erogata dal generatore v_x .

Iniziamo con il calcolo della tensione v_e e della corrente i in Figura 13.21:

$$v_e = (\beta_o + 1)iR_E \quad \text{e} \quad i_x = \beta_o i \quad (13.64)$$

La corrente i può essere scritta direttamente in funzione della v_e :

$$i = -\frac{v_e}{R_{th} + r_\pi} \quad (13.65)$$

Combinando le Equazioni (13.64) e (13.65) si ottiene:

$$v_e \left[1 + \frac{(\beta_o + 1)R_E}{r_\pi + R_{th}} \right] = 0 \quad \text{e} \quad v_e = 0 \quad (13.66)$$

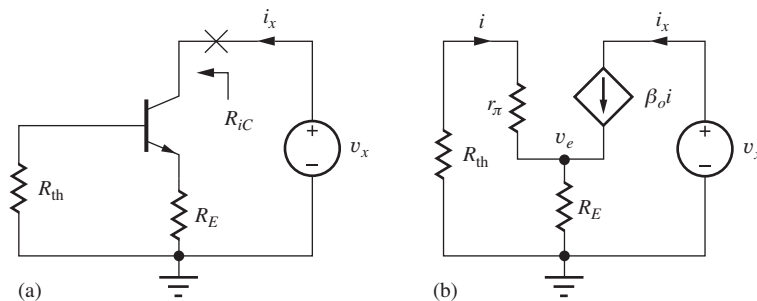
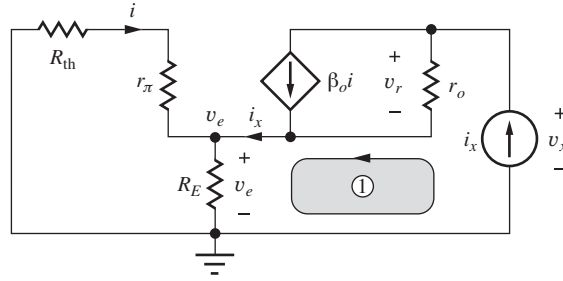


Figura 13.21

Circuiti per il calcolo della resistenza vista dal collettore del dispositivo.

Figura 13.22

Circuito per il calcolo della resistenza vista dal collettore del dispositivo, in cui si tiene conto della resistenza r_o .



Dall'Equazione (13.65) otteniamo che $i = 0$, dato che $v_e = 0$. Dunque, anche i_x sarà nulla e pertanto la resistenza vista dal collettore del dispositivo è infinita.

A prima vista questo risultato sembra inaccettabile e in effetti è dovuto al fatto che si è trascurata la resistenza r_o nel circuito equivalente di Figura 13.21(b). Dobbiamo pertanto migliorare la nostra analisi utilizzando il circuito di Figura 13.22, in cui la r_o è inclusa nel modello per piccoli segnali del BJT. Per il calcolo della resistenza di uscita è in questo caso più agevole ipotizzare che sia applicata una corrente i_x mediante un generatore di test per procedere poi al calcolo della v_x .

Sommando le tensioni lungo la maglia 1 in Figura 13.22 e applicando la KCL al nodo di uscita si ha:

$$v_x = v_r + v_e = (i_x - \beta_o i)r_o + v_e \quad (13.67)$$

La corrente i_x fluisce attraverso la combinazione in parallelo di $(R_{th} - r_\pi)$ e di R_E ; pertanto v_e può essere espressa come:

$$v_e = i_x [(R_{th} + r_\pi) || R_E] = i_x \frac{(R_{th} + r_\pi)R_E}{R_{th} + r_\pi + R_E} \quad (13.68)$$

Possiamo ottenere la i applicando il partitore di corrente al nodo di emettitore:

$$i = -i_x \frac{R_E}{R_{th} + r_\pi + R_E} \quad (13.69)$$

Combinando le espressioni dalla (13.67) alla (13.69) si ottiene un'espressione alquanto complicata per la resistenza di uscita dell'amplificatore a emettitore comune:

$$R_{iC} = r_o \left(1 + \frac{\beta_o R_E}{R_{th} + r_\pi + R_E} \right) + (R_{th} + r_\pi) || R_E \approx r_o \left(1 + \frac{\beta_o R_E}{R_{th} + r_\pi + R_E} \right) \quad (13.70)$$

Assumendo che $(r_\pi + R_E) \gg R_{th}$, che $r_o \gg R_E$, e ricordando che $\beta_o = g_m r_\pi$, l'equazione precedente può essere approssimata come segue:

$$R_{iC} \approx r_o [1 + g_m (R_E || r_\pi)] \approx \mu_f (R_E || r_\pi) \quad (13.71)$$

L'Equazione (13.71) afferma che la resistenza di uscita dell'amplificatore a emettitore comune è data dalla resistenza di uscita r_o del transistor, più un termine aggiuntivo pari al prodotto della resistenza equivalente $(R_E || r_\pi)$ per il fattore di amplificazione del dispositivo. Per $g_m (R_E || r_\pi) \gg 1$ risulta: $R_{out} \gg r_o$ e pertanto la resistenza vista dal collettore del dispositivo può essere molto maggiore della resistenza di uscita del dispositivo stesso. Si noti, infine, che la (13.71) per $R_E = 0$ fornisce il risultato atteso: $R_{out} = r_o$.

Limite importante per il transistor bipolare

Poiché il guadagno di corrente di un BJT è limitato, vi è un limite superiore al valore di R_{iC} che può essere ottenuto. Se facciamo tendere R_E all'infinito nell'Equazione (13.71), otteniamo che il valore massimo della resistenza di uscita è: $R_{iC} \approx \mu_f r_\pi = \beta_o r_o$.



NOTA PROGETTUALE

Resistenza vista dal collettore

Una stima della resistenza vista dal collettore di un transistor bipolare è data da:

$$R_{iC} \approx r_o [1 + g_m (r_\pi || R_E)] \approx \mu_f (r_\pi || R_E)$$

13.7.6 Resistenza di uscita dell'amplificatore a emettitore comune complessivo

Come evidenzia la Figura 13.18(a), la resistenza di uscita dell'amplificatore a emettitore comune complessivo è definita come la resistenza che si osserva guardando verso il condensatore di accoppiamento C_3 . Pertanto R_{out}^{CE} è data dal parallelo della resistenza di collettore R_C e della resistenza R_{iC} che si osserva guardando nel morsetto di collettore del transistor, come mostrato in Figura (13.22):

$$R_{out}^{CE} = R_C \parallel R_{iC} = R_C \parallel r_o \left(1 + \frac{\beta_o R_E}{R_{th} + r_\pi + R_E} \right) \quad (13.72)$$

RESISTENZA DI USCITA DI UN AMPLIFICATORE A EMETTITORE COMUNE

Esempio 13.5

Si calcoli R_{out}^{CE} per l'amplificatore C-E di Figura 13.18.

PROBLEMA

Informazioni e dati noti: L'amplificatore a emettitore comune di Figura 13.18(a). Il punto Q e i parametri di piccolo segnale calcolati nell'Esempio 13.3.

SOLUZIONE

Incognite: La resistenza di uscita R_{out}^{CE} .

Approccio: Si utilizzi l'Equazione (13.70).

Ipotesi: Si applicano le condizioni di piccolo segnale.

Analisi: La resistenza guardando nel collettore del BJT è:

$$\begin{aligned} R_{iC} &= r_o \left[1 + \frac{\beta_o R_E}{R_{th} + r_\pi + R_E} \right] \\ &= 320 \text{ k}\Omega \left[1 + \frac{100(3 \text{ k}\Omega)}{(1 \text{ k}\Omega \parallel 104 \text{ k}\Omega) + 10.2 \text{ k}\Omega + 3 \text{ k}\Omega} \right] = 7.09 \text{ M}\Omega \end{aligned}$$

La resistenza di uscita complessiva è:

$$R_{out}^{CE} = 22 \text{ k}\Omega \parallel 7.09 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

Controllo dei risultati: Possiamo rapidamente controllare i risultati, utilizzando l'approssimazione: $R_{iC} \approx \mu_f R_E$ (vedi Equazione (13.71)):

$$R_{iC} \approx 3140 (3 \text{ k}\Omega) = 9.42 \text{ M}\Omega \quad \text{e} \quad 7.09 \text{ M}\Omega < 9.42 \text{ M}\Omega$$

Discussione: La stima di R_{iC} fornisce un risultato maggiore rispetto al calcolo esatto, poiché R_{th} e r_E non possono essere trascurate nella (13.70).

Analisi assistita da calcolatore: Possiamo controllare il valore della resistenza di uscita con SPICE. Si include un generatore di corrente AC in parallelo ad R_3 e si effettua un'analisi del punto di lavoro, seguita da un'analisi AC in cui v_o è la grandezza di uscita. È opportuno utilizzare dei condensatori di valore elevato (per esempio 100 μF) ed effettuare un'analisi per parecchie decadi (per esempio: FSTART = 1, FSTOP = 100K) per essere sicuri di individuare il campo di frequenze in cui gli effetti dei condensatori sono trascurabili. La resistenza di uscita richiesta è data da: $R_{out}^{CE} = V(I_O)/I(C_3)$; a frequenze superiori a 1 kHz SPICE fornisce il valore di 21.9 k Ω , in accordo con i nostri calcoli.

La resistenza vista guardando nel collettore del BJT può essere ottenuta in SPICE come $R_{iC} = VC(Q1)/IC(Q1)$; il simulatore fornisce il valore di 6.89 M Ω . La leggera differenza rispetto ai conti manuali è dovuta essenzialmente a piccole discrepanze nel valore del punto Q e dei parametri di piccolo segnale.

ESERCIZIO Si calcoli il valore di R_{out} per l'amplificatore dell'Esempio 13.5, portando il valore della resistenza R_E a 2 k Ω . Si assuma che il punto Q non si modifichi. Si confrontino i risultati con il nuovo valore di $\mu_f R_E$.

RISPOSTE 3.31 M Ω , che è inferiore rispetto a 4.30 M Ω .

ESERCIZIO Mostrare che la massima resistenza di uscita per l'amplificatore a emettitore comune è $R_{out} \approx (\beta_o + 1)r_o$ effettuando il limite per $R_E \rightarrow \infty$ nella Equazione (13.71).

13.7.7 Guadagno di corrente ai terminali per l'amplificatore a emettitore comune

Il guadagno di corrente ai terminali, A_{it} , è definito come il rapporto fra la corrente che attraversa il resistore di carico R_L e la corrente entrante nel terminale di base. Per l'amplificatore C-E di Figura 13.23, la corrente che attraversa R_L è data da i amplificata per il guadagno di corrente β_o , per cui:

$$A_{it}^{CE} = -\beta_o \quad (13.73)$$

13.8 Modello per piccoli segnali per i transistori a effetto di campo

In questo paragrafo svilupperemo un modello per piccoli segnali per il transistor a effetto di campo, modello che verrà utilizzato nel prossimo paragrafo per analizzare l'amplificatore a source comune, che è la versione a MOS dell'amplificatore a emettitore comune. Il MOSFET verrà dapprima considerato come un dispositivo a tre terminali, ipotizzando che il body sia allo stesso potenziale del source; vedremo quindi le modifiche da apportare al modello per portare in conto l'effetto della tensione source-body.

13.8.1 Modello per piccoli segnali del MOSFET

Il modello per piccoli segnali del MOSFET è basato sul doppio bipolo di Figura 13.24, in cui le variabili di ingresso sono v_{gs} e i_g mentre le variabili di uscita v_{ds} e i_d . Riscrivendo l'Equazione (13.19) in funzione di queste variabili si ottiene:

$$\begin{aligned} i_g &= g_\pi v_{gs} + g_r v_{ds} \\ i_d &= g_m v_{gs} + g_o v_{ds} \end{aligned} \quad (13.74)$$

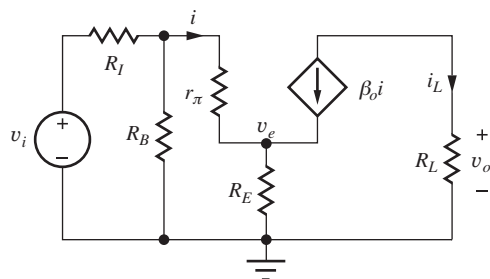
Ricordiamo che le variabili di ingresso e di uscita in Figura 13.24(a) rappresentano la parte tempo-variante delle tensioni e delle correnti totali ovvero delle piccole variazioni rispetto ai valori corrispondenti al punto di lavoro:

$$\begin{aligned} v_{GS} &= V_{GS} + v_{gs} & v_{DS} &= V_{DS} + v_{ds} \\ i_G &= I_G + i_g & i_{DS} &= I_D + i_d \end{aligned} \quad (13.75)$$

I parametri nell'Equazione (13.74) possono essere calcolati sia in funzione delle componenti di segnale delle tensioni e delle correnti sia in termini delle derivate delle tensioni e delle correnti totali, come mostra l'Equazione (13.76):

$$\begin{aligned} g_\pi &= \left. \frac{i_g}{v_{gs}} \right|_{v_{ce}=0} = \left. \frac{\partial i_G}{\partial v_{GS}} \right|_{\text{punto Q}} & g_r &= \left. \frac{i_g}{v_{ds}} \right|_{v_{be}=0} = \left. \frac{\partial i_G}{\partial v_{DS}} \right|_{\text{punto Q}} \\ g_m &= \left. \frac{i_d}{v_{gs}} \right|_{v_{ce}=0} = \left. \frac{\partial i_{DS}}{\partial v_{GS}} \right|_{\text{punto Q}} & g_o &= \left. \frac{i_d}{v_{ds}} \right|_{v_{be}=0} = \left. \frac{\partial i_{DS}}{\partial v_{DS}} \right|_{\text{punto Q}} \end{aligned} \quad (13.76)$$

Figura 13.23
Circuito per il calcolo del guadagno di corrente nell'amplificatore C-E.



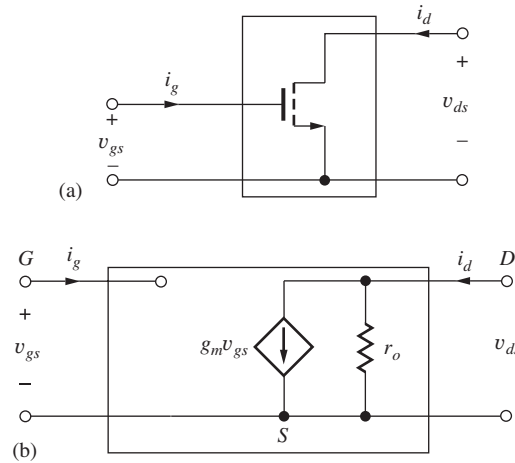


Figura 13.24

(a) MOSFET rappresentato come un doppio bipolo.

(b) Modello per piccoli segnali del MOSFET, per $v_{SB} = 0$.

Possiamo calcolare questi parametri effettuando le opportune derivate dell'equazione che fornisce la corrente di drain di un MOS in regione di saturazione:

$$i_D = \frac{K_n}{2} (v_{GS} - V_{TN})^2 (1 + \lambda v_{DS}) \quad (13.77)$$

per $v_{DS} > v_{GS} - V_{TN}$ e $i_G = 0$, mentre $K_n = \mu_n C_{ox} (W/L)$. Si ottengono in questo modo le relazioni seguenti:

$$\begin{aligned} g_\pi &= \left. \frac{\partial i_G}{\partial v_{GS}} \right|_{v_{DS}} = 0 \quad \text{e} \quad g_r = \left. \frac{\partial i_G}{\partial v_{DS}} \right|_{v_{GS}} = 0 \\ g_m &= \left. \frac{\partial i_{DS}}{\partial v_{GS}} \right|_{\text{punto } Q} = K_n (V_{GS} - V_{TN}) (1 + \lambda V_{DS}) = \frac{2I_D}{V_{GS} - V_{TN}} \\ g_o &= \left. \frac{\partial i_{DS}}{\partial v_{DS}} \right|_{\text{punto } Q} = \lambda \frac{K_n}{2} (V_{GS} - V_{TN})^2 = \frac{\lambda I_D}{1 + \lambda V_{DS}} = \frac{I_D}{\frac{1}{\lambda} + V_{DS}} \end{aligned} \quad (13.78)$$

Poiché $i_G = 0$, la i_G è indipendente da v_{GS} e da v_{DS} , pertanto g_π e g_r sono entrambe nulle. Si ricordi che il terminale di gate è isolato dal canale da una regione di ossido, per cui è ragionevole che la resistenza di ingresso del dispositivo ($1/g_\pi$) sia infinita.

Come per il transistor bipolare, g_m è denominata transconduttanza, mentre $1/g_o$ rappresenta la resistenza differenziale di uscita del transistor:

$$\begin{aligned} \text{Transconduttanza} \quad g_m &= \frac{I_D}{\frac{V_{GS} - V_{TN}}{2}} \\ \text{Resistenza differenziale di uscita} \quad r_o &= \frac{1}{g_o} = \frac{1}{\lambda} + V_{DS} \approx \frac{1}{\lambda I_D} \end{aligned} \quad (13.79)$$

La Figura 13.24(b) mostra il circuito equivalente per piccoli segnali del MOSFET, che si ottiene dalle Equazioni (13.78) e (13.79).

Dall'Equazione (13.79) vediamo ancora una volta che i valori dei parametri per piccoli segnali sono dipendenti dal punto di lavoro del dispositivo. La forma delle equazioni che forniscono g_m e r_o per il MOSFET è molto simile a quella ottenuta per il BJT. Nell'espressione della g_m troviamo il fattore $(V_{GS} - V_{TN})/2$ invece della tensione termica V_T , mentre nella relazione che fornisce la resistenza differenziale di uscita il fattore $1/\lambda$ sostituisce la tensione di Early del BJT. Nei circuiti MOSFET il valore di $V_{GS} - V_{TN}$ è spesso superiore a un volt, mentre sappiamo che $V_T = 25$ mV a temperatura ambiente. Possiamo pertanto aspettarci che, a parità di corrente di polarizzazione, un MOSFET abbia una transconduttanza molto più piccola di quella di un BJT. Il valore di $1/\lambda$ è invece comparabile con V_A , per cui per uno stesso punto di lavoro $(I_{DS}, V_{DS}) = (I_C, V_{CE})$ un MOSFET e un BJT hanno resistenze differenziali di uscita simili. Si noti che la tensione drain source V_{DS} è generalmente mol-

to più piccola di $1/\lambda$, pertanto è possibile semplificare l'espressione della resistenza di uscita $r_o \approx 1/\lambda I_D$.

L'effettiva dipendenza della transconduttanza g_m dalla corrente di drain non appare esplicitamente dall'Equazione (13.79), in quanto I_D è una funzione di $(V_{GS} - V_{TN})$. Partendo dall'Equazione (13.78) abbiamo:

$$g_m = K_n(V_{GS} - V_{TN})(1 + \lambda V_{DS}) = \sqrt{2K_n I_D(1 + \lambda V_{DS})} \quad (13.80)$$

$$g_m \approx K_n(V_{GS} - V_{TN}) \quad \text{oppure} \quad g_m \approx \sqrt{2K_n I_D}$$

in cui le espressioni semplificate valgono per $\lambda V_{DS} \ll 1$.

L'ultima equazione evidenzia due ulteriori differenze fra MOSFET e BJT: la transconduttanza del MOSFET cresce come la radice quadrata della corrente di drain, mentre la g_m di un BJT è direttamente proporzionale alla corrente di collettore; inoltre la transconduttanza del MOSFET dipende dalle dimensioni geometriche del dispositivo, visto che $K \propto W/L$, mentre la g_m di un BJT è indipendente dalla geometria del dispositivo.

Notiamo, infine, che il guadagno di corrente di un MOSFET è infinito; infatti, poiché $r_\pi = (1/g_\pi)$ è infinito, anche il prodotto $g_m r_\pi$ sarà infinitamente grande.

13.8.2 Guadagno di tensione intrinseco del MOSFET

La dipendenza del guadagno di tensione intrinseco μ_f dal punto di lavoro rappresenta un'ulteriore significativa differenza fra MOSFET e BJT. Utilizzando l'Equazione (13.79) otteniamo:

$$\mu_f = g_m r_o = \frac{\frac{1}{\lambda} + V_{DS}}{\left(\frac{V_{GS} - V_{TN}}{2}\right)} \quad \text{e} \quad \mu_f \approx \frac{2}{\lambda(V_{GS} - V_{TN})} \approx \frac{1}{\lambda} \sqrt{\frac{2K_n}{I_D}} \quad (13.81)$$

in cui la relazione approssimata vale per $\lambda V_{DS} \ll 1$.

Il valore di μ_f di un MOSFET decresce all'aumentare della corrente di polarizzazione, mentre per un BJT è indipendente dal punto di lavoro. È questa una differenza molto importante, da tenere sempre presente durante il progetto di amplificatori a transistor.

La Tabella 13.2 mostra la dipendenza dei parametri per piccoli segnali dal punto di lavoro per un MOSFET. I valori di g_m e di r_o possono variare di diversi ordini di grandezza, al variare del punto Q . Se paragoniamo le Tabelle 13.1 e 13.2, possiamo vedere che a bassi valori di corrente i valori di g_m , r_o e μ_f del MOSFET sono simili a quelli del transistor bipolare. Peraltro, quando la corrente di drain aumenta, il valore di g_m del MOSFET non cresce così rapidamente come la transconduttanza del transistor bipolare, mentre la μ_f del MOSFET decresce vistosamente. Il particolare MOSFET utilizzato per ottenere i dati in Tabella 13.2 mostra un fattore di amplificazione molto minore di quello del BJT, per valori di corrente superiori a qualche microampere.

Tabella 13.2 Parametri per piccoli segnali di un MOSFET caratterizzato da: $K_n = 1 \text{ mA/V}^2$, $\lambda = 0.0133 \text{ V}^{-1}$, $V_D = 10 \text{ V}$, in funzione della corrente

I_D	g_m	r_π	r_o	μ_f
1 μA	47.6 μS	$\rightarrow \infty$	85.2 $\text{M}\Omega$	4060
10 μA	151 μS	$\rightarrow \infty$	8.52 $\text{M}\Omega$	1280
100 μA	476 μS	$\rightarrow \infty$	852 $\text{k}\Omega$	406
1 mA	1.51 mS	$\rightarrow \infty$	85.2 $\text{k}\Omega$	128
10 mA	4.76 mS	$\rightarrow \infty$	8.52 $\text{k}\Omega$	40

ESERCIZIO (a) Si calcolino i valori di g_m , r_o e μ_f per un MOSFET caratterizzato da $K_n = 1 \text{ mA/V}^2$ e $\lambda = 0.02 \text{ V}^{-1}$, polarizzato nei punti (250 μA , 5 V) e (5 mA , 10 V). (b) Si calcolino i valori di g_m e di r_o per il transistor con le caratteristiche e il punto di lavoro mostrati in Figura 13.2(b), utilizzando un'analisi grafica.

RISPOSTE 742 μS , 220 $\text{k}\Omega$, 163; 3.46 mS , 12.0 $\text{k}\Omega$, 41.5; 1.3 mS , $\rightarrow \infty$.

**NOTA PROGETTUALE****Guadagno intrinseco del MOSFET**

Il guadagno di tensione intrinseco del MOSFET μ_f dipende dal punto di lavoro e diminuisce all'aumentare della corrente di drain:

$$\mu_f \approx \frac{1}{\lambda} \sqrt{\frac{2K_n}{I_D}}$$

13.8.3 Definizione di piccolo segnale per un MOSFET

Le condizioni che debbono essere verificate per poter utilizzare il modello per piccoli segnali del MOSFET possono essere ottenute a partire dall'espressione che fornisce la corrente di drain in regione di saturazione, semplificata assumendo $\lambda = 0$:

$$i_D = \frac{K_n}{2} (v_{GS} - V_{TN})^2 \quad \text{per } v_{DS} \geq v_{GS} - V_{TN} \quad (13.82)$$

Ricordando che $v_{GS} = V_{GS} + v_{gs}$ e che $i_D = I_D + i_d$, si ha:

$$I_D + i_d = \frac{K_n}{2} [(V_{GS} - V_{TN})^2 + 2v_{gs}(V_{GS} - V_{TN}) + v_{gs}^2] \quad (13.83)$$

Ricordando che la corrente di drain di polarizzazione è pari a:

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2$$

si ottiene facilmente un'espressione per la componente di segnale i_d :

$$i_d = \frac{K_n}{2} [2v_{gs}(V_{GS} - V_{TN}) + v_{gs}^2] \quad (13.84)$$

Per avere una relazione lineare fra v_{gs} e i_d deve essere:

$$v_{gs}^2 \ll 2v_{gs}(V_{GS} - V_{TN}) \quad \text{o} \quad v_{gs} \ll 2(V_{GS} - V_{TN}) \quad (13.85)$$

Assumendo che un fattore 10 sia adeguato a soddisfare la disuguaglianza, si ha:

$$v_{gs} \leq 0.2 (V_{GS} - V_{TN}) \quad (13.86)$$

Dato che un MOSFET può essere polarizzato con valori di $(V_{GS} - V_{TN})$ di alcuni volt, l'Equazione (13.86) mostra che un MOS può essere utilizzato in un amplificatore lineare con valori di v_{gs} molto maggiori rispetto ai valori di v_{be} di un transistor bipolare. Questa è un'altra differenza sostanziale fra MOSFET e BJT, che può essere molto importante nel progetto di circuiti lineari, in particolare per amplificatori a radiofrequenza.

Vediamo ora quali sono le variazioni di corrente di drain compatibili con il funzionamento per piccoli segnali del MOSFET. Utilizzando l'Equazione (13.86) abbiamo:

$$\frac{i_d}{I_D} = \frac{g_m v_{gs}}{I_D} = \frac{0.2(V_{GS} - V_{TN})}{\frac{V_{GS} - V_{TN}}{2}} \leq 0.4 \quad (13.87)$$

Una variazione di v_{GS} pari a $0.2 (V_{GS} - V_{TN})$ comporta una variazione del 40% della corrente di drain, rispetto al valore del punto di lavoro.

ESERCIZIO Un MOSFET caratterizzato da $K_n = 2.0 \text{ mA/V}^2$ e $\lambda = 0$ è polarizzato nel punto (25 mA, 10 V). Qual è il valore massimo di v_{gs} per cui è ancora utilizzabile il modello per piccoli segnali del dispositivo? Se un BJT è polarizzato nello stesso punto Q, qual è il valore massimo di v_{be} per cui è ancora utilizzabile il modello per piccoli segnali del dispositivo?

RISPOSTA 1 V; 5 mV.

13.8.4 L'effetto body nel modello per piccoli segnali del MOSFET

Quando il terminale di body di un MOSFET non è collegato al terminale di source, come in Figura 13.25(a), è necessario introdurre un'ulteriore generatore controllato nel modello per piccoli segnali del dispositivo. Consideriamo le espressioni semplificate per la corrente di drain di un MOSFET in regione di saturazione:

$$i_D = \frac{K_n}{2} (v_{GS} - V_{TN})^2 \quad (13.88)$$

$$V_{TN} = V_{TO} + \gamma (\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F})$$

Osserviamo che la corrente di drain dipende dalla tensione di soglia che, a sua volta, è funzione della tensione v_{SB} . Si può pertanto introdurre una **transconduttanza di body**, definita come:

$$g_{mb} = \left. \frac{\partial i_D}{\partial v_{BS}} \right|_{\text{punto } Q} = - \left. \frac{\partial i_D}{\partial v_{SB}} \right|_{\text{punto } Q} = - \left(\frac{\partial i_D}{\partial V_{TN}} \right) \left(\frac{\partial V_{TN}}{\partial v_{SB}} \right) \bigg|_{\text{punto } Q} \quad (13.89)$$

Le derivate valgono:

$$\left. \frac{\partial i_D}{\partial V_{TN}} \right|_{\text{punto } Q} = -K_n (V_{GS} - V_{TN}) = -g_m \quad \text{e} \quad \left. \frac{\partial V_{TN}}{\partial v_{SB}} \right|_{\text{punto } Q} = \frac{\gamma}{2\sqrt{V_{SB} + 2\phi_F}} = \eta \quad (13.90)$$

in cui η rappresenta il **parametro di transconduttanza di body**. Combinando le Equazioni (13.89) e (13.90) si ottiene:

$$g_{mb} = -(-g_m)\eta \quad \text{ovvero} \quad g_{mb} = +\eta g_m \quad (13.91)$$

Per valori tipici di γ e di V_{SB} risulta:

$$0 \leq \eta \leq 1$$

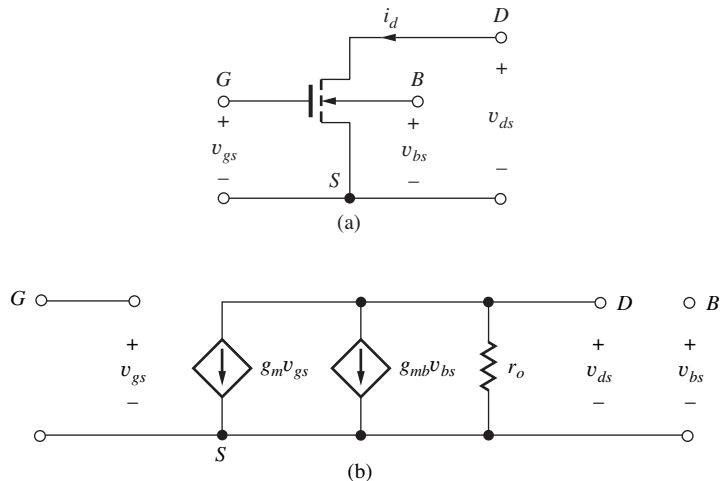
Possiamo a questo punto domandarci se sia necessario inserire nel modello per piccoli segnali del MOSFET anche una conduttanza che collega il terminale di body con qualche altro terminale del dispositivo. In effetti, il terminale di body è collegato al diodo inversamente polarizzato che si forma fra canale e substrato. Utilizzando il modello per piccoli segnali del diodo, Equazione (13.15), vediamo che:

$$\left. \frac{\partial i_B}{\partial v_{BS}} \right|_{\text{punto } Q} = \frac{I_D + I_S}{V_T} \approx 0 \quad (13.92)$$

in quanto $I_D \approx -I_S$ essendo il diodo polarizzato inversamente. In definitiva, nel modello per piccoli segnali di un MOSFET non ci sarà alcuna conduttanza collegata al terminale di body.

Figura 13.25

(a) MOSFET visto come dispositivo a quattro terminali.
(b) Modello per piccoli segnali per un MOSFET visto come dispositivo a quattro terminali.



Il modello per piccoli segnali del MOSFET, visto come dispositivo a quattro terminali, è mostrato in Figura 13.25(b); rispetto al modello di Figura 13.24(b) è stato aggiunto un secondo generatore di corrente pilotato in tensione.

ESERCIZIO Si calcolino i valori di η per un MOSFET con $\gamma = 0.75 \sqrt{V}$ e $2\phi_F = 0.6$ V, per $V_{SB} = 0$ e per $V_{SB} = 3$ V.

RISPOSTE 0.48, 0.20.

13.8.5 Modello per piccoli segnali per il transistor PMOS

Così come per i transistori bipolari *pnp* e *npn*, il modello per piccoli segnali di un PMOS è identico a quello di un transistor NMOS. Consideriamo infatti i circuiti di Figura 13.26, in cui un transistor NMOS e un transistor PMOS sono polarizzati mediante un generatore di tensione costante V_{GG} , che stabilisce una corrente di polarizzazione I_D . Per entrambi i dispositivi in serie alla V_{GG} è posto un generatore di segnale v_{gg} in modo tale che un valore positivo di v_{gg} comporti un aumento della tensione gate-source. Per il transistor NMOS i valori totali della tensione gate-source e della corrente di drain sono:

$$v_{GS} = V_{GG} + v_{gg} \quad \text{e} \quad i_D = I_D + i_d \quad (13.93)$$

Un aumento di v_{gg} comporta un aumento della corrente entrante nel terminale di drain. Per il transistor PMOS si ha:

$$v_{SG} = V_{GG} - v_{gg} \quad \text{e} \quad i_D = I_D - i_d \quad (13.94)$$

In questo caso, un valore positivo di v_{gg} comporta una riduzione della tensione source-gate del PMOS e quindi una diminuzione della corrente totale uscente dal terminale di drain, che, dati i versi delle correnti mostrati in Figura 13.26, è equivalente a un aumento della componente di segnale i_d . In definitiva, sia per i transistori NMOS sia per i dispositivi PMOS, un aumento di v_{gg} comporta un aumento della corrente entrante nel terminale di drain, per cui nei modelli per piccoli segnali i versi dei generatori di corrente controllati sono identici, come evidenzia la Figura 13.27.

13.9 Confronto fra i modelli per piccoli segnali del BJT e del MOS

La Tabella 13.3 riporta le espressioni dei parametri differenziali per il transistor bipolare a giunzione e il MOSFET; la tabella è stata organizzata in modo da evidenziare le similitudini e le differenze fra i diversi tipi di dispositivi.

Figura 13.26

Polarizzazione e componenti di segnale per (a) un transistor NMOS e (b) un transistor PMOS.

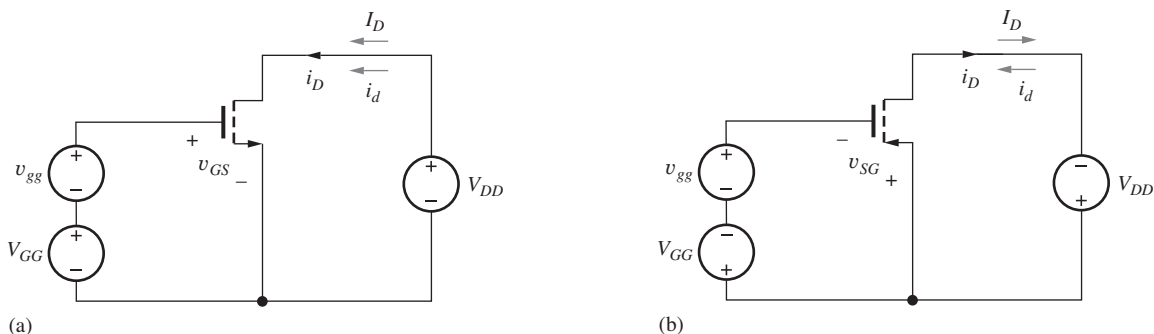


Figura 13.27

(a) Rappresentazione come doppio bipolo per i transistori NMOS e PMOS. (b) I modelli per piccoli segnali dei due dispositivi sono identici.

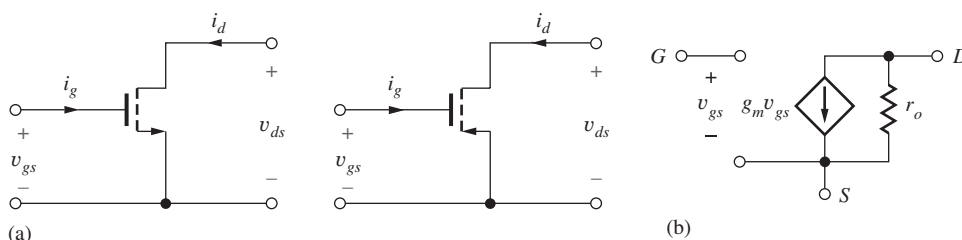


Tabella 13.3 Confronto fra i parametri per piccoli segnali di BJT e MOSFET

Parametro	BJT	MOSFET
Transconduttanza g_m	$\frac{I_C}{V_T}$	$\frac{2I_D}{V_{GS} - V_{TN}} \approx \sqrt{2K_n I_D}$
Resistenza di ingresso	$r_\pi = \frac{\beta_o}{g_m} = \frac{\beta_o V_T}{I_C}$	$\rightarrow \infty$
Resistenza di uscita r_o	$\frac{V_A + V_{CE}}{I_C} \approx \frac{V_A}{I_C}$	$\frac{\frac{1}{\lambda} + V_{DS}}{I_D} \approx \frac{1}{\lambda I_D}$
Guadagno di tensione intrinseco μ_f	$\frac{V_A + V_{CE}}{V_T} \approx \frac{V_A}{V_T}$	$\frac{2\left(\frac{1}{\lambda} + V_{DS}\right)}{V_{GS} - V_{TN}} \approx \frac{1}{\lambda} \sqrt{\frac{2K_n}{I_D}}$
Condizione per il funzionamento per piccoli segnali	$v_{be} \leq 5 \text{ mV}$	$v_{gs} \leq 0.2(V_{GS} - V_{TN})$

Espressioni della corrente DC in regione attiva

$$\begin{aligned} \text{BJT:} \quad I_C &= I_S \left[\exp\left(\frac{V_{BE}}{V_T}\right) - 1 \right] \left[1 + \frac{V_{CE}}{V_A} \right] & V_T &= \frac{kT}{q} \\ \text{MOSFET:} \quad I_D &= \frac{K_n}{2} (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS}) & K_n &= \mu_n C_{ox} \frac{W}{L} \end{aligned}$$

La transconduttanza del BJT è direttamente proporzionale alla corrente di polarizzazione, mentre quella dei MOSFET aumenta con la radice quadrata della corrente; la g_m può sempre essere espressa come il rapporto fra la corrente di polarizzazione e una tensione caratteristica: V_T per il BJT, $(V_{GS} - V_{TN})/2$ per il MOSFET.

La resistenza differenziale di ingresso del transistor bipolare è pari alla r_π , che è inversamente proporzionale alla corrente di polarizzazione e può assumere valori molto piccoli; viceversa, la resistenza di ingresso dei MOS è così elevata da potersi considerare in pratica infinita.

Le espressioni per la resistenza differenziale di uscita dei tre dispositivi sono molto simili fra loro, con il parametro $1/\lambda$ che nei MOS gioca lo stesso ruolo della tensione di Early V_A del BJT. Poiché il valore di $1/\lambda$ è in genere comparabile con V_A , possiamo aspettarci che, a parità di punto di lavoro, i due dispositivi presentino valori simili di resistenza differenziale di uscita.

Il guadagno di tensione intrinseco del BJT è essenzialmente indipendente dalla corrente di polarizzazione e ha un valore tipico di alcune migliaia a temperatura ambiente; la μ_f dei FET è invece inversamente proporzionale alla radice quadrata della corrente di polarizzazione. Sebbene per valori di corrente molto bassi la μ_f di un MOSFET possa essere comparabile a quella di un BJT, per valori tipici di I_D il fattore di amplificazione di un MOSFET è molto più basso rispetto a quello di un transistor bipolare, e può anche essere inferiore all'unità per elevati valori di corrente di polarizzazione.

Il massimo valore della componente di segnale in ingresso compatibile con il funzionamento per piccoli segnali può essere molto differente fra BJT e MOS. Nel caso del transistor bipolare, v_{be} deve essere inferiore a 5 mV, un valore molto ridotto e indipendente dalla corrente di polarizzazione. Per il MOSFET, invece, deve essere $v_{gs} \leq 0.2(V_{GS} - V_{TN})$ dipendente dal punto di lavoro prescelto e che può essere superiore a un volt.

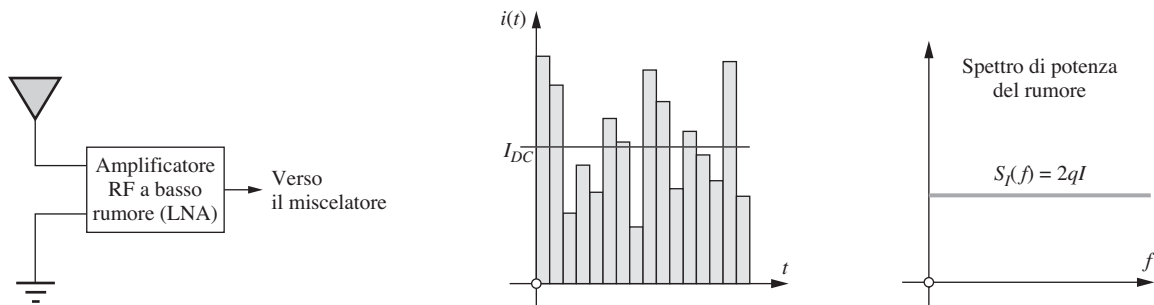
Abbiamo evidenziato le similitudini e le differenze nel comportamento per piccoli segnali di BJT e di MOSFET; questi concetti sono estremamente importanti per il progetto di circuiti analogici.



Il rumore nei circuiti elettronici

Il massimo valore del segnale in ingresso compatibile con il funzionamento per piccoli segnali può sembrare un valore molto piccolo; molto spesso tuttavia si ha a che fare con livelli di segnale di gran lunga inferiori anche rispetto al limite di 5 mV che vale per la v_{be} del BJT. Per esempio, i segnali a radiofrequenza captati dalle antenne dei telefoni cellulari possono essere dell'ordine del microvolt, mentre i ricevitori dei sistemi di comunicazione ad alta fre-

quenza spesso hanno livelli di segnali minimi di 0.1 μ V. Il valore minimo di segnale che può essere rilevabile dipende dal rumore dell'amplificatore RF collegato all'antenna. Questi amplificatori sono spesso denominati "amplificatori a basso rumore" (LNA, *Low-Noise Amplifier*) in cui il rumore, in effetti, è generato dagli stessi transistori e resistori che compongono il circuito.



Spesso si pensa che le tensioni e correnti DC che calcoliamo o che misuriamo mediante un voltmetro siano valori costanti; in realtà questi valori sono la media di segnali rumorosi. Per esempio, le correnti con cui abbiamo a che fare in questo testo sono costituite da un gran numero di microscopici impulsi di corrente, corrispondenti al passaggio dei singoli elettroni (per esempio, $1 \mu\text{A} = 6.3 \times 10^{12}$ elettroni/s). La corrente fluttua costantemente intorno al valore DC (come mostrato nel grafico) e queste fluttuazioni rappresentano una delle sorgenti di rumore nei dispositivi elettronici. Se potessimo in qualche modo tradurre in suono questa corrente ascolteremmo qualcosa di simile al rumore della pioggia che cade su un tetto di lamiera, costituito dalla somma dei contributi di moltissime gocce d'acqua.

Questo tipo di rumore elettronico è denominato rumore "granulare" (rumore "shot" nella terminologia anglosassone).

Possiamo modellare il rumore nei dispositivi elettronici aggiungendo ai nostri circuiti dei generatori di rumore di tensione e di corrente; questi generatori rappresentano segnali aleatori a media nulla e pertanto sono caratterizzati dal loro valore quadratico medio (RMS).

Per esempio, le correnti di base e di collettore in un transistor bipolare producono rumore shot e tale rumore è modellato da:

$$\overline{i_{cn}^2} = \overline{[i_C(t) - I_C]^2} = 2qI_C B$$

e

$$\overline{i_{bn}^2} = \overline{[i_B(t) - I_B]^2} = 2qI_B B$$

Questi generatori sono spesso denominati "sorgenti di rumore bianco" poiché lo spettro di potenza del rumore è indipendente dalla frequenza. Il valore quadratico medio del rumore è direttamente proporzionale alla corrente DC e dipende dalla banda B (valutata in hertz) associata con la misura. Per esempio, il valore RMS del rumore shot per la corrente di collettore per $I_C = 1 \text{ mA}$ e $B = 1 \text{ kHz}$ vale:

$$\sqrt{\overline{i_{cn}^2}} = \sqrt{2(1.6 \times 10^{-19} \text{ C})(1 \text{ mA})(1 \text{ kHz})} = 0.566 \text{ nA}$$

Oltre al rumore shot, i resistori (e ogni elemento resistivo in un circuito elettronico) mostrano del rumore dovuto all'agitazione termica degli elettroni nei resistori stessi. Questo "rumore termico" o "rumore Johnson" può essere modellato mediante un opportuno generatore di rumore di tensione in serie con il resistore, come mostrato nella figura seguente nel caso della resistenza di base di un BJT. Il valore quadratico medio del rumore di tensione associato a un resistore R è dato da:

$$\overline{v_m^2} = 4 \cdot k \cdot T \cdot R \cdot B$$

dove k è la costante di Boltzmann, T è la temperatura assoluta e B è la banda di interesse. Per un resistore da 1 k Ω operante a 300 K con $B = 1 \text{ kHz}$ si ha:

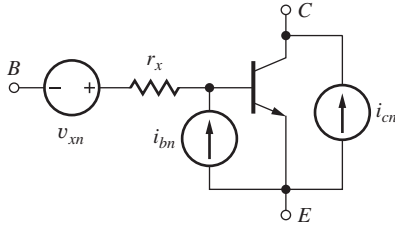
$$\begin{aligned} \sqrt{\overline{v_m^2}} &= \sqrt{4(1.38 \times 10^{-23} \text{ J} \cdot \text{K}^{-1})(300 \text{ K})(1 \text{ k}\Omega)(1 \text{ kHz})} = \\ &= 0.129 \mu\text{V} \end{aligned}$$

Ricordando che la regione di canale di un MOSFET può essere vista come un resistore controllato in tensione, possiamo modellare il rumore termico del

canale mediante un circuito equivalente di Norton, in cui il valore quadratico medio del generatore di corrente è:

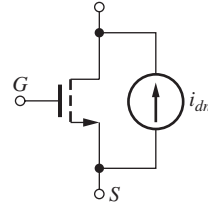
$$\overline{i_{dn}^2} = \frac{8}{3} kTg_m B$$

La figura mostra i modelli per le sorgenti di rumore nei dispositivi. Per i BJT abbiamo dei generatori di corrente che tengono conto del rumore shot per le



Modello del rumore di un BJT

correnti di base e collettore; inoltre si può notare il generatore di tensione per il rumore termico relativo alla resistenza di base. Nel caso del MOSFET, come accennato in precedenza, il rumore termico del canale è modellato mediante un generatore di corrente. Questi modelli di rumore sono disponibili in SPICE e possono essere attivati effettuando un'analisi di tipo NOISE.



Modello del rumore di un MOSFET

13.10 L'amplificatore a source comune (C-S)

Siamo ora in grado di studiare il comportamento per piccoli segnali dell'**amplificatore a source comune (C-S, Common-Source)**, mostrato in Figura 13.28(a), composto da un MOSFET a canale n ad arricchimento ($V_{TN} > 0$) e da una rete di polarizzazione a quattro resistori. Il circuito equivalente AC di Figura 13.28(b) si ottiene assumendo che tutti i condensatori abbiano un'impedenza trascurabile alla frequenza del segnale di ingresso e sostituendo il generatore di tensione costante V_{DD} con un cortocircuito; si noti che nel circuito AC i resistori di polarizzazione R_1 e R_2 sono in parallelo e possono essere sostituiti da un unico resistore R_G , mentre R_L rappresenta il parallelo di R_D ed R_3 . In Figura 13.28(c), il transistor è stato sostituito con il suo modello per piccoli segnali. Nel seguito assumeremo che il guadagno in tensione dell'amplificatore sia molto più piccolo del guadagno di tensione intrinseco del MOSFET, in modo da poter trascurare l'effetto della resistenza di uscita del transistor, r_o . Per semplicità, assumeremo di aver già calcolato il punto di lavoro del circuito e di conoscere quindi i valori di I_D e di V_{DS} .

La ragione per cui questa configurazione circuitale è denominata amplificatore a source comune è chiara, se consideriamo le Figure 13.28(b)-13.28(d): il segnale di ingresso è applicato al gate del transistor e l'uscita è prelevata al terminale di drain; entrambi i segnali sono riferiti al terminale comune di source (attraverso la resistenza R_S). Si noti che il procedimento seguito per ottenere il modello per piccoli segnali di Figura 13.28 è perfettamente analogo a quello utilizzato per l'amplificatore a emettitore comune; in effetti, l'unica differenza nel modello per piccoli segnali è nella r_{π} , che nel MOSFET è sostituita da un circuito aperto.

Il nostro primo obiettivo è quello di calcolare il guadagno di tensione del circuito di Figura 13.28(a), A_v^{CS} , dalla sorgente v_i all'uscita v_o . Come per l'amplificatore C-E, calcoleremo dapprima il guadagno di tensione ai terminali, A_{vt}^{CS} , fra i terminali di gate e di drain del transistor. In seguito utilizzeremo il guadagno ai terminali per calcolare il guadagno complessivo del circuito.

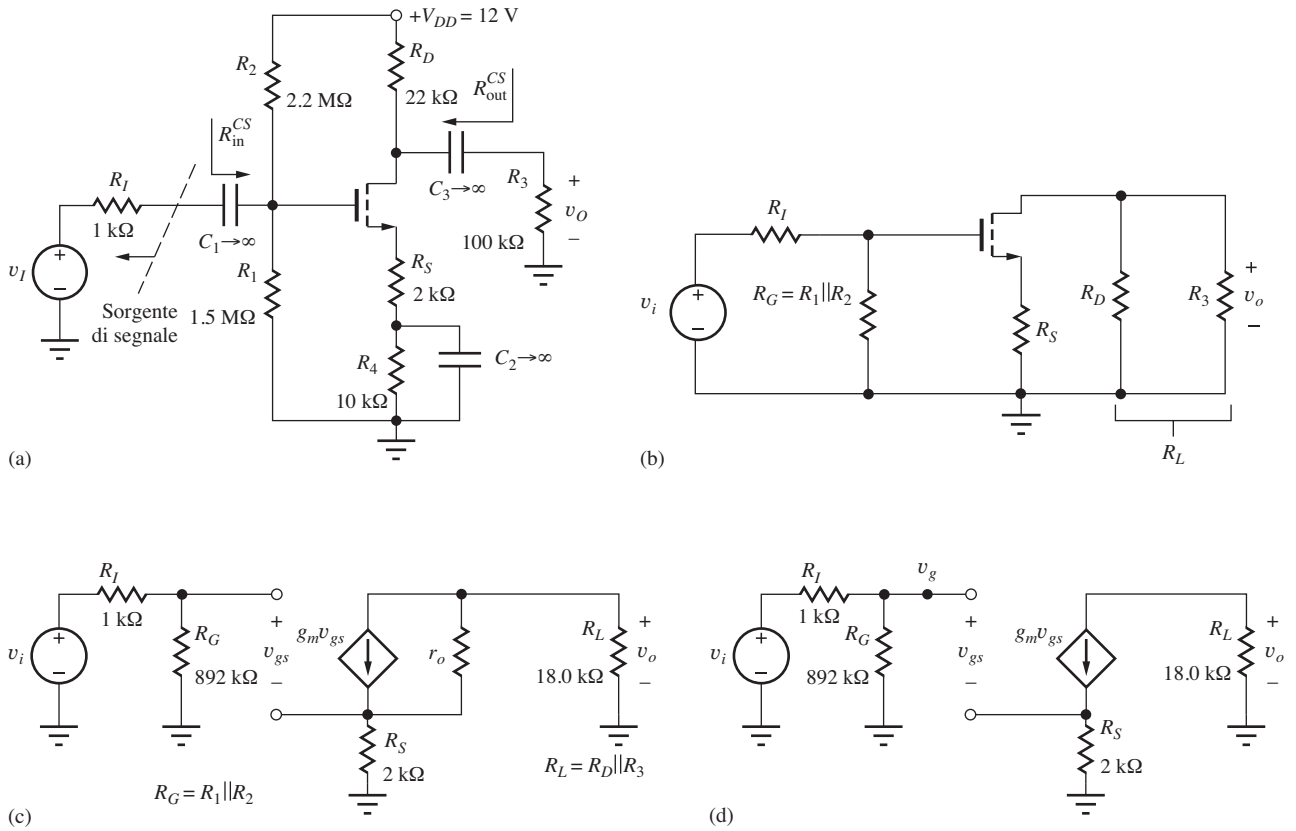
13.10.1 Guadagno di tensione ai terminali per l'amplificatore a source comune

Nel circuito di Figura 13.28(d), il guadagno ai terminali è definito da:

$$A_{vt}^{CS} = \frac{v_d}{v_g} = \frac{v_o}{v_g} \quad \text{dove} \quad v_o = -g_m v_{gs} R_L \quad (13.95)$$

Possiamo legare v_{gs} a v_g applicando KVL al gate del FET:

$$v_g = v_{gs} + g_m v_{gs} R_S \quad \text{o} \quad v_{gs} = \frac{v_g}{1 + g_m R_S} \quad (13.96)$$



Combinando la (13.93) e la (13.94) si ottiene l'espressione per il guadagno ai terminali:

$$A_{vt}^{CS} = -\frac{g_m R_L}{1 + g_m R_S} \quad (13.97)$$

13.10.2 Guadagno di tensione complessivo per l'amplificatore a source comune

Possiamo ora calcolare il guadagno di tensione complessivo, dalla sorgente v_i all'uscita v_o :

$$A_v^{CS} = \frac{v_o}{v_i} = \left(\frac{v_o}{v_g} \right) \left(\frac{v_g}{v_i} \right) = A_{vt}^{CS} = \left(\frac{v_g}{v_i} \right) \quad \text{dove} \quad v_g = v_i \frac{R_G}{R_G + R_I} \quad (13.98)$$

in cui v_g è legata alla v_i mediante il partitore di tensione costituito da R_G ed R_I . Combinando la (13.97) e la (13.98) si ottiene:

$$A_v^{CS} = -\frac{g_m R_L}{1 + g_m R_S} \left(\frac{R_G}{R_G + R_I} \right) \quad (13.99)$$

Possiamo ora valutare i limiti entro cui può variare il guadagno di tensione, al variare della resistenza di source. Assumeremo nel seguito che $R_I \ll R_G$, in modo tale che:

$$A_v^{CS} \approx A_{vt}^{CS} = -\frac{g_m R_L}{1 + g_m R_S} \quad \text{per} \quad R_I \ll R_G \quad (13.100)$$

Questa approssimazione è equivalente a ipotizzare che tutto il segnale di ingresso sia disponibile al terminale di gate del transistor.

13.10.3 Guadagno di tensione dell'amplificatore a source comune, per elevati valori di R_S

Nel caso in cui la resistenza R_S sia sufficientemente grande, per cui $g_m R_S \gg 1$, il guadagno di tensione complessivo può essere approssimato dalla relazione seguente:

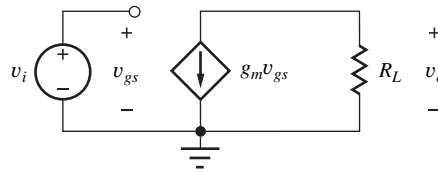
$$A_{vt}^{CS} = -\frac{g_m R_L}{1 + g_m R_S} \approx -\frac{R_L}{R_S} \quad \text{per} \quad g_m R_S \gg 1 \quad \text{e} \quad R_G \gg R_I \quad (13.101)$$

Figura 13.28

(a) Amplificatore a source comune. (b) Circuito equivalente in AC. (c) Circuito equivalente in AC, in cui il MOSFET è sostituito dal modello per piccoli segnali. (d) Circuito equivalente finale per l'analisi AC dell'amplificatore a source comune, in cui si è trascurata la resistenza r_o .

Figura 13.29

Circuito semplificato, per $R_G \gg R_1$ e $R_S = 0$.



Il guadagno è determinato dal rapporto fra la resistenza di carico R_L e la resistenza di source R_S ; questa condizione è estremamente utile nelle applicazioni pratiche, in quanto il guadagno è indipendente dai parametri del transistor che possono variare significativamente da un dispositivo all'altro. L'espressione riportata nella (13.101) è molto simile a quella relativa all'amplificatore operazionale in configurazione invertente; questo è un risultato della retroazione (feedback) introdotta dalla resistenza R_S .

Nella (13.101) si è ipotizzato $g_M R_S \gg 1$. Il prodotto $g_M R_S$ può essere facilmente espresso in funzione della caduta in DC ai capi del resistore R_S :

$$g_m R_S = \frac{2}{(V_{GS} - V_{TN})} I_D R_S \quad \text{e} \quad I_D R_S \gg \frac{V_{GS} - V_{TN}}{2} \quad (13.102)$$

Il prodotto $I_D R_S$ rappresenta la caduta in DC ai capi del resistore R_S ; la condizione che questa caduta sia molto maggiore della metà di $(V_{GS} - V_{TN})$ può essere ottenuta in pratica, ma non così facilmente come nel caso dell'amplificatore a emettitore comune a BJT.

13.10.4 Resistenza nulla nel source

Per rendere il guadagno di tensione quanto più grande possibile, dobbiamo minimizzare il denominatore della (13.100); questo risultato si ottiene ponendo $R_S = 0$. Il guadagno, in questo caso, diviene:

$$A_v^{CS} \approx -g_m R_L = -g_m (R_D || R_3) \quad \text{per} \quad R_S = 0 \quad (13.103)$$

L'ultima equazione pone un limite superiore al guadagno di tensione ai terminali che possiamo ottenere con un amplificatore a source comune. Dalla (13.103), il guadagno di tensione ai terminali è dato dal prodotto fra la transconduttanza g_m e la resistenza di carico R_L .

Il segno meno indica che la tensione di uscita è "invertita", nel senso che i segnali di ingresso e di uscita sono sfasati di 180° . Come mostra la Figura 13.29, le approssimazioni che hanno portato alla Equazione (13.103) sono equivalenti a ipotizzare che il segnale di ingresso sia direttamente applicato fra gate e source del MOSFET.

Esempio 13.6

GUADAGNO DI TENSIONE DI UN AMPLIFICATORE A SOURCE COMUNE

In questo esempio ricaviamo i parametri di piccolo segnale del MOSFET e calcoliamo il guadagno di tensione di un amplificatore a source comune.

PROBLEMA (a) Si calcoli il guadagno di tensione dell'amplificatore a source comune di Figura 13.28(a), assumendo: $K_n = 0.500 \text{ mA/V}^2$, $V_{TN} = 1 \text{ V}$ e $\lambda = 0.0133 \text{ V}^{-1}$ e che il punto Q sia: (0.241 mA, 3.81 V). (b) Si calcoli il massimo valore di v_i compatibile con l'ipotesi di funzionamento del circuito per piccoli segnali.

SOLUZIONE **Informazioni e dati noti:** L'amplificatore a source comune e il suo circuito equivalente, mostrati in Figura 13.28; $K_n = 0.500 \text{ mA/V}^2$; $V_{TN} = 1 \text{ V}$ e $\lambda = 0.0133 \text{ V}^{-1}$; il punto Q è: (0.241 mA, 3.81 V); $R_I = 1 \text{ k}\Omega$, $R_1 = 1.5 \text{ M}\Omega$, $R_2 = 2.2 \text{ M}\Omega$, $R_D = 22 \text{ k}\Omega$, $R_S = 2 \text{ k}\Omega$ e $R_3 = 100 \text{ k}\Omega$.

Incognite: I parametri differenziali del transistor, il guadagno di tensione A_v , il massimo valore di v_i compatibile con il funzionamento del circuito per piccoli segnali.

Approccio: Si utilizzi l'informazione sul punto Q per ottenere g_m e r_o . Si utilizzi l'Equazione (13.99) per il guadagno di tensione.

Ipotesi: Il transistor è in regione attiva e le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali del dispositivo.

Analisi: Dobbiamo valutare l'Equazione (13.99):

$$A_v^{CS} = -\frac{g_m R_L}{1 + g_m R_S} \left(\frac{R_G}{R_G + R_I} \right)$$

Calcolando i valori dei vari resistori e dei parametri di piccolo segnale si ha:

$$g_m = \sqrt{2K_n I_{DS}(1 + \lambda V_{DS})}$$

$$= \sqrt{2 \left(500 \frac{\mu A}{V^2} \right) (0.241 \text{ mA}) \left(1 + \frac{0.0133}{V} 3.81 \text{ V} \right)} = 0.503 \text{ mS}$$

$$r_o = \frac{\frac{1}{\lambda} + V_{DS}}{I_D} = \frac{\left(\frac{1}{0.0133} + 3.81 \right) V}{0.241 \text{ mA}} = 328 \text{ k}\Omega$$

$$R_G = R_1 \parallel R_2 = 892 \text{ k}\Omega \quad R_L = R_D \parallel R_3 \parallel r_o = 18.0 \text{ k}\Omega$$

$$g_m R_L = 9.05 \quad g_m R_S = 1.01 \quad A_v^{CS} = \frac{9.05}{1 + 1.01} \left(\frac{892 \text{ k}\Omega}{892 \text{ k}\Omega + 1 \text{ k}\Omega} \right) = -4.50$$

Pertanto, l'amplificatore a source comune di Figura 13.29 fornisce un guadagno di tensione per piccoli segnali: $A_v \approx -4.50$, o 13.1 dB.

Dall'Equazione (13.86), l'ipotesi di piccoli segnali richiede:

$$v_i \leq 0.2(V_{GS} - V_{TN})(1 + g_m R_S) = 0.2(0.982 \text{ V})(2.01) = 0.395 \text{ V}$$

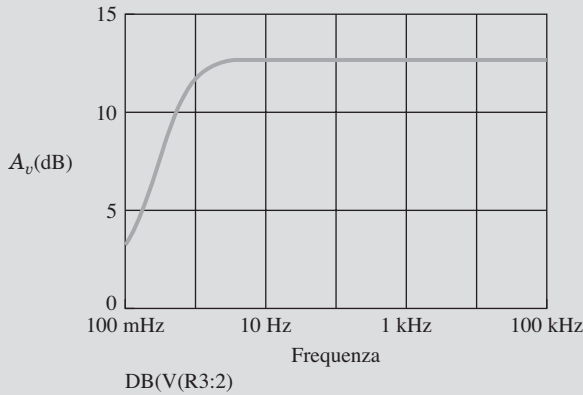
Pertanto l'ampiezza del segnale di ingresso non deve superare 0.40 V per consentire un funzionamento in regime di piccoli segnali.

Controllo dei risultati: Abbiamo calcolato le informazioni richieste. Il fattore di amplificazione del transistor è $\mu_f = g_m r_o = 165$. Il guadagno che abbiamo calcolato è molto minore di μ_f , per cui è stato lecito trascurare la r_o . Poiché R_S è diversa da zero, la stima del guadagno di tensione è $-R_L/R_S = -18 \text{ k}\Omega/2 \text{ k}\Omega = -9.00$. Il valore che abbiamo calcolato in precedenza è inferiore rispetto a questa stima, poiché il prodotto $g_m R_S$ non è molto maggiore dell'unità. Possiamo infine verificare l'ipotesi di funzionamento in regione attiva: $V_{GS} - V_{TN} = 0.982$ e $V_{DS} = 3.81 \text{ V}$.

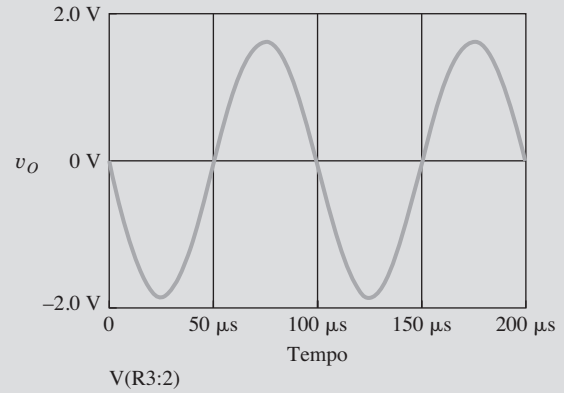
Discussione: Si noti che l'amplificatore a source comune è stato progettato per operare all'incirca con lo stesso punto di funzionamento dell'amplificatore C-E di Figura 13.18, inoltre la R_S è stata scelta in modo da ottenere all'incirca lo stesso guadagno.

Analisi assistita da calcolatore: L'analisi del punto di funzionamento con SPICE (KP = 0.5M, VTO = 1, LAMBDA = 0.0133) fornisce un punto Q (0.242 mA, 3.77 V). La piccola differenza con l'analisi manuale è dovuta al valore di λ diverso da zero in SPICE. L'analisi AC fornisce un guadagno per piccoli segnali di -4.39 . Il primo grafico che segue mostra il risultato di una simulazione AC, da 0.1 Hz a 100 kHz, con un segnale di ingresso di 1 V, per identificare la regione (centro banda) in cui i condensatori possono essere considerati come cortocircuiti; dal grafico si evince che il guadagno è costante a -4.39 per frequenze superiori a 10 Hz.

Il secondo grafico mostra il risultato di una simulazione in transitorio, per un segnale di ingresso alla frequenza di 10 kHz di ampiezza 0.4 V. In questa simulazione TSTART = 0, TSTOP = 0.2m e TSTEP = 0.1u. Benché l'ampiezza del segnale di ingresso sia proprio al limite per poter utilizzare il modello per piccoli segnali, la simulazione SPICE non evidenzia una distorsione significativa della forma d'onda di uscita.



Risposta in frequenza per un segnale di ingresso AC di 1 V.



Risposta in transitorio per $v_I = 0.45 \sin(20\,000 \pi t)$ V.

ESERCIZIO Si calcoli il punto Q per il transistor in Figura 13.28(a).

RISPOSTE (0.24 mA, 3.83 V).

ESERCIZIO Si converta il guadagno di tensione dell'Esempio 9.6 in decibel.

RISPOSTE 13.1 dB.

ESERCIZIO Nell'Esempio 13.6, qual è il valore minimo di v_{DS} necessario per mantenere il MOSFET in regione attiva?

RISPOSTA 0.98 V.

13.10.5 Guida per il progetto di amplificatori a source comune con $R_S = 0$

Nel progetto di un amplificatore a source comune si cerca spesso di ottenere la condizione $R_3 \gg R_D$. In questo caso, la resistenza complessiva sul drain del MOSFET è approssimativamente pari a R_D , e l'Equazione (13.103) si semplifica in questo modo:

$$A_v^{CS} \approx -g_m R_D = -\frac{I_D R_D}{\left(\frac{V_{GS} - V_{TN}}{2}\right)} \quad (13.104)$$

dove per la g_m si è utilizzata l'espressione data nella (13.78).

Il prodotto $I_D R_D$ rappresenta la caduta di tensione in DC ai capi della resistenza di drain R_D ; questa tensione deve essere ovviamente inferiore rispetto alla tensione di alimentazione ed è tipicamente compresa fra un quarto e tre quarti di V_{DD} . Assumendo $I_D R_D = V_{DD}/2$ e $V_{GS} - V_{TN} = 1$ V, l'Equazione (13.104) può essere così riscritta:

$$A_v^{CS} \approx -\frac{V_{DD}}{V_{GS} - V_{TN}} \approx -\frac{V_{DD}}{1 \text{ V}} \quad (13.105)$$

L'Equazione (13.105) rappresenta una regola base per il progetto di amplificatori a source comune con carico resistivo, simile a quella ottenuta per gli amplificatori a BJT a emettitore comune [si veda l'Equazione (13.56)]: il guadagno di tensione è dato approssimativamente dal rapporto fra la tensione di alimentazione e il fattore $(V_{GS} - V_{TN})$. Per un amplificatore a source comune con una tensione di alimentazione di 12 V possiamo stimare un guadagno di -12 .

Si noti che, a parità di tensione di alimentazione, il guadagno di tensione di un amplificatore a source comune è circa un ordine di grandezza inferiore rispetto a quello di un amplificatore BJT a emettitore comune. Questa differenza può essere spiegata confrontando l'Equazione (13.104) con la (13.55): nell'espressione dell'amplificazione per il circuito a source comune compare a denominatore il termine $(V_{GS} - V_{TN})/2$ che è molto maggiore rispetto al fattore $V_T = 25$ mV che compare a denominatore della (13.55).



NOTA PROGETTUALE

Stima del guadagno di tensione di un amplificatore a source comune

Il guadagno di tensione di un amplificatore a source comune con resistenza di source nulla è approssimativamente uguale alla tensione di alimentazione:

$$A_v^{CS} \approx -V_{DD}/(1V) \quad \text{per} \quad R_S = 0$$

Questo risultato fornisce un metodo per una verifica approssimata della correttezza di calcoli più accurati per il guadagno.

13.10.6 Limiti per la condizione di piccolo segnale nell'amplificatore a source comune

La presenza del resistore R_S consente di incrementare la massima tensione di ingresso compatibile con la condizione di piccolo segnale, in maniera analoga a quello che accade per l'amplificatore a emettitore comune a BJT. Dalle Equazioni (13.96), (13.98) e (13.86), assumendo $R_G \gg R_I$, abbiamo:

$$v_{gs} = \frac{v_i}{1 + g_m R_S} \leq 0.2(V_{GS} - V_{TN}) \quad \text{ovvero} \quad v_i \leq 0.2(V_{GS} - V_{TN})(1 + g_m R_S) \quad (13.106)$$

Pertanto l'ampiezza massima della tensione v_{gs} compatibile con il funzionamento del dispositivo in regime di piccoli segnali è incrementata del fattore $1 + g_m R_S$, che può essere molto maggiore di uno.

GUADAGNO DI TENSIONE DI UN AMPLIFICATORE A SOURCE COMUNE, CON CONDENSATORE DI BYPASS SULLA RESISTENZA DI SOURCE

Esempio 13.7

(a) Si calcoli il guadagno di tensione dell'amplificatore a source comune dell'Esempio 13.6, assumendo che il condensatore di bypass C_2 sia collegato fra il terminale di source del MOSFET e riferimento. (b) Si confrontino i risultati ottenuti al punto precedente con l'approssimazione del primo ordine del guadagno dell'amplificatore a source comune. (c) Si calcoli il massimo valore di v_i compatibile con l'ipotesi di funzionamento del circuito per piccoli segnali.

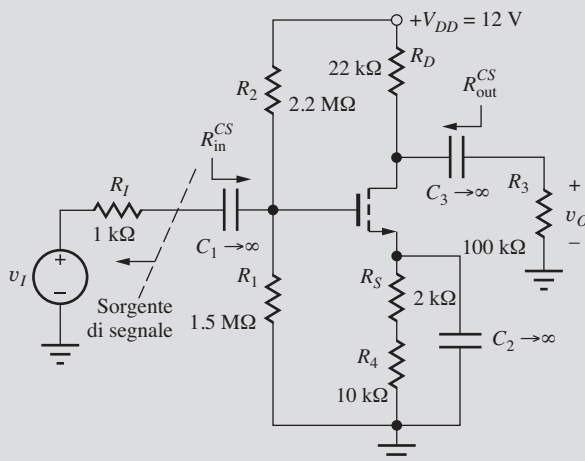
PROBLEMA

Informazioni e dati noti: L'amplificatore a source comune di Figura 13.28, con il condensatore di bypass C_2 collegato fra il terminale di source del MOS e ground; dai risultati dell'Esempio 13.6 il punto Q è: (0.241 mA, 3.71 V), $g_m = 0.503$ mS, $r_o = 328$ k Ω .

SOLUZIONE

Incognite: Il guadagno di tensione A_v , la stima al primo ordine del guadagno, il massimo valore di v_i compatibile con il funzionamento del circuito per piccoli segnali.

Approccio: (a) Si calcoli A_v^{CS} per $R_S = 0$; (b) stimare il guadagno di tensione con la relazione approssimata (13.105).



Ipotesi: Il transistor è in regione attiva; le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali del dispositivo. La resistenza r_o può essere trascurata.

Analisi: (a) Con le resistenze di source cortocircuitate da C_2 risulta:

$$A_v^{CS} = -g_m R_L \frac{R_G}{R_G + R_I} = -0.503 \text{ mS} (18.0 \text{ k}\Omega) \frac{892 \text{ k}\Omega}{892 \text{ k}\Omega + 1 \text{ k}\Omega} = -9.04 \text{ ovvero } 19.1 \text{ dB}$$

(b) La stima al primo ordine del guadagno di tensione è: $A_v = -V_{DD} = -12$, che in questo caso sovrastima di oltre il 30% il guadagno effettivo.

Dato il punto Q risulta:

$$V_{GS} - V_{TN} \approx \sqrt{\frac{2I_{DS}}{K_n}} = \sqrt{\frac{2 \times 0.241 \text{ mA}}{500 \frac{\mu\text{A}}{\text{V}^2}}} = 0.982 \text{ V}$$

e la stima del guadagno è:

$$A_v^{CS} \approx -\frac{V_{DD}}{V_{GS} - V_{TN}} = -\frac{12 \text{ V}}{0.982 \text{ V}} = -12.2$$

Il guadagno intrinseco del MOSFET è pari a:

$$\mu_f = \frac{\frac{1}{\lambda} + V_{DS}}{\frac{V_{GS} - V_{TN}}{2}} = \frac{(75.2 + 3.71) \text{ V}}{0.491 \text{ V}} = 161$$

Con il terminale di source collegato direttamente al riferimento, il segnale di ingresso appare integralmente fra i terminali di gate e source del dispositivo. La condizione di piccoli segnali richiede:

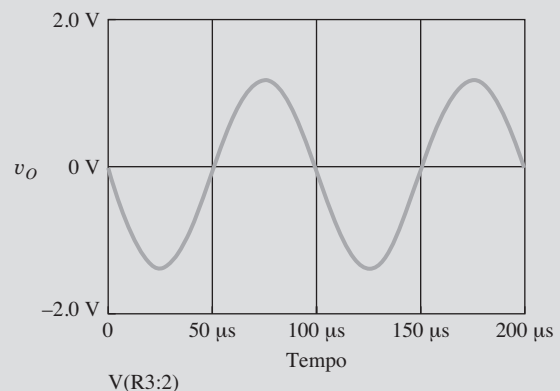
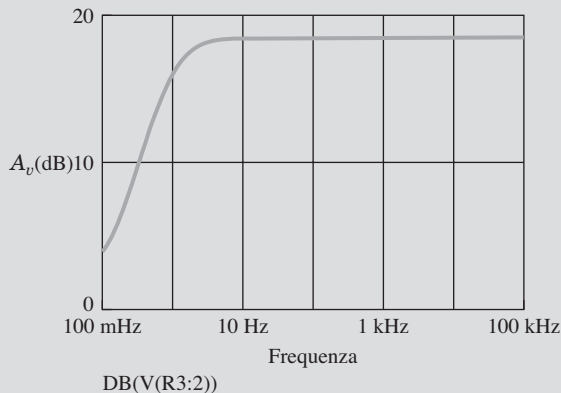
$$|v_{gs}| \leq 0.2(V_{GS} - V_{TN}) = 0.2(0.982 \text{ V}) = 0.196 \text{ V} \quad \text{per cui} \quad |v_{gs}| \leq 0.196 \text{ V}$$

Controllo dei risultati: Abbiamo calcolato le informazioni richieste. La stima al primo ordine è in ragionevole accordo con i calcoli più accurati; il guadagno di tensione è molto minore rispetto al guadagno intrinseco, per cui l'ipotesi di poter trascurare la r_o nel calcolo del guadagno è verificata.

Discussione: Benché il guadagno intrinseco del MOSFET sia molto più piccolo di quello del BJT, il guadagno dell'amplificatore a source comune non è limitato da μ_f .

Analisi assistita da calcolatore: La simulazione SPICE fornisce un punto Q di (0.242 mA, 3.77 V) che è consistente con i valori utilizzati. L'analisi in AC con FSTART = 0.1, FSTOP = 100K e dieci punti calcolati ogni decade mostra che il guadagno risulta costante e pari a 18.7 dB per frequenze superiori ad 10 Hz; il guadagno simulato è leggermente inferiore rispetto alla nostra analisi manuale in cui abbiamo trascurato la r_o .

Effettuando una simulazione in transitorio con una sinusoide di ampiezza 0.15 V e frequenza 10 kHz, l'uscita mostra una buona linearità; si può tuttavia notare che le ampiezze delle semionde positive e negative dell'uscita sono leggermente differenti fra di loro, evidenziando una leggera distorsione.



ESERCIZIO Si disegni il circuito equivalente AC per piccoli segnali per l'amplificatore dell'Esempio 13.7, includendo la resistenza di uscita del MOSFET. Qual è la resistenza di carico totale del dispositivo? Qual è il nuovo valore del guadagno di tensione?

RISPOSTE $R_L = r_o \parallel R_D \parallel R_3 = 328 \text{ k}\Omega \parallel 22 \text{ k}\Omega \parallel 100 \text{ k}\Omega = 17.1 \text{ k}\Omega$.

$$A_v^{CS} = -0.503 \text{ mS} (17.1 \text{ k}\Omega) \frac{892 \text{ k}\Omega}{892 \text{ k}\Omega + 1 \text{ k}\Omega} = -8.59 \text{ ovvero } 18.7 \text{ dB}.$$

ESERCIZIO Si supponga di aumentare la transconduttanza del MOSFET a $K_n = 2 \text{ mA/V}^2$ aumentando il rapporto W/L del dispositivo. Si calcoli la nuova stima del guadagno di tensione per l'amplificatore dell'Esempio 13.7, ipotizzando che il punto Q rimanga inalterato. Di quale fattore è stato incrementato il rapporto W/L ?

RISPOSTE -12.5 ; 4 .

13.10.7 Resistenze di ingresso degli amplificatori a emettitore comune e a source comune

Nel paragrafo precedente abbiamo visto che il guadagno di tensione di uno stadio amplificatore a MOSFET è generalmente molto inferiore rispetto a quello di uno stadio a BJT; tuttavia, nel progetto di un amplificatore, oltre al valore del guadagno di tensione, vi sono altri parametri importanti da considerare che possono determinare la scelta di circuiti a MOSFET rispetto agli amplificatori a BJT.

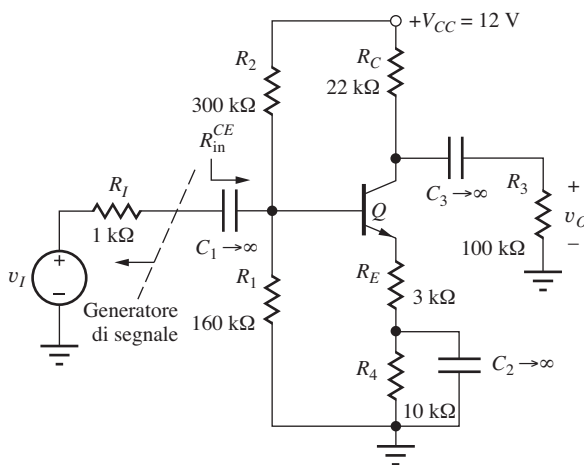
Abbiamo già notato, per esempio, che un MOSFET può operare come amplificatore lineare con segnali di ingresso di ampiezza molto maggiore rispetto a un BJT. Un'altra differenza significativa riguarda il valore della resistenza di ingresso dell'amplificatore; in questo paragrafo studieremo in dettaglio quest'ultimo aspetto.

Come mostra la Figura 13.30, la resistenza di ingresso R_{in} degli amplificatori a source comune e a emettitore comune è definita come la resistenza che si osserva "guardando" verso l'amplificatore attraverso il condensatore di accoppiamento C_1 . La Figura 13.31 mostra la stessa definizione applicata al circuito equivalente in AC degli amplificatori.

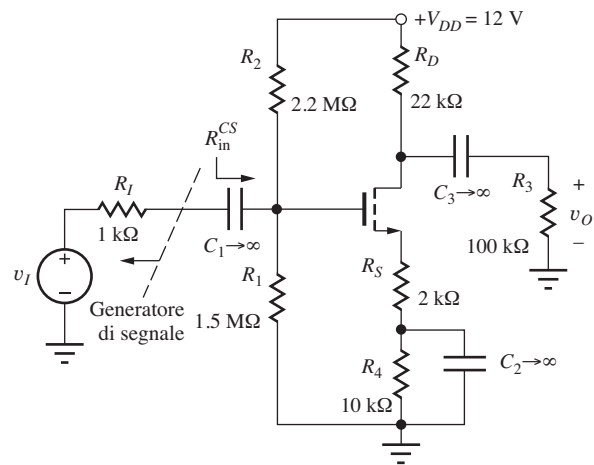
Resistenza di ingresso per l'amplificatore a emettitore comune

Consideriamo dapprima la resistenza di ingresso per lo stadio a emettitore comune. In Figura 13.32 il BJT è stato sostituito dal suo circuito equivalente per piccoli segnali, e la resistenza di ingresso è: $R_{in} = v_x / i_x$ in cui la i_x ha due componenti: la corrente i_1 che fluisce nel resistore R_B e la corrente i_2 che entra nella base del transistor. La resistenza di ingresso può quindi essere espressa come il parallelo di due resistenze: R_B e R_{iB} , dove R_{iB} è la resistenza che si vede guardando nella base dell'amplificatore a emettitore comune:

$$R_{in}^{CE} = R_B \parallel R_{iB} = R_B \parallel [r_\pi + (\beta_o + 1)R_E] \quad (13.107)$$



(a)



(b)

Figura 13.30

(a) Definizione della resistenza di ingresso per l'amplificatore a emettitore comune.

(b) Definizione della resistenza di ingresso per l'amplificatore a source comune.

Figura 13.31

Circuiti equivalenti AC per la valutazione della resistenza di ingresso per gli amplificatori a emettitore comune e a source comune mostrati in Figura 13.30.

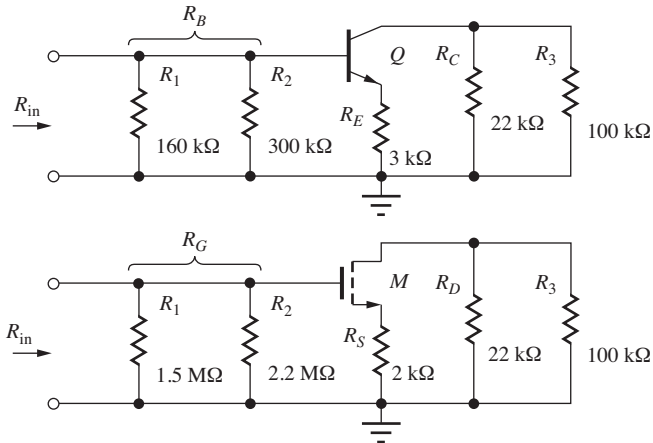
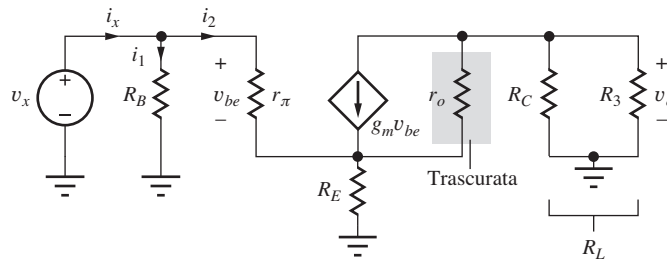


Figura 13.32

Calcolo della resistenza di ingresso dell'amplificatore a emettitore comune.



Esempio 13.8

RESISTENZA D'INGRESSO DELL'AMPLIFICATORE A EMETTITORE COMUNE

PROBLEMA (a) Si calcoli la resistenza d'ingresso dell'amplificatore di Figura 13.31 e 13.32. Il punto $Q = (0.245 \text{ mA}, 3.39 \text{ V})$. (b) Si ripeta il calcolo ipotizzando che il condensatore di bypass cortocircuiti la resistenza di emettitore R_E .

SOLUZIONE **Informazioni e dati noti:** Il circuito equivalente per piccoli segnali di Figura 13.33; il punto Q è $(0.245 \text{ mA}, 3.39 \text{ V})$. Dalla Figura 13.30 abbiamo: $R_1 = 160 \text{ k}\Omega$, $R_2 = 300 \text{ k}\Omega$, $R_E = 3 \text{ k}\Omega$, $R_3 = 100 \text{ k}\Omega$.

Incognite: La resistenza di ingresso dell'amplificatore, nei due casi (a) $R_E = 3 \text{ k}\Omega$, (b) $R_E = 0$.

Approccio: Si determini r_π e si utilizzi quindi l'Equazione (13.105) per determinare la resistenza di ingresso.

Ipotesi: Le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali, $\beta_0 = 100$, $V_T = 25 \text{ mV}$.

Analisi: I valori di R_B e r_π sono:

$$R_B = R_1 \parallel R_2 = 160 \text{ k}\Omega \parallel 300 \text{ k}\Omega = 104 \text{ k}\Omega \quad \text{e} \quad r_\pi = \frac{\beta_0 V_T}{I_C} = \frac{100(25 \text{ mV})}{0.245 \text{ mA}} = 10.2 \text{ k}\Omega$$

$$(a) R_{in}^{CE} = R_B \parallel [r_\pi + (\beta_0 + 1)R_E] = 104 \text{ k}\Omega \parallel [10.2 \text{ k}\Omega + (101)3 \text{ k}\Omega] = 78.1 \text{ k}\Omega$$

(b) Se l'emettitore del BJT è bypassato a ground, R_E è zero nella espressione della R_{iB} e la resistenza di ingresso del transistor è molto inferiore:

$$R_{in}^{CE} = R_B \parallel R_{iB} = R_B \parallel r_\pi = 104 \text{ k}\Omega \parallel 10.2 \text{ k}\Omega = 9.29 \text{ k}\Omega$$

Controllo dei risultati: La resistenza di ingresso deve essere inferiore ai resistori R_1 , R_2 e R_{in}^{CE} che sono in parallelo. Il valore calcolato è consistente con questa osservazione.

Discussione: Con la resistenza di emettitore cortocircuitata, la resistenza di ingresso dell'amplificatore, $9.29 \text{ k}\Omega$, è piccola ed è determinata essenzialmente dal ridotto valore di r_π . Inserendo la resistenza $R_E = 3 \text{ k}\Omega$ in serie all'emettitore si riduce il guadagno di tensione, ma si ottiene una impedenza di ingresso molto maggiore.

Analisi assistita da calcolatore: Possiamo utilizzare l'analisi AC del circuito di Figura 13.30(a) per determinare R_{in} , valutando la corrente erogata dal generatore v_i . (Si noti che non è possibile effettuare un'analisi TF, per la presenza dei condensatori nel circuito.) Secondo la simulazione SPICE, la corrente erogata da un generatore sinusoidale di ampiezza 1 V, alla frequenza di 100 kHz, è di 12.7 μ A, con una resistenza equivalente di 78.7 k Ω . La resistenza R_I è in serie con il generatore d'ingresso; sottraendo il valore di R_{in} (1 k Ω), otteniamo una resistenza d'ingresso per l'amplificatore di 77.7 k Ω , in ragionevole accordo con i nostri calcoli manuali. La resistenza di ingresso è anche uguale alla tensione di base divisa per la corrente che fluisce nel condensatore C_1 . Da SPICE risulta $V_B(Q1)/I(C1) = 77.7$ k Ω a frequenze superiori a 1 kHz. (b) Con l'emettitore bypassato, SPICE fornisce $V_B(Q1)/I(C1) = 9.80$ k Ω , un valore maggiore del 5% rispetto ai nostri calcoli manuali; la piccola discrepanza è dovuta ai valori di β_o e di V_T che sono leggermente diversi in SPICE rispetto ai valori considerati nell'analisi manuale.

ESERCIZIO Si calcolino i due valori di R_{in} (escludendo e includendo il condensatore di bypass), assumendo che il punto Q sia portato a (0.725 mA, 3.86 V).

RISPOSTE (a) 77.6 k Ω ; (b) 3.34 k Ω .

Resistenza di ingresso per l'amplificatore a source comune

La Figura 13.33 mostra il circuito a source comune di Figura 13.30, in cui il MOSFET è stato sostituito dal suo circuito equivalente per piccoli segnali; si noti che il circuito di Figura 13.33 è molto simile a quello di Figura 13.32; l'unica differenza è il valore di r_π che nel caso del circuito a MOSFET è infinito. La resistenza di ingresso del circuito è data semplicemente dalla R_G :

$$v_x = i_x R_G \quad \text{e} \quad R_{in} = R_G \quad (13.108)$$

Nell'amplificatore a source comune di Figura 13.30, $R_G = (2.2 \parallel 1.5)$ M Ω , per cui $R_{in}^{CS} = 892$ k Ω ; vediamo pertanto che la resistenza di ingresso di uno stadio a source comune può essere molto più grande rispetto a quella di un amplificatore a emettitore comune.

ESERCIZIO Quanto vale la resistenza di ingresso dell'amplificatore a source comune di Figura 13.30(b) se $R_2 = 1.0$ M Ω e $R_1 = 680$ k Ω ? I nuovi valori delle resistenze alterano il punto di lavoro del MOSFET?

RISPOSTE 405 k Ω ; no, il punto Q rimane invariato, poiché $I_G = 0$.

13.10.8 Resistenze di uscita degli amplificatori a emettitore comune e a source comune

Come mostrano le Figure 13.34(a) e (b), la resistenza di uscita R_{out} è definita come la resistenza che si osserva guardando verso l'uscita dell'amplificatore, attraverso il condensatore di accoppiamento C_3 . La Figura 13.35 mostra la stessa definizione applicata al circuito equivalente in AC degli amplificatori; si noti che il generatore di segnale v_i deve essere annullato per effettuare il calcolo della resistenza di uscita.

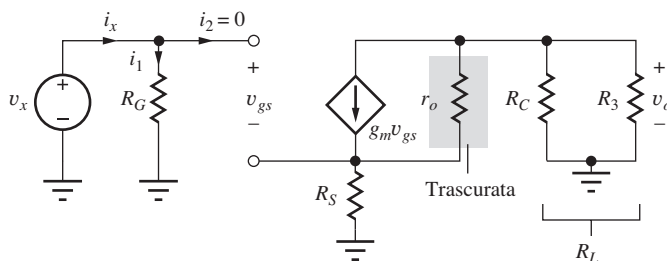


Figura 13.33
Resistenza di ingresso dell'amplificatore a source comune.

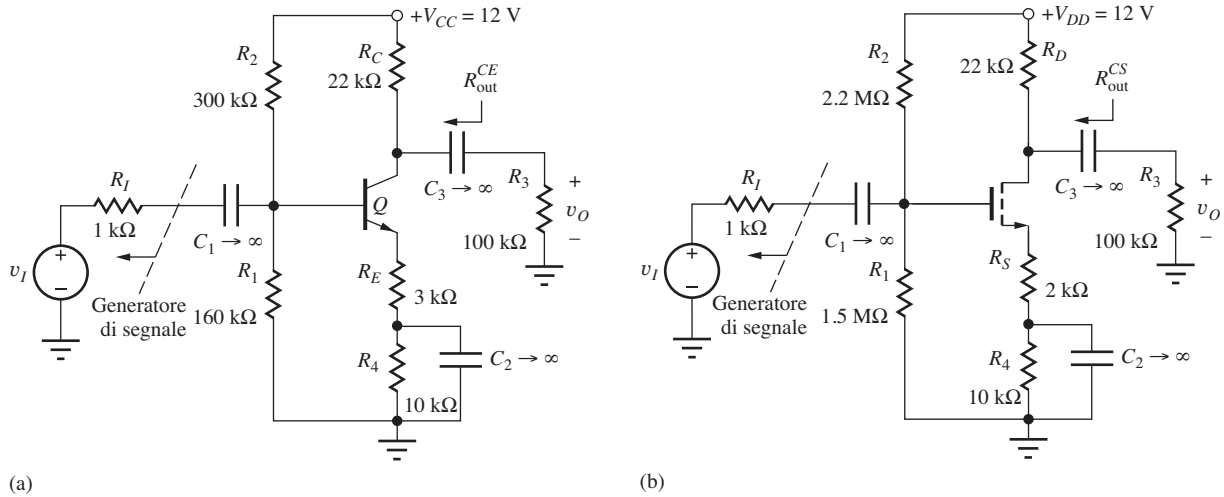
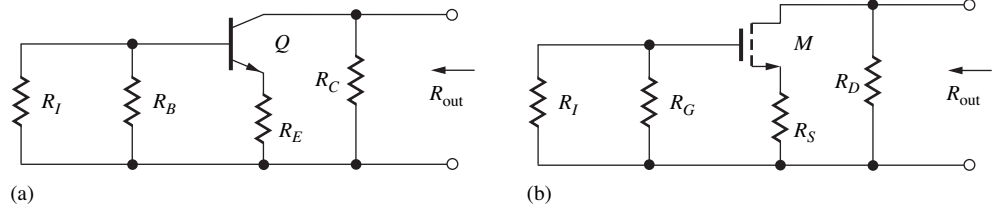


Figura 13.34 (a) Definizione della resistenza di uscita per l'amplificatore a emettitore comune.
(b) Definizione della resistenza di uscita per l'amplificatore a source comune.

Figura 13.35

Circuiti equivalenti AC per la valutazione delle resistenze di uscita. (a) Amplificatore a emettitore comune. (b) Amplificatore a source comune.



Resistenza di uscita per l'amplificatore a emettitore comune

Per l'amplificatore a BJT di Figura 13.35(a), la resistenza totale di uscita R_{out}^{CE} è data dal parallelo di R_C con la resistenza R_{iC} che si osserva guardando nel collettore del transistor bipolare (si vedano le Equazioni (13.70) e (13.71)):

$$R_{out}^{CE} = R_C \parallel R_{iC} \approx R_C \parallel r_o [1 + g_m(r_\pi \parallel R_E)] \quad (13.109)$$

Se la R_E è diversa da zero, la R_{iC} è tipicamente molto maggiore di r_o . Se R_E è zero, l'Equazione (13.109) si riduce a:

$$R_{out}^{CE} = R_C \parallel r_o \quad \text{per } R_E = 0 \quad (13.110)$$

Confrontiamo r_o e R_C , moltiplicando entrambi i valori per I_C :

$$I_C r_o = I_C \frac{V_A + V_{CE}}{I_C} \approx V_A \quad \text{e} \quad I_C R_C \approx \frac{V_{CC}}{2} \quad (13.111)$$

Come abbiamo osservato in precedenza, la tensione ai capi della resistenza di collettore R_C è tipicamente una piccola frazione della tensione di alimentazione, molto inferiore rispetto a V_A . Pertanto dall'ultima relazione vediamo che $r_o \gg R_C$ e quindi le Equazioni (13.109) e (13.110) sono entrambe dominate da R_C :

$$R_{out}^{CE} \approx R_C \quad (13.112)$$

Resistenza di uscita per l'amplificatore a source comune

Per l'amplificatore a MOSFET di Figura 13.35(b), l'analisi è molto simile a quella del circuito a emettitore comune. La resistenza di uscita complessiva R_{out}^{CS} è pari ad R_D in parallelo alla resistenza R_{iD} che si osserva guardando nel drain del FET:

$$R_{out}^{CS} = R_D \parallel R_{iD} \quad (13.113)$$

Il modello per piccoli segnali del FET è identico a quello del BJT, con l'unica eccezione che $r_\pi \rightarrow \infty$, pertanto:

$$R_{iD} = r_o(1 + g_m R_S) \quad \text{e} \quad R_{out}^{CS} = R_D \parallel R_{iD} \approx R_D \parallel r_o(1 + g_m R_S) \quad (13.114)$$

Anche in questo caso si può ipotizzare $r_o \gg R_D$, per cui anche la resistenza di uscita dell'amplificatore a source comune è determinata da R_D :

$$R_{out}^{CS} \approx R_D \quad (13.115)$$

13.11 Esempi di amplificatori a emettitore comune e a source comune

In questo paragrafo verranno presentati alcuni esempi di analisi di amplificatori a emettitore comune e a source comune. I circuiti utilizzano delle alimentazioni simmetriche per stabilire il punto di lavoro dei transistori.

13.11.1 Amplificatore a emettitore comune

AMPLIFICATORE A EMETTITORE COMUNE, POLARIZZATO UTILIZZANDO DUE TENSIONI DI ALIMENTAZIONE

Esempio 13.9

Lo schema del circuito è riportato in Figura 13.36(a); l'utilizzo di due tensioni di alimentazione (in questo esempio, +5 V e -5 V rispetto al potenziale di riferimento) è una tecnica molto comune sia nei circuiti discreti che in quelli integrati e consente di eliminare uno dei resistori di polarizzazione del circuito di base. Il resistore rimanente, del valore di 100 kΩ, è necessario per poter applicare una componente di segnale al morsetto di base, attraverso il condensatore C_1 .

Si calcolino la resistenza d'ingresso, la resistenza di uscita e il guadagno di tensione complessivo dell'amplificatore a emettitore comune di Figura 13.36(a).

PROBLEMA

Informazioni e dati noti: Il circuito, con i valori dei componenti, è riportato in Figura 13.36(a). La didascalia della figura riporta i parametri del transistore: $\beta_F = 65$ e $V_A = 50$ V.

SOLUZIONE

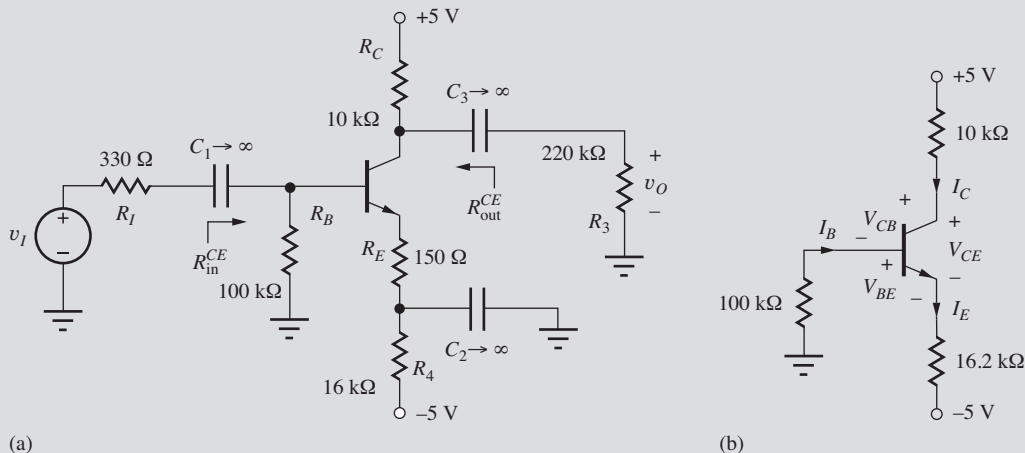
Incognite: Il punto $Q = (I_C, V_{CE})$, i parametri differenziali del transistore, R_{in}^{CE} , R_{out}^{CE} , A_v^{CE} .

Approccio: Dapprima è necessario disegnare il circuito equivalente in DC per procedere al calcolo del punto Q . Possiamo quindi calcolare i parametri differenziali del transistore, disegnare il circuito equivalente AC e infine valutare R_{in}^{CE} , R_{out}^{CE} , A_v^{CE} .

Ipotesi: Il dispositivo opera in regione attiva, con $V_{BE} = 0.7$ V; V_A può essere ignorata nel calcolo del punto di lavoro; le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali; $V_T = 25$ mV.

Figura 13.36

(a) Amplificatore a emettitore comune, polarizzato utilizzando due tensioni di alimentazione. I parametri del BJT sono $\beta_F = 65$ e $V_A = 50$ V. (b) Circuito equivalente in DC.



Analisi del punto di lavoro: Il primo passo da compiere è disegnare il circuito equivalente in DC, che si ottiene considerando i tre condensatori di Figura 13.36(a) come circuiti aperti. In questo modo si perviene al circuito di Figura 13.36(b), in cui il punto di lavoro si può valutare calcolando dapprima la corrente di base del dispositivo, poi la corrente di collettore e infine la tensione collettore-emettitore. Per la maglia di ingresso, ricordando che $I_E = (\beta_F + 1)I_B$, si ottiene:

$$100 \text{ k}\Omega I_B + V_{BE} + (\beta_F + 1)I_B(16.2 \text{ k}\Omega) = 5 \text{ V} \quad (13.116)$$

ovvero:

$$100 \text{ k}\Omega I_B + 0.7 \text{ V} + 66I_B(16.2 \text{ k}\Omega) = 5 \text{ V} \quad (13.117)$$

Risolvendo l'ultima equazione, otteniamo i valori delle correnti nel dispositivo:

$$I_B = \frac{(5 - 0.7) \text{ V}}{100 \text{ k}\Omega + 1.06 \text{ M}\Omega} = 3.67 \text{ }\mu\text{A} \quad (13.118)$$

Allora:

$$I_C = 65 I_B = 239 \text{ }\mu\text{A} \quad \text{e} \quad I_E = 66 I_B = 243 \text{ }\mu\text{A}$$

Consideriamo ora la maglia di uscita; applicando la legge di Kirchhoff e sostituendo i valori numerici otteniamo:

$$5 \text{ V} - 10 \text{ k}\Omega I_C - V_{CE} - 16.2 \text{ k}\Omega I_E - (-5 \text{ V}) = 0 \quad (13.119)$$

da cui è facile ricavare il valore di V_{CE} :

$$V_{CE} = 10 \text{ V} - 10 \text{ k}\Omega I_C - 16.2 \text{ k}\Omega I_E = 3.67 \text{ V} \quad (13.120)$$

Controllo dei risultati e discussione: Scrivendo le Equazioni (13.116) e (13.119), abbiamo implicitamente assunto che il transistor operi in regione attiva diretta; dobbiamo ora controllare la validità di questa ipotesi. La relazione che fornisce V_{CB} è la seguente:

$$5 \text{ V} - 10 \text{ k}\Omega I_C - V_{CB} + 100 \text{ k}\Omega I_B = 0 \quad \text{ovvero} \quad (13.121)$$

$$V_{CB} = (5 - 2.41 + 0.371) \text{ V} = 2.22 \text{ V} > 0$$

Poiché $V_{CB} > 0$ (ovvero, $V_{BC} < 0$) l'ipotesi di funzionamento in regione attiva diretta è confermata e il punto di lavoro del transistor è dato da:

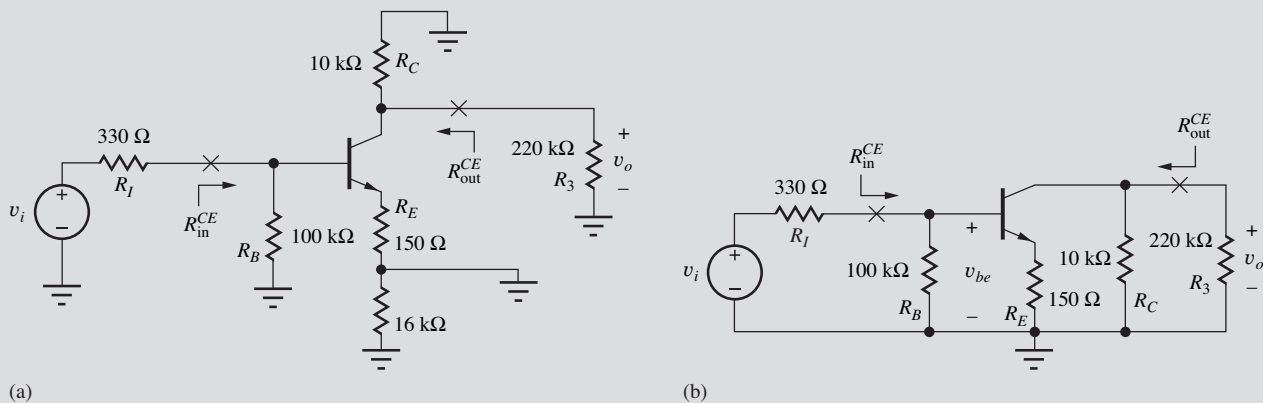
$$(I_C, V_{CE}) = (0.239 \text{ mA}, 3.67 \text{ V}) \quad (13.122)$$

È importante notare che nell'analisi DC abbiamo trascurato l'effetto Early, ovvero abbiamo assunto $V_A = \infty$; come abbiamo più volte sottolineato, infatti, il nostro obiettivo è sempre quello di utilizzare il modello di minore complessità possibile che ci consenta tuttavia di ottenere risultati ragionevolmente approssimati. Utilizzando il valore di V_{CE} riportato nella (13.122) vediamo che:

$$\frac{V_{CE}}{V_A} = \frac{3.67 \text{ V}}{50 \text{ V}} = 0.0734$$

Includendo nella nostra analisi l'effetto Early avremmo complicato significativamente i nostri calcoli ma i valori di V_{CE} e di I_C sarebbero cambiati di meno del 10% rispetto a quanto previsto dalla Equazione (13.122).

Analisi in AC: Il passo successivo per lo studio del nostro amplificatore a emettitore comune è l'identificazione del circuito equivalente in AC, in cui effettuare tutte le possibili semplificazioni prima di intraprendere un'analisi dettagliata del circuito. Per ottenere il circuito equivalente in AC sostituiamo i condensatori e i generatori costanti di tensione con dei cortocircuiti, ottenendo in questo modo il circuito di Figura 13.37(a), che è ridisegnato in forma semplificata in Figura 13.37(b). Il resistore da 16 k Ω è stato rimosso, grazie alla presenza del condensatore di bypass C_2 ed è inoltre evidenziato il collegamento in parallelo dei due resistori collegati al morsetto di collettore del transistor. In seguito, dopo aver acquisito una maggiore dimestichezza con i circuiti equivalenti in AC degli amplificatori, saremo in grado di passare direttamente dal circuito effettivo a un circuito AC semplificato, evitando passi intermedi come quello mostrato in Figura 13.37(b).

**Figura 13.37**

(a) Primo passo per la costruzione del circuito equivalente AC. (b) Circuito di Figura 13.37(a) ridisegnato in forma semplificata.

Analisi per piccoli segnali: Vogliamo calcolare il guadagno di tensione, fra v_i e v_o per il circuito in Figura 13.37. La tensione di uscita al morsetto di collettore è legata al potenziale di base dal guadagno ai terminali, Equazione (13.49), in cui R_L è la resistenza totale al morsetto di collettore, pari al parallelo di R_{out} con la resistenza di carico esterna R_3 . La tensione base-emettitore v_{be} è legata alla tensione di ingresso v_i attraverso il partitore di tensione costituito dalla resistenza R_I e dalla resistenza di ingresso dell'amplificatore, R_{in}^{CE} . Combinando questi risultati otteniamo un'espressione per il guadagno di tensione complessivo:

$$A_v^{CE} = A_{vt}^{CE} \left(\frac{v_b}{v_i} \right) = - \left(\frac{g_m R_L}{1 + g_m R_E} \right) \left[\frac{R_{in}^{CE}}{R_I + R_{in}^{CE}} \right] \quad (13.123)$$

Si noti che per valutare questa espressione dobbiamo dapprima calcolare R_{in}^{CE} e R_{out}^{CE} .

Infine, è necessario determinare i valori numerici dei parametri per piccoli segnali del transistore. Utilizzando i valori del punto Q si ottiene:

$$\begin{aligned} g_m &= \frac{I_C}{V_T} = \frac{239 \mu\text{A}}{25 \text{ mV}} = 9.56 \text{ mS} \\ r_\pi &= \frac{\beta_o V_T}{I_C} = \frac{65(25 \text{ mV})}{239 \mu\text{A}} = 6.80 \text{ k}\Omega \\ r_o &= \frac{V_A + V_{CE}}{I_C} = \frac{(50 + 3.67) \text{ V}}{239 \mu\text{A}} = 225 \text{ k}\Omega \end{aligned}$$

Resistenza di ingresso: Per definizione, la resistenza di ingresso è quella che si osserva guardando dentro l'amplificatore, attraverso il condensatore di accoppiamento C_1 (si vedano le Figure 13.36(a) e 13.36(b)). La Figura 13.38(a) mostra il circuito AC semplificato da utilizzare per il calcolo di R_{in}^{CE} . La resistenza di ingresso si calcola facilmente come:

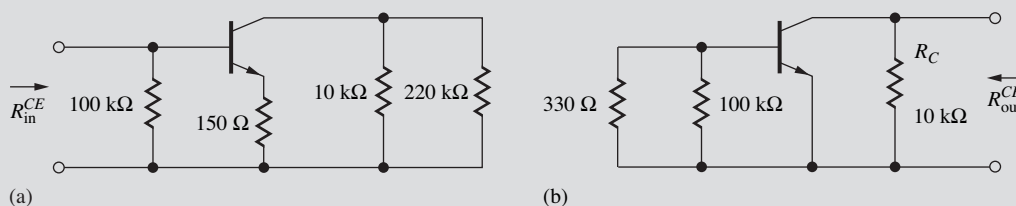
$$R_{in}^{CE} = R_B \parallel R_{iB} = R_B \parallel r_\pi (1 + g_m R_E) = 100 \text{ k}\Omega \parallel [6.80 \text{ k}\Omega (1 + 9.5 \text{ mS}(150 \Omega))] = 14.2 \text{ k}\Omega$$

Resistenza di uscita: La resistenza di carico complessiva sul collettore del transistore è data da:

$$R_L = R_{out}^{CE} \parallel R_3 = R_{iC} \parallel R_C \parallel R_3$$

Figura 13.38

Circuito AC per il calcolo di R_{in} . (b) Circuito AC per il calcolo di R_{out} .



La resistenza che si osserva guardando dentro il collettore del transistor è:

$$R_{iC} \approx r_o[1 + g_m(R_E \parallel r_\pi)] = 225 \text{ k}\Omega[1 + 9.56 \text{ mS}(150 \text{ }\Omega \parallel 6.80 \text{ k}\Omega)] = 541 \text{ k}\Omega$$

$$R_L = R_{iC} \parallel R_C \parallel R_3 = 541 \text{ k}\Omega \parallel 10 \text{ k}\Omega \parallel 220 \text{ k}\Omega = 9.40 \text{ k}\Omega$$

Si noti che avremmo potuto trascurare la resistenza di uscita del transistor senza introdurre un errore significativo nel calcolo di R_L .

Guadagno di tensione: Possiamo ora valutare l'Equazione (13.123):

$$A_v^{CE} = -\left(\frac{g_m R_L}{1 + g_m R_E}\right) \left[\frac{R_{in}^{CE}}{R_I + R_{in}^{CE}}\right] = -\left[\frac{9.56 \text{ mS}(13.40 \text{ k}\Omega)}{1 + 9.56 \text{ mS}(150 \text{ }\Omega)}\right] \left[\frac{14.2 \text{ k}\Omega}{0.330 \text{ k}\Omega + 14.2 \text{ k}\Omega}\right] = -36.1$$

Controllo dei risultati: Abbiamo ottenuto tutte le risposte richieste nel problema. Utilizzando la stima semplificata per il guadagno di tensione, otteniamo:

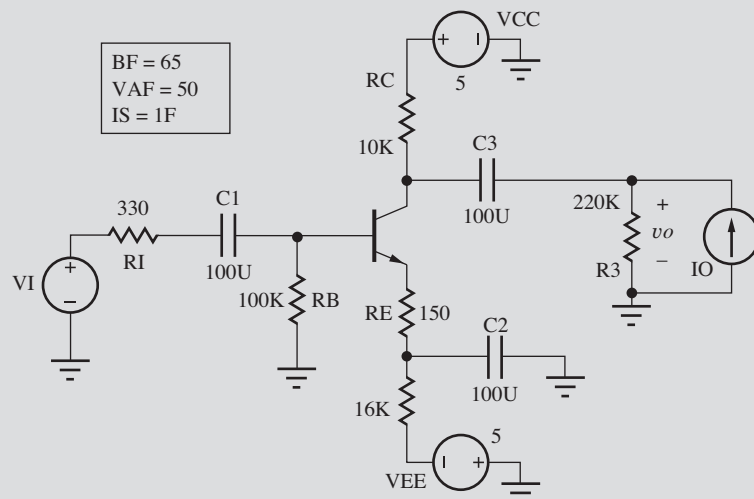
$$A_v^{CE} = -R_C/R_E = -10 \text{ k}\Omega/0.15 \text{ k}\Omega = -66.7$$

per cui il valore del guadagno calcolato in precedenza appare ragionevole. Dal circuito di Figura 13.37(a), osserviamo inoltre che le resistenze di ingresso e di uscita non possono superare i valori, rispettivamente, di 100 k Ω e di 10 k Ω ; i valori calcolati rientrano in questi limiti. In definitiva, l'amplificatore a emettitore comune di Figura 13.36(a) ha le seguenti caratteristiche:

$$A_v = -36.1 \quad R_{in} = 14.2 \text{ k}\Omega \quad R_{out}^{CE} = R_{iC} \parallel R_C = 541 \text{ k}\Omega \parallel 10 \text{ k}\Omega = 9.82 \text{ k}\Omega$$

Analisi assistita da calcolatore: I risultati della nostra analisi DC possono essere facilmente verificati dalla simulazione SPICE del circuito qui riportato, che fornisce come punto di lavoro (0.231 mA, 3.90 V). Da notare che il circuito di polarizzazione stabilizza il punto Q rispetto alle variazioni dei parametri del dispositivo; pertanto, le differenze nei valori del punto Q rispetto ai valori calcolati analiticamente sono minori rispetto a quanto si potrebbe supporre considerando il rapporto V_{CE}/V_A . Inoltre, queste variazioni del punto di lavoro sono molto più piccole rispetto alle tolleranze dei valori dei resistori di polarizzazione e dei parametri del dispositivo; in definitiva, in un circuito reale, trascurare V_A nell'analisi DC non introduce errori significativi.

Per l'analisi AC, la capacità dei condensatori deve essere sufficientemente grande, in modo da poter trascurare l'impedenza dei condensatori nel campo di frequenze d'interesse. Nelle simulazioni si è assunto un valore di 100 μF . Il generatore IO è una sorgente AC, introdotta al fine di semplificare la determinazione della resistenza di uscita.



L'analisi in AC, effettuata assumendo: $FSTART = 1K$, $FSTOP = 1MEG$, cinque punti calcolati ogni decade, 1 per la sorgente AC v_i e 0 per IO, fornisce un guadagno di tensione: $A_v = -34.9$. La resistenza di ingresso dell'amplificatore è data dal rapporto fra la tensione alla base di Q1 e la corrente che entra nel nodo di base attraverso C_1 : $R_{in}^{CE} = VB(Q1)/I(C1)$; a 100 kHz questo valore è 14.8 k Ω . La resistenza di uscita dell'amplificatore si trova dividendo la tensione al collettore di Q1 per la corrente che entra nel nodo di collettore attraverso C_3 : $R_{out}^{CE} = VC(Q1)/I(C3)$; a 100 kHz questo valore è 9.81 k Ω . I risultati della nostra analisi manuale sono pertanto confermati dalla simulazione SPICE.

ESERCIZIO Qual è il fattore di amplificazione del BJT i cui parametri sono riportati in Figura 13.38? Il valore di A_v è prossimo a μ_f ?

RISPOSTE 2220; $|A_v| \ll \mu_f$.

ESERCIZIO Qual è il valore massimo di v_i compatibile con il funzionamento per piccoli segnali del BJT di Figura 13.38? Qual è il valore massimo di v_o compatibile con il funzionamento per piccoli segnali dell'amplificatore?

RISPOSTE 5 mV (2.43) = 12.2 mV; 12 mV (36.1) = 0.439 V.

ESERCIZIO Si realizzi una simulazione in transitorio dell'amplificatore dell'Esempio 13.9, con una tensione sinusoidale di ingresso di ampiezza 12.2 mV e frequenza 20 kHz. L'uscita appare non distorta? Si utilizzi l'analisi di Fourier in SPICE, per valutare la distorsione armonica totale (il valore è riportato da SPICE nel file di uscita).

RISPOSTE sì; distorsione armonica totale (THD)=1.8%.

ESERCIZIO Quali sarebbero la resistenza di ingresso, la resistenza di uscita e il guadagno di tensione dell'amplificatore dell'Esempio 13.9 se il condensatore C_2 fosse connesso fra l'emettitore del transistor e ground?

RISPOSTE $100\text{ k}\Omega || 9.8\text{ k}\Omega = 6.37\text{ k}\Omega$, $10\text{ k}\Omega || 225\text{ k}\Omega = 9.57\text{ k}\Omega$,
 $-(13.56\text{ mS})(13.18\text{ k}\Omega)(0.951) = -83.5$

13.11.2 Differenze fra analisi AC e analisi in transitorio in SPICE: ulteriori osservazioni

Nella simulazione AC del circuito dell'Esempio 13.9, sono stati utilizzati un generatore di tensione AC di ampiezza 1 V e un generatore di corrente AC di ampiezza 1 A. Questi valori sono di gran lunga troppo elevati per poter essere considerati piccoli segnali; in altri esempi, nell'analisi in transitorio, siamo stati attenti nello scegliere generatori di segnale AC di ampiezza sufficientemente piccola, in modo da rispettare il vincolo di piccoli segnali.

In realtà, l'analisi AC assume che la rete sia lineare, e utilizza il modello per piccoli segnali dell'amplificatore. Poiché la rete è lineare, è possibile utilizzare un qualsiasi valore per i generatori di segnale; da quest'osservazione la scelta di generatori di ampiezza 1 V e 1 A. D'altro canto, la simulazione in transitorio utilizza il modello non-lineare, ad ampi segnali, del transistor. Se desideriamo un comportamento lineare del circuito, in questo tipo di analisi tutti i segnali devono soddisfare il vincolo di piccolo segnale.

13.11.3 Amplificatore MOSFET a source comune

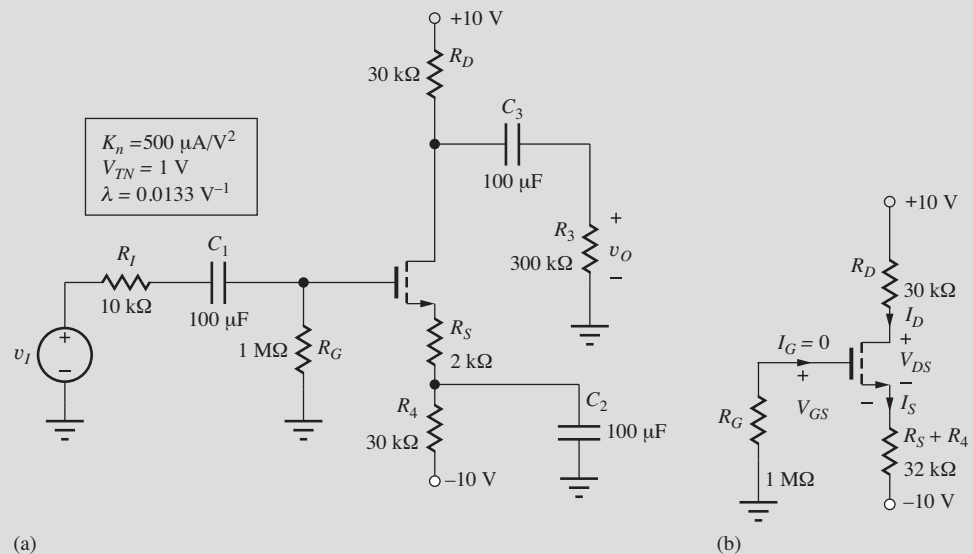
AMPLIFICATORE MOS A SOURCE COMUNE

Esempio 13.10

La Figura 13.39 mostra lo schema di un amplificatore MOS a source comune; la polarizzazione del dispositivo è ottenuta tramite l'utilizzo di due tensioni di alimentazione (in questo esempio, +10 V e -10 V rispetto al riferimento). I condensatori C_1 e C_3 servono rispettivamente per iniettare il segnale di ingresso e prelevare l'uscita, mentre C_2 consente di cortocircuitare, per le componenti di segnale, la resistenza R_4 .

Figura 13.39

(a) Amplificatore a source comune. (b) Circuito equivalente in DC.



PROBLEMA Si calcolino la resistenza d'ingresso, la resistenza di uscita e il guadagno di tensione complessivo dell'amplificatore a source comune di Figura 13.39.

SOLUZIONE **Informazioni e dati noti:** Il circuito, con i valori dei componenti, è riportato in Figura 13.39. In figura sono anche riportati i parametri del transistor: $K_n = 500 \mu\text{A}/\text{V}^2$, $V_{TN} = 1 \text{ V}$ e $\lambda = 0.0133 \text{ V}^{-1}$.

Incognite: Il punto $Q = (I_D, V_{DS})$, i parametri differenziali del transistor, R_{in} , R_{out} , A_v .

Approccio: Dapprima è necessario disegnare il circuito equivalente in DC per procedere al calcolo del punto Q . Possiamo quindi calcolare i parametri differenziali del transistor, disegnare il circuito equivalente AC e infine valutare R_{in} , R_{out} e A_v .

Ipotesi: Il dispositivo opera in regione di pinch-off; λ può essere ignorato nel calcolo del punto di lavoro; le ampiezze dei segnali sono sufficientemente piccole, consentendo l'utilizzo del modello per piccoli segnali.

Analisi del punto di lavoro: La Figura 13.39(b) mostra il circuito equivalente in DC dell'amplificatore, ottenuto considerando i tre condensatori di Figura 13.39(a) dei circuiti aperti; il punto di lavoro si può valutare calcolando dapprima V_{DS} , per poi calcolare V_{GS} e I_D . Iniziamo l'analisi scrivendo un'espressione per la tensione drain-source del MOSFET:

$$10 \text{ V} - 30 \text{ k}\Omega I_D - V_{DS} - 32 \text{ k}\Omega I_S - (-10 \text{ V}) = 0 \quad \text{ovvero} \quad V_{DS} = 20 \text{ V} - 62 \text{ k}\Omega I_D$$

La corrente di drain del MOSFET è data da:

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2 \quad \text{per} \quad V_{DS} \geq V_{GS} - V_{TN}$$

Si può ottenere una seconda relazione che lega I_D e V_{GS} considerando la maglia gate-source:

$$1 \text{ k}\Omega I_G + V_{GS} + 32 \text{ k}\Omega I_S - 10 \text{ V} = 0 \quad \text{ovvero} \quad 10 \text{ V} - V_{GS} = 32 \text{ k}\Omega I_D$$

in cui si sono utilizzate le condizioni $I_G = 0$ e $I_S = I_D$. Sostituendo l'espressione della corrente di drain, si ottiene infine un'equazione quadratica in V_{GS} :

$$(8 \text{ V}^{-2}) V_{GS}^2 - (15 \text{ V}^{-1}) V_{GS} - 2 = 0 \quad \text{e} \quad V_{GS} = -0.125 \text{ V} \text{ or } +2.00 \text{ V}.$$

Poiché V_{GS} deve essere maggiore della tensione di soglia ($V_{TN} = 1 \text{ V}$), l'unica soluzione accettabile della equazione di secondo grado è: $V_{GS} = 2.0 \text{ V}$. Si ha pertanto:

$$I_D = \frac{500 \mu\text{A}}{2 \text{ V}^2} (2 \text{ V} - 1 \text{ V})^2 = 250 \mu\text{A} \quad \text{e} \quad V_{DS} = 20 \text{ V} - 62 \text{ k}\Omega (250 \mu\text{A}) = 4.50 \text{ V}$$

Controllo dei risultati: L'equazione utilizzata per la corrente di drain presuppone il funzionamento del dispositivo in regione di saturazione; per controllare la validità di questa ipotesi dobbiamo controllare se è soddisfatta la seguente disequazione:

$$V_{DS} \geq V_{GS} - V_{TN} \quad \text{e} \quad 4.5 \text{ V} > 1 \text{ V}$$

Poiché $V_{DS} = 4.5 \text{ V}$ mentre $V_{GS} - V_{TN} = 1 \text{ V}$ l'ipotesi di funzionamento in regione di saturazione è confermata e il punto di lavoro del transistor è dato da:

$$(I_D, V_{DS}) = (250 \mu\text{A}, 4.5 \text{ V})$$

Nell'analisi DC abbiamo trascurato l'effetto di modulazione della lunghezza del canale, visto che il nostro obiettivo è sempre quello di utilizzare il modello di minore complessità possibile che ci consenta tuttavia di ottenere risultati ragionevolmente approssimati. In questo esempio $\lambda V_{DS} = (0.0133 \text{ V}^{-1})(5 \text{ V}) = 0.0599$. In definitiva, includendo nella nostra analisi il fattore λV_{DS} i risultati sarebbero cambiati di meno del 6%.

Analisi in AC: Il passo successivo per lo studio del nostro amplificatore a source comune è disegnare il circuito equivalente in AC; sostituendo i condensatori e i generatori costanti di tensione con dei cortocircuiti si ottiene il circuito di Figura 13.40(a) che è ridisegnato in forma più semplice in Figura 13.40(b).

Vogliamo calcolare il guadagno di tensione, fra v_i e v_o per il circuito in Figura 13.40(b). La tensione di uscita al morsetto di drain è legata al potenziale di gate dal guadagno ai terminali, Equazione (13.97), $v_o = (-g_m R_L) v_{gs} / (1 + g_m R_S)$ in cui R_L è la resistenza totale al morsetto di drain, data dal parallelo di $R_{\text{out}}^{\text{CS}}$ con la resistenza di carico esterna R_3 , $R_L = R_{\text{out}}^{\text{CS}} \parallel R_3$. Trascurando r_o si ha: $R_L = R_D \parallel R_3$. La tensione gate-source v_{gs} è legata alla tensione di ingresso v_i attraverso il partitore di tensione costituito dalla resistenza R_I e dalla resistenza di ingresso dell'amplificatore, $R_{\text{in}}^{\text{CS}} = R_G$. Combinando questi risultati otteniamo un'espressione per il guadagno di tensione complessivo:

$$A_v^{\text{CS}} = \frac{v_o}{v_i} = - \frac{g_m (R_{\text{out}} \parallel R_3)}{1 + g_m R_S} \left(\frac{R_G}{R_I + R_G} \right) \quad (13.124)$$

Infine, è necessario determinare i valori numerici dei parametri per piccoli segnali del transistor. Utilizzando i valori del punto Q si ottiene:

$$\begin{aligned} g_m &= \sqrt{2K_n I_{DS} (1 + \lambda V_{DS})} \\ &= \sqrt{2 \left(500 \frac{\mu\text{A}}{\text{V}^2} \right) (250 \mu\text{A}) \left(1 + \frac{0.0133}{\text{V}} 4.5 \text{ V} \right)} = 0.515 \text{ mS} \\ r_o &= \frac{\left(\frac{1}{\lambda} \right) + V_{DS}}{I_D} = \frac{(60 + 4.5) \text{ V}}{250 \mu\text{A}} = 258 \text{ k}\Omega \end{aligned}$$

Guadagno di tensione: Sostituendo i valori numerici nella (13.122) si ha:

$$A_v^{\text{CS}} = \frac{0.515 \text{ mS} (30 \text{ k}\Omega \parallel 300 \text{ k}\Omega)}{1 + 0.515 \text{ mS} (2 \text{ k}\Omega)} \left(\frac{1 \text{ M}\Omega}{10 \text{ k}\Omega + 1 \text{ M}\Omega} \right) = -6.85$$

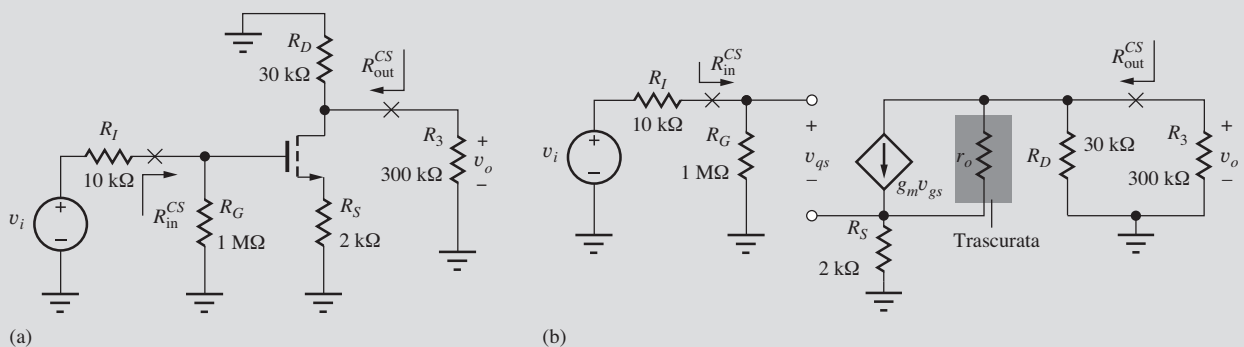
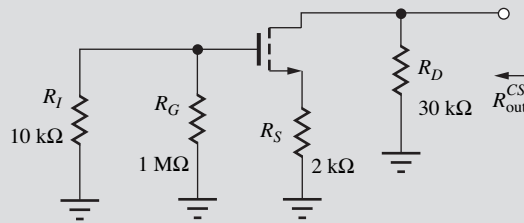


Figura 13.40

(a) Passo iniziale per costruire il circuito equivalente in AC dell'amplificatore.
(b) Lo stesso circuito del punto (a), ridisegnato in una forma più semplice.

Figura 13.41

Circuito semplificato per il calcolo della resistenza di uscita.



Resistenza di ingresso: Come osservato in precedenza, è data dalla resistenza di gate R_G .

$$R_{in}^{CS} = R_G = 1 \text{ M}\Omega$$

Resistenza di uscita: La resistenza di uscita R_{out}^{CS} è definita come la resistenza che si osserva guardando dall'uscita dell'amplificatore, attraverso il condensatore di accoppiamento C_3 , (si veda la Figura 13.39). La Figura 13.41 mostra il circuito AC da utilizzare per il calcolo di R_{out} . L'espressione per R_{out}^{CS} è stata ottenuta precedentemente ed è riportata nell'Equazione (13.114):

$$R_{iD} = r_o(1 + g_m R_S) = 258 \text{ k}\Omega[1 + 0.515 \text{ mS}(2000 \text{ }\Omega)] = 524 \text{ k}\Omega$$

$$R_{out}^{CS} = R_D \parallel R_{iD} = 30 \text{ k}\Omega \parallel 524 \text{ k}\Omega = 28.4 \text{ k}\Omega$$

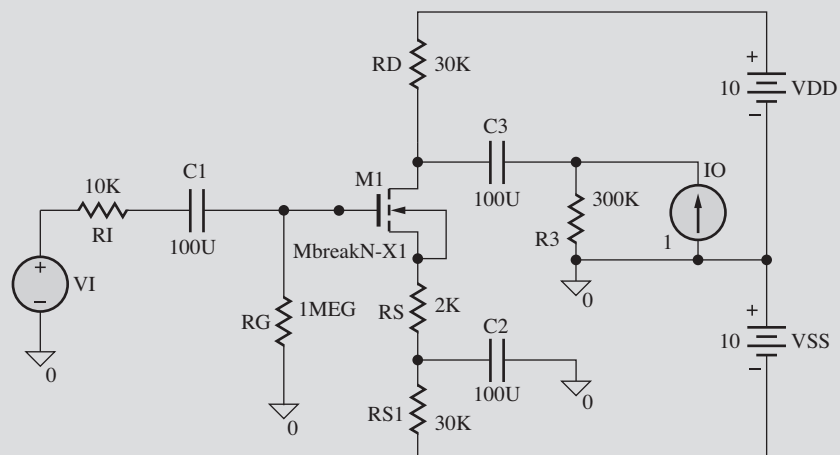
Come ci si poteva attendere, la resistenza mostrata al terminale di drain del transistor è molto maggiore di R_D ; si poteva pertanto senz'altro trascurare l'effetto della r_o sulla resistenza di uscita complessiva.

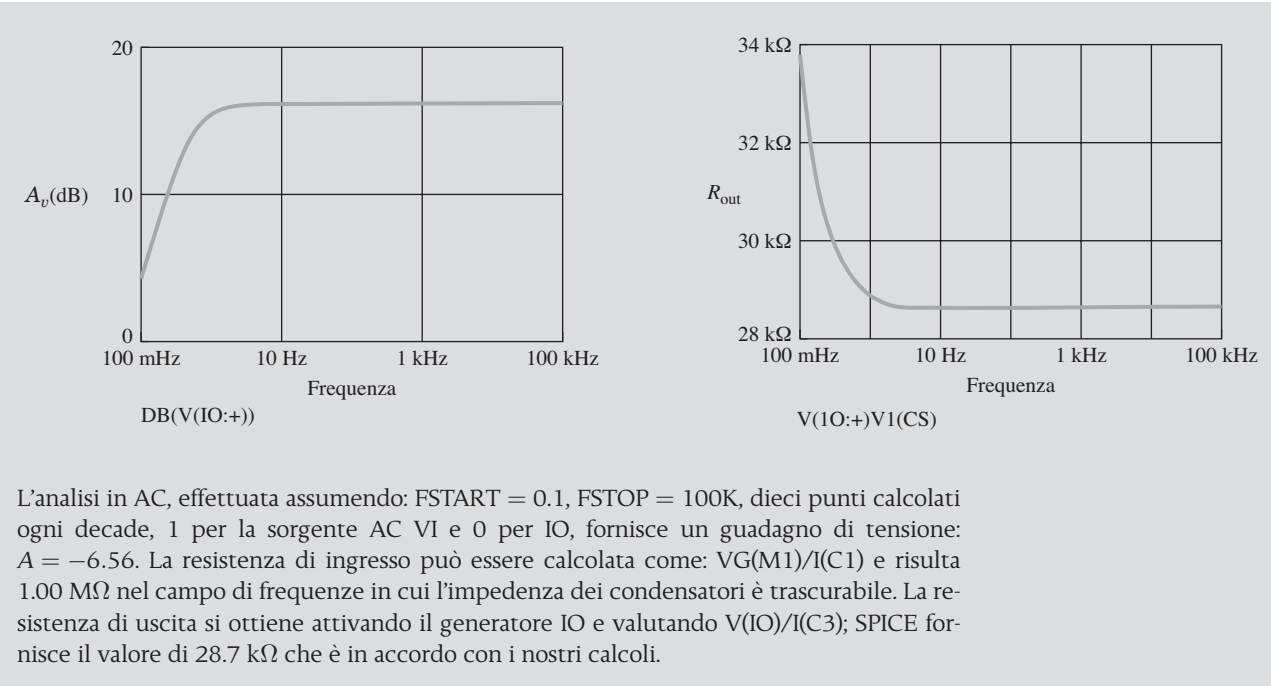
Controllo dei risultati: Abbiamo ottenuto tutte le risposte richieste nel problema. Utilizzando la stima semplificata per il guadagno di tensione, otteniamo: $A_v^{CS} = -R_D/R_S = -15$; il guadagno calcolato è inferiore a questo valore poiché non è soddisfatta la condizione $g_m R_S \gg 1$. Dal circuito di Figura 13.39, osserviamo inoltre che le resistenze di ingresso e di uscita non possono superare i valori, rispettivamente, di $R_G = 1 \text{ M}\Omega$ e di $R_D = 30 \text{ k}\Omega$; i valori calcolati di R_{in}^{CS} e R_{out}^{CS} rientrano in questi limiti. In definitiva, l'amplificatore a source comune di Figura 13.39 ha le seguenti caratteristiche:

$$A_v^{CS} = -6.85 \quad R_{in}^{CS} = 1 \text{ M}\Omega \quad R_{out}^{CS} = 28.4 \text{ k}\Omega$$

Analisi assistita da calcolatore: I risultati della nostra analisi DC possono essere facilmente verificati dalla simulazione SPICE del circuito qui riportato, che fornisce come punto di lavoro ($251 \text{ }\mu\text{A}$, 4.45 V).

Per l'analisi AC, la capacità dei condensatori deve essere sufficientemente grande, in modo da poter trascurare l'impedenza dei condensatori nel campo di frequenze d'interesse. Nelle simulazioni si è assunto un valore di $100 \text{ }\mu\text{F}$.





ESERCIZIO Qual è il fattore di amplificazione del MOSFET dell'Esempio 13.10? Il valore di A_V è prossimo a μ_f ?

RISPOSTE $133; |A_V| \ll \mu_f$.

ESERCIZIO Qual è il valore massimo di v_i compatibile con il funzionamento per piccoli segnali dell'amplificatore di Figura 13.39? Qual è il valore massimo di v_o compatibile con il funzionamento per piccoli segnali dell'amplificatore?

RISPOSTE $406\text{ mV}; 2.78\text{ V}$.

ESERCIZIO Si utilizzi SPICE per verificare le analisi AC e DC dell'Esempio 13.10; si utilizzi inoltre SPICE per valutare il guadagno nel caso in cui il condensatore C_2 sia rimosso dal circuito.

RISPOSTA -0.787 .

13.11.4 Confronto fra i due amplificatori

Le Tabelle 13.4 e 13.5 consentono di confrontare le caratteristiche più importanti dei due circuiti amplificatori che abbiamo analizzato negli Esempi 13.9 e 13.10. Come mostra la Tabella 13.4, i punti di lavoro dei due transistori sono simili. L'amplificatore a BJT fornisce un'amplificazione molto maggiore rispetto al circuito a source comune. In entrambi i circuiti il guadagno di tensione è ben al di sotto del fattore di amplificazione che, come sappiamo, rappresenta un limite superiore per l'amplificazione di tensione, che viene raggiunto quando l'unico carico sul collettore o sul drain del transistor è dato dalla stessa resistenza differenziale di uscita del dispositivo r_o .

Tabella 13.4 Confronto fra il guadagno di tensione di due amplificatori				
Amplificatore	Punto Q	A_V	μ_f	Stima approssimata del guadagno
BJT	(239 μ A, 3.67 V)	-36.1	2150	-66.7
MOSFET	(250 μ A, 4.50 V)	-6.85	133	-15

Tabella 13.5 Confronto fra le resistenze di ingresso e di uscita dei due amplificatori

Amplificatore	R_{in}	$R_B \circ R_G$	r_π	R_{out}	$R_C \circ R_D$	r_o
BJT	14.2 k Ω	104 k Ω	6.80 k Ω	9.40 k Ω	10 k Ω	225 k Ω
MOSFET	1.00 M Ω	1.00 M Ω	$\rightarrow \infty$	28.4 k Ω	30 k Ω	258 k Ω

I valori delle resistenze di ingresso e di uscita dei tre circuiti sono confrontati in Tabella 13.5. La resistenza di ingresso del circuito bipolare è dominata dal valore di r_π ed è di un ordine di grandezza inferiore rispetto a quella del circuito a MOSFET; la R_{in} del circuito a source comune è limitata soltanto dalla scelta dei valori delle resistenze di polarizzazione di gate. Le resistenze di uscita dei due amplificatori sono limitate dai resistori esterni, e sono simili fra loro.

13.11.5 Riepilogo e confronto delle caratteristiche degli amplificatori a emettitore comune e a source comune

Le caratteristiche fondamentali degli stadi amplificatori a emettitore comune e a source comune sono confrontate in Tabella 13.6.

Le espressioni per il guadagno di tensione sono simili, ma il valore di g_m del BJT è usualmente molto maggiore rispetto alla transconduttanza di un MOSFET. Pertanto la configurazione a emettitore comune mostra un guadagno di tensione significativamente maggiore, come evidenzia anche la stima approssimativa dell'amplificazione, anch'essa riportata in Tabella 13.6.

La resistenza di ingresso dello stadio a source comune è limitata solo dal valore di R_G e può essere estremamente elevata, mentre nel caso dell'amplificatore a BJT i valori di R_B e di r_π sono notevolmente più piccoli.

Le resistenze di uscita degli stadi a emettitore comune e a source comune sono simili fra loro, a parità di punto di lavoro, poiché R_{out} è limitata dai valori della resistenza di collettore R_C o di drain R_D .

13.11.6 Retroazione negli amplificatori invertenti

Il resistore R_E nell'amplificatore a emettitore comune introduce una retroazione (feedback) che riduce il guadagno di tensione del fattore $(1 + g_m R_E)$ ma aumenta della stessa quantità la resistenza di ingresso, la resistenza di uscita e la massima ampiezza del segnale di ingresso compatibile con il regime di piccoli segnali. Il resistore R_S ha un effetto simile per l'amplificatore a source comune; in questo caso, tuttavia, poiché la resistenza al terminale di gate del FET è già infinita, non si può osservare un aumento della resistenza di ingresso. Pos-

Tabella 13.6 Confronto delle caratteristiche degli amplificatori a emettitore comune (C-E) e a source comune (C-S)

	Amplificatore a emettitore comune	Amplificatore a source comune
Guadagno di tensione ai terminali	$-\frac{g_m R_L}{1 + g_m R_E}$	$-\frac{g_m R_L}{1 + g_m R_S}$
Guadagno di tensione complessivo	$A_v = \frac{v_o}{v_i} = A_{vt} \frac{R_{in}}{R_I + R_{in}}$	
Stima approssimata del guadagno di tensione	$(V_{CC} + V_{EE})/(4V_T)$	$-(V_{DD} + V_{SS})/(V_{GS} - V_{TN})$
Resistenza di ingresso R_{in}	$R_B \parallel r_\pi(1 + g_m R_E)$	R_G
Resistenza di uscita R_{out}	$R_C \parallel r_o(1 + g_m R_E)$	$R_D \parallel r_o(1 + g_m R_S)$
Ampiezza del segnale di ingresso compatibile con il regime di piccoli segnali	$5(1 + g_m R_E) \text{ mV}$	$0.2(V_{GS} - V_{TN})(1 + g_m R_S)$
Guadagno di corrente ai terminali	β_o	$\rightarrow \infty$

siamo collegare questi effetti ai risultati che abbiamo già ottenuto per gli amplificatori operazionali con feedback. Consideriamo dapprima l'espressione del guadagno ai terminali, che può essere scritta come:

$$A_{vt} = -\frac{g_m R_L}{1 + g_m R_L \left(\frac{R_E}{R_L} \right)} = -\frac{A}{1 + A\beta} \quad \text{con} \quad A = -g_m R_L \text{ e } \beta = -\frac{R_E}{R_L} \quad (13.125)$$

Il guadagno in assenza di feedback ($R_E = 0$) è: $A = -g_m R_L$, e il guadagno si riduce del fattore $(1 + A\beta)$ quando il feedback è presente. Se il guadagno di anello è elevato ($A\beta \gg 1$), il guadagno dipende dal rapporto dei resistori:

$$A_{vt} \approx \frac{1}{\beta} = -\frac{R_L}{R_E} \quad \text{per} \quad A\beta = g_m R_E \gg 1 \quad (13.126)$$

Il fattore di retroazione, β , può essere interpretato nel modo seguente. La tensione di uscita ai capi del resistore di carico R_L è $v_o = i_c R_L$, mentre la tensione riportata nella maglia di ingresso è $v_e = i_e R_E$. Il rapporto delle due tensioni è dato da β : $\beta = v_e / v_o \approx -R_E / R_L$, poiché $i_c \approx i_e$.

La resistenza al terminale di base del transistor in assenza di retroazione è r_π , mentre la resistenza di ingresso in presenza di retroazione si incrementa del fattore $(1 + A\beta)$:

$$R_{iB} = r_\pi (1 + g_m R_E) = r_\pi (1 + A\beta) \quad (13.127)$$

Questo risultato è analogo a quello che abbiamo visto per l'amplificatore operazionale non invertente: $R_{in} = R_{id} (1 + A\beta)$.

La resistenza al terminale di collettore del transistor in assenza di retroazione è r_o , mentre la resistenza in presenza di retroazione si incrementa del fattore $(1 + A\beta)$:

$$R_{iC} = r_o (1 + g_m R_E) = r_o (1 + A\beta) \quad (13.128)$$

Si noti che questo risultato è diverso rispetto ai circuiti con operazionali che abbiamo studiato in precedenza, in cui la resistenza di uscita si riduceva a causa della retroazione. Questo risultato è dovuto alle differenze fra la retroazione di tipo 'serie' e quella di tipo "parallelo", che studieremo in dettaglio in successivi capitoli.

13.11.7 Condizioni in cui è possibile trascurare la resistenza differenziale di uscita del transistor

In tutti gli esempi di amplificatori studiati finora il valore della resistenza differenziale di uscita del transistor non influenza in modo significativo i risultati dei calcoli. Ci domandiamo quindi se sia possibile trascurare sempre la r_o , semplificando così l'analisi dei circuiti amplificatori. La risposta a questa domanda è: la resistenza r_o deve essere tenuta in conto ogni volta che la sua presenza influenza in modo apprezzabile il comportamento del circuito. Per esempio, la presenza di r_o può essere trascurata per il calcolo del guadagno di tensione, se il valore di A_v risulta molto minore di μ_f . Per quanto riguarda il calcolo di R_{in} e di R_{out} , se i valori ottenuti trascurando la r_o risultano comparabili o maggiori rispetto alla resistenza differenziale di uscita del dispositivo, sarà necessario procedere a un calcolo più accurato, includendo la r_o nel circuito equivalente per piccoli segnali. Sebbene in questa fase iniziale dello studio dei circuiti amplificatori queste osservazioni possano non sembrare molto rilevanti, in molti casi il valore di r_o gioca un ruolo importante per determinare le caratteristiche degli amplificatori.



NOTA PROGETTUALE

Resistenza differenziale di uscita del transistor

La resistenza r_o può essere trascurata per il calcolo del guadagno di tensione, se il valore di A_v risulta molto minore di μ_f . Quando è necessario includere la r_o nell'analisi, spesso non sono noti i valori di V_{CE} e di V_{DS} . In questi casi è perfettamente accettabile

utilizzare le espressioni semplificate per la resistenza differenziale di uscita:

$$r_o = \frac{V_A}{I_C} \quad \text{ovvero} \quad r_o = \frac{1}{\lambda I_D}$$

13.12 Dissipazione di potenza ed escursione del segnale

Negli esempi precedenti di amplificatori a emettitore comune e a source comune abbiamo avuto modo di constatare come la scelta del punto di lavoro del transistor influenzi i valori dei parametri per piccoli segnali del dispositivo, e quindi anche i valori dell'amplificazione di tensione e delle resistenze di ingresso e di uscita. Per i MOSFET, la scelta del punto di lavoro determina inoltre il valore massimo di v_{gs} compatibile con il funzionamento per piccoli segnali del dispositivo. In questo paragrafo studieremo due ulteriori caratteristiche di un circuito amplificatore che dipendono direttamente dalla scelta del punto di lavoro: la dissipazione di potenza, sia del transistor che del circuito complessivo, e il massimo valore dell'escursione del segnale in uscita.

13.12.1 Dissipazione di potenza

La dissipazione di potenza statica di un amplificatore può essere determinata utilizzando il circuito equivalente in DC; la potenza erogata dai generatori che alimentano il circuito viene dissipata sia nei transistori che nei resistori di polarizzazione. Per esempio, per l'amplificatore di Figura 13.42(a), la potenza P_D dissipata nel transistor è data dalla somma della dissipazione di potenza nelle due giunzioni base-collettore e base-emettitore:

$$P_D = V_{CB}I_C + V_{BE}(I_B + I_C) = (V_{CB} + V_{BE})I_C + V_{BE}I_B$$

ovvero (13.129)

$$P_D = V_{CE}I_C + V_{BE}I_B \quad \text{dove} \quad V_{CE} = V_{CB} + V_{BE}$$

La potenza complessiva P_S dissipata dall'amplificatore è determinata dalle correnti erogate dai due generatori che alimentano il circuito:

$$P_S = V_{CC}I_C + V_{EE}I_E \quad (13.130)$$

Analogamente, per il circuito MOS di Figura 13.42(b), la potenza dissipata nel transistor può essere calcolata come:

$$P_D = V_{DS}I_D + V_{GS}I_G = V_{DS}I_D \quad (13.131)$$

dato che la corrente di gate è nulla. La potenza totale dissipata dall'amplificatore è pari a:

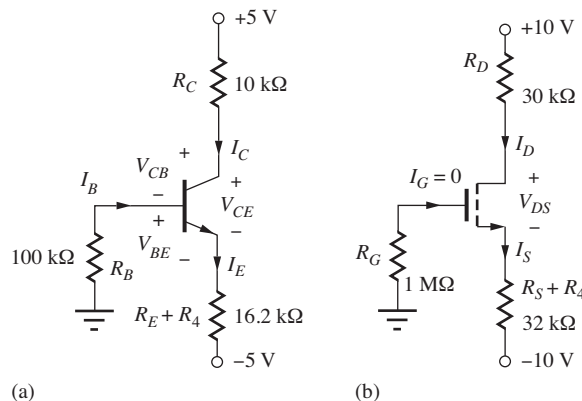
$$P_S = V_{DD}I_D + V_{SS}I_S = (V_{DD} + V_{SS})I_D \quad (13.132)$$

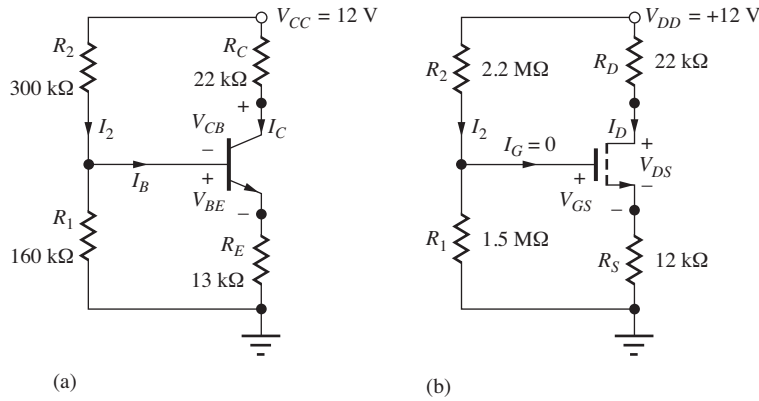
Le relazioni precedenti cambiano leggermente nel caso di amplificatori alimentati con un solo generatore, come nel caso dei due circuiti riportati in Figura 13.43.

Per l'amplificatore di Figura 13.43(a), la potenza P_D dissipata dal transistor è la stessa determinata nel caso precedente ed espressa dall'Equazione (13.129). La potenza complessiva dissipata dall'amplificatore è determinata invece dalle correnti erogate dall'unico generatore di tensione:

$$P_S = V_{CC}(I_C + I_2) \quad (13.133)$$

Figura 13.42
Circuiti equivalenti in DC per
gli amplificatori a BJT (a) e a
MOSFET (b) delle Figure
13.36(a) e 13.39(a).



**Figura 13.43**

Circuiti equivalenti DC per gli amplificatori (a) a BJT e (b) a MOSFET delle Figure 13.18(a) e 13.28(a).

Analogamente, per l'amplificatore a MOSFET in Figura 13.43(b) la potenza dissipata dal transistor è la stessa determinata nel caso precedente ed espressa dall'Equazione (13.131), mentre la potenza dissipata complessivamente dall'amplificatore è:

$$P_S = V_{DD}(I_D + I_2) \quad (13.134)$$

ESERCIZIO Qual è la potenza dissipata dal transistor bipolare nel circuito di Figura 13.42(a), assumendo $\beta_F = 65$? Qual è la potenza totale dissipata dall'amplificatore? Per il punto di lavoro, utilizzare i valori del punto Q calcolati in precedenza ($239 \mu\text{A}$, 3.67 V).

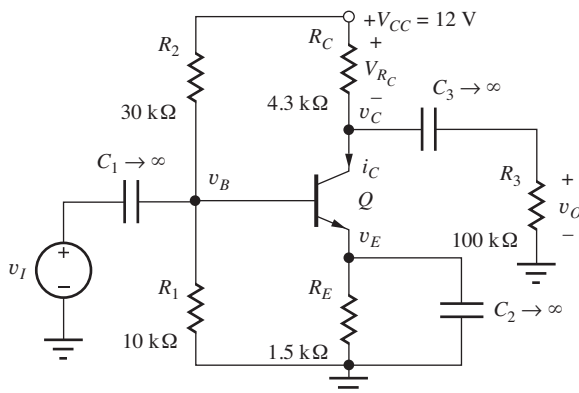
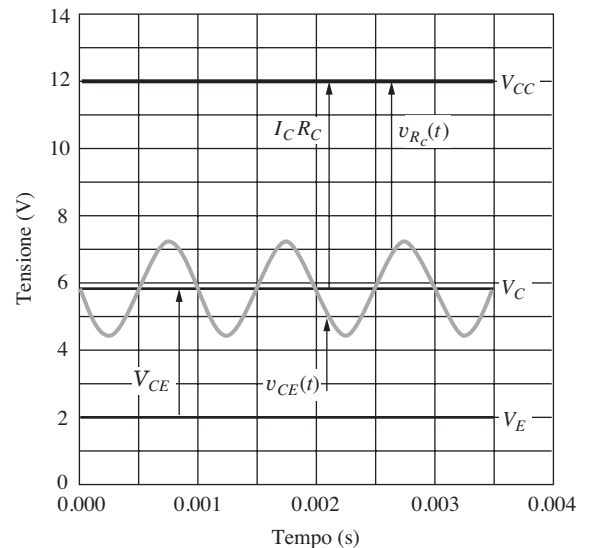
RISPOSTE $880 \mu\text{W}$; 2.41 mW .

ESERCIZIO Qual è la potenza dissipata dal MOSFET nel circuito di Figura 13.42(b)? Qual è la potenza totale dissipata dall'amplificatore? Per il punto di lavoro, utilizzare i valori del punto Q calcolati in precedenza ($250 \mu\text{A}$, 4.5 V).

RISPOSTE 1.13 mW ; 5.00 mW .

13.12.2 Escursione massima del segnale di uscita

Analizziamo ora le relazioni che sussistono fra il punto di lavoro e l'ampiezza massima del segnale all'uscita dell'amplificatore. Consideriamo l'amplificatore di Figura 13.44, in cui la tensione di alimentazione è $V_{DD} = 12 \text{ V}$, mentre le forme d'onda dei segnali che ci interessano maggiormente sono riportate in Figura 13.45. Nel punto di riposo, le tensioni di emettitore e di collettore sono rispettivamente 5.9 V e 2.10 V , per cui il valore di V_{CE} è pari a 3.8 V .

**Figura 13.44** Amplificatore a emettitore comune.**Figura 13.45** Forme d'onda per l'amplificatore a emettitore comune di Figura 13.44.

Poiché il condensatore C_2 , cortocircuitando le componenti variabili, impone un potenziale costante al nodo di emettitore, la tensione complessiva fra collettore ed emettitore può essere espressa come:

$$v_{CE} = V_{CE} - V_M \sin \omega t \quad (13.135)$$

in cui il termine $V_M \sin \omega t$ rappresenta la componente di segnale. Il transistor bipolare deve sempre rimanere in regione attiva diretta, pertanto la tensione collettore-emettitore deve essere sempre maggiore della tensione base-emettitore V_{BE} :

$$v_{CE} \geq V_{BE} \quad \text{ovvero} \quad v_{CE} \geq 0.7 \text{ V} \quad (13.136)$$

L'ampiezza del segnale di uscita deve pertanto soddisfare la seguente condizione:

$$V_M \leq V_{CE} - V_{BE} \quad (13.137)$$

Un ulteriore limite all'escursione del segnale di uscita è imposto dal valore della tensione di alimentazione positiva; si consideri infatti la differenza di potenziale ai capi del resistore R_C :

$$v_{R_C}(t) = I_C R_C + V_M \sin \omega t \geq 0 \quad (13.138)$$

La tensione V_C al morsetto di collettore del transistor non può superare il valore della tensione di alimentazione V_{CC} , e pertanto la tensione ai capi di R_C non può divenire negativa. L'Equazione (13.138) indica che l'ampiezza V_M del segnale di uscita deve essere minore della caduta di tensione ai capi di R_C nel punto di lavoro:

$$V_M \leq I_C R_C \quad (13.139)$$

In definitiva, la massima escursione del segnale di uscita è determinata dal più piccolo dei due valori limite dati dalle Equazioni (13.137) e (13.139):

$$V_M \leq \min[I_C R_C, (V_{CE} - V_{BE})] \quad (13.140)$$

Un'espressione analoga alla (13.138) può essere ottenuta per gli amplificatori con transistori MOSFET; per un corretto funzionamento del circuito, dobbiamo imporre che il MOSFET operi sempre in regione di saturazione, ovvero che v_{DS} rimanga sempre maggiore rispetto a $v_{GS} - V_{TN}$:

$$v_{DS} = V_{DS} - V_M \sin \omega t \geq v_{GS} - V_{TN} \approx V_{GS} - V_{TN} \quad (13.141)$$

in cui abbiamo assunto che $v_{gs} \ll V_{GS}$, e il segnale di ingresso sia di tipo sinusoidale. Analogamente all'Equazione (13.139) per i circuiti a BJT, anche nel caso degli amplificatori a FET l'ampiezza del segnale di uscita non può essere maggiore rispetto alla caduta di tensione in DC ai capi del resistore R_D :

$$V_M \leq I_D R_D \quad (13.142)$$

Dunque, nel caso di amplificatori a MOSFET, il valore di V_M deve soddisfare la seguente condizione:

$$V_M \leq \min[I_D R_D, (V_{DS} - (V_{GS} - V_{TN}))] \quad (13.143)$$

ESERCIZIO (a) Qual è il valore di V_M per l'amplificatore a BJT di Figura 13.36(a)? (b) Calcolare il valore di V_M per l'amplificatore a MOSFET di Figura 13.39(a).

RISPOSTE 3.2 V; 3.5 V.



ELETTRONICA IN AZIONE

Circuiti di distorsione per le chitarre elettroniche

Per gran parte di questo capitolo ci siamo occupati di modelli per piccoli segnali e di calcolo del guadagno. Tuttavia, in talune applicazioni è desiderabile violare intenzionalmente il vincolo di piccolo segnale al fine di generare forme d'onda distorte. Nelle

chitarre elettroniche, per esempio, si introduce volontariamente della distorsione, per arricchire il suono generato dallo strumento. I vecchi amplificatori a tubo Marshall e Fender, grazie al progetto dell'amplificatore e alle caratteristiche proprie dei

circuiti con tubi a vuoto, generavano un suono ricco di armoniche, quando il segnale di ingresso era sufficientemente ampio. Attualmente i chitarristi utilizzano dei "box" a pedali per produrre distorsione e altri effetti, senza gli eccessivi livelli di potenza richiesti dagli amplificatori con tubi a vuoto. Alcuni circuiti e le forme d'onda tipiche prodotte sono mostrati in basso.

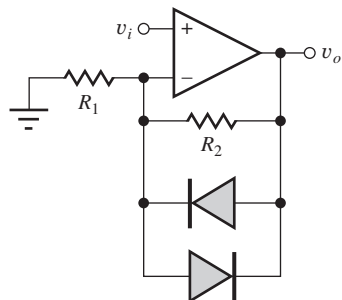
Il primo circuito è un amplificatore a operazionale, con una coppia di diodi nella maglia di retroazione. La resistenza R_2 è da 50 a 200 volte maggiore rispetto a R_1 , per cui il circuito ha un guadagno elevato. Quando l'ampiezza del segnale di uscita cresce, i diodi iniziano a condurre; poiché la resistenza differenziale dei diodi è molto minore di R_2 , il guadagno si riduce durante la fase di conduzione dei diodi. In questo modo, come mostrato in figura, si ottiene una forma d'onda in uscita limitata in maniera "dolce" (*soft clipping*).

Un altro tipo di circuito distorcente è in grado di limitare in maniera "decisa" il segnale di uscita (*hard clipping*). Il guadagno dell'amplificatore a operazionali è posto a un valore abbastanza elevato, mentre la resistenza R_3 è tipicamente di alcune migliaia di ohm. Quando v_o supera la tensione di accensione dei diodi la tensione di uscita viene cima-

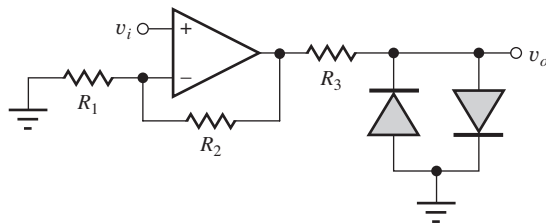
ta; in questo caso la corrente dei diodi è limitata da R_3 e la tensione di uscita v_o cambia molto poco una volta che i diodi sono entrati in conduzione. Il risultato complessivo è una forma d'onda limitata in maniera "decisa", come mostrato in figura. Tipicamente, i circuiti effettivi includono anche qualche forma di filtraggio del segnale generato.

Dall'analisi di Fourier, sappiamo che una forma d'onda periodica diversa da una sinusoide ideale è composta da un insieme (possibilmente infinito) di armoniche ognuna delle quali è a frequenze multiple del tono fondamentale. Più è rapida la transizione in una forma d'onda, tanto maggiore è il suo contenuto armonico. Pertanto, il *soft clipping* genera un contenuto armonico inferiore rispetto allo *hard clipping*.

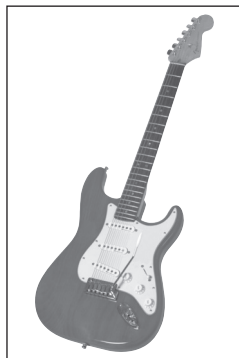
In realtà nei circuiti distorcenti si vengono a generare anche ulteriori toni, a causa dei fenomeni di intermodulazione: le frequenze dei segnali di ingresso infatti si miscelano fra loro dando luogo a toni a frequenza somma e differenza. Vi sono molte variazioni di questi circuiti che possono produrre un'ampia varietà di suoni; il chitarrista deve scegliere tra i vari circuiti di distorsione e circuiti per effetti sonori per creare il suono che produce in maniera ottimale le proprie idee musicali.



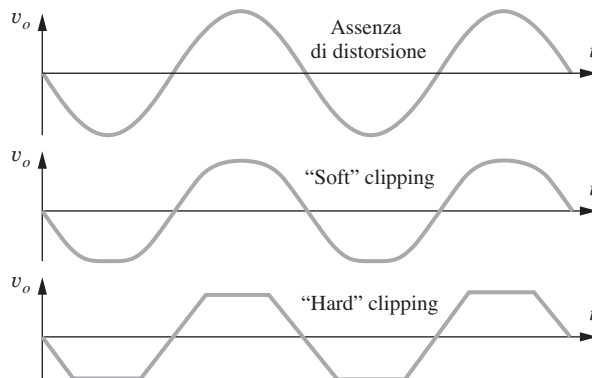
Tipico circuito per limitare in maniera "dolce" il segnale d'uscita (*soft clipping*)



Tipico circuito per limitare in maniera "decisa" il segnale d'uscita (*hard clipping*)



Chitarra elettrica.
(Foto: © Alan King/Alamy RF).



Amplificatori a singolo transistorore e multistadio accoppiati in AC

14

Obiettivi

In questo capitolo esploreremo nel dettaglio le caratteristiche di piccolo segnale di tre famiglie di amplificatori a singolo stadio. Scopriremo perché alcuni terminali del transistorore sono da preferire come terminali di ingresso mentre altri sono utilizzati come terminali di uscita. I risultati individuano tre ampie classi di amplificatori:

- Amplificatori invertenti – cioè le configurazioni a emettitore comune e a source comune – che forniscono un elevato guadagno di tensione e una rotazione di fase di 180° .
- Inseguitori – cioè le configurazioni a collettore comune e a drain comune – che forniscono un guadagno quasi unitario similmente a quanto accade nell'inseguitore di tensione realizzato con amplificatori operazionali.
- Amplificatori non invertenti – cioè le configurazioni a base comune e a gate comune – che forniscono un elevato guadagno di tensione senza rotazione di fase.

Per ciascun tipo di amplificatore, discuteremo il progetto dettagliato di:

- Guadagno di tensione e dinamica del segnale di ingresso.
- Guadagno di corrente.
- Resistenze di ingresso e di uscita.
- Condensatori di accoppiamento e di bypass e frequenza di taglio inferiore.

I risultati rappresenteranno gli strumenti di base per risolvere un certo numero di problemi di progetto.

Come nella maggior parte dei capitoli, miglioreremo la nostra comprensione delle simulazioni SPICE e l'interpretazione dei risultati SPICE. In particolare, proveremo a comprendere le differenze tra modalità di analisi SPICE in AC (piccolo segnale), in transitorio (ampi segnali) e calcolo della funzione di trasferimento.

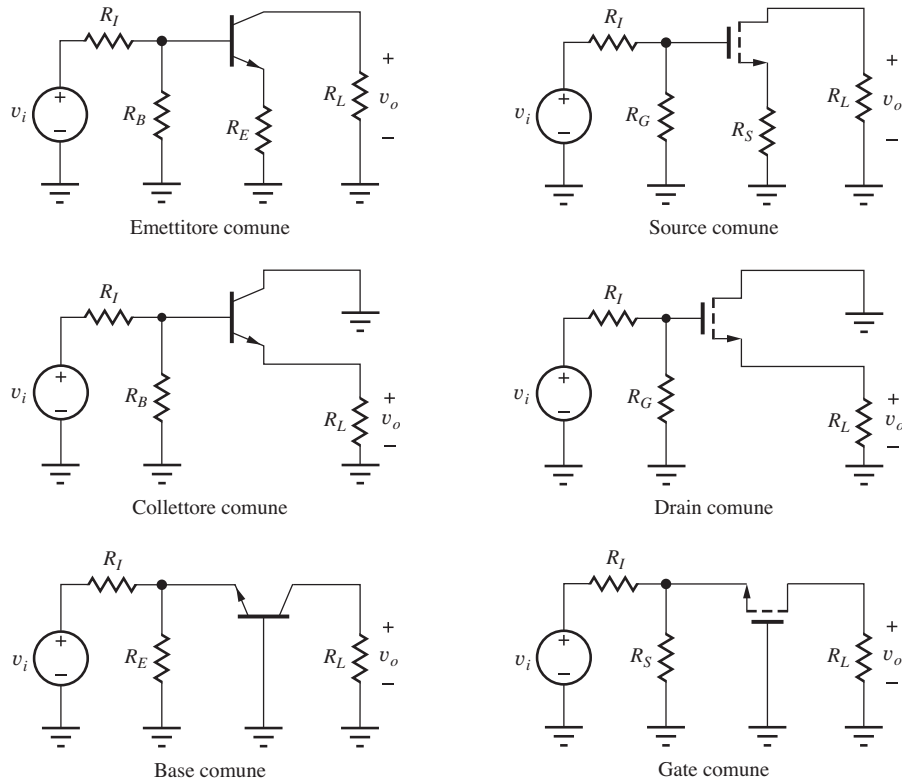
Nei capitoli precedenti sono stati introdotti gli amplificatori a emettitore comune e a source comune, nei quali il segnale di ingresso è applicato al terminale di base del BJT e di gate del MOSFET, mentre il segnale di uscita è preso rispettivamente sul collettore e sul drain. Poiché i transistori bipolari e a effetto di campo sono dispositivi a tre terminali, in questo capitolo verrà considerato l'impiego di tutti e tre i terminali per i segnali di ingresso e di uscita. Vengono identificate tre utili configurazioni di amplificatori, in ciascuna delle quali è utilizzato un diverso terminale come terminale comune o di riferimento. Nelle implementazioni con i transistori bipolari, tali configurazioni sono chiamate rispettivamente amplificatore a emettitore comune, amplificatore a collettore comune e amplificatore a base comune; i nomi corrispondenti nel caso di implementazione a MOSFET sono quelli di amplificatore a source comune, amplificatore a drain comune e amplificatore a gate comune.

Ciascuna categoria di amplificatori fornisce uno specifico insieme di caratteristiche in termini di guadagno di tensione, resistenza di ingresso, resistenza di uscita e guadagno di corrente.

In questo capitolo sono approfondite le caratteristiche di ciascuna categoria di amplificatori, con particolare riferimento ai limiti che i dispositivi a stato solido pongono alle prestazioni di ciascun amplificatore. Vengono sviluppate delle espressioni per le proprietà di ciascun amplificatore e vengono discusse in dettaglio le loro caratteristiche comuni e le loro differenze, al fine di acquisire le conoscenze necessarie al progetto dei circuiti. I risultati ottenuti a livello di singolo transistorore sono utilizzati in tutto il libro per analizzare e progettare amplificatori più complessi a singolo stadio o multistadio. Esploreremo inoltre la risposta alle basse frequenze degli amplificatori e svilupperemo equazioni di progetto utili per la scelta dei condensatori di accoppiamento e di bypass.

Molto spazio è dedicato agli amplificatori a singolo transistore poiché essi sono la base di ogni progetto analogico. Questi amplificatori a singolo stadio sono una parte importante del "set di attrezzi" di base del progettista di cir-

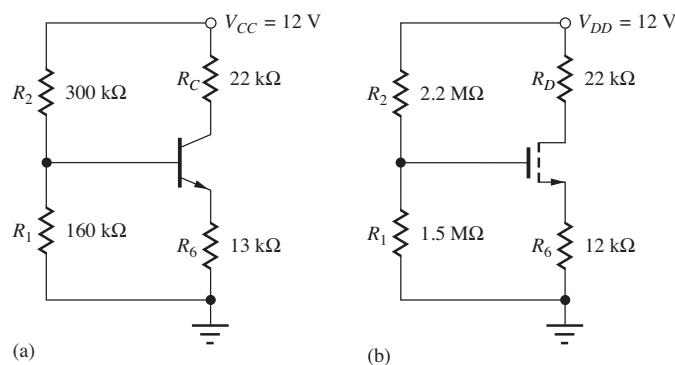
cuiti analogici, e una buona comprensione delle loro caratteristiche comuni e delle loro differenze è un prerequisito essenziale per il progetto degli amplificatori più complessi.



14.1 Classificazione degli amplificatori

Nel capitolo dedicato ai modelli di piccolo segnale, il segnale di ingresso era applicato alla base o al gate del transistor e il segnale di uscita era preso sul collettore o sul drain. Va ricordato tuttavia che il transistor ha tre distinti terminali che possono essere utilizzati per applicare un segnale da amplificare: la base, l'emettitore e il collettore nel caso del BJT; il gate, il source e il drain nel caso del MOSFET. Mostriamo nel seguito che solo la base e l'emettitore o il gate e il source sono terminali utili per applicare il segnale di ingresso; il collettore e l'emettitore o il drain e il source sono invece terminali utili per il prelievo del segnale. Gli esempi circuitali delle diverse configurazioni di amplificatori mostrati in questo capitolo utilizzano tutti lo stesso circuito di polarizzazione a quattro resistori riportato nella Figura 14.1; per cambiare i punti di inserimento e di prelievo del segnale e per modificare le caratteristiche AC degli amplificatori verranno usati condensatori di accoppiamento o di bypass.

Figura 14.1
Circuito di polarizzazione a quattro resistori per (a) BJT e (b) MOSFET.



14.1.1 Applicazione e prelievo del segnale - Il BJT

Per il BJT di Figura 14.1(a), il modello ad ampi segnali fornisce un'indicazione per la corretta collocazione del segnale di ingresso. Nella regione attiva diretta del BJT si ha:

$$\begin{aligned} i_C &= I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] \\ i_B &= \frac{i_C}{\beta_F} = \frac{I_S}{\beta_{FO}} \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] \\ i_E &= \frac{I_S}{\alpha_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] \end{aligned} \quad (14.1)$$

Per far sì che i_C , i_E e i_B varino in modo significativo, è necessario far variare la tensione base-emettitore v_{BE} che compare nel termine esponenziale. Poiché v_{BE} è equivalente a:

$$v_{BE} = v_B - v_E \quad (14.2)$$

il segnale di ingresso può essere applicato al circuito in esame sia sulla base sia sull'emettitore del transistoro. Si noti che la tensione di Early è stata omessa nell'Equazione 14.1, e ciò significa che la variazione della tensione di collettore non ha effetto sulle correnti ai terminali; quindi il terminale di collettore non è adatto per l'applicazione del segnale. Anche per valori finiti della tensione di Early la dipendenza della corrente dalla tensione di collettore è piccola, specialmente se confrontata con la dipendenza esponenziale della corrente da v_{BE} , per cui il collettore non è utilizzato come punto di inserzione del segnale di ingresso.

Una significativa variazione delle correnti di collettore e di emettitore crea un ampio segnale di tensione sui resistori di emettitore e collettore R_E e R_C della Figura 14.1(a). Quindi i segnali possono essere prelevati dall'amplificatore ai terminali di collettore o di emettitore. Invece, poiché la corrente di base i_B è più piccola rispetto a i_C e i_E di un fattore β_F , il terminale di base non è normalmente usato come terminale di uscita.



NOTA PROGETTUALE

Terminali di ingresso e di uscita del transistoro bipolare

In un transistoro bipolare, il segnale di ingresso può essere applicato alla base o all'emettitore, mentre il segnale di uscita può essere prelevato dal collet-

tore o dall'emettitore. Il collettore non è usato come terminale di ingresso e la base non è usata come terminale di uscita.

14.1.2 Applicazione e prelievo del segnale - Il MOSFET

Analoghe considerazioni possono essere fatte per il MOSFET di Figura 14.1(b), basandosi sull'espressione della corrente di drain in saturazione per un MOSFET a canale n :

$$i_S = i_D = \frac{K_n}{2} (v_{GS} - V_{TN})^2 \quad \text{e} \quad i_G = 0 \quad (14.3)$$

Per far sì che i_D e i_S varino in modo significativo è necessario far variare la tensione gate-source v_{GS} . Poiché v_{GS} è equivalente a:

$$v_{GS} = v_G - v_S \quad (14.4)$$

il segnale di ingresso può essere applicato al circuito sia sul gate sia sul source del MOSFET. La variazione della tensione di drain ha un effetto molto piccolo (per $\lambda \neq 0$) sulla corrente, quindi il terminale di drain non può essere usato come morsetto di ingresso. Come per il BJT, una significativa variazione delle correnti di drain o di source crea un ampio segnale di tensione sui resistori R_D e R_S della Figura 14.1(b). Il terminale di gate non è usato come morsetto di uscita perché la corrente di gate è sempre nulla.

In conclusione, per avere un'efficace amplificazione, il segnale di ingresso deve essere applicato ai terminali di base/emettitore o gate/source dei transistori di Figura 14.1; il segnale di uscita può essere prelevato dai terminali di collettore/emettitore o drain/source. Non si applica il segnale di ingresso al collettore o al drain e non si preleva il segnale sulla base o sul

gate. Questi vincoli danno luogo a tre famiglie di amplificatori: i circuiti a **emettitore-comune/source-comune (C-E/C-S)**, i circuiti a **base-comune/gate-comune (C-B/C-G)** e i circuiti a **collettore-comune/drain-comune (C-C/C-D)**.

Questi amplificatori sono classificati in base alla struttura del circuito equivalente alle componenti variabili (AC); ciascuno di essi sarà discusso in dettaglio nei paragrafi successivi. Come notato precedentemente, le configurazioni circuitali utilizzano tutte lo stesso circuito di polarizzazione a quattro resistori di Figura 14.1, necessario per determinare il punto di lavoro dei diversi amplificatori. Per modificare le configurazioni dei circuiti equivalenti in AC vengono usati condensatori di accoppiamento e di bypass; si verificherà che le caratteristiche AC dei vari amplificatori sono significativamente diverse.

ESERCIZIO Si determini il punto di lavoro per il transistor in Figura 14.1 e si calcolino i parametri del modello di piccolo segnale per il BJT e il MOSFET. Si assuma $\beta_F = 100$, $V_{BE} = 0.7$ V, $V_A = 50$ V, $K_n = 500 \mu\text{A}/\text{V}^2$, $V_{TN} = 1$ V e $\lambda = 0.02 \text{ V}^{-1}$. Quali sono i valori di μ_f ? Qual è il valore di $V_{GS} - V_{TN}$ per il MOSFET?

RISPOSTE

	I_C/I_D	V_{CE}/V_{DS}	$V_{GS} - V_{TN}$	g_m	r_π	r_o	μ_f
BJT	245 μA	3.39 V	—	9.80 mS	10.2 k Ω	218 k Ω	2140
MOSFET	241 μA	3.81 V	0.982 V	0.491 mS	$\rightarrow \infty$	223 k Ω	110



NOTA PROGETTUALE

Terminali di ingresso e di uscita del MOSFET

In un MOSFET, il segnale di ingresso può essere applicato al terminale di gate o di source, mentre il segnale di uscita può essere prelevato dal drain o dal source.

Il drain non è usato come terminale di ingresso e il gate non è usato come terminale di uscita.

14.1.3 Amplificatori a emettitore comune (C-E) e a source comune (C-S)

I circuiti di Figura 14.2 sono gli amplificatori a emettitore comune e a source comune introdotti precedentemente. In questi circuiti il resistore R_6 di Figura 14.1 è stato separato in due componenti, con il condensatore C_2 in parallelo al solo resistore R_4 . Non cortocircuitando l'intero resistore presente sull'emettitore o source del transistor si ottiene una notevole flessibilità nella definizione del guadagno di tensione, della resistenza di ingresso e di quella di uscita dell'amplificatore. Nel circuito a emettitore comune di Figura 14.2(a) il segnale è applicato alla base e prelevato al collettore del BJT, e l'emettitore è il terminale comune alle porte di ingresso e di uscita. Nel circuito a source comune di Figura 14.2(b) il segnale è applicato al gate ed è prelevato al drain del MOSFET, e il source è il terminale comune alle porte di ingresso e uscita.

Il circuito equivalente AC semplificato di questi amplificatori è riportato nelle Figure 14.2(c) e (d). Si nota che queste topologie di rete sono identiche. I resistori R_E e R_S , connessi tra l'emettitore o il source e il riferimento, rappresentano la parte non cortocircuitata del resistore di polarizzazione originario R_6 . La presenza di R_E e R_S nel circuito equivalente AC fornisce un ulteriore grado di libertà al progettista e consente di aumentare la resistenza di ingresso, la resistenza di uscita e l'ampiezza del segnale di ingresso a spese del guadagno. L'analisi comparativa che verrà svolta mostra che i circuiti C-E e C-S forniscono valori medio-alti di guadagno di tensione e di corrente, di resistenza di ingresso e di resistenza di uscita.

ESERCIZIO Si disegni il circuito equivalente AC per gli amplificatori C-E e C-S di Figura 14.2 e si mostri che i modelli AC sono corretti. Quali sono i valori di R_B o R_G , R_E o R_S e R_L ?

RISPOSTE 104 k Ω , 3.00 k Ω , 18.0 k Ω , 892 k Ω , 2.00 k Ω , 18.0 k Ω .

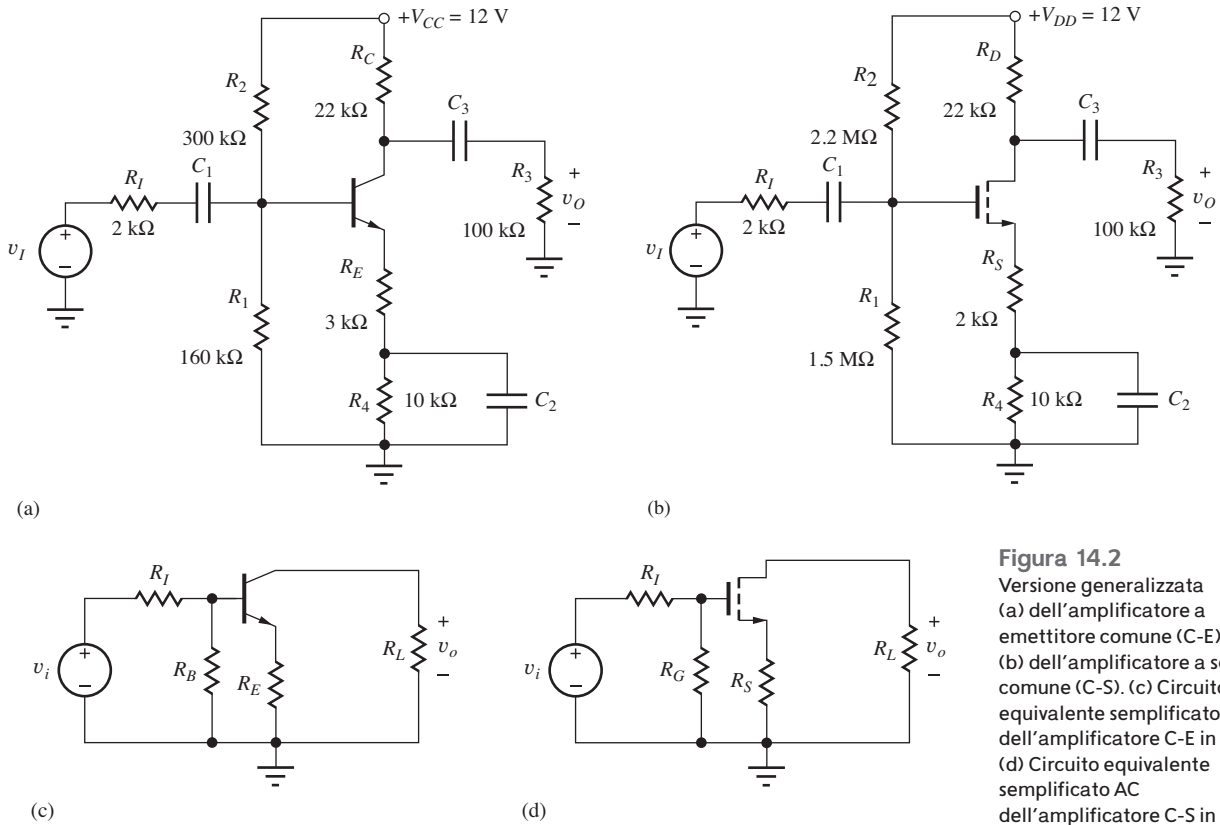


Figura 14.2

Versione generalizzata (a) dell'amplificatore a emettitore comune (C-E) e (b) dell'amplificatore a source comune (C-S). (c) Circuito equivalente semplificato AC dell'amplificatore C-E in (a). (d) Circuito equivalente semplificato AC dell'amplificatore C-S in (b).

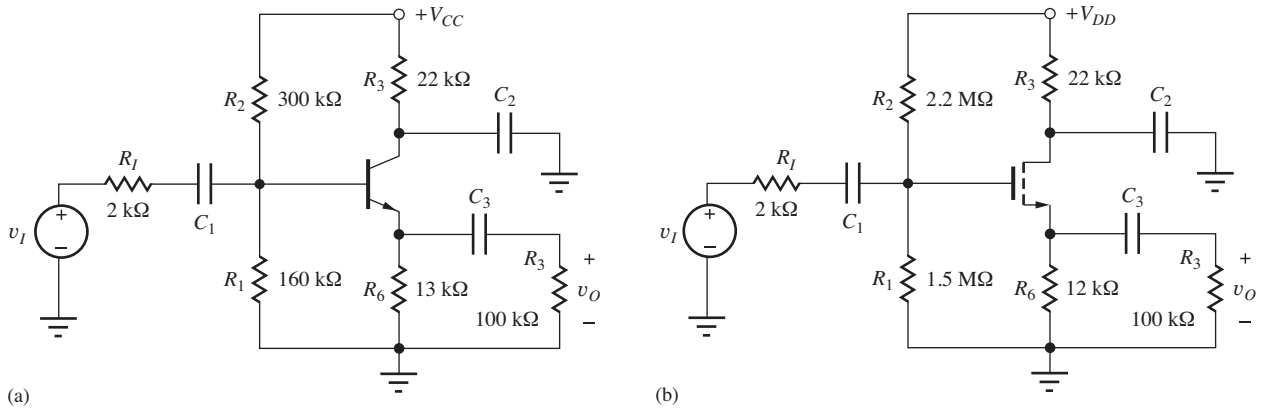
14.1.4 Amplificatori a collettore comune (C-C) e a drain comune (C-D)

I circuiti C-C e C-D sono riportati in Figura 14.3. Qui il segnale è applicato alla base [Figura 14.3(a)] e al gate [Figura 14.3(b)] e prelevato dall'emettitore o dal source dei transistori. Il collettore e il drain sono collegati direttamente a ground per mezzo dei condensatori C_2 e rappresentano i terminali comuni alle porte di ingresso e di uscita. Ancora una volta i circuiti equivalenti AC in Figura 14.3(c) e (d) sono identici nella struttura; le sole differenze sono nei valori dei resistori e dei parametri del transistor. L'analisi mostrerà che gli amplificatori C-C e C-D forniscono un guadagno di tensione circa unitario, un'elevata resistenza di ingresso e una bassa resistenza di uscita. Inoltre, i segnali di ingresso degli amplificatori C-C e C-D possono essere piuttosto ampi senza eccedere i limiti di piccolo segnale. Questi amplificatori, chiamati anche inseguitori di emettitore e inseguitori di source, sono l'equivalente a singolo transistor dei circuiti inseguitori di tensione realizzati con amplificatori operazionali, che abbiamo studiato precedentemente.

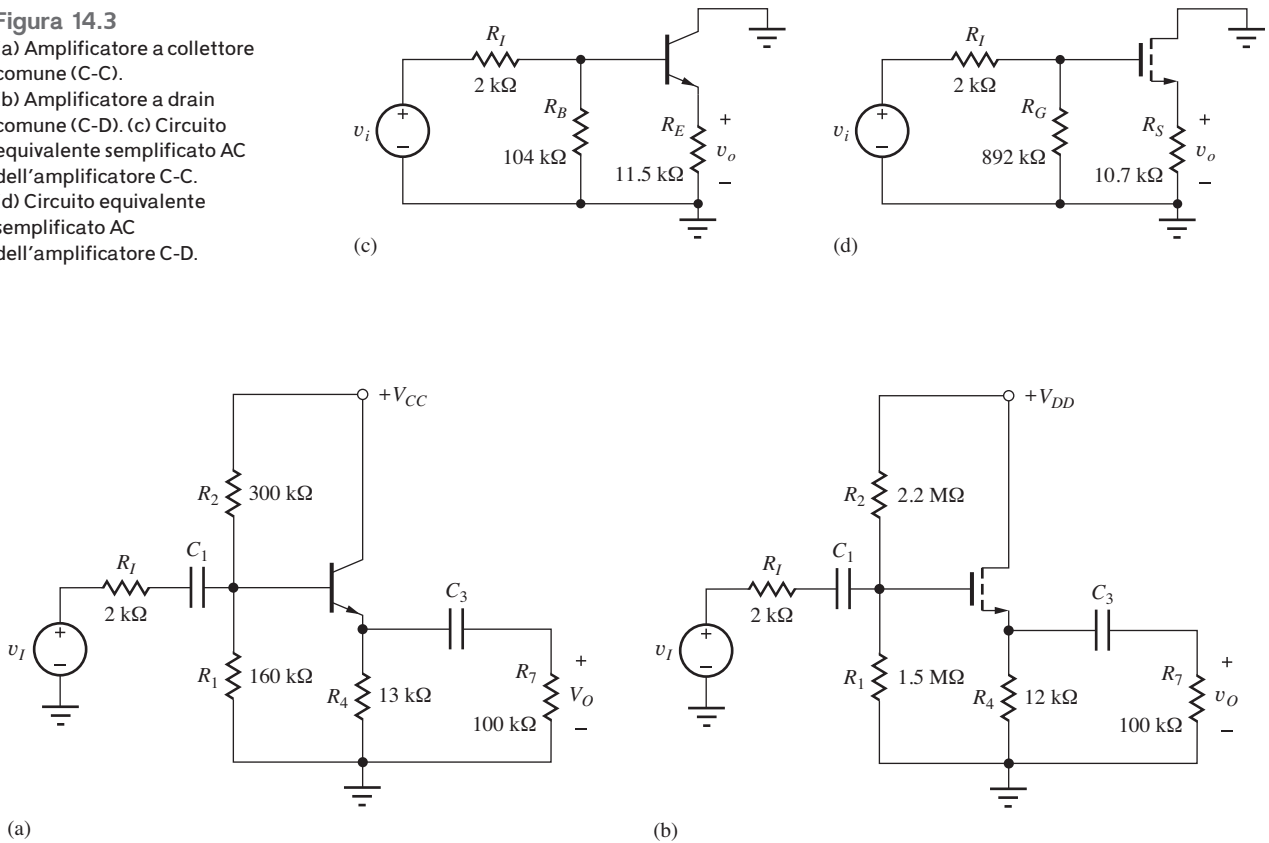
ESERCIZIO Si disegni il circuito equivalente AC per gli amplificatori C-C e C-D della Figura 14.3 e si mostri che i modelli AC sono corretti. Si verifichino i valori di R_B , R_G e R_L .

Semplificazioni del circuito

Per economia di progetto è certamente auspicabile non introdurre componenti non necessari. In tale ottica, i circuiti in Figura 14.3 possono essere semplificati. La funzione dei condensatori C_2 negli amplificatori C-C e C-D è di portare a ground le componenti alternate ai terminali di collettore e di drain dei due transistori; per cui, non dovendo avere segnali di tensione su entrambi i terminali, non vi è ragione di includere i resistori R_C e R_D nei circuiti. È infatti possibile connettere direttamente i terminali di collettore e di drain rispettivamente a V_{CC} e V_{DD} eliminando in tal modo i componenti R_C , R_D e C_2 dai circuiti come indicato in Figura 14.4.

**Figura 14.3**

(a) Amplificatore a collettore comune (C-C).
 (b) Amplificatore a drain comune (C-D). (c) Circuito equivalente semplificato AC dell'amplificatore C-C.
 (d) Circuito equivalente semplificato AC dell'amplificatore C-D.

**Figura 14.4**

Circuiti inseguitori semplificati mediante l'eliminazione di R_C , R_D e C_2 . (a) Amplificatore a collettore comune;
 (b) amplificatore a drain comune.

14.1.5 Amplificatori a base comune (C-B) e a gate comune (C-G)

La terza classe di amplificatori comprende i circuiti C-B e C-G di Figura 14.5. I segnali AC sono applicati all'emettitore e al source e prelevati dal collettore e dal drain del transistor. I terminali di base e di gate sono connessi al riferimento (per i segnali variabili) attraverso il condensatore di bypass C_2 ; questi terminali sono comuni alle porte di ingresso e di uscita. I corrispondenti circuiti equivalenti AC delle Figure 14.5(c) e (d) sono di nuovo identici nella struttura.

L'analisi mostrerà che gli amplificatori C-B e C-G forniscono un guadagno di tensione e una resistenza di uscita molto simili a quelli degli amplificatori C-E e C-S ma presentano una resistenza di ingresso molto più bassa.

Le analisi che saranno svolte nei successivi paragrafi utilizzano i circuiti equivalenti semplificati AC riportati nelle Figure 14.2(c), (d), 14.3(c), (d) e 14.5(c), (d). Per eseguire le analisi si assumerà che i circuiti effettivi siano stati ridotti a queste configurazioni di "amplificatori

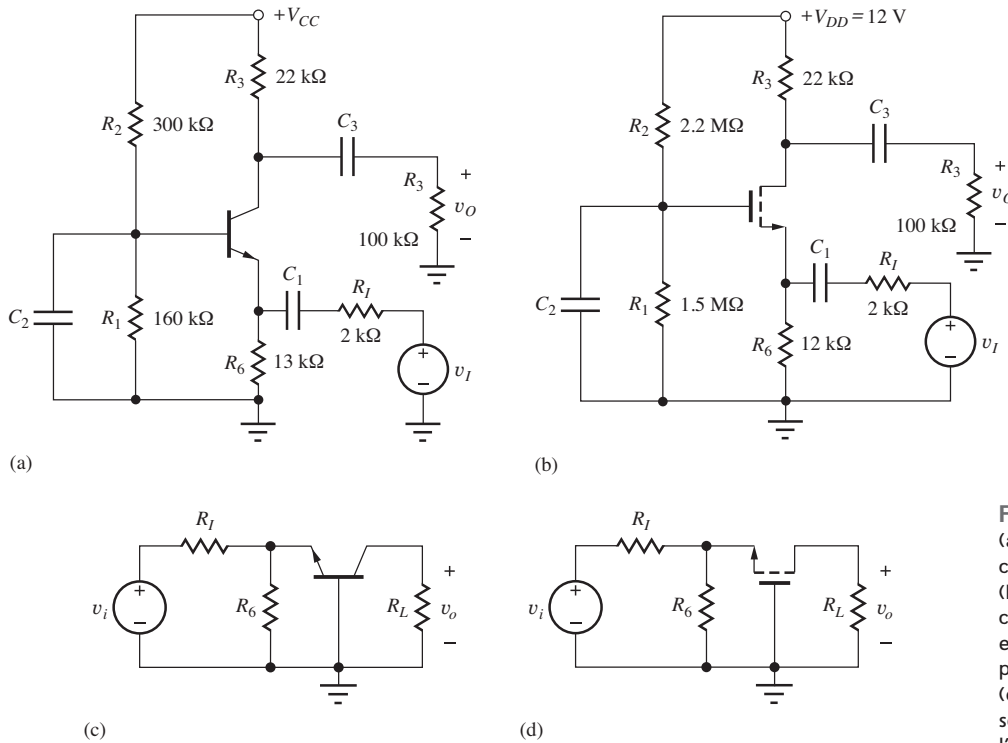


Figura 14.5

(a) Amplificatore a base comune (C-B).
 (b) Amplificatore a gate comune (C-G). (c) Circuito equivalente semplificato AC per l'amplificatore C-B.
 (d) Circuito equivalente semplificato AC per l'amplificatore C-G.

elementari"; questi circuiti permetteranno di identificare i limiti che i dispositivi pongono alle prestazioni delle varie configurazioni circuitali. I risultati ottenuti da questi circuiti semplificati saranno poi usati per analizzare e progettare amplificatori completi.

ESERCIZIO Si disegni il circuito equivalente AC per gli amplificatori C-B e C-G della Figura 14.5 e si mostri che i modelli AC sono corretti. Quali sono i valori di R_1 , R_6 e R_L ?

RISPOSTE $2\text{ k}\Omega$, $13.0\text{ k}\Omega$, $18.0\text{ k}\Omega$; $2\text{ k}\Omega$, $12.0\text{ k}\Omega$, $18.0\text{ k}\Omega$.

14.1.6 Modello di piccolo segnale

I modelli di piccolo segnale per il BJT e il MOSFET sono riportati in Figura 14.6 mentre le formule che legano i parametri del modello al punto di lavoro sono riportate nella Tabella 14.1. Ancora una volta si osserva che le topologie sono molto simili, eccetto per il valore finito di r_π nel caso del BJT. A causa di questa similitudine inizieremo l'analisi con i transistori bipolari poiché essi presentano il modello di piccolo segnale più generale; i risultati per il MOSFET si ottengono da quelli per il BJT facendo tendere r_π e β_o all'infinito. In un successivo paragrafo verranno ricavate espressioni per il guadagno di tensione, la resistenza di ingresso, la resistenza di uscita e il guadagno di corrente per ciascuno degli amplificatori a singolo transistor a partire dal modello di Figura 14.6.

14.2 Amplificatori invertenti - Circuiti a emettitore comune e a source comune

Iniziamo l'analisi comparativa delle diverse famiglie di amplificatori con le configurazioni di amplificatori a emettitore comune e a source comune i cui circuiti equivalenti AC sono

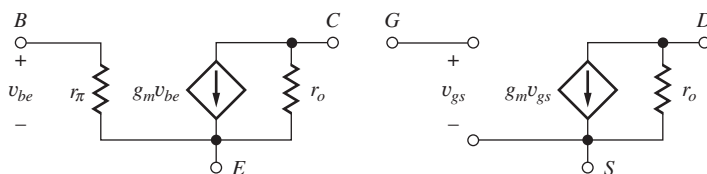


Figura 14.6

Modelli di piccolo segnale per il BJT e il MOSFET.

Tabella 14.1

Parametri di piccolo segnale	BJT	MOSFET
g_m	$\frac{I_C}{V_T}$	$\frac{2I_D}{V_{GS} - V_{TN}} \approx \sqrt{2K_n I_D}$
r_π	$\frac{\beta_o}{g_m}$	$\rightarrow \infty$
r_o	$\frac{V_A + V_{CE}}{I_C} \approx \frac{V_A}{I_C}$	$\frac{(1/\lambda) + V_{DS}}{I_D} \approx \frac{1}{\lambda I_D}$
β_o	$g_m r_\pi$	$\rightarrow \infty$
$\mu_f = g_m r_o$	$\frac{V_A + V_{CE}}{V_T} \frac{V_A}{V_T}$	$\frac{2}{\lambda(V_{GS} - V_{TN})} \approx \frac{1}{\lambda} \sqrt{\frac{2K_n}{I_D}}$

riportati nella Figura 14.7. Si può notare ancora una volta che le topologie sono identiche; le differenze nelle prestazioni sono legate solo alle differenze nei parametri dei transistori usati nel circuito.

14.2.1 Caratteristiche degli amplificatori a emettitore comune e a source comune

La Tabella 14.2 riassume i risultati ottenuti per gli amplificatori C-E e C-S nei capitoli precedenti. Nel circuito a emettitore comune il resistore R_E introduce una retroazione che riduce il guadagno di tensione del fattore $(1 + g_m R_E)$ ma aumenta la resistenza di ingresso, la resistenza di uscita e l'intervallo di variazione del segnale di ingresso della stessa quantità.

Il resistore R_S ha un effetto simile sul guadagno di tensione, sulla resistenza di uscita sull'intervallo di variazione del segnale di ingresso per l'amplificatore a source comune. Poiché la resistenza al terminale di gate di un MOS è già di valore infinito, la resistenza di ingresso dell'amplificatore C-S non è influenzata da R_S .

Figura 14.7

(a) Circuito equivalente AC per l'amplificatore C-E. (b) Circuito equivalente AC per l'amplificatore C-S.

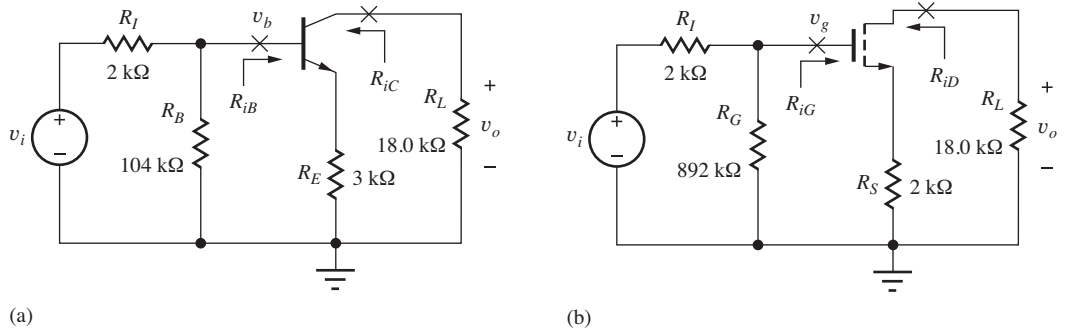


Tabella 14.2 Riepilogo delle caratteristiche degli amplificatori a emettitore comune e a source comune

	Amplificatore a emettitore comune (C-E)	Amplificatore a source comune (C-S)
Guadagno di tensione ai terminali	$A_{vt}^{CE} = \frac{v_o}{v_i} = -\frac{g_m R_L}{1 + g_m R_E}$	$A_{vt}^{CS} = \frac{v_o}{v_i} = -\frac{g_m R_L}{1 + g_m R_S}$
Guadagno di tensione rispetto al segnale di ingresso	$A_v^{CE} = \frac{v_o}{v_i} = A_{vt}^{CE} \frac{R_B \parallel R_{iB}}{R_I + R_B \parallel R_{iB}}$	$A_v^{CS} = \frac{v_o}{v_i} = A_{vt}^{CS} \frac{R_G}{R_I + R_G}$
Resistenza di ingresso ai terminali	$R_{iB} = r_\pi (1 + g_m R_E)$	$R_{iG} \rightarrow \infty$
Resistenza di uscita ai terminali	$R_{iC} = r_o (1 + g_m R_E)$	$R_{iD} = r_o (1 + g_m R_S)$
Dinamica del segnale di ingresso	5 mV $(1 + g_m R_E)$	0.2 $(V_{GS} - V_{TN}) (1 + g_m R_S)$
Guadagno di corrente ai terminali	β_o	$\rightarrow \infty$

CALCOLO DEL GUADAGNO DI TENSIONE DEGLI AMPLIFICATORI INVERTENTI

Esempio 14.1

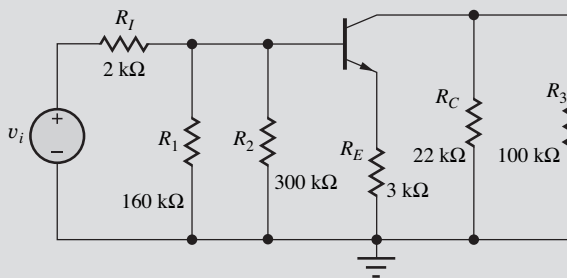
In questo esempio, avvalendosi dei risultati riportati nella Tabella 14.2, vengono confrontate le caratteristiche degli amplificatori a BJT e MOSFET della Figura 14.2.

Si calcoli il guadagno di tensione $A_v = v_o/v_i$ per gli amplificatori a emettitore comune e a source comune della Figura 14.2. Utilizzare le informazioni sul punto di lavoro riportate nel Paragrafo 14.1. Quali sono i valori massimi di v_i per i due amplificatori? Trovare la resistenza ai terminali di uscita.

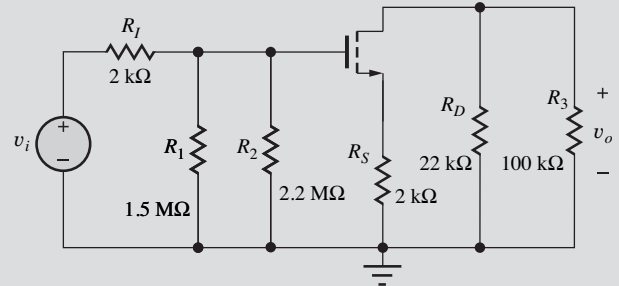
PROBLEMA

Informazioni e dati noti: Gli schemi circuitali degli amplificatori C-E e C-S sono riportati nelle Figure 14.2(a) e 14.2(b). Il punto di lavoro e i parametri di piccolo segnale sono stati calcolati nel Paragrafo 14.1 e riportati di seguito per comodità.

SOLUZIONE



Amplificatore a emettitore comune dalla Figura 14.2(a).



Amplificatore a source comune dalla Figura 14.2(b).

	I_C/I_D	V_{CE}/V_{DS}	$V_{GS} - V_{TN}$	g_m	r_π	r_o	μ_f
BJT	245 μ A	3.39 V	...	9.80 mS	10.2 k Ω	219 k Ω	2140
MOSFET	241 μ A	3.81 V	0.982 V	0.491 mS	$\rightarrow \infty$	223 k Ω	110

Per la Figura 14.2(a) si assuma $R_I = 2$ k Ω , $R_1 = 160$ k Ω , $R_2 = 300$ k Ω , $R_C = 22$ k Ω , $R_E = 3$ k Ω , $R_3 = 100$ k Ω . Per la Figura 14.2(b) si assuma $R_I = 2$ k Ω , $R_1 = 1.5$ M Ω , $R_2 = 2.2$ M Ω , $R_D = 22$ k Ω , $R_S = 2$ k Ω , $R_3 = 100$ k Ω .

Incognite: Guadagno di tensione $A_v = v_o/v_i$ per gli amplificatori C-E e C-S, massimo valore del segnale di ingresso, resistenza ai terminali di uscita.

Approccio: Si calcolino i valori di R_B , R_{in} e R_L . Si sostituiscano i valori dei parametri del transistor e del circuito nelle espressioni del guadagno di tensione riportate nella Tabella 14.2.

Ipotesi: I transistori lavorano in regime di piccolo segnale.

Analisi per l'amplificatore C-E: Per valutare il guadagno del circuito equivalente nella Figura 14.2(c) è necessario trovare R_B , R_{iB} , R_L e A_{vt} :

$$R_B = R_1 \parallel R_2 = 160 \text{ k}\Omega \parallel 300 \text{ k}\Omega = 104 \text{ k}\Omega$$

$$R_{iB} = r_\pi + (1 + g_m R_E) = 10.2 \text{ k}\Omega [1 + 9.80 \text{ mS}(3 \text{ k}\Omega)] = 310 \text{ k}\Omega$$

$$R_L = R_C \parallel R_3 = 22 \text{ k}\Omega \parallel 100 \text{ k}\Omega = 18.0 \text{ k}\Omega$$

Si ottiene quindi:

$$A_{vt}^{CE} = -\frac{g_m R_L}{1 + g_m R_E} = -\frac{9.80 \text{ mS}(18.0 \text{ k}\Omega)}{1 + 9.80 \text{ mS}(3 \text{ k}\Omega)} = -5.80$$

$$A_v^{CE} = A_{vt}^{CE} \left[\frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})} \right] = -5.80 \left[\frac{104 \text{ k}\Omega \parallel 310 \text{ k}\Omega}{2.00 \text{ k}\Omega + (104 \text{ k}\Omega \parallel 310 \text{ k}\Omega)} \right] = -5.65$$

La resistenza di ingresso vista guardando nel condensatore di accoppiamento C_1 dell'amplificatore C-E è:

$$R_{in}^{CE} = R_B \parallel R_{iB} = 104 \text{ k}\Omega \parallel 310 \text{ k}\Omega = 77.9 \text{ k}\Omega$$

La resistenza al terminale di collettore del transistor e la resistenza complessiva di uscita dell'amplificatore C-E sono:

$$R_{iC} \approx r_o(1 + g_m R_E) = 219 \text{ k}\Omega [1 + 9.80 \text{ mS}(3 \text{ k}\Omega)] = 6.68 \text{ M}\Omega$$

$$R_{out}^{CE} = R_C \parallel R_{iC} = 22 \text{ k}\Omega \parallel 6.68 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

Il massimo valore del segnale di ingresso che soddisfa la condizione di piccolo segnale è:

$$|v_i| \leq 5 \text{ mV}(1 + g_m R_E) = 5 \text{ mV} [1 + 9.80 \text{ mS}(3 \text{ k}\Omega)] = 152 \text{ mV}$$

Si noti che una stima più accurata della resistenza R_{iC} al terminale di collettore è data da:

$$R_{iC} = r_o \left(1 + \frac{\beta_o R_E}{R_{th} + r_\pi + R_E} \right) = 218 \text{ k}\Omega \left[1 + \frac{100(3 \text{ k}\Omega)}{1.96 \text{ k}\Omega + 10.2 \text{ k}\Omega + 3 \text{ k}\Omega} \right] = 4.53 \text{ M}\Omega$$

$$R_{out}^{CE} = R_C \parallel R_{iC} = 22 \text{ k}\Omega \parallel 4.53 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

Analisi per l'amplificatore C-S: Per valutare l'espressione del guadagno è necessario trovare R_G , R_L e A_{vt} :

$$R_G = R_1 \parallel R_2 = 1.5 \text{ M}\Omega \parallel 2.2 \text{ M}\Omega = 892 \text{ k}\Omega$$

$$R_L = R_D \parallel R_3 = 22 \text{ k}\Omega \parallel 100 \text{ k}\Omega = 18.0 \text{ k}\Omega$$

$$A_{vt}^{CS} = -\frac{g_m R_L}{1 + g_m R_S} = -\frac{(0.491 \text{ mS})(18.0 \text{ k}\Omega)}{1 + (0.491 \text{ mS})(2.00 \text{ k}\Omega)} = -4.46$$

$$A_v^{CS} = A_{vt}^{CS} \left(\frac{R_G}{R_i + R_G} \right) = -4.46 \left(\frac{892 \text{ k}\Omega}{2 \text{ k}\Omega + 892 \text{ k}\Omega} \right) = -4.45$$

La resistenza di ingresso vista guardando nel condensatore di accoppiamento C_1 dell'amplificatore C-S è:

$$R_{in}^{CS} = R_G \parallel R_{iG} = 892 \text{ k}\Omega \quad \text{poiché} \quad R_{iG} \rightarrow \infty$$

La resistenza al terminale di drain del transistor e la resistenza complessiva di uscita dell'amplificatore C-S sono:

$$R_{iD} = r_o(1 + g_m R_S) = 223 \text{ k}\Omega [1 + (0.491 \text{ mS})(2 \text{ k}\Omega)] = 442 \text{ k}\Omega$$

$$R_{out}^{CD} = R_D \parallel R_{iD} = 22 \text{ k}\Omega \parallel 442 \text{ k}\Omega = 21.0 \text{ k}\Omega$$

Il massimo valore del segnale di ingresso che soddisfa la condizione di piccolo segnale è:

$$|v_i| \leq 0.2(V_{GS} - V_{TN})(1 + g_m R_S) = 0.2(0.982 \text{ V})[1 + (0.491 \text{ mS})(2 \text{ k}\Omega)] = 389 \text{ mV}$$

Verifica dei risultati: Poiché entrambi gli amplificatori presentano valori non nulli dei resistori di emettitore e di source, possiamo usare le Equazioni (13.60) e (13.101) per verificare i nostri calcoli.

Per il BJT:

$$A_{vt}^{CE} \approx -\frac{R_L}{R_E} = -\frac{18 \text{ k}\Omega}{3 \text{ k}\Omega} = -6.00$$

Per il MOSFET:

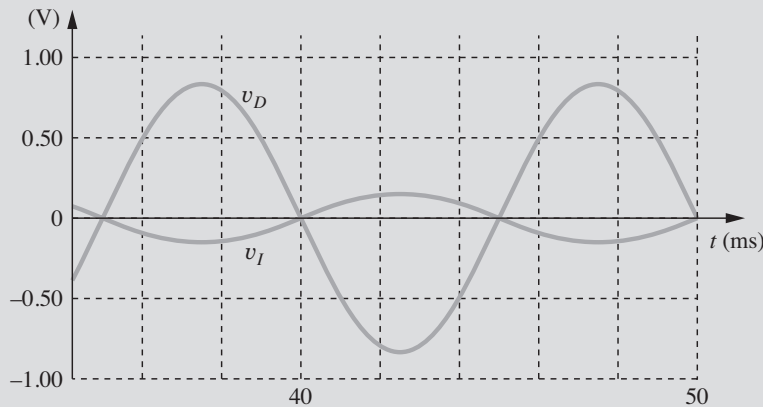
$$A_{vt}^{CS} \approx -\frac{R_L}{R_S} = -\frac{18 \text{ k}\Omega}{2 \text{ k}\Omega} = -9.00$$

Discussione: Il guadagno di tensione dei due amplificatori è molto simile, e ciò è dovuto all'inserzione di R_E e R_S in ciascun circuito. Per l'amplificatore a emettitore comune risulta $g_m R_E \gg 1$ e il guadagno dovrebbe tendere al valore dato dall'Equazione (13.60), cosa che effettivamente accade. D'altro canto, per il MOSFET il prodotto $g_m R_S$ non è molto maggiore dell'unità e il guadagno risulta inferiore alla stima data dall'Equazione (13.101), che rappresenta pertanto un limite superiore per il guadagno del circuito con valore non nullo di R_S .

Si noti che il valore di R_S è stato ridotto a $2\text{ k}\Omega$ nel circuito a source comune per ottenere un guadagno simile a quello del circuito a emettitore comune. Si osservi inoltre che la capacità di trattamento del segnale è simile per entrambi i circuiti a causa dell'elevato valore di $g_m R_E$ dell'amplificatore C-E.

Analisi assistita da calcolatore: Possiamo verificare il guadagno di tensione con SPICE eseguendo un'analisi del punto di lavoro seguita da un'analisi AC con v_I come ingresso e v_O come uscita. Assicurarsi di utilizzare parametri del transistor compatibili con i calcoli manuali effettuati ($BF = 100$, $VA_F = 50$). Considerare valori alti per tutte le capacità, per esempio $100\text{ }\mu\text{F}$, e variare la frequenza per trovare l'intervallo di centro banda ($F_{START} = 1$, $F_{STOP} = 100\text{K}$ con 10 punti per decade). L'analisi dei due circuiti fornisce -5.60 per il guadagno dell'amplificatore a emettitore comune e -4.35 per quello dell'amplificatore a source comune. I valori trovati sono in buon accordo con i calcoli manuali. Poiché abbiamo fissato il valore di VA_F la resistenza di uscita r_o del transistor risulta inclusa nella simulazione ma il suo effetto è trascurabile.

Il grafico riportato presenta i risultati di un'analisi in transitorio ($T_{START} = 0.034$, $T_{STOP} = 0.05$, $T_{STEP} = 1\text{U}$) per l'amplificatore a emettitore comune con segnale di ingresso $v_I = 0.150 \sin 2000\pi t\text{ V}$. L'uscita è $v_O = -0.838 \sin 2000\pi t\text{ V}$ e non presenta visibili segni di distorsione essendo il segnale di ingresso entro i limiti di piccolo segnale. L'inizio dell'asse dei tempi nel grafico è fissato a 34 ms invece che a zero per consentire il raggiungimento della condizione di regime periodico permanente.



ESERCIZIO Qual è il guadagno di tensione A_v per l'amplificatore C-E deducibile dal grafico precedente?

RISPOSTA -5.59 .

ESERCIZIO (a) Qual è il guadagno di tensione A_v per i due amplificatori dell'Esempio 14.1 se R_E e R_S sono fissate a $1\text{ k}\Omega$? Si assuma che il punto di lavoro non cambi. (b) Quali sono i nuovi valori di R_E necessari affinché il punto di lavoro non cambi?

RISPOSTE -15.6 , -5.9 , $12\text{ k}\Omega$, $11\text{ k}\Omega$.

ESERCIZIO Qual è il guadagno di tensione A_v per i due amplificatori dell'Esempio 14.1 se il terminale superiore di C_2 è connesso all'emettitore del transistor di Figura 14.2(a) e al source del transistor di Figura 14.2(b)?

RISPOSTE -145 , -8.82 .

ESERCIZIO Quale valore di corrente di saturazione I_S deve essere usato nella simulazione SPICE per ottenere $V_{BE} = 0.7\text{ V}$ con $I_C = 245\text{ }\mu\text{A}$? Si assuma una temperatura di 27°C .

RISPOSTA 0.422 fA .

ESERCIZIO Si calcolino $-g_m R_L$ e $-R_L/R$ per gli amplificatori C-E e C-S dell'Esempio 14.1 e si confrontino i risultati con i calcoli esatti dell'Esempio 14.1 ($R = R_E$ o R_S).

RISPOSTE $-176, -6.00; -8.84, -9.00; 5.71 < 6.00; 4.46 < 8.84$.

ESERCIZIO Si calcoli R_{in} per gli amplificatori C-E e C-S di Figura 14.5. Che relazione esiste tra R_{in}^{CE} e r_π ?

RISPOSTE $313\text{ k}\Omega \approx \beta_o R_E, \rightarrow \infty; R_{in}^{CE} \gg r_\pi$ per l'amplificatore C-E.

ESERCIZIO Si disegni il circuito di piccolo segnale usato per calcolare la resistenza di ingresso dell'amplificatore a emettitore comune. Si calcoli R_{in} direttamente dal circuito equivalente e si verifichi il risultato fornito dall'Equazione (13.107).

14.2.2 Riepilogo delle caratteristiche degli amplificatori C-E e C-S

I risultati numerici per i due casi specifici sono riassunti nella Tabella 14.3. Gli amplificatori a emettitore comune e a source comune hanno valori simili del guadagno di tensione. L'amplificatore C-E si avvicina maggiormente al limite R_L/R_E (-6) poiché, nel caso del BJT, $g_m R_E = 29.4$, mentre vale solo 0.982 nel caso del MOSFET. L'amplificatore C-S presenta un'elevatissima resistenza di ingresso ma anche quella dell'amplificatore a BJT è piuttosto elevata a causa del termine $\mu_f R_E$. La resistenza di uscita dell'amplificatore C-E è molto maggiore di quella dell'amplificatore C-S poiché μ_f è molto più grande per il BJT che non per il MOSFET. I livelli del segnale di ingresso sono stati aumentati rispetto al caso in cui R_S o $R_E = 0$ (in particolare in maniera considerevole nel caso del BJT). I guadagni di corrente sono identici a quelli dei singoli transistori.

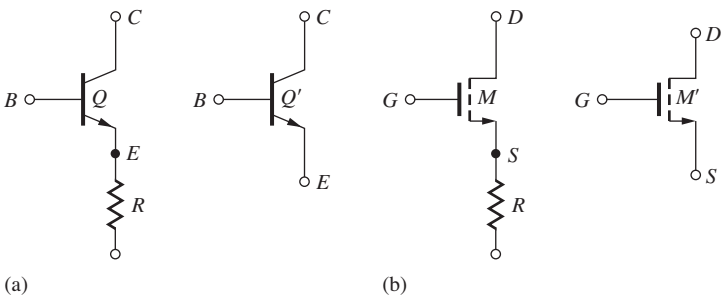
14.2.3 Rappresentazione mediante transistori equivalenti

Le equazioni nella Tabella 14.1 suggeriscono un modo di “assorbire” il resistore R nel simbolo del transistorore. Questa operazione può molte volte semplificare l'analisi del circuito o aiutare a comprendere il funzionamento del circuito. La Figura 14.8 descrive il metodo. Il transistorore originario Q e il resistore R sono sostituiti da un transistorore equivalente Q' i cui parametri di piccolo segnale sono dati da:

$$g'_m = \frac{g_m}{1 + g_m R} \qquad r'_\pi = r_\pi (1 + g_m R) \qquad r'_o = r_o (1 + g_m R) \qquad (14.5)$$

Tabella 14.3 Confronto tra gli amplificatori C-E e C-S		
	Amplificatore C-E	Amplificatore C-S
Guadagno di tensione	-5.61	-4.45
Resistenza di ingresso	310 kΩ	$\rightarrow \infty$
Resistenza di uscita	4.53 MΩ	442 kΩ
Dinamica del segnale di ingresso	152 mV	389 mV
Guadagno di corrente ai terminali	-100	$\rightarrow \infty$

Figura 14.8
Rappresentazione mediante transistori equivalenti di (a) transistorore Q e resistore R , (b) transistorore M e resistore R .



Dall'equazione precedente si vede chiaramente l'incremento delle resistenze di ingresso e di uscita a spese della transconduttanza. Tuttavia è molto importante osservare che il guadagno di corrente e il fattore di amplificazione del transistor sono conservati - non possiamo infatti superare le limitazioni intrinseche del transistor stesso!

$$\beta'_o = g'_m r'_\pi = \beta_o \quad \text{e} \quad \mu'_f = g'_m r'_o = \mu_f \quad (14.6)$$

Risultati simili si ottengono nel caso del MOS, eccetto il fatto che il guadagno di corrente e la resistenza di ingresso sono infiniti.

14.3 Circuiti inseguitori - Amplificatori a collettore comune e a drain comune

Consideriamo ora una seconda classe di amplificatori, gli amplificatori a collettore comune (C-C) e a drain comune (C-D), rappresentati dai circuiti equivalenti AC di Figura 14.9. Vedremo che i circuiti inseguitori forniscono alta resistenza di ingresso, bassa resistenza di uscita e guadagno circa unitario. Analizzeremo inizialmente il circuito a BJT, mentre il circuito a MOSFET sarà trattato come caso particolare del primo, con $r_\pi \rightarrow \infty$.

14.3.1 Guadagno di tensione ai terminali

Al fine di determinare il guadagno di tensione ai terminali, il transistor bipolare in Figura 14.9(a) è sostituito, nella Figura 14.10 (r_o viene trascurato), dal suo modello di piccolo segnale. La tensione di uscita v_o appare ora ai capi del resistore di carico R_L , connesso all'emettitore del transistor, ed è pari a:

$$v_o = +(\beta_o + 1)i_b R_L \quad \text{dove} \quad R_L = R_3 \parallel R_6 \quad (14.7)$$

La corrente di ingresso è legata alla tensione applicata v_b dalla seguente relazione:

$$v_b = i_b r_\pi + (\beta_o + 1)i_b R_L = i_b [r_\pi + (\beta_o + 1)R_L] \quad (14.8)$$

Figura 14.9

(a) Circuito equivalente dell'amplificatore C-C.
(b) Circuito equivalente dell'amplificatore C-D.

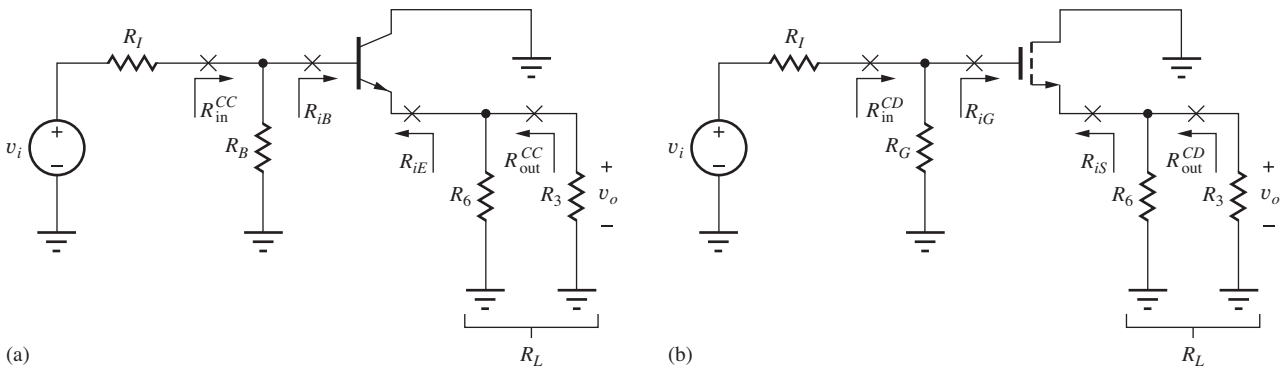
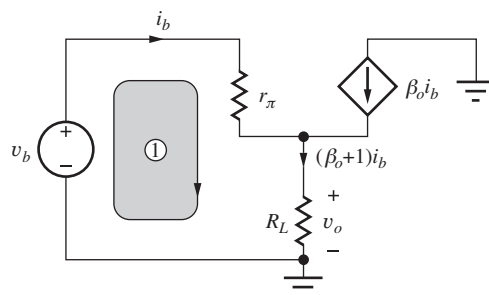


Figura 14.10

Modello per piccoli segnali per l'amplificatore C-C.
 $R_L = R_3 \parallel R_6$.



Combinando le Equazioni (14.7) e (14.8) si ricava l'espressione del guadagno di tensione ai terminali dell'amplificatore C-C:

$$A_{vt}^{CC} = + \frac{(\beta_o + 1)R_L}{r_\pi + (\beta_o + 1)R_L} \approx \frac{g_m R_L}{1 + g_m R_L} \quad (14.9)$$

dove l'ultima approssimazione è valida per grandi valori di β_o .

Facendo tendere r_π (e β_o) a infinito nell'Equazione (14.9) si ottiene il corrispondente guadagno ai terminali per l'inseguitore a MOSFET riportato in Figura 14.9(b):

$$A_{vt}^{CD} = \frac{g_m R_L}{1 + g_m R_L} \quad (14.10)$$

Nella maggior parte dei casi è verificata la condizione $g_m R_L \gg 1$ e le Equazioni (14.9) e (14.10) diventano:

$$A_{vt}^{CC} \approx A_{vt}^{CD} \approx 1 \quad (14.11)$$

Gli amplificatori C-C e C-D hanno entrambi un guadagno prossimo a 1, quindi la tensione di uscita segue la tensione di ingresso e gli amplificatori C-C e C-D sono per questo indicati rispettivamente come inseguitore di emettitore e inseguitore di source. In molti casi per il BJT è più facile ottenere la condizione $g_m R_L \gg 1$ che per il MOSFET, e il guadagno del BJT è più vicino all'unità di quello del MOSFET. Comunque in entrambi i casi il valore del guadagno di tensione cade usualmente nell'intervallo:

$$0.70 \leq A_{vt} \leq 1 \quad (14.12)$$

Ovviamente A_{vt} è molto minore del fattore di amplificazione μ_f , per cui l'approssimazione di trascurare r_o nel modello di Figura 14.10 è ragionevole. Si noti tuttavia che r_o compare in parallelo a R_L , e il suo effetto può essere tenuto in conto sostituendo R_L con $R_L || r_o$ nelle equazioni.

Comprensione del funzionamento dell'inseguitore

Il trasferimento del segnale dall'ingresso all'uscita con guadagno unitario non dovrebbe essere sorprendente. Sappiamo infatti che i terminali di base e di emettitore di un BJT sono collegati da un diodo polarizzato in diretta con una caduta di potenziale approssimativamente costante intorno a 0.7 V. Il segnale di tensione all'emettitore dovrebbe quindi essere all'incirca uguale al segnale applicato alla base. (Si ricordi che $v_{BE} = V_{BE} + v_{be}$, ma $v_{be} \ll V_{BE}$.) Gli inseguitori a MOSFET si comportano in modo simile. La tensione gate-source è approssimativamente costante, per cui il segnale di tensione al source del transistor è all'incirca uguale al segnale applicato al gate. In questo caso, $v_{GS} = V_{GS} + v_{gs}$, ma $v_{gs} \ll V_{GS}$. In conclusione, l'uscita di entrambi gli inseguitori è una replica dell'ingresso traslata di un livello di tensione continua (V_{BE} o V_{GS}).



NOTA PROGETTUALE

Il guadagno ai terminali degli inseguitori a singolo transistor è dato da:

$$A_{vt}^{CC} \approx A_{vt}^{CD} = + \frac{g_m R_L}{1 + g_m R_L} \text{ e tipicamente } 0.70 < A_{vt}^{CD} < A_{vt}^{CC} < 1$$

14.3.2 Resistenza di ingresso

La resistenza di ingresso del BJT è semplicemente uguale all'ultimo termine in parentesi dell'Equazione (14.8):

$$R_{iB} = \frac{v_b}{i_b} = r_\pi + (\beta_o + 1)R_L \approx r_\pi(1 + g_m R_L) \quad \text{e} \quad R_{iG} \rightarrow \infty \quad (14.13)$$

facendo tendere r_π (e β_o) all'infinito per il MOSFET. La resistenza di ingresso dell'inseguitore di emettitore è uguale a r_π aumentata di una replica amplificata della resistenza di carico R_L e può risultare piuttosto elevata. Naturalmente la resistenza di ingresso dell'inseguitore di source è estremamente elevata.

La resistenza di ingresso complessiva R_{in}^{CC} dell'amplificatore a collettore comune di Figura 14.9(a) è pari al parallelo del resistore di polarizzazione e la resistenza equivalente alla base del BJT:

$$R_{in}^{CC} = R_B \parallel R_{iB} = R_B \parallel r_\pi (1 + g_m R_L) \quad \text{dove} \quad R_L = R_6 \parallel R_3 \quad (14.14)$$

La resistenza di ingresso complessiva R_{in}^{CD} dell'amplificatore a drain comune di Figura 14.9(b) è pari al parallelo del resistore di polarizzazione e la resistenza equivalente al gate del MOS:

$$R_{in}^{CD} = R_G \parallel R_{iG} = R_G \quad \text{poiché} \quad R_{iG} \rightarrow \infty \quad (14.15)$$

14.3.3 Guadagno di tensione complessivo

I guadagni di tensione complessivi, dal generatore di segnale v_i in Figura 14.9 all'uscita, sono calcolabili utilizzando le espressioni del guadagno di tensione ai terminali e della resistenza di ingresso:

$$A_v^{CC} = \frac{v_o}{v_i} = \left(\frac{v_o}{v_b} \right) \left(\frac{v_b}{v_i} \right) = A_{vt}^{CC} \left(\frac{v_b}{v_i} \right)$$

La tensione v_b sulla base del BJT di Figura 14.9 è legata a v_i da:

$$v_b = v_i \frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})}$$

con $R_B = R_1 \parallel R_2$. Combinando le espressioni precedenti si ottiene:

$$A_v^{CC} = A_{vt}^{CC} \left[\frac{R_B \parallel R_{iB}}{R_I + (R_B \parallel R_{iB})} \right] \quad (14.16)$$

Nel caso del drain comune, essendo la resistenza di ingresso infinita, l'Equazione (14.16) diventa:

$$A_v^{CD} = A_{vt}^{CD} \left(\frac{R_G}{R_I + R_G} \right) \quad (14.17)$$

CALCOLO DEL GUADAGNO DI TENSIONE DEGLI INSEGUITORI

Esempio 14.2

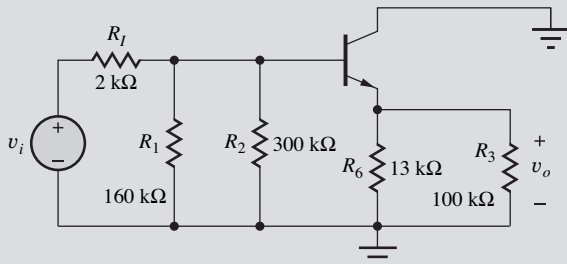
Vengono calcolate le informazioni caratteristiche degli amplificatori C-C e C-D di Figura 14.4 utilizzando le espressioni ricavate precedentemente.

Si calcolino il guadagno di tensione complessivo A_v , le resistenze di ingresso, le resistenze di uscita e la capacità di trattamento del segnale degli amplificatori C-C e C-D usando i risultati del Paragrafo 14.3 e i valori dei parametri dell'Esempio 14.1.

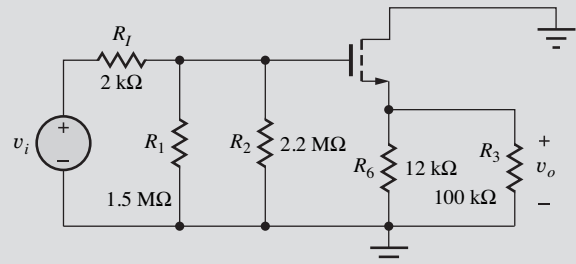
PROBLEMA

Informazioni e dati noti: Il circuito equivalente è ridisegnato di seguito. Il punto di lavoro e i parametri di piccolo segnale sono riportati nella tabella seguente; si osservi che, per via della differente configurazione circuitale, i valori di V_{CE}/V_{DS} sono diversi da quelli riportati nella tabella dell'Esempio 14.1.

SOLUZIONE



Amplificatore a collettore comune dalla Figura 14.4.



Amplificatore a drain comune dalla Figura 14.4.

	I_C/I_D	V_{CE}/V_{DS}	$V_{GS} - V_{TN}$	g_m	r_π	r_o	μ_f
BJT	245 μ A	8.82 V	...	9.80 mS	10.2 k Ω	240 k Ω	2353
MOSFET	241 μ A	9.11 V	0.982 V	0.491 mS	$\rightarrow \infty$	245 k Ω	120

Incognite: Guadagno di tensione A_v per gli amplificatori C-C e C-D.

Approccio: Si sostituiscano i valori numerici nelle Equazioni (14.16) e (14.17).

Ipotesi: Si utilizzino i valori dei parametri tabellati nell'Esempio 14.1.

Analisi: Per l'amplificatore C-C di Figura 14.3 il resistore di carico $R_L = R_6 \parallel R_3 = 11.5 \text{ k}\Omega$ e il resistore di polarizzazione $R_B = R_1 \parallel R_2 = 104 \text{ k}\Omega$. La resistenza di ingresso, il guadagno ai terminali e le tensioni dei segnali di ingresso valgono:

$$R_{iB} \approx r_\pi(1 + g_m R_L) = 10.2 \text{ k}\Omega[1 + 9.80 \text{ mS}(11.5 \text{ k}\Omega)] = 1.16 \text{ M}\Omega$$

$$R_{in}^{CC} = R_B \parallel R_{iB} = 104 \text{ k}\Omega \parallel 1.16 \text{ M}\Omega = 95.4 \text{ k}\Omega$$

$$A_{vt}^{CC} \approx \frac{g_m R_L}{1 + g_m R_L} = \frac{9.80 \text{ mS}(11.5 \text{ k}\Omega)}{1 + 9.80 \text{ mS}(11.5 \text{ k}\Omega)} = 0.991$$

$$R_{th} = 2 \text{ k}\Omega \parallel 160 \text{ k}\Omega \parallel 300 \text{ k}\Omega = 1.96 \text{ k}\Omega$$

$$R_{iE} \approx \frac{1}{g_m} + \frac{R_{th}}{\beta_o} = \frac{1}{9.80 \text{ mS}} + \frac{1.96 \text{ k}\Omega}{100} = 122 \Omega$$

$$R_{out}^{CC} \approx R_6 \parallel R_{iE} = 13 \text{ k}\Omega \parallel 122 \Omega = 121 \Omega$$

$$|v_i| \leq 5 \text{ mV} (1 + g_m R_L) \left(\frac{R_L + R_{in}^{CC}}{R_{in}^{CC}} \right)$$

$$|v_i| \leq 5 \text{ mV} [1 + 9.80 \text{ mS}(11.5 \text{ k}\Omega)] \frac{2 \text{ k}\Omega + 95.4 \text{ k}\Omega}{95.4 \text{ k}\Omega} = 0.580 \text{ V}$$

Utilizzando l'Equazione (14.16) si trova il guadagno complessivo:

$$A_v^{CC} = A_{vt}^{CC} \left[\frac{R_B \parallel R_{iB}}{R_L + (R_B \parallel R_{iB})} \right] = 0.991 \left[\frac{95.4 \text{ k}\Omega}{2.00 \text{ k}\Omega + 95.4 \text{ k}\Omega} \right] = 0.971$$

Per l'amplificatore C-D il resistore di carico $R_L = R_6 \parallel R_3 = 10.7 \text{ k}\Omega$ e il resistore di polarizzazione $R_G = R_1 \parallel R_2 = 892 \text{ k}\Omega$.

$$A_{vt}^{CD} = \frac{g_m R_L}{1 + g_m R_L} = \frac{0.491 \text{ mS}(10.7 \text{ k}\Omega)}{1 + 0.491 \text{ mS}(10.7 \text{ k}\Omega)} = 0.840$$

e

$$A_v^{CD} = A_{vt}^{CD} \left(\frac{R_G}{R_L + R_G} \right) = 0.840 \left(\frac{892 \text{ k}\Omega}{2 \text{ k}\Omega + 892 \text{ k}\Omega} \right) = 0.838$$

La resistenza di ingresso complessiva per l'amplificatore a drain comune è:

$$R_{in}^{CD} = R_G \parallel R_{iG} = R_G = 892 \text{ k}\Omega \quad \text{poiché} \quad R_{iG} \rightarrow \infty$$

Le resistenze del transistor C-D e dell'inseguitore valgono

$$R_{iS} \approx \frac{1}{g_m} = \frac{1}{0.491 \text{ mS}} = 2.04 \text{ k}\Omega \quad R_{out}^{CD} = R_6 \parallel R_{iS} = 12 \text{ k}\Omega \parallel 2.04 \text{ k}\Omega = 1.74 \text{ k}\Omega$$

L'intervallo del segnale in ingresso è

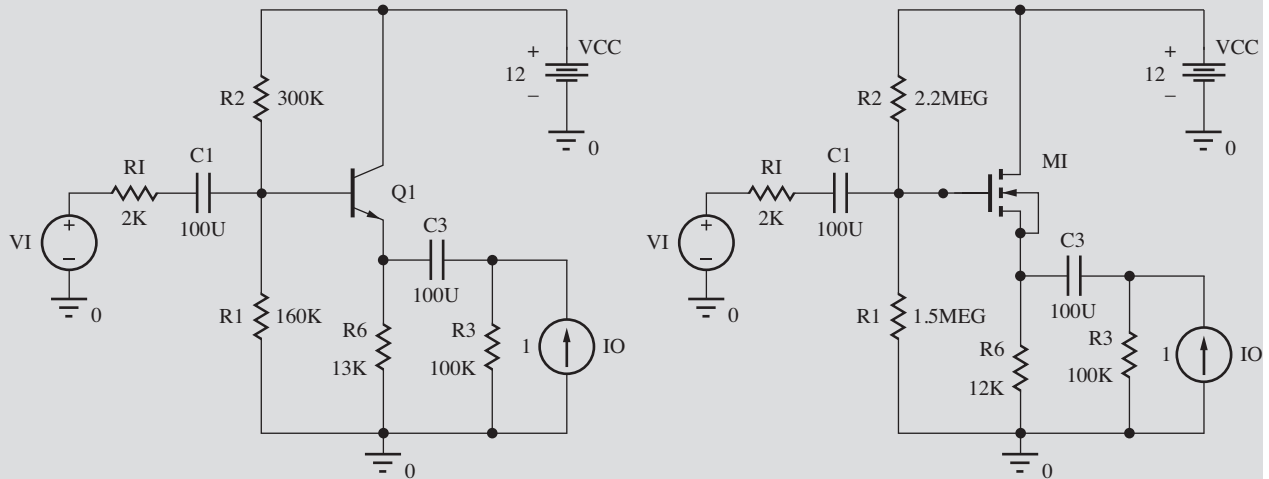
$$|v_i| \leq 0.2(V_{GS} - V_{TN})(1 + g_m R_L) \left(\frac{R_L + R_{in}^{CD}}{R_{in}^{CD}} \right)$$

$$|v_i| \leq 0.2(0.982 \text{ V})[1 + 0.491 \text{ mS}(10.7 \text{ k}\Omega)] \frac{2 \text{ k}\Omega + 892 \text{ k}\Omega}{892 \text{ k}\Omega} = 1.23 \text{ V}$$

Verifica dei risultati: Entrambi i guadagni di tensione sono prossimi all'unità come atteso da un inseguitore di tensione e rientrano nell'intervallo specificato dall'Equazione (14.12).

Discussione: L'amplificatore C-C ha un guadagno molto più vicino a 1 poiché il termine $g_m R_L$ è molto maggiore rispetto al caso dell'amplificatore C-D. L'amplificatore C-C presenta normalmente un guadagno più vicino all'unità di quello C-D.

Analisi assistita da calcolatore: Possiamo verificare i guadagni di tensione calcolati utilizzando SPICE ed eseguendo un'analisi del punto di lavoro seguita da un'analisi AC con v_i come ingresso e v_o come uscita. Considerare valori alti per tutte le capacità, per esempio 100 μF , e variare la frequenza per trovare l'intervallo di centro banda (FSTART = 1, FSTOP = 100K con 10 punti per decade). L'analisi dei due circuiti fornisce +0.971 per il guadagno dell'amplificatore a collettore comune e +0.843 per quello dell'amplificatore a drain comune. I valori trovati sono in buon accordo con i calcoli manuali. Poiché abbiamo fissato il valore di VAF = 50 (o LAMBDA = 0.02), la resistenza di uscita r_o del transistor risulta inclusa nella simulazione ma il suo effetto è trascurabile.



Le resistenze di ingresso per il circuito C-C possono essere calcolate come $R_{iB} = V_B(Q1)/I_B(Q1)$ e $R_{in}^{CC} = V_B(Q1)/I(C1)$, mentre quelle del circuito C-D sono date da $R_{iG} = V_G(M1)/I_G(M1)$ e $R_{in}^{CD} = V_G(M1)/I(C1)$. Allo stesso modo, le resistenze di uscita valgono $R_{iE} = V_E(Q1)/I_E(Q1)$, $R_{out}^{CC} = V_E(Q1)/I(C3)$, $R_{iS} = V_S(M1)/I_S(M1)$ e $R_{out}^{CD} = V_S(M1)/I(C3)$. I risultati sono riassunti nella Tabella 14.4.

La resistenza di ingresso dell'amplificatore a drain comune è molto più alta di quella dello stadio a collettore comune, poiché la trascurabile corrente di base del MOSFET permette di usare valori delle resistenze R_1 e R_2 molto maggiori. Al contrario, la resistenza di uscita del collettore comune è molto più piccola di quella del drain comune, poiché la transconduttanza del BJT è molto maggiore di quella del MOSFET a parità di corrente del punto di lavoro. La dinamica del segnale di ingresso e la distorsione armonica di entrambi gli stadi sono aumentati in maniera rilevante per via della presenza delle resistenze sull'emettitore e sul source dei transistori. I valori trovati sono in buon accordo con quelli ottenuti a mano.

Tabella 14.4 Confronto degli inseguitori di tensione - simulazioni SPICE

	Collettore comune	Drain comune
A_v^{CC}, A_v^{CD}	0.971	0.843
R_{iB}, R_{iG}	1.25 M Ω	$\rightarrow \infty$
R_{in}^{CC}, R_{in}^{CD}	96.3 k Ω	892 k Ω
R_{iE}, R_{iS}	119 Ω	190 k Ω
$R_{out}^{CC}, R_{out}^{CD}$	119 Ω	1.64 k Ω
$v_i^{max}, (THD)$	580 mV (0.033%)	1.23 mV (0.73%)

ESERCIZIO Quanto deve essere grande R_L nell'amplificatore C-D per ottenere lo stesso valore di guadagno dello stadio C-C dell'Esempio 14.2?

RISPOSTA 73.1 k Ω .

ESERCIZIO Qual è il guadagno di tensione per i due amplificatori in Figura 14.4 se R_3 viene rimosso ($R_3 \rightarrow \infty$)?

RISPOSTE 0.971, 0.853.

ESERCIZIO Si ridisegni il circuito in Figura 14.10 includendo r_o e si mostri che esso può facilmente essere incluso nell'analisi cambiando il valore di R_L .

RISPOSTA Il resistore r_o appare direttamente in parallelo ad R_L nella Figura 14.10 quindi basta sostituire R_L con $R'_L = R_L || r_o$.

ESERCIZIO Si confrontino i valori di $g_m R_L$ per gli amplificatori C-C e C-D dell'Esempio 14.2.

RISPOSTA $113 \gg 5.25$.

ESERCIZIO Che corrente di drain è richiesta per ottenere $R_{out} = 120 \Omega$ nell'amplificatore C-D se $K_n = 500 \mu A/V^2$? Quale dovrebbe essere il valore di $(V_{GS} - V_{TN})$?

RISPOSTE 69.4 mA; 16.7 V.

14.3.4 Dinamica del segnale di ingresso dell'inseguitore

Poiché i circuiti inseguitori di emettitore e di source hanno un guadagno circa unitario, solo una piccola porzione del segnale di ingresso cade ai capi dei terminali base-emettitore o gate-source. Pertanto questi circuiti possono essere usati con segnali di ingresso relativamente ampi senza violare i rispettivi limiti di piccolo segnale. La tensione che cade ai capi di r_π nel circuito di piccolo segnale deve essere minore di 5 mV per il funzionamento in regime di piccolo segnale del BJT. Si può ricavare un'espressione per v_{be} in maniera identica a quella usata per ricavare l'Equazione (14.8):

$$v_{be} = i_b r_\pi = v_b \frac{r_\pi}{r_\pi + (\beta_o + 1)R_L} \quad (14.18)$$

La condizione che l'ampiezza della tensione v_{be} sia molto minore di 5 mV fornisce:

$$|v_b| \leq 5 \text{ mV} (1 + g_m R_L) \text{ V} \quad (14.19)$$

per ampi valori di β_o . Normalmente $g_m R_L \gg 1$, e l'ampiezza di v_b può essere aumentata ben oltre il limite di 5 mV. Nel caso del MOSFET (ponendo $r_\pi \rightarrow \infty$) si ottiene:

$$|v_{gs}| = \frac{|v_g|}{1 + g_m R_L} \leq 0.2(V_{GS} - V_{TN}) \quad (14.20)$$

e

$$|v_g| \leq 0.2(V_{GS} - V_{TN})(1 + g_m R_L) \quad (14.21)$$

che incrementa il campo di valori consentiti per v_i .



NOTA PROGETTUALE

Resistore in serie a emettitore o source

Un resistore R non cortocircuitato posto in serie all'emettitore o al source di un transistor incrementa la dinamica del segnale di un fattore $(1 + g_m R)$.

ESERCIZIO Quali sono i massimi valori di v_b che corrispondono al funzionamento in regime di piccolo segnale degli amplificatori di Figura 14.3, se le correnti nel transistor valgono $250 \mu A$ e $V_{GS} - V_{TN} = 1 \text{ V}$?

RISPOSTE 0.592 V, 1.27 V.

14.3.5 Resistenza al terminale di emettitore

La resistenza che si vede guardando nel terminale di uscita del circuito C-C può essere calcolata riferendosi allo schema di Figura 14.11, in cui la tensione di prova v_x è applicata direttamente al terminale emettitore. Scrivendo il bilancio di corrente al nodo di emettitore si ottiene:

$$i_x = -i - \beta_o i = \frac{v_x}{r_\pi + R_{th}} - \beta_o \left(-\frac{v_x}{r_\pi + R_{th}} \right) \quad (14.22)$$

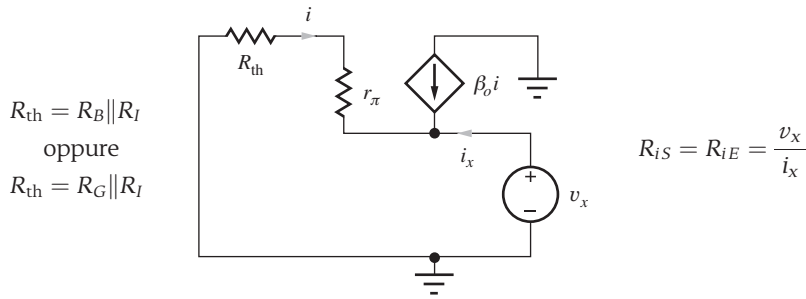


Figura 14.11

Calcolo della resistenza di uscita per gli amplificatori C-C e C-D.

Raggruppando i termini si ottiene:

$$R_{IE} = \frac{r_\pi + R_{th}}{\beta_o + 1} \approx \frac{1}{g_m} + \frac{R_{th}}{\beta_o} \quad (14.23)$$

per $\beta_o \gg 1$. Poiché il guadagno di corrente per il MOSFET è infinito:

$$R_{IS} = \frac{1}{g_m} \quad (14.24)$$

Dalle Equazioni (14.23) e (14.24) si osserva che la resistenza di uscita è principalmente determinata dal reciproco della transconduttanza del transistor. Questo è un risultato estremamente importante che va ricordato. Nel caso del BJT viene aggiunto un termine ulteriore che è normalmente piccolo a meno che R_{th} non sia molto elevata. Il valore di R_{out} per i circuiti C-C e C-D può essere piuttosto basso. Per esempio, per una corrente di 5 mA la g_m del transistor bipolare è 5 mA/25 mV = 0.2 S e $1/g_m$ è solo 5 Ω .

Dai risultati precedenti si vede che la resistenza di uscita complessiva dei circuiti inseguitori in Figura 14.9 è determinata in primo luogo dalle transconduttanze dei transistor

$$R_{out}^{CC} = R_6 \parallel R_{IE} \approx \frac{1}{g_m} \quad \text{e} \quad R_{out}^{CD} = R_6 \parallel R_{IS} \approx \frac{1}{g_m} \quad (14.25)$$

e può raggiungere valori molto piccoli.

ESERCIZIO Ridisegnare il circuito equivalente di piccolo segnale dell'amplificatore a collettore comune includendo la resistenza r_o ; derivare successivamente la nuova espressione di R_{IE} e semplificarla opportunamente.

RISPOSTE $R_{IE} = r_o \parallel \left(\frac{1}{g_m} + \frac{R_{th}}{\beta_o} \right) \approx \frac{1}{g_m}$ poiché $r_o \gg \frac{1}{g_m}$



NOTA PROGETTUALE

Resistenza di emettitore o source

La resistenza equivalente che si vede guardando dentro l'emettitore o il source di un transistor è circa $1/g_m$!

Diamo un'ulteriore interpretazione dei due termini dell'Equazione (14.23) iniettando una corrente nell'emettitore del BJT, come mostrato in Figura 14.12. Moltiplicando i per la resistenza di ingresso si ottiene la tensione di emettitore:

$$v_e = \frac{\alpha_o i}{g_m} + \frac{i}{\beta_o + 1} R_{th} \quad (14.26)$$

La corrente ($\alpha_o i$) esce dal collettore ed è generata dalla tensione base-emettitore $v_{eb} = \alpha_o i / g_m$, rappresentata dal primo termine dell'Equazione (14.24). La corrente di base $i_b = -i / (\beta_o + 1)$ crea una caduta di potenziale sulla resistenza R_{th} e dà origine al secondo termine. Nel caso del MOS, esiste solo il primo termine, in quanto $i_g = 0$.

ESERCIZIO Si piloti il nodo di emettitore in Figura 14.11 con una corrente di prova i_x e si verifichi che la resistenza di uscita è quella dell'Equazione (14.23).

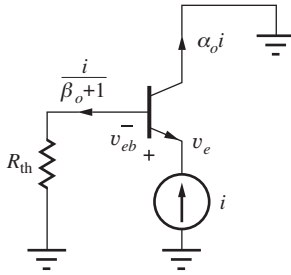


Figura 14.12 Circuito di ausilio all'interpretazione dell'Equazione (14.26).

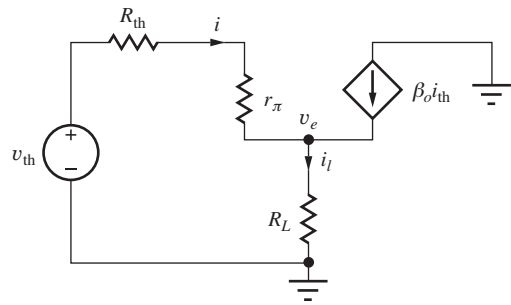


Figura 14.13 Circuito per il calcolo del guadagno di corrente ai terminali per gli amplificatori C-C e C-D.

14.3.6 Guadagno di corrente

Il guadagno di corrente ai terminali A_{it} è il rapporto tra la corrente fornita al carico e la corrente erogata dal generatore di Thévenin. Nella Figura 14.13 la corrente i e la sua replica amplificata ($\beta_o i$) si sommano nel resistore di carico R_L dando luogo a un guadagno di corrente pari a $\beta_o + 1$. Nel caso del MOSFET r_π è infinito, i è zero e il guadagno di corrente è infinito. Quindi per gli amplificatori C-C e C-D si ha:

$$A_{it}^{CC} = \frac{i_l}{i} = \beta_o + 1 \quad \text{e} \quad A_{it}^{CD} \rightarrow \infty \quad (14.27)$$

14.3.7 Riepilogo delle caratteristiche degli amplificatori C-C e C-D

La Tabella 14.5 riassume i risultati ricavati per gli amplificatori a collettore comune e a drain comune di Figura 14.14. Come nelle analisi precedenti, i risultati del MOSFET possono sempre essere ottenuti da quelli del BJT facendo tendere all'infinito r_π e β_o . I risultati numerici per il caso particolare degli amplificatori di Figura 14.14 sono raggruppati nella Tabella 14.6.

Le somiglianze tra le caratteristiche degli amplificatori C-C e C-D appaiono evidenti da un'analisi delle Tabelle 14.5 e 14.6. Entrambi gli amplificatori presentano un guadagno approssimativamente unitario, un'elevata resistenza di ingresso e una bassa resistenza di uscita.

Le differenze nascono a causa del valore finito di r_π e β_o nel caso del BJT. Il MOSFET può raggiungere facilmente elevatissimi valori della resistenza di ingresso a causa della resistenza infinita che si incontra guardando nel terminale di gate mentre l'amplificatore C-C può più facilmente raggiungere bassissimi valori della resistenza di uscita grazie al più alto valore della transconduttanza per un assegnato punto di lavoro. Entrambi gli amplificatori possono essere progettati per trattare segnali di ingresso di livello relativamente alto.

Il guadagno di corrente del MOSFET è praticamente infinito mentre quello del BJT è limitato dal valore finito di β_o .

Tabella 14.5 Riepilogo delle caratteristiche degli amplificatori C-C e C-D

	Amplificatore C-C	Amplificatore C-D
Guadagno di tensione ai terminali $A_{vt} = \frac{v_o}{v_i}$	$\frac{\beta_o R_L}{r_\pi + (\beta_o + 1) R_L}$ $\approx \frac{g_m R_L}{1 + g_m R_L} \approx +1$	$\frac{g_m R_L}{1 + g_m R_L} \approx +1$
Guadagno di tensione complessivo $A_v = \frac{v_o}{v_i}$	$\frac{g_m R_L}{1 + g_m R_L} \left[\frac{R_B \parallel R_{in}}{R_I + (R_B \parallel R_{in})} \right]$	$\frac{g_m R_L}{1 + g_m R_L} \left(\frac{R_G}{R_I + R_G} \right)$
Resistenza di ingresso	$r_\pi + (\beta_o + 1) R_L$	$\rightarrow \infty$
Resistenza di uscita	$\frac{\alpha_o}{g_m} + \frac{R_{th}}{\beta_o + 1} \approx \frac{1}{g_m}$	$\frac{1}{g_m}$
Dinamica del segnale di ingresso	$\approx 5 \text{ mV} (1 + g_m R_L)$	$0.2(V_{GS} - V_{TN})(1 + g_m R_L)$
Guadagno di corrente ai terminali	$\beta_o + 1$	$\rightarrow \infty$

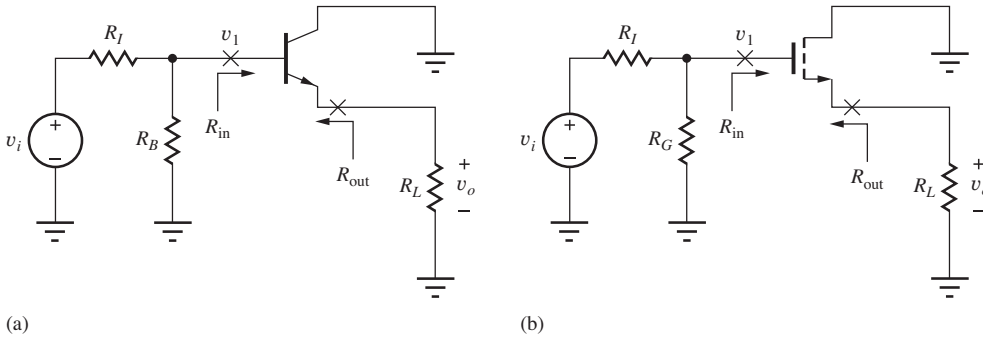


Figura 14.14

(a) Amplificatore a collettore comune e (b) amplificatore a drain comune (da usare con la Tabella 14.5).

Tabella 14.6 Confronto delle caratteristiche degli amplificatori C-C e C-D

	Amplificatore C-C	Amplificatore C-D
Guadagno di tensione	0.971	0.838
Resistenza di ingresso	1.16 M Ω	$\rightarrow \infty$
Resistenza di uscita	121 Ω	2.04 k Ω
Dinamica del segnale di ingresso	0.580 V	1.23 V
Guadagno di corrente	101	$\rightarrow \infty$

14.4 Amplificatori non invertenti - Circuiti a base comune e a gate comune

L'ultima classe di amplificatori da analizzare è costituita dagli amplificatori a base comune e a gate comune, rappresentati dai due circuiti equivalenti AC di Figura 14.15. Dalla nostra analisi risulterà che gli amplificatori non invertenti forniscono un guadagno di tensione e una resistenza di uscita simile a quella degli stadi C-E/C-S, ma una resistenza di ingresso molto minore. Come nei Paragrafi 14.2 e 14.3, si analizzerà dapprima il circuito a BJT e si tratterà il MOSFET di Figura 14.15(b) come caso particolare del circuito di Figura 14.15(a).

14.4.1 Guadagno di tensione ai terminali e resistenza di ingresso

Nella Figura 14.16(a) il transistor bipolare è sostituito dal suo modello di piccolo segnale. Poiché l'amplificatore presenta un carico resistivo, il circuito equivalente può essere semplificato trascurando r_o e ridisegnato come in Figura 14.16(b).

Per il circuito a base comune la tensione di uscita v_o viene prelevata sul collettore ai capi del resistore R_L ed è pari a:

$$v_o = +g_m v_{eb} R_L = +g_m R_L v_e \quad (14.28)$$

e il guadagno di tensione ai terminali per l'amplificatore a base comune è:

$$A_{vt}^{CB} = \frac{v_o}{v_e} = +g_m R_L \quad (14.29)$$

Figura 14.15

Circuito equivalente AC per gli amplificatori (a) C-B e (b) C-G.

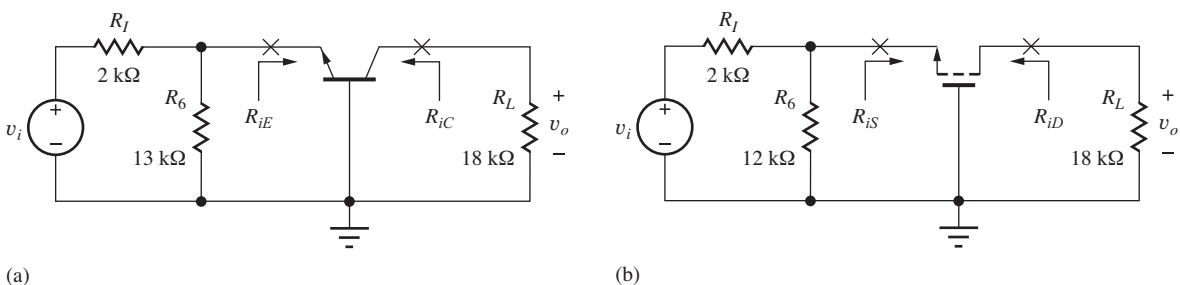
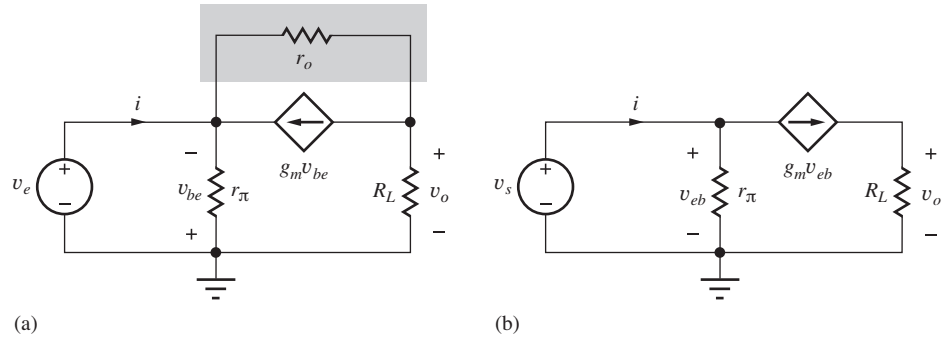


Figura 14.16

(a) Circuito di piccolo segnale per l'amplificatore a base comune. (b) Circuito semplificato ottenuto trascurando r_o e cambiando il verso del generatore controllato.



che è la stessa dello stadio a emettitore comune eccetto il segno. La corrente di ingresso i e la resistenza di ingresso sono date da:

$$i = \frac{v_e}{r_\pi} + g_m v_e \quad \text{e} \quad R_{iE} = \frac{v_e}{i} = \frac{r_\pi}{\beta_o + 1} \approx \frac{1}{g_m} \quad (14.30)$$

assumendo $\beta_o \gg 1$.

La corrispondente espressione per lo stadio a gate comune ($r_\pi \rightarrow \infty$) è:

$$A_{vt}^{CG} = \frac{v_o}{v_e} = +g_m R_L \quad \text{e} \quad R_{iS} = \frac{1}{g_m} \quad (14.31)$$

Comprensione del funzionamento degli amplificatori a base comune e a gate comune

Quando un segnale di ingresso v_i viene applicato all'emettitore di un amplificatore C-B, o al source di un amplificatore C-G, nel transistor entra una corrente fissata dalla sua resistenza di ingresso ($R_{in} = 1/g_m$). Questa corrente esce dal terminale di collettore, o di drain, del transistor e, scorrendo attraverso il resistore di carico, produce il segnale di tensione di uscita v_o . Il guadagno di tensione è quindi uguale al rapporto tra la resistenza di carico e la resistenza di ingresso:

$$i_{in} = \frac{v_i}{R_{in}} = g_m v_i \quad v_o = +\alpha_o i_{in} R_L \approx +i_{in} R_L \quad \text{e} \quad A_{vt}^{CB,CG} = \frac{v_o}{v_i} = +g_m R_L \quad (14.32)$$

Tuttavia, il partitore di tensione formato dalla resistenza di ingresso e dalla resistenza della sorgente spesso fa sì che il guadagno complessivo risulti significativamente inferiore al guadagno ai terminali dell'amplificatore non invertente.

14.4.2 Guadagno di tensione complessivo

Il guadagno di tensione complessivo degli amplificatori di Figura 14.15 può ora essere espresso come:

$$A_v^{CB} = \frac{v_o}{v_i} = \left(\frac{v_o}{v_e} \right) \left(\frac{v_e}{v_i} \right) = A_{vt}^{CB} \left[\frac{R_6 \parallel R_{iE}}{R_I + (R_6 \parallel R_{iE})} \right] \quad (14.33)$$

e, sostituendo $R_{iE} = 1/g_m$ si ottiene:

$$A_v^{CB} = \frac{g_m R_L}{1 + g_m (R_{th})} \left(\frac{R_6}{R_I + R_6} \right) \quad \text{e} \quad A_v^{CG} = \frac{g_m R_L}{1 + g_m R_{th}} \left(\frac{R_6}{R_I + R_6} \right) \quad (14.34)$$

dove $R_{th} = R_6 \parallel R_I$. Se si assume $R_6 \gg R_I$, le espressioni del guadagno dell'Equazione (14.34) diventano:

$$A_v^{CB,CG} \approx \frac{g_m R_L}{1 + g_m R_I} \quad \text{per} \quad R_6 \gg R_I \quad (14.35)$$

A causa della bassa resistenza di ingresso degli amplificatori C-B e C-G, il guadagno di tensione complessivo A_v può essere significativamente inferiore rispetto al guadagno ai terminali. Si noti che le espressioni finali (Equazione 14.35) hanno una forma simile a quella delle espressioni del guadagno degli amplificatori invertenti e degli inseguitori. Analizzeremo questo risultato con maggiore dettaglio nel seguito del capitolo.

Si noti che le espressioni del guadagno nelle Equazioni (14.31) e (14.33) hanno il segno positivo, ciò indica che il segnale di uscita è in fase con quello di ingresso. Dunque gli amplificatori C-B e C-G sono classificati come amplificatori non invertenti.



NOTE PROGETTUALI

Il guadagno di tensione ai terminali degli amplificatori non invertenti è dato da:

$$A_{vt}^{NI} \approx +g_m R_L$$

Una stima del guadagno complessivo degli amplificatori non invertenti è data da:

$$A_v^{NI} \approx + \frac{g_m R_L}{1 + g_m R_I} \approx + \frac{R_L}{R_I} \quad \text{per} \quad g_m R_I \gg 1 \quad \text{e} \quad R_6 \gg R_I$$

La resistenza equivalente R guardando nell'emettitore o nel source di un transistor è approssimativamente pari a $R = 1/g_m$.

Limitazioni importanti

Come per gli amplificatori C-E e C-S, anche in questo caso vi sono due condizioni limite di particolare importanza. Il limite superiore del guadagno si ottiene quando $g_m R_I \ll 1$, e l'Equazione (14.35) diventa:

$$A_v^{CB} \approx +g_m R_L \quad \text{e} \quad A_v^{CG} \approx +g_m R_L \quad (14.36)$$

L'Equazione (14.36) rappresenta il limite superiore del guadagno degli amplificatori C-B e C-G ed è uguale a quello degli amplificatori C-E e C-S se si eccettua il fatto che il guadagno non sia invertente.

Invece, se $g_m R_{th} \gg 1$, l'Equazione (14.35) si riduce a:

$$A_v^{CB} = A_v^{CG} \approx + \frac{R_L}{R_{th}} \quad (14.37)$$

In questo caso, gli amplificatori C-B e C-G presentano entrambi un guadagno che si avvicina al rapporto tra i valori del resistore di carico e il resistore del generatore di Thévenin ($R_{th} = R_6 || R_I$), e risulta indipendente dai parametri del transistor.

Nel caso di carichi resistivi, il limite imposto dall'Equazione (14.37) è molto inferiore al fattore di amplificazione μ_f , per cui l'approssimazione di trascurare r_o è ragionevole.

14.4.3 Dinamica del segnale di ingresso

La relazione tra v_{eb} e v_i descritta in Figura 14.15(a) è:

$$v_{eb} = v_i \frac{R_6 || R_{iE}}{R_I + (R_6 || R_{iE})} = \frac{v_i}{1 + g_m (R_I || R_6)} \left(\frac{R_6}{R_I + R_6} \right) \quad \text{e} \quad v_i \approx v_{eb} (1 + g_m R_I) \quad (14.38)$$

per $R_6 \gg R_I$.

La condizione di piccolo segnale richiede:

$$|v_i| \leq 5 \text{ mV} (1 + g_m R_I) \quad (14.39)$$

Nel caso del MOS, sostituendo v_{eb} con v_{sg} si ottiene $v_i = v_{sg} (1 + g_m R_I)$:

$$|v_i| \leq 0.2 (V_{GS} - V_{TN}) (1 + g_m R_I) \quad (14.40)$$

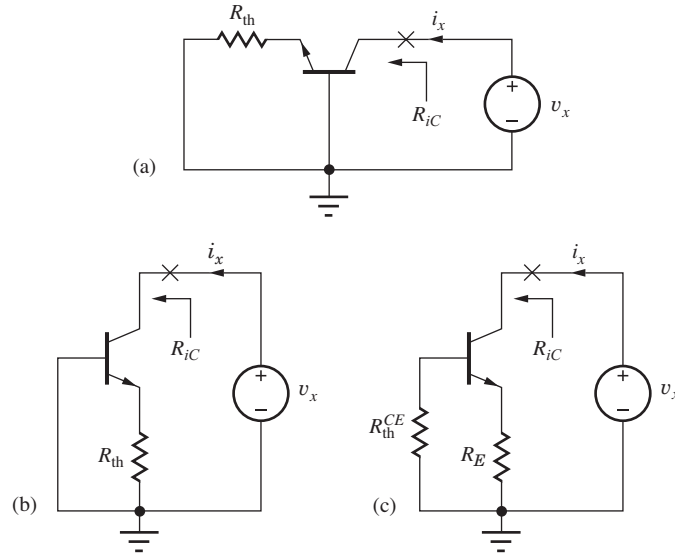
I valori di R_I e g_m determineranno i limiti del segnale applicabile.

ESERCIZIO Si calcoli il massimo valore di v_i per gli amplificatori C-B e C-G della Figura 14.15 utilizzando le Equazioni (14.39) e (14.40).

RISPOSTE 103 mV, 389 mV.

Figura 14.17

(a) Circuito per il calcolo della resistenza di uscita dell'amplificatore C-B.
 (b) Circuito per il calcolo della resistenza di uscita dell'amplificatore C-G.
 Versione ridisegnata del circuito in (a).
 (c) Circuito usato per l'analisi dell'emettitore comune.



14.4.4 Resistenza ai terminali di collettore e drain

La resistenza di uscita degli amplificatori C-B e C-G può essere calcolata con il circuito di Figura 14.17 usando una tensione di prova v_x applicata al terminale di collettore. La resistenza cercata è quella che si vede guardando dentro il collettore con la base collegata al potenziale zero, e con il resistore R_{th} sull'emettitore. Se si ridisegna il circuito come mostrato in Figura 14.17(b), si può notare che esso è identico al circuito C-E di Figura 13.21, riportato in Figura 14.17(c), eccetto per il fatto che la resistenza R_{th}^{CE} sulla base è nulla e il resistore R_E è stato etichettato R_{th} .

Quindi la resistenza di uscita per l'amplificatore C-B può essere valutata utilizzando i risultati ottenuti per l'amplificatore a emettitore comune [Equazione 13.70] senza ulteriori calcoli, ponendo $R_{th}^{CE} = 0$ e sostituendo R_E con R_{th} :

$$R_{iC} = r_o \left(1 + \frac{\beta_o R_E}{R_{th}^{CE} + r_\pi + R_E} \right) = r_o \left(1 + \frac{\beta_o R_{th}}{r_\pi + R_{th}} \right) \quad (14.41)$$

Utilizzando $\beta_o = g_m r_\pi$

$$R_{iC} \approx r_o [1 + g_m (R_{th} \| r_\pi)] \quad \text{e} \quad R_{iD} \approx r_o (1 + g_m R_{th}) \quad (14.42)$$



NOTA PROGETTUALE

Stima della resistenza di uscita di un amplificatore

Una stima veloce della resistenza di uscita di un amplificatore non invertente o invertente con un resistore R non cortocircuitato sull'emettitore o sul source è:

$$R_o \approx r_o [1 + g_m (R \| r_\pi)] \approx \mu_f (R \| r_\pi)$$

ESERCIZIO Si calcoli la resistenza di uscita degli amplificatori C-B e C-G.

RISPOSTE 3.93 MΩ; 410 kΩ.

14.4.5 Guadagno di corrente

Il guadagno di corrente ai terminali A_{it} è il rapporto tra la corrente che scorre nel resistore di carico e la corrente iniettata nell'emettitore. Se si inietta una corrente i_e nell'emettitore del transistor C-B della Figura 14.18, dal collettore uscirà la corrente $i_l = \alpha_o i_e$. Quindi il guadagno di corrente a base comune è semplicemente α_o .

Per il MOSFET, α_o è esattamente 1, e si ha:

$$A_{it}^{CB} = \frac{i_l}{i_e} = +\alpha_o \approx +1 \quad \text{e} \quad A_{it}^{CG} = +1 \quad (14.43)$$

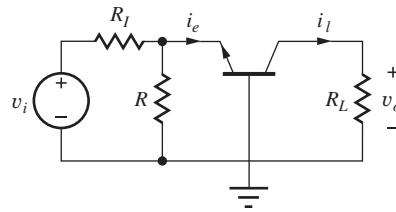
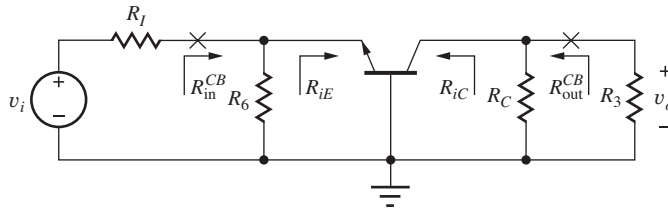
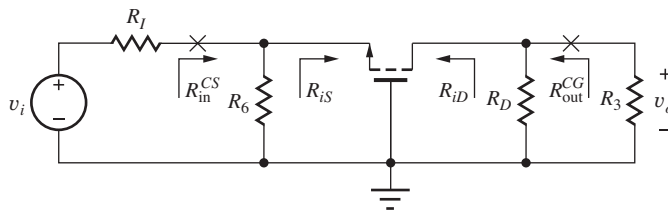


Figura 14.18

Guadagno di corrente a base comune.



(a)



(b)

Figura 14.19

Circuiti equivalenti AC a centro banda per gli amplificatori a base comune e a gate comune.

14.4.6 Resistenze di ingresso e di uscita complessive per gli amplificatori non invertenti

Le resistenze complessive di ingresso e uscita R_{in}^{CB} , R_{in}^{CG} , R_{out}^{CB} , R_{out}^{CG} degli amplificatori a base comune e a gate comune sono definite guardando nei condensatori di accoppiamento C_1 e C_3 della Figura 14.5, ridisegnata come modello AC a centro banda nella Figura 14.19. La resistenza di ingresso complessiva degli amplificatori a base comune e a gate comune è pari al parallelo del resistore R_6 e della resistenza che si vede guardando nei terminali di emettitore o di source dei transistori:

$$R_{in}^{CB} = R_6 \parallel R_{iE} \approx R_6 \parallel \frac{1}{g_m} \quad \text{e} \quad R_{in}^{CG} = R_6 \parallel R_{iS} = R_6 \parallel \frac{1}{g_m} \quad (14.44)$$

In maniera simile, la resistenza di uscita complessiva degli amplificatori a base comune e a gate comune è pari al parallelo dei resistori R_C o R_D e della resistenza che si vede guardando nei terminali di collettore o di drain dei transistori:

$$R_{out}^{CB} = R_C \parallel R_{iC} = R_C \parallel \{r_o[1 + g_m(R_6 \parallel R_I \parallel r_\pi)]\}$$

e

$$R_{out}^{CD} = R_D \parallel R_{iD} = R_D \parallel \{r_o[1 + g_m(R_6 \parallel R_I)]\} \quad (14.45)$$

CARATTERISTICHE DEGLI AMPLIFICATORI NON INVERTENTI

Esempio 14.3

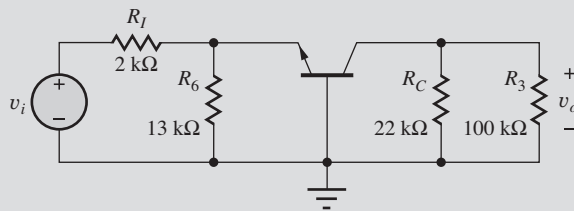
Vengono confrontate le caratteristiche degli amplificatori C-B e C-G.

Si calcoli il guadagno di tensione complessivo, le resistenze di ingresso e uscita e la capacità di trattamento del segnale per gli amplificatori C-B e C-G della Figura 14.5.

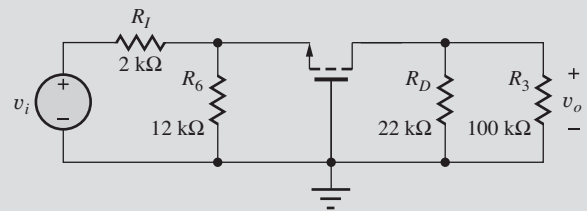
PROBLEMA

Informazioni e dati noti: Il circuito equivalente è riportato di seguito. Il punto di lavoro e i parametri di piccolo segnale sono riportati nella tabella di accompagnamento alla figura.

SOLUZIONE



Amplificatore a base comune dalla Figura 14.5.



Amplificatore a gate comune dalla Figura 14.5.

	$I_C \text{ o } I_D$	$V_{CE} \text{ o } V_{DS}$	$V_{GS} - V_{TN}$	g_m	r_π	r_o	μ_f
BJT	245 μA	3.39 V	—	9.80 mS	10.2 k Ω	218 k Ω	2140
MOSFET	241 μA	3.81 V	0.982 V	0.491 mS	$\rightarrow \infty$	223 k Ω	110

Incognite: Guadagno di tensione, resistenza di ingresso, resistenza di uscita e valori massimi dei segnali di ingresso per gli amplificatori a base comune e a gate comune.

Approccio: Si verifichi il valore di R_L e si sostituiscano i valori numerici nelle appropriate equazioni riportate nei Paragrafi 14.4.1 - 14.4.6.

Ipotesi: Si utilizzino i valori dei parametri tabellati nell'Esempio 14.1.

Analisi: Per l'amplificatore C-B, $R_I = 2 \text{ k}\Omega$, $R_6 = 13 \text{ k}\Omega$, $R_L = R_3 || R_C = 18.0 \text{ k}\Omega$. La resistenza di ingresso e il guadagno ai terminali sono:

$$R_{iE} \approx \frac{1}{g_m} = \frac{1}{9.8 \text{ mS}} = 102 \Omega \quad \text{e} \quad A_{vt}^{CB} = +g_m R_L = 9.80 \text{ mS}(18.0 \text{ k}\Omega) = +176$$

Il guadagno complessivo è:

$$A_v^{CB} = \frac{A_{vt}}{1 + g_m(R_6 || R_I)} \left(\frac{R_6}{R_I + R_6} \right) = \frac{176}{1 + 9.8 \text{ mS}(1.73 \text{ k}\Omega)} \left(\frac{13 \text{ k}\Omega}{2 \text{ k}\Omega + 13 \text{ k}\Omega} \right) = +8.48$$

La resistenza di ingresso per l'amplificatore a base comune si ricava dall'Equazione (14.44):

$$R_{in}^{CB} = R_6 || R_{iE} = 13 \text{ k}\Omega || 102 \Omega = 101 \Omega$$

e la resistenza di uscita dell'amplificatore a base comune si calcola mediante l'Equazione (14.45):

$$R_{iC} = r_o [1 + g_m(R_6 || R_I || r_\pi)] = 219 \text{ k}\Omega [1 + 9.80 \text{ mS}(13 \text{ k}\Omega || 2 \text{ k}\Omega || 10.2 \text{ k}\Omega)] = 3.40 \text{ M}\Omega$$

$$R_{out}^{CB} = R_C || R_{iC} = 22 \text{ k}\Omega || 3.40 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

La massima ampiezza del segnale di ingresso si calcola mediante l'Equazione (14.39):

$$|v_i| \leq 5 \text{ mV} [1 + g_m(R_6 || R_I)] \frac{R_I + R_6}{R_6}$$

$$|v_i| \leq 5 \text{ mV} [1 + 9.80 \text{ mS}(13 \text{ k}\Omega || 2 \text{ k}\Omega)] \frac{2 \text{ k}\Omega + 13 \text{ k}\Omega}{13 \text{ k}\Omega} = 104 \text{ mV}$$

Per l'amplificatore C-G, $R_I = 2 \text{ k}\Omega$, $R_6 = 12 \text{ k}\Omega$, $R_L = R_3 || R_D = 18.0 \text{ k}\Omega$. Si ottiene:

$$R_{iS} = \frac{1}{g_m} = \frac{1}{0.491 \text{ mS}} = 2.04 \text{ k}\Omega \quad \text{e} \quad A_{vt}^{CG} = +g_m R_L = 0.491 \text{ mS}(18.0 \text{ k}\Omega) = +8.84$$

e

$$A_v^{CG} = \frac{A_{vt}}{1 + g_m(R_6 || R_I)} \left(\frac{R_6}{R_I + R_6} \right) = \frac{8.84}{1 + 0.491 \text{ mS}(1.71 \text{ k}\Omega)} \left(\frac{12 \text{ k}\Omega}{2 \text{ k}\Omega + 12 \text{ k}\Omega} \right) = +4.11$$

La resistenza di ingresso per l'amplificatore a gate comune si ricava dall'Equazione (14.44):

$$R_{in}^{CG} = R_6 \parallel R_{IS} = 12 \text{ k}\Omega \parallel 2.04 \text{ k}\Omega = 1.74 \text{ k}\Omega$$

e la resistenza di uscita dell'amplificatore a gate comune si calcola mediante l'Equazione (14.45):

$$R_{ID} = r_o[1 + g_m(R_6 \parallel R_I)] = 223 \text{ k}\Omega[1 + 0.491 \text{ mS}(12 \text{ k}\Omega \parallel 2 \text{ k}\Omega)] = 411 \text{ k}\Omega$$

$$R_{out}^{CG} = R_D \parallel R_{ID} = 22 \text{ k}\Omega \parallel 411 \text{ k}\Omega = 20.9 \text{ k}\Omega$$

La massima ampiezza del segnale di ingresso si calcola mediante l'Equazione (14.39):

$$|v_i| \leq 0.2(V_{GS} - V_{TN})[1 + g_m(R_6 \parallel R_I)] \frac{R_I + R_6}{R_6}$$

$$|v_i| \leq 0.2(0.982 \text{ V})[1 + 0.491 \text{ mS}(12 \text{ k}\Omega \parallel 2 \text{ k}\Omega)] \frac{2 \text{ k}\Omega + 12 \text{ k}\Omega}{12 \text{ k}\Omega} = 422 \text{ mV}$$

Verifica dei risultati: Entrambi i risultati sono simili e non eccedono la stima di progetto espressa da:

$$A_v^{NI} \approx + \frac{R_L}{R_I} = \frac{18 \text{ k}\Omega}{2 \text{ k}\Omega} = +9.00$$

Discussione: Si noti che il guadagno complessivo dell'amplificatore a base comune è molto inferiore rispetto al guadagno ai terminali, poiché si ha una notevole riduzione di segnale a causa della bassa resistenza di ingresso del transistor rispetto alla resistenza del generatore:

$$A_v^{CB} = A_{vt}^{CB} \left(\frac{R_6 \parallel R_{IE}}{R_I + R_6 \parallel R_{IE}} \right) = 176 \left(\frac{13 \text{ k}\Omega \parallel 102 \Omega}{2 \text{ k}\Omega + 13 \text{ k}\Omega \parallel 102 \Omega} \right) = 176(0.0482) = +8.48$$

Nel caso del C-G, il fattore di riduzione è inferiore:

$$A_v^{CG} = A_{vt}^{CG} \left(\frac{R_6 \parallel R_{IS}}{R_I + R_6 \parallel R_{IS}} \right) = 8.84 \left(\frac{12 \text{ k}\Omega \parallel 2.04 \text{ k}\Omega}{2.00 \text{ k}\Omega + 12 \text{ k}\Omega \parallel 2.04 \text{ k}\Omega} \right)$$

$$= 8.84(0.466) = +4.12$$

Ancora una volta si osserva che il guadagno complessivo dello stadio C-G differisce da quello stimato più di quanto non faccia il guadagno dello stadio C-B a causa del più basso valore della transconduttanza del MOS (del prodotto $g_m R_{th}$). Entrambi i guadagni sono molto inferiori al fattore di amplificazione μ_f per cui l'approssimazione di trascurare r_o nella Figura 14.16 è ragionevole.

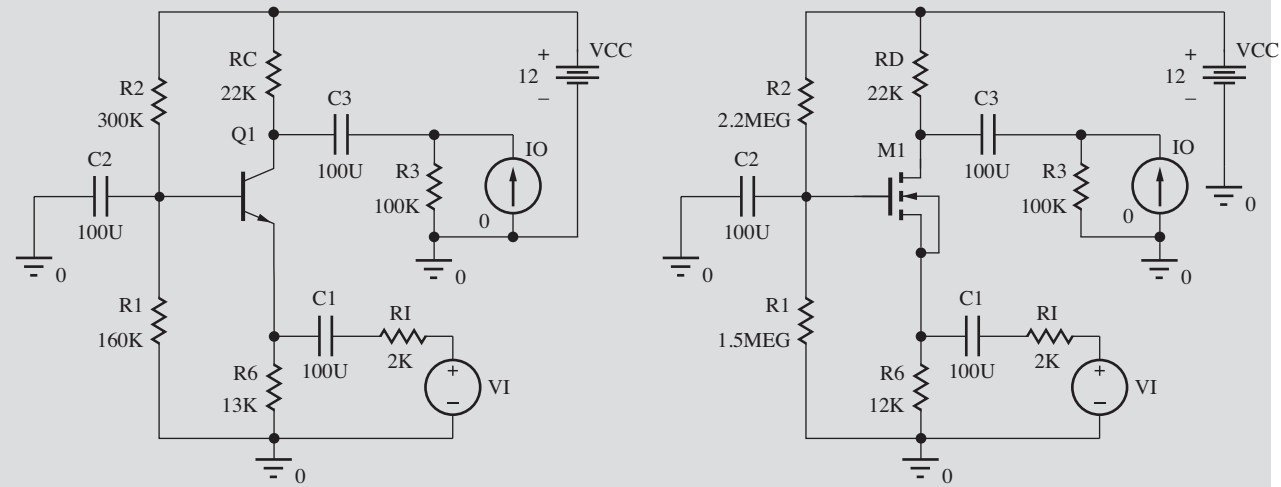
Analisi assistita da calcolatore: Possiamo verificare i guadagni di tensione calcolati utilizzando SPICE ed eseguendo un'analisi del punto di lavoro seguita da un'analisi AC con v_I come ingresso e v_O come uscita. Considerare valori alti per tutte le capacità, per esempio 100 μF , e variare la frequenza per trovare l'intervallo di centro banda (FSTART = 1, FSTOP = 100K con 10 punti per decade). L'analisi SPICE fornisce per lo stadio C-B un guadagno di +8.38 e per lo stadio C-G un guadagno di +4.05. I valori trovati sono in buon accordo con i calcoli manuali. Poiché abbiamo fissato il valore di VAF = 50 (LAMBDA = 0.02), la resistenza di uscita r_o del transistor risulta inclusa nella simulazione ma il suo effetto è trascurabile.

Le resistenze di ingresso per il circuito B-C possono essere calcolate come $R_{IE} = V_E(Q1)/I_E(Q1)$ e $R_{in}^{CB} = V_E(Q1)/I(C1)$, mentre quelle del circuito C-G sono date da $R_{IS} = V_S(M1)/I_S(M1)$ e $R_{in}^{CG} = V_S(M1)/I(C1)$. Allo stesso modo, le resistenze di uscita valgono $R_{IC} = V_C(Q1)/I_C(Q1)$, $R_{out}^{CB} = V_C(Q1)/I(C3)$, $R_{ID} = V_D(M1)/I_D(M1)$ e $R_{out}^{CG} = V_D(M1)/I(C3)$. I risultati sono riassunti nella Tabella 14.7.

La resistenza di ingresso dell'amplificatore a base comune è molto più piccola di quella dello stadio a gate comune, poiché la transconduttanza del BJT è molto maggiore di quella del MOS a parità di corrente del punto di lavoro. $R_{IC} \gg R_{ID}$ anche in funzione della

Tabella 14.7 Confronto degli amplificatori non invertenti – simulazioni SPICE		
	Base comune	Gate comune
A_v^{CB}, A_v^{CG}	+ 8.38	+ 4.05
R_{iE}, R_{iS}	112 Ω	2.08 k Ω
R_{in}^{CB}, R_{in}^{CG}	111 Ω	1.77 k Ω
R_{iC}, R_{iD}	3.26 M Ω	416 k Ω
$R_{out}^{CB}, R_{out}^{CG}$	21.9 k Ω	20.9 k Ω
$v_i^{max}, (THD)$	104 mV (0.27%)	422 mV (2.1%)

maggior transconduttanza del BJT, ma le resistenze complessive di uscita sono le stesse poiché dipendono da R_C e da R_D . La dinamica del segnale di ingresso e la distorsione armonica di entrambi gli stadi è aumentata in maniera rilevante per la presenza delle resistenze sull'emettitore e il source dei transistori. I valori trovati sono in buon accordo con quelli ottenuti a mano.



ESERCIZIO Si mostri che l'Equazione (14.33) può essere ridotta all'Equazione (14.34).

ESERCIZIO Quali sono i valori del guadagno di tensione a circuito aperto ($R_3 \rightarrow \infty$) per i due amplificatori?

RISPOSTE 10.3; 5.03.

ESERCIZIO Si confrontino i guadagni degli amplificatori C-B e C-G calcolati nell'Esempio 14.3 con i due valori limite definiti dalle Equazioni (14.36) e (14.37).

RISPOSTE $8.48 < 10.4 \ll 176$; $4.11 < 8.84 < 10.5$.

ESERCIZIO Stimare il rapporto R_{iE}/R_{iS} per il BJT e il MOSFET, supponendo stesse correnti di operazione e $V_{GS} - V_{TN} = 1$ V.

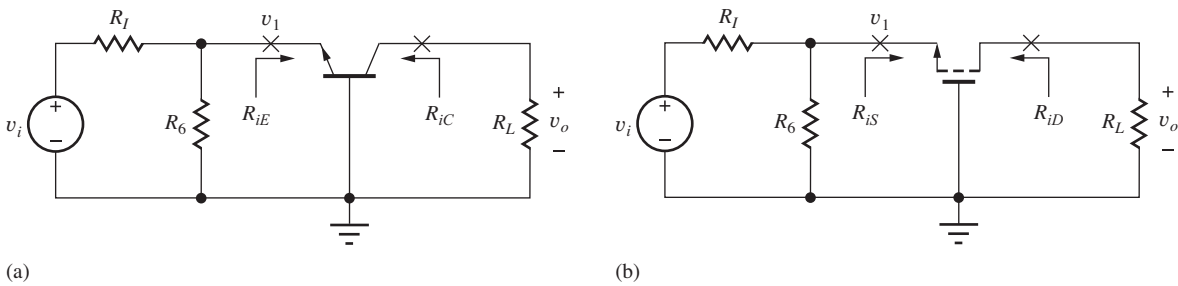
RISPOSTE 1/20.

14.4.7
Riepilogo delle caratteristiche degli amplificatori C-B e C-G

La Tabella 14.8 riassume i risultati ottenuti per gli amplificatori a base comune e a gate comune di Figura 14.20, mentre i risultati numerici, per il caso particolare dell'amplificatore di Figura 14.5, sono riportati nella Tabella 14.9. La Tabella 14.8 evidenzia ancora una volta la simmetria fra le caratteristiche degli amplificatori a base comune e a gate comune. I guadagni di tensione e di corrente sono molto simili. Si osservano differenze numeriche a causa delle differenze tra i valori dei parametri del BJT e del MOSFET nel punto di lavoro.

Tabella 14.8 Riepilogo delle caratteristiche degli amplificatori C-B e C-G

	Amplificatore C-B	Amplificatore C-G
Guadagno di tensione ai terminali $A_{vt} = \frac{v_o}{v_i}$	$+g_m R_L$	$+g_m R_L$
Guadagno di tensione complessivo $A_v = \frac{v_o}{v_i} \quad R_{th} = (R_I \parallel R_6)$	$\frac{g_m R_L}{1 + g_m R_{th}} \left(\frac{R_6}{R_I + R_6} \right)$	$\frac{g_m R_L}{1 + g_m R_{th}} \left(\frac{R_6}{R_I + R_6} \right)$
Resistenza di ingresso	$\frac{1}{g_m}$	$\frac{1}{g_m}$
Resistenza di uscita	$r_o(1 + g_m R_{th}) = r_o + \mu_f R_{th}$	$r_o(1 + g_m R_{th}) = r_o + \mu_f R_{th}$
Dinamica del segnale di ingresso	$5 \text{ mV}(1 + g_m R_{th})$	$0.2(V_{GS} - V_{TN})(1 + g_m R_{th})$
Guadagno di corrente ai terminali	$\alpha_o \approx +1$	$+1$

**Figura 14.20** Circuiti da utilizzare con la Tabella 14.8. (a) Amplificatore a base comune, (b) amplificatore a gate comune.**Tabella 14.9** Confronto tra le caratteristiche degli amplificatori C-B e C-G

	Amplificatore C-B	Amplificatore C-G
Guadagno di tensione	$+8.48$	$+4.11$
Resistenza di ingresso	$102 \, \Omega$	$2.04 \, \text{k}\Omega$
Resistenza di uscita	$3.40 \, \text{M}\Omega$	$411 \, \text{k}\Omega$
Dinamica del segnale di ingresso	$104 \, \text{mV}$	$422 \, \text{mV}$
Guadagno di corrente ai terminali	1	1

Entrambi gli amplificatori forniscono un significativo guadagno di tensione, una bassa resistenza di ingresso e un'elevata resistenza di uscita. Il più elevato fattore di amplificazione del BJT permette di ottenere una più alta resistenza di uscita; l'amplificatore a base comune può più facilmente raggiungere valori molto bassi della resistenza di ingresso a causa del più elevato valore della transconduttanza del BJT a parità di corrente. L'amplificatore a MOSFET può trattare segnali di maggiore ampiezza.

14.5 Rassegna e confronto degli amplificatori elementari

Nei Paragrafi dal 14.1 al 14.4 si sono confrontati per ognuna delle tre classi di circuiti amplificatori, C-E/C-S, C-C/C-D, C-B/C-G, le versioni a BJT con quelle a MOSFET. In questo paragrafo verranno passati in rassegna questi risultati e confrontate tra loro le tre configurazioni rispettivamente per gli amplificatori a BJT e a MOSFET.

14.5.1 Gli amplificatori a BJT

La Tabella 14.10 raccoglie i risultati dell'analisi dei tre amplificatori a BJT di Figura 14.21; la Tabella 14.11 fornisce dei risultati approssimati.

Tabella 14.10 Amplificatori a singolo transistor bipolare

	Amplificatore a emettitore comune	Amplificatore a collettore comune	Amplificatore a base comune
Guadagno di tensione ai terminali $A_{vt} = \frac{v_o}{v_i}$	$\approx -\frac{g_m R_L}{1 + g_m R_E}$	$\approx +\frac{g_m R_L}{1 + g_m R_L} \approx +1$	$+g_m R_L$
Guadagno di tensione complessivo $A_v = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_E} \left[\frac{R_B \parallel R_{in}}{R_I + (R_B \parallel R_{in})} \right]$	$+\frac{g_m R_L}{1 + g_m R_L} \left[\frac{R_B \parallel R_{in}}{R_I + (R_B \parallel R_{in})} \right] \approx +1$	$+\frac{g_m R_L}{1 + g_m (R_I \parallel R_4)} \left(\frac{R_6}{R_I + R_6} \right)$
Resistenza di ingresso	$r_\pi + (\beta_o + 1)R_E$ $\approx r_\pi(1 + g_m R_E)$	$r_\pi + (\beta_o + 1)R_L$ $\approx r_\pi(1 + g_m R_L)$	$\frac{\alpha_o}{g_m} \approx \frac{1}{g_m}$
Resistenza di uscita	$r_o(1 + g_m R_E)$	$\frac{\alpha_o}{g_m} + \frac{R_{th}}{\beta_o + 1}$	$r_o[1 + g_m(R_I \parallel R_6)]$
Dinamica del segnale di ingresso	$\approx 5 \text{ mV}(1 + g_m R_E)$	$\approx 5 \text{ mV}(1 + g_m R_L)$	$\approx 5 \text{ mV}[1 + g_m(R_I \parallel R_6)]$
Guadagno di corrente ai terminali	$-\beta_o$	$\beta_o + 1$	$\alpha_o \approx +1$

Un'interessante e importante osservazione può essere fatta osservando la Tabella 14.10. Se si considera bassa la caduta di tensione ai capi della resistenza del generatore, i guadagni complessivi dei tre amplificatori hanno esattamente la stessa forma:

$$|A_v| \approx \frac{g_m R_L}{1 + g_m R} = \frac{R_L}{\frac{1}{g_m} + R} = \frac{R_L}{R_{EQ}} \quad \text{per} \quad R_{EQ} = R + \frac{1}{g_m} \quad (14.46)$$

dove R è la resistenza sull'emettitore del transistor (rispettivamente R_E , R_L o $R_I \parallel R_6$). Basta quindi ricordare a memoria una sola formula per avere una buona stima del guadagno degli amplificatori.

Inoltre esiste la stessa simmetria nelle espressioni della dinamica del segnale di ingresso:

$$|v_{be}| \leq 5 \text{ mV}(1 + g_m R) \quad (14.47)$$

Si noti la somiglianza tra le espressioni della resistenza di ingresso degli amplificatori C-E e C-C, la resistenza di ingresso dell'amplificatore C-B e quella di uscita dell'amplificatore C-C e le resistenze di uscita degli amplificatori C-E e C-B. Si consiglia di riesaminare attentamente le tre configurazioni di Figura 14.21 per comprendere pienamente il motivo per cui queste simmetrie si verificano.

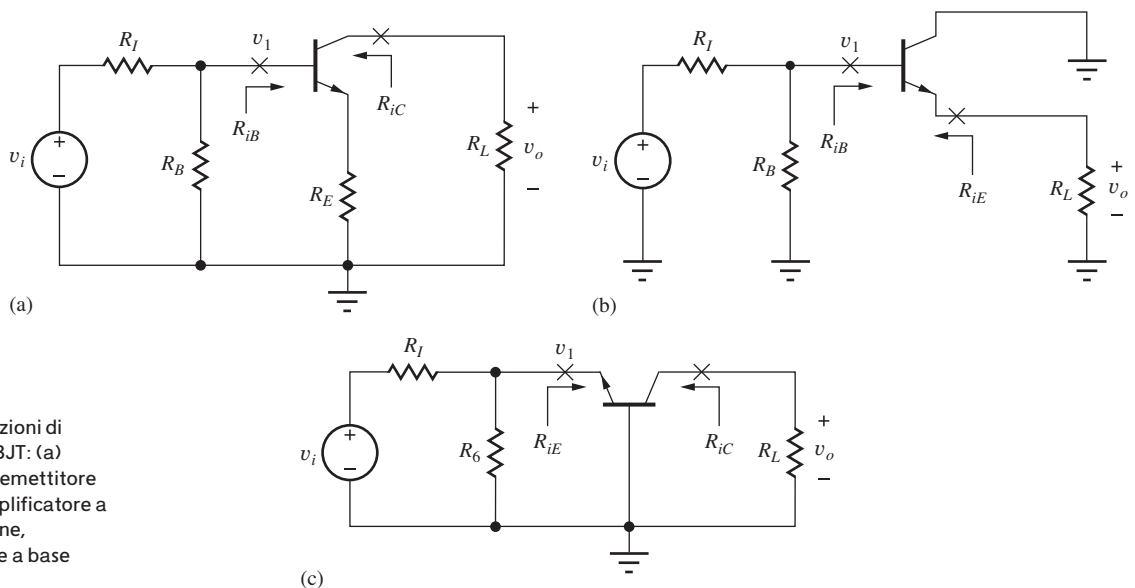


Figura 14.21

Le tre configurazioni di amplificatori a BJT: (a) amplificatore a emettitore comune, (b) amplificatore a collettore comune, (c) amplificatore a base comune.

Tabella 14.11 Caratteristiche approssimate degli amplificatori a singolo BJT

	Emettitore comune ($R_E = 0$)	Emettitore comune con resistenza di emettitore R_E	Collettore comune	Base comune
Guadagno di tensione ai terminali $A_{vt} = \frac{v_o}{v_i}$	$-g_m R_L \approx -V_{RL}/V_T$ (alto)	$-\frac{R_L}{R_E}$ (moderato)	1 (basso)	$+g_m R_L \approx V_{RL}/V_T$ (alto)
Resistenza di ingresso	r_π (moderato)	$\beta_o R_E$ (alto)	$\beta_o R_L$ (alto)	$1/g_m$ (basso)
Resistenza di uscita	r_o (moderato)	$\mu_f R_E$ (alto)	$1/g_m$ (basso)	$\mu_f (R_I \parallel R_4)$ (alto)
Guadagno di corrente	$-\beta_o$ (moderato)	$-\beta_o$ (moderato)	$\beta_o + 1$ (moderato)	1 (basso)

La seconda espressione dell'Equazione (14.46) merita un'ulteriore discussione. L'ampiezza del guadagno ai terminali di tutti e tre gli stadi a BJT può essere espressa come rapporto tra la resistenza totale al collettore e la resistenza totale R_{EQ} nella maglia di emettitore. R_{EQ} è la somma della resistenza esterna R (cioè R_E , R_L o $R_I \parallel R_6$, a seconda dei casi) e della resistenza $1/g_m$ che si vede guardando nell'emettitore del BJT stesso. Questo è un risultato concettualmente molto importante.

La Tabella 14.11 riporta un confronto semplificato. L'amplificatore a emettitore comune fornisce livelli di guadagno di tensione da moderati ad alti, moderati valori della resistenza di ingresso, della resistenza di uscita e del guadagno di corrente. Inoltre, il resistore di emettitore R_E aggiunge flessibilità di progetto al circuito a emettitore comune e consente al progettista di ottenere, a spese di una riduzione del guadagno di tensione, un aumento della resistenza di ingresso, della resistenza di uscita e della dinamica del segnale. L'amplificatore a collettore comune presenta un basso guadagno di tensione, un'elevata resistenza di ingresso, una bassa resistenza di uscita e un moderato guadagno di corrente. Infine, l'amplificatore a base comune presenta valori di guadagno di tensione da moderati ad alti, una bassa resistenza di ingresso, un'alta resistenza di uscita e un basso guadagno di corrente.

14.5.2 Gli amplificatori a MOSFET

Le Tabelle 14.12 e 14.13 riassumono le caratteristiche dei tre amplificatori a MOSFET mostrati in Figura 14.22. Il guadagno di tensione e della dinamica del segnale di ingresso per tutti e tre gli amplificatori può essere espresso, questa volta in maniera esatta, come:

$$|A_{vt}| \approx \frac{g_m R_L}{1 + g_m R} = \frac{R_L}{\frac{1}{g_m} + R} \quad (14.48)$$

e

$$|v_{gs}| \leq 0.2(V_{GS} - V_{TN})(1 + g_m R) \text{ V} \quad (14.49)$$

Tabella 14.12 Amplificatori a MOSFET a singolo transistor

	Amplificatore a source comune	Amplificatore a drain comune	Amplificatore a gate comune
Guadagno di tensione ai terminali $A_{vt} = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_S}$	$+\frac{g_m R_L}{1 + g_m R_L} \approx +1$	$+g_m R_L$
Guadagno di tensione complessivo $A_v = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_S} \left(\frac{R_G}{R_I + R_G} \right)$	$+\frac{g_m R_L}{1 + g_m R_L} \left(\frac{R_G}{R_I + R_G} \right) \approx +1$	$+\frac{g_m R_L}{1 + g_m (R_I \parallel R_6)} \left(\frac{R_6}{R_I + R_6} \right)$
Resistenza di ingresso	$\rightarrow \infty$	$\rightarrow \infty$	$1/g_m$
Resistenza di uscita	$r_o(1 + g_m R_S)$	$1/g_m$	$r_o[1 + g_m (R_I \parallel R_6)]$
Dinamica del segnale di ingresso	$0.2(V_{GS} - V_{TN})(1 + g_m R_S)$	$0.2(V_{GS} - V_{TN})(1 + g_m R_L)$	$0.2(V_{GS} - V_{TN})[1 + g_m (R_I \parallel R_6)]$
Guadagno di corrente ai terminali	$\rightarrow \infty$	$\rightarrow \infty$	$+1$

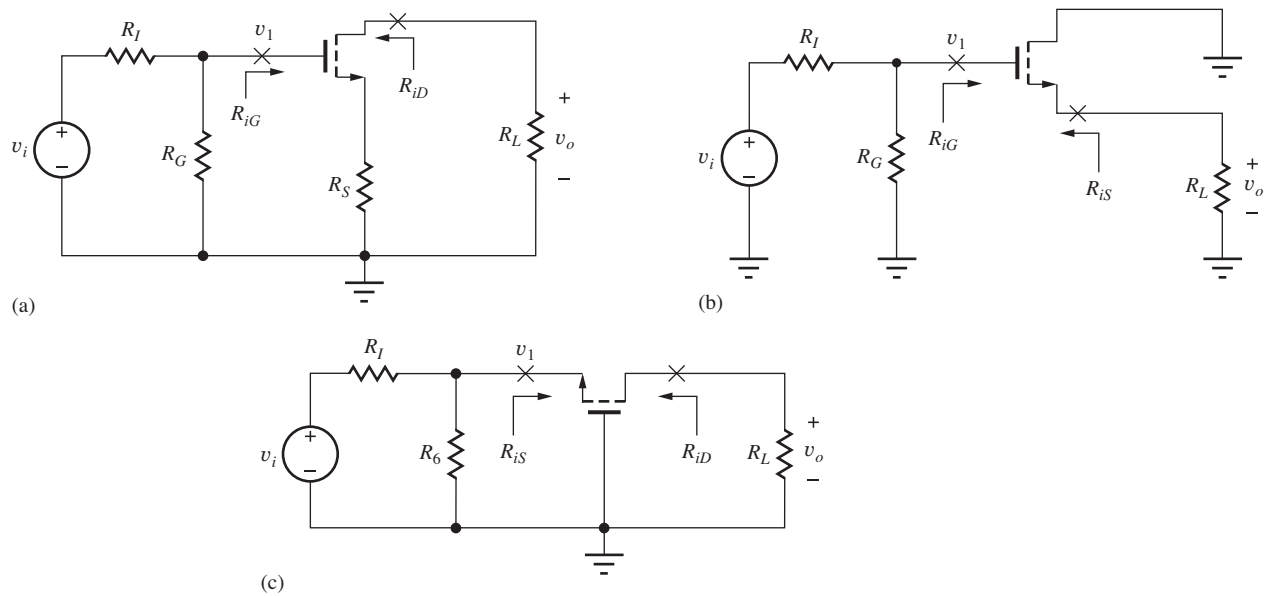
Tabella 14.13 Caratteristiche approssimate degli amplificatori a singolo MOSFET				
	Source comune ($R_S = 0$)	Source comune con resistenza di source R_S	Drain comune	Gate comune
Guadagno di tensione ai terminali $A_{vt} = \frac{v_o}{v_i}$	$-g_m R_L$ (moderato)	$-\frac{R_L}{R_S}$ (moderato)	1 (basso)	$+g_m R_L$ (moderato)
Resistenza di ingresso	$\rightarrow \infty$ (alto)	$\rightarrow \infty$ (alto)	$\rightarrow \infty$ (alto)	$1/g_m$ (basso)
Resistenza di uscita	r_o (moderato)	$\mu_f R_S$ (alto)	$1/g_m$ (basso)	$\mu_f (R_I \parallel R_6)$ (alto)
Guadagno di corrente	$\rightarrow \infty$ (alto)	$\rightarrow \infty$ (alto)	$\rightarrow \infty$ (alto)	1 (basso)

dove R è la resistenza sul source del transistor (rispettivamente R_E , R_L o $R_1 \parallel R_6$). Si noti la simmetria tra le resistenze di uscita degli amplificatori C-S e C-G. La resistenza di ingresso dell'amplificatore C-G e la resistenza di uscita dell'amplificatore C-D sono identiche. Si consiglia di riesaminare attentamente le tre configurazioni di Figura 14.22 per comprendere pienamente il motivo per cui queste simmetrie si verificano. L'aggiunta del resistore R_S al circuito a source comune consente al progettista di ottenere, a spese di una riduzione del guadagno di tensione, un aumento della resistenza di uscita e della dinamica del segnale.

Analogamente al caso degli amplificatori a BJT, l'ampiezza del guadagno ai terminali di tutti e tre gli stadi a MOS può essere espresso come rapporto tra la resistenza totale al drain e la resistenza totale R_{SQ} nella maglia di emettitore. R_{SQ} è la somma della resistenza esterna R_X (cioè R_S , R_L o $R_I \parallel R_6$, a seconda dei casi) e della resistenza $1/g_m$ che si vede guardando nel source del MOSFET stesso. Pertanto, con adeguata interpretazione dei simboli, le espressioni del guadagno per gli amplificatori a singolo stadio a BJT e a MOS possono essere considerate identiche!

La Tabella 14.13 riporta il confronto finale tra gli amplificatori a MOS. L'amplificatore a source comune fornisce un moderato guadagno di tensione, una moderata resistenza di uscita ma elevati valori della resistenza di ingresso e del guadagno di corrente. L'amplificatore a drain comune presenta un basso guadagno di tensione e una bassa resistenza di uscita ma elevati valori della resistenza di ingresso e del guadagno di corrente. Infine, l'amplificatore a gate comune fornisce un moderato guadagno di tensione, un'elevata resistenza di uscita, una bassa resistenza di ingresso e un basso guadagno di corrente. Le Tabelle dalla 14.10 alla 14.13 sono molto utili nella fase iniziale del progetto di un amplificatore, quando l'ingegnere deve scegliere la configurazione più adatta a soddisfare le specifiche di progetto.

Figura 14.22
Le tre configurazioni di
amplificatori a MOSFET:
(a) amplificatore a source
comune, (b) amplificatore
a drain comune,
(c) amplificatore a gate
comune.





NOTA PROGETTUALE

Guadagno degli amplificatori a singolo stadio

Il valore del guadagno complessivo degli amplificatori a singolo stadio può essere espresso approssimativamente come:

$$|A_v| \approx \frac{g_m R_L}{1 + g_m R} = \frac{R_L}{\frac{1}{g_m} + R}$$

dove R è la resistenza esterna nella maglia di emettitore o di source.

Ora che abbiamo a disposizione una “scatola degli attrezzi” colma di amplificatori, possiamo utilizzarli per risolvere problemi di progetto. L'Esempio 14.4 mostra come utilizzare le conoscenze acquisite per operare scelte di progetto tra le diverse configurazioni.

14.6 Amplificatori a source comune basati su invertitori a MOS

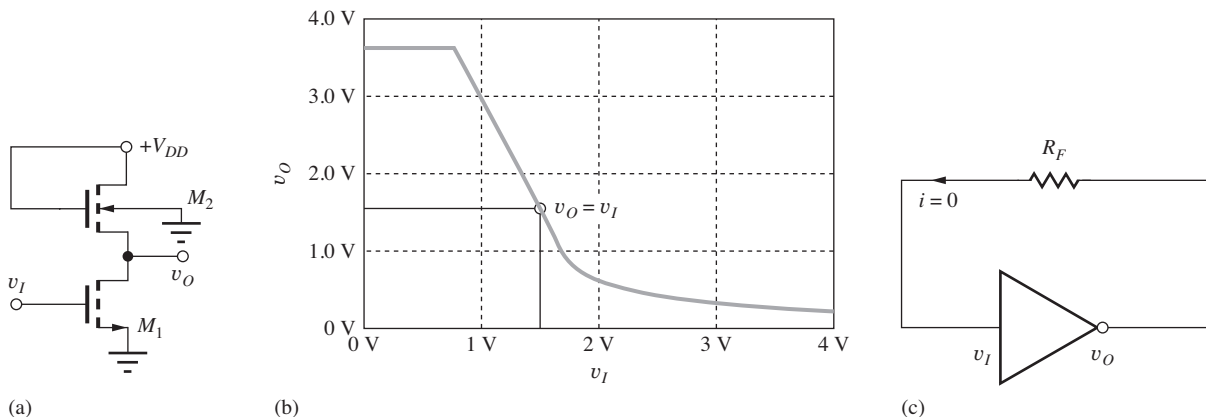
Come già discusso in precedenza, i carichi resistivi sono problematici nei circuiti integrati perché tendono a occupare una frazione di area grande in confronto a quella richiesta dai transistori MOS. Tuttavia, in un amplificatore a source comune è possibile usare un transistor al posto del resistore di carico, come è mostrato nella Figura 14.23(a), in cui R_L è rimpiazzata da un transistor operante nella regione di saturazione. Che M_2 operi in saturazione è garantito dal fatto che il drain è connesso direttamente al gate (da cui $V_{DS} = V_{GS}$) e che il dispositivo è ad arricchimento (da cui $V_{TN} > 0$), per cui la condizione di saturazione, $V_{DS} > V_{GS} - V_{TN}$, è garantita. Questa variante di amplificatore a source comune ha la stessa topologia di un circuito che in elettronica digitale è noto come “invertitore a carico saturato”.

Nel Capitolo 10 si è visto che il guadagno di tensione è pari alla pendenza delle caratteristiche di trasferimento di tensione dell'amplificatore valutata nel punto di lavoro Q , $A_v = dv_O/dv_I|_Q$. Si noti inoltre che nella caratteristica riportata in Figura 14.23(b) è presente una regione di elevato guadagno. In particolare, se fosse possibile polarizzare il circuito nel punto operativo Q con $v_O = v_I$ (evidenziato nella Figura 14.23(b)), allora l'invertitore potrebbe funzionare come amplificatore a elevato guadagno.

Concettualmente, è relativamente semplice polarizzare l'invertitore nella regione ad alto guadagno sfruttando la retroazione negativa, come mostrato in Figura 14.23(c). In pratica, si può dimostrare che il resistore R_F non è necessario. Tuttavia, per capire il principio di funzionamento di questo metodo di polarizzazione, è sufficiente notare che, siccome non può scorrere una corrente continua nell'ingresso v_I , ne consegue che ingresso e uscita devono essere alla stessa tensione continua, e il circuito si trova a operare nella regione ad alto guadagno.

Figura 14.23

(a) Amplificatore a source comune con il carico resistivo sostituito da un transistor in saturazione. (b) Caratteristica di trasferimento. (c) Semplice circuito per la polarizzazione dell'amplificatore nella regione ad alto guadagno.



14.6.1 Stima del guadagno di tensione

Proviamo a stimare il guadagno del circuito di Figura 14.23(a) basandoci sulle caratteristiche degli amplificatori a singolo transistor visti finora. M_1 è connesso come un transistor a source comune, quindi il guadagno di tensione che possiamo aspettarci sarà $A_v = -g_{m1}R_L$, dove R_L è la resistenza di carico complessiva connessa al drain di M_1 . Questa resistenza consiste nella combinazione in parallelo della resistenza di uscita r_{o1} di M_1 e della resistenza R_{IS2} al terminale di source di M_2 :

$$R_L = r_{o1} \parallel R_{IS2} = r_{o1} \parallel \frac{1}{g_{m2}} \approx \frac{1}{g_{m2}} \quad (14.50)$$

Siccome i transistori sono necessariamente polarizzati con la stessa corrente di drain, ci aspettiamo che $r_{o1} \ll 1/g_{m2}$, per cui il guadagno di tensione diventa

$$A_v^{CS} \approx -\frac{g_{m1}}{g_{m2}} = -\frac{\sqrt{2K_{n1}I_D}}{\sqrt{2K_{n2}I_D}} = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (14.51)$$

Il guadagno dell'amplificatore con un carico a transistor saturo è quindi dato dalla radice quadrata del rapporto dei fattori di forma (W/L) dei transistori di ingresso e di carico. Il guadagno può essere controllato dal progettista scegliendo opportunamente le dimensioni dei transistori ed è indipendente dagli altri parametri del dispositivo. Sfortunatamente, per ottenere guadagni anche solo modesti è necessario dimensionare i due transistori con fattori di forma W/L molto diversi. Per esempio, un guadagno di 20 dB richiede $(W/L)_1 = 100 (W/L)_2$.

14.6.2 Analisi dettagliata

Esploriamo ora l'amplificatore C-S con un livello maggiore di dettaglio per tenere conto di effetti che sono stati trascurati nell'analisi semplificata precedente. Il circuito riportato nella Figura 14.24 include il resistore di polarizzazione R_F , i condensatori di accoppiamento C_1 e C_2 , e il resistore di carico esterno R_3 . Il modello per piccoli segnali include la transconduttanza di body (si veda il Paragrafo 13.8.4). È possibile trovare un'espressione per il guadagno di tensione dell'amplificatore di Figura 14.24 tramite l'analisi nodale applicata al nodo di uscita:

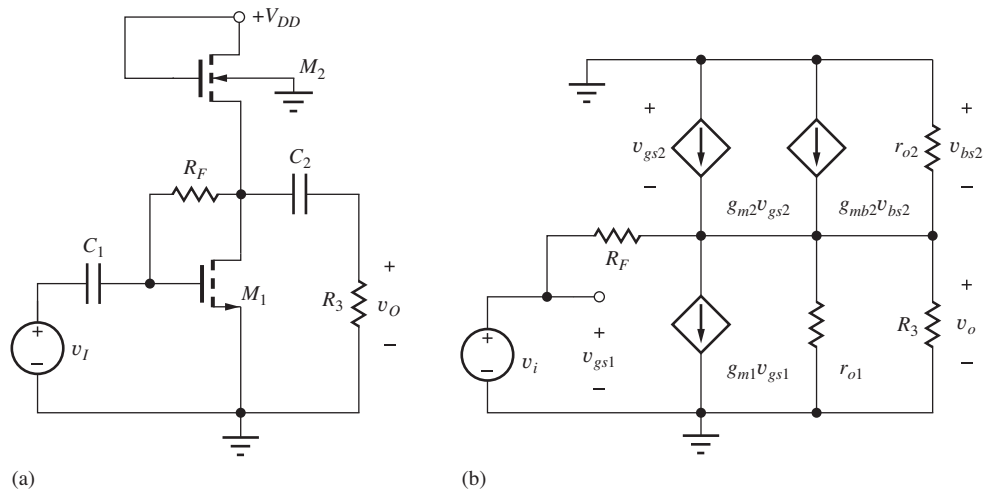
$$G_F(v_o - v_i) + g_{m1}v_i + v_o(g_{o1} + g_{o2} + G_F + G_3) - g_{m2}v_{gs2} - g_{mb2}v_{bs2} = 0 \quad (14.52)$$

Raccogliendo i termini e tenendo conto che sia v_{gs2} che v_{bs2} sono uguali a $-v_o$, si ricava il guadagno di tensione seguente

$$A_v^{CS} = \frac{v_o}{v_i} = -\frac{(g_{m1} - G_F)}{g_{m2}(1 + \eta) + g_{o1} + g_{o2} + G_F + G_3} \quad (14.53)$$

Figura 14.24

(a) Amplificatore a source comune completo. (b) Modello equivalente per piccoli segnali.



in cui $g_{mb2} = \eta g_{m2}$. Questa espressione può essere scritta nella forma più riconoscibile seguente

$$A_v^{CS} \approx -g_{m1} R_L \quad \text{dove} \quad R_L = R_3 \parallel R_F \parallel r_{o1} \parallel r_{o2} \parallel \frac{1}{g_{m2}(1+\eta)} \quad (14.54)$$

è la resistenza equivalente complessiva al nodo di uscita. Sappiamo già che r_{o1} e r_{o2} sono molto maggiori di $1/g_{m2}$, mentre R_F viene di solito scelta con un valore molto maggiore a R_3 . Nella maggior parte dei casi, R_3 sarà comunque molto più grande di $1/g_{m2}$, per cui l'espressione del guadagno si riduce a

$$A_v^{CS} \approx -\frac{g_{m1}}{g_{m2}(1+\eta)} = \frac{1}{1+\eta} \sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (14.55)$$

L'Equazione (14.55) fornisce un guadagno che rispetto a quello calcolabile con l'Equazione (14.51) risulta ridotto di un fattore $(1+\eta)$ dovuto all'effetto della transconduttanza di body. La resistenza complessiva di carico ha un valore non troppo alto a causa della conduttanza relativamente alta del transistor di carico.

ESERCIZIO Qual è il fattore di forma W/L di M_1 necessario per avere un guadagno di 26 dB se $\eta = 0.2$ e $(W/L)_2 = 4/1$?

RISPOSTA 2290/1.

14.6.3 Soluzioni alternative per il carico

Per incrementare il guadagno del circuito è necessario eliminare g_{m2} dall'espressione della resistenza di carico, [Equazione (14.54)]. Alcune possibili soluzioni alternative al carico saturato sono riportate nella Figura 14.25. I transistori NMOS possono essere usati come carichi lineari o carichi a svuotamento, mentre i transistori PMOS possono essere utilizzati per realizzare invertitori pseudo NMOS e CMOS. Ciascuno di questi circuiti può sostituire l'invertitore a carico saturato riportato in Figura 14.24.

Tuttavia, la configurazione a carico lineare non porta alcun vantaggio, perché il gate di M_2 è ancora connesso a un potenziale fisso e R_{is2} è ancora determinata da $1/g_{m2}$. Il carico a svuotamento invece fornisce qualche miglioramento. La tensione v_{GS} è mantenuta a zero dalla connessione diretta tra source e gate di M_2 , quindi la transconduttanza diretta non contribuisce alla resistenza di carico e il guadagno è dato approssimativamente da

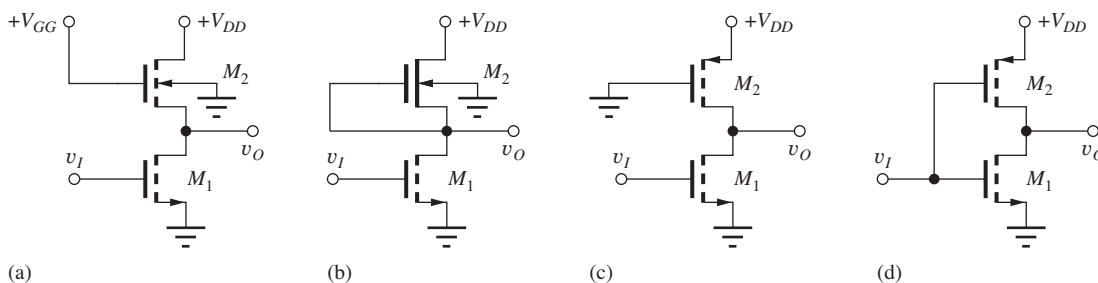
$$A_v^{CS} \approx -\frac{g_{m1}}{\eta g_{m2}} \quad (14.56)$$

che porta a un incremento del guadagno di un fattore $(1+\eta)/\eta$. Per $\eta = 0.2$, il guadagno aumenta di un fattore 6. Nei circuiti a componenti discreti, anche v_{BS} può essere mantenuta a zero, quindi anche il contributo della transconduttanza di body viene eliminato. In questo caso il guadagno diventa

$$A_v^{CS} \approx -g_{m1} R_L = -g_{m1} (R_3 \parallel R_F \parallel r_{o1} \parallel r_{o2}) \approx -g_{m1} R_3 \quad (14.57)$$

Figura 14.25

Amplificatori invertenti a MOS. (a) Carico lineare. (b) Carico a svuotamento. (c) Pseudo NMOS. (d) CMOS.



in cui l'approssimazione finale è dovuta al fatto che r_{o1} e r_{o2} sono molto più grandi di R_3 e anche R_F può essere scelta in modo da essere molto maggiore di R_3 . Questa configurazione è caratterizzata da un guadagno più alto del circuito C-S originale perché la resistenza R_3 è di norma molto più grande della resistenza di drain R_D .

I circuiti riportati nelle Figura 14.25(c) e (d) impiegano transistori PMOS e pertanto richiedono la tecnologia CMOS. Nel caso dell'invertitore pseudo NMOS, la resistenza di carico vista dal transistore M_1 è la stessa dell'Equazione (14.57), quindi anche il guadagno è il medesimo. Nel caso dell'invertitore CMOS riportato nella Figura 14.26, si noti che i transistori sono connessi in parallelo: i gate sono collegati insieme, i drain anche, i source sono entrambi connessi a potenziali costanti. L'ingresso viene applicato a entrambi i gate, sicché l'espressione del guadagno diventa

$$A_v^{CS} \approx -(g_{m1} + g_{m2})R_L = -g_{m1}(R_3 \parallel R_F \parallel r_{o1} \parallel r_{o2}) \approx -(g_{m1} + g_{m2})R_3 \quad (14.58)$$

che può portare a un miglioramento di un fattore 2 nel caso di un invertitore simmetrico (cioè con $K_n = K_p$).

Si noti che se usiamo un invertitore simmetrico, eliminiamo R_3 e rendiamo R_F molto grande, il guadagno diventa approssimativamente

$$A_v^{CS} \approx -(g_{m1} + g_{m2})(r_{o1} \parallel r_{o2}) = -2g_{m1} \frac{r_{o1}}{2} \approx -\mu_f \quad (14.59)$$

Abbiamo ottenuto un circuito che raggiunge un guadagno uguale al fattore di amplificazione del transistore, che rappresenta il limite superiore per il guadagno. Tecniche simili a questa verranno seguite per progettare amplificatori ad alte prestazioni nei capitoli seguenti.

14.6.4 Resistenze di ingresso e uscita

La resistenza di ingresso può essere calcolata con l'aiuto del circuito riportato nella Figura 14.27. R_{in} viene calcolata ricavando un'espressione per i_x in funzione di v_x :

$$i_x = \frac{v_x - v_o}{R_F} = \frac{v_x - (-A_v v_x)}{R_F} = v_x \left(\frac{1 + A_v}{R_F} \right) \quad \text{e} \quad R_{in} = \frac{v_x}{i_x} = \frac{R_F}{1 + A_v} \quad (14.60)$$

Nel caso di guadagno di tensione elevato, la resistenza di ingresso è circa uguale alla resistenza di retroazione R_F divisa per il guadagno dell'amplificatore.

Se la sorgente di ingresso v_i viene azzerata nella Figura 14.24(b), si vede immediatamente che la resistenza di uscita è data da

$$R_{out} = R_F \parallel r_{o1} \parallel r_{o2} \parallel \frac{1}{g_{m2}(1 + \eta)} \quad \text{o} \quad R_{out} = R_F \parallel r_{o1} \parallel r_{o2} \quad (14.61)$$

a seconda della configurazione dell'invertitore.

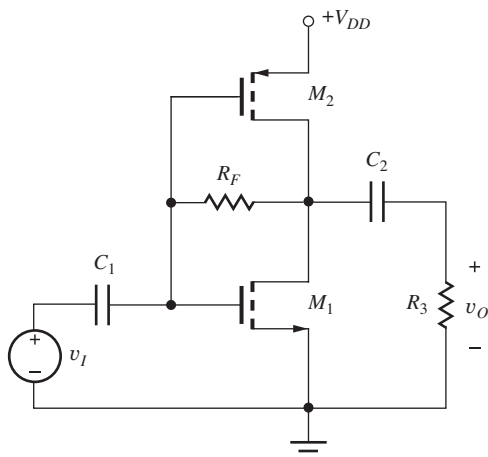


Figura 14.26 Amplificatore a source comune basato sull'invertitore CMOS.

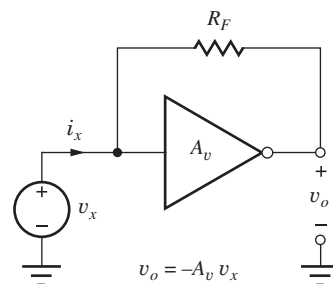


Figura 14.27 Circuito per calcolare la resistenza di ingresso.

ESERCIZIO Trovare il punto di lavoro Q dell'amplificatore nella Figura 14.24 nel caso in cui $R_F = 1\text{ M}\Omega$, $K'_n = 100\text{ }\mu\text{A/V}^2$, $V_{TN} = 1\text{ V}$, $\lambda = 0.02\text{ V}^{-1}$, $(W/L)_1 = 8/1$, $(W/L)_2 = 2/1$ e $V_{DD} = 5\text{ V}$.

RISPOSTA $V_O = 2.01\text{ V}$, $I_O = 421\text{ }\mu\text{A}$.

ESERCIZIO Trovare il punto di lavoro Q dell'amplificatore in Figura 14.26 nel caso in cui $R_F = 560\text{ k}\Omega$, $K'_n = 100\text{ }\mu\text{A/V}^2$, $K'_p = 40\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.7\text{ V}$, $V_{TP} = -0.7\text{ V}$, $\lambda = 0.02\text{ V}^{-1}$, $(W/L)_1 = 20/1$, $(W/L)_2 = 50/1$ e $V_{DD} = 3.3\text{ V}$.

RISPOSTA $V_O = 1.65\text{ V}$, $I_O = 932\text{ }\mu\text{A}$.

SCELTA DI UN AMPLIFICATORE

Esempio 14.4

Una delle prime cose da fare per risolvere un problema di progetto circuitale è decidere quale topologia utilizzare. Nel seguito vengono forniti alcuni esempi.

Quale configurazione di amplificatore è la più idonea per ciascuna delle seguenti applicazioni?

PROBLEMI

- Amplificatore a singolo transistor con un guadagno di circa 80 dB e una resistenza di ingresso di 100 k Ω .
- Amplificatore a singolo transistor con un guadagno di 52 dB e una resistenza di ingresso di 250 k Ω .
- Amplificatore a singolo transistor con un guadagno di 30 dB e una resistenza di ingresso di 5 M Ω .
- Amplificatore a singolo transistor con un guadagno di circa 0 dB, una resistenza di ingresso di 20 M Ω e un resistore di carico di 10 k Ω .
- Inseguitore con un guadagno di almeno 0.98, una resistenza di ingresso di almeno 250 k Ω con una resistenza di carico di 5 k Ω .
- Amplificatore a singolo transistor con un guadagno di +10 e una resistenza di ingresso di 2 k Ω .
- Amplificatore con una resistenza di uscita di 25 Ω .

Informazioni e dati noti: In ciascun caso è fornita una quantità minima di informazione, tipicamente solo un guadagno di tensione e una specifica su una resistenza.

SOLUZIONE

Incognite: Topologie circuitali.

Approccio: Si utilizzino le stime del guadagno di tensione, della resistenza di ingresso e della resistenza di uscita delle diverse configurazioni per operare una scelta.

Ipotesi: Valori tipici del guadagno di corrente, della tensione di Early, della tensione di alimentazione e così via verranno considerati assegnati:

$$\beta_o = 100, 0.25\text{ V} \leq V_{GS} - V_{TN} \leq 1\text{ V}, V_T = 25\text{ mV}, V_A \leq 80\text{ V}, 1/\lambda \leq 80\text{ V}.$$

Analisi:

- Il guadagno di tensione richiesto è $A_v = 10^{80/20} = 10\,000$. Questo valore supera il guadagno intrinseco di tensione del miglior BJT:

$$A_v \leq \mu_f = V_A/V_T = 80\text{ V}/(25\text{ mV}) = 3200$$

Un MOSFET ha un valore di guadagno intrinseco molto minore, pertanto il problema non può essere risolto con un amplificatore a singolo transistor.

- Riguardo il secondo set di specifiche, abbiamo $R_{in} = 250\text{ k}\Omega$ e $A_v = 10^{52/20} \approx 400$. È richiesto sia un elevato guadagno che una elevata resistenza di ingresso e ciò orienta la scelta verso un amplificatore a emettitore comune. Per lo stadio C-E, $A_v \approx V_{RL}/V_T$ che implica 10 V di caduta sulla resistenza di carico e circa altrettanti sul transistor. La tensione di alimentazione complessiva vale quindi circa $V_{CC} = 20\text{ V}$, che rappresenta un valore (quasi) ragionevole. Per ottenere la resistenza di ingresso desiderata, occorre che r_π sia maggiore di 250 k Ω :

$$r_\pi = \frac{\beta_o V_T}{I_C} \geq 250\text{ k}\Omega \rightarrow I_C \leq \frac{100(25\text{ mV})}{250\text{ k}\Omega} = 10\text{ }\mu\text{A}$$

che è piccolo ma accettabile. Soddisfare le specifiche sul guadagno con un MOS sarebbe più complicato. Per esempio, anche con una bassa tensione in gate, si ha:

$$A_v = \frac{V_{DD}}{V_{GS} - V_{TN}} \approx \frac{V_{DD}}{0.25 \text{ V}} \rightarrow V_{DD} = 100 \text{ V}$$

che rappresenta una tensione di alimentazione troppo grande per la maggior parte dei progetti in elettronica dello stato solido. Si noti che il segno del guadagno non è stato specificato, per cui va bene sia un guadagno positivo che uno negativo. Tuttavia, la resistenza di ingresso degli amplificatori non invertenti (C-B o C-G) è piuttosto bassa.

- (c) In questo caso si richiede $R_{in} = 5 \text{ M}\Omega$ e $A_v = 10^{30/20} \approx 31.6$, cioè una grande resistenza di ingresso e un moderato guadagno. Queste specifiche possono essere facilmente soddisfatte con un amplificatore a source comune:

$$A_v = \frac{V_{DD}}{V_{GS} - V_{TN}} = \frac{15 \text{ V}}{0.5 \text{ V}} = 30$$

La resistenza di ingresso è fissata dalla scelta dei resistori di polarizzazione del gate (R_1 e R_2 in Figura 14.2) e $5 \text{ M}\Omega$ può essere ottenuto mediante resistori standard.

Poiché il guadagno non è troppo elevato, uno stadio C-E con un resistore sull'emettitore potrebbe ugualmente essere usato per ottenere l'elevata resistenza di ingresso richiesta, tuttavia i valori dei resistori di polarizzazione della base potrebbero rappresentare un fattore limitante. Per esempio, le specifiche sulla resistenza di ingresso e sul guadagno possono essere soddisfatte in maniera approssimata con:

$$R_{in} \approx \beta_o R_E \geq 5 \text{ M}\Omega \rightarrow R_E \geq \frac{5 \text{ M}\Omega}{100} = 50 \text{ k}\Omega \quad \text{e} \quad |A_v| = \frac{R_L}{R_E} \rightarrow R_L = 1.5 \text{ M}\Omega$$

- (d) Un guadagno di 0 dB corrisponde a un inseguitore. Per un inseguitore di emettitore si ha $R_{in} \approx \beta_o R_L \approx 100(10 \text{ k}\Omega) = 1 \text{ M}\Omega$; il BJT non è pertanto in grado di soddisfare le specifiche sulla resistenza di ingresso. Un inseguitore di source, invece, fornisce un guadagno circa unitario e può facilmente presentare la richiesta resistenza di ingresso.
- (e) Un guadagno di 0.98 e una resistenza di ingresso di $250 \text{ k}\Omega$ possono essere agevolmente ottenuti sia con un inseguitore di source che con un inseguitore di emettitore. Utilizzando un MOSFET

$$A_v = \frac{g_m R_L}{1 + g_m R_L} = 0.98 \quad \text{richiede} \quad g_m R_L = \frac{2I_D R_L}{V_{GS} - V_{TN}} = 49$$

che può essere soddisfatta con $I_D R_L = 12.3 \text{ V}$ per $V_{GS} - V_{TN} = 0.5 \text{ V}$.

Il BJT consente di ottenere il guadagno richiesto con un valore molto minore della tensione di alimentazione e contemporaneamente soddisfare la richiesta sulla resistenza di ingresso: $R_{in} \approx \beta_o R_L \approx 100(5 \text{ k}\Omega) = 500 \text{ k}\Omega$.

$$g_m R_L = \frac{I_C R_L}{V_T} = 49 \rightarrow I_C R_L = 49(25 \text{ mV}) = 1.23 \text{ V}$$

- (f) Un amplificatore non invertente con un guadagno di 10 e una resistenza di ingresso di $2 \text{ k}\Omega$ dovrebbe essere realizzabile sia con uno stadio a base comune che con uno stadio a gate comune, scegliendo opportunamente il punto di lavoro. Un guadagno di 10 è facilmente ottenibile usando un MOSFET o un BJT. $A_v = V_{DD}/(V_{GS} - V_{TN})$ o $A_v = V_{RL}/V_T$, $R_{in} \approx 1/g_m = 2 \text{ k}\Omega$, raggiungibile facilmente con entrambi i transistori.
- (g) Venticinque ohm rappresenta un valore piccolo di resistenza di uscita. Gli stadi inseguitori rappresentano l'unica scelta che fornisce una bassa resistenza di uscita. Per gli inseguitori si ha $R_{out} = 1/g_m$ per cui è necessario avere $g_m = 40 \text{ mS}$.

$$\text{Per il BJT: } I_C = g_m V_T = 40 \text{ mS}(25 \text{ mV}) = 1 \text{ mA}$$

$$\begin{aligned}\text{Per il MOSFET: } I_D &= \frac{g_m(V_{GS} - V_{TN})}{2} = \frac{40 \text{ mS}(0.5 \text{ V})}{2} = 10 \text{ mA} \\ K_n &= \frac{g_m^2}{2I_D} = \frac{(40 \text{ mS})^2}{2(10 \text{ mA})} = 80 \frac{\text{mA}}{\text{V}^2} \\ \frac{W}{L} &= \frac{K_n}{K'_n} = \frac{80 \text{ mA/V}^2}{50 \mu\text{A/V}^2} = 1600\end{aligned}$$

La richiesta può essere soddisfatta da entrambe le configurazioni, tuttavia il BJT richiede una corrente di un ordine di grandezza minore. Inoltre, il MOSFET richiede un elevato rapporto d'aspetto W/L .

Discussione: Le scelte presentate, basate su amplificatori a singolo transistor, rappresentano un primo tentativo e non vi è garanzia che saremo veramente capaci di soddisfare pienamente le desiderate specifiche. Dopo aver definito un progetto completo, potremmo essere costretti a cambiare le cose o a utilizzare più di un transistor in una configurazione di amplificatore più complessa.

ESERCIZIO Si stimi la corrente di collettore necessaria in un BJT per soddisfare le specifiche sulla resistenza di ingresso relative al punto (f) dell'Esempio 14.4.

RISPOSTA 12.5 μA .

14.7 Progetto dei condensatori di accoppiamento e di bypass

Fino a questo punto abbiamo assunto che le impedenze dei condensatori di accoppiamento e di bypass fossero trascurabili e abbiamo focalizzato l'attenzione sulla comprensione delle proprietà degli amplificatori a singolo transistor nella cosiddetta regione di "medie frequenze". Tuttavia, poiché l'impedenza di un condensatore cresce al diminuire della frequenza, i condensatori di accoppiamento e di bypass causano generalmente una riduzione del guadagno alle basse frequenze. In questo paragrafo vedremo come scegliere i valori di questi condensatori per assicurare la validità dell'assunzione fatta circa l'esistenza di un'adeguata regione di medie frequenze. Ciascuna delle tre classi di amplificatori verrà analizzata in successione. La tecnica che useremo è il metodo delle costanti di tempo in "cortocircuito" (SCTC), che verrà studiato in maggiore dettaglio nel Capitolo 17. Nell'utilizzare questa tecnica ciascun condensatore viene considerato separatamente, mentre tutti gli altri sono sostituiti da un cortocircuito ($C \rightarrow \infty$).

14.7.1 Amplificatori a emettitore comune e a source comune

Iniziamo con la scelta dei condensatori per gli amplificatori C-E e C-S di Figura 14.2. Assumiamo, per il momento, che C_2 sia ancora di capacità infinita così che la parte finale di R_E (R_4 di Figura 14.2(a) e (b)) è cortocircuitata come indicato nelle Figure 14.28(a) e (b).

Condensatori di accoppiamento C_1 e C_3

Consideriamo per prima cosa C_1 . Per poter trascurare il suo effetto, è necessario che il valore della sua impedenza (la sua reattanza capacitiva) sia molto minore della resistenza equivalente che appare ai suoi capi. Riferendosi alla Figura 14.28, si vede che la resistenza che appare guardando a sinistra del condensatore è R_I , mentre quella che appare guardando a destra è R_{in} . Pertanto, il progetto di C_1 richiede

$$\frac{1}{\omega C_1} \ll (R_I + R_{in}) \quad \text{o} \quad C_1 \gg \frac{1}{\omega(R_I + R_{in})} \quad (14.62)$$

La frequenza ω è scelta come la minima frequenza per la quale si può considerare l'amplificatore alle medie frequenze per l'applicazione assegnata.

Per lo stadio a emettitore comune, il resistore di polarizzazione R_B compare in parallelo alla resistenza di ingresso del transistor, per cui $R_{in} = R_B \parallel R_{iB}$. Per lo stadio a source comu-

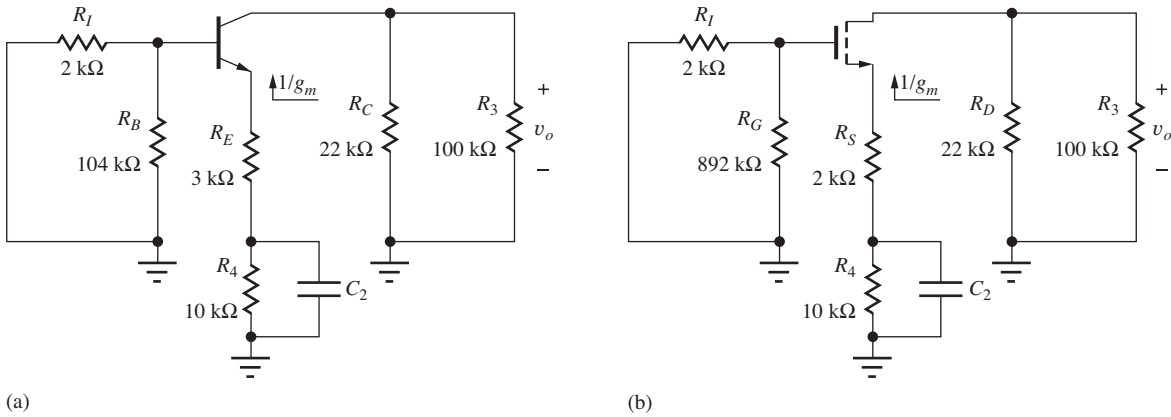


Figura 14.29 Condensatori di bypass negli amplificatori a emettitore comune e a source comune.

Un'analisi simile vale nel caso di C_3 . Si richiede che la reattanza del condensatore sia molto più piccola della resistenza equivalente ai suoi capi. Riferendoci alla Figura 14.28(b), la resistenza che si vede alla sinistra del condensatore C_3 è R_{out} e alla destra è R_3 . Pertanto C_3 deve verificare la condizione:

$$\frac{1}{\omega C_3} \ll (R_{out} + R_3) \quad \text{o} \quad C_3 \gg \frac{1}{\omega(R_{out} + R_3)} \quad (14.63)$$

Per lo stadio a emettitore comune il resistore di collettore R_C appare in parallelo alla resistenza di uscita del transistor ed è $R_{out} = R_C \parallel R_{ic}$. Analogamente, per lo stadio a source comune, si ha $R_{out} = R_D \parallel R_{id}$.

Condensatore di bypass C_2

La formula per C_2 è alquanto differente. La Figura 14.29 illustra il circuito assumendo di trascurare l'impedenza dei condensatori C_1 e C_3 . Ai terminali di C_2 nella Figura 14.29(a), la resistenza equivalente è pari al parallelo di R_4 e $(R_E + 1/g_m)$,¹ resistenza vista guardando verso l'emettitore del transistor. Pertanto, per gli amplificatori C-E e C-S, C_2 deve verificare la condizione:

$$C_2 \gg \frac{1}{\omega \left[R_4 \parallel \left(R_E + \frac{1}{g_m} \right) \right]} \quad \text{o} \quad C_2 \gg \frac{1}{\omega \left[R_4 \parallel \left(R_S + \frac{1}{g_m} \right) \right]} \quad (14.64)$$

Per soddisfare le disuguaglianze dalla (14.62) alla (14.64) sceglieremo i valori delle capacità circa 10 volte maggiori di quelli ottenuti dalle equazioni.

DIMENSIONAMENTO DEI CONDENSATORI PER GLI AMPLIFICATORI C-E E C-S

Esempio 14.5

In questo esempio vengono scelti i valori dei tre condensatori in entrambe le configurazioni di amplificatori invertenti riportate nelle Figure 14.2, 14.28 e 14.29.

PROBLEMA

Si scelgano i valori dei condensatori di accoppiamento e di bypass per gli amplificatori di Figura 14.2 in modo da poter trascurare la loro presenza alla frequenza di 1 kHz (cioè rappresenta una scelta arbitraria nel campo delle frequenze audio).

Informazioni e dati noti: Frequenza $f = 1000$ Hz; per lo stadio C-E descritto in Figura 14.2 e Tabella 14.2, $R_{IB} = 310$ kΩ, $R_{IC} = 4.55$ MΩ, $R_I = 2$ kΩ, $R_B = 104$ kΩ, $R_C = 22$ kΩ, $R_E = 3$ kΩ, $R_4 = 10$ kΩ e $R_3 = 100$ kΩ; per lo stadio C-S dalla Tabella 14.3, $R_{IG} \rightarrow \infty$, $R_{ID} = 442$ kΩ, $R_I = 2$ kΩ, $R_G = 892$ kΩ, $R_D = 22$ kΩ, $R_S = 2$ kΩ, $R_4 = 10$ kΩ e $R_3 = 100$ kΩ.

SOLUZIONE

¹ Nel caso del BJT, trascuriamo il termine $R_{th}/(\beta_0 + 1)$, che porterebbe a un aumento della resistenza equivalente. Di conseguenza, l'Equazione (14.64) rappresenta una stima conservativa.

Incognite: Valori dei condensatori C_1 , C_2 e C_3 per gli amplificatori a emettitore comune e a source comune.

Approccio: Si sostituiscano i valori numerici nelle Equazioni dalla (14.62) alla (14.64). Scegliere i valori più idonei dalle tabelle dell'Appendice A.

Ipotesi: Valgono le condizioni di piccolo segnale, $V_T = 25$ mV.

Analisi: Per l'amplificatore C-E,

$$R_{in} = R_B \parallel R_{iB} = 104 \text{ k}\Omega \parallel 310 \text{ k}\Omega = 77.9 \text{ k}\Omega$$

$$R_{out} = R_C \parallel R_{iC} = 22 \text{ k}\Omega \parallel 4.55 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

$$C_1 \gg \frac{1}{\omega(R_I + R_{in})} = \frac{1}{2\pi(1 \text{ kHz})(2 \text{ k}\Omega + 77.9 \text{ k}\Omega)} = 1.99 \text{ nF} \rightarrow C_1 = 20 \text{ nF}$$

$$C_2 \gg \frac{1}{\omega \left[R_4 \parallel \left(R_E + \frac{1}{g_m} \right) \right]} = \frac{1}{2\pi(1 \text{ kHz}) \left[10 \text{ k}\Omega \parallel \left(3 \text{ k}\Omega + \frac{1}{9.80 \text{ mS}} \right) \right]}$$

$$= 67.2 \text{ nF} \rightarrow C_2 = 680 \text{ nF}$$

$$C_3 \gg \frac{1}{\omega(R_{out} + R_3)} = \frac{1}{2\pi(1 \text{ kHz})(21.9 \text{ k}\Omega + 100 \text{ k}\Omega)} = 1.31 \text{ nF} \rightarrow C_3 = 15 \text{ nF}$$

Per l'amplificatore C-S, $R_{in} = R_G$ poiché la resistenza di ingresso del transistor è infinita e $R_{out} = R_D \parallel R_{iD}$

$$C_1 \gg \frac{1}{\omega(R_I + R_{in})} = \frac{1}{2\pi(1 \text{ kHz})(2 \text{ k}\Omega + 892 \text{ k}\Omega)} = 178 \text{ pF} \rightarrow C_1 = 1.8 \text{ nF}$$

$$C_2 \gg \frac{1}{\omega \left[R_4 \parallel \left(R_S + \frac{1}{g_m} \right) \right]} = \frac{1}{2\pi(1 \text{ kHz}) \left[10 \text{ k}\Omega \parallel \left(2 \text{ k}\Omega + \frac{1}{0.491 \text{ mS}} \right) \right]}$$

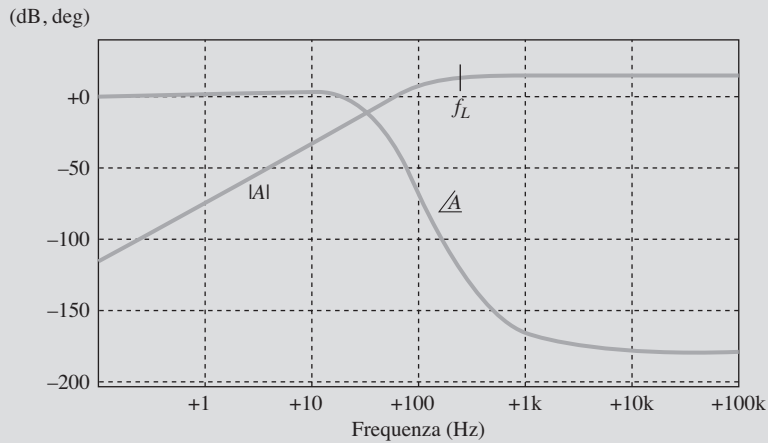
$$= 55.3 \text{ nF} \rightarrow C_2 = 560 \text{ nF}$$

$$C_3 \gg \frac{1}{\omega(R_{out} + R_3)} = \frac{1}{2\pi(1 \text{ kHz})(21.5 \text{ k}\Omega + 100 \text{ k}\Omega)} = 1.31 \text{ nF} \rightarrow C_3 = 15 \text{ nF}$$

Verifica dei risultati: Una doppia verifica indica che i calcoli sono corretti. È opportuno comunque verificare ulteriormente con una simulazione.

Discussione: Abbiamo scelto ciascun condensatore in modo che presenti una reattanza trascurabile alla frequenza di 1 kHz e ci aspettiamo che la frequenza di taglio inferiore dell'amplificatore sia ben inferiore a questa frequenza. La scelta della frequenza in questo esempio è stata arbitraria, in generale dipende dalla minima frequenza di interesse per l'applicazione.

Analisi assistita da calcolatore: Il grafico riportato di seguito mostra i risultati di una simulazione SPICE dell'amplificatore C-E con i valori dei condensatori precedentemente determinati. Il guadagno di centro banda è 15.0 dB e la frequenza di taglio inferiore è 195 Hz. Si noti la pendenza di 40 dB/decade nel diagramma dell'ampiezza che indica la presenza di due zeri nell'origine associati ai condensatori C_1 e C_3 , infatti un segnale in continua non può passare attraverso i due condensatori. In definitiva, l'amplificatore presenta tre poli in bassa frequenza a 100 Hz (1 kHz/10) e un restringimento della banda (si veda il Paragrafo 14.7.4) causa lo spostamento della frequenza di taglio inferiore f_L a 195 Hz.



Risposta in frequenza dell'amplificatore a emettitore comune.

ESERCIZIO Si ricalcolino i valori dei condensatori per i due amplificatori dell'Esempio 14.5 nel caso in cui la frequenza è 250 Hz e i valori di R_I e R_3 sono rispettivamente 1 k Ω e 82 k Ω .

RISPOSTE 8.05 nF $\rightarrow$ 82 nF, 269 nF $\rightarrow$ 2.7 μ F, 6.13 nF $\rightarrow$ 68 nF, 713 pF $\rightarrow$ 8.2 nF, 6.40 nF $\rightarrow$ 68 nF, 221 nF $\rightarrow$ 2.2 μ F.

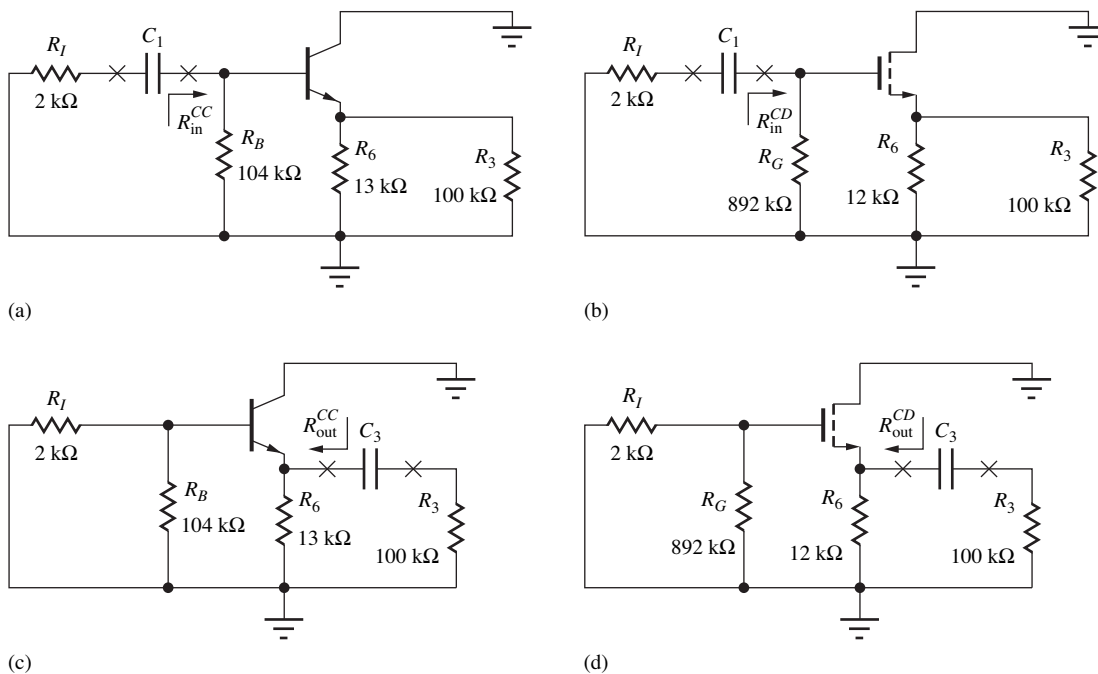
ESERCIZIO Si utilizzi SPICE per trovare la risposta in frequenza dell'amplificatore a source comune e si calcolino il guadagno alle medie frequenze e la frequenza di taglio inferiore.

RISPOSTE 12.8 dB; 185 Hz.

14.7.2 Amplificatori a collettore comune e a drain comune

Le versioni semplificate degli amplificatori C-C e C-D di Figura 14.4 hanno solo due condensatori di accoppiamento. Per poter trascurare C_1 , la sua reattanza deve essere molto minore della resistenza equivalente che appare ai suoi capi. Dalla Figura 14.30 si nota che la

Figura 14.30
Condensatori di accoppiamento negli amplificatori a collettore comune e a drain comune.



resistenza che si vede alla sinistra di C_1 è R_I , mentre alla destra è R_{in} . Pertanto, per il dimensionamento di C_1 si può usare l'Equazione (14.62):

$$\frac{1}{\omega C_1} \ll (R_I + R_{in}) \quad \text{o} \quad C_1 \gg \frac{1}{\omega(R_I + R_{in})} \quad (14.65)$$

Bisogna tener presente che i valori delle resistenze di ingresso e di uscita nell'Equazione (14.65) saranno diversi da quelli dell'Equazione (14.62). Per lo stadio a collettore comune il resistore di polarizzazione R_B riduce la resistenza di ingresso del transistor per cui $R_{in} = R_B \parallel R_{iB}$. Per lo stadio a drain comune il resistore di polarizzazione di gate R_G si trova in parallelo alla resistenza di ingresso del transistor e $R_{in} = R_G \parallel R_{iG}$.

Riguardo C_3 , la resistenza che si vede guardando alla sua sinistra è R_{out} , mentre guardando alla sua destra è R_3 . Pertanto il dimensionamento di C_3 richiede:

$$\frac{1}{\omega C_3} \ll (R_{out} + R_3) \quad \text{o} \quad C_3 \gg \frac{1}{\omega(R_{out} + R_3)} \quad (14.66)$$

dove $R_{out} = R_6 \parallel R_{iE}$ oppure $R_{iE} = R_6 \parallel R_{iS}$, poiché R_6 si trova in parallelo alla resistenza di uscita del transistor. Si noti che ancora una volta il valore di R_{out} nell'Equazione (14.66) è diverso da quello nell'Equazione (14.63).

Esempio 14.6

DIMENSIONAMENTO DEI CONDENSATORI PER GLI AMPLIFICATORI C-C E C-D

In questo esempio vengono scelti i valori dei condensatori per gli inseguitori riportati in Figura 14.4 e 14.30.

PROBLEMA Si scelgano i valori dei condensatori di accoppiamento e di bypass per gli amplificatori di Figura 14.4 e 14.30 in modo da poter trascurare la loro presenza alla frequenza di 2 kHz.

Informazioni e dati noti: Frequenza $f = 2000$ Hz; per lo stadio C-C descritto in Figura 14.4 e Tabella 14.4, $R_{iB} = 1.17$ M Ω , $R_{iE} = 0.121$ k Ω , $R_6 = 13$ k Ω , $R_I = 2$ k Ω , $R_B = 104$ k Ω , $R_3 = 100$ k Ω ; per lo stadio C-D, $R_{iG} \rightarrow \infty$, $R_{iS} = 2.04$ k Ω , $R_6 = 12$ k Ω , $R_I = 2$ k Ω , $R_G = 892$ k Ω , $R_3 = 100$ k Ω .

SOLUZIONE **Incognite:** Valori dei condensatori C_1 e C_3 per gli amplificatori a collettore comune e a drain comune.

Approccio: Si sostituiscano i valori numerici nelle Equazioni (14.65) e (14.66). Si scelgano i valori più idonei dalle tabelle dell'Appendice A.

Ipotesi: Valgono le condizioni di piccolo segnale.

Analisi: Per l'amplificatore C-C,

$$R_{in} = R_B \parallel R_{iB} = 104 \text{ k}\Omega \parallel 1.17 \text{ M}\Omega = 95.5 \text{ k}\Omega$$

$$C_1 \gg \frac{1}{\omega(R_I + R_{in})} = \frac{1}{2\pi(2 \text{ kHz})(2 \text{ k}\Omega + 95.5 \text{ k}\Omega)} = 816 \text{ pF} \rightarrow C_1 = 8.2 \text{ nF} (\approx 10 \times 816 \text{ pF})$$

$$R_{out} = R_6 \parallel R_{iE} = 13 \text{ k}\Omega \parallel 121 \Omega = 120 \Omega$$

$$C_3 \gg \frac{1}{\omega(R_{out} + R_3)} = \frac{1}{2\pi(2 \text{ kHz})(120 \Omega + 100 \text{ k}\Omega)} = 795 \text{ pF} \rightarrow C_3 = 8.2 \text{ nF}$$

Per l'amplificatore C-D,

$$R_{in} = R_G \parallel R_{iG} = R_G = 892 \text{ k}\Omega \quad \text{poiché} \quad R_{iG} \rightarrow \infty$$

$$C_1 \gg \frac{1}{\omega(R_I + R_{in})} = \frac{1}{2\pi(2 \text{ kHz})(2 \text{ k}\Omega + 892 \text{ k}\Omega)} = 89.0 \text{ pF} \rightarrow C_1 = 1 \text{ nF}$$

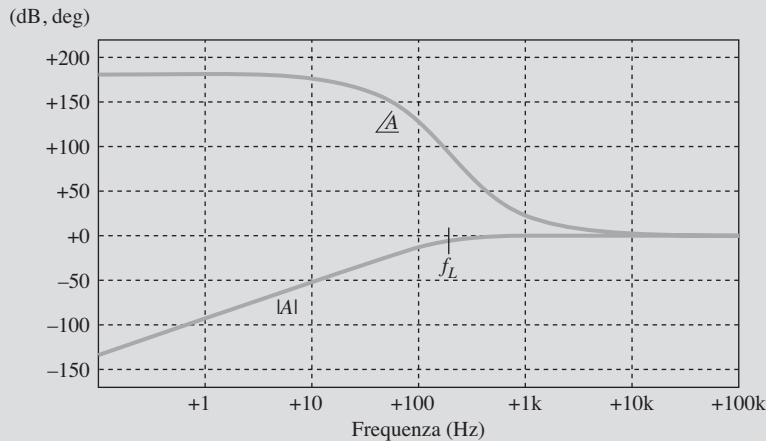
$$R_{out} = R_6 \parallel R_{iS} = 12 \text{ k}\Omega \parallel 2.04 \text{ k}\Omega = 1.74 \text{ k}\Omega$$

$$C_3 \gg \frac{1}{\omega(R_{out} + R_3)} = \frac{1}{2\pi(2 \text{ kHz})(1.74 \text{ k}\Omega + 100 \text{ k}\Omega)} = 782 \text{ pF} \rightarrow C_3 = 8.2 \text{ nF}$$

Verifica dei risultati: Una doppia verifica indica che i calcoli sono corretti. È opportuno comunque verificare ulteriormente con una simulazione.

Discussione: Abbiamo scelto ciascun condensatore in modo che presenti una reattanza trascurabile alla frequenza di 2 kHz, e ci aspettiamo che la frequenza di taglio inferiore dell'amplificatore sia ben inferiore a questa frequenza. La scelta della frequenza in questo esempio è stata arbitraria; in generale dipende dalla minima frequenza di interesse per l'applicazione.

Analisi assistita da calcolatore: Il grafico riportato di seguito mostra i risultati di una simulazione SPICE dell'amplificatore C-C con i valori dei condensatori precedentemente determinati. Il guadagno di centro banda è -0.262 dB (0.970) e la frequenza di taglio inferiore è 310 Hz. Si noti la pendenza di 40 dB/decade nel diagramma della ampiezza che indica la presenza di due zeri nell'origine associati ai condensatori C_1 e C_3 ; infatti un segnale in continua non può passare attraverso i due condensatori.



Risposta in frequenza dell'inseguitore di emettitore.

ESERCIZIO Si ricalcolino i valori dei condensatori per i due amplificatori dell'Esempio 14.6 nel caso in cui la frequenza è 250 Hz e i valori di R_I e R_3 sono rispettivamente 1 k Ω e 82 k Ω .

RISPOSTE 6.79 nF $\rightarrow$ 68 nF, 7.75 nF $\rightarrow$ 82 nF, 713 pF $\rightarrow$ 8200 pF, 7.6 nF $\rightarrow$ 82 nF.

ESERCIZIO Si utilizzi SPICE per trovare la risposta in frequenza dell'amplificatore a drain comune e si calcoli il guadagno alle medie frequenze e la frequenza di taglio inferiore.

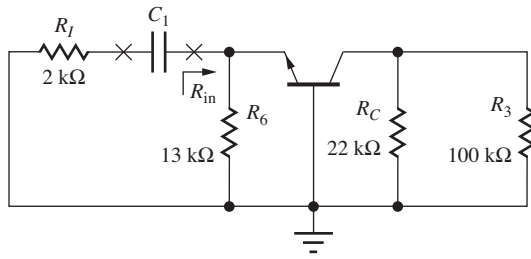
RISPOSTE -1.54 dB; 293 Hz.

14.7.3 Amplificatori a base comune e a gate comune

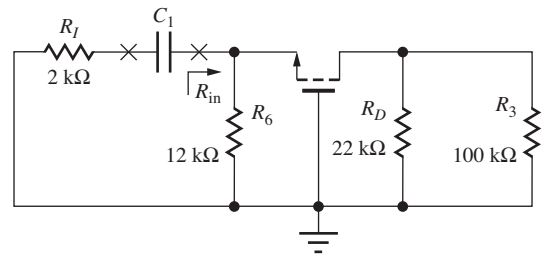
Per gli amplificatori C-B e C-G consideriamo inizialmente C_2 di valore infinito in modo che la base e il gate dei transistori in Figura 14.5 siano posti a zero volt come indicato nella Figura 14.31. Per poter trascurare C_1 , l'ampiezza della sua impedenza deve essere molto minore della resistenza equivalente che appare ai suoi capi. Dalla Figura 14.31 si evince che la resistenza vista alla sinistra del condensatore è R_I mentre alla destra è R_{in} . Pertanto il dimensionamento di C_1 , analogamente a quanto previsto dall'Equazione (14.62), è dato da:

$$\frac{1}{\omega C_1} \ll (R_I + R_{in}) \quad \text{o} \quad C_1 \gg \frac{1}{\omega(R_I + R_{in})} \quad (14.67)$$

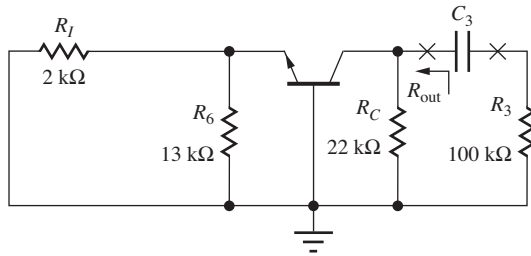
Per i due stadi amplificatori R_6 appare in parallelo alla resistenza di ingresso del transistor per cui $R_{in} = R_6 \parallel R_{IE}$ o $R_{in} = R_6 \parallel R_{IS}$.



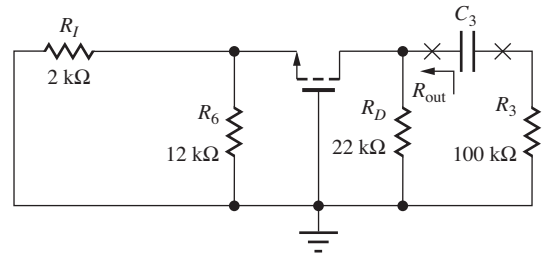
(a)



(b)



(c)



(d)

Figura 14.31
Condensatori di accoppiamento per gli amplificatori a base comune e a gate comune.

Riguardo C_3 , si nota che la resistenza alla sinistra del condensatore è R_{out} , mentre quella alla sua destra è R_3 . Pertanto il dimensionamento di C_3 richiede:

$$\frac{1}{\omega C_3} \ll (R_{out} + R_3) \quad \text{o} \quad C_3 \gg \frac{1}{\omega(R_{out} + R_3)} \quad (14.68)$$

Per i due stadi amplificatori R_C appare in parallelo alla resistenza di uscita del transistor per cui $R_{out} = R_C \parallel R_I$ o $R_{out} = R_D \parallel R_{ID}$.

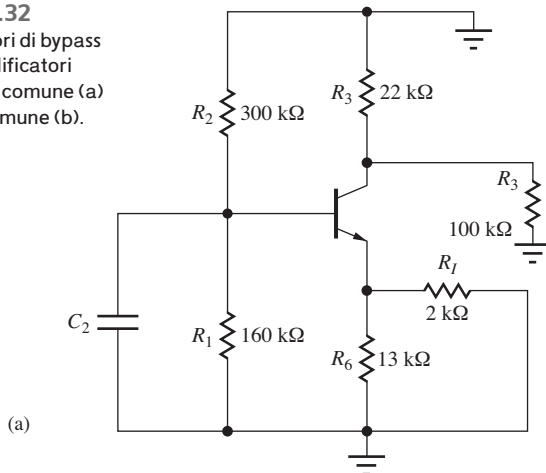
Affinché C_2 sia un efficace condensatore di bypass, la sua reattanza deve essere molto minore della resistenza equivalente al terminale di base o di gate dei transistori in Figura 14.5 quando gli altri condensatori sono di valore infinito, come mostrato in Figura 14.32. Le resistenze ai nodi di base e di gate sono, rispettivamente:

$$R_{eq}^{CB} = R_1 \parallel R_2 \parallel [r_\pi + (\beta_o + 1)(R_6 \parallel R_I)] \quad \text{e} \quad R_{eq}^{CG} = R_1 \parallel R_2 \quad (14.69)$$

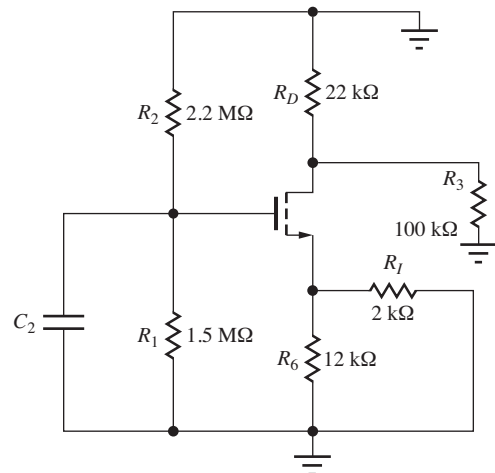
Il corrispondente valore di C_2 deve verificare la condizione:

$$C_2 \gg \frac{1}{\omega R_{eq}^{CB,CG}}$$

Figura 14.32
Condensatori di bypass per gli amplificatori a collettore comune (a) e a drain comune (b).



(a)



(b)

DIMENSIONAMENTO DEI CONDENSATORI PER GLI AMPLIFICATORI C-B E C-G

Esempio 14.7

In questo esempio vengono scelti i valori dei condensatori per gli amplificatori non invertenti riportati nelle Figure 14.5 e 14.31.

Si scelgano i valori dei condensatori di accoppiamento e di bypass per gli amplificatori di Figura 14.5 e 14.31 in modo da poter trascurare la loro presenza alla frequenza di 1 kHz.

PROBLEMA

Informazioni e dati noti: Frequenza $f = 1$ kHz; per lo stadio C-B descritto in Figura 14.5 e Tabella 14.6, $R_{iE} = 102 \Omega$, $R_{iC} = 3.40 \text{ M}\Omega$, $R_I = 2 \text{ k}\Omega$, $R_1 = 160 \text{ k}\Omega$, $R_2 = 300 \text{ k}\Omega$, $R_C = 22 \text{ k}\Omega$ e $R_6 = 13 \text{ k}\Omega$; per lo stadio C-G, $R_{iS} = 2.04 \text{ k}\Omega$, $R_{iD} = 411 \text{ k}\Omega$, $R_I = 2 \text{ k}\Omega$, $R_1 = 1.5 \text{ M}\Omega$, $R_2 = 2.2 \text{ M}\Omega$ e $R_6 = 12 \text{ k}\Omega$ e $R_D = 22 \text{ k}\Omega$.

SOLUZIONE

Incognite: Valori dei condensatori C_1 , C_2 e C_3 .

Approccio: Si sostituiscano i valori numerici nelle Equazioni dalla (14.67) alla (14.69). Scegliere i valori più idonei dalle tabelle dell'Appendice A.

Ipotesi: Valgono le condizioni di piccolo segnale.

Analisi: Per l'amplificatore C-B,

$$R_{in} = R_6 \parallel R_{iE} = 13 \text{ k}\Omega \parallel 102 \Omega = 100 \Omega$$

$$R_{out} = R_C \parallel R_{iC} = 22 \text{ k}\Omega \parallel 3.40 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

$$C_1 \gg \frac{1}{\omega(R_I + R_{in})} = \frac{1}{2\pi(1 \text{ kHz})(2 \text{ k}\Omega + 100 \Omega)} = 75.8 \text{ nF} \rightarrow C_1 = 820 \text{ nF} (\approx 10 \times 75.8 \text{ nF})$$

$$C_2 \gg \frac{1}{\omega(R_1 \parallel R_2 \parallel [r_\pi + (\beta_o + 1)(R_6 \parallel R_I)])}$$

$$= \frac{1}{2\pi(1 \text{ kHz})(160 \text{ k}\Omega \parallel 300 \text{ k}\Omega \parallel [10.2 \text{ k}\Omega + (101)(13 \text{ k}\Omega \parallel 2 \text{ k}\Omega)])}$$

$$= 2.38 \text{ nF} \rightarrow C_2 = 27 \text{ nF}$$

$$R_{out} = R_C \parallel R_{iC} = 22 \text{ k}\Omega \parallel 3.40 \text{ M}\Omega = 21.9 \text{ k}\Omega$$

$$C_3 \gg \frac{1}{\omega(R_{out} + R_3)} = \frac{1}{2\pi(1 \text{ kHz})(21.9 \text{ k}\Omega + 100 \text{ k}\Omega)} = 1.31 \text{ nF} \rightarrow C_3 = 15 \text{ nF}$$

Per l'amplificatore C-G,

$$R_{in} = R_6 \parallel R_{iS} = 12 \text{ k}\Omega \parallel 2.04 \Omega = 1.74 \text{ k}\Omega$$

$$C_1 \gg \frac{1}{\omega(R_I + R_{in})} = \frac{1}{2\pi(1 \text{ kHz})(2 \text{ k}\Omega + 1.74 \text{ k}\Omega)} = 42.6 \text{ nF} \rightarrow C_1 = 430 \text{ nF}$$

$$C_2 \gg \frac{1}{\omega(R_1 \parallel R_2)} = \frac{1}{2\pi(1 \text{ kHz})(1.5 \text{ M}\Omega \parallel 2.2 \text{ M}\Omega)} = 178 \text{ pF} \rightarrow C_2 = 1.80 \text{ nF}$$

$$R_{out} = R_6 \parallel R_{iD} = 22 \text{ k}\Omega \parallel 410 \text{ k}\Omega = 20.9 \text{ k}\Omega$$

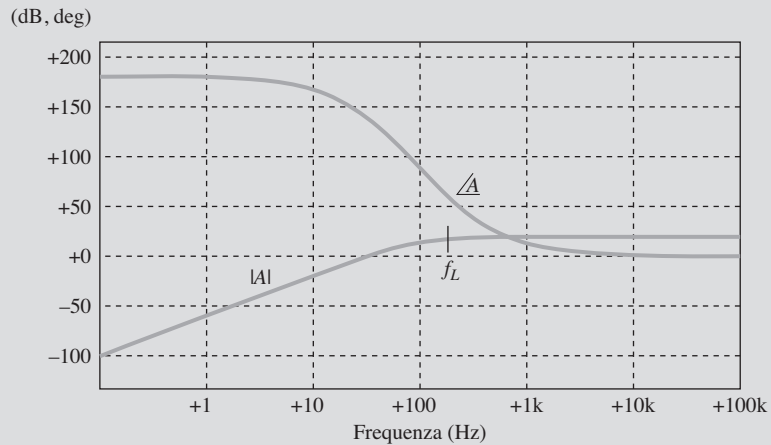
$$C_3 \gg \frac{1}{\omega(R_{out} + R_3)} = \frac{1}{2\pi(1 \text{ kHz})(20.9 \text{ k}\Omega + 100 \text{ k}\Omega)} = 1.31 \text{ nF} \rightarrow C_3 = 15 \text{ nF}$$

Verifica dei risultati: Una doppia verifica indica che i calcoli sono corretti. È opportuno comunque verificare ulteriormente con una simulazione.

Discussione: Abbiamo scelto ciascun condensatore in modo che presenti una reattanza trascurabile alla frequenza di 1 kHz, e ci aspettiamo che la frequenza di taglio inferiore dell'amplificatore sia ben inferiore a questa frequenza. La scelta della frequenza in questo esempio è stata arbitraria; in generale dipende dalla minima frequenza di interesse per l'applicazione.

Analisi assistita da calcolatore: Il grafico riportato di seguito mostra i risultati di una simulazione SPICE dell'amplificatore C-B con i valori dei condensatori appena determina-

ti. Il guadagno di centro banda è 18.5 dB (8.41) e la frequenza di taglio inferiore è 174 Hz. Si noti la pendenza di 40 dB/decade nel diagramma dell'ampiezza che indica la presenza di due zeri nell'origine associati ai condensatori C_1 e C_3 ; infatti un segnale in continua non può passare attraverso i due condensatori.



Risposta in frequenza dell'amplificatore a base comune.

ESERCIZIO Si ricalcolino i valori dei condensatori per i due amplificatori dell'Esempio 14.7 nel caso in cui la frequenza è 250 Hz e i valori di R_I e R_3 sono rispettivamente 1 kΩ e 82 kΩ.

RISPOSTE 0.578 μF → 6.8 μF, 6.37 nF → 68 nF, 9.54 nF → 100 nF, 0.209 μF → 2.2 μF, 6.44 nF → 68 nF, 714 pF → 8.2 nF.

ESERCIZIO Si utilizzi SPICE per trovare la risposta in frequenza dell'amplificatore a gate comune e si calcoli il guadagno alle medie frequenze e la frequenza di taglio inferiore.

RISPOSTE 12.2 dB; 156 Hz.

14.7.4 Fissare la frequenza di taglio inferiore

Nei paragrafi precedenti abbiamo dimensionato i condensatori di accoppiamento e di bypass al fine di poterne trascurare l'effetto a una particolare frequenza nella regione delle medie frequenze dell'amplificatore. In alternativa, è possibile scegliere i valori delle capacità per ottenere un'assegnata frequenza di taglio inferiore. Sfruttando l'analisi dei filtri passa-alto, condotta nel Paragrafo 10.10.3, si vede che il polo associato al condensatore si trova a una frequenza tale che la reattanza capacitiva è uguale alla resistenza vista ai capi del condensatore stesso.

Poli multipli e restringimento della banda passante

Nei circuiti che abbiamo considerato sono presenti diversi poli per cui si osserva un restringimento della banda passante alle basse frequenze simile a quello presentato nella Tabella 12.2 per le frequenze. Una funzione di trasferimento che presenta n poli identici a una frequenza (bassa) ω_o può essere scritta come:

$$T(s) = A_{\text{mid}} \frac{s^n}{(s + \omega_o)^n} \quad (14.70)$$

$$|T(j\omega)| = A_{\text{mid}} \frac{\omega^n}{(\sqrt{\omega^2 + \omega_o^2})^n} \quad (14.71)$$

$$|T(j\omega_L)| = \frac{A_{\text{mid}}}{\sqrt{2}} \rightarrow \omega_L = \frac{\omega_o}{\sqrt{2^{1/n} - 1}} \quad \text{o} \quad f_L = \frac{f_o}{\sqrt{2^{1/n} - 1}} \quad (14.72)$$

Il fattore al denominatore dell'Equazione (14.72) è minore dell'unità, per cui la frequenza di taglio inferiore è più alta della frequenza corrispondente ai singoli poli. La Tabella 14.14 fornisce la relazione tra ω_o e ω_L per diversi valori di n .

Negli Esempi 14.5, 14.6 e 14.7 abbiamo effettivamente collocato tre poli di ciascun amplificatore a una frequenza pari a 1/10 della frequenza di riferimento specificata dal problema. Per tre poli identici $f_L = 1.96 f_o$. Nell'Esempio 14.5 i tre poli sono stati collocati a una frequenza di 100 Hz, per cui la frequenza di taglio dovrebbe essere di 196 Hz, in base alla Tabella 14.14. La simulazione SPICE ha fornito un valore di 195 Hz. Nell'Esempio 14.7 i poli sono stati ancora collocati a una frequenza di circa 100 Hz, per cui la frequenza di taglio dovrebbe essere di 196 Hz. La simulazione ha fornito un valore leggermente minore per f_L pari a 174 Hz.

La situazione dell'Esempio 14.6 è leggermente diversa. Avendo eliminato il condensatore C_3 dal circuito, gli amplificatori C-C e C-D presentano due poli alle basse frequenze. In particolare, i poli si trovano a 200 Hz, per cui la frequenza di taglio dovrebbe trovarsi a 310 Hz. La simulazione è in perfetto accordo con $f_L = 310$ Hz.

Tabella 14.14

Restringimento della banda passante alle basse frequenze

n	f_L/f_o
1	1
2	1.55
3	1.96
4	2.30
5	2.59

Fissare f_L con un polo dominante

È spesso preferibile che uno solo dei poli determini la frequenza di taglio inferiore, piuttosto che fissare f_L come intersezione di diversi poli. Per ottenere ciò, occorre fissare f_L con uno solo dei condensatori e poi scegliere i valori degli altri condensatori in modo che le frequenze dei poli corrispondenti siano molto minori di f_L . Questa condizione è denominata **progetto a polo dominante**. Nei progetti degli Esempi 14.5, 14.6 e 14.7 si vede che i condensatori associati con l'emettitore o il source del circuito tendono a essere quelli di valore maggiore (C_2 in Figura 14.29, C_3 in Figura 14.30 e C_1 in Figura 14.31) a causa della bassa resistenza presentata dai terminali di emettitore e di source dei transistori. In genere si scelgono questi condensatori per fissare f_L e si aumentano i valori degli altri condensatori di un fattore 10 per spostare i poli corrispondenti a frequenze molto più basse.

Per lo stadio C-E dell'Esempio 14.5 è possibile fissare $f_L = 1$ kHz scegliendo $C_2 = 68$ nF e lasciando $C_1 = 20$ nF, $C_3 = 15$ nF. Nell'amplificatore C-D della Figura 14.30(b), ponendo $C_3 = 820$ pF, con $C_1 = 1$ nF, si fissa la frequenza di taglio inferiore a 2000 Hz. Infine, per l'amplificatore C-B dell'Esempio 14.7, scegliendo $C_1 = 82$ nF, $C_2 = 27$ nF e $C_3 = 15$ nF, si fissa la frequenza di taglio inferiore a circa 1 kHz.

ESERCIZIO Si utilizzi SPICE per trovare i valori di f_L per i tre progetti presentati nel precedente paragrafo.

RISPOSTE C-E: 960 Hz; C-D: 2.04 kHz; C-B: 960 Hz.

ESERCIZIO (a) Quale valore deve assumere il condensatore C_2 per avere $f_L = 1$ kHz nel progetto dell'amplificatore C-S dell'Esempio 14.5? (b) Quale valore deve assumere il condensatore C_3 per avere $f_L = 2$ kHz nel progetto dell'amplificatore C-C dell'Esempio 14.6? (c) Quale valore deve assumere il condensatore C_1 per avere $f_L = 1$ kHz nel progetto dell'amplificatore C-G dell'Esempio 14.7?

RISPOSTE (a) 56 nF; (b) 820 pF; (c) 47 nF.

14.8 Esempi di progetto di amplificatori

Ora che il lettore è diventato "esperto" riguardo gli amplificatori a singolo transistor, si utilizzeranno le conoscenze acquisite per affrontare un certo numero di problemi di progetto. Bisogna, in primo luogo, enfatizzare che non esiste un "ricettario" per i problemi di progetto. Ogni progetto è un'esperienza nuova e creativa; ciascun progetto ha un suo insieme di vincoli, e ci può essere più di una strada per ottenere il risultato desiderato. Gli esempi presentati nel seguito illustrano come impostare il progetto; essi sottolineano inoltre l'interazione tra la scelta del punto di lavoro e le caratteristiche di piccolo segnale degli amplificatori.

Esempio 14.8

PROGETTO DI UN INSEGUITORE

In questo esempio progetteremo un inseguitore che soddisfaccia un insieme di specifiche.

PROBLEMA Si progetti un inseguitore con resistenza di ingresso maggiore di $20\text{ M}\Omega$ e un guadagno di almeno 0.95 quando il carico esterno è almeno $3\text{ k}\Omega$. Ogni condensatore presente non deve influenzare le prestazioni del circuito per frequenze superiori a 50 Hz .

SOLUZIONE **Informazioni e dati noti:** $A_v \geq 0.95$, $R_{in} \geq 20\text{ M}$, $R_{out} \ll 3\text{ k}\Omega$.

Incognite: Bisogna scegliere la topologia del circuito, il punto di lavoro e determinare i valori di tutti gli elementi circuitali. I parametri del transistor sono incogniti.

Approccio: Il guadagno è circa unitario ed è richiesta un'elevata resistenza di ingresso. Inoltre, il resistore di carico relativamente piccolo impone che l'amplificatore abbia una bassa resistenza di uscita. Tutte queste specifiche ci indirizzano verso un inseguitore di tensione. Occorre scegliere tra un inseguitore di emettitore e un inseguitore di source, e poi selezionare i valori degli elementi circuitali in modo da soddisfare le specifiche.

Ipotesi: I transistori lavorano in zona attiva. Valgono le condizioni di piccolo segnale, $V_T = 25\text{ mV}$.

Analisi: Riguardando le Tabelle 14.10 e 14.12, vediamo che la resistenza di ingresso dell'amplificatore elementare C-D è infinita, mentre quella dell'amplificatore C-C è limitata da $\beta_o R_L$. Per una resistenza di carico di $3\text{ k}\Omega$ è richiesto un valore di β_o di 6600 per soddisfare la specifica sulla resistenza di ingresso. Questo guadagno di corrente è più elevato dei valori normalmente ottenibili con un BJT: scartiamo quindi l'amplificatore C-C (si tenga tuttavia presente il circuito Darlington descritto nel Paragrafo 15.2.3).

La Figura 14.33 rappresenta un tipico circuito inseguitore di source. In questo amplificatore si vede che R_{in} è rappresentata semplicemente da R_G , per cui basta prendere $R_G = 22\text{ M}\Omega$ ($\pm 5\%$) per soddisfare le specifiche (il valore di $22\text{ M}\Omega$ è scelto per essere sicuri di rientrare nelle specifiche anche con la tolleranza del 5%).

Le scelte del resistore di source R_S e delle tensioni di polarizzazione sono legate al vincolo sul guadagno di tensione:

$$\frac{g_m R_L}{1 + g_m R_L} \geq 0.95 \quad \text{o} \quad g_m R_L \geq 19 \quad \text{e} \quad R_L = R_S \parallel 3\text{ k}\Omega \quad (14.73)$$

Il prodotto $g_m R_L$ è legato alla corrente di drain e al parametro K_n del dispositivo dalla relazione $g_m \approx \sqrt{2 K_n I_D}$, quindi l'Equazione (14.73) diventa:

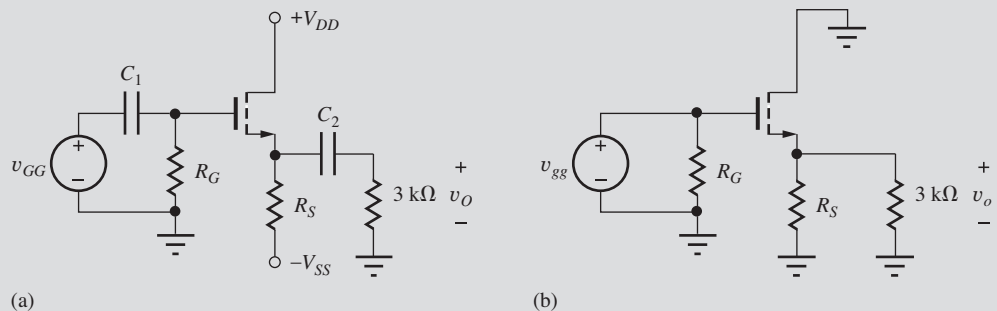
$$\sqrt{2 K_n I_D} R_L \geq 19 \quad \text{o} \quad \sqrt{K_n I_D} \geq \frac{19}{\sqrt{2} R_L} \quad (14.74)$$

Nella Figura 14.33(b), il resistore di carico equivalente è $R_L = R_S \parallel 3\text{ k}\Omega \leq 3\text{ k}\Omega$. Come spesso accade, un'equazione contiene più di una incognita. Bisogna operare una scelta di progetto. Scegliamo $R_L \geq 1.5\text{ k}\Omega$ (cioè $R_S \geq 3\text{ k}\Omega$). Sostituendo questo valore nell'Equazione (14.74) si ottiene:

$$\sqrt{K_n I_D} \geq \frac{19/\sqrt{2}}{1.5\text{ k}\Omega} = 8.96\text{ mA} \quad (14.75)$$

Figura 14.33

(a) Amplificatore a drain comune e (b) circuito equivalente AC.



L'Equazione (14.75) indica che la media geometrica tra K_n e I_D deve essere almeno 9 mS.

Dobbiamo ora scegliere un MOS e la corrente nel punto di lavoro. Ancora, l'Equazione (14.75) contiene due incognite. Dobbiamo prendere un'altra decisione. La Tabella 14.15 presenta alcune possibili coppie di soluzioni per l'Equazione (14.76) e la loro influenza sui valori di $(V_{GS} - V_{TN})$, nonché i valori dell'alimentazione negativa V_{SS} :

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2 \quad (14.76)$$

e

$$V_{SS} = I_D R_S + V_{GS} \quad (14.77)$$

in base all'analisi del circuito equivalente in continua di Figura 14.34 (si ricordi che $I_G = 0$). La scelta di $I_D = 5$ mA con $K_n = 20$ mA/V² sembra ragionevole anche se la tensione di alimentazione potrebbe essere troppo elevata per alcune applicazioni

Si assuma di aver cercato nel nostro catalogo dei dispositivi e di aver trovato un MOSFET con $V_{TN} = 1.5$ V e $K_n = 20$ mA/V². Valutando l'Equazione (14.76) per questo MOS si ottiene:

$$V_{GS} = V_{TN} + \sqrt{\frac{2I_D}{K_n}} = 1.5 \text{ V} + \sqrt{\frac{2(5 \text{ mA})}{20 \text{ mA/V}^2}} = 2.21 \text{ V} \quad (14.78)$$

Possiamo ora trovare R_S mediante l'Equazione (14.78):

$$R_S = \frac{V_{SS} - V_{GS}}{I_D} = \frac{V_{SS} - 2.21 \text{ V}}{5 \text{ mA}} \quad (14.79)$$

Tabella 14.15 Possibili soluzioni dell'Equazione (14.75)

I_D (mA)	K_n (mA/V ²)	$(V_{GS} - V_{TN})$ (V)	V_{SS} (V)
3	10	0.78	$9.8 + V_{TN}$
5	10	1	$16 + V_{TN}$
8	10	1.27	$25.3 + V_{TN}$
5	20	0.71	$16.7 + V_{TN}$

Abbiamo scelto i valori di V_{GS} e I_D ma non di V_{SS} e l'Equazione (14.79) è un'altra equazione con due incognite (i valori riportati nella Tabella 14.15 rappresentavano solo un limite inferiore). La Tabella 14.16 presenta diverse coppie di soluzioni possibili tra cui fare una scelta. Poiché precedentemente abbiamo trovato la condizione $R_S \geq 3$ k Ω , una scelta accettabile è $V_{SS} = 20$ V e $R_S = 3.56$ k Ω .

Resta da scegliere il valore di V_{DD} , che deve essere sufficientemente elevato da garantire che il MOSFET lavori nella regione attiva per tutti i valori significativi di segnale applicato:

$$v_{DS} \geq v_{GS} - V_{TN} \quad (14.80)$$

e

$$v_{DS} = v_D - v_S = V_{DD} + V_{GS} - v_S \quad (14.81)$$

per $v_S = V_S + v_s$ e $V_S = -V_{GS}$. Combinando queste due ultime equazioni si ottiene:

$$V_{DD} + V_{GS} - v_S \geq V_{GS} - V_{TN} \quad \text{o} \quad V_{DD} \geq v_S - V_{TN} = v_S - 1.5 \text{ V} \quad (14.82)$$

La massima ampiezza di segnale v_{gg} al source che verifica la condizione di piccolo segnale è:

$$|v_{gg}| \leq 0.2(V_{GS} - V_{TN})(1 + g_m R_L) \frac{g_m R_L}{1 + g_m R_L} \leq 0.2(0.71 \text{ V})(19) = 2.70 \text{ V} \quad (14.83)$$

Quindi, se scegliamo V_{DD} di almeno 1.2 V, il MOSFET rimarrà in saturazione per tutti i segnali che verificano la condizione di piccolo segnale.

Il passo finale è la scelta dei valori dei condensatori di accoppiamento. Desideriamo che l'impedenza dei condensatori sia trascurabile, a frequenze maggiori di 50 Hz, rispetto alla

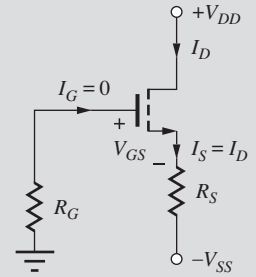


Figura 14.34

Circuito equivalente DC per l'amplificatore C-D.

Tabella 14.16

Possibili soluzioni dell'Equazione (14.79)

V_{SS}	R_S
10 V	1.56 k Ω
15 V	2.56 k Ω
20 V	3.56 k Ω
25 V	4.56 k Ω

resistenza che appare ai loro terminali. La resistenza che si vede guardando a sinistra di C_1 è zero, mentre quella guardando alla destra è $R_{in}^{CD} = 22 \text{ M}\Omega$. Quindi:

$$\frac{1}{2\pi(50 \text{ Hz})C_1} \ll 22 \text{ M}\Omega \quad \text{ovvero} \quad C_1 \gg 145 \text{ pF}$$

Riguardo C_2 , la resistenza che si vede guardando nel source è:

$$R_{out} = R_S \parallel \frac{1}{g_m} = 3.6 \text{ k}\Omega \parallel \frac{1}{\sqrt{2K_n I_D}} = 3.6 \text{ k}\Omega \parallel \frac{1}{\sqrt{2(20 \text{ mS})(5 \text{ mA})}} = 69.4 \Omega,$$

e la resistenza guardando a destra è $3 \text{ k}\Omega$. Pertanto si ha:

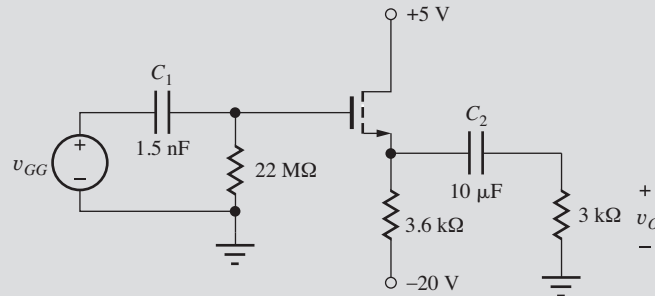
$$\frac{1}{2\pi(50 \text{ Hz})C_2} \ll 3.097 \text{ k}\Omega \quad \text{ovvero} \quad C_2 \gg 1.04 \mu\text{F}$$

Scegliamo $C_1 = 1.5 \text{ nF}$ e $C_2 = 10 \mu\text{F}$, che rappresentano valori standard e superano il limite inferiore di un fattore 10.

Il progetto finale è riassunto in Figura 14.35, dove per i resistori sono stati scelti i valori commerciali (con tolleranza del 5%) più vicini ai risultati dei calcoli e V_{DD} è stato fissato a $+5 \text{ V}$.

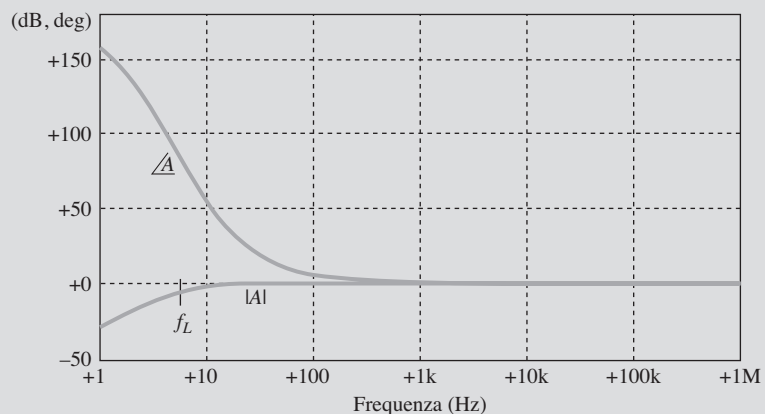
Verifica dei risultati: Al fine di verificare i risultati dovremmo analizzare il circuito e trovare il punto di lavoro, la resistenza di ingresso e il guadagno di tensione. Questa analisi è lasciata al lettore per esercizio. Eseguiamo, invece, una verifica mediante una simulazione SPICE.

Figura 14.35
Progetto finale
dell'inseguitore di source.



Discussione: In questo esempio abbiamo appreso come anche un problema di progetto con specifiche chiare richieda notevoli sforzi per essere risolto, e inoltre è stato necessario utilizzare un valore relativamente alto per V_{SS} . Tale situazione si presenta in molti problemi di progetto che presentano spesso specifiche meno definite e richiedono numerose scelte progettuali.

Analisi assistita da calcolatore: La simulazione SPICE del circuito fornisce i seguenti risultati: punto di lavoro: (4.94 mA, 7.20 V), $A_v = -0.369 \text{ dB}$, $f_L = 7.8 \text{ Hz}$. Con due poli a 5 Hz il valore atteso di f_L è 7.8 Hz.



Risposta in frequenza dell'inseguitore di source.

ESERCIZIO Si trovino il punto di lavoro, la resistenza di ingresso e il guadagno di tensione per il circuito di Figura 14.35 ($K_n = 20 \text{ mA/V}^2$, $V_{TN} = 1.5 \text{ V}$).

RISPOSTE (4.94 mA, 7.20 V), 22 M Ω , +0.959.

ESERCIZIO Si trovino la resistenza di uscita dell'amplificatore di Figura 14.35. Qual è il massimo valore di v_{gg} che soddisfa la condizione di piccolo segnale?

RISPOSTE 69.8 Ω , 3.38 V.

ESERCIZIO Si ipotizzi che il MOSFET scelto per il circuito di Figura 14.35 abbia un $\lambda = 0.015 \text{ V}^{-1}$. Quanto valgono r_o e il nuovo guadagno di tensione? (Si utilizzino i valori del punto di lavoro dell'Esempio 14.8.) È ragionevole trascurare la resistenza di uscita?

RISPOSTE 15.0 k Ω , 0.954; sì, r_o ha un effetto trascurabile sul circuito.

ESERCIZIO La tecnologia utilizzata per il transistor MOS presenta $K'_n = 50 \text{ } \mu\text{A/V}^2$. Che valore di W/L è necessario per il progetto dell'Esempio 14.8?

RISPOSTE 400/1.

ESERCIZIO (a) Si crei un circuito equivalente Thévenin per la regione delle medie frequenze del circuito in Figura 14.35. (b) Usare il modello per calcolare il guadagno di tensione quando un carico di 3 k Ω è collegato all'amplificatore.

RISPOSTE (a) $R_{in} = 22 \text{ M}\Omega$, $A = +0.981$, $R_{out} = 69.4 \Omega$; (b) 0.959.

PROGETTO DI UN AMPLIFICATORE A BASE COMUNE

Esempio 14.9

Le specifiche di questo problema sono ancora meno stringenti di quelle dell'Esempio 14.8. Si vedrà che l'amplificatore a base comune è la scelta più appropriata per soddisfare le specifiche di progetto.

Si progetti un amplificatore che adatti la resistenza interna di 75 Ω di una sorgente di segnale (per esempio un cavo coassiale) e che fornisca un guadagno di tensione di 34 dB. Si dimensionino i condensatori in modo che abbiano un effetto trascurabile per radiofrequenze superiori a 500 kHz.

PROBLEMA

Informazioni e dati noti: Resistenza di ingresso dell'amplificatore = 75 Ω ; guadagno di tensione = 50 (34 dB); condensatori con impedenza trascurabile a 500 kHz.

SOLUZIONE

Incognite: Topologia dell'amplificatore; punto di lavoro; valori degli elementi circuitali; parametri del transistor.

Approccio: Si utilizzino le specifiche globali per scegliere la topologia del circuito e il tipo di transistor; si scelgano poi i valori numerici per soddisfare le specifiche di progetto.

Ipotesi: $V_{EB} = 0.7 \text{ V}$; valgono le condizioni di piccolo segnale; $V_T = 25 \text{ mV}$.

Analisi: Il nostro primo problema è selezionare una configurazione circuitale e un tipo di transistor. Dai vari esempi in questo e nei precedenti capitoli ci rendiamo conto che $A_v = 50$ (34 dB) è un valore di guadagno piuttosto alto. D'altra parte la resistenza di ingresso richiesta di 75 Ω (per l'adattamento al cavo) è relativamente bassa. Dall'analisi delle tabelle di confronto dei vari amplificatori (Tabelle da 14.10 a 14.13) vediamo che gli amplificatori a base comune e a gate comune soddisfanno abbastanza da vicino le specifiche richieste: alto guadagno e bassa resistenza di ingresso. Dagli esempi precedenti dovremmo renderci conto che è probabilmente più facile ottenere un guadagno di 50 con un BJT piuttosto che con un MOSFET: pertanto l'amplificatore a base comune sembra quello più appropriato.

Per semplicità utilizziamo il circuito di polarizzazione a doppia alimentazione di Figura 14.36 che richiede solo due resistori di polarizzazione. Inoltre, per fare pratica nell'analisi dei circuiti che utilizzano dispositivi *pnp*, abbiamo arbitrariamente scelto un transistor *pnp*. Supponiamo di avere a disposizione un transistor *pnp* con $\beta_F = 80$ e $V_A = 50 \text{ V}$ (per esempio un 2N3906).

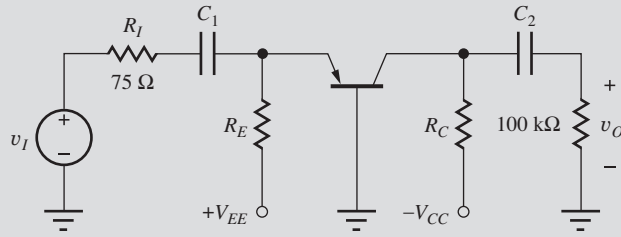


Figura 14.36 Circuito a base comune.

In un secondo momento sceglieremo le alimentazioni V_{CC} e V_{EE} . Ricordando la regola empirica introdotta precedentemente, si ha che: $A_v = (V_{CC} + V_{EE})/(4V_T)$. La condizione di adattamento della resistenza di ingresso provoca una riduzione di tensione di un fattore 2 tra il segnale sorgente v_I e la giunzione emettitore-base. Quindi un guadagno complessivo di 50 richiede un valore di $g_m R_L = 100$ per cui è richiesta una tensione di alimentazione complessiva di 10 V; volendo utilizzare due alimentazioni simmetriche otteniamo $V_{CC} = V_{EE} = 5 \text{ V}$.

Le Figure 14.37 e 14.38 riportano i circuiti equivalenti in DC e in AC necessari per analizzare il comportamento dell'amplificatore di Figura 14.36. Il resistore R_E e il punto di lavoro del transistor possono essere ora determinati in base alla conoscenza della resistenza di ingresso. Dalla Figura 14.38 si vede che la resistenza di ingresso dell'amplificatore è uguale al resistore R_E con in parallelo la resistenza di ingresso del transistor a base comune. Dalla Tabella 14.8 si ha $R_{in}^{CB} = 1/g_m$ per cui:

$$R_{in} = R_E \parallel R_{iE} = R_E \parallel \frac{1}{g_m} \quad (14.84)$$

Espandendo l'Equazione (14.84) e usando l'espressione di g_m si ottiene:

$$R_{in} = \frac{\frac{1}{g_m} R_E}{\frac{1}{g_m} + R_E} = \frac{R_E}{1 + g_m R_E} = \frac{R_E}{1 + I_C R_E / V_T} \quad (14.85)$$

Poiché $I_E \approx I_C$, nell'Equazione (14.85) il prodotto $I_C R_E$ rappresenta la tensione continua ai capi del resistore R_E . Ancora una volta si vede la correlazione tra la resistenza di ingresso di piccolo segnale e il valore di corrente continua nel punto di lavoro. Dal circuito equivalente DC di Figura 14.37, assumendo $V_{EB} = 0.7 \text{ V}$ si ha:

$$I_C R_E \approx I_E R_E = V_{EE} - V_{BE} = 5 \text{ V} - 0.7 \text{ V} = 4.3 \text{ V} \quad (14.86)$$

combinando le Equazioni (14.85) e (14.86) con il valore richiesto di resistenza di ingresso si ottiene:

$$75 = \frac{R_E}{(4.3 \text{ V})/(25 \text{ mV})} \quad \text{e} \quad R_E = 13.0 \text{ k}\Omega \quad (14.87)$$

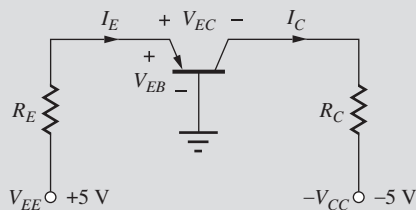


Figura 14.37 Circuito equivalente DC dell'amplificatore a base comune.

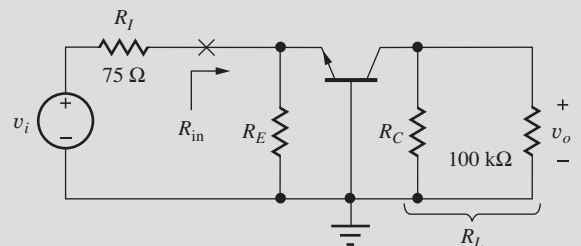


Figura 14.38 Circuito equivalente AC dell'amplificatore a base comune.

Possiamo ora calcolare I_C utilizzando l'Equazione (14.87):

$$I_C \approx I_E = \frac{4.3 \text{ V}}{13 \text{ k}\Omega} = 331 \text{ }\mu\text{A} \quad (14.88)$$

È interessante notare che una volta scelto V_{EE} i valori di R_E e I_C sono implicitamente fissati.

Il prossimo passo nel progetto è la scelta del resistore di collettore R_C . Per il circuito in Figura 14.38 il guadagno è:

$$A_v^{CB} = g_m R_L \left(\frac{R_{in}}{R_I + R_{in}} \right) \quad (14.89)$$

Per il nostro circuito si ha:

$$\begin{aligned} R_{in} &= 75 \text{ }\Omega & g_m &= I_C / V_T = 331 \text{ }\mu\text{A} / (25 \text{ mV}) = 13.2 \text{ mS} \\ R_L &= R_C \parallel 100 \text{ k}\Omega \end{aligned} \quad (14.90)$$

risolvendo per R_L l'Equazione (14.89) si ha:

$$50 = (13.2 \text{ mS}) R_L \left(\frac{75 \text{ }\Omega}{75 \text{ }\Omega + 75 \text{ }\Omega} \right) \quad \text{e} \quad R_L = 7.58 \text{ k}\Omega \quad (14.91)$$

poiché $R_L = R_C \parallel 100 \text{ k}\Omega$, risulta $R_C = 8.20 \text{ k}\Omega$.

Il prossimo passo è il controllo del punto di lavoro del transistor mediante il calcolo di V_{EC} . Utilizzando il circuito di Figura 14.37 si ha:

$$V_{EB} = V_{EC} + I_C R_C - 5 \text{ V} \quad (14.92)$$

e risolvendo per V_{EC} :

$$V_{EC} = 5 \text{ V} + V_{EB} - I_C R_C = 5 \text{ V} + 0.7 \text{ V} - (331 \text{ }\mu\text{A})(8.20 \text{ k}\Omega) = 2.99 \text{ V} \quad (14.93)$$

V_{EC} è positivo e maggiore di 0.7 V, quindi il transistor *npn* lavora nella regione attiva diretta come richiesto.

Il passo finale è la scelta dei valori dei condensatori di accoppiamento. Vogliamo che l'impedenza dei condensatori sia trascurabile, per frequenze maggiori o uguali a 500 kHz, rispetto alla resistenza che appare ai loro capi. La resistenza che si vede guardando alla sinistra di C_1 è 75 Ω , mentre quella alla destra è R_{in} che è ancora 75 Ω . Quindi:

$$\frac{1}{2\pi(500 \text{ kHz})C_1} \ll 150 \text{ }\Omega \quad \text{ovvero} \quad C_1 \gg 2.12 \text{ nF}$$

Riguardo C_2 , la resistenza che si vede guardando nel collettore è al più 8.2 k Ω e quella che si vede guardando alla destra è 100 k Ω . Pertanto:

$$\frac{1}{2\pi(500 \text{ kHz})C_2} \ll 108 \text{ k}\Omega \quad \text{ovvero} \quad C_2 \gg 2.95 \text{ pF}$$

Scegliamo $C_1 = 22 \text{ nF}$ e $C_2 = 33 \text{ pF}$ che sono valori standard maggiori di quelli calcolati di almeno un fattore 10.

Il risultato del progetto è mostrato in Figura 14.39, dove per i resistori sono stati scelti i valori commerciali (con tolleranza del 5%) più vicini ai risultati dei calcoli. Questo amplificatore fornisce un guadagno di circa 50 e una resistenza di ingresso di circa 75 Ω .

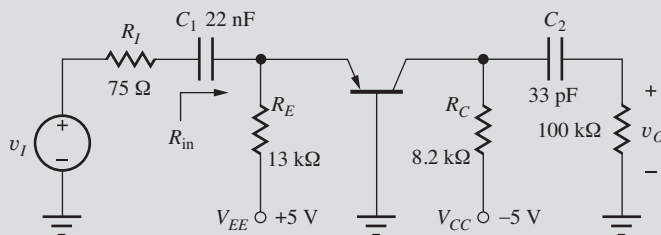


Figura 14.39
Progetto finale
dell'amplificatore con
 $R_{in} = 75 \text{ }\Omega$ e $A_v = 50$.

Una limitazione di questo progetto è sull'ampiezza massima dei segnali di ingresso. Sulla giunzione base-emettitore possono cadere solo 5 mV e ciò pone un limite al segnale v_i :

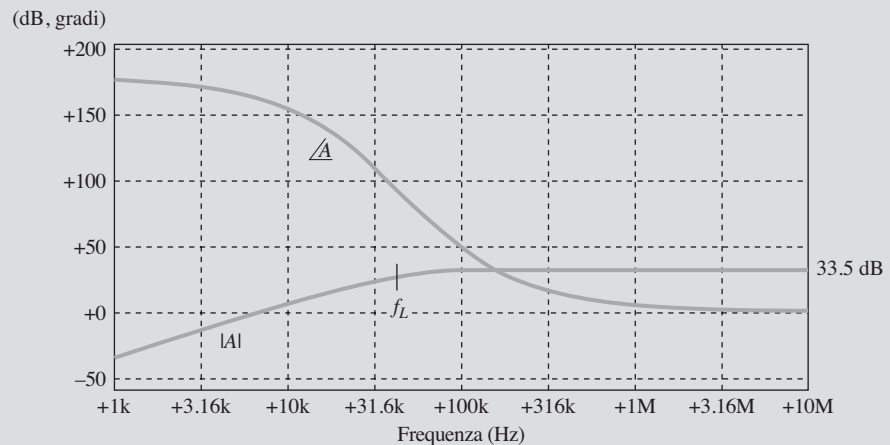
$$v_{eb} = v_i \frac{R_{in}}{R_I + R_{in}} = v_i \frac{75 \, \Omega}{75 \, \Omega + 75 \, \Omega} = \frac{v_i}{2} \quad (14.94)$$

Pertanto per assicurare la condizione di piccolo segnale l'ampiezza del segnale di ingresso non deve eccedere 10 mV.

Verifica dei risultati: Il modo migliore per verificare i risultati è eseguire una simulazione SPICE. Essa fornisce il punto di lavoro (323 μ A, 3.09 V). La risposta in frequenza è mostrata nella figura seguente.

Discussione: In questo progetto siamo stati previdenti nel considerare il fattore 2 di attenuazione nell'Equazione (14.94) dovuto alla condizione di adattamento sulla resistenza di ingresso. Diversamente, la nostra scelta iniziale della tensione di alimentazione avrebbe potuto essere insufficiente a soddisfare le specifiche sul guadagno e sarebbe stata necessaria una seconda iterazione per completare il progetto. La massima ampiezza del segnale di ingresso è, per questo circuito, piccola. Se avessimo usato un MOSFET invece del BJT, avremmo ottenuto una più ampia dinamica del segnale di ingresso.

Analisi assistita da calcolatore: La risposta in frequenza del circuito generata da SPICE è riportata di seguito. I parametri della simulazione sono FSTART = 1K, FSTOP = 10MEG con 10 punti per decade. Il guadagno di tensione alle medie frequenze è 33.5 dB e $f_L = 72$ kHz.



Risposta in frequenza dell'amplificatore a base comune.

ESERCIZIO Si disegni l'equivalente del circuito di Figura 14.39 utilizzando transistori *nnp*. Si possono usare gli stessi elementi di circuito ma occorre cambiare le polarità delle alimentazioni.

ESERCIZIO Quali sono i valori della resistenza di ingresso e del guadagno dell'amplificatore di Figura 14.39?

RISPOSTE 73.4 Ω , + 50.4.

ESERCIZIO Qual è la massima ampiezza di un segnale sinusoidale in tensione che può apparire all'uscita dell'amplificatore di Figura 14.39? Qual è la massima ampiezza del segnale di uscita compatibile con la condizione di piccolo segnale?

RISPOSTE (2.90 V - V_{EB}) $\approx$ 2.29 V, 0.500 V.

ESERCIZIO Si assuma che per l'amplificatore di Figura 14.39 sia V_{CC} che V_{EE} siano modificati a ± 7.5 V. Quali sono i nuovi valori di I_C , V_{EC} , R_E e R_C che soddisfanno le specifiche dell'esempio?

RISPOSTE 3.32 μ A, 5.52 V, 20.5 k Ω , 8.06 k Ω .

ESERCIZIO Si stimi la frequenza di taglio inferiore del circuito della Figura 14.39.

RISPOSTE 77.5 kHz.

ESERCIZIO Si supponga che i resistori e i generatori di alimentazione del circuito di Figura 14.39 abbiano tutti una tolleranza del 5%, e si verifichi che il BJT lavorerà nella regione attiva diretta anche nel caso peggiore. Si ripeta l'esercizio ipotizzando una tolleranza del 10%. Si discuta se i valori del guadagno di corrente β_F e della tensione V_A hanno un effetto significativo sul progetto.

RISPOSTE Sì; sì; no, no a meno che non diventino troppo piccoli.

ESERCIZIO (a) Si crei un modello a due porte per la regione delle medie frequenze dell'amplificatore a base comune della Figura 14.39. (b) Si crei un modello equivalente Thévenin dello stesso circuito. (c) Si utilizzi il modello per calcolare il guadagno di tensione con un carico di 100 k Ω collegato all'amplificatore.

RISPOSTE (a) $R_{in} = 76.0 \Omega$, $A = +107$; $R_{out} = 8200 \Omega$; (b) $v_{th} = 54.1 v_i$, $R_{th} = 8.20 \text{ k}\Omega$; (c) +49.8.

14.8.1 Verifica del progetto dell'amplificatore a base comune con il metodo Monte Carlo

Prima di passare al prossimo esempio di progetto, eseguiamo un'analisi statistica del progetto dell'amplificatore a base comune per vedere se si tratta di un progetto valido per una produzione di massa. Eseguiremo l'analisi mediante un foglio elettronico anche se si potrebbe facilmente valutare lo stesso set di equazioni mediante un semplice programma al computer scritto in un qualsiasi linguaggio ad alto livello o utilizzando l'opzione Monte Carlo di alcuni programmi di simulazione circuitale.

Per eseguire l'analisi Monte Carlo del circuito di Figura 14.39, assegniamo dei valori casuali a V_{CC} , V_{EE} , R_C , R_E e β_F ; usiamo poi questi valori per determinare I_C e V_{EC} , R_{in} e A_v . Riferendosi all'Equazione (1.50) del Capitolo 1 scriviamo ciascun parametro nella forma:

$$P = P_{nom}(1 + 2\varepsilon(\text{RAND}() - 0.5)) \quad (14.95)$$

dove: P_{nom} = valore nominale del parametro

ε = tolleranza del parametro

$\text{RAND}()$ = generatore di numeri casuali del foglio elettronico

Per il progetto di Figura 14.39 assumiamo che i resistori e le tensioni di alimentazione abbiano una tolleranza del 5% e che il guadagno di corrente abbia una tolleranza di $\pm 25\%$. Come citato nel Capitolo 5, è importante che ciascuna variabile chiami separatamente il generatore di numeri casuali di modo che i numeri generati siano fra loro indipendenti. I valori casuali sono poi usati per ricavare il punto di lavoro, R_{in} e A_v . Le espressioni per l'analisi Monte Carlo sono presentate in una sequenza logica nelle Equazioni (14.96), in cui le tensioni sono espresse in volt, le correnti in ampere e le resistenze in ohm:

$$\begin{aligned} 1. \quad & V_{CC} = 5(1 + 0.1(\text{RAND}() - 0.5)) \\ 2. \quad & V_{EE} = 5(1 + 0.1(\text{RAND}() - 0.5)) \\ 3. \quad & R_E = 13\,000(1 + 0.1(\text{RAND}() - 0.5)) \\ 4. \quad & R_C = 8200(1 + 0.1(\text{RAND}() - 0.5)) \\ 5. \quad & \beta_F = 80(1 + 0.5(\text{RAND}() - 0.5)) \\ 6. \quad & I_C = \frac{V_{EE} - 0.7}{R_E} \\ 7. \quad & V_{EC} = 0.7 + V_{CC} - I_C R_C \\ 8. \quad & g_m = I_C / V_T \\ 9. \quad & R_{in} = R_E \parallel \frac{\alpha_o}{g_m} \\ 10. \quad & A_v = g_m R_L \frac{R_{in}}{R_L + R_{in}} \quad \text{con } R_L = R_C \parallel 100\,000 \end{aligned} \quad (14.96)$$

Tabella 14.17 Verifica del progetto dell'amplificatore a base comune con il metodo Monte Carlo [(1), (2), (7) in volt; (3), (4), (9) in ohm; (6) in ampere, (8) in siemens]

Caso #	V_{CC} (1)	V_{EE} (2)	R_E (3)	R_C (4)	β_F (5)	I_C (6)	V_{EC} (7)	g_m (8)	R_{in} (9)	A_v (10)
1	4.932	5.090	13 602	8461	96.02	3.23E-04	2.902	1.29E-02	76.2	50.8
2	4.951	5.209	12 844	8208	93.01	3.51E-04	2.769	1.40E-02	70.1	51.4
3	4.844	4.759	13 418	8440	98.33	3.03E-04	2.990	1.21E-02	81.3	49.0
4	4.787	5.162	13 193	8294	72.82	3.38E-04	2.682	1.35E-02	72.5	50.9
5	5.073	5.181	12 358	8542	79.30	3.63E-04	2.676	1.45E-02	67.7	54.2
6	5.224	5.234	13 025	8483	84.54	3.48E-04	2.971	1.39E-02	70.6	52.8
7	4.901	5.174	13 166	8316	89.93	3.40E-04	2.775	1.36E-02	72.4	51.2
8	5.202	4.910	12 631	8116	89.23	3.33E-04	3.197	1.33E-02	73.7	49.6
9	4.926	4.842	12 861	7971	77.42	3.22E-04	3.058	1.29E-02	76.2	47.9
10	5.075	5.074	13 612	8198	91.55	3.21E-04	3.141	1.29E-02	76.5	49.2
990	4.947	5.238	12 688	8346	63.63	3.58E-04	2.662	1.43E-02	68.4	52.6
991	4.835	5.130	13 639	8116	72.96	3.25E-04	2.899	1.30E-02	75.5	48.9
992	5.241	5.100	12 917	7879	88.92	3.41E-04	3.257	1.36E-02	72.2	48.8
993	4.867	4.893	13 051	8516	69.79	3.21E-04	2.831	1.28E-02	76.3	50.8
994	5.058	4.985	12 671	8599	88.17	3.38E-04	2.850	1.35E-02	72.7	52.7
995	5.125	4.841	12 672	8472	81.48	3.27E-04	3.057	1.31E-02	75.1	51.1
996	4.863	5.058	12 453	8134	68.56	3.50E-04	2.716	1.40E-02	70.0	50.8
997	5.157	5.016	12 945	8225	98.03	3.33E-04	3.115	1.33E-02	73.8	50.3
998	4.932	5.183	12 458	8211	78.17	3.60E-04	2.677	1.44E-02	68.2	52.0
999	5.034	4.940	13 444	7969	76.71	3.15E-04	3.221	1.26E-02	77.8	47.4
1000	5.119	5.002	12 948	7892	95.25	3.32E-04	3.196	1.33E-02	74.0	48.3
Media	5.006	4.997	12 992	8205	79.95	3.31E-04	2.990	1.32E-02	74.29	49.88
Dev. Standard	0.143	0.146	381	239	11.27	1.44E-05	0.199	5.75E-04	3.22	1.74
Min.	4.750	4.751	12 351	7792	60.04	2.97E-04	2.409	1.19E-02	66.85	45.36
Max.	5.248	5.250	13 650	8609	99.98	3.67E-04	3.613	1.47E-02	82.54	54.63

(X) = Numero dell'equazione nel testo

La Tabella 14.17 riassume i risultati dell'analisi di 1000 casi. Il transistor lavora sempre nella regione attiva diretta; il valore medio della corrente di collettore (331 μA) è molto vicino al valore ottenuto mediante i resistori con tolleranza del 5% che abbiamo scelto per il circuito finale. I valori medi di R_{in} e A_v sono 74.3 Ω e 49.9 e sono anch'essi molto vicini ai valori di progetto. Il limite di 3 corrisponde a poco più del 10% di deviazione dai valori nominali di progetto, e anche nel caso peggiore di R_{in} si ottengono valori accettabili di SWR (rapporto d'onda stazionaria) sulla linea di trasmissione che l'amplificatore deve adattare. In conclusione, dovremmo essere in grado di produrre questo amplificatore su larga scala senza troppi problemi nel rispettare le specifiche.

Esempio 14.10**PROGETTO DI UN AMPLIFICATORE A SOURCE COMUNE**

Proviamo a rispettare le specifiche dell'esempio precedente usando uno stadio C-E/C-S.

PROBLEMA Si progetti un amplificatore che adatti la resistenza interna di 75 Ω di una sorgente di segnale (per esempio un cavo coassiale) e che fornisca un guadagno di tensione di 34 dB. Si dimensionino i condensatori in modo che abbiano un effetto trascurabile per radiofrequenze superiori a 500 kHz.

SOLUZIONE **Informazioni e dati noti:** Resistenza di ingresso dell'amplificatore = 75 Ω ; guadagno di tensione = 50 (34 dB); condensatori con impedenza trascurabile a 500 kHz.

Incognite: Topologia dell'amplificatore; punto di lavoro; valori degli elementi circuitali; parametri del transistor.

Approccio: Si utilizzino le specifiche globali per scegliere la topologia del circuito e il tipo di transistor; si scelgano poi i valori numerici per soddisfare le specifiche di progetto.

Benché la resistenza di ingresso degli amplificatori C-E e C-S presenti generalmente valori da moderati ad alti, possiamo sempre ridurla riducendo il valore dei resistori della rete di polarizzazione. Consideriamo l'amplificatore a source comune di Figura 14.40. Se il resistore R_G di polarizzazione del gate è ridotto a $75\ \Omega$, allora la resistenza di ingresso dell'amplificatore sarà proprio $75\ \Omega$ (questa tecnica di progetto è qualche volta indicata come compensazione del livello di impedenza). Potrebbe anche essere usato un BJT ma è stato scelto un MOSFET perché offre maggiori capacità di trattamento del segnale.

Ipotesi: Valgono le condizioni di piccolo segnale; il transistor opera in regione attiva.

Analisi: Poiché il resistore R_S è completamente cortocircuitato dalla capacità C_2 , questo amplificatore fornisce il guadagno pieno $-g_m R_L$, ma la resistenza di ingresso di $75\ \Omega$ (necessaria all'accoppiamento con il cavo coassiale) provoca un'attenuazione del segnale di ingresso di un fattore 2:

$$v_{gs} = v_i \frac{R_G}{R_I + R_G} = v_i \frac{75\ \Omega}{75\ \Omega + 75\ \Omega} = \frac{v_i}{2} \quad (14.97)$$

Pertanto l'amplificatore elementare deve fornire un guadagno di 100 affinché l'amplificatore complessivo abbia un guadagno di 50 (questo era anche il caso dell'amplificatore C-B). L'Equazione (13.105) fornisce un'espressione approssimata per il guadagno di tensione dell'amplificatore a source comune:

$$A_v = \frac{V_{DD}}{V_{GS} - V_{TN}} \quad (14.98)$$

Abbiamo anche qui una singola equazione con due variabili; la Tabella 14.18 presenta alcune possibili scelte di progetto. Scegliamo l'opzione 20 V/0.2 V.

Tabella 14.18
Possibili scelte per
ottenere $A_v = 100$

V_{DD}	$V_{GS} - V_{TN}$
20 V	0.2 V
25 V	0.25 V
30 V	0.3 V

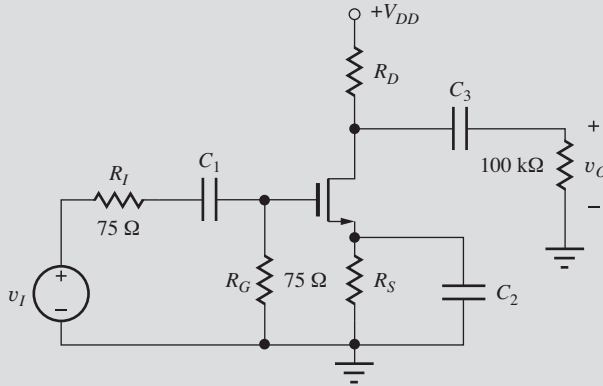


Figura 14.40
Amplificatore a source
comune.

Poiché $V_{GS} - V_{TN}$ deve essere piccolo per ottenere un elevato guadagno bisogna scegliere un MOSFET con un valore di K_n o K_p relativamente grande se I_D deve essere una corrente di valore ragionevole. Assumiamo di aver trovato un MOSFET a svuotamento a canale n con $K_n = 10\text{ mS/V}$ e $V_{TN} = -2\text{ V}$. Con questi parametri la corrente di drain del MOS è:

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2 = \frac{10}{2} \frac{\text{mA}}{\text{V}^2} (0.2\text{ V})^2 = 200\ \mu\text{A} \quad (14.99)$$

Utilizzando il circuito equivalente DC di Figura 14.41(a) possiamo ora calcolare il valore di R_S . Poiché la corrente di gate è zero per il MOS, la tensione ai capi di R_S è uguale a $-V_{GS}$:

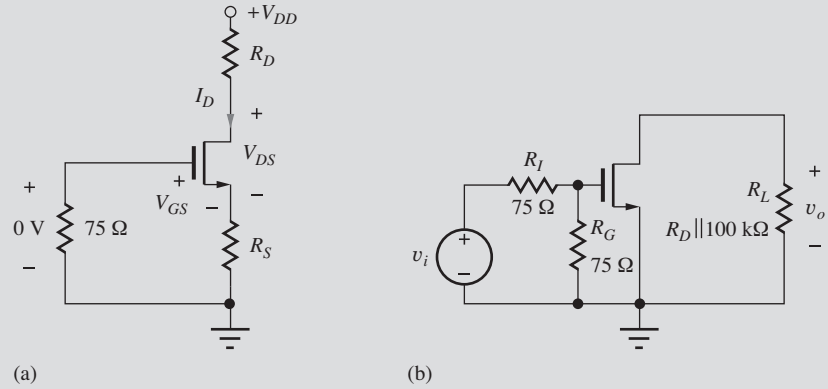
$$R_S = \frac{-V_{GS}}{I_D} = \frac{-(V_{TN} + 0.2\text{ V})}{200\ \mu\text{A}} = \frac{1.8\text{ V}}{200\ \mu\text{A}} = 9.00\text{ k}\Omega \quad (14.100)$$

il guadagno dell'amplificatore è:

$$A_v = \frac{v_{gs}}{v_i} (-g_m R_L) = -\frac{g_m R_L}{2} \quad \text{dove} \quad R_L = R_D \parallel 100\text{ k}\Omega \quad (14.101)$$

Figura 14.41

Circuiti equivalenti (a) DC e (b) AC dell'amplificatore a source comune.



Ponendo nell'Equazione (14.101) $A_v = 50$ e risolvendo per R_L si ottiene:

$$R_L = \frac{2A_v}{g_m} = \frac{A_v(V_{GS} - V_P)}{I_D} = \frac{50(0.2 \text{ V})}{200 \mu\text{A}} = 50 \text{ k}\Omega \quad (14.102)$$

Per $R_L = 50 \text{ k}\Omega$, R_D deve essere $100 \text{ k}\Omega$.

C'è ora un problema da risolvere. Una corrente di drain di 0.2 mA che scorre in $R_D = 100 \text{ k}\Omega$ dà luogo a una caduta di tensione di 20 V che è pari alla tensione di alimentazione. Quindi bisogna aumentare la tensione di alimentazione. Per lavorare in zona attiva deve essere $V_{DS} \geq V_{GS} - V_{TN}$, dove:

$$V_{DS} = V_{DD} - I_D R_D - I_D R_S \quad (14.103)$$

Quindi

$$V_{DD} - 20 \text{ V} - 1.8 \text{ V} \geq (-1.8 \text{ V}) - (-2 \text{ V}) \quad \text{ovvero} \quad V_{DD} \geq 22 \text{ V} \quad (14.104)$$

è sufficiente per lavorare nella zona attiva. Scegliamo $V_{DD} = 25 \text{ V}$ per assicurare ulteriori margini di progetto e una più ampia escursione del segnale al drain.

Il passo finale è la scelta dei valori dei condensatori di accoppiamento. Vogliamo che l'impedenza dei condensatori sia trascurabile, per frequenze maggiori o uguali a 500 kHz , rispetto alla resistenza che appare ai loro capi. La resistenza che si vede guardando alla sinistra di C_1 è 75Ω , mentre quella alla destra è ancora 75Ω . Quindi:

$$\frac{1}{2\pi(500 \text{ kHz})C_1} \ll 150 \Omega \quad \text{ovvero} \quad C_1 \gg 2.12 \text{ nF}$$

Riguardo C_2 , la resistenza che si vede guardando nel source è al più $9.1 \text{ k}\Omega$ in parallelo con $1/g_m$:

$$R_{eq} = 9.1 \text{ k}\Omega \parallel \frac{1}{g_m} = 9.1 \text{ k}\Omega \parallel \frac{1}{2 \text{ mS}} = 474 \Omega$$

Quindi,

$$\frac{1}{2\pi(500 \text{ kHz})C_2} \ll 474 \Omega \quad \text{ovvero} \quad C_2 \gg 644 \text{ pF}$$

Riguardo C_3 la resistenza che si vede guardando verso il drain è $100 \text{ k}\Omega$, mentre quella che si vede guardando a destra è ancora $100 \text{ k}\Omega$. Pertanto:

$$\frac{1}{2\pi(500 \text{ kHz})C_3} \ll 200 \text{ k}\Omega \quad \text{ovvero} \quad C_3 \gg 1.59 \text{ pF}$$

Scegliamo $C_1 = 22 \text{ nF}$, $C_2 = 6.8 \text{ nF}$ e $C_3 = 20 \text{ pF}$, che sono valori standard maggiori di quelli calcolati di almeno un fattore 10.

Il circuito corrispondente al progetto finale dell'amplificatore è riportato in Figura 14.42, dove ancora una volta sono stati scelti resistori standard con tolleranza del 5%.

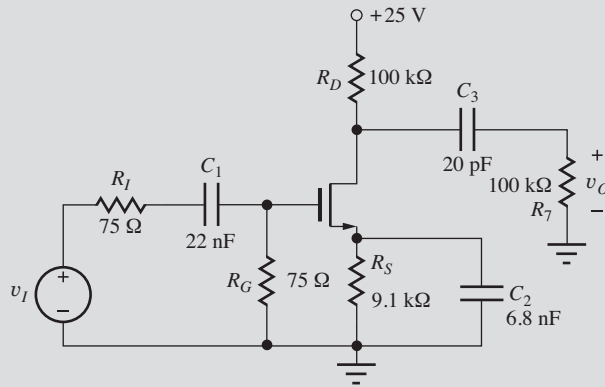


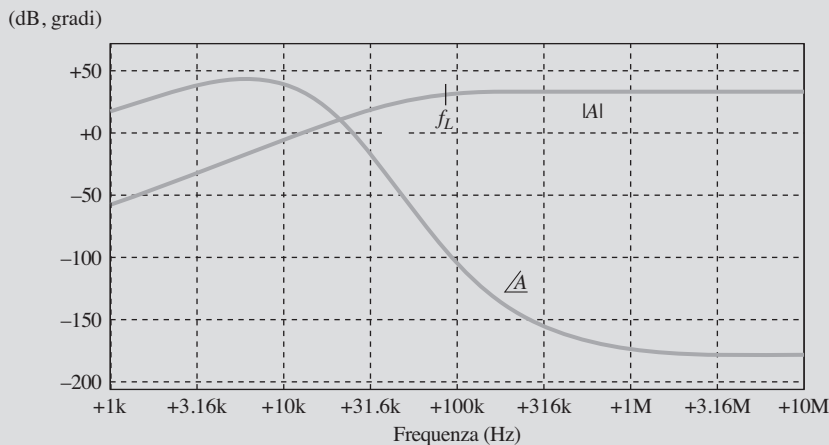
Figura 14.42
Progetto finale
dell'amplificatore a source
comune.

Verifica dei risultati: Il modo migliore per verificare i risultati è eseguire una simulazione SPICE. Essa fornisce per il punto di lavoro (198 μ A, 3.41 V), per il guadagno 33.9 dB e per la frequenza di taglio inferiore 91.5 kHz. La risposta in frequenza è mostrata nella figura seguente.

Discussione: I progetti degli Esempi 14.9 e 14.10 dimostrano che generalmente le specifiche di un dato problema possono essere soddisfatte con diversi tipi di progetto spesso molto diversi tra loro. La scelta tra i diversi tipi di progetto dipende da molti fattori. Per esempio, un criterio potrebbe essere quello di utilizzare generatori di alimentazione già disponibili nel resto del sistema da realizzare. Un altro aspetto importante può essere la dissipazione di potenza totale. Il nostro progetto a base comune consuma circa 3.3 mW e usa due generatori di alimentazione mentre il progetto a source comune dissipa 5 mW e utilizza un singolo generatore di alimentazione da 25 V. In realtà, il progetto mediante MOSFET non è molto semplice da realizzare. Può essere difficile trovare MOSFET con $K_n = 10$ mS/V e $V_{TN} = -2$ V.

Un altro fattore importante è il costo dell'amplificatore. Il nucleo dell'amplificatore a MOSFET richiede tre resistori, R_D , R_G e R_S , il condensatore di bypass C_2 e il MOSFET stesso. Il nucleo dell'amplificatore a base comune richiede i resistori R_E e R_C e il BJT. Il costo delle parti aggiuntive più la spesa per il loro inserimento nel circuito stampato (spesso maggiore del costo delle parti stesse!) farà probabilmente propendere per la scelta dell'amplificatore C-B piuttosto che per l'amplificatore C-S. Comunque, la capacità dell'amplificatore a MOS per trattare segnali di ingresso elevati, $|v_I| = 2 \times 0.2(V_{GS} - V_{TN}) = 80$ mV, può risultare di importanza vitale in particolari situazioni. Ovviamente la decisione finale può coinvolgere molti altri fattori.

Analisi assistita da calcolatore: La risposta in frequenza generata da SPICE è riportata di seguito. I parametri della simulazione sono FSTART = 1K, FSTOP = 10MEG con 10 punti per decade. Il guadagno di tensione alle medie frequenze è 33.9 dB e $f_L = 91.5$ kHz. In base alla Tabella 14.14, tre poli a 50 Hz dovrebbero produrre $f_L = 97.5$ kHz.



Risposta in frequenza dell'amplificatore a source comune.

ESERCIZIO Si verifichino i risultati della simulazione SPICE dell'Esempio 14.10. Qual è la larghezza di banda predetta utilizzando il fattore di restringimento della banda dell'Equazione (14.72)?

RISPOSTE 89 kHz (usando la media della frequenze dei poli).

ESERCIZIO Si ipotizzi che il MOS scelto per il circuito in Figura 14.42 presenti $\lambda = 0.015 \text{ V}^{-1}$. Quali sono i valori di r_o e del guadagno di tensione? (Si utilizzi il punto di lavoro dell'esempio.) È ancora ragionevole trascurare la resistenza di uscita?

RISPOSTE 333 k Ω , 43.5; no, r_o è importante in questo circuito! Non si ottiene il guadagno desiderato con questo transistor.

ESERCIZIO (a) Si riprogetti il circuito utilizzando il caso 25 V/0.25 V della Tabella 14.18. Si utilizzino gli stessi parametri per il MOS. (b) Si verifichi il progetto con SPICE.

RISPOSTE 5.60 k Ω , 68 k Ω , $V_{DD} = 25 \text{ V}$, 22 nF, 8.2 nF, 20 pF.

ESERCIZIO (a) Si crei un modello a due porte per la regione delle medie frequenze dell'amplificatore a base comune della Figura 14.42. (b) Si crei un modello equivalente Thévenin dello stesso circuito. (c) Si utilizzi il modello per calcolare il guadagno di tensione con un carico di 100 k Ω collegato all'amplificatore.

RISPOSTE (a) $R_{in} = 75 \Omega$, $A = +200$; $R_{out} = 100 \text{ k}\Omega$; (b) $v_{th} = 100 v_i$, $R_{th} = 100 \text{ k}\Omega$; (c) +50.0.

14.9 Amplificatori multistadio accoppiati in AC

Nella maggior parte dei casi un circuito a singolo transistor non è in grado di soddisfare tutte le specifiche assegnate a un amplificatore. Il guadagno di tensione richiesto spesso eccede il fattore di amplificazione di un singolo transistor, oppure non è possibile verificare contemporaneamente le specifiche sul guadagno di tensione, sulla resistenza di ingresso e sulla resistenza di uscita. Si considerino, per esempio, le caratteristiche di un buon amplificatore operazionale di uso generale che presenta una resistenza di ingresso superiore a 1 M Ω , un guadagno di tensione di 100 000 e una resistenza di uscita di valore inferiore ai 100 Ω . Dovrebbe essere chiaro dall'analisi degli amplificatori eseguita in questo capitolo che queste specifiche non possono essere verificate simultaneamente con un amplificatore a singolo transistor. Per realizzare un amplificatore che soddisfaccia tutte queste specifiche si devono porre in cascata un certo numero di stadi.

14.9.1 Amplificatore a tre stadi accoppiato in AC

In questo paragrafo studieremo l'amplificatore a tre stadi accoppiato in AC di Figura 14.43. I segnali sono trasferiti da uno stadio al successivo mediante i condensatori di accoppiamento C_1 , C_3 , C_5 e C_6 e gli stessi condensatori assicurano anche l'isolamento in DC tra gli stadi consentendo di progettare le reti di polarizzazione degli stadi indipendentemente l'una dall'altra.

La funzione dei singoli stadi può essere compresa rapidamente in base al circuito equivalente AC di questo amplificatore riportato in Figura 14.44(a) dove tutti i condensatori sono sostituiti da cortocircuito. Il MOSFET M_1 , operante nella configurazione a source comune, fornisce una elevata resistenza di ingresso e un modesto guadagno di tensione. Il transistor bipolare Q_2 nella configurazione a emettitore comune rappresenta un secondo stadio con elevato guadagno di tensione. Q_3 , un inseguitore di emettitore, fornisce una bassa resistenza di uscita e separa lo stadio a elevato guadagno Q_2 dalla resistenza di carico di valore relativamente basso (250 Ω). Nella Figura 14.44(a) i resistori di polarizzazione di base sono stati sostituiti con $R_{B2} = R_1 \parallel R_2$ e $R_{B3} = R_3 \parallel R_4$.

Nell'amplificatore di Figura 14.43, l'ingresso e l'uscita sono accoppiati all'amplificatore complessivo mediante i condensatori C_1 e C_6 , mentre i condensatori di bypass C_2 e C_4 sono usati per ottenere il massimo guadagno di tensione dai due amplificatori invertenti.

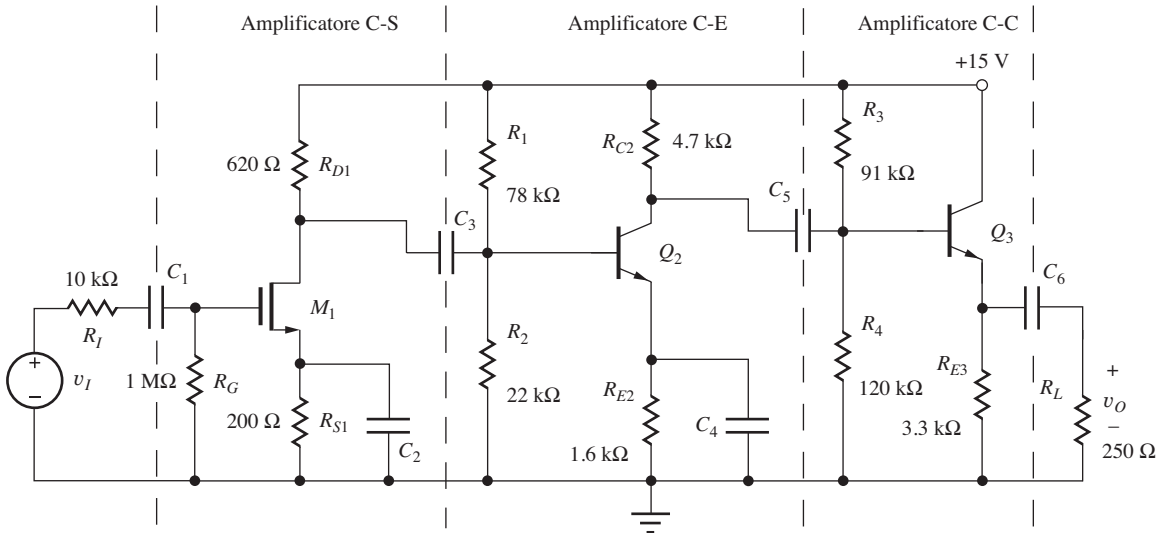
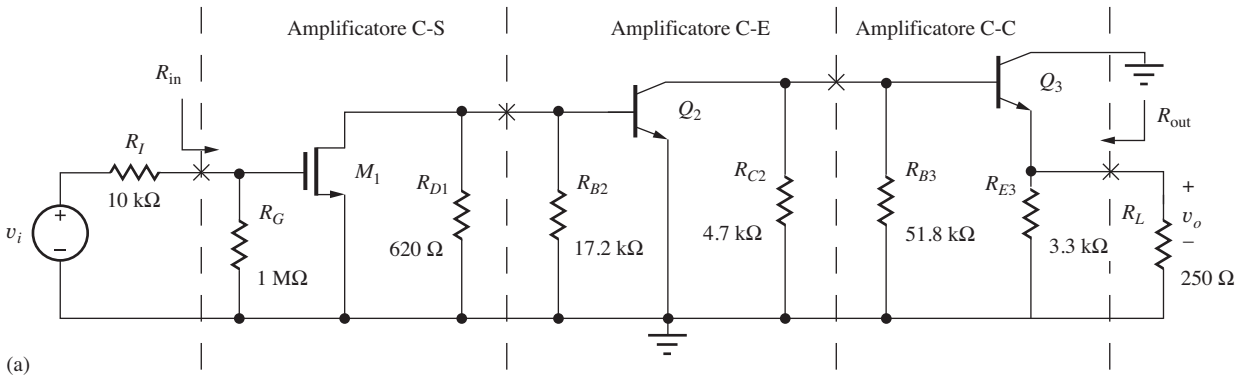


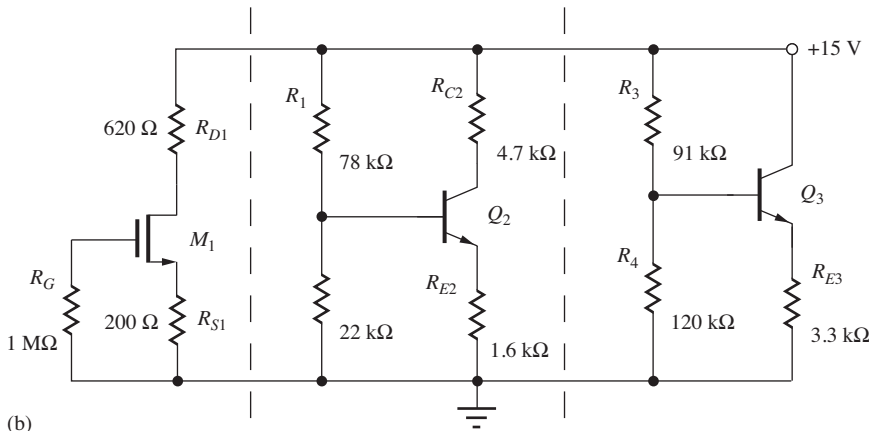
Figura 14.43
Amplificatore a tre stadi accoppiato in AC.

I condensatori di accoppiamento tra gli stadi C_3 e C_5 trasferiscono i segnali AC tra gli amplificatori ma bloccano la componente continua. Pertanto, i punti di lavoro dei singoli transistori non sono influenzati dalla connessione in cascata degli stadi, come evidenzia la Figura 14.44(b), che rappresenta il circuito equivalente DC dell'amplificatore nel quale tutti i condensatori sono stati rimossi. L'isolamento dei tre stadi appare evidente da questa figura.

Vogliamo caratterizzare questo amplificatore, determinando il suo guadagno di tensione, le resistenze di ingresso e di uscita, i guadagni di corrente e di potenza e la dinamica del segnale di ingresso, utilizzando i parametri dei transistori riportati nella Tabella 14.19. Per prima cosa bisogna trovare i punti di lavoro dei tre transistori. Ciascuno stadio a transistori di Figura 14.44 è polarizzato in maniera indipendente e, per comodità, assumiamo che i punti di lavoro riportati nella Tabella 14.20 siano già stati determinati utilizzando le procedure di analisi DC sviluppate nei precedenti capitoli. I dettagli di questi calcoli vengono rimandati a un esercizio successivo.



(a)



(b)

Figura 14.44
(a) Circuito equivalente per l'analisi AC.
(b) Circuito equivalente in DC dell'amplificatore a tre stadi accoppiato in AC.

Tabella 14.19 Parametri dei transistori per i circuiti riportati nelle Figure 14.43-14.48

M_1	$K_n = 10 \text{ mA/V}^2$, $V_{TN} = -2 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$
Q_2	$\beta_F = 150$, $V_A = 80 \text{ V}$, $V_{BE} = 0.7 \text{ V}$
Q_3	$\beta_F = 80$, $V_A = 60 \text{ V}$, $V_{BE} = 0.7 \text{ V}$

Tabella 14.20 Punti di lavoro e parametri del modello di piccolo segnale dei transistori di Figura 14.44

	Valori del punto di lavoro	Parametri di piccolo segnale
M_1	(5.00 mA, 10.9 V)	$g_{m1} = 10.0 \text{ mS}$, $r_{o1} = 12.2 \text{ k}\Omega$
Q_2	(1.57 mA, 5.09 V)	$g_{m2} = 62.8 \text{ mS}$, $r_{\pi 2} = 2.39 \text{ k}\Omega$, $r_{o2} = 54.2 \text{ k}\Omega$
Q_3	(1.99 mA, 8.36 V)	$g_{m3} = 79.6 \text{ mS}$, $r_{\pi 3} = 1.00 \text{ k}\Omega$, $r_{o3} = 34.4 \text{ k}\Omega$

ESERCIZIO Si verifichino i valori dei punti di lavoro e dei parametri di piccolo segnale riportati nella Tabella 14.20.

ESERCIZIO Perché un amplificatore a singolo transistor non può soddisfare le specifiche dell'amplificatore operazionale citate nell'introduzione di questo capitolo?

RISPOSTE Un amplificatore a singolo transistor non può rispettare contemporaneamente le richieste di resistenza di ingresso, resistenza di uscita e guadagno di tensione dell'amplificatore complessivo.

14.9.2 Guadagno di tensione

Figura 14.45

(a) Circuito equivalente semplificato AC dell'amplificatore a tre stadi.

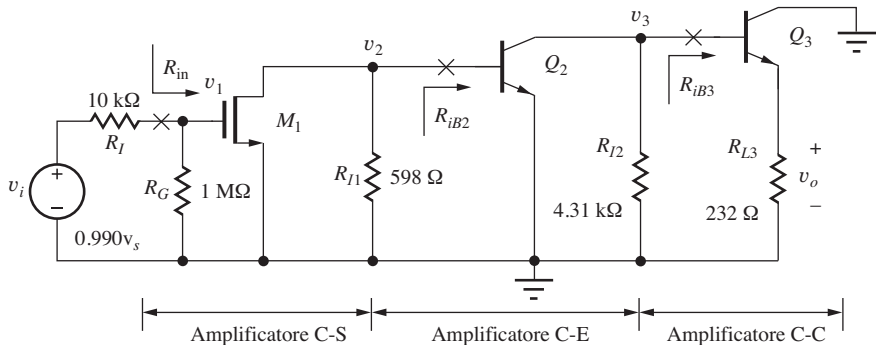
(b) Circuito equivalente di piccolo segnale dell'amplificatore a tre stadi. Le resistenze r_{o1} , r_{o2} e r_{o3} sono trascurate nei calcoli.

Il circuito equivalente AC dell'amplificatore a tre stadi dell'esempio è stato ridisegnato ed è mostrato in forma semplificata in Figura 14.45, dove i tre insiemi di resistori in parallelo sono stati combinati come segue:

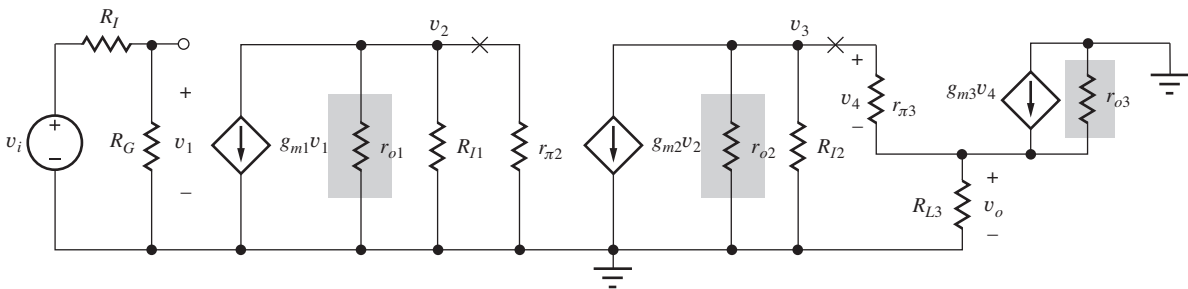
$$R_{I1} = 620 \Omega || 17.2 \text{ k}\Omega = 598 \Omega,$$

$$R_{I2} = 4.7 \text{ k}\Omega || 51.8 \text{ k}\Omega = 4.31 \text{ k}\Omega,$$

$$R_{L3} = 3.3 \text{ k}\Omega || 250 \Omega = 232 \Omega.$$



(a)



(b)

Il guadagno di tensione dell'amplificatore complessivo può essere espresso come:

$$A_v = \frac{v_o}{v_i} = \left(\frac{v_o}{v_3}\right) \left(\frac{v_3}{v_2}\right) \left(\frac{v_2}{v_1}\right) \left(\frac{v_1}{v_s}\right) = A_{vt1} A_{vt2} A_{vt3} \left(\frac{v_1}{v_i}\right) \quad (14.105)$$

dove

$$\frac{v_1}{v_i} = \frac{R_{in}}{R_i + R_{in}} = \frac{R_G}{R_i + R_G} \quad (14.106)$$

Si vede che il guadagno complessivo è determinato dal prodotto dei guadagni ai terminali degli stadi a singolo transistor e dalla caduta di tensione sulla resistenza del generatore.

Facciamo uso della conoscenza degli amplificatori a singolo transistor, acquisita nei capitoli precedenti, per determinare le espressioni dei tre guadagni di tensione. Il primo stadio è un amplificatore a emettitore comune con un guadagno ai terminali:

$$A_{vt1} = \frac{v_2}{v_1} = -g_{m1} R_{L1} \quad (14.107)$$

dove R_{L1} rappresenta la resistenza di carico totale² connessa al drain di M_1 . Dal circuito AC di Figura 14.45(a) e dalla sua versione di piccolo segnale in (b), possiamo osservare che R_{L1} è pari al parallelo di R_{I1} e R_{iB2} , la resistenza di ingresso alla base di Q_2 . Poiché Q_2 è uno stadio a emettitore comune, $R_{iB2} = r_{\pi 2}$,

$$R_{L1} = 598 \, \Omega \parallel r_{\pi 2} = 598 \, \Omega \parallel 2390 \, \Omega = 478 \, \Omega \quad (14.108)$$

e il guadagno del primo stadio è:

$$A_{vt1} = \frac{v_2}{v_1} = -0.01 \, \text{S} \times 478 \, \Omega = -4.78 \quad (14.109)$$

Il guadagno ai terminali del secondo stadio è quello di un amplificatore a emettitore comune:

$$A_{vt2} = \frac{v_3}{v_2} = -g_{m2} R_{L2} \quad (14.110)$$

dove R_{L2} rappresenta la resistenza di carico totale connessa al collettore di Q_2 . Nella Figura 14.46, R_{L2} è uguale al parallelo di R_{I2} e R_{iB3} , la resistenza di ingresso di Q_3 .

Q_3 è un inseguitore di emettitore con $R_{iB3} = r_{\pi 3} + (\beta_{o3} + 1)R_{L3}$. Quindi R_{L2} è uguale a:

$$R_{L2} = R_{I2} \parallel [r_{\pi 3} + (\beta_{o3} + 1)R_{L3}] = 4310 \, \Omega \parallel 1000 \, \Omega [1 + 79.6 \, \text{mS}(232 \, \Omega)] = 3.53 \, \text{k}\Omega \quad (14.111)$$

e il guadagno del secondo stadio è:

$$A_{vt2} = -62.8 \, \text{mS} \times 3.53 \, \text{k}\Omega = -222 \quad (14.112)$$

Infine il guadagno ai terminali dello stadio inseguitore di emettitore è:

$$A_{vt3} = \frac{v_o}{v_3} = \frac{g_{m3} R_{L3}}{1 + g_{m3} R_{L3}} = \frac{(79.6 \, \text{mS})(232 \, \Omega)}{1 + 79.6 \, \text{mS}(232 \, \Omega)} = 0.950 \quad (14.113)$$

Prima di completare il calcolo del guadagno di tensione [Equazione (14.105)], occorre determinare la resistenza di ingresso R_{in} per poter valutare il rapporto v_1/v_i che compare nell'Equazione (14.106).

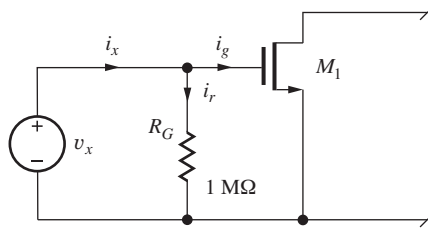


Figura 14.46
Resistenza di ingresso
dell'amplificatore a tre stadi.

² Le resistenze di uscita r_{o1} , r_{o2} e r_{o3} vengono trascurate perché ciascun amplificatore ha un resistore esterno di carico e ci aspettiamo che $|A_v| \ll \mu_f$ per ciascuno stadio.

14.9.3 Resistenza di ingresso

La resistenza di ingresso di questo amplificatore può essere determinata riferendosi alle Figure dalla 14.44 alla 14.46. Poiché la corrente di gate i_g in Figura 14.46 deve essere zero, vediamo che la resistenza di ingresso è semplicemente $R_{in} = R_G = 1 \text{ M}\Omega$ ed è indipendente dalla circuiteria connessa al drain di M_1 .

14.9.4 Guadagno di tensione complessivo

Sostituendo i guadagni di tensione e i valori delle resistenze nelle Equazioni (14.105) e (14.106) si ottiene il guadagno dell'amplificatore complessivo:

$$A_v = A_{vt1} A_{vt2} A_{vt3} \frac{R_{in}^{CS}}{R_I + R_{in}^{CS}} = (0.95)(-222)(-4.78) \left(\frac{1 \text{ M}\Omega}{10 \text{ k}\Omega + 1 \text{ M}\Omega} \right) = +998 \quad (14.114)$$

L'amplificatore a tre stadi realizza un amplificatore non invertente con guadagno di circa 60 dB e una resistenza di ingresso di circa 1 MΩ. A causa della elevata resistenza di ingresso, solo una piccola parte (1%) del segnale di ingresso si perde ai capi della resistenza del generatore.

ESERCIZIO Si ricalcoli A_v includendo l'effetto di r_{o1} , r_{o2} , r_{o3} .

RISPOSTA 903 (59.1 dB).

ESERCIZIO Si stimi il guadagno dell'amplificatore di Figura 14.43 utilizzando le stime approssimate dei guadagni fornite nel capitolo precedente e in questo se M_1 ha $V_{GS} - V_{TN} = 1 \text{ V}$. Qual è l'origine delle discrepanze?

RISPOSTE $(-15)(-150)(1) = 2250$; c'è una caduta di soli 3 V ai capi di R_{D1} , mentre nella formula per la stima del guadagno si assume $V_{DD}/2 = 7.5 \text{ V}$. Tenendo conto di questa differenza si ha: $(2250)(3 \text{ V}/7.5 \text{ V}) = 900$.

ESERCIZIO Quale sarebbe il valore del guadagno se le resistenze tra gli stadi R_{I1} e R_{I2} potessero essere eliminate (rese infinite)? Sarebbero necessarie in questo caso le resistenze r_{o1} , r_{o2} , r_{o3} ?

RISPOSTE 28 200; r_{o2} dovrebbe essere incluso.

14.9.5 Resistenza di uscita

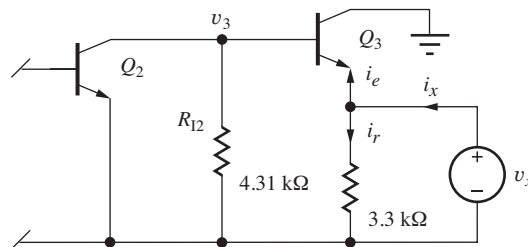
La resistenza di uscita R_{out} dell'amplificatore è definita guardando nell'amplificatore dalla posizione occupata dal condensatore C_6 , come indicato nelle Figure 14.43 e 14.44. Per trovare R_{out} occorre applicare una tensione di prova v_x all'uscita dell'amplificatore, come indicato nella Figura 14.47. Dalla Figura 14.47 osserviamo che la resistenza di uscita dell'amplificatore complessivo è determinata dalla resistenza di uscita dell'inseguitore di emettitore, in parallelo con un resistore da 3300 Ω. Scrivendo questo in forma matematica si ha:

$$i_x = i_r + i_e = \frac{v_x}{3300 \text{ }\Omega} + \frac{v_x}{R_{IE3}} \quad (14.115)$$

Usando i risultati della Tabella 14.3 troviamo che la resistenza di uscita complessiva è:

$$R_{out} = \frac{v_x}{i_x} = 3300 \text{ }\Omega \parallel R_{IE3} \approx 3300 \text{ }\Omega \parallel \left(\frac{1}{g_{m3}} + \frac{R_{th3}}{\beta_{o3}} \right) \quad (14.116)$$

Figura 14.47
Resistenza di uscita
dell'amplificatore a tre stadi.



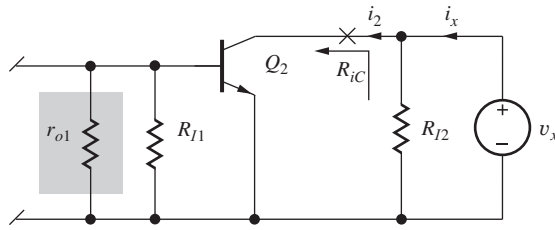


Figura 14.48
Resistenza del generatore
equivalente di Thévenin
del terzo stadio.

dove bisogna calcolare la resistenza del generatore equivalente di Thévenin dello stadio 3, R_{th3} .

R_{th3} può essere determinato con l'aiuto della Figura 14.48. Il terzo stadio Q_3 è rimosso e viene applicata una tensione di prova v_x al nodo v_3 . La corrente i_x erogata dalla sorgente di prova v_x è uguale a:

$$i_x = \frac{v_x}{R_{I2}} + i_2 = \frac{v_x}{R_{I2}} + \frac{v_x}{R_{IC}} \quad \text{ovvero} \quad R_{th3} = \frac{v_x}{i_x} = R_{I2} \parallel R_{IC} = R_{I2} \parallel r_{o2} \quad (14.117)$$

R_{th3} è uguale al parallelo della resistenza R_{I2} e della resistenza di uscita di Q_2 , che sappiamo essere uguale a r_{o2} :

$$R_{th3} = 4310 \, \Omega \parallel 54200 \, \Omega = 3990 \, \Omega$$

Valutando l'Equazione (14.116) si ottiene per la resistenza di uscita dell'amplificatore complessivo:

$$R_{out} = 3300 \, \Omega \parallel \left(\frac{1}{79.6 \, \text{mS}} + \frac{3990 \, \Omega}{80} \right) = 61.3 \, \Omega \quad (14.118)$$

Nel calcolo della resistenza di uscita, il termine R_{th3}/β_o è quello più rilevante.

14.9.6 Guadagno di corrente e di potenza

La corrente di ingresso fornita all'amplificatore dal generatore v_i di Figura 14.44 è data da:

$$i_i = \frac{v_i}{R_I + R_{in}} = \frac{v_i}{10 \, \text{k}\Omega + 1 \, \text{M}\Omega} = (990 \, \text{nS}) v_i \quad (14.119)$$

e la corrente fornita al carico dall'amplificatore è:

$$i_o = \frac{v_o}{250 \, \Omega} = \frac{A_v v_i}{250 \, \Omega} = \frac{998 v_i}{250 \, \Omega} = (3.99 \, \text{S}) v_i \quad (14.120)$$

Combinando le Equazioni (14.119) e (14.120) si ottiene il guadagno di corrente:

$$A_i = \frac{i_o}{i_i} = \frac{(3.99 \, \text{S}) v_i}{(990 \, \text{nS}) v_i} = 4.03 \times 10^6 \quad (14.121)$$

Combinando le Equazioni (14.105) e (14.121) con l'espressione del guadagno di potenza data nel Capitolo 10 si ottiene un valore per il guadagno di potenza complessivo dell'amplificatore:

$$A_P = \frac{P_o}{P_s} = \left| \frac{v_o}{v_i} \frac{i_o}{i_i} \right| = |A_v A_i| = 998 \times 4.03 \times 10^6 = 4.02 \times 10^9 \quad (96.0 \, \text{dB}) \quad (14.122)$$

A causa del fatto che la resistenza in ingresso dello stadio a source comune è elevata, è sufficiente una piccola corrente di ingresso per ottenere una grande corrente di uscita. Il guadagno di corrente è pertanto elevato. Inoltre, il guadagno di tensione dell'amplificatore è significativo; quindi combinando un elevato guadagno di tensione con un elevato guadagno di corrente si ottiene un elevato guadagno di potenza.

14.9.7 Dinamica del segnale di ingresso

Il passo finale nella caratterizzazione di questo amplificatore è la determinazione del più ampio segnale di ingresso che può essere applicato. In un amplificatore multistadio, la con-

dizione di piccolo segnale deve essere soddisfatta in ogni punto della catena di amplificatori. Il primo stadio dell'amplificatore delle Figure 14.44 e 14.45 è facile da controllare. La tensione v_1 è applicata direttamente ai capi dei terminali di gate e di source del MOSFET, e per soddisfare la condizione di piccolo segnale $v_1 (= 0.990v_i)$ deve essere:

$$|v_1| \leq 0.2(V_{GS1} - V_{TN}) \quad \text{ovvero} \quad |v_i| \leq \frac{0.2(-1 + 2)V}{0.990} = 0.202 \text{ V} \quad (14.123)$$

Il primo stadio limita il segnale di ingresso a 202 mV.

Per soddisfare la condizione di piccolo segnale, la tensione base-emettitore di Q_2 deve essere minore di 5 mV. In questo amplificatore $v_{be2} = v_2$. Poiché:

$$|v_2| = |A_{vt1}v_1| \leq 5 \text{ mV}, \quad |v_1| \leq \frac{5 \text{ mV}}{A_{vt1}} = \frac{5 \text{ mV}}{4.78} = 1.05 \text{ mV} \quad (14.124)$$

e

$$|v_i| \leq \frac{1.05 \text{ mV}}{0.990} = 1.06 \text{ mV}$$

in questo progetto la condizione di piccolo segnale viene violata su Q_2 se l'ampiezza del segnale di ingresso v_i è superiore a 1.06 mV.

Infine, utilizzando l'Equazione (14.19) per lo stadio inseguitore di emettitore di uscita (con $R_{th} = 0$) si ha:

$$v_{be3} \approx \frac{v_3}{1 + g_{m3}R_{L3}} = \frac{A_{vt1}A_{vt2}v_1}{1 + g_{m3}R_{L3}} = \frac{A_{vt1}A_{vt2}(0.990v_i)}{1 + g_{m3}R_{L3}} \quad (14.125)$$

e dovendo essere $|v_{be3}| \leq 5 \text{ mV}$ si ha:

$$|v_i| \leq \frac{1 + g_{m3}R_{L3}}{A_{vt1}A_{vt2}(0.990)} 5 \text{ mV} = \frac{1 + (79.6 \text{ mS})(232 \Omega)}{(-4.78)(-222)(0.99)} 5 \text{ mV} = 92.7 \mu\text{V} \quad (14.126)$$

Per soddisfare tutte le condizioni di piccolo segnale, l'ampiezza massima del segnale di ingresso all'amplificatore non deve superare il più piccolo dei tre valori calcolati nelle Equazioni (14.123), (14.124) e (14.126):

$$|v_i| \leq \min(202 \text{ mV}, 1.06 \text{ mV}, 92.7 \mu\text{V}) = 92.7 \mu\text{V} \quad (14.127)$$

In questo progetto la linearità dello stadio di uscita limita l'ampiezza del segnale di ingresso a meno di 93 μV . Si noti che la massima tensione di uscita che soddisfa le condizioni di piccolo segnale è solo:

$$|v_o| \leq A_v(92.7 \mu\text{V}) = 998(92.7 \mu\text{V}) = 92.5 \text{ mV} \quad (14.128)$$

Esempio 14.11

SIMULAZIONE DELL'AMPLIFICATORE A TRE STADI

L'analisi manuale dell'amplificatore viene verificata mediante una simulazione.

PROBLEMA Si utilizzi SPICE per trovare il guadagno di tensione a centro banda, la resistenza di ingresso e la resistenza di uscita dell'amplificatore in Figura 14.43. Si confermi il guadagno trovato mediante analisi in AC e in transitorio.

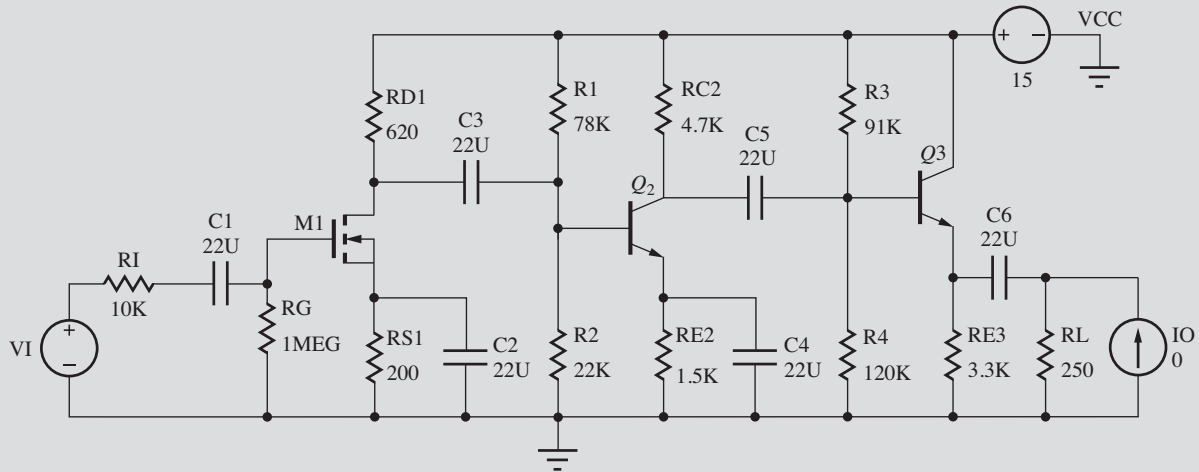
SOLUZIONE **Informazioni e dati noti:** Il circuito è mostrato in Figura 14.43 e i parametri dei transistori sono riportati in Tabella 14.19.

Incognite: A_v , R_{in} e R_{out} .

Approccio: Si utilizzi SPICE per visualizzare la risposta in frequenza e trovare il guadagno a centro banda. Si scelga poi una frequenza nella regione di centro banda e si utilizzi l'analisi AC per calcolare il guadagno di tensione, la resistenza di ingresso e quella di uscita. Si ipotizzino valori elevati per le capacità. Si verifichi il guadagno mediante una simulazione in transitorio.

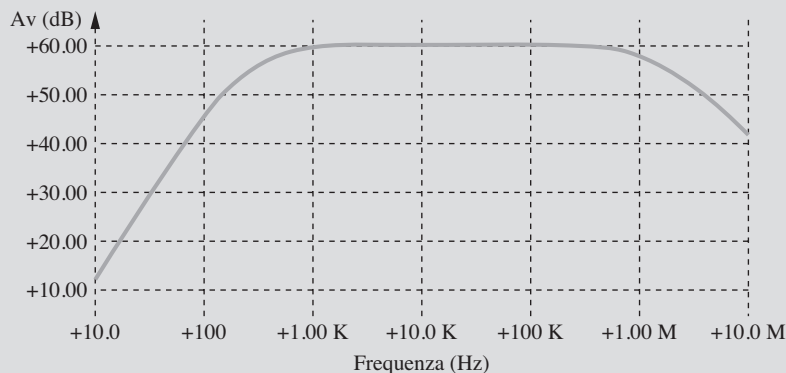
Ipotesi: I condensatori di accoppiamento e di bypass sono tutti fissati arbitrariamente a $22\ \mu\text{F}$. Vengono aggiunti al modello del BJT i parametri $\text{TF} = 0.5\ \text{ns}$ e $\text{CJC} = 2\ \text{pF}$ per ottenere l'abbassamento del guadagno alle alte frequenze. Questi parametri verranno discussi in dettaglio nel Capitolo 17.

Analisi: Il circuito è creato in SPICE utilizzando l'editor di circuiti seguendo lo schema mostrato nella figura seguente.



I parametri del MOSFET sono $\text{KP} = 0.01$, $\text{VTO} = -2$ e $\text{LAMBDA} = 0.02$. I parametri del BJT sono per Q_2 : $\text{BF} = 50$, $\text{VAF} = 80$, $\text{TF} = 0.5\ \text{ns}$ e $\text{CJC} = 2\ \text{pF}$; per Q_3 : $\text{BF} = 80$, $\text{VAF} = 60$, $\text{TF} = 0.5\ \text{ns}$ e $\text{CJC} = 2\ \text{pF}$. Il generatore VI è utilizzato per l'analisi AC del guadagno e della resistenza di ingresso. Il generatore IO è utilizzato per il calcolo della resistenza di uscita.

Per prima cosa fissiamo $\text{VI} = 1\angle 0^\circ\ \text{V}$ e $\text{IO} = 0\angle 0^\circ\ \text{A}$ ed eseguiamo una scansione tra 10 Hz a 10 MHz con 20 punti per decade per individuare la regione delle medie frequenze (centro banda). Si ottiene la curva mostrata nella figura seguente.

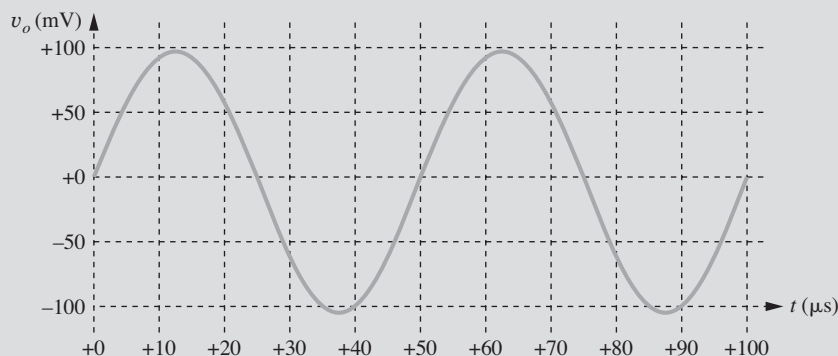


La regione di centro banda si estende approssimativamente da 500 Hz a 500 kHz. Scegliendo 20 kHz come frequenza rappresentativa del centro banda si trova un guadagno di 60.1 dB ($A_v = 1010$) e la corrente in VI è $-990\ \text{nA}$ con fase nulla. Il segno negativo è una conseguenza della convenzione dei segni di SPICE (le correnti sono positive se entrano nel terminale positivo dei generatori indipendenti). La resistenza di ingresso vista da VI è $1\ \text{V}/990\ \text{nA} = 1.01\ \text{M}\Omega$. Sottraendo la resistenza del generatore, pari a $10\ \text{k}\Omega$, si ottiene una resistenza di ingresso di $1\ \text{M}\Omega$ per l'amplificatore. Il guadagno e la resistenza di ingresso sono in accordo con i calcoli manuali.

La resistenza di uscita si trova fissando $\text{VI} = 0\angle 0^\circ\ \text{V}$ e $\text{IO} = 1\angle 0^\circ\ \text{A}$ e determinando la tensione di uscita. Il risultato è $R = 45.6\ \Omega$. Eliminando l'effetto del resistore da $250\ \Omega$ che si trova in parallelo all'uscita si trova $R_{\text{out}} = 55.7\ \Omega$. La leggera differenza è causata

dal valore del guadagno di corrente utilizzato in SPICE: $\beta_0 = BF(1 + VCB/VA) = 80(1 + 7.6/60) = 90.1$.

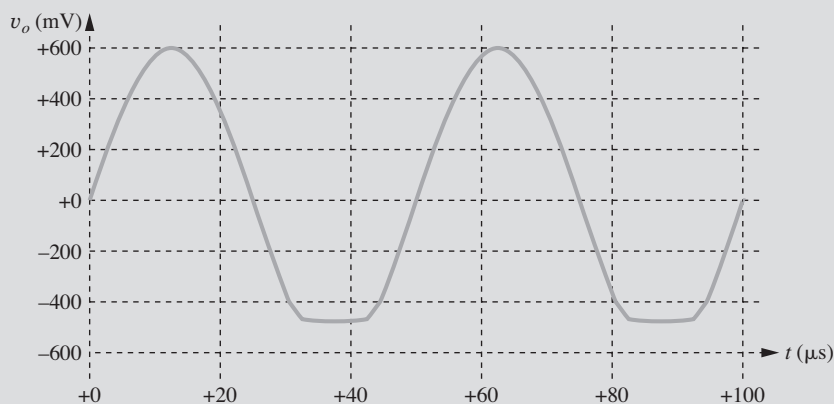
Verifica dei risultati: Come ulteriore controllo sul guadagno, possiamo utilizzare una simulazione in transitorio a $f = 20$ kHz che sappiamo corrispondere a una frequenza del centro banda. Il grafico riportato di seguito mostra l'uscita per un ingresso di ampiezza $100 \mu\text{V}$, Start time = 0, Stop time = $100 \mu\text{s}$ e un passo di 10 ns. L'ampiezza dell'uscita è circa 100 mV, corrispondente a un guadagno di 1000 .



Simulazione con uscita non distorta e guadagno di 1000 .

Discussione: Il valore della tensione di ingresso nella simulazione in transitorio è leggermente superiore al limite di piccolo segnale che è stato calcolato. La forma d'onda appare come una buona senoide e l'analisi di Fourier eseguita con SPICE indica che la distorsione armonica totale è inferiore a 0.15% .

Tuttavia, se si utilizza un segnale maggiore di circa $650 \mu\text{V}$ nella simulazione in transitorio si scopre una nuova limitazione. Un esempio del problema è evidenziato dalla figura seguente. Poiché Q_3 è polarizzato con una corrente di soli 2 mA, il massimo segnale di uscita dell'inseguitore di emettitore è circa $2 \text{ mA} \times 250 \Omega$ ovvero 0.5 V. L'uscita comincia a mostrare una significativa distorsione prima che questo valore sia raggiunto. Nella figura, l'ampiezza di v_i è di $750 \mu\text{V}$. La parte inferiore della forma d'onda appare "tagliata" e la distorsione armonica totale diventa 8.2% . Questo tipo di uscita è ovviamente non desiderabile.



Uscita distorta quando l'ampiezza del segnale di ingresso supera la massima tensione ammissibile.

ESERCIZIO Calcolare il valore della resistenza in uscita dato dall'Equazione 14.118 assumendo un guadagno di corrente pari a 90.1 .

RISPOSTA 55.3Ω .

ESERCIZIO Ricavare la forma d'onda in uscita, il guadagno di tensione e la distorsione armonica totale se l'ampiezza del segnale in ingresso vale (a) $400\ \mu\text{V}$, (b) $600\ \mu\text{V}$ e (c) $1\ \text{V}$.

RISPOSTE (a) Andamento sinusoidale, $A_v = 826$, $\text{THD} = 0.28\%$; (b) andamento sinusoidale, $A_v = 790$, $\text{THD} = 2.4\%$; (c) la parte inferiore del segnale è tosata, $A_v = 760$, $\text{THD} = 18.3\%$. Il guadagno di tensione diminuisce all'aumentare dell'ampiezza del segnale in ingresso.

La Tabella 14.21 riassume le caratteristiche dell'amplificatore a tre stadi della Figura 14.43. L'amplificatore presenta un guadagno di tensione non invertente di circa 60 dB, una elevata resistenza di ingresso e una bassa resistenza di uscita. I guadagni di corrente e di potenza sono entrambi piuttosto elevati. Il segnale di ingresso deve essere tenuto al di sotto di $92.7\ \mu\text{V}$ per soddisfare le condizioni di piccolo segnale dei transistori.

14.9.8 Come migliorare il guadagno di tensione dell'amplificatore

Sappiamo che il guadagno dell'amplificatore C-S è inversamente proporzionale alla radice quadrata della corrente di drain. In questo amplificatore non è necessario far lavorare il primo stadio con una corrente di polarizzazione di $5\ \text{mA}$, e il guadagno di tensione può essere aumentato riducendo I_{D1} a parità di caduta di tensione su R_{D1} . Dovrebbe essere possibile migliorare la dinamica del segnale aumentando la corrente nello stadio di uscita e la caduta di tensione ai capi di R_{E3} . Un'altra possibilità è sostituire Q_3 con un MOSFET; si può avere, in tal caso, una perdita di guadagno a livello del terzo stadio, poiché il guadagno di un amplificatore a drain comune è tipicamente inferiore a quello di uno stadio a collettore comune, ma ciò può essere superato migliorando i guadagni del primo e del secondo stadio.

ESERCIZIO (a) Qual è il guadagno di tensione dell'amplificatore se I_{D1} è ridotto a $1\ \text{mA}$ e R_{D1} è aumentato a $3\ \text{k}\Omega$, cosicché V_D rimane costante? (b) La g_m del MOSFET viene ridotta di $\sqrt{5}$. Perché il guadagno non cresce di $\sqrt{5}$?

RISPOSTE 1150; benché R_{D1} cresca di un fattore 5, la resistenza totale di carico al drain di M_1 non cresce dello stesso fattore.

14.9.9 Stima della frequenza di taglio inferiore dell'amplificatore multistadio

Come si vedrà nel Capitolo 17, la frequenza di taglio inferiore di un amplificatore con condensatori di accoppiamento e di bypass può essere stimata mediante la formula:

$$\omega_L \approx \sum_{i=1}^n \frac{1}{R_{is}C_i} \quad (14.129)$$

dove R_{is} rappresenta la resistenza ai terminali dell' i -esimo condensatore quando tutti gli altri sono sostituiti da cortocircuito. Il prodotto $R_{is}C_i$ rappresenta la costante di tempo di corto circuito associata al condensatore C_i . Utilizziamo questo metodo per stimare la frequenza di taglio inferiore dell'amplificatore a tre stadi dell'Esempio 14.11.

Tabella 14.21 Riepilogo delle caratteristiche dell'amplificatore a tre stadi

	Analisi manuale	Analisi SPICE
Guadagno di tensione	+998	+1010
Dinamica del segnale di ingresso	$92.7\ \mu\text{V}$	—
Resistenza di ingresso	$1\ \text{M}\Omega$	$1\ \text{M}\Omega$
Resistenza di uscita	$60.5\ \Omega$	$55.7\ \Omega$
Guadagno di corrente	$+4.03 \times 10^6$	—
Guadagno di potenza	4.02×10^9	—



Pickup senza ronzio ("humbucker") per chitarra

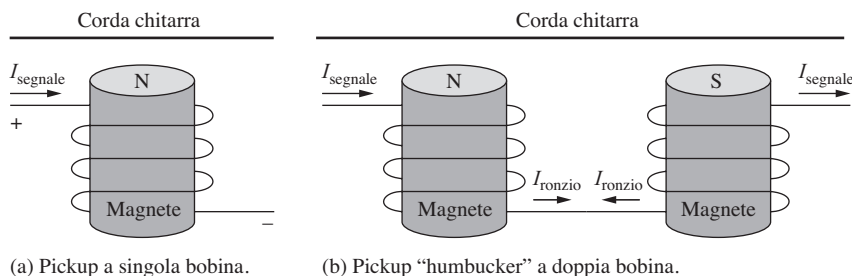
I pickup delle chitarre elettriche sono dispositivi che convertono le vibrazioni di una corda d'acciaio in segnali elettrici. Il loro funzionamento è basato sull'interazione di materiali e campi magnetici. Lo schema di principio di un pickup è riportato nella figura seguente. Il magnete induce una magnetizzazione (allineamento dei domini magnetici) nella corda d'acciaio. Quando la corda vibra crea un campo magnetico variabile che, per effetto della legge di Faraday, induce una corrente nella bobina collocata sotto la corda stessa. Il segnale della bobina viene quindi pre-amplificato e inviato all'amplificatore finale. La bobina è tipicamente realizzata con filo estremamente sottile fino a formare un numero di spire che può variare da qualche centinaio fino a un migliaio. La scelta del magnete, del materiale per il filo e del numero di spire è frutto di un compromesso tra sensibilità e risposta in frequenza del sistema. I suonatori di chitarra utilizzano spesso una retroazione acustica per generare una nota persistente avvicinando la chitarra agli altoparlanti. L'energia acustica si accoppia con la chitarra provocando la vibrazione della corda che, a sua volta, fa aumentare il segnale inviato all'amplificatore. Nonostante si oda spesso un segnale di retroazione indesiderato quando il sistema complessivo non è ben configurato, un chitarrista esperto può sfruttare questa retroazione acustica per generare ad arte note persistenti.

Il pickup a singola bobina è intrinsecamente sensibile ai campi magnetici esterni. In particolare, la rete di distribuzione dell'energia elettrica a 50 Hz (o 60 Hz) presente negli edifici genera campi magnetici alla stessa frequenza che, accoppiandosi al

pickup, producono un fastidioso ronzio. Per eliminare questo ronzio bisogna partire da due importanti osservazioni. In primo luogo, la polarità del segnale di vibrazione della corda è funzione sia della polarità della magnetizzazione della corda stessa che dell'orientazione della bobina rispetto alla corda. In secondo luogo, la polarità del segnale che produce il ronzio è funzione della sola orientazione della bobina nel campo magnetico esterno.

In base alle due osservazioni precedenti è stato realizzato il pickup senza ronzio. Una seconda bobina viene aggiunta e collegata in serie alla prima. In questa seconda bobina il magnete presenta polarità invertita in modo da invertire anche la polarità della magnetizzazione della porzione di corda sospesa su di esso. Inoltre, anche il verso di avvolgimento delle spire della seconda bobina viene invertito rispetto a quello della prima. In tal modo le correnti indotte nelle due bobine dalla vibrazione della corda hanno la stessa polarità e si sommano, mentre le correnti indotte da campi magnetici esterni (che generano il ronzio) nelle due bobine, essendo dipendenti solo dall'orientazione (verso di avvolgimento) delle bobine, risultano di segno opposto e si annullano.

Il pickup senza ronzio è un eccellente esempio di sensore ben progettato. Discriminando tra il segnale desiderato e quello indesiderato consente, infatti, al progettista di realizzare un sistema che elimina i disturbi. L'eliminazione dei segnali indesiderati al livello del sensore è certamente più conveniente rispetto al tentativo di eliminazione dei disturbi mediante trattamento successivo del segnale.



$$C_1: R_{1S} = R_I + R_G = 1.01 \text{ M}\Omega$$

$$C_2: R_{2S} = R_{S1} \parallel R_{iS1} = R_{S1} \parallel \frac{1}{g_{m1}} = 200 \Omega \parallel \frac{1}{10 \text{ mS}} = 66.7 \Omega$$

$$C_3: R_{3S} = R_{D1} + R_{I1} \parallel R_{iB2} = R_{D1} + R_{I1} \parallel r_{\pi 2} = 620 \Omega + 17.2 \text{ k}\Omega \parallel 2.39 \text{ k}\Omega = 2.72 \text{ k}\Omega$$

$$C_4: R_{4S} = R_{E2} \parallel R_{iE2} = R_{E2} \parallel \frac{r_{\pi 2} + R_{th2}}{\beta_{o2} + 1} = 1.5 \text{ k}\Omega \parallel \frac{2.39 \text{ k}\Omega + (17.2 \text{ k}\Omega \parallel 620 \Omega)}{151} = 19.2 \Omega$$

$$C_5: R_{3S} = R_{C2} + R_{I2} \parallel R_{iB3} = R_{C2} + R_{I2} \parallel r_{\pi 3} (1 + g_{m3} R_{L3}) \\ = 4.7 \text{ k}\Omega + 51.8 \text{ k}\Omega \parallel 1.0 \text{ k}\Omega [1 + 79.6 \text{ mS} (232 \Omega)] = 18.9 \text{ k}\Omega$$

$$C_6: R_{4S} = R_L + R_{E3} \parallel R_{iE3} = R_L + R_{E3} \parallel \frac{r_{\pi 3} + R_{th3}}{\beta_{o3} + 1} \\ = 250 \Omega + 3.3 \text{ k}\Omega \parallel \frac{1.0 \text{ k}\Omega + (51.8 \text{ k}\Omega \parallel 4.7 \text{ k}\Omega)}{81} = 315 \Omega$$

$$f_L \approx \frac{1}{2\pi} \left[\frac{1}{1.01 \text{ M}\Omega (22 \mu\text{F})} + \frac{1}{66.7 \Omega (22 \mu\text{F})} + \frac{1}{2.72 \text{ k}\Omega (22 \mu\text{F})} + \frac{1}{19.2 \Omega (22 \mu\text{F})} \right. \\ \left. + \frac{1}{18.9 \text{ k}\Omega (22 \mu\text{F})} + \frac{1}{315 \Omega (22 \mu\text{F})} \right] \\ f_L \approx 511 \text{ Hz}$$

La frequenza $f_L = 511 \text{ Hz}$ ottenuta mediante il metodo delle costanti di tempo in cortocircuito risulta in buon accordo con i risultati della simulazione SPICE presentata nell'Esempio 14.11.

Letture aggiuntive

P.R. Gray, P.J. Hurst, S.H. Lewis, e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, quinta edizione, John Wiley and Sons, New York: 2009.

A.S. Sedra e K.C. Smith, *Microelectronic Circuits*, settima edizione, Oxford University Press, New York: 2014.

M.N. Horenstein, *Microelectronic Circuits and Devices*, seconda edizione, Prentice-Hall, Englewood Cliffs, NJ: 1995.

J. Savant, M.S. Roden e G.L. Carpenter, *Electronic Design - Circuits and Systems*, seconda edizione, Benjamin/Cummings, Redwood City, CA: 1990.

Obiettivi

In questo capitolo studieremo come trattare gli amplificatori multistadio con accoppiamento in continua; verranno inoltre introdotti nuovi importanti concetti relativi agli amplificatori.

Gli obiettivi che si intende perseguire sono i seguenti.

- Comprendere l'analisi e il progetto degli amplificatori multistadio accoppiati in DC.
- Studiare le proprietà DC e AC degli amplificatori differenziali.
- Introdurre il circuito dell'amplificatore operazionale elementare, a tre stadi.
- Analizzare gli stadi di uscita in classe A, B e AB.
- Discutere le caratteristiche e il progetto dei generatori di corrente elettronici.

Nella maggior parte dei casi un circuito a singolo transistor non è in grado di soddisfare tutte le specifiche assegnate a un amplificatore. Il guadagno di tensione richiesto spesso eccede il fattore di amplificazione di un singolo transistor oppure non è possibile rispettare contemporaneamente le specifiche sul guadagno di tensione, sulla resistenza di ingresso e sulla resistenza di uscita. Si considerino, per esempio, le caratteristiche di un buon amplificatore operazionale di uso generale che presenta una resistenza di ingresso superiore a $1\text{ M}\Omega$, un guadagno di tensione di 100 000 e una resistenza di uscita di valore inferiore ai $100\ \Omega$. Dallo studio degli amplificatori, sappiamo che queste specifiche non possono essere verificate simultaneamente con un amplificatore a singolo transistor. Per realizzare un amplificatore che soddisfi tutte queste specifiche bisogna porre in cascata un certo numero di stadi.

In questo capitolo proseguiamo quindi il nostro studio degli amplificatori multistadio, in cui singoli transistori sono collegati insieme per migliorare le prestazioni complessive del circuito. Negli amplificatori multistadio accoppiati in AC, le interazioni tra le componenti continue dei vari stadi che costituiscono l'amplificatore sono eliminate e pertanto il progetto dei circuiti di polarizzazione è molto semplice. Molti dei circuiti con amplificatori operazionali devono tuttavia amplificare segnali in DC; per realizzare amplificatori di questo tipo bisogna eliminare i condensatori di accoppiamento che impediscono ai segnali in DC di attraversare l'amplificatore. Ciò conduce al concetto di amplificatori accoppiati direttamente, o accoppiati in DC, che possono soddisfare le specifiche dell'amplificazione di segnali in continua. Nel caso di accoppiamento in DC il punto di lavoro

di ogni stadio dipende da quello degli stadi precedenti, e ciò rende il progetto dell'amplificatore alquanto più complesso.

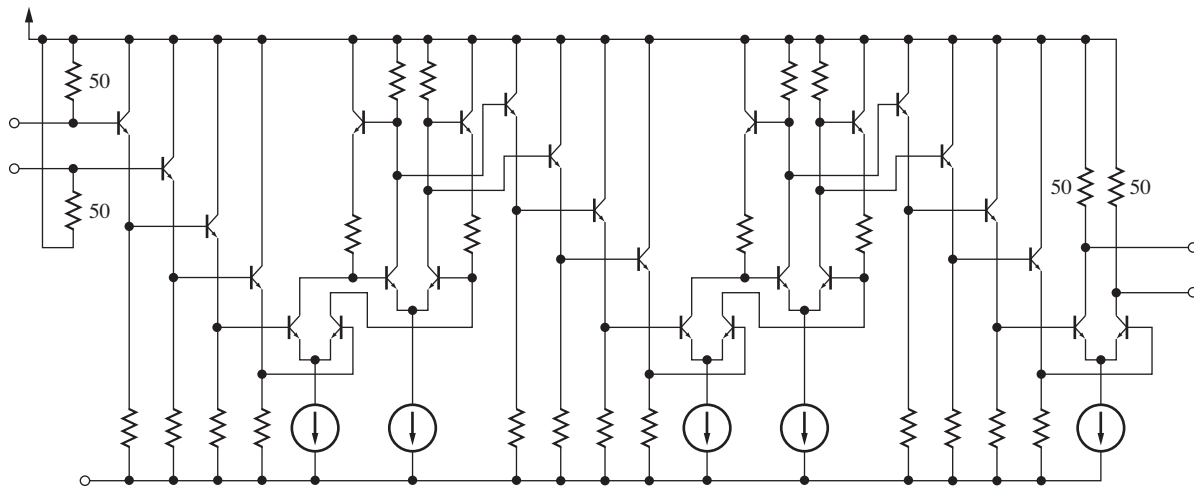
Il più importante degli amplificatori accoppiati in DC è l'amplificatore differenziale simmetrico a due transistori. L'amplificatore differenziale rappresenta non solo il circuito base nel progetto degli amplificatori operazionali, ma è anche uno stadio fondamentale in tutti i circuiti integrati analogici. In questo capitolo si introducono gli amplificatori differenziali a BJT e si studia come i guadagni di modo differenziale e di modo comune, il rapporto di reiezione di modo comune, le resistenze di ingresso di modo differenziale e di modo comune e la resistenza di uscita dell'amplificatore siano tutti legati ai parametri dei transistori.

In seguito, vengono aggiunti all'amplificatore differenziale un secondo stadio e uno stadio di uscita, creando un amplificatore operazionale elementare. Vengono introdotte le definizioni di amplificatori in classe A, B e AB, e il progetto di base dell'amplificatore operazionale viene ulteriormente migliorato aggiungendo stadi di uscita in classe B e in classe AB. In circuiti per applicazioni audio, questi stadi di uscita spesso usano trasformatori d'accoppiamento.

La polarizzazione per i circuiti analogici è molto spesso realizzata mediante generatori di corrente. Un generatore ideale di corrente fornisce una fissata corrente di uscita indipendentemente dalla caduta di tensione ai suoi capi: in altre parole il generatore di corrente ideale ha una resistenza di uscita infinita. I generatori di corrente elettronici non possono avere una resistenza di uscita infinita; è tuttavia possibile, grazie a opportune configurazioni circuitali, ottenere valori di resistenza di uscita

estremamente elevati. In questo capitolo sono introdotti e confrontati fra loro un certo numero di circuiti atti a realizzare generatori di corrente elettronici e alcune tecniche per incrementarne la resistenza di uscita.

È inoltre analizzata la coppia Darlington, in cui due transistori *nnp* o *pnp* sono accoppiati in DC per fornire un guadagno di corrente molto più elevato. Tale configurazione può essere utilizzata come sostituto di un singolo transistoro *nnp* o *pnp*.



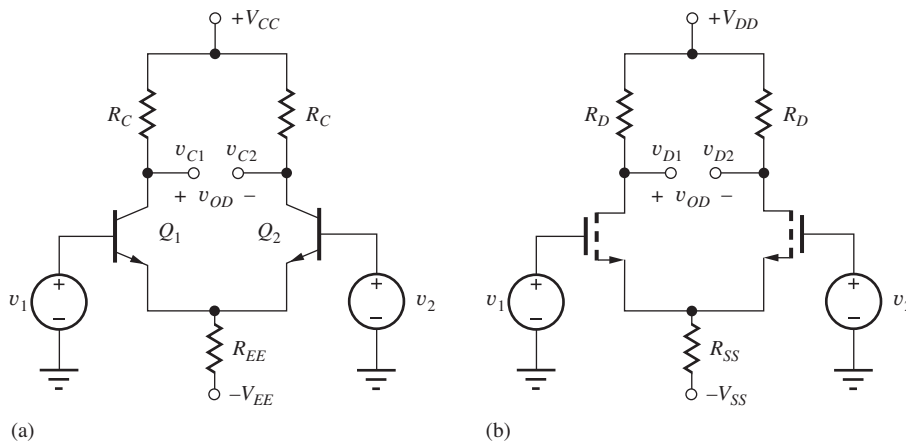
Schema di un amplificatore-limitatore in tecnologia bipolare. Y. Baeyens *et al.*, "InP D-HBT IC's for 40 Gb/s and higher bit rate lightwave transceivers", *IEEE J. Solid-State Circuits*, vol. 37, n. 9, settembre 2002, pp. 1152-1159. © 2002 IEEE. Adattato con permesso.

15.1 Amplificatori differenziali

I condensatori di accoppiamento limitano la risposta alle basse frequenze degli amplificatori e ne precludono l'utilizzo in DC. Affinché un amplificatore possa presentare un guadagno anche in DC è necessario eliminare i condensatori in serie al percorso del segnale (per esempio C1, C3, C5 e C6 in Figura 14.43); un amplificatore di questo tipo è chiamato **amplificatore accoppiato in DC** o **accoppiato direttamente**. Progettare un amplificatore accoppiato direttamente può consentire l'eliminazione dei resistori aggiuntivi richiesti per la polarizzazione dei singoli stadi, ottenendo quindi un circuito meno costoso.

L'amplificatore differenziale è uno dei più importanti elementi tra i blocchi fondamentali per il progetto di circuiti analogici. Questo circuito rappresenta il cuore dell'amplificatore operazionale e della maggior parte dei circuiti analogici accoppiati in DC. Benché l'amplificatore differenziale contenga due transistori in una configurazione simmetrica, è spesso immaginato come amplificatore a singolo stadio, e la nostra analisi mostrerà che esso ha caratteristiche simili a quelle degli amplificatori a emettitore comune o a source comune.

Figura 15.1
(a) Amplificatore differenziale a transistori bipolari
e (b) a transistori MOS.



15.1.1 Amplificatori differenziali a transistori bipolari e a MOS

La Figura 15.1 mostra le versioni bipolare e MOS dell'amplificatore differenziale. Ciascun circuito ha due terminali di ingresso, v_1 e v_2 , e la **tensione di uscita di modo differenziale** v_{OD} è definita come la differenza di potenziale tra i collettori o i drain dei due transistori. È anche possibile prelevare la tensione di uscita tra ciascuno dei collettori o drain e il potenziale di riferimento v_{C1} , v_{C2} , v_{D1} , v_{D2} .

La natura simmetrica dell'amplificatore dà origine a utili caratteristiche sia in DC che in AC. Tuttavia, si possono ottenere prestazioni ideali dall'amplificatore differenziale solo quando esso è perfettamente simmetrico, e le migliori versioni sono quelle costruite utilizzando la tecnologia dei circuiti integrati dove è facile realizzare transistori con caratteristiche identiche. In particolare, i transistori devono presentare identiche caratteristiche e identici valori dei parametri; più precisamente, devono essere uguali i set di parametri (I_S , β_{FO} , V_A) o (K_n , V_{TN} e λ), i punti di lavoro e le temperature dei due transistori.

15.1.2 Analisi in DC dell'amplificatore differenziale a transistori bipolari

Il punto di lavoro dei transistori dell'amplificatore differenziale bipolare può essere trovato ponendo entrambi i segnali di ingresso a zero tensione nulla come in Figura 15.2. In questo circuito entrambe le basi sono cortocircuitate a zero volt e i due emettitori sono connessi tra loro, per cui $V_{BE1} = V_{BE2} = V_{BE}$. Se si assume che i transistori bipolari Q_1 e Q_2 siano identici, la simmetria del circuito impone $V_{C1} = V_{C2} = V_C$, e le correnti dei due transistori sono identiche: $I_{C1} = I_{C2} = I_C$, $I_{E1} = I_{E2} = I_E$, $I_{B1} = I_{B2} = I_B$.

Le correnti di emettitore si trovano scrivendo un'equazione alla maglia partendo dalla base di Q_1 :

$$V_{BE} + 2I_ER_{EE} - V_{EE} = 0 \quad \text{e} \quad I_C = \alpha_F I_E = \alpha_F \frac{V_{EE} - V_{BE}}{2R_{EE}} \quad (15.1)$$

con

$$I_B = I_C / \beta_F$$

Le tensioni ai due collettori sono uguali a:

$$V_{C1} = V_{C2} = V_{CC} - I_C R_C \quad (15.2)$$

e $V_{CE} = V_{CE2} = V_{CC} + V_{BE} - I_C R_C$. Per l'amplificatore simmetrico la tensione continua di uscita è zero:

$$V_{OD} = V_{C1} - V_{C2} = 0 \text{ V} \quad (15.3)$$

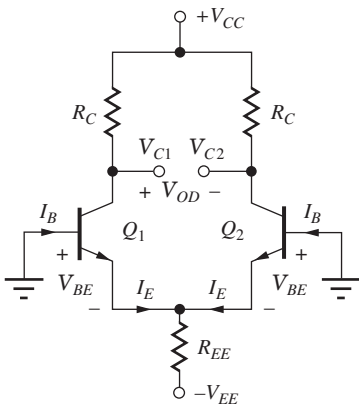


Figura 15.2

Circuito per l'analisi DC dell'amplificatore differenziale a transistore bipolare.

$$I_C = \alpha_F \frac{V_{EE} - V_{BE}}{2R_{EE}} \approx \frac{V_{EE} - V_{BE}}{2R_{EE}}$$

$$V_{CE} = V_{CC} + V_{BE} - I_C R_C$$

ANALISI DEL PUNTO DI LAVORO DELL'AMPLIFICATORE DIFFERENZIALE

Esempio 15.1

In questo esempio determineremo il punto di lavoro per un amplificatore differenziale a transistori bipolari.

Si trovino i punti di lavoro V_C e I_B per l'amplificatore differenziale di Figura 15.1(a) se $V_{CC} = V_{EE} = 15 \text{ V}$, $R_{EE} = 75 \text{ k}\Omega$, $R_C = 75 \text{ k}\Omega$ e $\beta_F = 100$.

PROBLEMA

SOLUZIONE **Informazioni e dati noti:** La topologia del circuito è mostrata in Figura 15.1(a); vengono utilizzate due alimentazioni simmetriche di 15 V; $R_C = R_{EE} = 75 \text{ k}\Omega$, $\beta_F = 100$.

Incognite: I_C , V_{CE} , V_C , I_B per Q_1 e Q_2 .

Approccio: Si usino i valori numerici per gli elementi del circuito e si segua l'analisi presentata nelle Equazioni da (15.1) a (15.3).

Ipotesi: Regione attiva con $V_{BE} = 0.7 \text{ V}$; $V_A \rightarrow \infty$.

Analisi: Usando le Equazioni (15.1) e (15.2):

$$I_E = \frac{V_{EE} - V_{BE}}{2R_{EE}} = \frac{(15 - 0.7) \text{ V}}{2(75 \text{ k}\Omega)} = 95.3 \text{ }\mu\text{A}$$

$$I_C = \alpha_F I_E = \frac{100}{101} I_E = 94.4 \text{ }\mu\text{A}$$

$$I_B = \frac{I_C}{\beta_F} = \frac{94.4 \text{ }\mu\text{A}}{100} = 0.944 \text{ }\mu\text{A}$$

$$V_C = 15 \text{ V} - I_C R_C = 15 \text{ V} - (94.4 \text{ }\mu\text{A})(75 \text{ k}\Omega) = 7.92 \text{ V}$$

e

$$V_{CE} = V_C - V_E = 7.92 \text{ V} - (-0.7 \text{ V}) = 8.62 \text{ V}$$

Grazie alla simmetria, entrambi i transistori dell'amplificatore differenziale sono polarizzati a (94.4 μA , 8.62 V) con $I_B = 0.944 \text{ }\mu\text{A}$ e $V_C = 7.92 \text{ V}$.

Verifica dei risultati: Un controllo dei calcoli indica che i risultati sono corretti. Si noti che quando R_C e R_{EE} sono uguali, la caduta di tensione ai capi di R_C dovrebbe essere circa la metà della tensione ai capi di R_{EE} . I nostri calcoli sono in accordo con questo risultato. $V_{CE} > V_{BE}$, per cui l'ipotesi di zona attiva diretta è verificata.

Discussione: Si noti che per $V_{EE} \gg V_{BE}$, I_E può essere approssimato da:

$$I_E \approx \frac{V_{EE}}{2R_{EE}} = \frac{15 \text{ V}}{150 \text{ k}\Omega} = 100 \text{ }\mu\text{A}$$

Questa stima comporta un errore del 6% rispetto ai calcoli più accurati.

Analisi assistita da calcolatore: L'analisi SPICE con $\text{BF} = 100$ e $\text{IS} = 0.5F$ fornisce un punto di lavoro (94.6 μA , 8.57 V) con $V_{BE} = 0.672 \text{ V}$. I valori della tensione di collettore e della corrente di base sono 7.91 V e 0.964 μA e sono in accordo con i calcoli manuali. Possiamo usare SPICE per valutare l'effetto di una tensione di Early non nulla sul punto di lavoro dell'amplificatore differenziale. Una seconda simulazione con $\text{VAF} = 50 \text{ V}$ fornisce per il punto di lavoro i valori (94.7 μA , 8.56 V). Non si osservano variazioni significative! I valori della tensione di collettore e della corrente di base sono ora 7.90 V e 0.818 μA . Poiché la corrente di collettore non è cambiata, neanche la tensione di collettore è cambiata. Tuttavia, la corrente di base si è ridotta del 14%. Bisogna chiedersi il perché di questa riduzione. Occorre ricordare che il guadagno di corrente del transistor nel modello del trasporto è dato da $\beta_F = \beta_{FO}(1 + V_{CE}/V_A)$. Inoltre, occorre ricordare che SPICE utilizza un'espressione leggermente diversa:

$$\beta_F = \beta_{FO} \left(1 + \frac{V_{CB}}{V_A} \right) = \beta_{FO} \left(1 + \frac{V_{CE} - V_{BE}}{V_A} \right) = 100 \left(1 + \frac{7.90 \text{ V}}{50 \text{ V}} \right) = 116$$

e ciò giustifica la differenza del 14%.

ESERCIZIO Qual è il punto di lavoro se $\beta_F = 60$, invece di 100?

RISPOSTA (93.7 μA , 8.67 V).

ESERCIZIO Quali sono i valori effettivi di V_{BE} e I_C se la corrente di saturazione del transistore è 0.5 fA? Quale valore di I_S permette di ottenere $V_{BE} = 0.7$ V se $V_T = 25.9$ mV?

RISPOSTA 0.649 V per $V_T = 25$ mV; 94.7 μ A; 0.173 fA.

ESERCIZIO Si disegni una versione *pnp* dell'amplificatore differenziale *nnp* di Figura 15.1(a).

RISPOSTA Si veda la Figura P15.14.



NOTA PROGETTUALE

Tensione sul resistore di collettore R_C

La tensione V_{R_C} sul resistore di collettore R_C è all'incirca metà di quella su R_{EE} quando $R_C = R_{EE}$, poiché la corrente in R_{EE} viene divisa in due parti uguali.

15.1.3 Caratteristica di trasferimento di piccolo segnale dell'amplificatore differenziale a transistori bipolari

L'amplificatore differenziale presenta vantaggi in termini di massima escursione del segnale e di distorsione, rispetto agli amplificatori a singolo transistore. Un amplificatore differenziale può essere visto come un deviatore di corrente che instrada la corrente che circola nella resistenza R_{EE} verso l'uno o l'altro dei due dispositivi, a seconda dei valori di v_1 e v_2 . La caratteristica di trasferimento per ampi segnali dell'amplificatore differenziale è descritta dall'equazione seguente (con $\alpha_F I_{EE} = 2I_C$):

$$i_{C1} - i_{C2} = 2I_C \tanh\left(\frac{v_{BE1} - v_{BE2}}{2V_T}\right) = 2I_C \tanh\left(\frac{v_{id}}{2V_T}\right) \quad (15.4)$$

$$G_m = \frac{d(i_{C1} - i_{C2})}{dv_{id}} = \frac{I_C}{V_T} \operatorname{sech}^2\left(\frac{v_{id}}{2V_T}\right) = g_m \operatorname{sech}^2\left(\frac{v_{id}}{2V_T}\right)$$

in cui si è sfruttata la condizione che in un amplificatore differenziale simmetrico

$$v_{BE1} = V_{BE} + \frac{v_{id}}{2}, \quad v_{BE2} = V_{BE} - \frac{v_{id}}{2}.$$

Sviluppando la tangente iperbolica in serie di Maclaurin si ottiene:

$$I_{C1} - I_{C2} = 2I_C \left[\left(\frac{v_{id}}{2V_T}\right) - \frac{1}{3} \left(\frac{v_{id}}{2V_T}\right)^3 + \frac{2}{15} \left(\frac{v_{id}}{2V_T}\right)^5 - \frac{17}{315} \left(\frac{v_{id}}{2V_T}\right)^7 + \dots \right] \quad (15.5)$$

Per prima cosa si può notare che la sottrazione delle due correnti di collettore elimina i termini di distorsione di ordine pari nella Equazione (15.5). In secondo luogo, per piccoli segnali è auspicabile avere il termine lineare dominante. Imponendo che il termine del terzo ordine sia un decimo del termine lineare, si ha $v_{id} \leq 2V_T \sqrt{0.3}$, ovvero $v_{id} \leq 27$ mV. A prima vi-

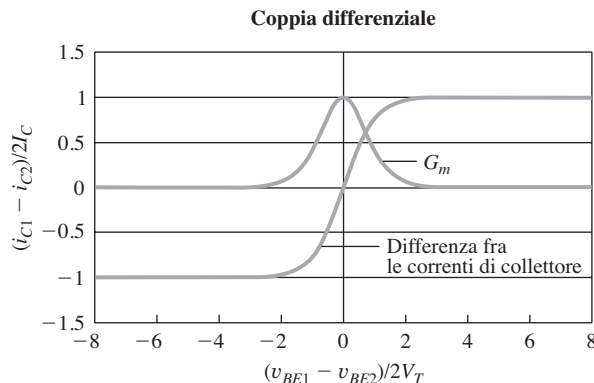


Figura 15.3

Caratteristica di trasferimento ad ampi segnali e transconduttanza per la coppia differenziale bipolare.

sta, avremmo dovuto aspettarci un incremento di un fattore due (10 mV), poiché il segnale di ingresso è egualmente diviso tra i due transistori della coppia differenziale. Tuttavia, l'assenza dei termini pari nell'espansione comporta un ulteriore aumento della capacità di trattare segnali in condizioni di linearità. Questa regione lineare estesa della caratteristica di trasferimento è chiaramente visibile nella parte centrale della curva del grafico di Figura 15.3, in cui si riporta l'andamento della (15.5).

La transconduttanza della coppia differenziale (G_m) è calcolata nella (15.4) come la derivata della caratteristica di trasferimento. Il valore di G_m è anch'esso riportato in Figura 15.3, in funzione della tensione differenziale di ingresso normalizzata. Si noti che il valore di G_m è massimo quando la coppia differenziale è bilanciata, con $i_{C1} = i_{C2}$, mentre G_m tende a zero per $|v_{id}| > 6V_T$ (150 mV).

15.1.4 Analisi in AC dell'amplificatore differenziale a transistori bipolari

L'analisi AC dell'amplificatore differenziale può essere semplificata separando i segnali di ingresso v_1 e v_2 nelle loro **componenti di modo differenziale** (v_{id}) e di **modo comune** (v_{ic}), come mostrato in Figura 15.4 e definite da:

$$v_{id} = v_1 - v_2 \quad \text{e} \quad v_{ic} = \frac{v_1 + v_2}{2} \quad (15.6)$$

Le tensioni di ingresso possono essere scritte in termini di v_{ic} e v_{id} come:

$$v_1 = v_{ic} + \frac{v_{id}}{2} \quad \text{e} \quad v_2 = v_{ic} - \frac{v_{id}}{2} \quad (15.7)$$

L'analisi del circuito può essere eseguita utilizzando la sovrapposizione delle componenti di modo comune e di modo differenziale del segnale di ingresso. Questa tecnica viene utilizzata anche nello studio degli amplificatori operazionali.

Le **tensioni di uscita di modo differenziale e di modo comune** v_{od} e v_{oc} sono definite in maniera simile:

$$v_{od} = v_{c1} - v_{c2} \quad \text{e} \quad v_{oc} = \frac{v_{c1} + v_{c2}}{2} \quad (15.8)$$

Nel caso generale le tensioni v_{od} e v_{oc} saranno funzione sia di v_{id} sia di v_{ic} , e si può scrivere:

$$\begin{bmatrix} v_{od} \\ v_{oc} \end{bmatrix} = \begin{bmatrix} A_{dd} & A_{cd} \\ A_{dc} & A_{cc} \end{bmatrix} \begin{bmatrix} v_{id} \\ v_{ic} \end{bmatrix} \quad (15.9)$$

dove vengono definiti quattro guadagni:

A_{dd} = **guadagno di modo differenziale**,

A_{cd} = **guadagno di conversione da modo comune a modo differenziale**,

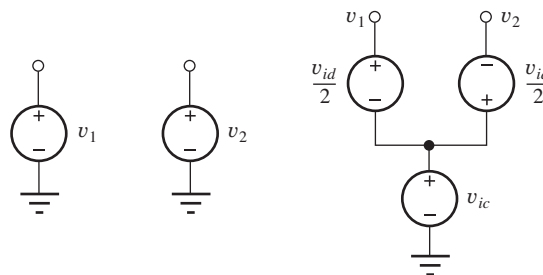
A_{cc} = **guadagno di modo comune**,

A_{dc} = **guadagno di conversione da modo differenziale a modo comune**.

Per un amplificatore ideale simmetrico con transistori accoppiati, A_{cd} e A_{dc} sono uguali a zero, e l'Equazione (15.9) diventa:

$$\begin{bmatrix} v_{od} \\ v_{oc} \end{bmatrix} = \begin{bmatrix} A_{dd} & 0 \\ 0 & A_{cc} \end{bmatrix} \begin{bmatrix} v_{id} \\ v_{ic} \end{bmatrix} \quad (15.10)$$

Figura 15.4
Definizione dei segnali di ingresso di modo differenziale (v_{id}) e di modo comune (v_{ic}).



In questo caso un segnale di ingresso di modo differenziale produce un'uscita puramente differenziale, e un segnale di ingresso di modo comune produce solo un'uscita di modo comune.

Tuttavia, quando l'amplificatore differenziale non è completamente bilanciato a causa di dissimmetrie nei transistori, A_{dc} o A_{cd} possono essere diversi da zero. Nella discussione seguente assumeremo transistori identici se non altrimenti specificato.

ESERCIZIO Misure effettuate su un amplificatore differenziale hanno fornito i seguenti valori:

$$v_{od} = 2.2 \text{ V e } v_{oc} = 1.002 \text{ V} \quad \text{per } v_1 = 1.01 \text{ V e } v_2 = 0.990 \text{ V}$$

$$v_{od} = 0.0 \text{ V e } v_{oc} = 5.001 \text{ V} \quad \text{per } v_1 = 4.995 \text{ V e } v_2 = 5.005 \text{ V}$$

Quali sono i valori di v_{id} e v_{ic} nei due casi? Quali sono i valori di A_{dd} , A_{cd} , A_{dc} e A_{cc} per l'amplificatore?

RISPOSTE 0.02 V, 1.00 V; -0.01 V, 5.00 V; 100, 0.200, 0.100, 1.00.

Siamo ora in grado di caratterizzare le proprietà dell'amplificatore differenziale calcolando i guadagni di modo differenziale e modo comune A_{dd} e A_{cc} e le resistenze di ingresso e uscita. Inizieremo con l'analisi del circuito completo, che sarà poi usata per sviluppare una modalità di analisi semplificata adatta allo studio di circuiti simmetrici e chiamata *analisi con mezzo circuito*.

15.1.5 Guadagno e resistenza di ingresso di modo differenziale

Nella Figura 15.5 all'amplificatore è applicato un segnale puramente differenziale; nella Figura 15.6, i transistori sono stati sostituiti con i loro modelli di piccolo segnale. Vogliamo trovare il guadagno nel caso di uscita presa in modo differenziale e di uscita presa tra il collettore e il riferimento; vogliamo inoltre calcolare le resistenze di ingresso e di uscita. Poiché i transistori hanno dei resistori di carico, nei calcoli seguenti trascureremo le resistenze differenziali di uscita dei dispositivi.

Sommando le correnti nel nodo di emettitore in Figura 15.6:

$$g_{\pi}v_3 + g_m v_3 + g_m v_4 + g_{\pi}v_4 = G_{EE}v_e \quad \text{ovvero} \quad (g_m + g_{\pi})(v_3 + v_4) = G_{EE}v_e \quad (15.11)$$

Queste equazioni sono state semplificate rappresentando le resistenze r_{π} e R_{EE} per mezzo delle loro conduttanze equivalenti g_{π} e G_{EE} . Le tensioni base-emettitore sono:

$$v_3 = \frac{v_{id}}{2} - v_e \quad \text{e} \quad v_4 = -\frac{v_{id}}{2} - v_e \quad (15.12)$$

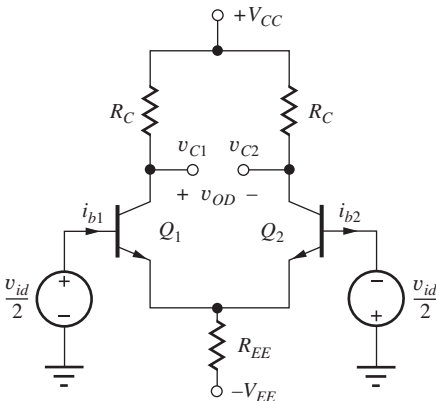


Figura 15.5 Amplificatore differenziale con segnale di ingresso di modo differenziale.

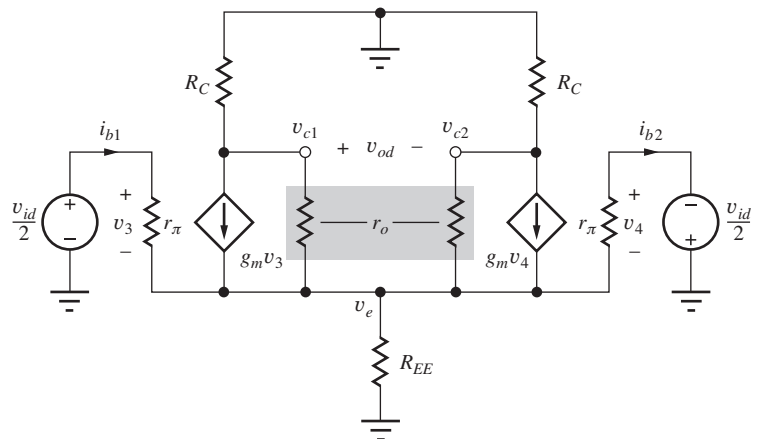


Figura 15.6 Modello di piccolo segnale per l'amplificatore differenziale con segnale di ingresso di modo differenziale.

da cui si ottiene $v_3 + v_4 = -2v_e$. Combinando l'Equazione (15.12) con l'Equazione (15.11) si ottiene

$$v_e(G_{EE} + 2g_\pi + 2g_m) = 0 \quad (15.13)$$

che impone $v_e = 0$.

Per un segnale di ingresso puramente differenziale la tensione al nodo di emettitore è identicamente nulla. Questo è un risultato estremamente importante: il nodo di emettitore si comporta come se fosse collegato al potenziale di riferimento (*virtual ground*), per cui l'amplificatore differenziale si comporta come un amplificatore a emettitore comune (o a source comune, nella versione MOS).



NOTA PROGETTUALE

Emettitore a potenziale costante

Il nodo di emettitore in un amplificatore differenziale, grazie alla simmetria del circuito, è a potenziale nullo (*virtual ground*) per le componenti di segnale di modo differenziale.

Poiché la tensione al nodo di emettitore è zero, l'Equazione (15.12) fornisce:

$$v_3 = \frac{v_{id}}{2} \quad \text{e} \quad v_4 = -\frac{v_{id}}{2} \quad (15.14)$$

e le tensioni di uscita sono:

$$v_{c1} = -g_m R_C \frac{v_{id}}{2} \quad v_{c2} = +g_m R_C \frac{v_{id}}{2} \quad v_{od} = -g_m R_C v_{id} \quad (15.15)$$

Il guadagno di modo differenziale A_{dd} per **uscita bilanciata**, $v_{od} = v_{c1} - v_{c2}$, è:

$$A_{dd} = \left. \frac{v_{od}}{v_{id}} \right|_{v_{ic}=0} = -g_m R_C \quad (15.16)$$

Se solo v_{c1} oppure solo v_{c2} è usato come uscita, si parla di uscita riferita a ground (*single-ended*), e si ha:

$$A_{dd1} = \left. \frac{v_{c1}}{v_{id}} \right|_{v_{ic}=0} = -\frac{g_m R_C}{2} = \frac{A_{dd}}{2} \quad \text{o} \quad A_{dd2} = \left. \frac{v_{c2}}{v_{id}} \right|_{v_{ic}=0} = +\frac{g_m R_C}{2} = -\frac{A_{dd}}{2} \quad (15.17)$$

a seconda di quale uscita sia stata scelta.

La condizione di potenziale nullo al nodo di emettitore fa sì che l'amplificatore si comporti come un singolo stadio a emettitore comune. L'uscita differenziale bilanciata fornisce per intero il guadagno dello stadio a emettitore comune, mentre l'uscita su ciascun collettore fornisce un guadagno pari alla metà di quello dello stadio C-E.

La tensione di uscita di modo comune, definita dall'Equazione (15.8), è zero, poiché $v_{c2} = -v_{c1}$ e quindi A_{dc} è zero, come assunto nell'Equazione (15.10).

Resistenza di ingresso di modo differenziale

La **resistenza di ingresso di modo differenziale** R_{id} rappresenta la resistenza di piccolo segnale che si presenta al segnale di ingresso di modo differenziale, e appare tra le due basi dei transistori. Essa è definita come:

$$R_{id} = \frac{v_{id}}{i_{b1}} = 2r_\pi \quad \text{poiché} \quad i_{b1} = \frac{v_{id}}{2r_\pi} \quad (15.18)$$

Se v_{id} è posto uguale a zero nella Figura 15.6, allora i termini $g_m v_3$ e $g_m v_4$ sono nulli e la **resistenza di uscita di modo differenziale** R_{od} è uguale a:

$$R_{od} = 2(R_C \parallel r_o) \approx 2R_C \quad (15.19)$$

Per l'uscita *single-ended* si ha:

$$R_{od} \approx R_C \quad (15.20)$$



NOTA PROGETTUALE

Amplificazione di modo differenziale

La coppia differenziale si comporta come un amplificatore a emettitore comune (o a source comune) per i segnali di ingresso di modo differenziale.

15.1.6 Guadagno e resistenza di ingresso di modo comune

Nella Figura 15.7 all'amplificatore differenziale sono applicati segnali di ingresso di modo comune. In questo caso entrambi i lati dell'amplificatore sono completamente simmetrici; pertanto le due correnti di base, le correnti di emettitore, le correnti di collettore e le tensioni di collettore devono essere uguali. Utilizzando questa simmetria la tensione di uscita si può ricavare scrivendo l'equazione alla maglia che include la giunzione base-emettitore.

Utilizzando il circuito equivalente di piccolo segnale di Figura 15.8 si ha:

$$v_{ic} = i_b r_\pi + v_e = i_b [r_\pi + 2(\beta_o + 1)R_{EE}] \quad \text{e} \quad i_b = \frac{v_{ic}}{r_\pi + 2(\beta_o + 1)R_{EE}} \quad (15.21)$$

La tensione sull'emettitore vale:

$$v_e = 2(\beta_o + 1)i_b R_{EE} = \frac{2(\beta_o + 1)R_{EE}}{r_\pi + 2(\beta_o + 1)R_{EE}} v_{ic} \approx v_{ic} \quad (15.22)$$

Osserviamo che l'Equazione (15.22) è identica a quella che si ottiene per un inseguitore di emettitore con resistenza di emettitore pari a $2R_{EE}$; di conseguenza la tensione sull'emettitore è approssimativamente quella di modo comune del segnale d'ingresso. (Si osservi che è stata usata la forma del modello di piccolo segnale controllata in corrente e si è nuovamente trascurata la resistenza r_o .)

La tensione di uscita su entrambi i collettori è data da:

$$v_{c1} = v_{c2} = -\beta_o i_b R_C = -\frac{\beta_o R_C}{r_\pi + 2(\beta_o + 1)R_{EE}} v_{ic} \quad (15.23)$$

La tensione di uscita di modo comune v_{oc} è definita dall'Equazione (15.8) e A_{cc} è dato da:

$$A_{cc} = \left. \frac{v_{oc}}{v_{ic}} \right|_{v_{id}=0} = -\frac{\beta_o R_C}{r_\pi + 2(\beta_o + 1)R_{EE}} \approx -\frac{R_C}{2R_{EE}} \quad (15.24)$$

per $\beta_o \gg 1$. L'Equazione (15.24) è la stessa che si ottiene per un amplificatore invertente con resistenza di emettitore $2R_{EE}$ e resistenza di carico sul collettore R_C . Moltiplicando e dividendo l'Equazione (15.24) per la corrente di collettore si ottiene:

$$A_{cc} = -\frac{I_C R_C}{2I_C R_{EE}} \approx -\frac{\frac{V_{CC}}{2}}{2I_E R_{EE}} = \frac{V_{CC}}{2(V_{EE} - V_{BE})} \approx \frac{V_{CC}}{2V_{EE}} \quad (15.25)$$

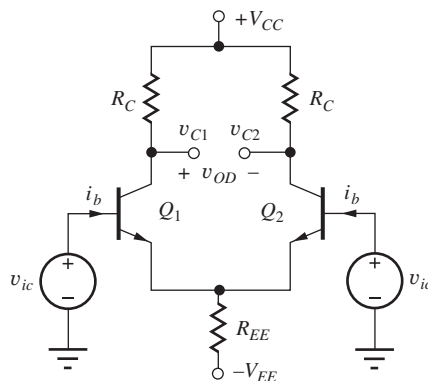


Figura 15.7
Amplificatore differenziale
con segnale di ingresso
di modo comune.

15.1.7 Rapporto di reiezione di modo comune (CMRR)

Per definizione, il **rapporto di reiezione di modo comune**, o **CMRR** (*Common Mode Rejection Ratio*), caratterizza la capacità di amplificare il segnale desiderato di modo differenziale e rigettare il segnale indesiderato di modo comune. Per uno stadio differenziale generico, il CMRR è definito come:

$$\text{CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| \quad (15.29)$$

dove A_{dm} e A_{cm} sono i guadagni complessivi di modo differenziale e di modo comune.¹

Per un amplificatore differenziale il CMRR dipende dalla scelta delle tensioni di uscita. Per l'uscita differenziale v_{od} , il guadagno di conversione di modo comune A_{cd} dell'amplificatore bilanciato è zero, e il CMRR è infinito. Invece, se l'uscita è presa da ciascun collettore si ha:

$$\begin{aligned} v_{c1} &= v_{oc} + \frac{v_{od}}{2} = A_{cc}v_{ic} + \frac{A_{dd}}{2}v_{id} \\ v_{c2} &= v_{oc} - \frac{v_{od}}{2} = A_{cc}v_{ic} - \frac{A_{dd}}{2}v_{id} \end{aligned} \quad (15.30)$$

dove si sono utilizzate le Equazioni (15.8) e (15.10). In base alle Equazioni (15.17), (15.27) e (15.29), il CMRR è dato da:

$$\text{CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \left| \frac{\frac{A_{dd}}{2}}{A_{cc}} \right| = \left| \frac{\frac{g_m R_c}{2}}{R_c \left(\frac{1}{\beta_o r_o} - \frac{1}{2R_{EE}} \right)} \right| = \left| \frac{1}{2 \left(\frac{1}{\beta_o \mu_f} - \frac{1}{2g_m R_{EE}} \right)} \right| \quad (15.31)$$

Per R_{EE} che tende all'infinito, il $\text{CMRR} \approx \beta_o \mu_f / 2$, ed è limitato dal prodotto $\beta_o \mu_f$ del transistor. D'altra parte, se il termine contenente R_{EE} è dominante, si ottiene il seguente risultato:

$$\text{CMRR} \approx g_m R_{EE} \quad (15.32)$$

Analizziamo più in dettaglio l'Equazione (15.32) scrivendo g_m in funzione della corrente di collettore.

$$\text{CMRR} = \frac{I_C R_{EE}}{V_T} = \frac{2I_E R_{EE}}{2V_T} = \frac{V_{EE} - V_{BE}}{2V_T} \approx \frac{V_{EE}}{2V_T} \quad (15.33)$$

Per l'amplificatore differenziale polarizzato con il resistore R_{EE} , il CMRR è limitato dall'ampiezza dell'alimentazione negativa disponibile V_{EE} . Osserviamo inoltre che il guadagno di modo differenziale sarà determinato dal valore dell'alimentazione positiva, cioè $A_{dd} = -V_{CC}/(2V_T)$, dove abbiamo usato le stime di progetto per l'amplificatore a emettitore comune con $I_C R_c = V_{CC}/2$.

ESERCIZIO Si stimino il guadagno di modo differenziale, il guadagno di modo comune e il CMRR per un amplificatore differenziale con $V_{EE} = V_{CC} = 15 \text{ V}$ nel caso di uscita differenziale e nel caso in cui l'uscita sia v_{c2} .

RISPOSTE $-300, 0, \rightarrow \infty; +150, -0.5, 49.5 \text{ dB}$.

Effetti delle dissimmetrie

Benché il CMRR di un amplificatore differenziale ideale con uscita differenziale sia infinito, nel caso di un amplificatore reale i due guadagni di conversione A_{cd} e A_{dc} non saranno nulli a causa delle dissimmetrie dei transistori. In questo caso il CMRR è ancora proporzionale al risultato fornito dall'Equazione (15.32) e si ha [1]:

$$\text{CMRR} \propto g_m R_{EE} \left(\frac{\Delta g}{g} \right) \quad (15.34)$$

¹ I guadagni A_{dm} e A_{cm} rappresentano i guadagni di modo differenziale e di modo comune di un generico amplificatore, per esempio un op amp, mentre A_{dd} , A_{cc} , A_{dc} e A_{cd} si riferiscono alle caratteristiche dello stadio differenziale.

dove $\Delta g/g = 2(g_1 - g_2)/(g_1 + g_2)$ rappresenta la differenza relativa tra i parametri di piccolo segnale dei dispositivi ai due lati dell'amplificatore differenziale. Quindi massimizzare il prodotto $g_m R_{EE}$ è ugualmente importante per migliorare le prestazioni degli amplificatori differenziali con uscita differenziale.

15.1.8 Analisi del modo differenziale e del modo comune utilizzando metà circuito

Abbiamo notato che l'amplificatore differenziale si comporta come un amplificatore a emettitore comune a singolo transistor. L'analogia può essere ulteriormente verificata utilizzando la tecnica del "**mezzo circuito**", in cui la simmetria è sfruttata per semplificare l'analisi del circuito dividendolo in un **mezzo circuito di modo differenziale** e un **mezzo circuito di modo comune**.

Il mezzo circuito è costruito disegnando dapprima l'amplificatore differenziale in forma completa come in Figura 15.9. Per ottenere piena simmetria le alimentazioni sono state divise in due generatori uguali in parallelo e la resistenza di emettitore R_{EE} è stata separata in due resistori uguali in parallelo, ciascuno di valore $2R_{EE}$. È importante riconoscere dalla Figura 15.9 che queste modifiche non hanno cambiato le correnti e le tensioni del circuito.

Ora che il circuito è disegnato in forma simmetrica si utilizzano due regole di base per costruire i mezzi circuiti: una per l'analisi in modo differenziale, l'altra per l'analisi in modo comune.



NOTA PROGETTUALE

Regole per costruire i "mezzi circuiti"

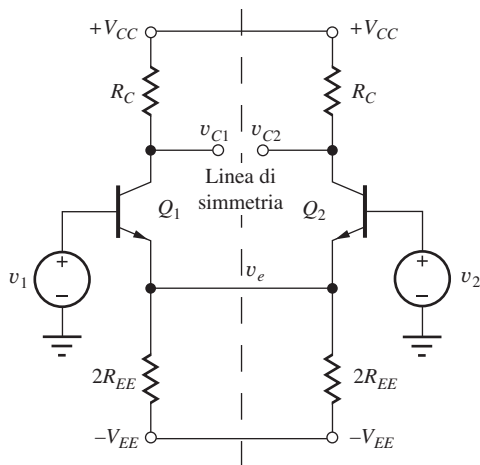
Segnali di modo differenziale: i punti sulla linea di simmetria sono a potenziale fisso e possono essere quindi azzerate le componenti AC (per esempio, si ricordi che abbiamo trovato che $v_e = 0$ per i segnali di modo differenziale).

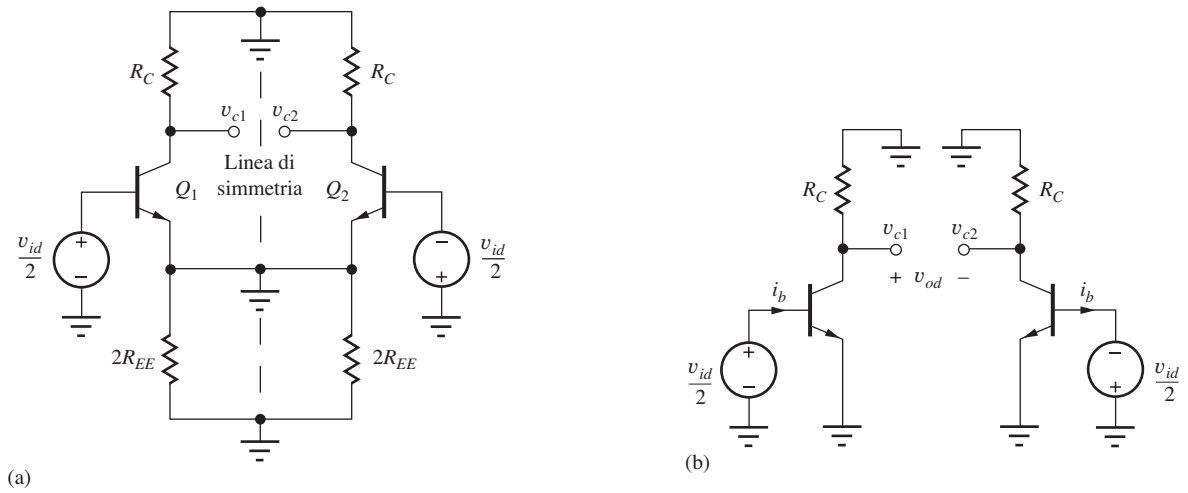
Segnali di modo comune: i punti sulla linea di simmetria diventano circuiti aperti (non c'è corrente che fluisce tra i collegamenti che attraversano la linea di simmetria).

Mezzo circuito per l'analisi del modo differenziale

Applicando la prima regola al circuito di Figura 15.9 per segnale di modo differenziale si ottiene il circuito di Figura 15.10(a). I due generatori di alimentazione e il nodo di emettitore si trovano a potenziale nullo per i segnali AC (naturalmente i generatori di alimentazione sono azzerati in ogni caso per il segnale AC). Semplificando il circuito si ottengono i due mezzi circuiti di Figura 15.10(b) ciascuno dei quali rappresenta uno stadio a emettitore comune. Il comportamento in modo differenziale del circuito, descritto dalle equazioni

Figura 15.9
Amplificatore differenziale
in cui si enfatizza la simmetria
del circuito.





dalla (15.15) alla (15.20), può essere facilmente ricavato dall'analisi diretta dei mezzi circuiti:

$$v_{c1} = -g_m R_C \frac{v_{id}}{2} \quad v_{c2} = +g_m R_C \frac{v_{id}}{2} \quad v_o = v_{c1} - v_{c2} = -g_m R_C v_{id} = -A_{dd} v_{id} \quad (15.35)$$

e

$$R_{id} = \frac{v_{id}}{i_b} = 2r_\pi \quad \text{e} \quad R_{od} = 2(R_C \parallel r_o) \quad (15.36)$$

Mezzo circuito per l'analisi del modo comune

Se si applica la seconda regola al circuito di Figura 15.9, tutti i punti sulla linea di simmetria diventano circuiti aperti e otteniamo lo schema di Figura 15.11. I mezzi circuiti di modo comune ottenuti dalla Figura 15.11 sono ridisegnati nella Figura 15.12. Per trovare il punto di lavoro dell'amplificatore si utilizza il circuito in DC di Figura 15.12(a), con $V_{IC} = 0$. Il circuito di Figura 15.12(b) può essere utilizzato per determinare il punto di lavoro quando è applicato un ampio segnale continuo di modo comune, mentre il circuito di Figura 15.12(c) è usato per l'analisi di modo comune di piccolo segnale.

Il mezzo circuito di modo comune di Figura 15.12(c) rappresenta semplicemente l'amplificatore a emettitore comune con un resistore $2R_{EE}$ sull'emettitore, già analizzato in dettaglio nei capitoli precedenti. Inoltre, sarebbe stato possibile ricavare le Equazioni (15.24) e (15.28) direttamente utilizzando i risultati del capitolo dedicato agli amplificatori elementari.

Possiamo vedere che l'uso dei mezzi circuiti di modo differenziale e di modo comune semplifica enormemente l'analisi dell'amplificatore. La tecnica dei mezzi circuiti sarà usata anche per analizzare l'amplificatore differenziale a MOS di Figura 15.1.

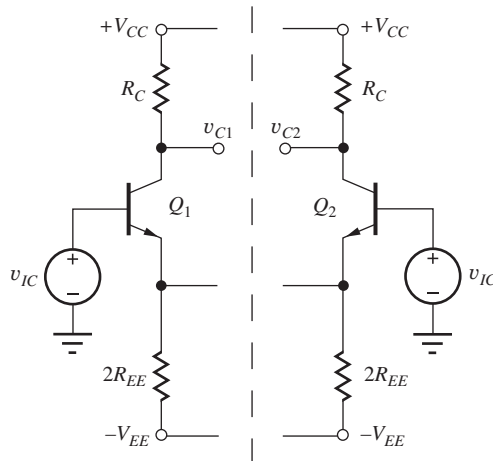
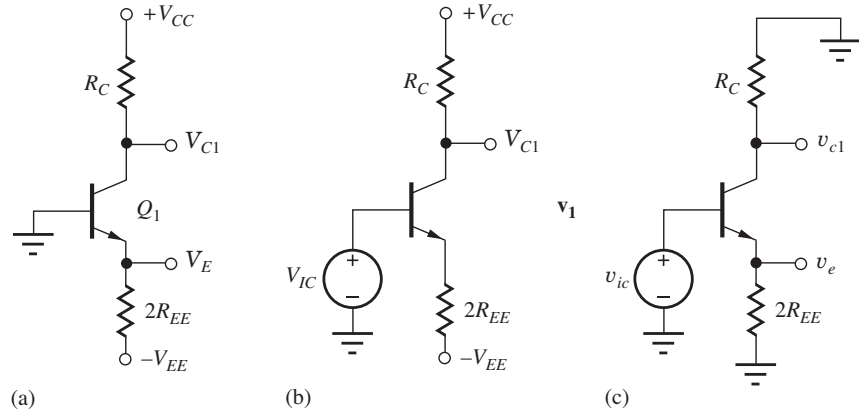


Figura 15.11

Costruzione del mezzo circuito di modo comune.

Figura 15.12

Mezzi circuiti di modo comune per (a) analisi del punto di lavoro, (b) ingresso in DC di modo comune e (c) analisi di piccolo segnale del modo comune.



Campo di variazione del segnale di ingresso del modo comune

Il campo di variazione del segnale di ingresso di modo comune è un altro parametro importante nel progetto degli amplificatori differenziali. Il limite superiore per un segnale continuo di modo comune V_{IC} in Figura 15.12(b) è fissato dalla necessità che Q_1 rimanga in regione attiva diretta. Scrivendo un'espressione per la tensione base-collettore di Q_1 ,

$$V_{CB} = V_{CC} - I_C R_C - V_{IC} \geq 0 \quad \text{ovvero} \quad V_{IC} \leq V_{CC} - I_C R_C \quad (15.37)$$

dove

$$I_C = \alpha_F \frac{V_{IC} - V_{BE} + V_{EE}}{2R_{EE}} \quad (15.38)$$

Risolviendo le precedenti equazioni per V_{IC} si ottiene:

$$V_{IC} \leq V_{CC} \frac{1 - \alpha_F \frac{R_C}{2R_{EE}} \frac{(V_{EE} - V_{BE})}{V_{CC}}}{1 + \alpha_F \frac{R_C}{2R_{EE}}} \quad (15.39)$$

Per alimentazione simmetrica, $V_{EE} \gg V_{BE}$ e $R_C = R_{EE}$, l'Equazione (15.39) fornisce $V_{IC} \leq V_{CC}/3$.

Si noti, dall'Equazione (15.38), che I_C varia in funzione di V_{IC} . Il limite superiore di V_{IC} è fissato dall'Equazione (15.39) e dalla massima escursione consentita per la corrente nel punto di lavoro in dipendenza dalla variazione di V_{IC} . Quando V_{IC} diventa negativa, la corrente di collettore diminuisce poiché $I_C \approx (V_{IC} - V_{BE} + V_{EE})/2R_{EE}$.

Il limite inferiore di V_{IC} dipende da quale riduzione della corrente di polarizzazione si ritiene accettabile; l'intervallo di operazione è generalmente scelto simmetrico, ossia $-V_{CC}/3 \leq V_{IC} \leq V_{CC}/3$.

ESERCIZIO Si trovi il campo di variazione di un segnale positivo di modo comune per l'amplificatore differenziale di Figura 15.7 se $V_{CC} = V_{EE} = 15 \text{ V}$ e $R_C = R_{EE}$.

RISPOSTA $\approx 5.30 \text{ V}$.

15.1.9 Polarizzazione con generatori di corrente elettronici

Dalle Equazioni (15.1) e (15.2) si può notare che il punto di lavoro dell'amplificatore differenziale dipende direttamente dal valore della alimentazione negativa; dall'Equazione (15.31) si osserva invece che R_{EE} limita il CMRR. Il punto di lavoro dipende anche dal segnale continuo di modo comune V_{IC} , come mostrato nell'Equazione (15.38). Per ovviare a queste limitazioni, molti amplificatori differenziali sono polarizzati mediante generatori elettronici di corrente che contemporaneamente stabilizzano il punto di lavoro e aumentano l'effet-

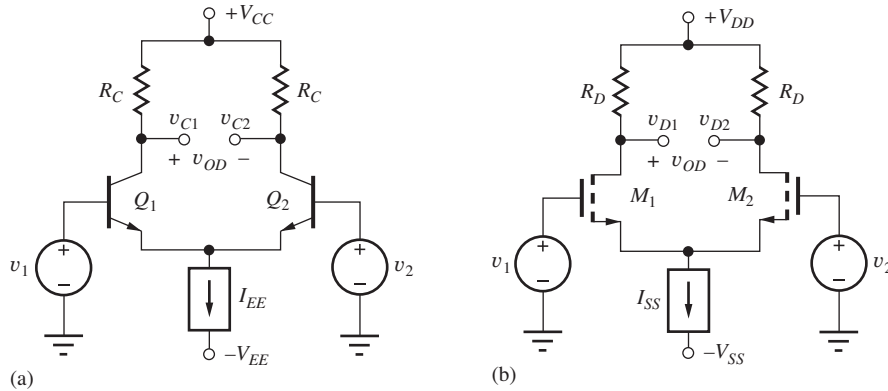


Figura 15.13
Amplificatore differenziale con
generatore di corrente
elettronico di polarizzazione.

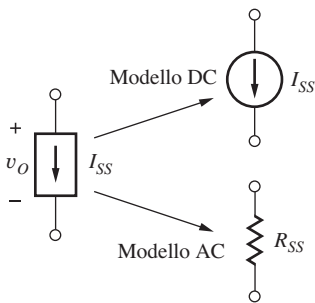


Figura 15.14
Generatore elettronico di corrente
e suoi modelli equivalenti.

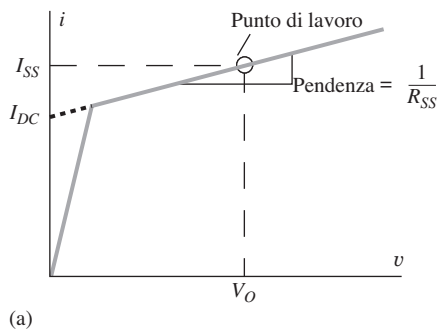


Figura 15.15
(a) Caratteristica $i-v$ di un generatore elettronico di corrente.
(b) Rappresentazione SPICE di un generatore elettronico di corrente.

tivo valore di R_{EE} . La Figura 15.13 mostra la polarizzazione di amplificatori differenziali, sia a BJT che a MOSFET, mediante generatori di corrente elettronici. In questi circuiti il generatore di corrente sostituisce i resistori R_{EE} o R_{SS} .

Il simbolo indicato dal rettangolo nelle Figure 15.13 e 15.14 rappresenta un generatore elettronico di corrente con resistenza di uscita finita, come indicato graficamente nella caratteristica $i-v$ di Figura 15.15. Il generatore elettronico ha una corrente di lavoro pari a I_{SS} e una resistenza di uscita uguale a R_{SS} .

Per l'analisi manuale, utilizzando il circuito equivalente in DC, il generatore di corrente viene sostituito da una corrente continua di valore I_{SS} .

Per l'analisi AC si costruisce il circuito equivalente sostituendo il generatore di corrente con la sua resistenza di uscita R_{SS} . Tali sostituzioni sono indicate simbolicamente nella Figura 15.14.



NOTA PROGETTUALE

Come ottenere un CMRR elevato

Per ottenere una elevata reiezione di modo comune in un amplificatore differenziale è necessario che il

generatore di corrente I_{SS} utilizzato per polarizzare il circuito abbia un'elevata resistenza di uscita R_{SS} .

15.1.10 Modello SPICE del generatore elettronico di corrente

Al fine di rappresentare correttamente il generatore elettronico di corrente, il simulatore SPICE deve creare i propri circuiti equivalenti DC e AC. Affinché SPICE possa determinare correttamente il comportamento in DC e AC del circuito, la rete deve contenere sia il generatore di corrente continua che la resistenza di uscita R_{SS} . Nel modello rappresentato nella Figura 15.15(b), nel resistore R_{SS} fluisce una corrente continua e il valore della corrente del

generatore deve essere il valore I_{DC} indicato nella Figura 15.15. Il valore di I_{DC} rappresenta la corrente nel circuito equivalente quando $V_o = 0$, e può essere espressa come:

$$I_{DC} = I_{SS} - \frac{V_O}{R_{SS}} \quad (15.40)$$

Il circuito equivalente da usare in SPICE è quello riportato in Figura 15.15(b). In alcuni casi R_{SS} è molto elevata e I_{DC} è circa uguale a I_{SS} .

ESERCIZIO Si consideri un generatore di corrente elettronico con $I_{SS} = 100 \mu\text{A}$ e una resistenza di uscita $R_{SS} = 750 \text{ k}\Omega$. (Questi sono valori tipici di un generatore di corrente con singolo transistor che opera con il valore di corrente indicato.) Se $V_O = 15 \text{ V}$, qual è il valore di I_{DC} ?

RISPOSTA $80 \mu\text{A}$.

15.1.11 Analisi in DC dell'amplificatore differenziale a MOSFET

I MOSFET presentano una resistenza di ingresso molto elevata e sono spesso usati negli amplificatori differenziali. Oltre alla elevata resistenza di ingresso, gli amplificatori operazionali con ingresso a MOSFET presentano un valore più elevato di slew rate rispetto a quelli con ingresso a BJT.

La versione MOS dell'amplificatore differenziale è riportata in Figura 15.13(b). Utilizziamo l'amplificatore a MOSFET come prima applicazione diretta dell'analisi con mezzo circuito; l'amplificatore è ridisegnato in forma simmetrica in Figura 15.16(a). Se le connessioni sulla linea di simmetria sono sostituite con dei circuiti aperti e le tensioni di ingresso sono poste uguali a zero, otteniamo il mezzo circuito per l'analisi in DC di Figura 15.16(b).

Dall'analisi del mezzo circuito in DC è immediato osservare che la corrente nel source del transistor NMOS deve essere uguale a metà della corrente di polarizzazione I_{SS} :

$$I_S = \frac{I_{SS}}{2} \quad (15.41)$$

La tensione gate-source del MOSFET può essere determinata direttamente dall'espressione della corrente di drain del transistor:

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2 \quad \text{ovvero} \quad V_{GS} = V_{TN} + \sqrt{\frac{2I_D}{K_n}} = V_{TN} + \sqrt{\frac{I_{SS}}{K_n}} \quad (15.42)$$

Si noti che $V_S = -V_{GS}$ e che le tensioni di drain per entrambi i MOSFET sono:

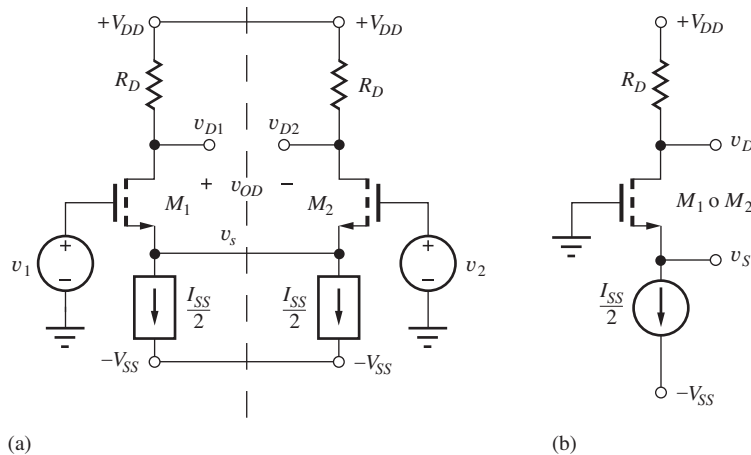
$$V_{D1} = V_{D2} = V_{DD} - I_D R_D \quad \text{e} \quad V_O = 0 \quad (15.43)$$

La tensione drain-source è:

$$V_{DS} = V_{DD} - I_D R_D + V_{GS} \quad (15.44)$$

Figura 15.16

(a) Rappresentazione in forma di circuito simmetrico dell'amplificatore differenziale a MOS. (b) Mezzo circuito per l'analisi in DC.



Analisi con il Modello Unificato

Il Modello Unificato introdotto nel Paragrafo 4.7.7 sostituisce $(V_{GS} - V_{TN})$ nel modello quadratico con $V_{MIN} = \min\{(V_{GS} - V_{TN}), V_{DS}, V_{SAT}\}$. Per valori di $(V_{GS} - V_{TN})$ e V_{DS} maggiori di V_{SAT} , la corrente di drain e la transconduttanza diventano

$$i_D = K_n \left(v_{GS} - V_{TN} - \frac{V_{SAT}}{2} \right) V_{SAT} \quad \text{e} \quad g_m = K_n V_{SAT} \quad (15.45)$$

Per un valore assegnato di corrente di drain, il valore di V_{GS} varia di conseguenza:

$$V_{GS} = V_{TN} + \frac{V_{SAT}}{2} + \frac{I_D}{K_n V_{SAT}} \quad (15.46)$$

Le espressioni per la tensione di drain e la tensione drain-source rimangono invece le stesse.

ANALISI DELL'AMPLIFICATORE DIFFERENZIALE A MOSFET

Esempio 15.2

Viene eseguita un'analisi del punto di lavoro dell'amplificatore differenziale a MOSFET.

(a) Si trovino i punti di lavoro dei MOSFET nell'amplificatore differenziale di Figura 15.13(b) se $V_{DD} = V_{SS} = 12 \text{ V}$, $I_{SS} = 1 \text{ mA}$, $R_{SS} = 100 \text{ k}\Omega$, $R_D = 13 \text{ k}\Omega$, $K_n = 500 \mu\text{A/V}^2$, $\lambda = 0.0133 \text{ V}^{-1}$ e $V_{TN} = 0.7 \text{ V}$. Qual è il massimo valore di V_{IC} per cui M_1 rimane in zona di saturazione? (b) Si ripeta l'analisi con il Modello Unificato assumendo $V_{SAT} = 1 \text{ V}$.

PROBLEMA

Informazioni e dati noti: La topologia del circuito è mostrata in Figura 15.13(b); vengono impiegate alimentazioni simmetriche di 12 V ; $I_{SS} = 1000 \mu\text{A}$, $R_D = 13 \text{ k}\Omega$, $K_n = 500 \mu\text{A/V}^2$ e $V_{TN} = 0.7 \text{ V}$.

SOLUZIONE

Incognite: I_D , V_{DS} per M_1 e M_2 e il massimo valore della tensione continua di modo comune V_{IC} .

Approccio: Si segua l'analisi presentata mediante le Equazioni dalla (15.41) alla (15.44) utilizzando i valori degli elementi circuitali.

Ipotesi: Regione di funzionamento attiva; trascurare λ e R_{SS} nei calcoli manuali.

Analisi: Usando le equazioni dalla (15.41) alla (15.44) si ha:

$$I_D = \frac{I_{SS}}{2} = 500 \mu\text{A}$$

$$V_{GS} = 1 \text{ V} + \sqrt{\frac{1 \text{ mA}}{0.5 \text{ mA/V}^2}} = 2.11 \text{ V}$$

$$V_{DS} = 12 \text{ V} - (500 \mu\text{A})(13 \text{ k}\Omega) + 2.11 \text{ V} = 7.61 \text{ V}$$

Entrambi i transistori dell'amplificatore differenziale sono polarizzati nel punto $(500 \mu\text{A}, 7.61 \text{ V})$. Le tensioni di drain e source del MOSFET valgono $V_D = 5.50 \text{ V}$ e $V_S = -2.11 \text{ V}$. Poiché è richiesto che M_1 sia in saturazione, per valori non nulli di V_{IC} si ha:

$$V_{GD} = V_{IC} - (V_{DD} - I_D R_D) \leq V_{TN}$$

$$V_{IC} \leq V_{DD} - I_D R_D + V_{TN} = 6.2 \text{ V}$$

Verifica dei risultati: Verifica del funzionamento in zona di saturazione:

$$V_{GS} - V_{TN} = 1.41 \text{ V} \quad \text{e} \quad V_{DS} \geq 1.41 \text{ V}.$$

Discussione: Si noti che le correnti di drain sono fissate dal generatore di corrente e sono praticamente indipendenti dalle caratteristiche del dispositivo. Ciò verrà verificato mediante SPICE.

Analisi assistita da calcolatore: Nell'analisi SPICE si può facilmente includere λ e R_{SS} per vedere il loro effetto sul punto di lavoro. Utilizzando l'Equazione (15.40) e il valore già calcolato $V_{GS} = 2.11 \text{ V}$, il valore del generatore di corrente DC in SPICE sarà $1000 \mu\text{A} - 108 \mu\text{A} = 892 \mu\text{A}$. Bisogna fissare, nel modello SPICE, $K_P = 0.5\text{M}$, $V_{TO} = 1$ e $LAMBDA = 0.0133$. Con questi valori il punto di lavoro fornito da SPICE è praticamente

lo stesso di quello ottenuto dai calcoli manuali. Poiché le correnti di drain sono bloccate dal generatore di corrente, includendo λ si ottiene solo una piccola variazione della tensione gate-source.

Dall'analisi precedente, applicando il Modello Unificato osserviamo che i valori di $(V_{GS} - V_{TN})$ e V_{DS} sono entrambi maggiori di 1 V rispetto a V_{SAT} . Quindi, per $I_D = 500 \mu\text{A}$,

$$V_{GS} = V_{TN} + \frac{V_{SAT}}{2} + \frac{I_D}{K_n V_{SAT}} = 0.7 \text{ V} + \frac{1 \text{ V}}{2} + \frac{500 \mu\text{A}}{(500 \mu\text{A/V}^2)(1 \text{ V})} = 2.20 \text{ V}$$

$$V_{DS} = 12 \text{ V} - 6.50 \text{ V} + 2.20 \text{ V} = 7.70 \text{ V} \quad \text{e} \quad V_{IC} \text{ non cambia}$$

ESERCIZIO Si disegni una versione PMOS dell'amplificatore differenziale NMOS di Figura 15.13(b).

RISPOSTA Si vedano le Figure P15.34 e P15.36.

ESERCIZIO Si sostituisca il MOSFET dell'Esempio 15.2 con un dispositivo a quattro terminali il cui substrato sia connesso a $V_{SS} = -12 \text{ V}$ e si calcoli il nuovo punto di lavoro del transistor. Assumere $V_{TO} = 1 \text{ V}$, $\gamma = 0.75 \sqrt{\text{V}}$ e $2\phi_F = 0.6 \text{ V}$. Qual è il nuovo valore di V_{TN} ?

RISPOSTE (100 μA , 8.75 V); 2.75 V.

15.1.12 Segnali di ingresso di modo differenziale

La Figura 15.17 riporta i mezzi circuiti di modo differenziale e di modo comune per l'amplificatore differenziale di Figura 15.16. Nel mezzo circuito di modo differenziale i source dei MOSFET si trovano a potenziale fisso. Nel circuito di modo comune il generatore elettronico di corrente è stato modellato mediante una resistenza di valore $2R_{SS}$ (si ricordi che R_{SS} rappresenta la resistenza di uscita finita del generatore di corrente).

Il mezzo circuito di modo differenziale rappresenta un amplificatore a source comune e le tensioni di uscita sono date da:

$$v_{d1} = -g_m(R_D \parallel r_o) \frac{v_{id}}{2} \quad v_{d2} = +g_m(R_D \parallel r_o) \frac{v_{id}}{2} \quad v_{od} = -g_m(R_D \parallel r_o) v_{id} \quad (15.47)$$

Il guadagno di modo differenziale è:

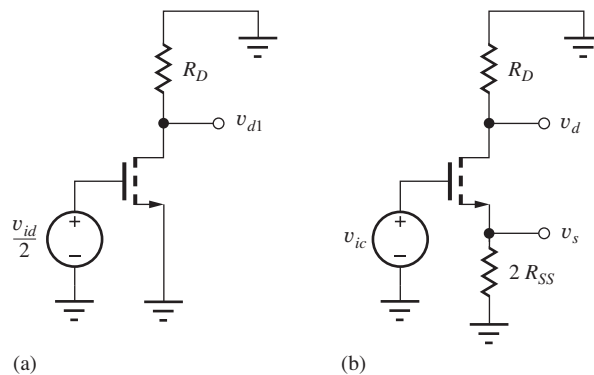
$$A_{dd} = \left. \frac{v_{od}}{v_{id}} \right|_{v_{ic}=0} = -g_m(R_D \parallel r_o) \approx -g_m R_D \quad \text{se } r_o \gg R_D \quad (15.48)$$

mentre prendendo l'uscita tra il singolo drain e il riferimento si ottiene un guadagno dimezzato:

$$A_{dd1} = \left. \frac{v_{d1}}{v_{id}} \right|_{v_{ic}=0} \approx -\frac{g_m R_D}{2} = \frac{A_{dd}}{2} \quad \text{e} \quad A_{dd2} = \left. \frac{v_{d2}}{v_{id}} \right|_{v_{ic}=0} \approx +\frac{g_m R_D}{2} = -\frac{A_{dd}}{2} \quad (15.49)$$

Figura 15.17

(a) Mezzo circuito di modo differenziale. (b) Mezzo circuito di modo comune.



Le resistenze differenziali di ingresso e di uscita:

$$R_{id} \rightarrow \infty \quad \text{e} \quad R_{od} = 2(R_D \| r_o) \quad (15.50)$$

Il nodo di source a potenziale costante fa sì che l'amplificatore si comporti come un amplificatore invertente a singolo stadio. L'uscita differenziale fornisce il guadagno pieno dello stadio a source comune, mentre prendendo l'uscita tra il singolo drain e ground il guadagno è dimezzato.

ESERCIZIO Si ricavano direttamente dal modello completo di piccolo segnale le espressioni per il guadagno di modo differenziale dell'amplificatore differenziale a MOSFET, in modo simile all'analisi di Figura 15.8.

15.1.13 Caratteristica di trasferimento di piccolo segnale per l'amplificatore differenziale a MOS

L'amplificatore differenziale a MOS fornisce un migliore campo di variazione del segnale di ingresso e migliori caratteristiche in termini di distorsione rispetto a un amplificatore a singolo transistor. Possiamo analizzare questi vantaggi usando l'espressione della corrente di drain del MOSFET:

$$I_{D1} - I_{D2} = \frac{K_n}{2} [(\nu_{GS1} - V_{TN})^2 - (\nu_{GS2} - V_{TN})^2] \quad (15.51)$$

Per un amplificatore simmetrico con ingresso puramente differenziale, $\nu_{GS1} = V_{GS} + \frac{\nu_{id}}{2}$, $\nu_{GS2} = V_{GS} - \frac{\nu_{id}}{2}$, e

$$I_{D1} - I_{D2} = K_n(V_{GS} - V_{TN})\nu_{id} = g_m\nu_{id} \quad (15.52)$$

La distorsione del secondo ordine viene cancellata e l'espressione della corrente di uscita è non distorta! Come al solito, bisogna chiedersi il perché di questo risultato perfetto. In realtà, i MOSFET non seguono una legge perfettamente quadratica e una certa distorsione esiste. Per esempio, la dipendenza della resistenza di uscita dei transistori dalla tensione introduce una distorsione.

Effetto della saturazione della velocità

In presenza di saturazione della velocità, la corrente di drain può essere calcolata usando l'Equazione (15.47), e la differenza tra le correnti di drain dell'amplificatore differenziale diventa

$$i_{D1} - i_{D2} = K_n V_{SAT} \nu_{id} = g_m \nu_{id} \quad (15.53)$$

La saturazione della velocità contribuisce a linearizzare l'espressione della corrente di drain e la corrente di drain del MOSFET non è distorta anche in questo caso. Si osservi che l'espressione della transconduttanza g_m è cambiata (vedi l'Equazione (15.47)).

15.1.14 Segnali di ingresso di modo comune

Il mezzo circuito di modo comune di Figura 15.17(b) è un amplificatore invertente con un resistore di source uguale a $2R_{SS}$, per cui si ha:

$$\nu_{d1} = \nu_{d2} = -\frac{g_m R_D}{1 + 2g_m R_{SS}} \nu_{ic} \quad (15.54)$$

e la componente di segnale della tensione di source è:

$$\nu_s = \frac{2g_m R_{SS}}{1 + 2g_m R_{SS}} \nu_{ic} \approx \nu_{ic} \quad (15.55)$$

La tensione di uscita differenziale è zero, perché le tensioni sui due drain sono uguali:

$$\nu_{od} = \nu_{d1} - \nu_{d2} = 0 \quad (15.56)$$

Quindi, il guadagno di conversione di modo comune per l'uscita differenziale è zero:

$$A_{cd} = \frac{v_{od}}{v_{ic}} = 0 \quad (15.57)$$

Il guadagno di modo comune è:

$$A_{cc} = \frac{v_{oc}}{v_{ic}} = -\frac{g_m R_D}{1 + 2g_m R_{SS}} \approx -\frac{R_D}{2R_{SS}} \quad (15.58)$$

Bisogna osservare che, contrariamente al caso del BJT, l'Equazione (15.57) è esatta anche se r_o viene incluso; ciò accade a causa del guadagno di corrente infinito del MOSFET.

La sorgente di segnale di modo comune è collegata direttamente al gate del MOSFET. La corrente di ingresso è quindi zero e:

$$R_{ic} \rightarrow \infty \quad (15.59)$$

Rapporto di reiezione di modo comune (CMRR)

Per un'uscita differenziale v_{od} , il guadagno di conversione di modo comune A_{cd} dell'amplificatore bilanciato è zero e il CMRR è infinito. Se l'uscita è presa dal singolo drain, si ha:

$$\text{CMRR} = \left| \frac{A_{dd}}{A_{CC}} \right| = \left| \frac{-\frac{g_m R_D}{2}}{-\frac{R_D}{2R_{SS}}} \right| = g_m R_{SS} \quad (15.60)$$

Per ottenere elevati valori del CMRR occorre un elevato valore di R_{SS} . Nella Figura 15.17, R_{SS} rappresenta la resistenza di uscita del generatore di corrente di Figura 15.13 e il suo valore è molto più elevato di quello del resistore R_{EE} usato per polarizzare l'amplificatore di Figura 15.1. Per questo motivo, e per la stabilità del punto di lavoro, la maggior parte degli amplificatori differenziali è polarizzata mediante un generatore di corrente come in Figura 15.13.

Tuttavia, per confrontare direttamente gli amplificatori a MOS con quelli a BJT assumiamo, per il momento, che l'amplificatore a MOS sia polarizzato con un resistore di valore:

$$R_{SS} = \frac{V_{SS} - V_{GS}}{I_{SS}} \quad (15.61)$$

Quindi l'Equazione (15.61) può essere riscritta in funzione delle tensioni del circuito, come per l'Equazione (15.33):

$$\text{CMRR} = \frac{2I_D R_{SS}}{V_{GS} - V_{TN}} = \frac{I_{SS} R_{SS}}{V_{GS} - V_{TN}} = \frac{(V_{SS} - V_{GS})}{V_{GS} - V_{TN}} \quad (15.62)$$

Usando i valori numerici dell'esempio si ha:

$$\text{CMRR} = \frac{(V_{SS} - V_{GS})}{V_{GS} - V_{TN}} = \frac{(12 - 1.2)}{0.20} = 54 \quad (15.63)$$

appena 35 dB. Questo valore è inferiore, di circa 10 dB, rispetto al risultato ottenuto con l'amplificatore a BJT. A causa dei bassi valori del CMRR, è pratica comune utilizzare generatori di corrente con valori di R_{SS} o R_{EE} molto più elevati in tutti i tipi di amplificatori differenziali.²

15.1.15 Modello a doppio bipolo per la coppia differenziale

L'analisi AC dei circuiti che coinvolgono amplificatori differenziali può spesso essere semplificata utilizzando il modello a doppio bipolo per la coppia differenziale riportato in Figura 15.18. Il modello a doppio bipolo può essere direttamente sostituito alla coppia differenziale, oppure può rappresentare un ausilio concettuale per la semplificazione dei circuiti. I due generatori di corrente rappresentano le correnti prodotte dai transistori della coppia. I resistori R_{oc} rappresentano le resistenze di uscita di modo comune a ciascun collettore o drain C_1 e C_2 mentre R_{od} è la resistenza differenziale di uscita che compare tra i

² Ricordiamo inoltre che nei circuiti integrati i resistori occupano molto più spazio dei transistori.

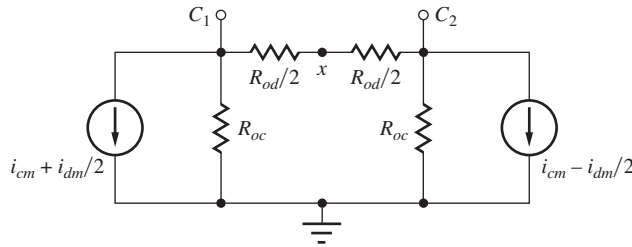


Figura 15.18

Modello a doppio bipolo per la coppia differenziale.

due collettori o drain (si ricordi che per circuiti di modo differenziale simmetrici il nodo “x” è un nodo a potenziale nullo). Per la coppia in Figura 15.18 si hanno le seguenti espressioni approssimate per gli elementi del modello:

$$\begin{aligned} i_{dm} &= g_m v_{dm} & i_{cm} &= \frac{g_m}{1 + 2g_m R_{EE}} v_{cm} \approx \frac{v_{cm}}{2R_{EE}} \\ R_{od} &\approx 2r_o & R_{oc} &\approx 2\mu_f R_{EE} \end{aligned} \quad (15.64)$$

Nel caso di amplificatori a MOSFET è necessario sostituire R_{SS} al posto di R_{EE} nella equazione precedente.

ESERCIZIO L'amplificatore differenziale bipolare di Figura 15.13(a) è polarizzato con un generatore di corrente di 75 μ A, con una resistenza di uscita di 1 M Ω . Si stimino i valori di R_{od} , R_{oc} , i_{dm} e i_{cm} , assumendo che i transistori abbiano una tensione di Early di 60 V.

RISPOSTA 3.2 M Ω ; 4.8 G Ω ; $1.50 \times 10^{-3} v_{dm}$; $5.00 \times 10^{-7} v_{cm}$.

ELETRONICA IN AZIONE

Amplificatori limitatori per comunicazioni ottiche

L'amplificatore limitatore (LA, *Limiting Amplifier*) è un blocco elettronico importante nei ricevitori dei sistemi di comunicazione a fibre ottiche. Nello schema mostrato in figura, l'uscita dell'amplificatore di transimpedenza (TIA) è una tensione molto ridotta (per esempio 10 mV) che viene amplificata dal LA a un livello tale (per esempio, 250 mV) da poter pilotare il circuito preposto al recupero del clock e dei dati (CDR, *Clock and Data Recovery*).

Un tipico amplificatore-limitatore è costituito da un amplificatore multistadio a larga banda accoppiato in DC, simile a quello riportato nello schema seguente [b1-b3]. Dopo uno stadio separatore d'ingresso, il segnale proveniente dall'amplificatore di transimpedenza viene traslato di livello da due stadi inseguitori di emettitore (2EF). Segue un amplificatore di transammettenza (TAS) che converte la tensione in una corrente e pilota un amplificatore di transimpedenza (TIS) che ritrasforma il segnale in una tensione. La cascata TAS-TIS è una topologia

proposta da Cherry e Hooper [b4] e rappresenta una tecnica importante per realizzare amplificatori con larghezza di banda molto elevata. L'uscita è traslata di livello da due ulteriori inseguitori di emettitore, seguiti da un secondo stadio Cherry-Hooper. Una terza coppia di inseguitori di emettitore pilota un amplificatore differenziale con resistori di carico scelti in modo da adattarsi all'impedenza di 50 Ω della linea di trasmissione. Si noti che l'adattamento a 50 Ω è presente anche all'ingresso del LA.

La figura a inizio pagina seguente mostra che coppie differenziali vengono impiegate in tutti gli stadi TAS e TIS, oltre che nello stadio di uscita. Il circuito utilizza esclusivamente transistori *nnp*, poiché i circuiti di interfaccia optoelettronici devono operare alla massima velocità possibile (si ricordi che i transistori *nnp* sono intrinsecamente più veloci dei *pnp* grazie alla maggiore mobilità degli elettroni rispetto alle lacune).

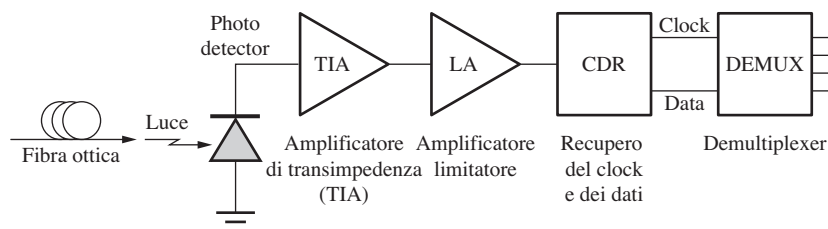
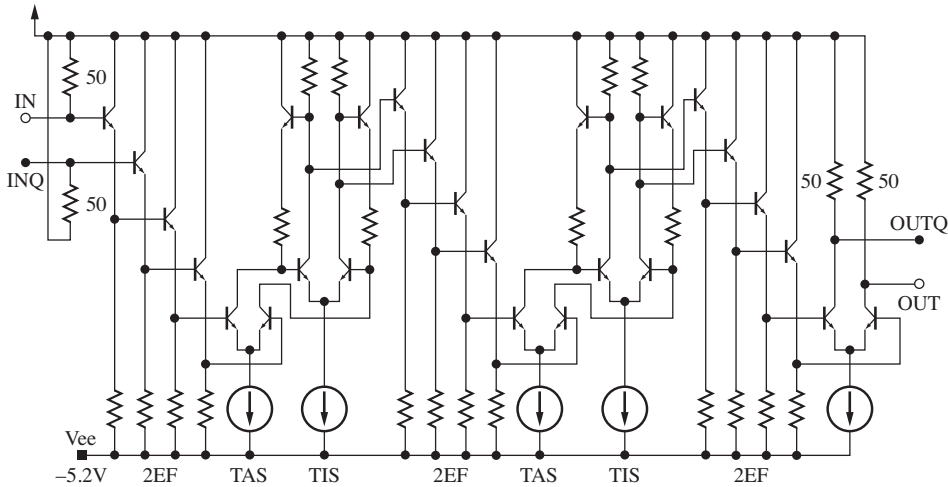


Diagramma a blocchi di un ricevitore per un sistema di comunicazione a fibre ottiche.



Schema di un amplificatore limitatore in tecnologia bipolare. Notare che l'amplificatore è accoppiato in DC. (© 2002 IEEE. Adattato con permesso)

- b1. H-M. Rein, "Multi-gigabit-per-second silicon bipolar IC's for future optical-fiber transmission systems", *IEEE J. Solid-State Circuits*, vol. 23, n. 3, pp. 664-675, giugno 1988.
- b2. R. Reimann e H-M. Rein, "Bipolar high-gain limiting amplifier IC for optical-fiber receivers operating up to 4 Gbits/s", *IEEE J. Solid-State Circuits*, vol. 22, n. 4, pp. 504-510, agosto 1987.
- b3. Y. Baeyens *et al.*, "InP D-HBT IC's for 40-Gb/s and higher bit rate lightwave transceivers", *IEEE J. Solid-State Circuits*, vol. 37, n. 9, settembre 2002.
- b4. E.M. Cherry e D.E. Hooper, "The design of wide-band transistor feedback amplifiers", *Proc. Institute of Electrical Engineers*, vol. 110, pp. 375-389, febbraio 1963.

Esempio 15.3

PROGETTO DI UN AMPLIFICATORE DIFFERENZIALE

PROBLEMA Si progetti un amplificatore differenziale con: $A_{dd} = 40$ dB, $R_{id} > 250$ k Ω e una tensione d'ingresso di modo comune di almeno ± 5 V. Si individuino le specifiche che deve possedere il generatore di corrente per garantire un CMRR di almeno 80 dB, per uscita single-ended. Sono disponibili MOSFET con $K'_n = 50$ μ A/V², $\lambda = 0.0133$ V⁻¹, $V_{TN} = 1$ V; sono in alternativa disponibili BJT con: $I_S = 0.5$ fA, $\beta_F = 100$ e $V_A = 75$ V.

SOLUZIONE **Informazioni e dati noti:** Le topologie dell'amplificatore differenziale sono mostrate in Figura 15.13; $A_{dd} = 40$ dB, $R_{id} > 250$ k Ω ; $CMRR \geq 80$ dB per l'uscita *single-ended* e $|V_{IC}| \geq 5$ V.

Incognite: Le tensioni di alimentazione, i punti di lavoro dei dispositivi, il valore di R_C , la corrente e la resistenza di uscita del generatore di polarizzazione, la tensione massima DC di modo comune, V_{IC} .

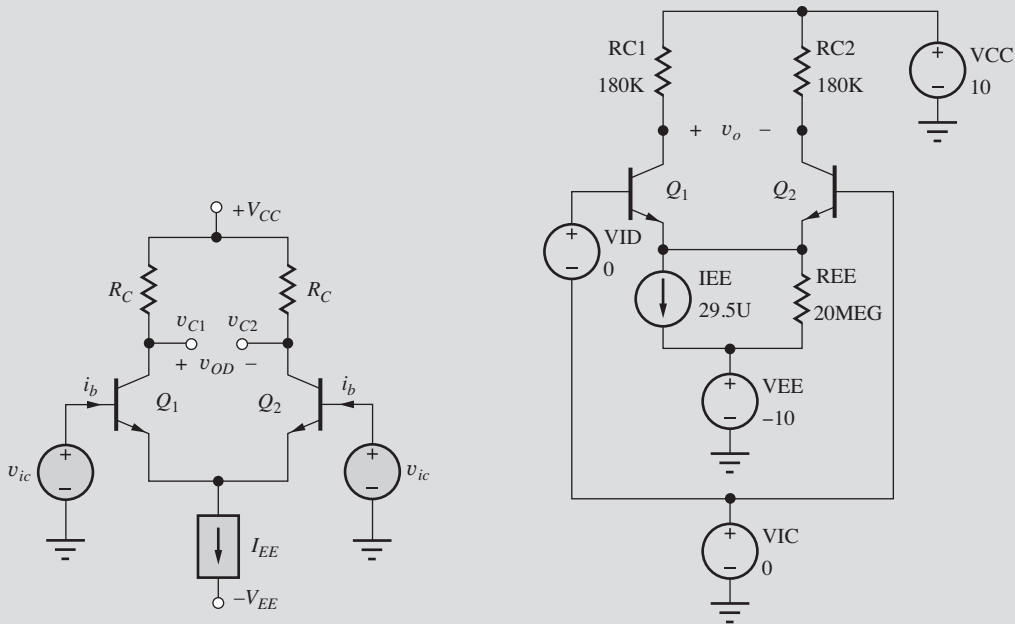
Approccio: Si utilizzi la teoria sviluppata nel Paragrafo 15.1; si scelgano il tipo di dispositivo e la corrente di funzionamento in base ai valori di A_{dm} e di R_{id} ; si scelgano le tensioni di alimentazione in base ad A_{dm} e V_{IC} ; si scelgano corrente e resistenza di uscita del generatore di polarizzazione in base alla specifica sul CMRR.

Ipotesi: Funzionamento in regione attiva, tensioni di alimentazione simmetriche, $\beta_o = \beta_F$, $|v_{id}| \leq 30$ mV.

Analisi: Un guadagno di 40 dB corrisponde a $A_{dd} = 100$. Per ottenere questo valore con un amplificatore con carico resistivo, utilizziamo dei BJT. Per $A_{dd} = g_m R_C = I_C R_C / V_T$ si ottiene un guadagno di 100 con una caduta di tensione di 2.5 V ai capi del resistore R_C .³ La resistenza di ingresso per l'amplificatore differenziale bipolare è $R_{id} = 2r_\pi$, per cui deve essere $r_\pi = 125$ k Ω che richiede:

$$I_C \leq \frac{\beta_o V_T}{r_\pi} = \frac{100(25 \text{ mV})}{125 \text{ k}\Omega} = 20 \text{ }\mu\text{A}$$

³ Con un MOS, a causa della sua minore transconduttanza, sarebbe servita una tensione di alimentazione molto maggiore.



Scegliamo $I_C = 15 \mu\text{A}$, per avere un certo margine di sicurezza. Otteniamo quindi: $R_C = 2.5 \text{ V} / 15 \mu\text{A} = 167 \text{ k}\Omega$; in questo caso scegliamo $R_C = 180 \text{ k}\Omega$, il valore più vicino a quelli riportati nella tabella di Appendice A per i resistori con tolleranza del 5% (utilizzare un valore più grande di quello teorico per R_C ci aiuta anche a compensare l'errore che si commette trascurando r_o nel calcolo del guadagno).

Un valore di $V_{IC} = 5 \text{ V}$ richiede che la tensione di collettore del BJT non possa ridursi al di sotto di 5 V. Non conosciamo il livello del segnale, ma sappiamo che $|v_{id}| \leq 30 \text{ mV}$ per garantire la linearità dell'amplificatore differenziale.

Pertanto, la componente AC della tensione di uscita non potrà superare $100(30 \text{ mV}) = 3 \text{ V}$, una metà di questo valore apparirà su ognuno dei due collettori. Dunque, la tensione complessiva ai capi di R_C (componente AC + componente DC) non supererà 4 V (1.5 V AC + 2.5 V DC), e la tensione di alimentazione positiva deve soddisfare la relazione seguente:

$$V_{CC} \geq V_{IC} + 4 \text{ V} = (5 + 4) \text{ V} = 9 \text{ V}$$

Scegliamo $V_{CC} = 10 \text{ V}$, in modo da avere un margine di sicurezza di 1 V. Poiché le alimentazioni sono simmetriche, $-V_{EE} = -10 \text{ V}$. Per ottenere un CMRR di 80 dB con uscita single-ended deve essere:

$$R_{EE} \geq \frac{\text{CMRR}}{g_m} = \frac{10^4}{(15 \mu\text{A}) / (25 \text{ mV})} = 16.7 \text{ M}\Omega$$

Un generatore di corrente con $I_{EE} = 30 \mu\text{A}$ e $R_{EE} \geq 20 \text{ M}\Omega$ fornisce un adeguato margine di sicurezza.

Controllo dei risultati: Utilizzando i valori di progetto si ottiene:

$$A_{dd} = (15 \mu\text{A})(180 \text{ k}\Omega) / (25 \text{ mV}) = 108;$$

$$\text{CMRR} = (15 \mu\text{A})(20 \text{ M}\Omega) / (25 \text{ mV}) = 12000 \text{ (ossia } 81.6 \text{ dB) e}$$

$R_{id} = 2(2.5 \text{ V} / 15 \mu\text{A}) = 333 \text{ k}\Omega$. La tensione di alimentazione fornisce $V_{IC} = 6 \text{ V}$, per cui l'amplificatore dovrebbe soddisfare tutte le specifiche assegnate; effettueremo una analisi con SPICE per avere una conferma definitiva.

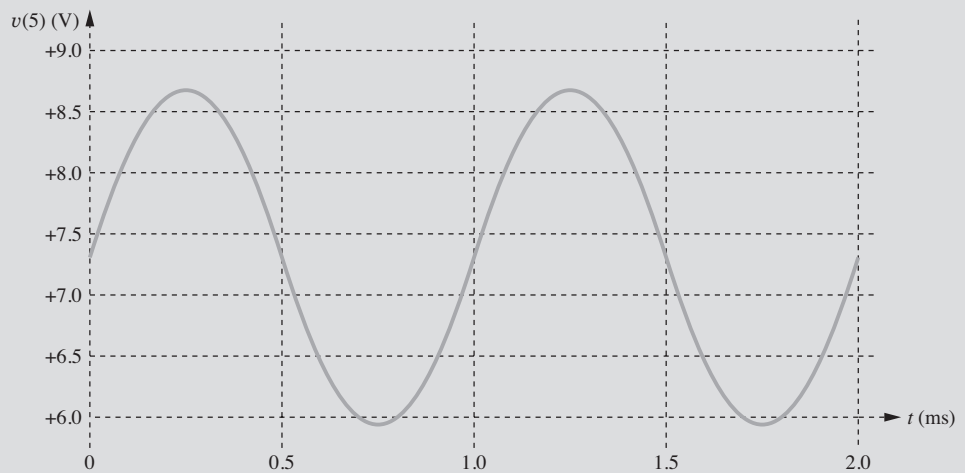
Discussione: Si noti che le correnti di collettore sono imposte dal generatore di corrente e non dipendono dalle caratteristiche dei dispositivi.

Analisi assistita da calcolatore: Lo schema del circuito da simulare in SPICE è mostrato in figura. I generatori di tensione VID e VIC forniscono una tensione nulla e sono introdotti nel circuito per simulare la funzione di trasferimento. La simulazione della funzione

di trasferimento fra V_{ID} e la tensione di uscita v_O fra i due collettori fornirà i valori di A_{dd} , R_{id} , R_{od} . Analogamente, la simulazione della funzione di trasferimento fra V_{IC} e la tensione a uno dei due nodi di collettore fornirà i valori di A_{cc} ed R_{ic} . Nell'analisi SPICE possiamo facilmente includere la tensione di Early (ponendo $VA_F = 75$) e REE, per studiare la loro influenza sul punto di lavoro del transistor. Utilizzando l'Equazione (15.40) con $V_{BE} = (25 \text{ mV}) \ln(15 \mu\text{A}/0.5 \text{ fA}) \approx 0.6 \text{ V}$, il valore da utilizzare per il generatore di corrente in SPICE sarà: $(30 - 0.5) \mu\text{A} = 29.5 \mu\text{A}$.

Utilizzando questi valori e $REE = 20 \text{ MEG}$, il punto Q ottenuto da SPICE coincide con i nostri calcoli analitici ($14.9 \mu\text{A}$, 7.33 V). La simulazione delle funzioni di trasferimento fornisce: $A_{dd} = 100$, $R_{id} = 382 \text{ k}\Omega$, $R_{od} = 349 \text{ k}\Omega$ e $A_{cc} = 0.00416$, da cui si ricava: $CMRR = 100/0.00416 = 24\,000$, ovvero: 87.6 dB .

La figura seguente mostra il risultato di un'analisi in transitorio della tensione al collettore del transistor di destra; in questa simulazione v_{id} è una tensione sinusoidale di ampiezza 30 mV , frequenza 1 kHz e $V_{IC} = +5 \text{ V}$. $T_{START} = 0$, $T_{STOP} = 2 \text{ M}$ (cioè 2 ms) e $T_{STEP} = 1 \text{ U}$ ($1 \mu\text{s}$). La forma d'onda di uscita non manifesta una distorsione apprezzabile, ha un'ampiezza di 1.5 V e il suo valore medio è pari a 7.3 V .



15.2 Gli amplificatori operazionali

Un'applicazione estremamente importante degli amplificatori differenziali è il loro utilizzo come stadio di ingresso degli amplificatori operazionali. Gli amplificatori differenziali forniscono le desiderate caratteristiche di un ingresso differenziale e un'elevata reiezione di modo comune; inoltre all'uscita è disponibile un segnale riferito a ground. Tuttavia, un amplificatore operazionale richiede generalmente un guadagno di tensione più elevato di quello ottenibile da un singolo stadio differenziale, per cui la maggior parte degli amplificatori operazionali utilizza due stadi di guadagno. Viene, inoltre, aggiunto un terzo stadio, lo stadio di uscita, per ottenere una bassa resistenza di uscita e un'elevata corrente di uscita.

15.2.1 Amplificatore operazionale elementare a due stadi

Per ottenere maggiore guadagno è stato collegato, all'uscita dell'amplificatore differenziale $Q_1 - Q_2$, un amplificatore a emettitore comune (Q_3) costituito dal transistor *pnp*, in modo da realizzare l'amplificatore operazionale a due stadi riportato in Figura 15.19(a). La polarizzazione è assicurata dal generatore di corrente I_1 . Si osservi l'accoppiamento in DC tra Q_2 e Q_3 ; la posizione degli ingressi v_1 e v_2 è stata scambiata per tenere conto dell'inversione di fase aggiuntiva introdotta da Q_3 .

Analisi in DC

Il circuito equivalente in DC dell'amplificatore operazionale è riportato in Figura 15.19(b), e verrà usato per trovare i punti di lavoro dei tre transistori. Le correnti di emettitore dei

transistori Q_1 e Q_2 sono entrambe uguali a metà della corrente di polarizzazione I_1 : $I_{E1} = I_{E2} = I_1/2$. La tensione al collettore di Q_1 è uguale a:

$$V_{C1} = V_{CC} - I_{C1}R_C = V_{CC} - \alpha_{F1} \frac{I_1}{2} R_C \quad (15.65)$$

e quella al collettore di Q_2 è:

$$V_{C2} = V_{CC} - (I_{C2} - I_{B3})R_C = V_{CC} - \left(\alpha_{F2} \frac{I_1}{2} - I_{B3} \right) R_C \quad (15.66)$$

Se la corrente di base di Q_3 può essere trascurata e i guadagni di corrente a base comune sono circa 1, le Equazioni (15.65) e (15.66) diventano:

$$V_{C1} \approx V_{C2} \approx V_{CC} - \frac{I_1 R_C}{2} \quad (15.67)$$

e poiché $V_E = -V_{BE}$ si ha:

$$V_{CE1} \approx V_{CE2} \approx V_{CC} - \frac{I_1 R_C}{2} + V_{BE} \quad (15.68)$$

In questo particolare circuito è importante osservare che la caduta di tensione ai capi di R_C è vincolata a essere uguale alla tensione base-emettitore V_{EB3} di Q_3 , ovvero approssimativamente 0.7 V.

Il valore della corrente di collettore di Q_3 può essere calcolato ricordando che questo circuito deve rappresentare un amplificatore operazionale e, poiché entrambi gli ingressi in Figura 15.19 sono zero, anche V_O deve essere zero (questa situazione si verifica quando il circuito è usato in una configurazione con controreazione). Pertanto, poiché $V_O = 0$, I_{C3} deve verificare le relazioni:

$$I_{C3} = \frac{V_{EE}}{R} \quad \text{e} \quad V_{EC3} = V_{CC} \quad (15.69)$$

Sappiamo anche che V_{EB3} e I_{C3} sono strettamente legate attraverso le relazioni del modello del trasporto:

$$V_{EB3} = V_T \ln \left(1 + \frac{I_{C3}}{I_{S3}} \right) \quad (15.70)$$

dove I_{S3} è la corrente di saturazione di Q_3 . Affinché la tensione di offset di questo amplificatore sia zero, il valore di R_C deve essere scelto attentamente utilizzando le Equazioni (15.66) e (15.68).

Se la precedente relazione non è soddisfatta, è necessario applicare all'ingresso una piccola tensione differenziale (tensione di offset), per forzare l'uscita a zero.

$$R_C = \frac{V_T}{\left(\alpha_{F2} \frac{I_1}{2} - \frac{I_{C3}}{\beta_{F3}} \right)} \ln \left(1 + \frac{I_{C3}}{I_{S3}} \right) \quad (15.71)$$

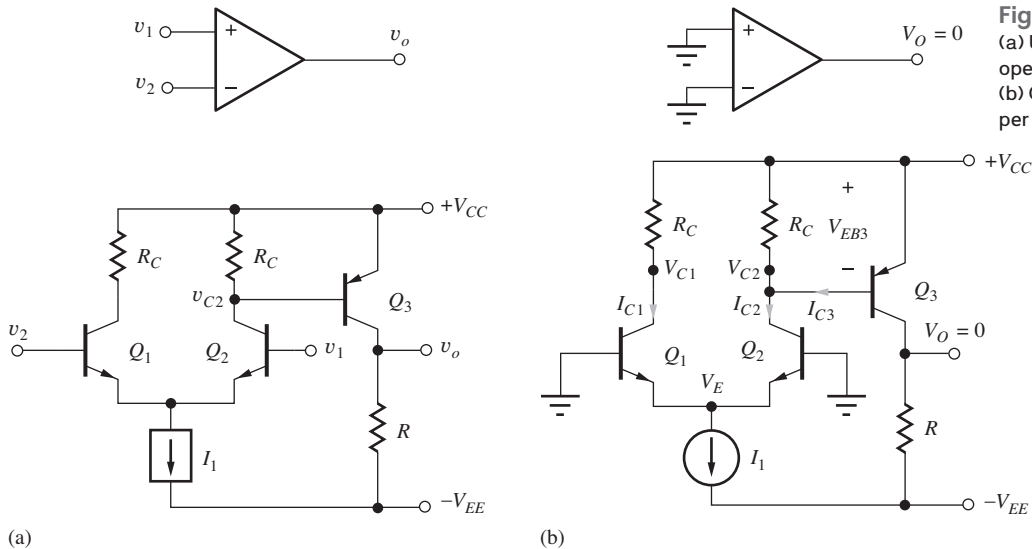


Figura 15.19

(a) Un semplice amplificatore operazionale a due stadi.
(b) Circuito equivalenti in DC per l'amplificatore a due stadi.

ESERCIZIO Si trovino i punti di lavoro dei transistori dell'amplificatore di Figura 15.19 se $V_{CC} = V_{EE} = 15\text{ V}$, $I_1 = 150\text{ }\mu\text{A}$, $R_C = 10\text{ k}\Omega$, $R = 20\text{ k}\Omega$ e $\beta_F = 100$. Quale deve essere il valore di I_{S3} affinché la tensione di uscita sia nulla?

RISPOSTE (74.3 μA , 15 V), (74.3 μA , 15 V), (750 μA , 15 V); 1.87 fA.

Nota sulla polarizzazione

Bisogna puntualizzare che il circuito in Figura 15.19 non può lavorare ad anello aperto, cioè senza un qualche tipo di retroazione necessaria a stabilizzare il punto di lavoro di Q_3 . Ciò perché la corrente di collettore di Q_3 dipende esponenzialmente dal valore della sua tensione base-emettitore. Se si cerca di costruire il circuito o anche solo di simularlo con valori standard in SPICE, l'uscita saturerà a uno dei valori delle alimentazioni a causa della nostra approssimazione di $V_{BE} = 0.7\text{ V}$. Questa estrema sensibilità può essere ridotta inserendo una resistenza in serie all'emettitore di Q_3 a spese di una significativa perdita di guadagno.

ESERCIZIO Si simuli il circuito di Figura 15.19 con $V_{CC} = V_{EE} = 15\text{ V}$, $I_1 = 150\text{ }\mu\text{A}$, $R_C = 10\text{ k}\Omega$, $R = 20\text{ k}\Omega$, utilizzando per i parametri dei dispositivi i valori di default di SPICE. Quali sono i punti Q dei dispositivi? Quanto vale la tensione di uscita v_o ?

RISPOSTE (74.4 μA , 14.9 V), (74.4 μA , 14.9 V), (164 μA , 26.7 V); -11.7 V (i valori esatti dipendono dai parametri di default della particolare versione di SPICE utilizzata). Il problema può essere risolto collegando la base di Q_1 all'uscita; si simuli il circuito in questa configurazione.

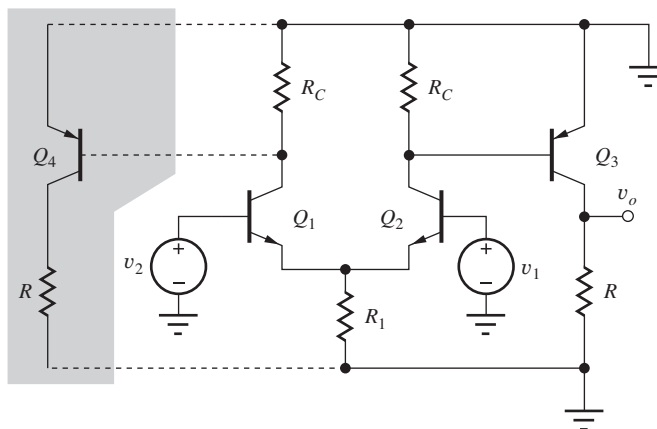
Analisi in AC

Il circuito equivalente in AC dell'amplificatore operazionale a due stadi è mostrato in Figura 15.20, dove il generatore di polarizzazione I_1 è stato sostituito dalla sua resistenza equivalente in AC R_1 . L'analisi del comportamento in modo differenziale dell'amplificatore operazionale può essere eseguita utilizzando il circuito equivalente semplificato di Figura 15.21, che è basato sul mezzo circuito dello stadio di ingresso.

È importante capire che l'amplificatore complessivo a due stadi non è più un circuito simmetrico, per cui l'analisi con il mezzo circuito non sarebbe valida da un punto di vista teorico. Tuttavia, sappiamo che le variazioni di tensione sul collettore di Q_2 (o sul drain di un MOSFET) non alterano sostanzialmente la corrente nel transistore quando questo opera in regione attiva diretta. In effetti, stiamo assumendo che gli emettitori della coppia differenziale siano approssimativamente a potenziale fisso. (Si può immaginare una versione completamente simmetrica dell'amplificatore replicando Q_3 e R alla sinistra del circuito con la base del nuovo transistore collegata al collettore di Q_1 .)

Pertanto, rappresentare ancora l'amplificatore differenziale con il suo mezzo circuito è un'approssimazione estremamente utile dal punto di vista ingegneristico.

Figura 15.20
Circuito equivalente in AC
dell'amplificatore
operazionale a due stadi.



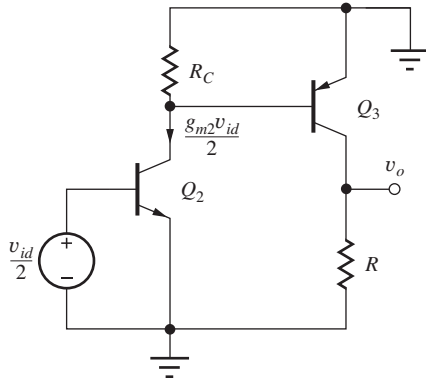


Figura 15.21

Modello semplificato che utilizza il mezzo circuito di modo differenziale.

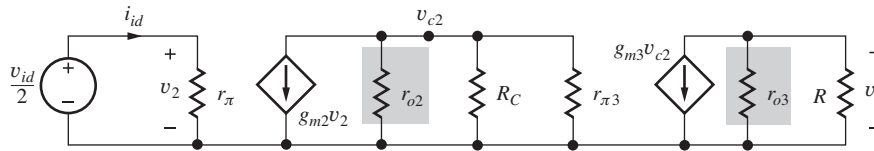


Figura 15.22

Modello di piccolo segnale dell'amplificatore di Figura 15.21.

Il modello di piccolo segnale che corrisponde alla Figura 15.21 è riportato in Figura 15.22. Nell'analisi seguente le resistenze di uscita r_{o2} e r_{o3} vengono trascurate perché si trovano in parallelo con i resistori esterni R_C e R . Riferendosi alla Figura 15.22, il guadagno di modo differenziale complessivo A_{dm} di questo amplificatore operazionale a due stadi può essere espresso come:

$$A_{dm} = \frac{v_o}{v_{id}} = \frac{v_{c2}}{v_{id}} \frac{v_o}{v_{c2}} = A_{vt1} A_{vt2} \quad (15.72)$$

e i guadagni ai terminali A_{vt1} e A_{vt2} possono essere calcolati analizzando il circuito in figura.

Il primo stadio è un amplificatore differenziale con l'uscita presa dal lato invertente,

$$A_{vt1} = \frac{v_{c2}}{v_{id}} = -\frac{g_{m2}}{2} R_{L1} = -\frac{g_{m2}}{2} \frac{R_C r_{\pi3}}{R_C + r_{\pi3}} \quad (15.73)$$

dove la resistenza di carico R_{L1} è uguale alla resistenza di collettore R_C in parallelo con la resistenza di ingresso $r_{\pi3}$ del secondo stadio.

Il secondo stadio è un amplificatore a emettitore comune con carico resistivo il cui guadagno è:

$$A_{vt2} = \frac{v_o}{v_{c2}} = -g_{m3} R \quad (15.74)$$

Combinando le equazioni dalla (15.72) alla (15.74) si ottiene il guadagno complessivo per l'amplificatore a due stadi:

$$A_{dm} = A_{vt1} A_{vt2} = \left(-\frac{g_{m2}}{2} \frac{R_C r_{\pi3}}{R_C + r_{\pi3}} \right) (-g_{m3} R) = \frac{g_{m2} R_C}{2} \frac{\beta_{o3} R}{R_C + r_{\pi3}} \quad (15.75)$$

L'Equazione (15.75) contiene un numero consistente di parametri ed è difficile da interpretare. Tuttavia, attraverso opportune manipolazioni, è possibile modificare questa espressione in modo da evidenziare i parametri fondamentali di progetto. Moltiplicando numeratore e denominatore dell'Equazione (15.75) per g_{m3} , ed esprimendo le transcondutanze in funzione delle correnti di collettore, si ottiene:

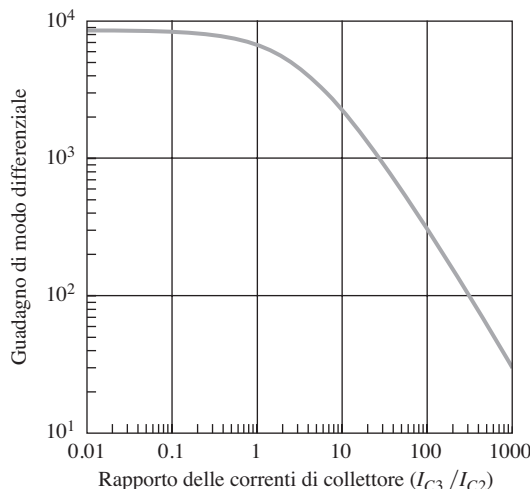
$$A_{dm} = \frac{1}{2} \frac{\left(\frac{I_{C2} R_C}{V_T} \right) \beta_{o3} \left(\frac{I_{C3} R}{V_T} \right)}{\frac{I_{C3}}{I_{C2}} \frac{I_{C2} R_C}{V_T} + \beta_{o3}} \quad (15.76)$$

Se si trascura la corrente di base di Q_3 , allora $I_{C2} R_C = V_{BE3} \approx 0.7 \text{ V}$ e $I_{C3} R = V_{EE}$, come evidenziato durante l'analisi in DC. Sostituendo questi risultati nell'Equazione (15.76) otteniamo:

$$A_{dm} = \frac{1}{2} \frac{\left(\frac{V_{BE}}{V_T} \right) \beta_{o3} \left(\frac{V_{EE}}{V_T} \right)}{\left(\frac{V_{BE}}{V_T} \right) \left(\frac{I_{C3}}{I_{C2}} \right) + \beta_{o3}} = \frac{(560 \text{ V}^{-1}) V_{EE}}{1 + \frac{28}{\beta_{o3}} \left(\frac{I_{C3}}{I_{C2}} \right)} \quad (15.77)$$

Figura 15.23

Guadagno di modo differenziale in funzione del rapporto tra le correnti di collettore per $V_{EE} = 15\text{ V}$ e $\beta_{o3} = 100$.



Nell'espressione finale riportata in Equazione (15.76) si evidenzia la dipendenza di A_{dm} dai parametri di base. Una volta scelta la tensione di alimentazione V_{EE} e il transistor Q_3 (cioè β_{o3}), l'unico parametro di progetto che rimane è il rapporto fra le correnti di collettore del primo e del secondo stadio. Un limite superiore per I_{C2} e I_1 è generalmente fissato dal valore consentito della corrente di polarizzazione I_{B1} all'ingresso dell'amplificatore, mentre il valore minimo di I_{C3} è fissato dalla corrente necessaria a pilotare l'impedenza totale di carico connessa al nodo di uscita. Generalmente I_{C3} è parecchie volte più grande di I_{C1} .

La Figura 15.23 rappresenta graficamente l'Equazione (15.77), e riporta l'andamento del guadagno dell'amplificatore in funzione del rapporto delle correnti di collettore. Si osservi che il guadagno comincia a diminuire rapidamente non appena I_{C3}/I_{C2} supera 5. Questo grafico è estremamente utile come aiuto alla scelta del punto di lavoro durante il progetto dell'amplificatore operativo a due stadi.

Resistenze di ingresso e di uscita

Dal modello AC dell'amplificatore, riportato nelle Figure 15.21 e 15.22, si trova che la resistenza di ingresso di modo differenziale è uguale alla resistenza di ingresso dell'amplificatore differenziale data da:

$$R_{id} = \frac{v_{id}}{i_{id}} = 2r_{\pi 2} = 2r_{\pi 1} \quad (15.78a)$$

e la resistenza di uscita è data da:

$$R_{out} = R \parallel r_{o3} \approx R \quad (15.78b)$$

ESERCIZIO Qual è il massimo valore possibile del guadagno dell'amplificatore descritto dall'Equazione (15.75) per $V_{CC} = V_{EE} = 15\text{ V}$, $\beta_{o1} = 50$ e $\beta_{o3} = 100$? Qual è il massimo guadagno di tensione dell'amplificatore se la corrente di polarizzazione di ingresso non deve superare $1\text{ }\mu\text{A}$ e $I_{C3} = 500\text{ }\mu\text{A}$? Si ripeta l'esercizio con $I_{C3} = 5\text{ mA}$.

RISPOSTE 8400; 2210; 290.

ESERCIZIO Quali sono le resistenze di ingresso e di uscita dei due amplificatori progettati nell'esercizio precedente?

RISPOSTE 50 k Ω , 30 k Ω ; 50 k Ω , 3 k Ω .

ESERCIZIO Qual è il massimo valore possibile del guadagno dell'amplificatore descritto dall'Equazione (15.75) se $V_{CC} = V_{EE} = 1.5\text{ V}$?

RISPOSTA 840.

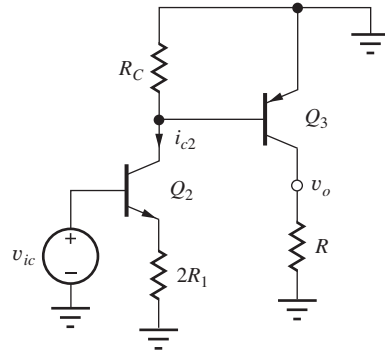


Figura 15.24
Circuito equivalente AC per
ingressi di modo comune.

Prima di procedere è necessario capire in che modo sono stati eliminati i condensatori di accoppiamento e di bypass dall'amplificatore operazionale elementare a due stadi. Il potenziale fisso sugli emettitori dell'amplificatore differenziale consente di ottenere dallo stadio di ingresso il pieno guadagno dell'amplificatore invertente senza la necessità di un condensatore di bypass sull'emettitore. L'uso del transistor *pnp* permette l'accoppiamento diretto tra il primo e il secondo stadio e consente di collegare l'emettitore del transistor *pnp* a un punto di ground per il segnale. Inoltre, il *pnp* fornisce la necessaria **traslazione del livello di tensione** per portare l'uscita a 0 V. Pertanto viene eliminata del tutto la necessità di avere condensatori di bypass o di accoppiamento, ottenendo $v_o = 0$ per $v_1 = 0 = v_2$.

CMRR

Il guadagno di modo comune e il CMRR dell'amplificatore a due stadi possono essere determinati dal circuito in AC con ingresso di modo comune riportato nella Figura 15.24, dove ancora una volta è stato usato il mezzo circuito per rappresentare lo stadio differenziale di ingresso. Se si confronta la Figura 15.24 con la Figura 15.21, si vede che la circuiteria oltre il collettore di Q_2 è la stessa in entrambe le figure. L'unica differenza nella tensione di uscita è quindi dovuta alla differenza di valore della corrente di collettore i_{c2} . Nella Figura 15.24 i_{c2} è la corrente di collettore dello stadio C-E con una resistenza di emettitore $2R_1$:

$$i_{c2} = \frac{\beta_{o2} v_{ic}}{r_{\pi 2} + 2(\beta_{o2} + 1)R_1} = \frac{g_{m2} v_{ic}}{1 + 2 \frac{g_{m2}}{\alpha_{o2}} R_1} \approx \frac{g_{m2} v_{ic}}{1 + 2g_{m2} R_1} \quad (15.79)$$

mentre i_{c2} nella Figura 15.21 era:

$$i_{c2} = \frac{g_{m2}}{2} v_{id} \quad (15.80)$$

Quindi il guadagno di modo comune dell'operazionale si trova dall'Equazione (15.75) sostituendo la quantità $g_{m2}/2$ con $g_{m2}/(1 + 2g_{m2} R_1)$:

$$A_{cm} = \frac{g_{m2} R_C}{1 + 2g_{m2} R_1} \frac{\beta_{o3} R}{R_C + r_{\pi 3}} = \frac{2A_{dm}}{1 + 2g_{m2} R_1} \quad (15.81)$$

Dall'Equazione (15.81) il CMRR dell'operazionale risulta:

$$\text{CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{1 + 2g_{m2} R_1}{2} \approx g_{m2} R_1 \quad (15.82)$$

che è identico al CMRR del solo stadio differenziale di ingresso.

ESERCIZIO Qual è il CMRR dell'amplificatore di Figura 15.19 se $I_1 = 100 \mu\text{A}$ e $R_1 = 750 \text{ k}\Omega$?

RISPOSTA 63.5 dB.

15.2.2 Evoluzione dell'amplificatore operazionale elementare

Dai numerosi esercizi svolti precedentemente possiamo osservare che l'amplificatore operazionale elementare ha un guadagno complessivo di tensione relativamente basso e una resistenza di uscita più alta di quella normalmente associata a un vero amplificatore operazionale. In questo paragrafo viene considerato l'uso di un ulteriore generatore di corrente per migliorare il guadagno di tensione; nel prossimo paragrafo verrà aggiunto un inseguitore di emettitore per ridurre la resistenza di uscita.

La Figura 15.23 indica che il guadagno complessivo dell'amplificatore decresce rapidamente al crescere della corrente di polarizzazione del secondo stadio. Nell'esercizio abbiamo visto che il guadagno complessivo è piuttosto basso quando $I_{C3} = 5$ mA. Una tecnica che può essere usata per migliorare il guadagno di tensione è la sostituzione del resistore R con un secondo generatore di corrente, come mostrato in Figura 15.25(a). Il circuito in AC modificato è riportato in Figura 15.25(b). Il modello di piccolo segnale è lo stesso di quello della Figura 15.22, eccetto il fatto che il resistore R è sostituito dalla resistenza di uscita R_2 del generatore di corrente I_2 . Il carico di Q_3 è ora la resistenza di uscita R_2 del generatore di corrente in parallelo con la resistenza di uscita di Q_3 . Nel Paragrafo 15.4 scopriremo che è possibile progettare un generatore di corrente con $R_2 \gg r_{o3}$, e, trascurando R_2 , l'espressione del guadagno di modo differenziale dell'amplificatore complessivo diventa:

$$A_{dm} = A_{vt1}A_{vt2} = \left(-\frac{g_{m2}}{2} \frac{R_C r_{\pi 3}}{R_C + r_{\pi 3}} \right) (-g_{m3} r_{o3}) \quad (15.83)$$

Possiamo ridurre l'Equazione (15.81) a:

$$A_{dm} = \frac{(V_{BE}/(2V_T)) \mu_{f3}}{1 + \frac{V_{BE}/V_T}{\beta_{o3}} \left(\frac{I_{C3}}{I_{C2}} \right)} \approx \frac{(560 \text{ V}^{-1}) V_{A3}}{1 + \frac{28}{\beta_{o3}} \left(\frac{I_{C3}}{I_{C2}} \right)} \quad (15.84)$$

usando gli stessi passi che hanno condotto all'Equazione (15.77). Questa espressione è simile all'Equazione (15.77), eccetto il fatto che la tensione di alimentazione V_{EE} è stata sostituita dalla tensione di Early di Q_3 . Per bassi valori del rapporto delle correnti di collettore è possibile ottenere da questo semplice amplificatore a due stadi eccellenti valori di guadagno di tensione. Si noti inoltre che il guadagno dell'amplificatore non dipende più direttamente dalla scelta di V_{CC} e V_{EE} .

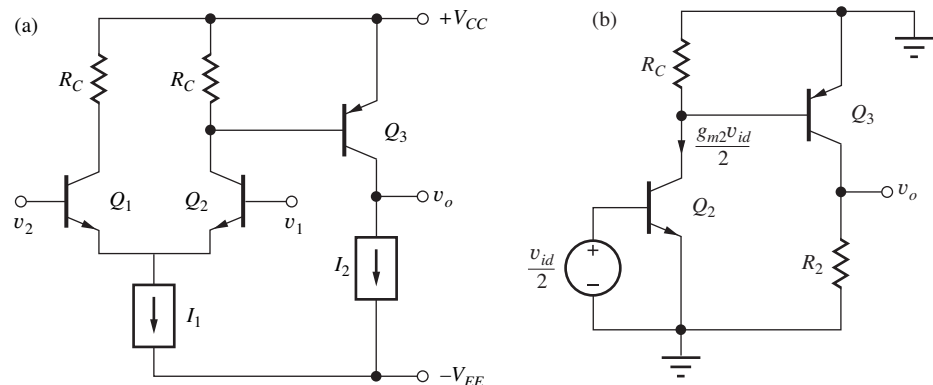
Benché l'aggiunta del generatore di corrente abbia migliorato il guadagno di tensione, essa ha anche portato a un degrado (aumento) della resistenza di uscita. La resistenza di uscita dell'amplificatore è ora determinata dalle caratteristiche del generatore di corrente I_2 e dal transistor Q_3 :

$$R_{out} = R_2 \parallel r_{o3} \approx r_{o3} \quad (15.85)$$

A causa del valore relativamente alto della resistenza di uscita, questo amplificatore si avvicina più a un amplificatore di transconduttanza con una uscita in corrente ($A_{tc} = i_o/v_{id}$) che a un amplificatore di tensione con bassa resistenza di uscita.

Figura 15.25

(a) Amplificatore con migliore guadagno di tensione.
(b) Circuito equivalente AC approssimato per il modo differenziale.



ESERCIZIO Partendo dall'Equazione (15.83), si dimostri che l'Equazione (15.84) è corretta.

ESERCIZIO Qual è il massimo valore possibile del guadagno di tensione dell'amplificatore descritto dall'Equazione (15.83) per $V_{CC} = V_{EE} = 15\text{ V}$, $V_{A3} = 75\text{ V}$, $\beta_{01} = 50$ e $\beta_{03} = 100$? Qual è il guadagno di tensione se la corrente di polarizzazione di ingresso non deve superare $1\text{ }\mu\text{A}$ e $I_{C3} = 500\text{ }\mu\text{A}$? Si ripeta il calcolo con $I_{C3} = 5\text{ mA}$.

RISPOSTE 42 000; 11 000; 1450.

ESERCIZIO Quali sono le resistenze di ingresso e di uscita degli ultimi due amplificatori progettati?

RISPOSTE 50 k Ω , 180 k Ω ; 50 k Ω , 18 k Ω .

15.2.3 Coppia Darlington

Dal numeratore dell'Equazione (15.84), osserviamo che la tensione di Early di Q_3 gioca un ruolo fondamentale per determinare il guadagno in tensione dell'amplificatore. Tuttavia, il guadagno in corrente di Q_3 ha un peso importante a denominatore. Il collegamento di due transistori *nnp* o *pnp* mostrato in Figura 15.26 (a) e (b) prende il nome di coppia Darlington e permette di aumentare in maniera significativa il guadagno in corrente del BJT: la coppia Darlington è infatti usata per rimpiazzare un singolo BJT fornendo un guadagno di corrente molto maggiore.

In Figura 15.26(a), la corrente di collettore I_C del transistor *nnp* equivalente è la somma delle correnti di collettore dei due transistori. La corrente di base di Q_2 diventa la corrente di emettitore di Q_1 . Di conseguenza, I_C può essere scritta come

$$I_C = I_{C1} + I_{C2} = \beta_{F1}I_B + \beta_{F2}I_{E1} = \beta_{F1}I_B + \beta_{F2}(\beta_{F1} + 1)I_B \quad (15.86)$$

e l'effettivo guadagno in corrente è con buona approssimazione pari al prodotto dei guadagni in corrente dei singoli transistori:

$$\beta_F = \frac{I_C}{I_B} = \beta_{F1} + \beta_{F2}(\beta_{F1} + 1) \approx \beta_{F1}\beta_{F2} \quad (15.87)$$

La resistenza d'ingresso vista dal terminale di base R_{IB} è facilmente calcolabile come la somma di $r_{\pi1}$ di Q_1 e del valore amplificato della resistenza di emettitore $r_{\pi2}$ di Q_1 . L'espressione può essere semplificata poiché $I_{C1} \approx I_{C2}/\beta_{F2}$. La resistenza di collettore, con una tensione costante in ingresso, è dominata da r_{o2} .

$$R_{IB} = r_{\pi1} + (\beta_{01} + 1)r_{\pi2} \approx 2\beta_{01}r_{\pi2} \quad \text{e} \quad R_{iC} \approx r_{o2} \parallel 2\frac{r_{o1}}{\beta_{02}} \approx \frac{2}{3}r_{o2} \quad (15.88)$$

Nel caso di Darlington pilotato in corrente, come richiede la definizione di r_o , la resistenza di uscita vale invece $R_{iC} = r_{o2}/2$.

Questo circuito non è tuttavia immune da problemi. Poiché Q_1 opera con una corrente tra le 50 e le 150 volte più piccola di Q_2 , il suo guadagno in corrente può essere molto più piccolo del guadagno di Q_2 e il guadagno complessivo è quindi minore del valore atteso. In aggiunta, la piccola corrente che circola in Q_1 può portare a problemi nella risposta dinamica della coppia Darlington. È quindi comune aggiungere un resistore tra la base e l'emettitore di Q_2 per aumentare la corrente di polarizzazione di Q_1 , come mostrato in Figura 15.26(c).

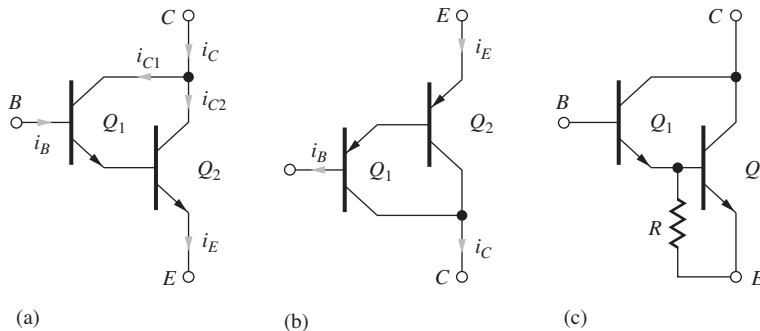


Figura 15.26

Coppia Darlington: (a) *nnp*; (b) *pnp*; (c) resistore R aggiunto per aumentare la corrente polarizzazione di Q_1 .

15.2.4 Riduzione della resistenza di uscita

Come accennato precedentemente, l'amplificatore operazionale elementare a due stadi rappresenta, a questo punto, un amplificatore di transconduttanza con alta resistenza di uscita piuttosto che un amplificatore di tensione con una bassa resistenza di uscita. È necessario quindi un terzo stadio che non degradi il guadagno di tensione ma che abbassi la resistenza di uscita. Queste caratteristiche sembrano descrivere un circuito inseguitore – guadagno di tensione unitario e bassa resistenza di uscita.

In Figura 15.27 viene aggiunto all'amplificatore operazionale elementare uno stadio inseguitore di emettitore (C-C). In questo caso l'amplificatore C-C è polarizzato da un terzo generatore di corrente I_3 , e inoltre viene collegato un carico esterno R_L all'uscita. Il circuito equivalente in AC è riportato in Figura 15.27(b), dove si assume che le resistenze di uscita di I_2 e I_3 siano talmente grandi da essere trascurate nell'analisi.

Basandosi sul circuito equivalente, il guadagno complessivo dell'amplificatore operazionale a tre stadi può essere scritto come:

$$A_{dm} = \frac{v_2}{v_{id}} \frac{v_3}{v_2} \frac{v_o}{v_3} = A_{vt1} A_{vt2} A_{vt3} \quad (15.89)$$

Il guadagno del primo stadio è uguale al guadagno della coppia differenziale di ingresso (trascurando r_{o2}):

$$A_{vt1} = -\frac{g_{m2}}{2} (R_C \parallel r_{\pi3}) \quad (15.90)$$

Il secondo stadio è un emettitore comune con resistenza di carico pari alla resistenza di uscita di Q_3 in parallelo con la resistenza di ingresso dell'inseguitore di emettitore:

$$A_{vt2} = -g_{m3} (r_{o3} \parallel R_{iB4}) \quad \text{dove } R_{iB4} = r_{\pi4} + (\beta_{o4} + 1)R_L \quad (15.91)$$

Infine il guadagno dell'inseguitore di emettitore Q_4 è (trascurando r_{o4}):

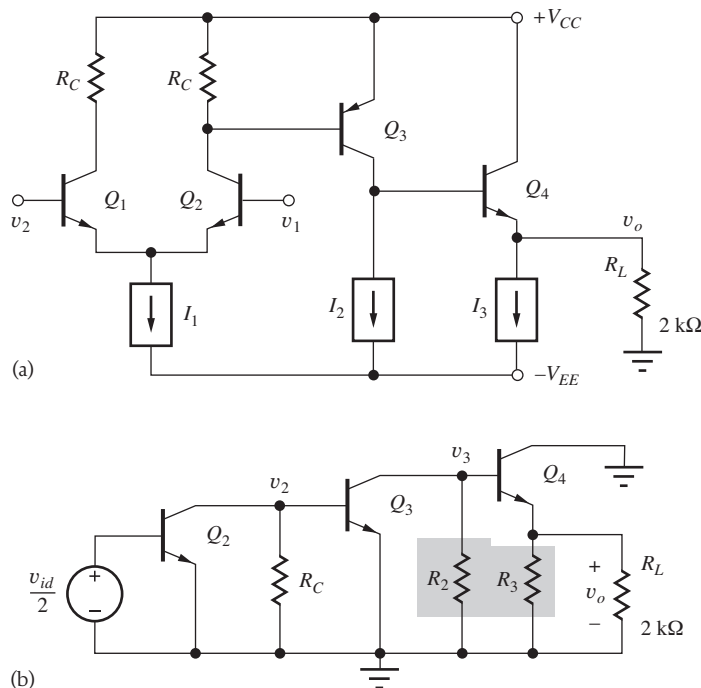
$$A_{vt3} = \frac{(\beta_{o4} + 1)R_L}{r_{\pi4} + (\beta_{o4} + 1)R_L} \approx 1 \quad (15.92)$$

La resistenza di ingresso è fissata dalla coppia differenziale, mentre la resistenza di uscita dell'amplificatore è ora determinata dalla resistenza che si vede guardando dentro l'emettitore di Q_4 :

$$R_{id} = 2r_{\pi2} \quad \text{e} \quad R_{out} = \frac{1}{g_{m4}} + \frac{R_{th4}}{\beta_{o4} + 1} \quad (15.93)$$

Figura 15.27

(a) Amplificatore con l'aggiunta dello stadio a collettore comune Q_4 .
(b) Circuito semplificato in AC dell'amplificatore operazionale a tre stadi.



In questo caso vi è una resistenza equivalente di Thévenin relativamente grande sulla base di Q_4 , $R_{th4} \approx r_{o3}$, e la resistenza complessiva di uscita è:

$$R_{out} = \frac{1}{g_{m4}} + \frac{r_{o3}}{\beta_{o4} + 1} = \frac{1}{g_{m4}} \left[1 + \frac{\mu_{f3}}{\beta_{o4} + 1} \frac{I_{C4}}{I_{C3}} \right] \quad (15.94)$$

ANALISI DELL'AMPLIFICATORE OPERAZIONALE BIPOLARE A TRE STADI

Esempio 15.4

Determiniamo le caratteristiche di una specifica implementazione di un amplificatore operazionale a tre stadi realizzato con BJT.

Si trovino i valori del guadagno di tensione di modo differenziale, del CMRR, della resistenza di ingresso e della resistenza di uscita dell'amplificatore di Figura 15.27 se $V_{CC} = 15$ V, $V_{EE} = 15$ V, $V_{A3} = 75$ V, $\beta_{o1} = \beta_{o2} = \beta_{o3} = \beta_{o4} = 100$, $I_1 = 100$ μ A, $I_2 = 500$ μ A, $I_3 = 5$ mA, $R_1 = 750$ k Ω e $R_L = 2$ k Ω . Si assumano R_2 e R_3 di valore infinito.

PROBLEMA

Informazioni e dati noti: Amplificatore operazionale elementare a tre stadi di Figura 15.27 con $V_{CC} = 15$ V, $V_{EE} = 15$ V, $V_{A3} = 75$ V, $\beta_{o1} = \beta_{o2} = \beta_{o3} = \beta_{o4} = 100$, $I_1 = 100$ μ A, $I_2 = 500$ μ A, $I_3 = 5$ mA, $R_1 = 750$ k Ω , e $R_L = 2$ k Ω . Assumere R_2 e R_3 di valore infinito.

SOLUZIONE

Incognite: Punto di lavoro, R_C , A_{dm} , CMRR, R_{id} e R_{out} .

Approccio: Bisogna valutare le espressioni delle Equazioni dalla (15.89) alla (15.94). In primo luogo bisogna trovare il punto di lavoro e poi utilizzarlo per determinare i parametri del modello di piccolo segnale includendo g_{m2} , $r_{\pi2}$, $r_{\pi3}$, g_{m2} , r_{o3} e $r_{\pi4}$. Le informazioni sul punto di lavoro possono essere ricavate dalla Figura 15.28 ponendo v_1 e v_2 uguali a zero.

Ipotesi: Il punto di lavoro si trova con v_1 e v_2 uguali a zero, e anche la tensione di uscita è nulla per queste tensioni di ingresso. I transistori lavorano tutti in zona attiva con V_{BE} o V_{EB} pari a 0.7 V.

Analisi: La corrente di emettitore dello stadio di ingresso è la metà della corrente di polarizzazione I_1 e

$$g_{m2} = \frac{I_{C2}}{V_T} = \frac{\alpha_{F2} I_{E2}}{V_T} = (0.99 \times 50 \mu\text{A}) / 25 \text{ mV} = 1.98 \text{ mS}$$

Il collettore del secondo stadio deve fornire la corrente I_2 più la corrente di base di Q_4 :

$$I_{C3} = I_2 + I_{B4} = I_2 + \frac{I_{E4}}{\beta_{F4} + 1}$$

Quando la tensione di uscita è zero, la corrente di uscita è zero e la corrente di emettitore di Q_4 è uguale alla corrente del generatore I_3 . Quindi

$$I_{C3} = I_2 + I_{B4} = I_2 + \frac{I_3}{\beta_{F4} + 1} = 0.5 \text{ mA} + \frac{5 \text{ mA}}{101} = 550 \mu\text{A}^4$$

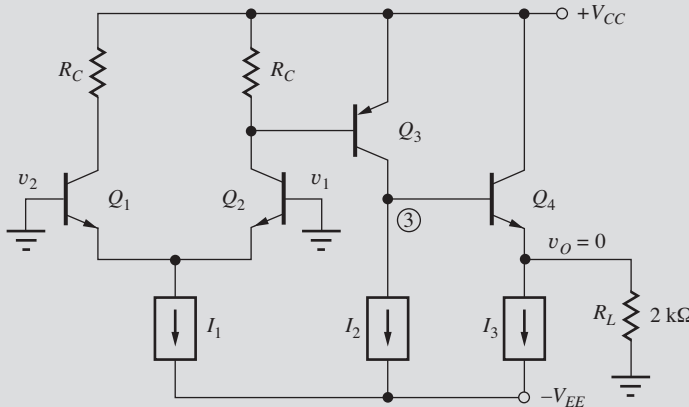


Figura 15.28
Amplificatore operazionale
con $v_1 = 0 = v_2$.

⁴ Si osservi che I_{B4} è una frazione significativa di I_{C3} .

e

$$g_{m3} = \frac{I_{C3}}{V_T} = \frac{550 \mu\text{A}}{25 \text{ mV}} = 22 \text{ mS}$$

$$r_{\pi3} = \frac{\beta_{o3}}{g_{m3}} = \frac{100}{22 \text{ mS}} = 4.55 \text{ k}\Omega$$

Per trovare la resistenza di uscita di Q_3 , occorre calcolare V_{EC3} . Se l'amplificatore è progettato adeguatamente, la tensione continua di uscita sarà zero quando le tensioni di ingresso sono zero. Quindi la tensione al nodo 3 è 0.7 V (caduta di tensione tra base e emettitore) e $V_{EC3} = 15 \text{ V} - 0.7 \text{ V} = 14.3 \text{ V}$. La resistenza di uscita di Q_3 è:

$$r_{o3} = \frac{V_{A3} + V_{EC3}}{I_{C3}} = \frac{(75 + 14.3) \text{ V}}{550 \mu\text{A}} = 162 \text{ k}\Omega$$

Ricordando che $I_{E4} = I_3$,

$$I_{C4} = \alpha_{F4} I_{E4} = 0.990 \times 5 \text{ mA} = 4.95 \text{ mA}$$

e

$$g_{m4} = \frac{I_{C4}}{V_T} = 198 \text{ mS} \quad r_{\pi4} = \frac{\beta_{o4} V_T}{I_{C4}} = \frac{100 \times 25 \text{ mV}}{4.95 \text{ mA}} = 505 \Omega$$

Infine, il valore di R_C è:

$$R_C = \frac{V_{EB3}}{I_{C2} - I_{B3}} = \frac{V_{EB3}}{I_{C2} - \frac{I_{C3}}{\beta_{F3}}} = \frac{0.7 \text{ V}}{\left(49.5 - \frac{550}{100}\right) \mu\text{A}} = 15.9 \text{ k}\Omega$$

Ora possiamo valutare le caratteristiche di piccolo segnale dell'amplificatore:

$$A_{vt1} = -\frac{g_{m2}(R_C \parallel r_{\pi3})}{2} = -\frac{1.98 \text{ mS}(15.9 \text{ k}\Omega \parallel 4.55 \text{ k}\Omega)}{2} = -3.50$$

$$A_{vt2} = -g_{m3}[r_{o3} \parallel r_{\pi4} + (\beta_{o4} + 1)R_L] = -22 \text{ mS}(162 \text{ k}\Omega \parallel 203 \text{ k}\Omega) = -1980!$$

$$A_{vt3} = \frac{(\beta_{o4} + 1)R_L}{r_{\pi4} + (\beta_{o4} + 1)R_L} = \frac{101(2 \text{ k}\Omega)}{0.505 \text{ k}\Omega + 101(2 \text{ k}\Omega)} = 0.998 \approx 1$$

$$A_{dm} = A_{vt1}A_{vt2}A_{vt3} = +6920$$

$$R_{id} = 2r_{\pi2} = 2 \frac{\beta_{o2}}{g_{m2}} = 2 \frac{100}{(1/25 \text{ mV})(49.5 \mu\text{A})} = 101 \text{ k}\Omega$$

$$R_{out} = \frac{1}{g_{m4}} + \frac{r_{o3}}{\beta_{o4} + 1} = \frac{1}{(1/25 \text{ mV})(4.95 \text{ mA})} + \frac{162 \text{ k}\Omega}{101} = 1.61 \text{ k}\Omega$$

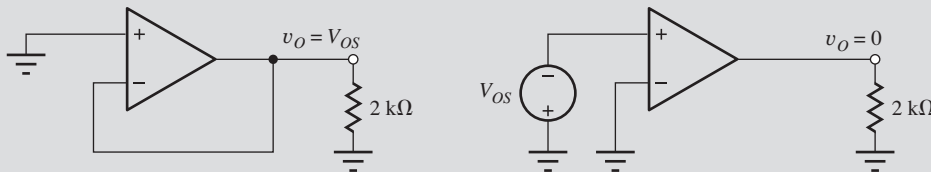
$$\text{CMRR} = g_{m2}R_{id} = (1/25 \text{ mV})(49.5 \mu\text{A})(750 \text{ k}\Omega) = 1490 \text{ o } 63.5 \text{ dB}$$

Verifica dei risultati: Possiamo usare le regole empiriche per valutare il guadagno di tensione. Il primo stadio dovrebbe fornire un guadagno di circa $1/2 \times (1/V_T) \times$ la tensione ai capi del resistore di carico ovvero $0.7 \text{ V}/(50 \text{ mV}) = 14$. Il secondo stadio dovrebbe fornire un guadagno di circa $\mu_f = 75 \text{ V}/(25 \text{ mV}) = 3000$. Il prodotto è 42 000. Il calcolo dettagliato fornisce un valore pari a circa 1/6 di quello stimato. Come giustificare le discrepanze? Si vede che il guadagno del primo stadio è solo 3.5 a causa del fatto che $r_{\pi3}$ è notevolmente più piccola di R_C e il guadagno del secondo stadio è circa 2000 a causa dell'effetto di R_L , che è dello stesso ordine di grandezza di r_{o3} . Questi due effetti giustificano la riduzione osservata del guadagno complessivo. L'inseguitore di emettitore fornisce un guadagno unitario, come atteso.

Discussione: Questo amplificatore, pur essendo realizzato mediante un semplice circuito, presenta caratteristiche ragionevoli per un amplificatore operazionale: $A_v = 6920$, $R_{id} = 101 \text{ k}\Omega$ e $R_{out} = 1.6 \text{ k}\Omega$. Si noti che il secondo stadio, caricato dal generatore di corrente I_2 e separato da R_L per mezzo dell'inseguitore di emettitore, presenta un guadagno che è una buona percentuale del fattore di amplificazione di Q_3 . Tuttavia, anche con l'inseguitore di emettitore, la resistenza di carico riflessa $(\beta_{o4} + 1)R_L$ è simile al valore di r_{o3} e riduce il guadagno complessivo di tensione di un fattore circa 2. Si noti inoltre che la resistenza di uscita è determinata da r_{o3} e non dal reciproco di g_{m4} . Questi due ultimi aspetti indicano la strada per migliorare le prestazioni dell'amplificatore sostituendo Q_3 con uno stadio Darlington *nnp* (vedere il Paragrafo 15.2.3).

Analisi assistita da calcolatore: Poiché l'amplificatore è accoppiato in DC, l'analisi della funzione di trasferimento, eseguita con SPICE dal generatore di ingresso al nodo di uscita, fornisce automaticamente il guadagno di tensione, la resistenza di ingresso e quella di uscita. Per forzare l'uscita a zero (punto di lavoro normale), dobbiamo determinare la tensione di offset dell'amplificatore e quindi applicarla come ingresso in continua. Per fare ciò, occorre configurare l'amplificatore come inseguitore di tensione con l'ingresso al potenziale di riferimento (si veda la figura). Per questo amplificatore SPICE fornisce $V_{OS} = 0.437 \text{ mV}$. Si noti che in R_1 , resistenza di uscita del generatore di corrente I_1 , fluisce una corrente di circa $20 \mu\text{A}$. Assicurarsi di fissare $I_1 = 80 \mu\text{A}$ in modo che le correnti di polarizzazione di Q_1 e Q_2 siano entrambe circa $50 \mu\text{A}$.

Applicando ora la tensione di offset all'ingresso dell'amplificatore e rimuovendo la retroazione, è possibile eseguire un'analisi della funzione di trasferimento tra l'ingresso e l'uscita. I valori calcolati da SPICE sono $A_{dm} = 8280$, $R_{id} = 105 \text{ k}\Omega$ e $R_{out} = 960 \Omega$ e risultano alquanto più elevati di quelli risultanti dai calcoli manuali. Molte delle differenze sono imputabili alla più alta temperatura, e quindi al più alto valore di V_T , utilizzata nelle simulazioni (T è di default 27°C e $V_T = 25.9 \text{ mV}$). R_{out} calcolata da SPICE include la presenza di R_L . Eliminandone l'effetto si ottiene $R_{out} = [1/(960 \Omega) - 1/(2 \text{ k}\Omega)]^{-1} = 1.85 \text{ k}\Omega$, che è in buon accordo con i calcoli manuali.



ESERCIZIO Si supponga che le resistenze di uscita dei generatori di corrente R_2 e R_3 nell'amplificatore di Figura 15.27 siano rispettivamente $150 \text{ k}\Omega$ e $15 \text{ k}\Omega$. (a) Si calcolino il guadagno e le resistenze di ingresso e di uscita. (b) Si confrontino i risultati teorici con una simulazione SPICE. (c) Qual è la dissipazione di potenza dell'amplificatore dell'Esempio 15.4?

RISPOSTE 4320, $101 \text{ k}\Omega$, 776Ω ; 4480, $105 \text{ k}\Omega$, 774Ω ; 168 mW .

ESERCIZIO Si supponga che il guadagno in corrente β_F di tutti i transistori sia 150 invece di 100. Ricalcolare il guadagno, la resistenza d'ingresso, la resistenza d'uscita e il CMRR dell'amplificatore di Figura 15.27.

RISPOSTE 11 000; $152 \text{ k}\Omega$; $1.12 \text{ k}\Omega$; 63.4 dB .

ESERCIZIO Si supponga che la tensione di Early di Q_3 nell'amplificatore di Figura 15.27 sia 50 V invece di 75 V . Si ricalcolino il guadagno, la resistenza d'ingresso, la resistenza d'uscita e il CMRR.

RISPOSTE 5700; $101 \text{ k}\Omega$; $1.16 \text{ k}\Omega$; 63.5 dB .

ESERCIZIO L'amplificatore operazionale dell'Esempio 15.4 è utilizzato come inseguitore di tensione. Quali sono i valori del guadagno ad anello chiuso, della resistenza di ingresso e della resistenza di uscita?

RISPOSTE $+0.99986$, $699 \text{ M}\Omega$, 0.233Ω .

15.2.5 Amplificatore operazionale elementare CMOS

Analizziamo l'amplificatore operazionale CMOS di Figura 15.29(a). Un amplificatore differenziale costituito dai transistori M_1 e M_2 è seguito da uno stadio a source comune M_3 e da un inseguitore di source M_4 . Vengono di nuovo impiegati i generatori di corrente come carico per M_3 e inoltre per polarizzare sia lo stadio differenziale di ingresso che l'inseguitore di source. Riferendosi al circuito equivalente in AC di Figura 15.29(b), vediamo che il guadagno di modo differenziale è dato dal prodotto del guadagno ai terminali dei tre stadi:

$$A_{dm} = A_{vt1} A_{vt2} A_{vt3} = \left(-\frac{g_{m2}}{2} R_D \right) [-g_{m3} (r_{o3} \parallel R_2)] \left[\frac{g_{m4} (R_3 \parallel R_L)}{1 + g_{m4} (R_3 \parallel R_L)} \right] \quad (15.95)$$

$$\approx \mu_{f3} \left(\frac{g_{m2}}{2} R_D \right) \left(\frac{g_{m4} R_L}{1 + g_{m4} R_L} \right) \quad (15.96)$$

in cui si è ipotizzato che $R_3 \gg R_L$ e $R_2 \gg r_{o3}$.

L'Equazione (15.95) è relativamente facile da ottenere utilizzando le nostre formule per l'amplificatore a singolo stadio, in quanto la resistenza di ingresso di ciascun MOSFET è infinita e il guadagno di uno stadio non è alterato dalla presenza del successivo.

Il guadagno di modo differenziale complessivo è approssimativamente uguale al prodotto del guadagno di tensione del primo stadio e del fattore di amplificazione del secondo stadio.

Esplicitando g_{m2} , riconoscendo che il prodotto $I_{D2} R_D$ rappresenta la tensione ai capi di R_D , che è uguale a V_{GS3} , e assumendo che l'inseguitore di source abbia un guadagno circa unitario, si ottiene:

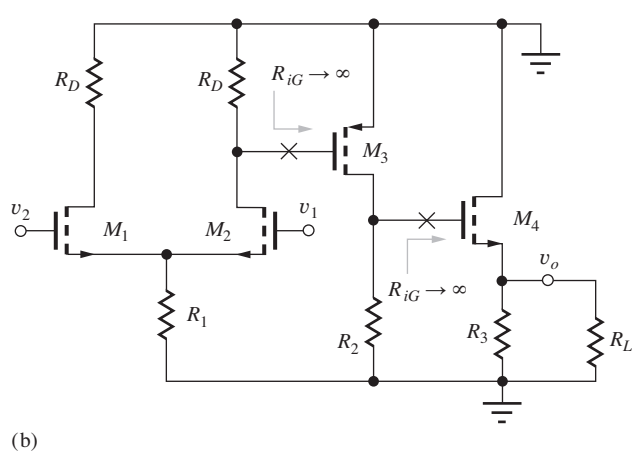
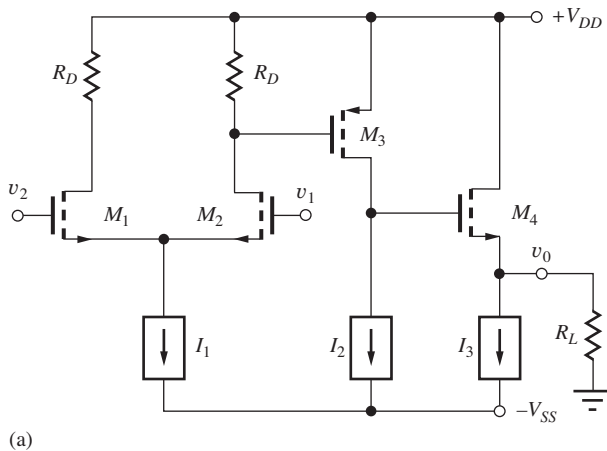
$$A_{dm} \approx A_{v1} A_{v2}(1) = \mu_{f3} \left(\frac{V_{SG3}}{V_{GS2} - V_{TN2}} \right) \quad (15.97)$$

Figura 15.29

(a) Amplificatore operazionale elementare CMOS.
(b) Circuiti equivalenti in AC dell'amplificatore operazionale CMOS trascurando le resistenze di uscita dei generatori di corrente I_2 e I_3 .

Benché l'Equazione (15.97) sia un'espressione semplice, spesso preferiamo avere il guadagno espresso in funzione delle diverse correnti di polarizzazione; per cui, esplicitando μ_{f3} , V_{GS2} e V_{SG3} , si ottiene:

$$A_{dm} = \frac{1}{\lambda_3} \sqrt{\frac{K_{n2}}{I_{D2}}} \sqrt{\frac{K_{p3}}{I_{D3}}} \left[\sqrt{\frac{2I_{D3}}{K_{p3}}} - V_{TP3} \right] \quad (15.98)$$



A causa della dipendenza di μ_f dal punto di lavoro, ci sono più gradi di libertà nell'Equazione (15.98) rispetto alla corrispondente espressione (dell'Equazione 15.84) per gli amplificatori a transistori bipolari. Ciò è soprattutto vero nel caso dei circuiti integrati in cui i valori di K_n e K_p possono essere facilmente cambiati modificando i rapporti W/L dei vari transistori. Tuttavia appare chiaro dall'Equazione (15.98) il vantaggio di far lavorare entrambi gli stadi di guadagno dell'amplificatore a basse correnti, e inoltre l'importanza di usare per M_3 un transistor con un basso valore di λ .

È facile notare che, a causa del fatto che le correnti di gate dei MOS sono zero, la corrente di polarizzazione di ingresso non pone vincoli a I_{D1} , mentre essa pone un limite superiore alla corrente I_{C1} nel caso degli amplificatori bipolari. Le resistenze di ingresso e di uscita dell'operazionale sono determinate da M_1 , M_2 e M_4 . Dai risultati relativi agli amplificatori a singolo stadio si ha:

$$R_{id} \rightarrow \infty \quad R_{out} = \frac{1}{g_{m4}} \| R_3 \quad CMRR = g_{m2} R_1 \quad (15.99)$$

Il CMRR è ancora una volta determinato dallo stadio differenziale di ingresso, dove R_1 è la resistenza di uscita del generatore di corrente I_1 .

ESERCIZIO Per l'amplificatore CMOS di Figura 15.29(a) si ha: $\lambda_3 = 0.01 \text{ V}^{-1}$, $K_{n1} = K_{n4} = 5.0 \text{ mA/V}^2$, $K_{p3} = 2.5 \text{ mA/V}^2$, $I_1 = 200 \text{ }\mu\text{A}$, $I_2 = 500 \text{ }\mu\text{A}$, $I_3 = 5 \text{ mA}$, $R_1 = 375 \text{ k}\Omega$, $V_{TP3} = -1 \text{ V}$. Qual è il guadagno dell'inseguitore di source se $R_L = 2 \text{ k}\Omega$? Quanto valgono il guadagno di tensione, il CMRR, la resistenza di ingresso e la resistenza di uscita dell'amplificatore?

RISPOSTE 0.934; 2410, 51.5 dB, $\rightarrow \infty$, 141 Ω .

ESERCIZIO Qual è la potenza dissipata a riposo da questo amplificatore operazionale se $V_{DD} = V_{SS} = 12\text{ V}$?

RISPOSTA 137 mW.

15.2.6 Amplificatori BiCMOS

Esiste un certo numero di processi tecnologici che consente al progettista di utilizzare una combinazione di transistori bipolari e MOS oppure di transistori bipolari e JFET. Questi processi tecnologici sono denominati, rispettivamente, tecnologia BiCMOS e tecnologia BiFET. La combinazione di BJT e MOS offre la possibilità di sfruttare al meglio le caratteristiche di entrambi i dispositivi per migliorare le prestazioni del circuito.

La Figura 15.30 mostra un semplice amplificatore operazionale BiCMOS. In questo caso è stata utilizzata una coppia differenziale con transistori PMOS come stadio di ingresso per mostrare un'altra variante di progetto. I transistori PMOS all'ingresso forniscono un'elevata resistenza di ingresso e possono essere polarizzati con correnti relativamente elevate (scopriremo in seguito che l'aumento della corrente dello stadio di ingresso migliora lo slew rate dell'amplificatore).

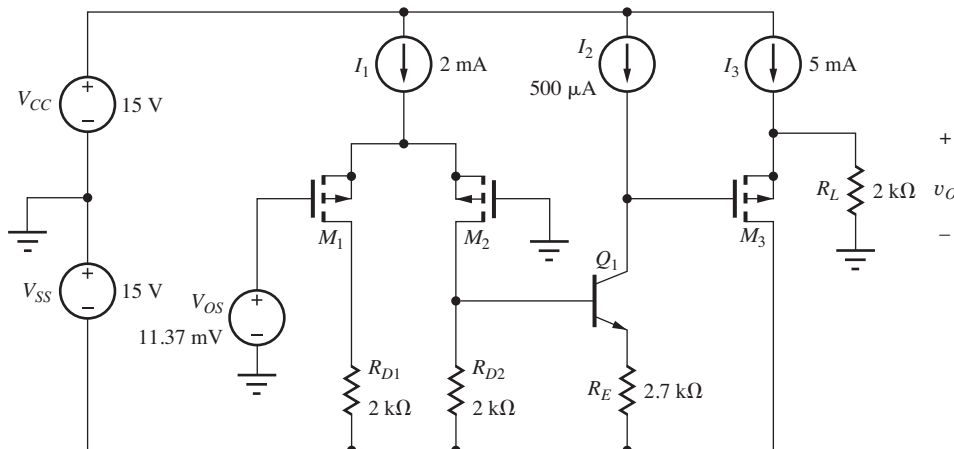


Figura 15.30
Amplificatore operazionale
elementare in tecnologia
BiCMOS.

Il secondo stadio di guadagno utilizza un transistor bipolare che fornisce un fattore di amplificazione superiore rispetto al MOS. Il resistore di emettitore R_E aumenta la tensione ai capi di R_{D2} , e quindi il guadagno di tensione del primo stadio, senza ridurre il fattore di amplificazione di Q_1 . Lo stadio inseguitore utilizza ancora un MOSFET per massimizzare il guadagno del secondo stadio mantenendo una adeguata resistenza di uscita.

Per questo circuito la simulazione SPICE usa $V_{TO} = -1$, $K_P = 25M$, $V_{AF} = 75$ e $B_F = 100$. Il simulatore viene inizialmente utilizzato per trovare la tensione di offset, analogamente a quanto fatto nell'Esempio 15.5. Il valore trovato è -11.37 mV che viene quindi applicato in ingresso all'amplificatore ad anello aperto. Un'analisi della funzione di trasferimento da V_{OS} all'uscita fornisce una resistenza di ingresso infinita, un guadagno di tensione pari a 13 200 e una resistenza di uscita di 61.4Ω .

15.2.7 Implementazione di amplificatori operazionali a soli transistori

Nella tecnologia CMOS e NMOS, è spesso utile eliminare, ove possibile, tutti i resistori, e ciò può essere fatto utilizzando le tecniche introdotte nel Paragrafo 14.6 del capitolo precedente. Per esempio, è possibile sostituire i resistori di carico in Figura 15.29 con un transistor NMOS o PMOS collegato in modo da lavorare in saturazione. Se al posto delle resistenze sono usati dei PMOS come in Figura 15.31(a), allora la corrente di polarizzazione di M_3 risulta fissata dal rapporto di specchio tra M_{L2} e M_3 .

La resistenza equivalente per piccoli segnali per il MOSFET collegato a diodo è approssimativamente $R_{eq} = 1/g_m$, quindi il guadagno di modo differenziale dello stadio d'ingresso diventa $A_{dd} = -g_{m2}/g_{mL2}$. L'espressione per il guadagno di tensione dello stadio d'ingresso è leggermente diversa da quella presentata nel Capitolo 14, poiché i transistori di ingresso e quelli di carico sono in questo caso diversi. Qui infatti si ha:

$$A_{dd} = -\frac{g_{m2}}{g_{mL2}} = -\frac{\sqrt{2K_n I_{D2}}}{\sqrt{2K_p I_{DL2}}} = -\sqrt{\frac{K'_n}{K'_p}} \sqrt{\frac{(W/L)_2}{(W/L)_{L2}}} \quad (15.100)$$

In questo caso, la differenza tra i parametri di transconduttanza del transistor PMOS (e dualmente nel caso si utilizzi NMOS) comporta un miglioramento del guadagno. Si noti che i transistori PMOS in Figura 15.31(a) hanno tutti i source collegati all'alimentazione positiva. Dal punto di vista tecnologico, i transistori NMOS potrebbero essere messi tutti in sacche p (p -well) per eliminare l'effetto body.

Una tecnica simile è usata per sostituire R_{D1} , R_{D2} dell'amplificatore BiCMOS di Figura 15.30, come riportato in Figura 15.31(b). In questo caso sono usati transistori NMOS in modo che i loro source possano essere tutti collegati al morsetto negativo dell'alimentazione, e i transistori PMOS della coppia differenziale (M_1 , M_2) possano essere messi in sacche n (n -well).

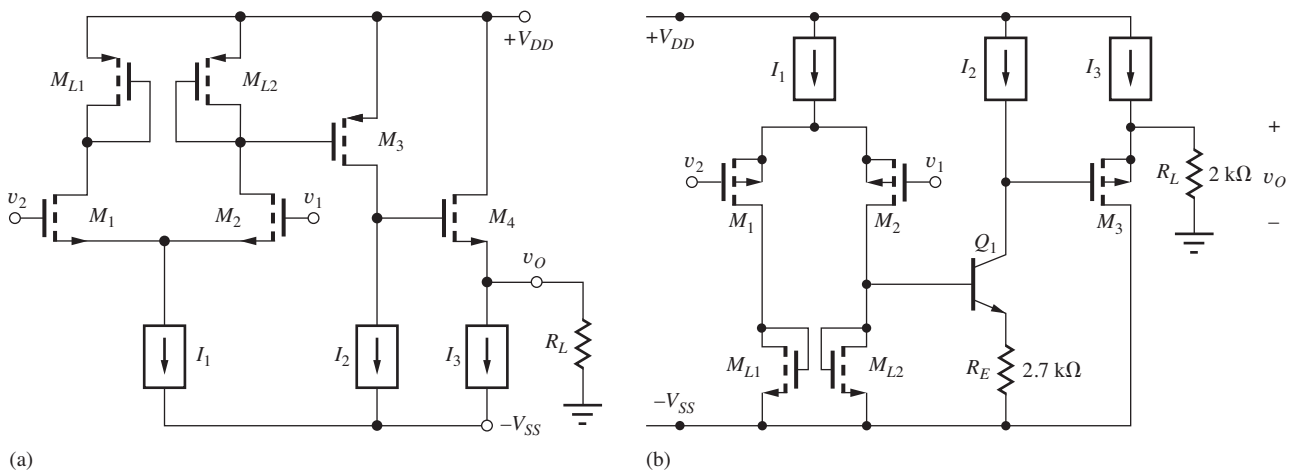


Figura 15.31 (a) Una implementazione dell'amplificatore CMOS di Figura 15.29, dove al posto delle resistenze di drain (R_D) sono stati inseriti due PMOS operanti in regime di saturazione. (b) L'amplificatore CMOS di Figura 15.30, dove al posto delle resistenze di drain (R_{D1} , R_{D2}) sono stati inseriti due NMOS operanti in regime di saturazione.

La resistenza R_E è in generale piccola, e solitamente non viene sostituita con un transistoro. Nel seguito del capitolo sarà presentato un modo migliore per configurare in modo ottimizzato i transistori di carico M_{L1} e M_{L2} in entrambi gli amplificatori di Figura 15.31.

ESERCIZIO Si scriva un'espressione per il massimo guadagno dell'amplificatore di Figura 15.31(a).

RISPOSTA $A_{dm} = \frac{1}{2} \frac{g_{m2}}{g_{mL2}} \mu_{f3} \frac{g_{m4} R_L}{1 + g_{m4} R_L} \leq \frac{1}{2} \frac{g_{m2}}{g_{mL2}} \mu_{f3}.$

ESERCIZIO Lo stadio d'ingresso dell'amplificatore di Figura 15.31(a) richiede una $A_{dd} = 10$ e $(W/L)_{L2} = 4/1$. Quale valore di $(W/L)_2$ è necessario?

RISPOSTA $(W/L)_2 = 160/1.$

ESERCIZIO Si scriva un'espressione per il guadagno di tensione dello stadio d'ingresso in Figura 15.31(b), ignorando l'effetto di carico di Q_1 .

RISPOSTA $A_{dd} = -\sqrt{\frac{K'_p}{K'_n}} \sqrt{\frac{(W/L)_2}{(W/L)_{L2}}}.$

15.3 Stadi di uscita

Gli amplificatori operazionali di base discussi nel Paragrafo 15.2 usavano come stadio di uscita un inseguitore. Lo stadio finale di questi amplificatori è progettato in modo da fornire una bassa resistenza di uscita e una corrente relativamente elevata. Tuttavia, a causa di questa ultima caratteristica, gli stadi di uscita degli amplificatori del paragrafo precedente consumano circa due terzi della potenza totale.

Gli inseguitori sono **amplificatori in classe A**, definiti come circuiti in cui i transistori conducono per l'intero periodo della forma d'onda. Si dice, in questo caso, che gli amplificatori in classe A hanno un **angolo di conduzione** $\theta_C = 360^\circ$. Sfortunatamente, il massimo rendimento di uno stadio in classe A è solo il 25%. Poiché molto spesso lo stadio di uscita deve fornire potenze relativamente elevate al carico, questo basso rendimento può dare luogo a una elevata dissipazione di potenza nell'amplificatore. Questo paragrafo analizza l'efficienza degli amplificatori in classe A e introduce poi il concetto di **stadio di uscita in classe B** o **push-pull**. Lo stadio di uscita in classe B utilizza due transistori, ciascuno dei quali conduce solo durante mezzo periodo della forma d'onda ($\theta_C = 180^\circ$) e può raggiungere un rendimento molto più elevato di quello di uno stadio in classe A. Le caratteristiche degli stadi in classe A e in classe B possono anche essere combinate in una terza categoria, gli amplificatori in classe AB, che costituiscono gli stadi di uscita della maggior parte degli amplificatori operazionali.

15.3.1 Stadio di uscita in classe A: l'inseguitore di source

Abbiamo analizzato in dettaglio il comportamento dei circuiti inseguitori sia per ampio segnale sia per piccolo segnale, identificando le caratteristiche di un'elevata resistenza di ingresso, una bassa resistenza di uscita e un guadagno di tensione circa unitario. Qui concentreremo la nostra attenzione sull'inseguitore di source di Figura 15.32.

Per $v_I \leq V_{DD} + V_{TN}$, M_1 lavora nella regione di saturazione. Il generatore di corrente fa scorrere una corrente costante I_{SS} nel source. Utilizzando la legge di Kirchhoff per le tensioni, si ha: $v_O = v_I - v_{GS}$.

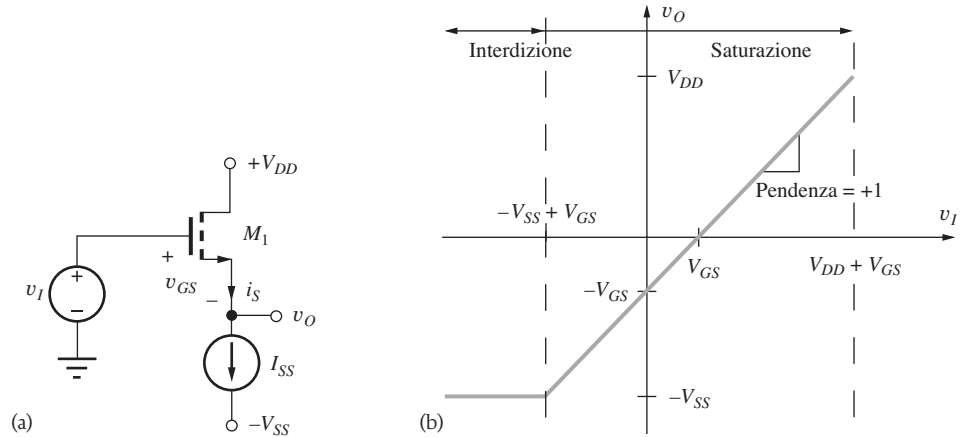
Poiché la corrente di source è costante, anche v_{GS} è costante, e v_O è:

$$v_O = v_I - V_{GS} = v_I - \left(V_{TN} + \sqrt{\frac{2I_{SS}}{K_n}} \right) \quad (15.101)$$

La differenza fra le tensioni di ingresso e di uscita è costante con il segnale. Pertanto, per ampio segnale (così come per piccolo segnale), ci aspettiamo che l'inseguitore di source abbia un guadagno approssimativamente unitario.

Figura 15.32

(a) Circuito insequitore di source. (b) Caratteristica di trasferimento in tensione dell'insequitore di source.



La caratteristica di trasferimento in tensione dell'insequitore di source è riportata in Figura 15.32(b). La tensione di uscita segue la tensione di ingresso con una pendenza di +1 e una tensione di offset pari a V_{GS} . Per ingressi positivi M_1 rimane in saturazione finché $v_I = V_{DD} + V_{TN}$. La massima tensione di uscita è $v_O = V_{DD}$ per $v_I = V_{DD} + V_{GS}$; si noti che per raggiungere realmente questa uscita la tensione di ingresso deve superare V_{DD} .

La minima tensione di uscita è fissata dalle caratteristiche del generatore di corrente. Un generatore di corrente ideale continuerà a funzionare anche quando $v_O < -V_{SS}$, ma la maggior parte dei generatori di corrente elettronici richiede $v_O \geq V_{SS}$. Quindi il minimo valore della tensione di ingresso è $v_I = -V_{SS} + V_{GS}$.

Insequitore di source con resistori di carico esterno

Quando all'uscita viene connesso un resistore di carico R_L , come in Figura 15.33, il campo di variazione della tensione di uscita viene ridotto da un nuovo limite. La corrente totale di source di M_1 è uguale a:

$$i_S = I_{SS} + \frac{v_O}{R_L} \quad (15.102)$$

e deve essere maggiore di zero. In questo circuito la corrente non può tornare indietro nel source del MOSFET, e la minima tensione di uscita si ha nel punto in cui il transistor M_1 si porta in interdizione. In questa situazione, $i_S = 0$ e $v_{MIN} = -I_{SS}R_L$. M_1 va in interdizione quando la tensione di ingresso supera la tensione v_{MIN} di una quantità pari alla tensione di soglia: $v_I = -I_{SS}R_L + V_{TN}$.

15.3.2 Rendimento degli amplificatori in classe A

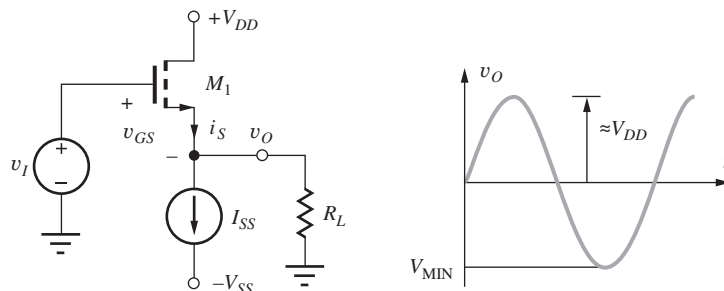
Consideriamo ora l'insequitore di source in Figura 15.33 polarizzato con $I_{SS} = V_{SS}/R_L$ e con generatori di alimentazione simmetrici $V_{DD} = V_{SS}$. Assumendo che V_{GS} sia molto minore dell'ampiezza di v_I , si può avere in uscita un segnale sinusoidale con ampiezza circa uguale a V_{DD} :

$$v_O \approx V_{DD} \sin \omega t \quad (15.103)$$

Il rendimento η dell'amplificatore è definito come il rapporto fra la potenza fornita al carico alla pulsazione del segnale ω e la potenza media fornita all'amplificatore dai generatori di alimentazione.

Figura 15.33

Insequitore di source con resistore esterno di carico R_L .



La potenza media P_{av} fornita all'inseguitore di source è:

$$P_{av} = \frac{1}{T} \int_0^T \left[I_{SS}(V_{DD} + V_{SS}) + \left(\frac{V_{DD} \sin \omega t}{R_L} \right) V_{DD} \right] dt \quad (15.104)$$

$$= I_{SS}(V_{DD} + V_{SS}) = 2I_{SS}V_{DD}$$

dove T è il periodo dell'onda sinusoidale. Il primo termine in parentesi nell'Equazione (15.104) è la potenza dissipata dal generatore di corrente continua; il secondo termine deriva dalla corrente alternata di drain del transistor. Nell'ultima semplificazione si assumono tensioni di alimentazione simmetriche. Si noti che il valore medio del termine sinusoidale nella (15.104) è nullo, e pertanto questo termine non contribuisce al valore dell'integrale.

Poiché la tensione di uscita è un'onda sinusoidale, la potenza fornita al carico alla frequenza del segnale è:

$$P_{AC} = \frac{\left(\frac{V_{DD}}{\sqrt{2}} \right)^2}{R_L} = \frac{V_{DD}^2}{2R_L} \quad (15.105)$$

Combinando le Equazioni (15.104)-(15.105) si ottiene:

$$\eta = \frac{P_{ac}}{P_{av}} = \frac{\frac{V_{DD}^2}{2R_L}}{2I_{SS}V_{DD}} = \frac{1}{4} \quad \text{ovvero} \quad 25\% \quad (15.106)$$

poiché $I_{SS}R_L = V_{SS} = V_{DD}$. Quindi un inseguitore, funzionante come amplificatore in classe A, può raggiungere un rendimento al più del 25% per segnali sinusoidali. L'Equazione (15.106) indica che l'efficienza molto bassa dipende dal fatto che la corrente I_{SS} di polarizzazione fluisce continuamente tra i due generatori di alimentazione, anche in assenza di segnale amplificato.

15.3.3 Stadio di uscita in classe B o push-pull

Gli **amplificatori in classe B** hanno un rendimento più elevato poiché i transistori sono polarizzati a corrente nulla, eliminando in tal modo la dissipazione di potenza nel punto di riposo. La Figura 15.34 mostra uno **stadio di uscita complementare** in classe B (stadio *push-pull*) realizzato mediante transistori CMOS, mentre le forme d'onda delle tensioni e delle correnti sono riportate in Figura 15.35. Il transistor NMOS M_1 lavora come inseguitore di source per segnali di ingresso positivi, mentre il transistor PMOS M_2 lavora come inseguitore di source per ingressi negativi.

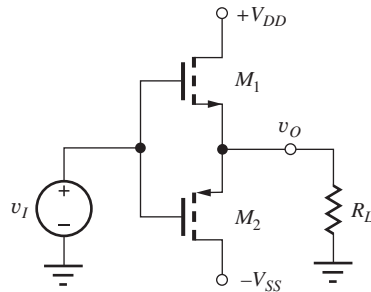


Figura 15.34
Amplificatore in classe B
complementare con dispositivi
MOS.

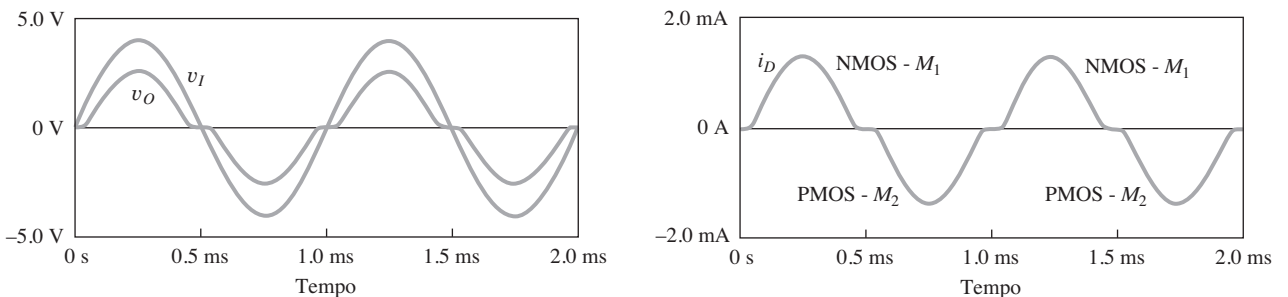


Figura 15.35 Distorsione di attraversamento (cross-over) e correnti di drain nell'amplificatore in classe B.

Si consideri per esempio la forma d'onda sinusoidale di ingresso di Figura 15.35. Quando la tensione di ingresso cresce per valori positivi, M_1 conduce fornendo corrente al carico e l'uscita segue l'ingresso. Quando l'ingresso diventa negativo, M_2 si porta in conduzione assorbendo corrente dal carico, e l'uscita segue l'ingresso.

Ciascun transistor conduce corrente approssimativamente per mezzo periodo della forma d'onda, come mostrato in Figura 15.35. Poiché le tensioni gate-source dei transistori a canale p e a canale n di Figura 15.34 sono uguali, solo un transistor per volta può essere acceso. Per $v_O = 0$ la corrente è zero e il rendimento può essere elevato.

Tuttavia, benché il rendimento sia alto, nello stadio in classe B c'è un problema di distorsione. Poiché V_{GS1} deve superare la tensione di soglia V_{TN} per portare in conduzione M_1 e V_{GS2} deve essere minore di V_{TP} per portare in conduzione M_2 , compare una "zona morta" nella caratteristica di trasferimento dell'amplificatore in classe B, come mostrato in Figura 15.36, cioè nessuno dei due transistori conduce se:

$$V_{TP} \leq v_{GS} \leq V_{TN} \quad (-1 \text{ V} \leq v_{GS} \leq 1 \text{ V in Figura 15.36}) \quad (15.107)$$

Questa **zona morta** o **zona di attraversamento** (cross-over) produce una distorsione nella forma d'onda di uscita, come mostrato dai risultati di una simulazione in Figura 15.35. Quando la forma d'onda sinusoidale di ingresso attraversa lo zero, la forma d'onda di uscita viene distorta, e tale distorsione è denominata **distorsione di attraversamento** (**distorsione di cross-over**).

Rendimento dell'amplificatore in classe B

La Figura 15.35 riporta i risultati della simulazione con riferimento alle correnti nei due transistori. Se si trascura la distorsione di attraversamento, la corrente che scorre in ciascun transistor può essere approssimata da una semionda sinusoidale con ampiezza di circa V_{DD}/R_L . Assumendo $V_{DD} = V_{SS}$, la potenza media dissipata da ciascun alimentatore è:

$$P_{av} = \frac{1}{T} \int_0^{T/2} V_{DD} \frac{V_{DD}}{R_L} \sin \frac{2\pi}{T} t \, dt = \frac{V_{DD}^2}{\pi R_L} \quad (15.108)$$

La potenza totale in AC fornita al carico è ancora data dall'Equazione (15.105) e il rendimento η per lo stadio in classe B risulta:

$$\eta = \frac{\frac{V_{DD}^2}{2R_L}}{2 \frac{V_{DD}^2}{\pi R_L}} = \frac{\pi}{4} \approx 0.785 \quad (15.109)$$

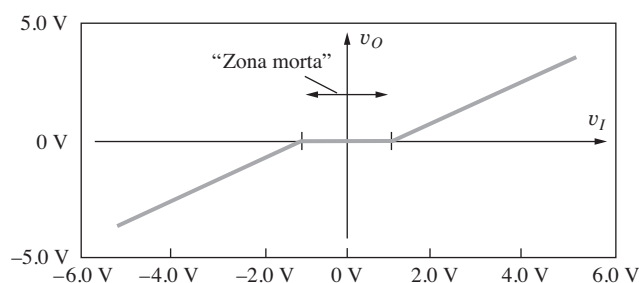
L'amplificatore in classe B, avendo una corrente nulla nel punto di riposo, può raggiungere un rendimento del 78.5%.

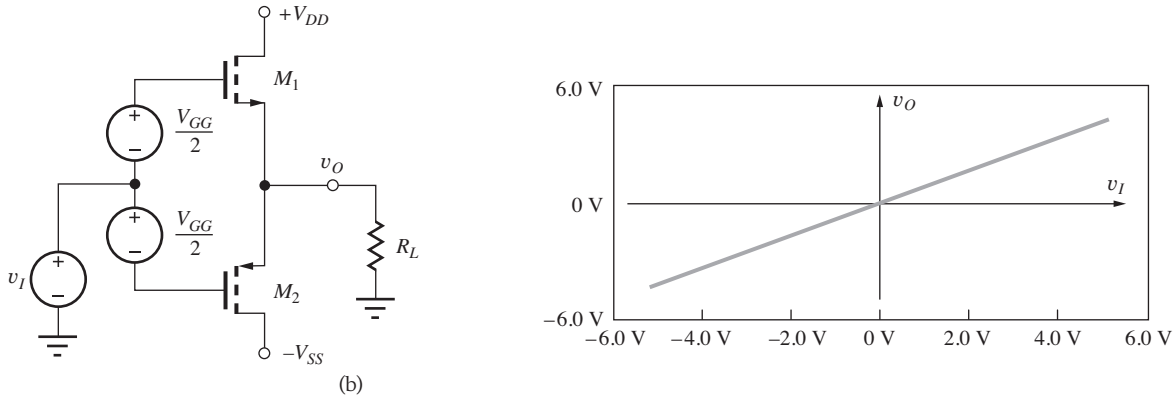
Introducendo l'amplificatore in un anello di retroazione, gli effetti della distorsione da attraversamento vengono ridotti del guadagno di anello $A\beta$. Tuttavia, una soluzione ancora migliore consiste nell'eliminare la zona di attraversamento polarizzando lo stadio di uscita con una piccola corrente. Tale stadio è denominato amplificatore in classe AB.

15.3.4 Amplificatori in classe AB

I benefici dell'amplificatore in classe B possono essere conservati minimizzando, al tempo stesso, la distorsione di attraversamento se i transistori vengono polarizzati in conduzione ma con una corrente di riposo di livello relativamente basso. La tecnica di base è mostrata

Figura 15.36
Simulazione SPICE della
caratteristica di trasferimento
per l'amplificatore in classe B
complementare.





in Figura 15.37. Una tensione di polarizzazione V_{GG} viene utilizzata per far circolare una piccola corrente in entrambi i transistori di uscita; questa corrente viene scelta di valore molto più piccolo del valore di picco della corrente alternata, che sarà fornita al carico. Nella Figura 15.37 il generatore di polarizzazione è diviso in due parti simmetriche, cosicché $v_O = 0$ per $v_I = 0$.

Poiché entrambi i transistori conducono per $v_I = 0$, la distorsione di attraversamento può essere eliminata, mentre la dissipazione di potenza aggiuntiva può essere mantenuta sufficientemente bassa in modo da non alterare in maniera sostanziale il rendimento. L'amplificatore di Figura 15.37 è classificato come **amplificatore in classe AB**. Ciascun transistore conduce per più dei 180° dell'amplificatore in classe B ma meno dei 360° dell'amplificatore in classe A.

La Figura 15.37(b) mostra i risultati di una simulazione circuitale della caratteristica di trasferimento in tensione dello stadio di uscita in classe AB con una corrente di polarizzazione di circa $60 \mu\text{A}$. La zona morta di attraversamento è stata eliminata anche con questa piccola corrente di polarizzazione.

La Figura 15.38(a) mostra un metodo per generare la necessaria tensione di polarizzazione compatibile con l'amplificatore operazionale CMOS di Figura 15.29. La corrente di polarizzazione I_G sviluppa la necessaria tensione di polarizzazione per lo stadio di uscita ai capi del resistore R_G . Se assumiamo che $K_p = K_n$ e $V_{TN} = -V_{TP}$ per i MOSFET e $v_O = 0$, la tensione di polarizzazione si divide in parti uguali fra i terminali di gate e source dei due transistori. Le correnti di drain dei due transistori sono entrambe:

$$I_D = \frac{K_n}{2} \left(\frac{V_{GG}}{2} - V_{TN} \right)^2 \quad (15.110)$$

La versione bipolare dello stadio di uscita in classe AB fa uso di transistori complementari *nnp* e *pnp* come mostrato in Figura 15.38(b). Il principio di funzionamento del circuito bipolare è lo stesso di quello del circuito MOS. I transistori Q_1 e Q_2 lavorano come inseguitori di emettitore rispettivamente per segnali di uscita positivi e negativi.

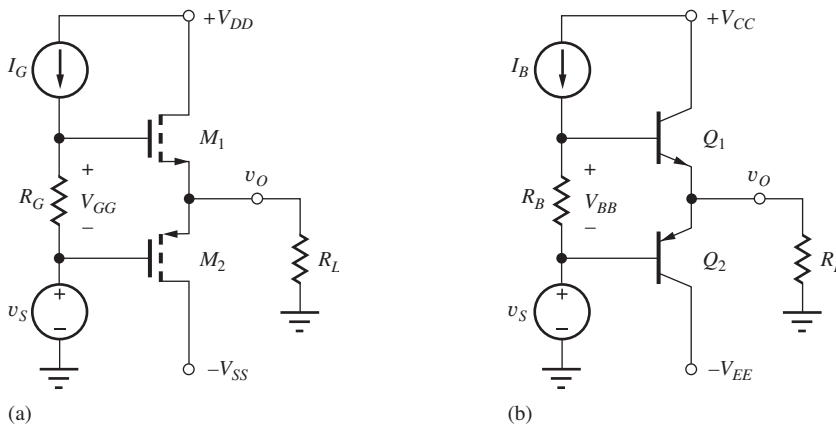


Figura 15.37

(a) Stadio di uscita complementare polarizzato per lavorare in classe AB.
(b) Simulazione SPICE della caratteristica di trasferimento per lo stadio in classe AB con $I_D \approx 60 \mu\text{A}$.

Figura 15.38

(a) Tecnica di polarizzazione dell'amplificatore in classe AB.
(b) Amplificatore in classe AB a transistori bipolari.

Il generatore di corrente I_B sviluppa una tensione di polarizzazione V_{BB} ai capi del resistore R_B che viene divisa tra le giunzioni base-emettitore dei due BJT.⁵

Per il funzionamento in classe AB si fa in modo che la tensione V_{BB} sia approssimativamente $2V_{BE}$, ossia compresa fra 1.2 V e 1.4 V, in modo che entrambi i transistori conducano con una piccola corrente di collettore. Se assumiamo che le correnti di saturazione dei due transistori sono uguali, allora la tensione di polarizzazione V_{BB} si divide in parti uguali tra le giunzioni base-emettitore dei due transistori, e le due correnti di collettore sono:

$$I_C = I_S \exp\left(\frac{I_B R_B}{2V_T}\right) \quad (15.111)$$

Ogni transistore è polarizzato in conduzione a livello basso per eliminare la distorsione di cross-over. Un modello di piccolo segnale semplificato per lo stadio in classe AB è rappresentato da un singolo inseguitore con un guadagno di corrente pari alla media dei guadagni di Q_1 e Q_2 o con una transconduttanza pari alla media dei valori di M_1 e M_2 .

La versione in classe B dello stadio di uscita bipolare si ottiene ponendo $V_{BB} = 0$. In questo caso lo stadio di uscita presenta una distorsione di attraversamento per valori della tensione di ingresso compresi in un intervallo di circa $2V_{BE}$.

ESERCIZIO Si trovi la corrente di polarizzazione dei transistori di Figura 15.38(a) per $v_O = 0$ se $K_n = K_p = 25 \text{ mA/V}^2$, $V_{TN} = 1 \text{ V}$, $V_{TP} = -1 \text{ V}$, $I_G = 500 \mu\text{A}$ e $R_G = 4.4 \text{ k}\Omega$.

RISPOSTA 125 μA .

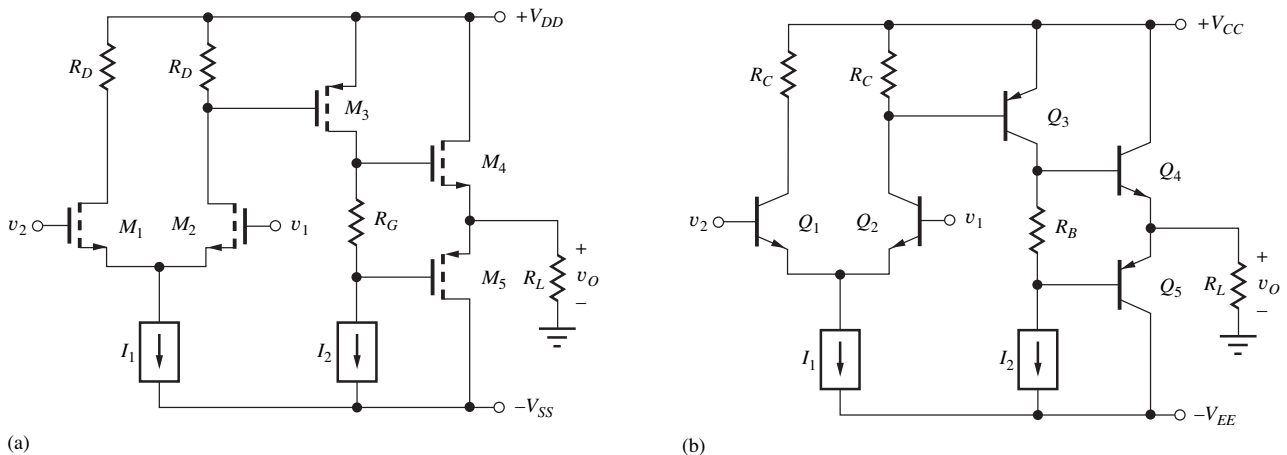
ESERCIZIO Si trovi la corrente di polarizzazione dei transistori di Figura 15.38(b) per $v_O = 0$ se $I_S = 10 \text{ fA}$, $I_B = 500 \mu\text{A}$ e $R_B = 2.4 \text{ k}\Omega$.

RISPOSTA 265 μA .

15.3.5 Stadi di uscita in classe AB per amplificatori operazionali

Nelle Figure 15.39(a) e (b), gli stadi di uscita a inseguitore degli operazionali elementari CMOS e bipolari sono stati sostituiti con stadi di uscita complementari in classe AB. Il generatore di corrente I_2 , che in origine forniva un carico ad alta impedenza ai transistori Q_3 e M_3 , viene ora utilizzato anche per ottenere la tensione di polarizzazione continua necessaria al funzionamento in classe AB. La corrente di segnale è fornita rispettivamente dai transistori M_3 o Q_3 . La dissipazione di potenza totale nel punto di riposo viene significativamente ridotta in entrambi gli amplificatori.

Figura 15.39
Stadi di uscita in classe AB
aggiunti (a) all'amplificatore
operazionale CMOS
e (b) all'amplificatore
operazionale bipolare.



⁵ Per ottenere il corretto punto di lavoro, al posto della resistenza spesso si usano due diodi (o un transistore collegato in configurazione moltiplicatore di V_{BE}). L'uso dei diodi ha il vantaggio che la tensione generata dipende dalla temperatura come la V_{BE} dei transistori inseguitori. [N.d.C.]

15.3.6 Protezione dal cortocircuito

Se l'uscita del circuito inseguitore viene accidentalmente cortocircuitata a ground, il transistor può essere distrutto a causa dell'elevata corrente e dell'elevata dissipazione di potenza o per rottura diretta della giunzione base-emettitore dovuta a sovratensione. Per rendere gli amplificatori operazionali il più "robusti" possibile, viene spesso aggiunto allo stadio di uscita un circuito di protezione contro i cortocircuiti.

Nella Figura 15.40 è stato aggiunto il transistor Q_2 per proteggere l'inseguitore di emettitore Q_1 . In condizioni di funzionamento normale la tensione ai capi di R è inferiore a 0.7 V, Q_2 è quindi spento e Q_1 lavora come un normale inseguitore. Tuttavia, se la corrente di emettitore I_{E1} supera il valore di

$$I_{E1} = \frac{V_{BE2}}{R} = \frac{0.7 \text{ V}}{R} \quad (15.112)$$

il transistor Q_2 conduce e devia, attraverso il suo collettore, tutta la corrente in eccesso dalla base di Q_1 . Così la corrente di uscita è limitata approssimativamente al valore dell'Equazione (15.112); per esempio, con un valore di $R = 25 \Omega$ la massima corrente di uscita sarà limitata a 28 mA. Poiché R è in serie con l'uscita, la resistenza di uscita dell'inseguitore verrà aumentata del valore di R .

La Figura 15.41(a) riporta uno stadio di uscita complementare a transistori bipolari con la circuiteria di **protezione da cortocircuito**. Il transistor *pn*p Q_4 è usato per limitare la corrente di base di Q_3 in maniera simile a ciò che accade per Q_2 e Q_1 . Simili circuiti di limitazione della corrente possono essere adoperati per gli stadi di uscita a MOSFET, come mo-

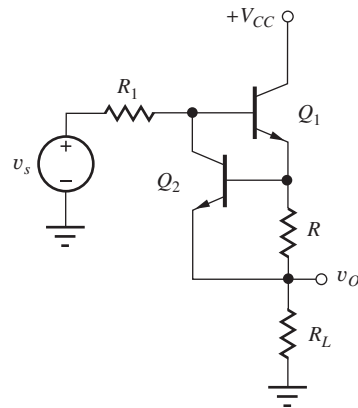


Figura 15.40

Protezione da cortocircuito per un inseguitore di emettitore.

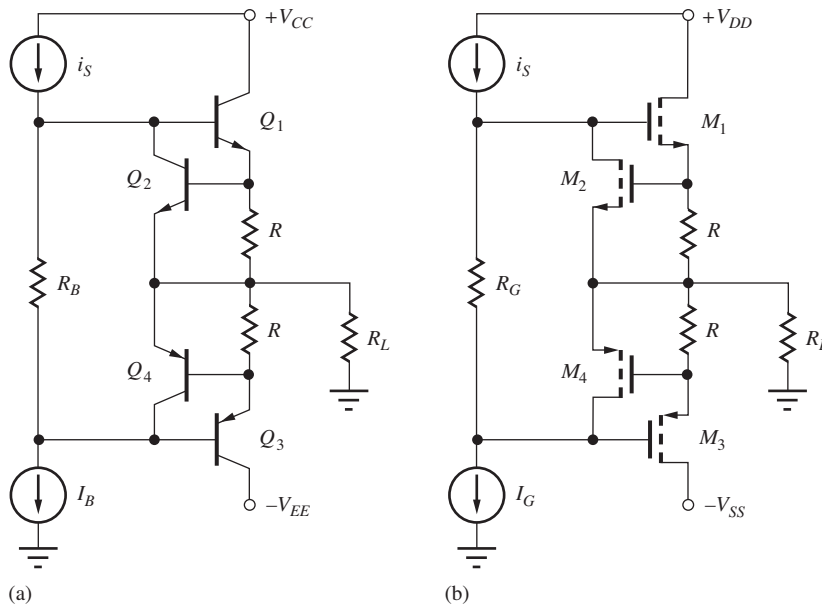


Figura 15.41

Protezione da cortocircuito per stadi di uscita complementari a BJT (a) o a MOSFET (b). ($i_s = I_B$ o I_G nel punto di lavoro).

strato in Figura 15.41(b). Qui il transistor M_2 sottrae la corrente necessaria alla polarizzazione di M_1 , e la corrente di uscita è limitata a:

$$I_{S1} = \frac{V_{GS2}}{R} = \frac{V_{TN2} + \sqrt{\frac{2I_G}{K_{n2}}}}{R} \quad (15.113)$$

Il transistor M_4 fornisce un'analogia protezione a M_3 .

15.3.7 Accoppiamento con trasformatore

Il progetto di amplificatori che alimentano carichi di bassa impedenza può risultare difficile. Per esempio, gli altoparlanti hanno tipicamente una impedenza di soli 8 Ω o 16 Ω ; per ottenere un buon guadagno di tensione e un buon rendimento in questa situazione, la resistenza di uscita dell'amplificatore deve essere piuttosto bassa. Un approccio può essere l'uso di amplificatori retroazionati per ottenere una bassa resistenza di uscita; un approccio diverso al problema è l'uso di un **trasformatore di accoppiamento**.

Nella Figura 15.42 un circuito inseguitore è accoppiato alla resistenza di carico R_L mediante un trasformatore ideale con rapporto spire di $n:1$. In questo circuito è necessario utilizzare un condensatore di accoppiamento C per impedire che la componente continua circoli attraverso il primario del trasformatore.

Come è noto dalla teoria delle reti, le tensioni e le correnti ai capi di un trasformatore ideale sono legate da:

$$v_1 = nv_2 \quad i_2 = ni_1 \quad \frac{v_1}{i_1} = n^2 \frac{v_2}{i_2} \quad \text{ovvero} \quad Z_1 = n^2 Z_L \quad (15.114)$$

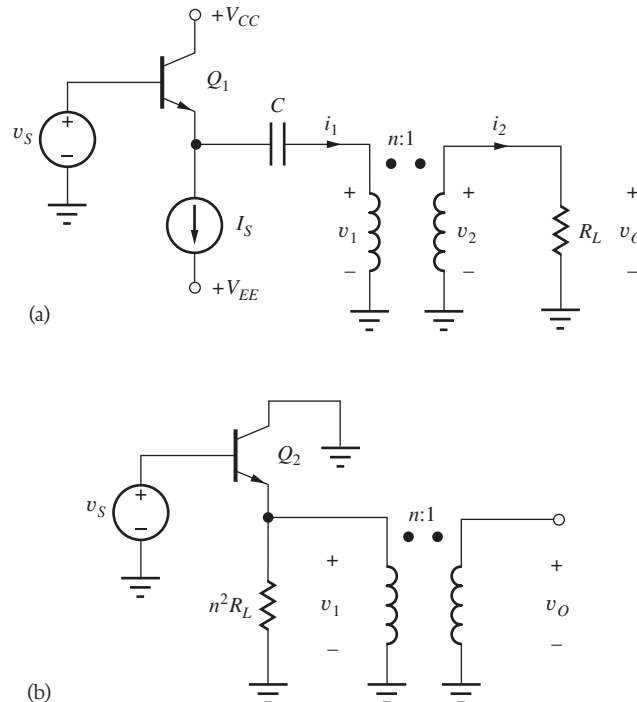
Il trasformatore, quindi, modifica l'impedenza di un fattore n^2 . Utilizzando queste equazioni è possibile rappresentare il trasformatore e il carico resistivo per mezzo del circuito equivalente AC di Figura 15.42(b) dove il resistore è stato spostato al primario e il secondario è un circuito aperto.

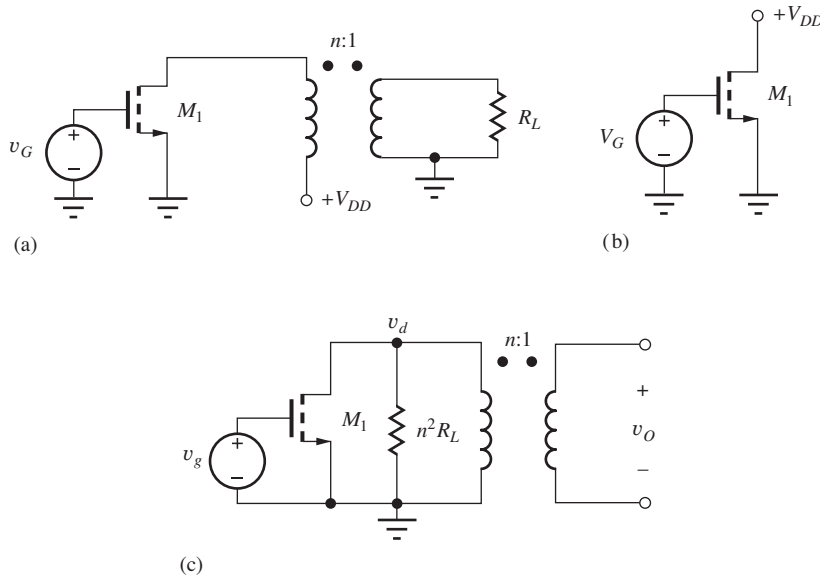
La resistenza effettiva che il transistor deve pilotare e la tensione all'uscita del trasformatore diventano quindi:

$$R_{EQ} = n^2 R_L \quad \text{e} \quad v_o = \frac{v_1}{n} \quad (15.115)$$

Figura 15.42

(a) Circuito inseguitore con trasformatore di accoppiamento.
(b) Circuito equivalente in AC dell'inseguitore.



**Figura 15.43**

(a) Amplificatore invertente con trasformatore di accoppiamento.
 (b) Circuito equivalente in DC.
 (c) Circuito equivalente in AC.

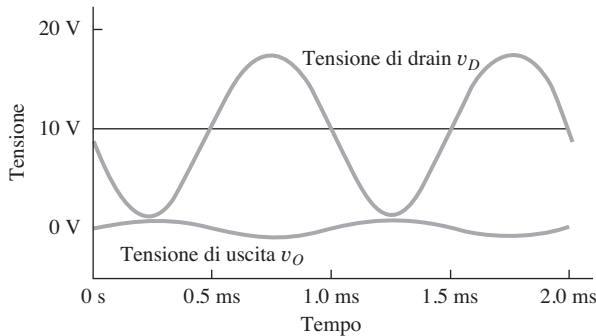
L'accoppiamento con trasformatore può ridurre i problemi legati al pilotaggio di carichi a bassissima impedenza. Il funzionamento è comunque limitato a frequenze superiori alla continua a causa della presenza del trasformatore.

La Figura 15.43 è un secondo esempio dell'uso di un trasformatore, con uno stadio amplificatore invertente accoppiato a un carico R_L attraverso un trasformatore ideale. I circuiti equivalenti in DC e in AC sono rappresentati, rispettivamente, nelle Figure 15.43(b) e (c). In continua il trasformatore è un cortocircuito per cui l'intera tensione di alimentazione cade ai capi del transistor, e la corrente di riposo del transistor fluisce attraverso il primario del trasformatore. Alla frequenza di lavoro il transistor vede una resistenza di carico pari a $n^2 R_L$.

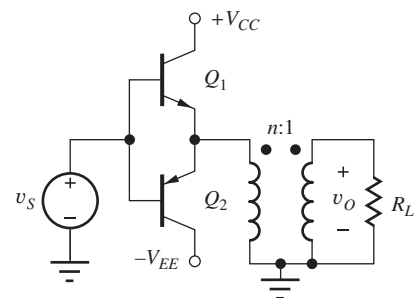
La Figura 15.44 riporta i risultati di una simulazione del circuito di Figura 15.43 nel caso in cui $R_L = 8 \Omega$, $V_{DD} = 10 \text{ V}$ e $n = 10$. Il comportamento di questo circuito è differente dalla maggior parte dei circuiti che abbiamo studiato. La tensione di riposo al drain del MOSFET è uguale all'intera tensione del generatore di alimentazione V_{DD} . La presenza dell'induttanza del trasformatore consente alla componente di segnale di variare simmetricamente al di sopra e al di sotto di V_{DD} , e l'ampiezza picco picco del segnale al drain può raggiungere $2V_{DD}$.

In questa configurazione il rendimento del classe A raggiunge il 50%, ma permane il problema del consumo costante di corrente, anche in assenza di segnale.

La Figura 15.45 è un esempio di circuito di uscita costituito da uno stadio in classe B accoppiato con trasformatore. Poiché le correnti di riposo di Q_1 e Q_2 sono zero, gli emettitori possono essere accoppiati direttamente al primario del trasformatore.

**Figura 15.44**

Simulazione SPICE dello stadio amplificatore invertente accoppiato con trasformatore per $n = 10$ e $V_{DD} = 10 \text{ V}$.

**Figura 15.45**

Stadio di uscita in classe B accoppiato con trasformatore.

ESERCIZIO Si trovino i guadagni di tensione di piccolo segnale

$$A_{v1} = \frac{v_d}{v_g} \quad \text{e} \quad A_{vo} = \frac{v_o}{v_g}$$

per il circuito di Figura 15.43 se $V_{TN} = 1 \text{ V}$, $K_n = 50 \text{ mA/V}^2$, $V_G = 2 \text{ V}$, $V_{DD} = 10 \text{ V}$, $R_L = 8 \Omega$ e $n = 10$. Quali sono i massimi valori di v_g , v_d e v_o che soddisfano la condizione di piccolo segnale?

RISPOSTE $-40, -4; 0.2 \text{ V}, 8 \text{ V}, 0.8 \text{ V}$.

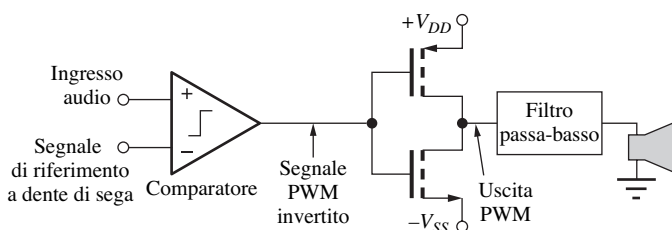


ELETTRONICA IN AZIONE

Amplificatori audio in classe D

Come abbiamo visto, l'efficienza degli amplificatori in classe A, B e AB è molto inferiore a 80%. Al fine di migliorare l'efficienza (in particolar modo nei sistemi alimentati a batteria o comunque laddove si richieda una ridotta dissipazione di potenza) sono

state sviluppate diverse topologie di amplificatori a commutazione (*switching*). Una di queste topologie è l'amplificatore in classe D, mostrato nella figura seguente.

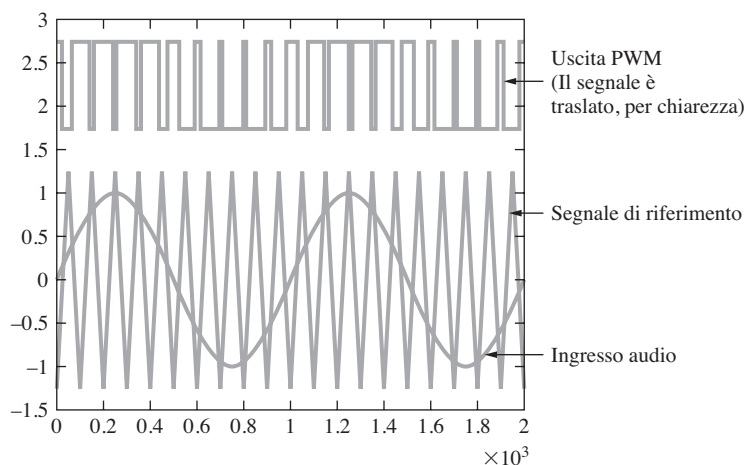


Schema di principio di un amplificatore audio in classe D.

L'uscita è un segnale che commuta rapidamente fra le tensioni di alimentazione positiva e negativa, in cui varia la durata degli impulsi (è un esempio di segnale PWM). Utilizzando dispositivi CMOS come interruttori si ottiene un'efficienza molto elevata; in analogia ai circuiti logici CMOS, infatti, a ogni istante uno solo dei due dispositivi è in conduzione.

Un segnale PWM può essere generato confrontando il segnale audio in ingresso con un segnale di

riferimento a dente di sega. Con riferimento alle forme d'onda in figura, si può notare che il segnale PWM commuta al valore di V_{DD} quando l'ingresso audio supera il valore della forma d'onda di riferimento; viceversa il segnale PWM commuta al valore $-V_{SS}$ quando il valore della forma d'onda di riferimento supera quello del segnale d'ingresso audio. In figura, il segnale di riferimento a dente di sega opera a una frequenza 10 volte maggiore rispetto a quel-

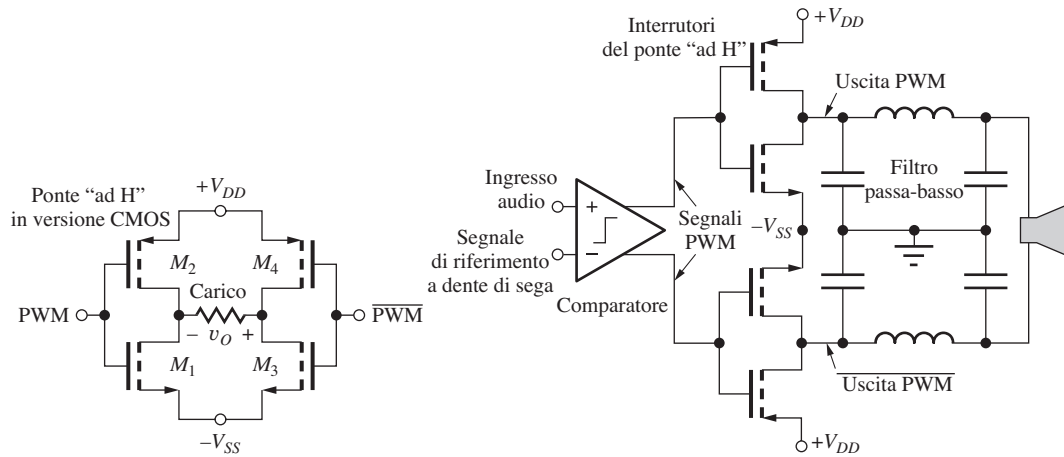


Forme d'onda PWM.

la della sinusoide d'ingresso. Per un segnale audio con larghezza di banda compresa fra 20 Hz e 20 kHz, la frequenza di riferimento può variare fra 250 kHz, a più di 1 MHz. Prima di essere inviato all'altoparlante, il segnale PWM attraversa un filtro passa-basso per rimuovere il contenuto indesiderato ad alta frequenza.

Per ottenere un elevato livello di potenza con una data tensione di alimentazione, il carico è spesso pilotato in maniera differenziale, utilizzando un cosiddetto "ponte ad H". Nella versione CMOS mostrata

di seguito, la tensione di uscita v_O è pari a $(V_{DD} + V_{SS})$ quando l'ingresso V è alto, mentre è pari a $-(V_{DD} + V_{SS})$ quando l'ingresso V è basso. Pertanto, l'escursione complessiva del segnale ai capi del carico è pari al doppio della somma delle tensioni di alimentazione, e la potenza che può essere erogata è quattro volte maggiore di quella ottenibile senza il ponte ad H. L'ultima figura mostra un amplificatore in classe D, in cui l'altoparlante è pilotato dall'uscita filtrata di un ponte ad H.



Amplificatore in classe D con un ponte ad H in uscita.

15.4 Generatori elettronici di corrente

Il generatore di corrente continua è chiaramente un componente fondamentale di ampio utilizzo. Nel Paragrafo 15.3 abbiamo visto che i generatori di corrente possono essere usati per polarizzare gli amplificatori operazionali elementari a BJT e a MOS e per migliorare le loro prestazioni in AC. In questo paragrafo verranno dapprima presi in considerazione i circuiti utilizzati per realizzare versioni elettroniche elementari dei generatori ideali di corrente, per poi analizzare più in dettaglio le tecniche applicabili specificamente al progetto di circuiti integrati.

Nella Figura 15.46 vengono confrontate le caratteristiche corrente-tensione di un generatore ideale di corrente con quelle di un generatore di corrente realizzato con un semplice resistore e con quelle di un generatore costituito da un singolo transistor, mostrati in Figura 15.47. La corrente I_O attraverso il generatore ideale è indipendente dalla tensione ai suoi capi e la resistenza di uscita è infinita, come si evince dalla caratteristica $i-v$ con pendenza nulla.

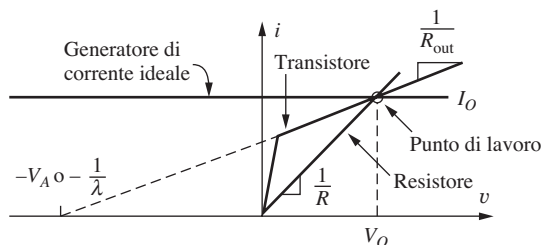
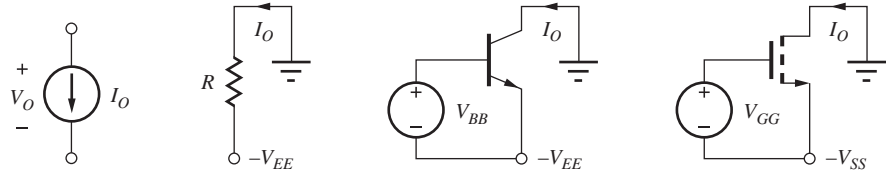


Figura 15.46
Caratteristiche $i-v$ di generatori di corrente.

Figura 15.47

Generatori di corrente: ideale, con un resistore, con un BJT, con un MOS.



La tensione ai capi di un generatore ideale di corrente può essere sia positiva che negativa senza che ciò alteri la corrente erogata. I **generatori di corrente elettronici**, realizzati mediante resistori e transistori, funzionano generalmente solo in un quadrante del piano $i-v$. Inoltre, i generatori elettronici presentano una resistenza di uscita finita, come indicato dalla pendenza, diversa da zero, della caratteristica $i-v$. Vedremo che la resistenza di uscita di un generatore di corrente realizzato con un dispositivo attivo è molto maggiore di quella ottenibile utilizzando un singolo resistore, a parità di corrente di lavoro.

In condizioni di utilizzo normale, gli elementi del circuito di Figura 15.47 assorbono corrente dal resto della rete e molti autori preferiscono definirli **pozzi di corrente**; in questo libro, tuttavia, useremo sempre il termine “generatore di corrente”.

15.4.1 Generatori di corrente a singolo transistorore

Le configurazioni più semplici di generatori di corrente elettronici sono riportate in Figura 15.47. Spesso viene utilizzato un resistore per generare la corrente di polarizzazione in molti circuiti, per esempio amplificatori differenziali, ottenendo, peraltro, una cattiva approssimazione di un generatore ideale di corrente. La realizzazione di generatori di corrente mediante un singolo transistorore consente di lavorare solo in un quadrante, perché i transistorori devono essere polarizzati in regione attiva, per avere un’elevata impedenza di uscita; con questi circuiti si possono ottenere valori molto elevati di resistenza di uscita.

Per semplicità i transistorori di Figura 15.47 sono polarizzati in conduzione mediante i generatori V_{BB} e V_{GG} . In questi circuiti assumiamo che le tensioni collettore-emettitore e drain-source siano abbastanza grandi da assicurare il funzionamento in regione attiva del dispositivo.

15.4.2 Cifra di merito per i generatori di corrente

Il resistore R della Figura 15.47 sarà usato come riferimento per confrontare i generatori di corrente. Il resistore fornisce una corrente di uscita e una resistenza di uscita di:

$$I_O = \frac{V_{EE}}{R} \quad \text{e} \quad R_{\text{out}} = R \quad (15.116)$$

Il prodotto della corrente continua I_O e della resistenza di uscita R_{out} rappresenta la tensione V_{CS} ai capi del generatore e lo useremo come **cifra (o figura) di merito (FOM, Figure Of Merit)** per confrontare i diversi generatori di corrente:

$$V_{CS} = I_O R_{\text{out}} \quad (15.117)$$

Per un’assegnata corrente di lavoro V_{CS} rappresenta la tensione equivalente che è necessario applicare a un resistore per ottenere la stessa resistenza di uscita del generatore di corrente. Al crescere del valore di V_{CS} aumenta la resistenza di uscita del generatore. Per il resistore stesso V_{CS} è semplicemente uguale alla tensione di alimentazione V_{EE} .

Se si disegnano i modelli in AC per ciascun generatore di Figura 15.47, la base, l’emettitore, il gate e il source di ciascun transistorore saranno connessi al potenziale zero, e ogni transistorore opererà nella configurazione o a source comune o a emettitore comune. La resistenza di uscita sarà quindi uguale a r_o in tutti i casi, e la cifra di merito di questi generatori sarà:

$$\begin{aligned} \text{BJT:} \quad V_{CS} &= I_O R_{\text{out}} = I_C r_o = I_C \frac{V_A + V_{CE}}{I_C} = V_A + V_{CE} \approx V_A \\ \text{MOS:} \quad V_{CS} &= I_O R_{\text{out}} = I_D r_o = I_D \frac{\frac{1}{\lambda} + V_{DS}}{I_D} = \frac{1}{\lambda} + V_{DS} \approx \frac{1}{\lambda} \end{aligned} \quad (15.118)$$

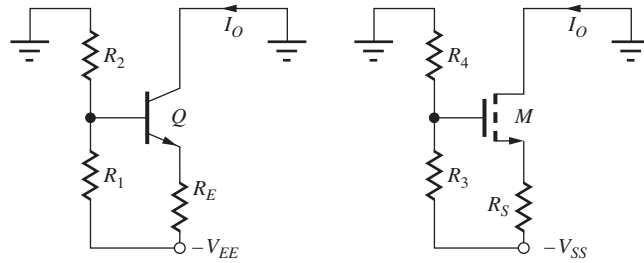


Figura 15.48

Generatori di corrente con elevata resistenza di uscita.

Per i generatori di corrente a transistori montati in configurazione C-E/C-S, V_{CS} è approssimativamente uguale alla tensione di Early V_A o $1/\lambda$. In generale entrambi questi valori saranno parecchie volte più grandi delle tensioni di alimentazione disponibili, quindi i generatori a singolo transistor presenteranno una resistenza di uscita maggiore di quella di un generatore realizzato con un resistore.

ESERCIZIO Disegnare i modelli di piccolo segnale dei due circuiti in Figura 15.47; verificare che $R_{out} = r_o$.

15.4.3 Generatori con elevata resistenza di uscita

Dallo studio degli amplificatori a singolo stadio, sappiamo che l'introduzione di un resistore in serie con l'emettitore o il source del transistor, come in Figura 15.48, aumenta la resistenza di uscita. Le resistenze di uscita dei circuiti in Figura 15.48 sono:

$$\text{BJT: } R_{out} = r_o \left[1 + \frac{\beta_o R_E}{R_1 \parallel R_2 + r_\pi + R_E} \right] \leq (\beta_o + 1) r_o \quad (15.119)$$

$$\text{MOS: } R_{out} = r_o (1 + g_m R_S) \approx \mu_f R_S \quad (15.120)$$

Le cifre di merito sono

$$\text{BJT: } V_{CS} \approx \beta_o (V_A + V_{CE}) \approx \beta_o V_A \quad \text{e} \quad \text{MOS: } V_{CS} \approx \mu_f \frac{V_{SS}}{3} \quad (15.121)$$

dove si è ipotizzato che $I_O R_S \approx V_{SS}/3$. In base a queste cifre di merito ci si aspetta che la resistenza di uscita dei generatori di corrente di Figura 15.48 possa raggiungere valori molto elevati, in particolare a bassi livelli di corrente. La Tabella 15.1 confronta i valori di V_{CS} per i diversi generatori, utilizzando valori tipici dei parametri dei dispositivi.



NOTA PROGETTUALE

Importanza del prodotto $\beta_o V_A$

Il prodotto $\beta_o V_A$, a causa della sua importanza nel progetto di circuiti analogici, è spesso usato come cifra di merito per i transistori bipolari.

Tabella 15.1 Confronto tra i generatori di corrente assumendo $\beta_o = 100$, $V_A = 1/\lambda = 50$ V, $\mu_{fMOS} = 100$

Tipo di generatore	R_{out}	V_{CS}	Valori tipici
Resistore	R	V_{EE}	15 V
Singolo transistore	r_o	V_A o $\frac{1}{\lambda}$	50 V-100 V
BJT con resistore di emettitore R_E	$\beta_o r_o$	$\approx \beta_o V_A$	5000 V
MOSFET con resistore di source R_S ($V_{SS} = 15$ V)	$\mu_f R_S$	$\approx \mu_f \frac{V_{SS}}{3}$	500 V o più

15.4.4 Esempi di progetto di generatori di corrente

Questo paragrafo presenta alcuni esempi di progetto di generatori di corrente utilizzando i circuiti a tre resistori di Figura 15.49. Si fa uso del computer (mediante un foglio di calcolo) per sviluppare questi esempi di progetto; le caratteristiche dei generatori di corrente sono fornite nelle seguenti specifiche di progetto.

Specifiche di progetto

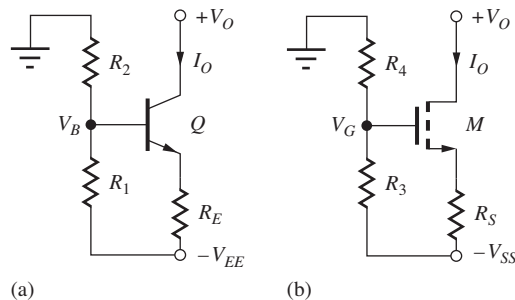
Si progetti un generatore di corrente mediante i circuiti di Figura 15.49 con corrente nominale di uscita di $200\ \mu\text{A}$ e resistenza di uscita maggiore di $10\ \text{M}\Omega$ utilizzando un singolo generatore di tensione di $-15\ \text{V}$. Il generatore di corrente deve inoltre soddisfare i seguenti vincoli:

- Il campo di variazione della tensione di uscita deve essere il massimo possibile rispettando le specifiche sulla resistenza di uscita.
- La corrente totale utilizzata dal generatore deve essere inferiore a $250\ \mu\text{A}$.
- I transistori bipolari disponibili hanno (β_o, V_A) di $(80, 100\ \text{V})$ oppure $(150, 75\ \text{V})$. I MOS disponibili hanno $\lambda = 0.01\ \text{V}^{-1}$; K_n può essere scelto in base alle necessità.

Quando i circuiti saranno effettivamente utilizzati come generatori di corrente, il collettore e il drain dei generatori di corrente di Figura 15.49 saranno connessi a qualche altro punto del circuito, come indicato dalla tensione $+V_O$ in figura. Affinché i generatori di corrente presentino un'elevata resistenza di uscita, il BJT deve rimanere nella regione attiva diretta con la giunzione collettore-base polarizzata inversamente ($V_O \geq V_B$) e il MOS deve rimanere in saturazione ($V_O \geq V_G - V_{TN}$).

Le specifiche comprendono la richiesta che il campo di variazione della tensione di uscita sia il massimo possibile. Pertanto, il fine del progetto è ottenere $I_o = 200\ \mu\text{A}$ e $R_{\text{out}} \geq 10\ \text{M}\Omega$ con la tensione V_B o V_G più bassa possibile. Viene esaminato un insieme di progetti per vedere quanto bassa può essere la tensione V_B o V_G continuando a soddisfare le specifiche per I_o e R_{out} . Questa indagine viene sviluppata più facilmente con l'aiuto di un computer.

Figura 15.49
Generatore di corrente con transistori (a) *n*p*n* e (b) NMOS.



Esempio 15.5

PROGETTO DI UN GENERATORE DI CORRENTE CON TRANSISTORI BIPOLARI

Progetteremo un generatore di corrente in grado di soddisfare un assegnato insieme di specifiche, utilizzando un BJT e un circuito di polarizzazione a tre resistori.

PROBLEMA Si progetti, utilizzando il circuito in Figura 15.49(a), un generatore di corrente con una corrente nominale di uscita di $200\ \mu\text{A}$ e una resistenza di uscita maggiore di $10\ \text{M}\Omega$, utilizzando una singola alimentazione di $-15\ \text{V}$. Il generatore deve inoltre soddisfare le seguenti specifiche:

- Il campo di variazione della tensione di uscita deve essere il massimo possibile rispettando le specifiche sulla resistenza di uscita.
- La corrente totale utilizzata dal generatore deve essere inferiore a $250\ \mu\text{A}$.
- I transistori bipolari disponibili hanno (β_o, V_A) di $(80, 100\ \text{V})$ oppure $(150, 75\ \text{V})$.

SOLUZIONE **Informazioni e dati noti:** Il circuito è mostrato in Figura 15.49(a); $I_o = 200\ \mu\text{A}$; $V_{EE} = 15\ \text{V}$; $I_{EE} < 250\ \mu\text{A}$; $R_{\text{out}} > 10\ \text{M}\Omega$; V_B il più piccolo possibile; BJT con (β_o, V_A) di $(80, 100\ \text{V})$ oppure $(150, 75\ \text{V})$.

Incognite: Valori delle resistenze R_1 , R_2 e R_E .

Approccio: Si scrivano le equazioni necessarie; si utilizzi un computer per determinare l'insieme di condizioni di polarizzazione che soddisfino le specifiche; si scelgano i resistori che più si avvicinano a quelli calcolati tra i resistori disponibili con tolleranza all'1% nella tabella dell'Appendice A.

Ipotesi: Regione attiva e condizioni di piccolo segnale per i dispositivi; $V_{BE} = 0.7$ V; $V_T = 25$ mV; $V_O = 0$ come tensione di uscita.

Analisi: Inizieremo il progetto della versione bipolare del generatore di corrente, cominciando con l'espressione della resistenza di uscita. Poiché useremo un computer per aiutarci nel progetto, consideriamo l'espressione completa della resistenza di uscita:

$$R_{out} = r_o \left[1 + \frac{\beta_o R_E}{R_E + r_\pi + R_1 \parallel R_2} \right] \leq \beta_o r_o \quad (15.122)$$

La cifra di merito di questo generatore è:

$$V_{CS} = I_O R_{out} \leq \beta_o V_A \quad (15.123)$$

e le specifiche di progetto richiedono:

$$\beta_o V_A = I_O R_{out} \geq (200 \mu A)(10 \text{ M}\Omega) = 2000 \text{ V} \quad (15.124)$$

Benché entrambi i transistori disponibili soddisfacciano facilmente le specifiche dell'Equazione (15.124), il denominatore dell'Equazione (15.123) può ridurre la resistenza di uscita al di sotto di quella predetta dal limite di $\beta_o r_o$ (come è stato visto nell'ultimo esercizio). Quindi è bene scegliere il transistoro con il prodotto $\beta_o V_A$ più elevato, cioè (150, 75 V).

Avendo preso questa decisione, le equazioni che legano il punto di lavoro alla resistenza di uscita del generatore possono essere sviluppate. In Figura 15.50 il circuito di polarizzazione a tre resistori è stato semplificato utilizzando una trasformazione di Thévenin per cui:

$$V_{BB} = 15 \text{ V} \frac{R_1}{R_1 + R_2} = 15 \text{ V} \frac{R_{BB}}{R_2} \quad \text{con } R_{BB} = \frac{R_1 R_2}{R_1 + R_2} \quad (15.125)$$

e il punto di lavoro può essere calcolato:

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB} + (\beta_F + 1)R_E} \quad I_O = I_C = \beta_F I_B \quad (15.126)$$

e

$$V_{CE} = V_O + V_{EE} - (V_{BB} - I_B R_{BB} - V_{BE})$$

I parametri di piccolo segnale necessari per valutare l'Equazione (15.122) sono dati dalle formule consuete:

$$r_o = \frac{V_A + V_{CE}}{I_C} \quad \text{e} \quad r_\pi = \frac{\beta_o V_T}{I_C} \quad (15.127)$$

Dall'Equazione (15.122) si vede che la resistenza $R_{BB} = R_1 \parallel R_2$ deve essere la più piccola possibile per ottenere la massima resistenza di uscita. In base alle specifiche di progetto l'intero generatore di corrente non deve assorbire più di 250 μA . Poiché la corrente di uscita è 200 μA , la rete di polarizzazione di base può usare fino a un massimo di 50 μA .

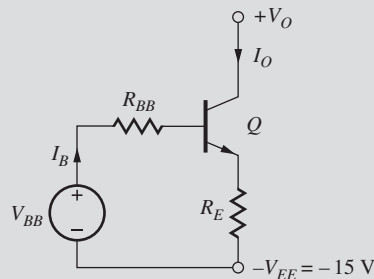


Figura 15.50
Circuito equivalente del generatore di corrente.

La corrente che attraversa i resistori di polarizzazione dovrebbe essere maggiore di un fattore da 5 a 10, rispetto alla corrente di base del BJT. Poiché $I_B = 1.33 \mu\text{A}$ (dato che il guadagno di corrente è 150), un valore di $20 \mu\text{A}$ è più che adeguato per la corrente della rete di polarizzazione. Tuttavia, per dare spazio alle variazioni dovute alle tolleranze dei componenti, fissiamo la corrente della rete di polarizzazione a $40 \mu\text{A}$; questa scelta impone che la somma di R_1 e R_2 sia:

$$R_1 + R_2 \approx \frac{15 \text{ V}}{40 \mu\text{A}} = 375 \text{ k}\Omega \quad (15.128)$$

Le Equazioni (15.122)-(15.128) forniscono le informazioni necessarie per il progetto assistito da calcolatore. Queste equazioni sono state riscritte in ordine di valutazione nell'Equazione (15.129) scegliendo V_{BB} , come variabile principale di progetto.

Una volta fissato V_{BB} , è possibile calcolare R_1 e R_2 ; è possibile poi determinare R_E e il punto di lavoro, valutare i parametri di piccolo segnale e, utilizzando l'Equazione (15.119), calcolare la resistenza di uscita.

$$\begin{aligned} I_B &= \frac{I_O}{\beta_F} \\ R_1 &= (R_1 + R_2) \frac{V_{BB}}{15 \text{ V}} = 375 \text{ k}\Omega \left(\frac{V_{BB}}{15} \right) \\ R_2 &= (R_1 + R_2) - R_1 = 375 \text{ k}\Omega - R_1 \\ R_{BB} &= R_1 \parallel R_2 \\ R_E &= \alpha_F \left[\frac{V_{BB} - V_{BE} - I_B R_{BB}}{I_O} \right] \\ V_{CE} &= V_{EE} - (V_{BB} - I_B R_{BB} - V_{BE}) \\ r_o &= \frac{V_A + V_{CE}}{I_O} \quad r_\pi = \frac{\beta_o V_T}{I_o} \\ R_{\text{out}} &= r_o \left[1 + \frac{\beta_o R_E}{R_{BB} + r_\pi + R_E} \right] \end{aligned} \quad (15.129)$$

La Tabella 15.2 presenta i risultati ottenuti utilizzando un foglio di calcolo per valutare le equazioni su un intervallo di valori di V_{BB} . Il minimo valore di V_{BB} per cui la resistenza di uscita è maggiore di $10 \text{ M}\Omega$ è 4.5 V ; si noti che questo valore di resistenza di uscita è ottenuto come:

$$R_{\text{out}} = 432 \text{ k}\Omega \left[1 + \frac{150(18.4 \text{ k}\Omega)}{(78.8 + 18.8 + 18.4) \text{ k}\Omega} \right] = 10.7 \text{ M}\Omega \quad (15.130)$$

Verifica dei risultati: L'analisi del circuito con resistori all'1% fornisce $I_O = 203 \mu\text{A}$, $R_{\text{out}} = 10.4 \text{ M}\Omega$ e una corrente di alimentazione di $244 \mu\text{A}$.

Tabella 15.2 Risultati del progetto del generatore di corrente (Valori in ohm)

V_{BB}	R_1	R_2	R_{BB}	R_E	r_o	R_{out}
1.0	2.50E + 04	3.50E + 05	2.33E + 04	1.34E + 03	4.49E + 05	2.52E + 06
1.5	3.75E + 04	3.38E + 05	3.38E + 04	3.75E + 03	4.46E + 05	4.91E + 06
2.0	5.00E + 04	3.25E + 05	4.33E + 04	6.17E + 03	4.44E + 05	6.46E + 06
2.5	6.25E + 04	3.13E + 05	5.21E + 04	8.60E + 03	4.41E + 05	7.61E + 06
3.0	7.50E + 04	3.00E + 05	6.00E + 04	1.10E + 04	4.39E + 05	8.52E + 06
3.5	8.75E + 04	2.88E + 05	6.71E + 04	1.35E + 04	4.36E + 05	9.31E + 06
4.0	1.00E + 05	2.75E + 05	7.33E + 04	1.59E + 04	4.34E + 05	1.00E + 07
4.5	1.13E + 05	2.63E + 05	7.88E + 04	1.84E + 04	4.32E + 05	1.07E + 07
5.0	1.25E + 05	2.50E + 05	8.33E + 04	2.08E + 04	4.29E + 05	1.13E + 07

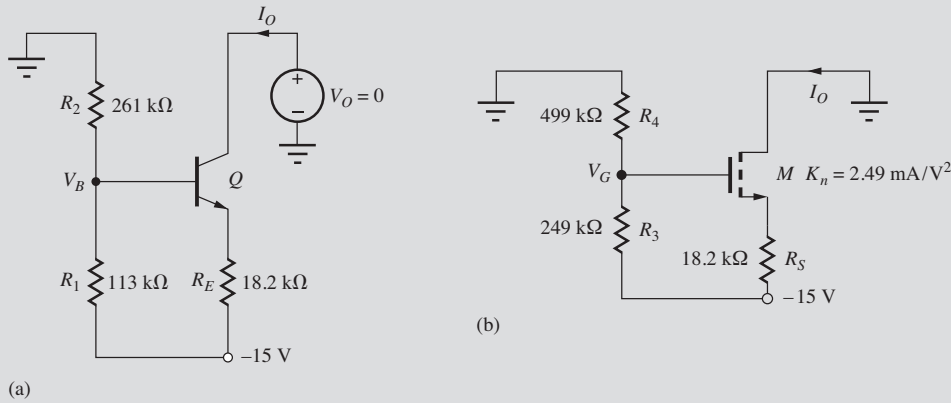


Figura 15.51

Progetto conclusivo dei generatori di corrente a BJT (a) e a MOSFET (b) con $I_O = 200 \mu\text{A}$ e $R_{\text{out}} \geq 10 \text{ M}\Omega$.

Discussione: In questo progetto il denominatore dell'Equazione (15.130) riduce la resistenza di uscita di un fattore 6.3 al di sotto del limite $\beta_o r_o$; conviene quindi scegliere il transistor con il massimo prodotto $\beta_o V_A$. Il progetto finale è riportato in Figura 15.51.

Analisi assistita da calcolatore: Possiamo ora verificare il nostro progetto utilizzando SPICE con $\text{BF} = 150$, $\text{VAF} = 75$ e $\text{IS} = 0.5\text{F}$ (IS è stato scelto per ottenere $V_{BE} \approx 0.7 \text{ V}$ per una corrente di collettore di $200 \mu\text{A}$). Nel circuito mostrato di seguito è stato aggiunto un generatore di tensione a tensione nulla al solo scopo di misurare direttamente la corrente di uscita e la resistenza di uscita utilizzando l'opzione SPICE per la funzione di trasferimento. I risultati sono $R_{\text{out}} = 11.4 \text{ M}\Omega$ con $I_O = 205 \mu\text{A}$ e $I_{EE} = 245 \mu\text{A}$, in accordo alle specifiche di progetto. A questo punto può essere utile eseguire un'analisi Monte Carlo per esplorare l'influenza delle tolleranze dei componenti sulle specifiche di progetto.

ESERCIZIO Quale sarebbe la resistenza di uscita di piccolo segnale del generatore di corrente bipolare se la base fosse cortocircuitata al potenziale di riferimento con un condensatore?

RISPOSTA $32.5 \text{ M}\Omega$. Per la continua la resistenza di uscita non varia.

ESERCIZIO Il generatore di corrente deve essere realizzato utilizzando resistori con tolleranza del 5%. Quali sono i valori migliori? Sono adatti a questo circuito resistori con massima dissipazione di potenza di $1/4 \text{ W}$? Quali sono i valori effettivi della corrente e della resistenza di uscita del generatore se si utilizzano questi resistori al 5%?

RISPOSTE $110 \text{ k}\Omega$, $270 \text{ k}\Omega$, $18 \text{ k}\Omega$; sì; $195 \mu\text{A}$, $10.9 \text{ M}\Omega$.

ESERCIZIO Si calcolino i valori di V_{BB} , R_1 , R_2 , R_E , R_{out} , qualora si utilizzi una corrente di $20 \mu\text{A}$ nella rete di polarizzazione dell'Esempio 15.5.

RISPOSTE 9 V ; $450 \text{ k}\Omega$; $300 \text{ k}\Omega$; 40.0Ω ; $10.7 \text{ M}\Omega$.

PROGETTO DI UN GENERATORE DI CORRENTE A MOSFET

Esempio 15.6

Si progetti ora un generatore di corrente con le stesse specifiche di quello dell'Esempio 15.5 ma con un MOSFET al posto del BJT.

Progettare, utilizzando il circuito in Figura 15.52(b), un generatore di corrente con una corrente nominale di uscita di $200 \mu\text{A}$ e una resistenza di uscita maggiore di $10 \text{ M}\Omega$, utilizzando una singola alimentazione di -15 V . Il generatore deve inoltre soddisfare le seguenti specifiche:

- Il campo di variazione della tensione di uscita deve essere il massimo possibile rispettando le specifiche sulla resistenza di uscita.
- La corrente totale utilizzata dal generatore deve essere inferiore a $250 \mu\text{A}$.
- I transistori MOS disponibili hanno $\lambda = 0.01 \text{ V}^{-1}$. K_n può essere scelto in base alle esigenze.

PROBLEMA

SOLUZIONE **Informazioni e dati noti:** Il circuito è mostrato in Figura 15.52; $I_O = 200 \mu\text{A}$; $V_{SS} = 15 \text{ V}$; $I_{SS} < 250 \mu\text{A}$; $R_{\text{out}} > 10 \text{ M}\Omega$; V_{GG} il più piccolo possibile; MOS con $\lambda = 0.01 \text{ V}^{-1}$. K_n può essere scelto in base alle esigenze.

Incognite: Valori delle resistenze R_3 , R_4 e R_S .

Approccio: Si utilizzino $R_S = R_E$ e $V_S = V_E$ dal progetto bipolare dell'esempio precedente, in modo da poter facilmente confrontare i risultati. Si trovino il fattore di amplificazione e K_n necessari a soddisfare le specifiche. Si trovino V_{GS} e V_{GG} e si scelgano i resistori che più si avvicinano a quelli calcolati tra i resistori disponibili con tolleranza all'1% nella tabella dell'Appendice A.

Ipotesi: Regione attiva e condizioni di piccolo segnale per i dispositivi; $V_{TN} = 1 \text{ V}$; $V_O = 0$ come tensione di uscita.

Analisi: Iniziamo il progetto scrivendo l'espressione della resistenza di uscita del transistor. Grazie al guadagno di corrente infinito del MOSFET, l'espressione della resistenza di uscita del generatore di corrente è molto meno complicata rispetto al circuito bipolare ed è data da:

$$R_{\text{out}} = r_o(1 + g_m R_S) \approx \mu_f R_S$$

Se si scelgono per R_S e V_S gli stessi valori usati nel caso del BJT, cioè $18 \text{ k}\Omega$ e -11.4 V , il MOSFET deve avere un fattore di amplificazione di:

$$\mu_f \geq \frac{10 \text{ M}\Omega}{18 \text{ k}\Omega} = 556 \gg 1$$

Il fattore di amplificazione del MOSFET si scrive come:

$$\mu_f = \frac{1}{\lambda} \sqrt{\frac{2K_n}{I_D}} (1 + \lambda V_{DS})$$

e risolvendo per K_n si ottiene:

$$K_n = \frac{I_D}{2} \left(\frac{\lambda \mu_f}{1 + \lambda V_{DS}} \right)^2 = 100 \mu\text{A} \left(\frac{\frac{0.01}{\text{V}} (556)}{1 + \frac{0.01}{\text{V}} (15.5 \text{ V})} \right)^2 = 2.49 \frac{\text{mA}}{\text{V}^2}$$

Questo è un valore di K_n relativamente grande, ma certamente ottenibile utilizzando sia componenti discreti sia circuiti integrati.

Nella Figura 15.52 la tensione di gate V_{GG} richiesta è:

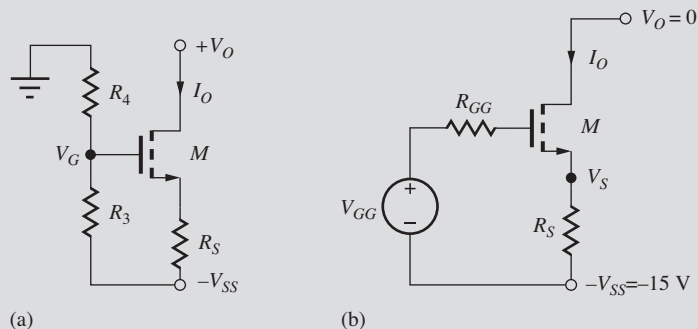
$$\begin{aligned} V_{GG} &= I_D R_S + V_{GS} = 3.60 \text{ V} + V_{TN} + \sqrt{\frac{2I_D}{K_n}} \\ &= 3.60 \text{ V} + 1 \text{ V} + \sqrt{\frac{2(0.2 \text{ mA})}{2.49 \text{ mA/V}^2}} = 5.00 \text{ V} \end{aligned}$$

Se la corrente nel resistore di polarizzazione è il 10% della corrente di drain, allora:

$$R_3 + R_4 = \frac{15 \text{ V}}{20 \mu\text{A}} = 750 \text{ k}\Omega \quad \text{e} \quad R_3 = \frac{5.00 \text{ V}}{15 \text{ V}} 750 \text{ k}\Omega = 250 \text{ k}\Omega$$

Figura 15.52

(a) Generatore di corrente a MOSFET.
(b) Circuito equivalente.

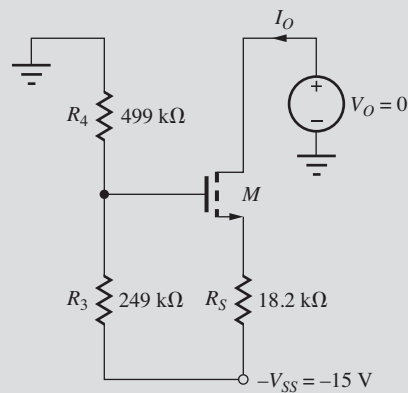


I valori all'1% più vicini sono $R_3 = 249 \text{ k}\Omega$ e $R_4 = 499 \text{ k}\Omega$, con $R_S = 18.2 \text{ k}\Omega$. Il progetto conclusivo è riportato nella figura alla fine dell'esempio.

Verifica dei risultati: Ripetendo i calcoli si trova che sono corretti. Useremo ora SPICE per verificare il progetto.

Discussione: Per il generatore a MOS possiamo usare un ampio insieme di resistori di polarizzazione del gate, poiché la resistenza di uscita non dipende da R_{GG} .

Analisi assistita da calcolatore: Possiamo ora verificare il nostro progetto utilizzando SPICE con $V_{TO} = 1$, $K_P = 2.49\text{M}$ e $LAMBDA = 0.01$. Nel circuito mostrato di seguito è stato aggiunto un generatore di tensione a tensione nulla al solo scopo di misurare direttamente la corrente di uscita e la resistenza di uscita, utilizzando l'opzione SPICE per la funzione di trasferimento. I risultati sono $R_{out} = 11.3 \text{ M}\Omega$ con $I_O = 198 \text{ }\mu\text{A}$ e $I_{SS} = 219 \text{ }\mu\text{A}$, in accordo alle specifiche di progetto. A questo punto può essere utile eseguire un'analisi Monte Carlo per esplorare l'influenza delle tolleranze dei componenti sulle specifiche di progetto. È anche possibile utilizzare un modello SPICE più complesso per un'ulteriore verifica dei risultati.



ESERCIZIO Qual è la minima tensione di drain per cui il generatore a MOSFET della figura finale dell'Esempio 15.6 resta in saturazione?

RISPOSTA -9.96 V .

ESERCIZIO Qual è il rapporto W/L richiesto per il MOSFET precedente se $K'_n = 25 \text{ }\mu\text{A}/\text{V}^2$?

RISPOSTA $99.6/1$.

ESERCIZIO Qual è la minima tensione di collettore per cui il generatore a BJT di Figura 15.51(a) resta in regione attiva?

RISPOSTA -10.6 V .

ESERCIZIO Bisogna realizzare il generatore di corrente a MOS utilizzando resistori con tolleranza del 5%. Quali sono i valori migliori? Sono adatti a questo circuito resistori con massima dissipazione di potenza di $1/4 \text{ W}$? Quali sono i valori veri della corrente e della resistenza di uscita del generatore se si utilizzano questi resistori al 5%?

RISPOSTE $510 \text{ k}\Omega$, $240 \text{ k}\Omega$, $18 \text{ k}\Omega$; sì; $189 \text{ }\mu\text{A}$, $10.3 \text{ M}\Omega$.

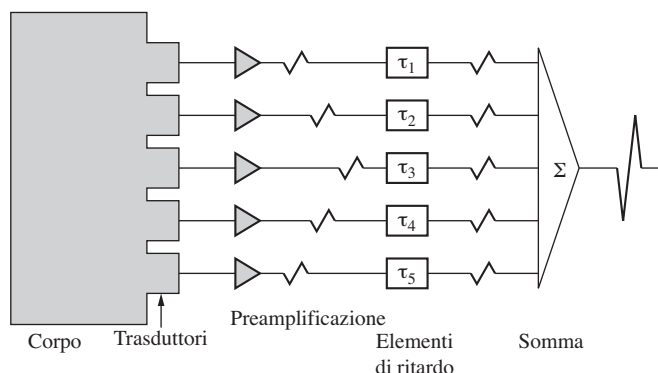


Ecografia a ultrasuoni

L'ecografia a ultrasuoni è molto utilizzata nella pratica clinica per numerose procedure diagnostiche come la caratterizzazione di tumori, la valutazione della funzionalità cardiaca e il monitoraggio dello sviluppo prenatale.

Un ecografo a ultrasuoni opera inviando nel corpo impulsi acustici e misurando gli echi ricevuti; il segnale acustico ha frequenze comprese fra 1 MHz e 20 MHz. A seconda del tipo di tessuto, l'assorbimento dell'energia acustica è differente, e pertanto gli echi ricevuti dipendono dal tipo di tessuto investito dagli impulsi ultrasonori e delle sue caratteristiche. Al fine di misurare le proprietà di un tessuto localizzato in un punto specifico del corpo, si utilizza una schiera di

trasduttori allineati in fase (*phased array*) per focalizzare gli impulsi trasmessi e ricevuti. Per esempio, la figura seguente mostra uno schema semplificato del processo di ricezione. Il tempo di propagazione dell'onda acustica riflessa è funzione della distanza fra un particolare trasduttore e il punto in cui si focalizza il segnale; pertanto la schiera di trasduttori fornisce in ricezione un insieme di echi, fra loro ritardati. Introducendo un ritardo opportuno per ognuno dei segnali ricevuti, gli echi si sommano coerentemente, mentre il rumore casuale viene mediato. In trasmissione si opera in modo analogo, ritardando nel tempo gli impulsi che pilotano i singoli trasduttori, in modo da focalizzare il segnale trasmesso.



Schema semplificato del processo di ricezione in un sistema ecografico a ultrasuoni.

La figura seguente mostra un'analisi più dettagliata dell'elettronica di un ecografo a ultrasuoni. A causa della natura dispersiva del tessuto corporeo, il segnale ricevuto è estremamente debole, spesso dell'ordine del microvolt; pertanto i preamplificatori analogici devono essere sistemi multistadio, caratterizzati da un ridotto livello di rumore. Il guadagno complessivo è dell'ordine di 100 dB; con questi valori è necessario che l'amplificatore sia accoppiato in

AC oppure che abbia una qualche forma di compensazione dell'offset. Per esempio, se l'amplificatore avesse un offset d'ingresso di 5 mV con un guadagno di 100 dB, l'uscita sarebbe in saturazione.

Un altro aspetto interessante dei preamplificatori, in queste applicazioni, è la necessità di disporre di un controllo del guadagno variabile nel tempo (TGC, *Time Gain Control*). Nel propagarsi all'interno del corpo, il segnale ultrasonoro si attenua sensibil-

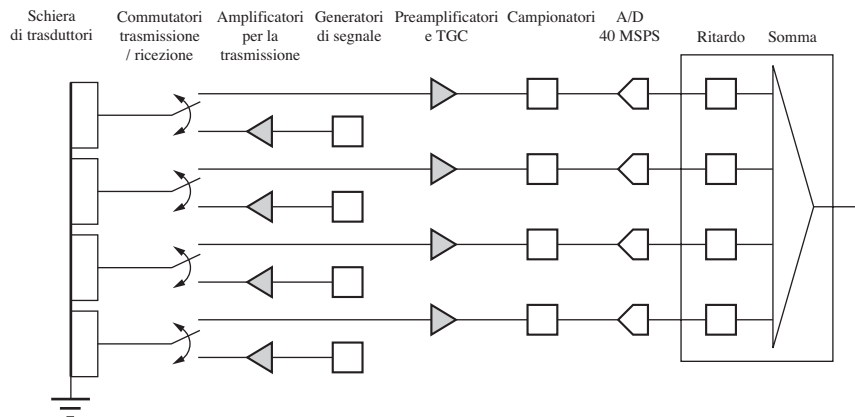


Diagramma a blocchi dell'elettronica presente in un ecografo a ultrasuoni.

mente; più a lungo il segnale si propaga, maggiore sarà l'attenuazione. Questo fenomeno è compensato con un circuito che cambia con continuità il guadagno dell'amplificatore in un campo di valori di 60-80 dB, durante i pochi microsecondi richiesti per ricevere l'eco del segnale ultrasonoro.

Dopo il preamplificatore il segnale viene campionato e digitalizzato; in un tipico sistema a 128 cana-

li con convertitori Analogico Digitali a 40 milioni di conversioni al secondo, il flusso complessivo di dati è di 6.4 GB/s. Questo enorme flusso di dati viene elaborato da diversi circuiti integrati progettati ad hoc, che realizzano in digitale e in tempo reale le operazioni di ritardo e di somma, correggendo inoltre gli effetti di numerose non-idealità non discusse in questa breve descrizione.

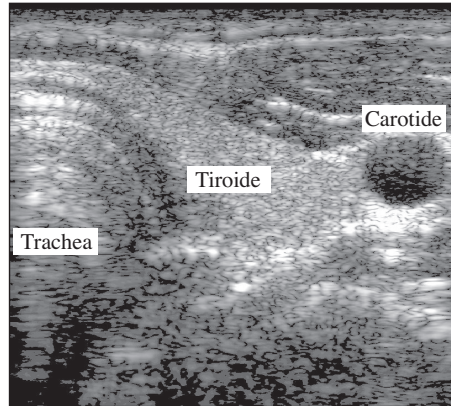


Immagine ecografica della trachea, della tiroide e dell'arteria carotidea.
[Riproduzione per gentile concessione di William F. Walker, University of Virginia.]

⚡ Riferimenti bibliografici

- [1] R.D. Thornton, et. al., *Multistage Transistor Circuits*, SEEC Volume 5, Wiley, New York: 1965.
- [2] P.R. Gray, P.J. Hurst, S.H. Lewis e R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, quinta ed., John Wiley and Sons, New York: 2001.

⚡ Letture aggiuntive

- R.C. Jaeger, "A high output resistance current source", *IEEE JSSC*, vol. SC-9, pp. 192-194, agosto 1974.
- R.C. Jaeger, "Common-mode rejection limitations of differential amplifiers", *IEEE JSSC*, vol. SC-11, pp. 411-417, giugno 1976.
- R.C. Jaeger e G.A. Hellwarth. "On the performance of the differential cascode amplifier", *IEEE JSSC*, vol. SC-8, pp. 169-174, aprile 1973.

Obiettivi

In questo capitolo ci concentriamo sulla comprensione delle tecniche di progetto dei circuiti integrati e sullo studio dei blocchi fondamentali degli amplificatori operazionali e di altri circuiti integrati.

Gli obiettivi di questo capitolo sono i seguenti:

- Studiare il funzionamento degli specchi di corrente MOS e bipolari.
- Analizzare i generatori di corrente Wilson e cascode, a elevata resistenza d'uscita.
- Studiare i circuiti per la generazione di correnti di riferimento, da usare in circuiti a componenti discreti e integrati.
- Analizzare circuiti in grado di fornire correnti di riferimento in maniera indipendente dalla tensione di alimentazione.
- Studiare i principi di funzionamento e le regole di progetto dei riferimenti di tensione a bandgap.
- Utilizzare specchi di corrente come carichi attivi negli amplificatori differenziali.
- Analizzare gli effetti delle asimmetrie dei dispositivi e dei componenti sulle prestazioni degli amplificatori differenziali.
- Analizzare l'amplificatore operazionale $\mu A741$.
- Imparare le tecniche usate per il progetto di moltiplicatori analogici a quattro quadranti.
- Migliorare le nostre conoscenze sulle tecniche di simulazione circuitale.

In questo Capitolo, studieremo molti circuiti di estremo interesse, progettati da tre delle leggende dell'elettronica analogica integrata: Robert Widlar, Barrie Gilbert e Paul Brokaw. Widlar ha sviluppato prima l'amplificatore operazionale $\mu A702$ e poi l'amplificatore operazionale LM101; ha contribuito a molte delle innovazioni che hanno portato al progetto dell'amplificatore operazionale $\mu A741$. Molte delle tecniche circuitali adottate originariamente per il $\mu A741$ sono state utilizzate anche per successivi circuiti integrati analogici e sono ancora in uso oggi. Widlar è stato anche l'ideatore del regolatore di tensione $\mu A723$ e del riferimento a bandgap. Gilbert ha inventato il moltiplicatore analogico a quattro quadranti, un circuito noto appunto con il nome di moltiplicatore di Gilbert. La versione di Brokaw del riferimento a bandgap è ancora ampiamente usata: il riferimento a bandgap rappresenta il cuore di buona parte dei generatori di riferimento di precisione e dei regolatori di tensione; è molto utilizzato anche nei sensori di temperatura digitali.

La tecnologia dei circuiti integrati consente di realizzare su di uno stesso chip un gran numero di transistori con caratteristiche pressoché identiche. Infatti, benché le tolleranze dei parametri dei dispositivi integrati, in va-

lore assoluto, siano piuttosto elevate, le caratteristiche di due dispositivi realizzati nello stesso microcircuito sono molto simili fra loro, con differenze che possono essere inferiori all'1%.

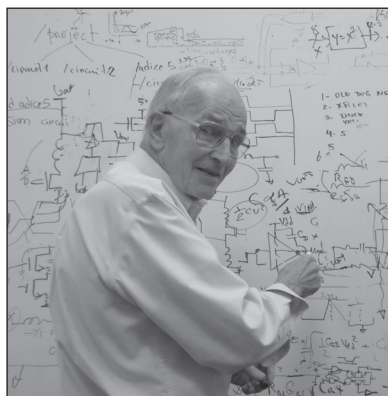
Questa proprietà viene utilizzata in tecnologia sia bipolare sia CMOS nel progetto di generatori di corrente, denominati specchi di corrente (*current mirrors*). Studieremo lo specchio di corrente in topologia cascode e lo specchio di corrente di Wilson, caratterizzati da elevate resistenze di uscita. Verranno inoltre introdotte le tecniche circuitali che consentono di ottenere una *polarizzazione indipendente dalla tensione di alimentazione*.

In questo capitolo studieremo anche il riferimento di tensione a bandgap che sfrutta il ben noto comportamento della giunzione *pn* per produrre una tensione di uscita precisa e accurata che è sostanzialmente indipendente dalle variazioni della tensione di alimentazione e dalla temperatura.

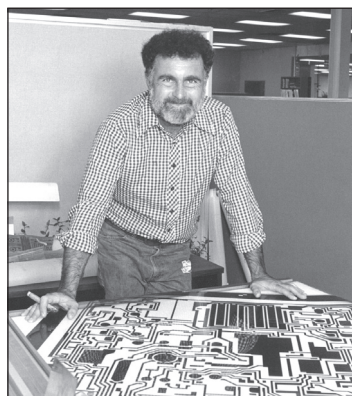
Lo specchio di corrente viene adoperato non solo per polarizzare i circuiti integrati analogici, ma anche come elemento di carico negli amplificatori; l'utilizzo di carichi attivi può infatti migliorare significativamente le prestazioni degli amplificatori, come vedremo in numerosi esempi per circuiti sia MOS sia bipolari.

Il capitolo si sofferma poi su una dettagliata descrizione dell'amplificatore operazionale $\mu A741$, il primo amplificatore operazionale per uso generale con protezioni per le

sovratensioni agli ingressi e per i cortocircuiti in uscita. L'ultima sezione presenta infine il moltiplicatore a quattro quadranti progettato da Gilbert.



(a)



(b)



(c)

Leggende dell'elettronica analogica: (a) Paul Brokaw, (b) Robert Widlar, (c) Barrie Gilbert [(a) courtesy di Paul Brokaw (b), courtesy di Texas Instruments (c), courtesy di Analog Devices.]

16.1 Dispositivi equivalenti

La tecnologia dei circuiti integrati consente di realizzare su di uno stesso chip un gran numero di transistori con caratteristiche pressoché identiche. Infatti, benché le tolleranze dei parametri dei dispositivi integrati, in valore assoluto, siano piuttosto elevate, le caratteristiche di due dispositivi realizzati nello stesso microcircuito sono molto simili fra loro.

Diremo che due transistori sono equivalenti se i loro parametri hanno lo stesso valore; ricordiamo che i parametri per un BJT sono (I_S, β_{FO}, V_A) , mentre per un MOSFET sono (V_{TN}, K', λ) . Nella realizzazione di circuiti integrati, la geometria dei dispositivi può essere facilmente modificata, per cui l'area di emettitore A_E di un BJT o il rapporto W/L di un MOSFET rappresentano importanti parametri su cui intervenire in fase di progetto.

Se consideriamo un dispositivo integrato, il valore assoluto di un suo parametro elettrico (per esempio, la tensione di soglia di un MOSFET) può variare significativamente fra un ciclo di produzione e il successivo, con tolleranze che possono raggiungere $\pm 30\%$ (si veda la Tabella 16.1). Peraltro, le caratteristiche di due dispositivi realizzati nello stesso microcircuito sono molto simili fra loro, con differenze che possono essere inferiori all'1%. Ciò ha portato allo sviluppo di particolari tecniche circuitali che sfruttano al meglio la possibilità di disporre di **dispositivi equivalenti** e il cui funzionamento è legato al rapporto del valore di due parametri, più che al valore assoluto dei parametri stessi. I circuiti descritti in questo capitolo si basano appunto sulla possibilità di realizzare all'interno di un circuito integrato dispositivi con caratteristiche pressoché identiche, e pertanto possono non funzionare correttamente se realizzati con componenti discreti.

Tabella 16.1 Tolleranze dei parametri dei circuiti integrati [1].

	Tolleranza assoluta, %	Differenza percentuale fra i parametri di due dispositivi
Resistori diffusi	30	≤ 2
Resistori realizzati per impiantazione ionica	5	≤ 1
V_{BE}	10	≤ 1
I_S, β_F, V_A	30	≤ 1
V_{TN}, V_{TP}	15	≤ 1
K', λ	30	≤ 1

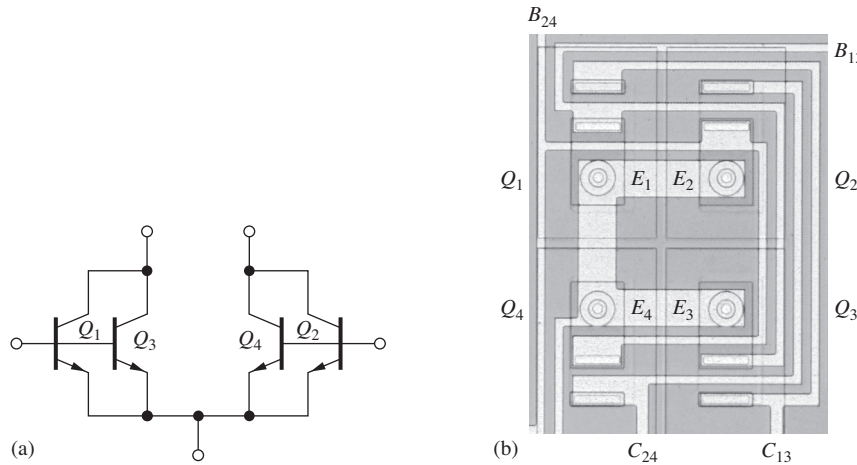


Figura 16.1

(a) Implementazione della cella differenziale utilizzando 4 transistori uguali opportunamente connessi. (b) Layout dei 4 transistori della figura (a); si noti la forma circolare degli emettitori usata per migliorare la simmetria del circuito.

La Figura 16.1 mostra un esempio in cui vengono utilizzati quattro dispositivi opportunamente connessi per migliorare le prestazioni di un amplificatore differenziale. I quattro transistori sono opportunamente disposti sul layout, in modo da migliorare ulteriormente la simmetria del circuito.

ESERCIZIO Un resistore integrato R ha un valore nominale di $10 \text{ k}\Omega$ e una tolleranza di $\pm 30\%$. In un particolare ciclo di produzione si sono ottenuti resistori con un valore maggiore del 20% rispetto al valore nominale, con una variazione fra un resistore e l'altro contenuta entro il 2%. Quale campo di valori si è ottenuto in questo ciclo di produzione per il resistore integrato?

RISPOSTA $11.88 \text{ k}\Omega \leq R \leq 12.12 \text{ k}\Omega$.

16.2 Specchi di corrente

La configurazione a **specchio di corrente** viene diffusamente utilizzata per polarizzare circuiti integrati sia analogici che digitali. La Figura 16.2 mostra lo schema circuitale di due specchi di corrente realizzati in tecnologia MOS e bipolare. Nella Figura 16.2(a), i MOS M_1 e M_2 hanno identici valori sia per i parametri (V_{TN} , K'_n , λ) che per i rapporti W/L ; analogamente in Figura 16.2(b) i dispositivi Q_1 e Q_2 hanno gli stessi valori di (I_S , β_{FO} , V_A). In entrambi i circuiti il punto di lavoro è fissato da un generatore di corrente di riferimento I_{REF} , mentre I_O rappresenta la corrente di uscita. Come vedremo fra breve, questi circuiti sono progettati in modo da avere $I_O \approx I_{REF}$; da questa condizione deriva il nome di "specchio di corrente".

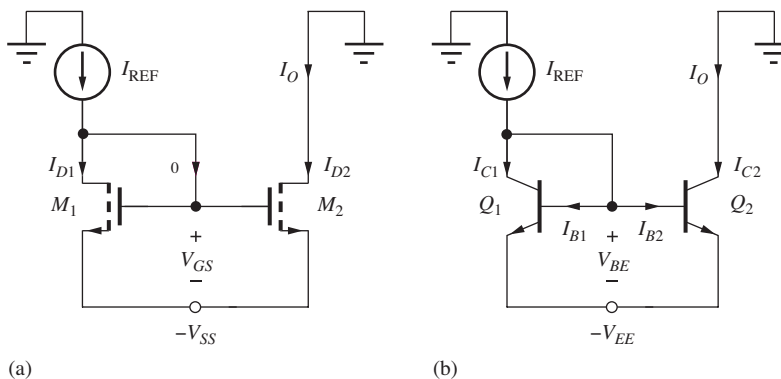


Figura 16.2

Specchio di corrente. (a) Realizzazione in tecnologia MOS. (b) Realizzazione in tecnologia bipolare.

16.2.1 Analisi DC dello specchio di corrente MOS

Iniziamo la nostra analisi dallo specchio di corrente realizzato in tecnologia MOS. Dalla Figura 16.2(a) notiamo che la corrente I_{REF} deve fluire nel drain di M_1 , poiché la corrente di gate del MOS è nulla; inoltre osserviamo che il dispositivo M_1 opera in regione di saturazione, poiché $V_{DS1} = V_{GS1}$. Possiamo quindi calcolare facilmente il valore di V_{GS1} :¹

$$I_{REF} = \frac{K_n}{2} (V_{GS1} - V_{TN})^2 (1 + \lambda V_{DS1}) \quad \text{ovvero} \quad V_{GS1} = V_{TN} + \sqrt{\frac{2I_{REF}}{K_n(1 + \lambda V_{DS1})}} \quad (16.1)$$

Il valore di I_O è pari alla corrente di drain di M_2 :

$$I_O = I_{D2} = \frac{K_n}{2} (V_{GS2} - V_{TN})^2 (1 + \lambda V_{DS2}) \quad (16.2)$$

Poiché $V_{GS1} = V_{GS2}$, sostituendo l'Equazione (16.1) nella (16.2) si ottiene:

$$I_O = I_{REF} \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \approx I_{REF} \quad (16.3)$$

Per $V_{DS1} = V_{DS2}$, la corrente di uscita è esattamente uguale alla corrente di riferimento; sfortunatamente in molti casi i valori di V_{DS} dei due dispositivi non sono uguali fra loro, e questo comporta una leggera differenza fra I_O e I_{REF} , come mostra l'Esempio 16.1.

Il rapporto fra le correnti I_O e I_{REF} verrà in seguito indicato come **rapporto di riflessione** (*Mirror Ratio*, MR), dato da:

$$MR = \frac{I_O}{I_{REF}} = \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \quad (16.4)$$

Esempio 16.1

CORRENTE DI USCITA DELLO SPECCHIO DI CORRENTE MOS

PROBLEMA Si calcoli la corrente di uscita I_O dello specchio di corrente MOS di Figura 16.2(a) per: $V_{SS} = 10 \text{ V}$, $K_n = 250 \mu\text{A}/\text{V}^2$, $V_{TN} = 1 \text{ V}$, $\lambda = 0.0133 \text{ V}^{-1}$ e $I_{REF} = 150 \mu\text{A}$.

SOLUZIONE **Informazioni e dati noti:** Lo specchio di corrente di Figura 16.2(a); $V_{SS} = 10 \text{ V}$; i parametri dei transistori sono: $K_n = 250 \mu\text{A}/\text{V}^2$, $V_{TN} = 1 \text{ V}$, $\lambda = 0.0133 \text{ V}^{-1}$ e $I_{REF} = 150 \mu\text{A}$.

Incognite: La corrente di uscita I_O .

Approccio: Si calcoli V_{GS1} e V_{DS1} ; si utilizzi l'Equazione (16.3) per la corrente di uscita.

Ipotesi: I transistori sono identici e operano entrambi in regione attiva.

Analisi: Poiché $V_{DS1} = V_{GS1}$, possiamo scrivere:

$$V_{DS1} = V_{TN} + \sqrt{\frac{2I_{REF}}{K_n}} = 1 \text{ V} + \sqrt{\frac{2(150 \mu\text{A})}{250 \frac{\mu\text{A}}{\text{V}^2}}} = 2.10 \text{ V}$$

Nell'ultima relazione abbiamo trascurato il fattore $(1 + \lambda V_{DS1})$ per semplificare il calcolo del punto di lavoro. Possiamo ora sostituire il valore calcolato di V_{DS1} nella (16.3); ricordando inoltre che $V_{DS2} = 10 \text{ V}$ si ricava:

$$I_O = (150 \mu\text{A}) \frac{[1 + (0.0133 \text{ V}^{-1})(10 \text{ V})]}{[1 + (0.0133 \text{ V}^{-1})(2.1 \text{ V})]} = 165 \mu\text{A}$$

Abbiamo una differenza di circa il 10% rispetto al valore della corrente di riferimento.

¹ Si noti che per il funzionamento dello specchio di corrente è molto importante che i due dispositivi abbiano identiche caratteristiche; da notare inoltre che per una corretta analisi DC del circuito è necessario includere il termine $(1 + \lambda V_{DS})$.

Controllo dei risultati: Una ulteriore verifica dei calcoli ne conferma la correttezza. Il transistor M_1 è in pinch-off, grazie al collegamento fra drain e gate, mentre M_2 sarà anch'esso in pinch-off se la sua tensione drain-source supera $(V_{GS1} - V_{TN})$, condizione senz'altro verificata per il circuito di Figura 16.2(a) in cui $V_{DS2} = 10$ V.

Discussione: Possiamo migliorare la precisione dei nostri calcoli includendo il fattore $(1 + \lambda V_{DS1})$ nel calcolo di V_{GS1} ; in questo caso è necessario risolvere iterativamente l'equazione che fornisce V_{GS1} . Il valore di I_O calcolato in questo modo non differisce in maniera apprezzabile rispetto all'analisi semplificata sviluppata in precedenza.

Analisi assistita da calcolatore: Verifichiamo i nostri calcoli manuali utilizzando SPICE. Simuliamo il circuito di Figura 16.2(a), definendo i parametri dei transistori in modo che siano consistenti con la nostra analisi manuale: $K_P = 250\text{U}$, $V_{TO} = 1$. Per $LAMBDA = 0$, la simulazione SPICE fornisce una corrente di uscita di $150\text{ }\mu\text{A}$, con $V_{GS} = 2.095$ V. Per $LAMBDA = 0.0133$, SPICE ottiene $I_O = 165\text{ }\mu\text{A}$, con $V_{GS} = 2.081$ V. I valori simulati concordano con l'analisi manuale.

ESERCIZIO Si supponga di voler includere il fattore $(1 + \lambda V_{DS1})$ nel calcolo di V_{GS1} . Si dimostri che l'equazione da risolvere in questo caso è:

$$V_{DS1} = V_{TN} + \sqrt{\frac{2I_{REF}}{K_n(1 + \lambda V_{DS1})}}$$

Si calcoli il nuovo valore di V_{DS1} utilizzando i dati dell'Esempio 16.1. Qual è il nuovo valore di I_O ?

RISPOSTE 2.08 V; $165\text{ }\mu\text{A}$.

ESERCIZIO Qual è il minimo valore della tensione di drain necessario per mantenere in saturazione il transistor M_2 ? Si utilizzino i valori numerici dell'Esempio 16.1.

RISPOSTA – 8.9 V.

16.2.2 Modifica del rapporto di riflessione per lo specchio di corrente MOS

Lo specchio di corrente di Figura 16.2(a) consente di ottenere un'uscita $I_O \approx I_{REF}$, mentre in molte applicazioni si richiede la possibilità di realizzare un rapporto di riflessione diverso dall'unità. Per lo specchio di corrente MOS, il rapporto di riflessione può essere facilmente modificato agendo sui rapporti W/L dei due dispositivi. Si consideri per esempio il circuito di Figura 16.3, in cui i valori di K_n dei due dispositivi sono dati da:

$$K_{n1} = K'_n \left(\frac{W}{L} \right)_1 \quad \text{e} \quad K_{n2} = K'_n \left(\frac{W}{L} \right)_2 \quad (16.5)$$

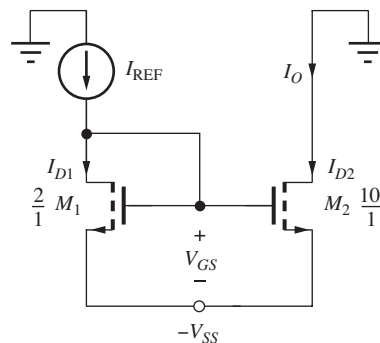


Figura 16.3
Specchio di corrente MOS in cui i due transistori hanno differenti valori di W/L .

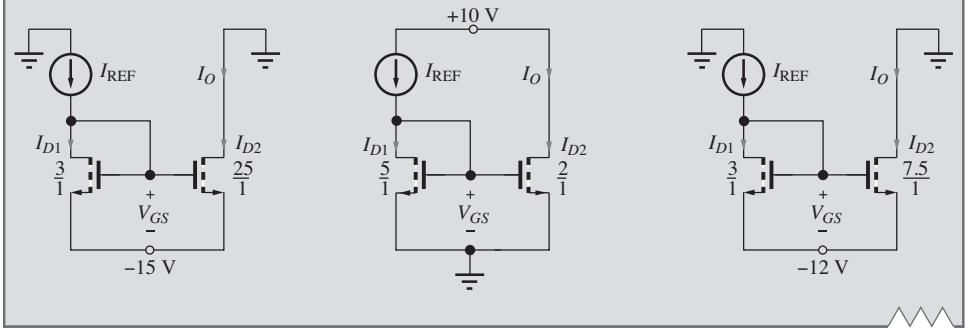
Sostituendo questi due valori di K_n nelle Equazioni (16.1) e (16.2) si ottiene il rapporto di riflessione:

$$MR = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \quad (16.6)$$

Nel caso ideale ($\lambda = 0$, oppure $V_{DS1} = V_{DS2}$) il rapporto di riflessione è dato dal rapporto dei fattori W/L dei due transistori. Nel caso particolare di Figura 16.3, il rapporto di riflessione ideale è 5 e la corrente di uscita è pari a $I_O = 5I_{REF}$. Tuttavia, le differenze di V_{DS} contribuiranno nuovamente a creare un errore nel rapporto di riflessione.

ESERCIZIO (a) Si calcoli il rapporto di riflessione per gli specchi di corrente nella figura seguente, per $\lambda = 0$. (b) Si ripeta il punto (a), per $\lambda = 0.02 \text{ V}^{-1}$. Si assuma: $V_{TN} = 1 \text{ V}$, $K'_n = 25 \mu\text{A}/\text{V}^2$ e $I_{REF} = 50 \mu\text{A}$.

RISPOSTE 8.33, 0.400; 10.4, 0.462; 2.50, 2.97.



16.2.3 Analisi DC dello specchio di corrente BJT

Nello specchio di corrente realizzato in tecnologia bipolare, mostrato in Figura 16.2(b), il transistor Q_1 è connesso "a diodo"; applicando la legge di Kirchhoff al nodo cui è connesso il collettore di Q_1 si ha:

$$I_{REF} = I_{C1} + I_{B1} + I_{B2} \quad \text{mentre} \quad I_O = I_{C2} \quad (16.7)$$

Le espressioni per le correnti, necessarie per poter calcolare I_O in funzione di I_{REF} , sono date dal modello del trasporto e dalla considerazione che i due transistori hanno la stessa tensione base-emettitore:

$$\begin{aligned} I_{C1} &= I_S \exp\left(\frac{V_{BE}}{V_T}\right) \left(1 + \frac{V_{CE1}}{V_A}\right) & I_{C2} &= I_S \exp\left(\frac{V_{BE}}{V_T}\right) \left(1 + \frac{V_{CE2}}{V_A}\right) \\ \beta_{F1} &= \beta_{FO} \left(1 + \frac{V_{CE1}}{V_A}\right) & \beta_{F2} &= \beta_{FO} \left(1 + \frac{V_{CE2}}{V_A}\right) \\ I_{B1} &= \frac{I_S}{\beta_{FO}} \exp\left(\frac{V_{BE}}{V_T}\right) & I_{B2} &= \frac{I_S}{\beta_{FO}} \exp\left(\frac{V_{BE}}{V_T}\right) \end{aligned} \quad (16.8)$$

Sostituendo la (16.8) nella (16.7) si ottiene:

$$I_O = I_{REF} \frac{\left(1 + \frac{V_{CE2}}{V_A}\right)}{\left(1 + \frac{V_{CE1}}{V_A} + \frac{2}{\beta_{FO}}\right)} = I_{REF} \frac{\left(1 + \frac{V_{CE2}}{V_A}\right)}{\left(1 + \frac{V_{BE}}{V_A} + \frac{2}{\beta_{FO}}\right)} \quad (16.9)$$

Trascurando l'effetto Early, ovvero assumendo $V_A \rightarrow \infty$, il rapporto di riflessione vale:

$$MR = \frac{I_O}{I_{REF}} = \frac{1}{1 + \frac{2}{\beta_{FO}}} \quad (16.10)$$

In questo caso idealizzato, l'unica differenza fra la corrente di uscita e la corrente di riferimento sarebbe data da un piccolo errore introdotto dal valore finito del guadagno del BJT; per esempio, per $\beta_{FO} = 100$ la differenza fra le due correnti sarebbe del 2%. Peraltro, così come per lo specchio di corrente MOS, la differenza fra i valori di I_O e di I_{REF} è dovuta principalmente alle diverse tensioni collettore-emettitore dei due dispositivi, come evidenzia l'Esempio 16.2.

CALCOLO DEL RAPPORTO DI RIFLESSIONE PER GLI SPECCHI DI CORRENTE

Esempio 16.2

Si calcoli il rapporto di riflessione per gli specchi di corrente MOS e BJT di Figura 16.2. Si assuma che i dispositivi siano equivalenti ($M_1 = M_2$ e $Q_1 = Q_2$). Si assuma inoltre: $V_{GS} = 2$ V, $V_{DS2} = 10$ V = V_{CE2} , $\lambda = 0.02$ V⁻¹, $V_A = 50$ V e $\beta_{FO} = 100$.

PROBLEMA

Informazioni e dati noti: I circuiti di Figura 16.2, con $M_1 = M_2$ e $Q_1 = Q_2$; $V_{SS} = 10$ V; $V_{GS} = 2$ V, $V_{DS2} = V_{CE2} = 10$ V, $V_{BE} = 0.7$ V; i parametri dei transistori sono: $\lambda = 0.02$ V⁻¹, $V_A = 50$ V e $\beta_{FO} = 100$.

SOLUZIONE

Incognite: I rapporti di riflessione per i due specchi di corrente.

Approccio: Utilizzare le Equazioni (16.6) e (16.9) per determinare i rapporti di riflessione.

Ipotesi: I transistori operano tutti in regione attiva; $V_{BE} = 0.7$ V per i BJT.

Analisi: Per lo specchio di corrente MOS abbiamo:

$$MR_{MOS} = \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} = \frac{\left[1 + \frac{0.02}{V}(10 \text{ V})\right]}{\left[1 + \frac{0.02}{V}(2 \text{ V})\right]} = 1.15$$

Per lo specchio di corrente a BJT si ha:

$$MR_{BJT} = \frac{\left(1 + \frac{V_{CE2}}{V_A}\right)}{\left(1 + \frac{2}{\beta_{FO}} + \frac{V_{CE1}}{V_A}\right)} = \frac{1 + \left(\frac{10 \text{ V}}{50 \text{ V}}\right)}{\left(1 + \frac{2}{100} + \frac{0.7 \text{ V}}{50 \text{ V}}\right)} = 1.16$$

Controllo dei risultati: Il transistorore M_1 è in pinch-off, grazie al collegamento fra drain e gate, mentre M_2 è in pinch-off poiché $V_{DS2} > V_{GS2}$. Il transistorore Q_1 ha: $V_{CE} = V_{BE}$, ed è pertanto in regione attiva; il transistorore Q_2 è anch'esso in regione attiva, in quanto $V_{CE2} > V_{BE2}$.

Discussione: I rapporti di riflessione dei due specchi di corrente sono molto simili, con una differenza con il caso ideale compresa fra il 15% e il 16%. Il valore finito del guadagno di corrente del BJT non modifica in maniera significativa il rapporto di riflessione dello specchio di corrente bipolare.

Analisi assistita da calcolatore: Possiamo facilmente effettuare un'analisi degli specchi di corrente con SPICE, come sarà mostrato in dettaglio nell'Esempio 16.3.

ESERCIZIO Qual è il valore effettivo di V_{BE} per lo specchio di corrente BJT dell'Esempio 16.2, assumendo $I_S = 0.1$ fA e $I_{REF} = 100$ μA? Per il circuito di Figura 16.2(b), qual è il valore minimo della tensione di collettore di Q_2 necessario per mantenere il dispositivo in regione attiva diretta?

RISPOSTE 0.691 V; $-V_{EE} + 0.691$ V.

16.2.4 Modifica del rapporto di riflessione per lo specchio di corrente BJT

In tecnologia bipolare si possono scegliere opportunamente i valori dell'area di emettitore A_E dei transistori, allo stesso modo in cui è possibile definire i valori di W/L per un circuito integrato MOS. Per modificare il rapporto di riflessione in uno specchio di corrente BJT si sfrutta il fatto che la corrente di saturazione di un transistor bipolare è direttamente proporzionale all'area di emettitore A_E del dispositivo:

$$I_S = I_{SO} \frac{A_E}{A} \quad (16.11)$$

dove I_{SO} rappresenta la corrente di saturazione di un transistor bipolare caratterizzato da un'area di emettitore pari a un valore di riferimento A .

Il rapporto di riflessione di uno specchio di corrente BJT può essere facilmente modificato agendo sui valori relativi delle aree di emettitore dei transistori, come mostra la Figura 16.4, in cui:

$$\begin{aligned} I_{C1} &= I_{SO} \frac{A_{E1}}{A} \exp\left(\frac{V_{BE}}{V_T}\right) \left(1 + \frac{V_{CE1}}{V_A}\right) & I_{C2} &= I_{SO} \frac{A_{E2}}{A} \exp\left(\frac{V_{BE}}{V_T}\right) \left(1 + \frac{V_{CE2}}{V_A}\right) \\ I_{B1} &= \frac{I_{SO}}{\beta_{FO}} \frac{A_{E1}}{A} \exp\left(\frac{V_{BE}}{V_T}\right) & I_{B2} &= \frac{I_{SO}}{\beta_{FO}} \frac{A_{E2}}{A} \exp\left(\frac{V_{BE}}{V_T}\right) \end{aligned} \quad (16.12)$$

Sostituendo queste espressioni nella (16.7) si ottiene:

$$I_O = n I_{REF} \frac{1 + \frac{V_{CE2}}{V_A}}{1 + \frac{V_{BE}}{V_A} + \frac{1+n}{\beta_{FO}}} \quad \text{in cui } n = \frac{A_{E2}}{A_{E1}} \quad (16.13)$$

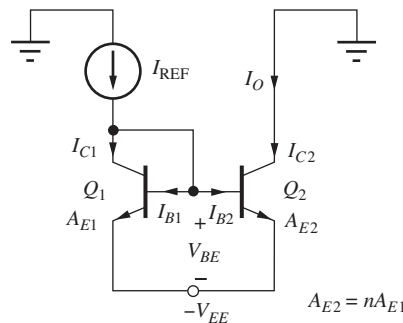
Nel caso ideale di guadagno di corrente infinito e di uguali valori di tensione collettore-emettitore, il rapporto di riflessione è esattamente uguale al rapporto delle aree di emettitore dei due transistori: $MR = n$.

È interessante valutare l'errore nel rapporto di riflessione introdotto dal valore finito di β_F . Trascurando l'effetto Early, ovvero assumendo $V_A \rightarrow \infty$, si ottiene:

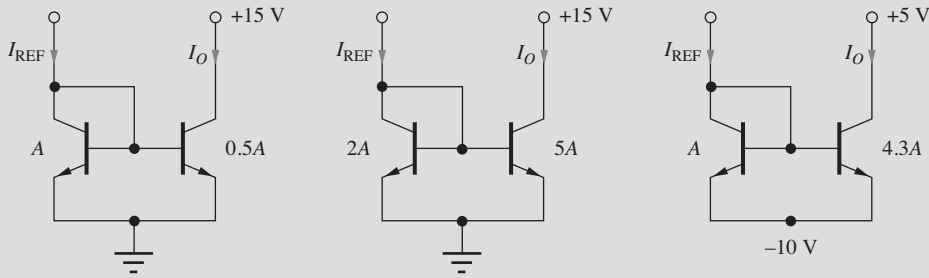
$$MR = \frac{n}{1 + \frac{n}{\beta_{FO}}} \quad \text{con } n = \frac{A_{E2}}{A_{E1}} \quad (16.14)$$

Supponiamo, per esempio, $A_{E2}/A_{E1} = 10$ e $\beta_{FO} = 100$; l'Equazione (16.14) fornisce $MR = 9.01$. Dunque, anche trascurando l'effetto Early, otteniamo un errore significativo, pari al 10%, per il rapporto di riflessione. In generale la (16.14) mostra che per rapporti di riflessione elevati il termine di errore introdotto dal valore finito di β_F non può essere trascurato.

Figura 16.4
Specchio di corrente BJT in cui i due transistori hanno differenti aree di emettitore.



ESERCIZIO Si calcoli il rapporto di riflessione per i due specchi di corrente in figura, assumendo: (a) $V_A \rightarrow \infty$ e $\beta_{FO} \rightarrow \infty$, (b) $V_A \rightarrow \infty$ e $\beta_{FO} = 75$, (c) $V_A = 60$ V, $\beta_{FO} = 75$ e $V_{BE} = 0.7$ V.



RISPOSTE 0.500, 2.50, 4.30; 0.490, 2.39, 4.02; 0.606, 2.95, 4.30.

16.2.5 Generatori di corrente multipli

Nei circuiti integrati analogici è spesso necessario utilizzare numerosi generatori di corrente per polarizzare i vari stadi di cui è composto il circuito. La Figura 16.5 mostra come sia possibile realizzare generatori di corrente multipli utilizzando un singolo generatore di riferimento I_{REF} . Il principio di funzionamento dei circuiti di Figura 16.5 è simile a quello dello specchio di corrente che abbiamo studiato poc'anzi. Nel circuito di Figura 16.5(a), per esempio, la corrente di riferimento pilota **un transistor connesso "a diodo"**, in questo caso il MOSFET M_1 , definendo in questo modo una opportuna differenza di potenziale V_{GS} fra i terminali di gate e source del dispositivo. I transistori da M_2 a M_5 , caratterizzati da valori W/L opportunamente rapportati a quello del transistor di riferimento M_1 , sono polarizzati con il medesimo valore di V_{GS} imposto da M_1 , ed erogano le correnti di uscita da I_{O2} a I_{O5} . Si noti che un singolo transistor di riferimento M_1 può pilotare numerosi transistori di uscita, dato che la corrente di gate assorbita dai MOS di uscita è nulla.

ESERCIZIO Si calcolino i valori delle quattro correnti di uscita per il circuito mostrato in Figura 16.5(a), assumendo $I_{REF} = 100$ μ A e $\lambda = 0$ per tutti i MOSFET.

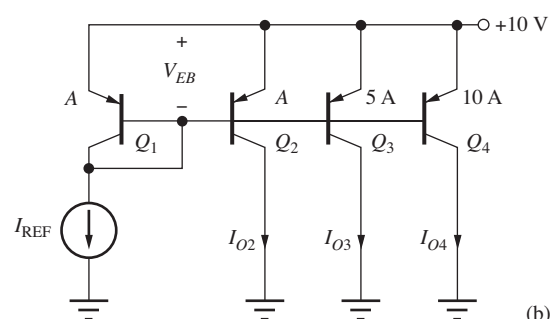
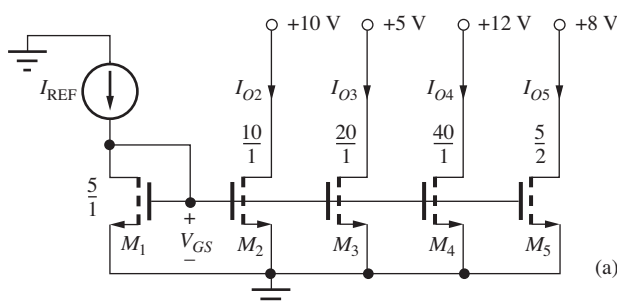
RISPOSTE 200 μ A, 400 μ A, 800 μ A, 50.0 μ A.

ESERCIZIO Si calcolino i valori delle quattro correnti di uscita per il circuito mostrato in Figura 16.5(a), assumendo $I_{REF} = 100$ μ A e $\lambda = 0.02$ V^{-1} per tutti i MOSFET. Si assuma inoltre $V_{GS} = 2$ V.

RISPOSTE 231 μ A, 423 μ A, 954 μ A, 55.8 μ A.

Figura 16.5

(a) Generatore di corrente multiplo in tecnologia MOS.
(b) Generatore di corrente multiplo in tecnologia bipolare.



Il generatore di corrente multiplo in tecnologia bipolare di Figura 16.5(b) opera in modo analogo al circuito MOS. Anche in questo caso, infatti, la corrente di riferimento pilota il transistore Q_1 connesso a diodo, definendo in questo modo un'opportuna differenza di potenziale V_{EB} fra i terminali di emettitore e di base. I transistori di uscita da Q_2 a Q_5 , caratterizzati da aree di emettitore opportunamente rapportate a quella del transistore di riferimento Q_1 , sono tutti polarizzati con il medesimo valore di V_{EB} ed erogano le correnti di uscita da I_{O2} a I_{O5} . In questo caso, a differenza del circuito MOS, la corrente totale di base assorbita dai transistori aumenta al crescere del numero di dispositivi, dando luogo a sensibili errori per il valore del rapporto di riflessione.

L'espressione per le correnti di uscita del circuito di Figura 16.5(b) possono essere ricavate utilizzando un procedimento analogo a quello che ci ha portato all'Equazione (16.13):

$$I_{Oi} = n_i I_{REF} \frac{1 + \frac{V_{ECi}}{V_A}}{1 + \frac{V_{EB}}{V_A} + \frac{1 + \sum_{i=2}^m n_i}{\beta_{FO}}} \quad \text{dove } n_i = \frac{A_{Ei}}{A_{E1}} \quad (16.15)$$

ESERCIZIO (a) Si calcolino i valori delle tre correnti di uscita per il circuito in Figura 16.5(b), assumendo $I_{REF} = 10 \mu\text{A}$, $\beta_{FO} = 50$ e $V_A \rightarrow \infty$ per tutti i BJT. (b) Si ripeta il punto (a) assumendo $V_A = 50 \text{ V}$ e $V_{EB} = 0.7 \text{ V}$ e utilizzando l'Equazione (16.15).

RISPOSTE $7.46 \mu\text{A}$, $37.3 \mu\text{A}$, $74.6 \mu\text{A}$; $8.86 \mu\text{A}$, $44.3 \mu\text{A}$, $88.6 \mu\text{A}$.

16.2.6 Specchio di corrente con buffer

L'errore nel rapporto di riflessione introdotto dal valore finito di β_F diviene inaccettabile quando si realizzano specchi di corrente bipolari con rapporti di riflessione molto elevati oppure generatori di corrente con numerose uscite. In questi casi viene spesso utilizzato il circuito di Figura 16.6, denominato **specchio di corrente con buffer** (*buffered current mirror*). Il transistore Q_3 viene inserito in modo da ridurre la differenza fra la corrente di riferimento I_{REF} e la corrente di collettore del transistore di riferimento Q_1 . Il valore di I_{C1} può essere calcolato applicando la legge di Kirchhoff al nodo cui è connesso il collettore di Q_1 e assumendo, per semplicità, $V_A \rightarrow \infty$:

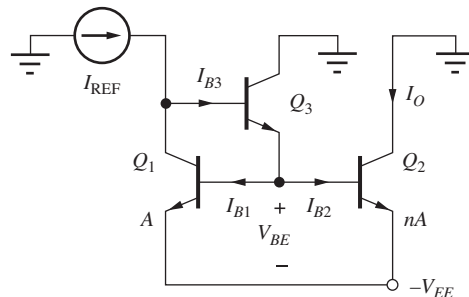
$$I_{C1} = I_{REF} - I_{B3} = I_{REF} - \frac{(1+n) \frac{I_{C1}}{\beta_{FO1}}}{\beta_{FO3} + 1} \quad (16.16)$$

Utilizzando la (16.16) possiamo facilmente calcolare la corrente di uscita I_O :

$$I_O = n I_{C1} = n I_{REF} \frac{1}{1 + \frac{(1+n)}{\beta_{FO1}(\beta_{FO3} + 1)}} \quad (16.17)$$

Si noti che il termine di errore, a denominatore della (16.17), si è ridotto di un fattore $(\beta_{FO} + 1)$ rispetto all'Equazione (16.13).

Figura 16.6
Specchio di corrente con buffer.



ESERCIZIO (a) Si calcolino il rapporto di riflessione e l'errore percentuale del rapporto di riflessione rispetto al valore nominale per lo specchio di corrente con buffer di Figura 16.6, assumendo $n = 10$, $\beta_{FO} = 50$ e $V_A \rightarrow \infty$ per tutti i BJT. (b) Si calcoli il valore di V_{CE2} necessario per avere $I_O = I_{REF}$, assumendo $\beta_{FO} \rightarrow \infty$.

RISPOSTE 9.96, 0.430%; 1.4 V.

16.2.7 Resistenza di uscita dello specchio di corrente

Per il calcolo della resistenza di uscita dello specchio di corrente facciamo riferimento al circuito AC di Figura 16.7. Il transistor Q_1 connesso a diodo è un bipolo il cui circuito equivalente per piccoli segnali è riportato in Figura 16.8; dall'analisi del circuito equivalente otteniamo:

$$i = g_\pi v + g_m v + g_o v = (g_m + g_\pi + g_o) v \quad (16.18)$$

La conduttanza del transistor connesso a diodo è quindi data da:

$$g_D = \frac{i}{v} = g_m \left[1 + \frac{1}{\beta_o} + \frac{1}{\mu_f} \right] \approx g_m \quad \text{e} \quad r_D \approx \frac{1}{g_m} \quad (16.19)$$

in cui la relazione approssimata è stata ottenuta ipotizzando $\beta_o \gg 1$ e $\mu_f \gg 1$; si noti che il modello per piccoli segnali del transistor connesso a diodo è semplicemente un resistore di valore $1/g_m$. Il risultato trovato è lo stesso ricavato per la resistenza di piccolo segnale r_d di un diodo.

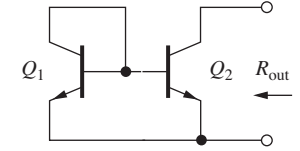
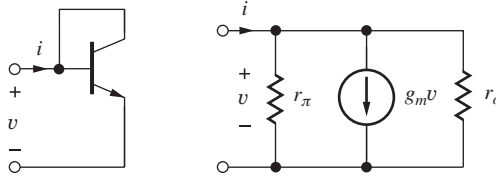


Figura 16.7

Circuito AC per il calcolo della resistenza di uscita dello specchio di corrente bipolare.

Figura 16.8

Modello per piccoli segnali per un transistor bipolare connesso a diodo.

Utilizzando il modello per piccoli segnali del transistor connesso a diodo, il circuito equivalente dello specchio di corrente diviene quello riportato in Figura 16.9. Il transistor Q_2 è connesso in configurazione a emettitore comune con una resistenza $R_{th} = 1/g_m$ fra base ed emettitore; la resistenza di uscita del circuito è quindi pari alla resistenza differenziale di uscita r_{o2} del transistor Q_2 .

L'equazione che descrive il modello per piccoli segnali di un MOSFET connesso "a diodo", con il terminale di gate collegato al drain, è simile alla (16.19), a parte il fatto che il guadagno di corrente è infinito. Pertanto il modello per piccoli segnali di un MOS connesso a diodo è anch'esso costituito da un resistore di valore $1/g_m$, e la resistenza di uscita dello specchio di corrente MOS è pari alla r_{o2} del transistor di uscita M_2 (si veda la Figura 16.10).

In conclusione, per lo specchio di corrente la resistenza di uscita e il fattore di merito ($V_{CS} = I_O R_{out}$) dipendono dalle caratteristiche del transistor di uscita, sia nella versione bipolare che in quella MOS:

$$R_{out} = r_{o2} \quad \text{e} \quad V_{CS} \approx V_{A2} \quad \text{oppure} \quad V_{CS} = \frac{1}{\lambda_2} \quad (16.20)$$

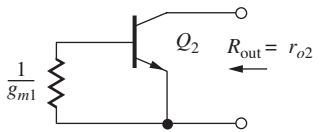
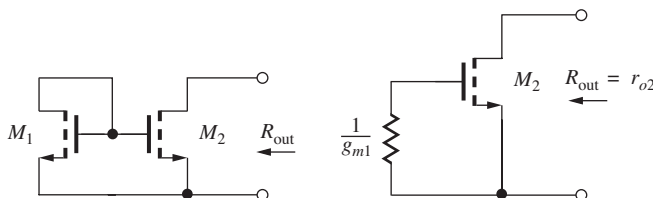


Figura 16.9

Modello semplificato per piccoli segnali per lo specchio di corrente bipolare.

Figura 16.10

Resistenza di uscita dello specchio di corrente MOS.

ESERCIZIO (a) Si calcolino le resistenze di uscita dei generatori I_{O2} e I_{O3} in Figura 16.5(a) assumendo $I_{REF} = 100 \mu A$, $\beta_F = 100$ e $V_A = 1/\lambda = 50 V$. (b) Si calcolino le resistenze di uscita dei generatori I_{O2} e I_{O3} in Figura 16.5(b) assumendo $I_{REF} = 10 \mu A$, $\beta_F = 100$ e $V_A = 1/\lambda = 50 V$.

RISPOSTE 260 k Ω , 130 k Ω ; 5.94 M Ω , 1.19 M Ω .

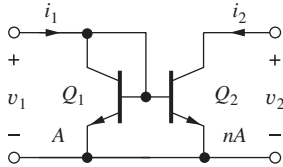


Figura 16.11
Rappresentazione dello
specchio di corrente mediante
doppio bipolo.

16.2.8 Modello a doppio bipolo dello specchio di corrente

Lo specchio di corrente viene adoperato non solo per polarizzare i circuiti integrati, ma anche come elemento di carico negli amplificatori; l'utilizzo di *carichi attivi* può infatti migliorare significativamente le prestazioni degli amplificatori come vedremo nei prossimi paragrafi. È quindi importante studiare il comportamento per piccoli segnali dello specchio di corrente, rappresentato in Figura 16.11 come un doppio bipolo.

Il circuito equivalente per piccoli segnali è riportato in Figura 16.12, in cui il transistor Q_1 connesso a diodo è rappresentato dal resistore $1/g_{m1}$. Dall'analisi del circuito equivalente si ricava:

$$\begin{aligned} R_{in} &= \left. \frac{v_1}{i_1} \right|_{v_2=0} = \frac{1}{(g_{m1} + g_{\pi 2})} = \frac{1}{g_{m1} \left(1 + \frac{n}{\beta_{o2}} \right)} \approx \frac{1}{g_{m1}} \\ \beta &= \left. \frac{i_2}{i_1} \right|_{v_2=0} = \frac{g_{m2} r_{\pi 2}}{1 + g_{m1} r_{\pi 2}} = \frac{\beta_{o2}}{1 + \frac{g_{m1}}{g_{m2}} \beta_{o2}} \approx \frac{g_{m2}}{g_{m1}} \approx \frac{I_{C2}}{I_{C1}} = n \\ R_{out} &= \left. \frac{v_2}{i_2} \right|_{i_1=0} = r_{o2} \end{aligned} \quad (16.21)$$

La Figura 16.12(b) mostra la rappresentazione semplificata a doppio bipolo dello specchio di corrente, basata sui parametri h calcolati nell'Equazione (16.21). La resistenza di ingresso del circuito è determinata dal transistor connesso a diodo ed è pari a $1/g_{m1}$, mentre la resistenza di uscita è pari alla r_{o2} del transistor Q_2 . Il guadagno di corrente è determinato approssimativamente dal rapporto delle aree di emettitore dei due dispositivi: $n = A_{E2}/A_{E1}$. Si faccia attenzione a utilizzare i valori corretti di I_{C1} e di I_{C2} nel calcolo dei valori dei parametri per piccoli segnali dei due dispositivi.

L'analisi dello specchio di corrente MOS fornisce risultati simili; i valori dei parametri a piccoli segnali possono essere ottenuti semplicemente ponendo $\beta_{o2} \rightarrow \infty$ nell'Equazione (16.21):

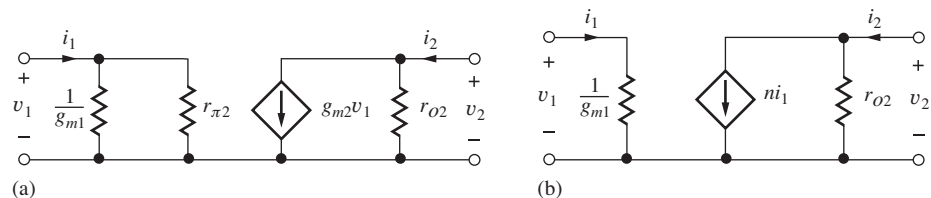
$$R_{in} = \frac{1}{g_{m1}} \quad \beta = \frac{g_{m2}}{g_{m1}} \approx \frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} \approx n \quad R_{out} = r_{o2} \quad (16.22)$$

In questo caso il guadagno di corrente è determinato dai rapporti W/L dei due MOSFET.

ESERCIZIO Si calcolino i valori di I_{C1} e di I_{C2} e i parametri per piccoli segnali per lo specchio di corrente in Figura 16.4, assumendo $I_{REF} = 100 \mu A$, $\beta_{FO} = 50$, $V_A = 50 V$, $V_{BE} = 0.7 V$, $V_{CE2} = 10 V$ e $n = 5$.

RISPOSTE 89.4 μA , 529 μA , 280 Ω , 0, 5.92, 113 k Ω .

Figura 16.12
(a) Modello per piccoli segnali
dello specchio di corrente.
(b) Modello semplificato per
piccoli segnali dello specchio
di corrente.



CALCOLO DEI PARAMETRI DEL MODELLO A DOPPIO BIPOLO DI UNO SPECCHIO DI CORRENTE UTILIZZANDO SPICE

Esempio 16.3

Si utilizzi SPICE per ottenere i parametri del modello a doppio bipolo di uno specchio di corrente bipolare, polarizzato con una corrente di $100\ \mu\text{A}$ e con una tensione di alimentazione di $10\ \text{V}$.

PROBLEMA

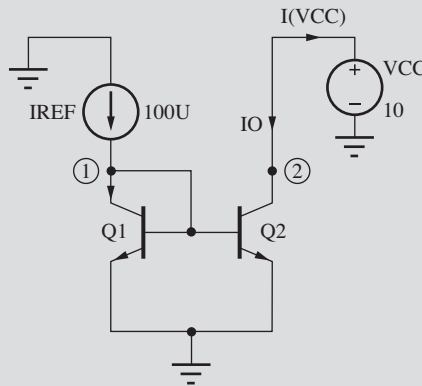
Informazioni e dati noti: Specchio di corrente con transistori bipolari, $I_{\text{REF}} = 100\ \mu\text{A}$ e $V_{\text{CC}} = 10\ \text{V}$.

SOLUZIONE

Incognite: Corrente di uscita I_O , V_{BE} , i parametri R_{in} , β , R_{out} del modello a doppio bipolo dello specchio di corrente.

Approccio: Si disegni il circuito utilizzando lo schematic editor di SPICE. Eseguire un'analisi TF per determinare la caratteristica di trasferimento diretta da I_{REF} a $I(V_{\text{CC}})$ e la funzione di trasferimento inversa da V_{CC} al nodo 1 (si veda la figura seguente). La simulazione della funzione di trasferimento in SPICE calcola tre valori: la funzione di trasferimento richiesta, la resistenza equivalente vista dal nodo d'ingresso e la resistenza equivalente vista dal nodo d'uscita. In questo caso particolare, poiché il nodo di uscita è collegato alla V_{CC} , la resistenza equivalente calcolata a questo nodo sarà nulla; sarà pertanto necessario effettuare un'ulteriore simulazione per ottenere tutti i parametri del modello a doppio bipolo.

Ipotesi: Si utilizza uno specchio di corrente con una singola tensione di alimentazione positiva V_{CC} , polarizzato con un generatore di corrente I_{REF} , come mostra la figura seguente. $V_A = 50\ \text{V}$, $\beta_{\text{FO}} = 100$, $I_S = 0.1\ \text{fA}$.



Analisi: Dobbiamo anzitutto definire i parametri dei dispositivi: $\text{BF} = 100$, $\text{VAF} = 50$ e $I_S = 0.1\text{f}$. La simulazione del punto di lavoro del circuito fornisce $V(1) = 0.719\ \text{V}$ e $I_O = 116\ \mu\text{A}$. Una prima simulazione di caratteristica di trasferimento, dalla sorgente di ingresso I_{REF} all'uscita $I(V_{\text{CC}})$, fornisce una resistenza d'ingresso $R_{\text{in}} = 259\ \Omega$ e un guadagno di corrente $\beta = +1.16$. La seconda simulazione di caratteristica di trasferimento, dal generatore di tensione V_{CC} al nodo 1, fornisce: $R_{\text{out}} = 510\ \text{k}\Omega$.

Controllo dei risultati: Utilizzando l'Equazione (16.21) e i valori del punto di lavoro, si ha:

$$R_{\text{in}} = 250\ \Omega \quad \beta = +1.16 \quad R_{\text{out}} = 517\ \text{k}\Omega$$

L'accordo fra modello analitico e simulazione SPICE è molto buono.

Discussione: È sempre molto istruttivo cercare di individuare le cause di possibili discrepanze fra i risultati teorici e le simulazioni SPICE. In quest'esempio, le differenze per la resistenza d'ingresso possono essere attribuite al valore utilizzato per $V_T = 25.9\ \text{mV}$. Bisogna fare attenzione al segno di β : SPICE fornisce un valore negativo a causa della convenzione assunta per il verso positivo della corrente $I(V_{\text{CC}})$.

Infine, il modello SPICE utilizza: $r_o = (V_A + V_{\text{CB}})/I_C = 511\ \text{k}\Omega$ e ciò spiega la piccola differenza per il valore di R_{out} .

ESERCIZIO Si calcolino con SPICE i parametri del modello a doppio bipolo di uno specchio di corrente MOS, polarizzato con una corrente di riferimento di 100 μA e con una tensione di alimentazione di 10 V. Si assuma $K_n = 1 \text{ mA/V}^2$, $V_{TN} = 0.75 \text{ V}$ e $\lambda = 0.02 \text{ V}^{-1}$.

RISPOSTE $I_O = 117 \mu\text{A}$, $V_{GS} = 1.19 \text{ V}$; 220 Ω , 1.17, 512 k Ω .

ESERCIZIO Confrontare i risultati dell'esercizio precedente con i calcoli teorici.

RISPOSTE $I_O = 117 \mu\text{A}$, $V_{GS} = 1.20 \text{ V}$; 224 Ω , 1.17, 513 k Ω .

16.2.9 Il generatore di corrente di Widlar²

La Figura 16.13 mostra lo schema del **generatore di corrente di Widlar**.² In questo circuito la differenza fra le tensioni base-emettitore dei due transistori Q_1 e Q_2 appare ai capi della resistenza R e determina il valore della corrente di uscita I_O . Il transistore Q_3 in Figura 16.13(b) viene utilizzato come buffer per minimizzare l'effetto del guadagno finito di corrente dei transistori bipolari.

Il valore della corrente di uscita può essere calcolato utilizzando le espressioni per le tensioni base-emettitore dei due transistori. Assumendo $\beta_F \rightarrow \infty$ si ottiene:

$$V_{BE1} = V_T \ln \left(1 + \frac{I_{REF}}{I_{S1}} \right) \approx V_T \ln \frac{I_{REF}}{I_{S1}} \quad (16.23)$$

e:

$$V_{BE2} = V_T \ln \left(1 + \frac{I_O}{I_{S2}} \right) \approx V_T \ln \frac{I_O}{I_{S2}}$$

La corrente nel resistore R è data da:

$$I_{E2} = \frac{V_{BE1} - V_{BE2}}{R} = \frac{V_T}{R} \ln \left(\frac{I_{REF}}{I_O} \frac{I_{S2}}{I_{S1}} \right) \quad (16.24)$$

Se i transistori hanno le medesime caratteristiche, $I_{S1} = (A_{E1}/A)I_{SO}$ e $I_{S2} = (A_{E2}/A)I_{SO}$ e l'Equazione (16.24) fornisce:

$$I_O = \alpha_F I_{E2} \approx \frac{V_T}{R} \ln \left(\frac{I_{REF}}{I_O} \frac{A_{E2}}{A_{E1}} \right) \quad (16.25)$$

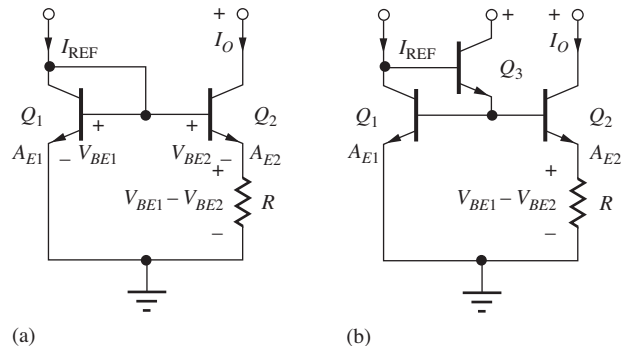
Se I_{REF} , R e il rapporto fra le aree di emettitore dei due transistori sono parametri noti, la (16.25) rappresenta un'equazione trascendente che risolta fornisce il valore di I_O ; la soluzione può essere ottenuta mediante un metodo iterativo o con il metodo di Newton.

Resistenza di uscita del generatore di corrente di Widlar

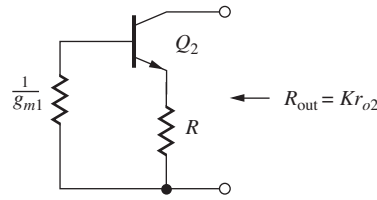
Il circuito equivalente AC del generatore di corrente di Widlar di Figura 16.13(a) è riportato in Figura 16.14, e consiste in un transistore in configurazione a emettitore comune, con una resistenza R in serie all'emettitore e una seconda resistenza $R_{th} = 1/g_m$ che rappresenta il

Figura 16.13

(a) Il generatore di corrente di Widlar. (b) Il generatore di corrente di Widlar con buffer.



² Robert Widlar è stato un progettista analogico molto famoso che ha contribuito in modo significativo al mondo della progettazione con soluzioni circuitali molto innovative (come esempio si rimanda alle referenze [2] e [3]).

**Figura 16.14**

Resistenza di uscita del generatore di corrente di Widlar.

$$K = 1 + \ln[(I_{REF}/I_{C2})(A_{E2}/A_{E1})]$$

transistore Q_1 . Nel funzionamento normale del circuito, la differenza di potenziale ai capi del resistore R è usualmente piccola ($\leq 10V_T$). La resistenza di uscita del generatore di corrente può essere approssimata come segue:

$$R_{out} \approx r_{o2}[1 + g_{m2}R] = r_{o2} \left[1 + \frac{I_O R}{V_T} \right] \quad (16.26)$$

in cui il termine $I_O R$ può essere ottenuto dalla (16.25):

$$R_{out} \approx r_{o2} \left[1 + \ln \left(\frac{I_{REF}}{I_O} \frac{A_{E2}}{A_{E1}} \right) \right] = K r_{o2} \quad \text{e} \quad V_{CS} \approx K V_{A2} \quad (16.27)$$

dove:

$$K = 1 + \ln \left(\frac{I_{REF}}{I_O} \frac{A_{E2}}{A_{E1}} \right)$$

Normalmente risulta $1 < K < 10$.

ESERCIZIO Si calcoli il valore di R necessario per ottenere $I_O = 25 \mu\text{A}$, con $I_{REF} = 100 \mu\text{A}$ e $A_{E2}/A_{E1} = 5$. Quali sono i valori della resistenza di uscita e del fattore K nell'Equazione (16.27), se $V_A + V_{CE} = 75 \text{ V}$?

RISPOSTE 3 k Ω ; 12 M Ω , 4.

ESERCIZIO Si calcoli la corrente di uscita del generatore di corrente di Widlar, assumendo $I_{REF} = 100 \mu\text{A}$, $R = 100 \Omega$ e $A_{E2} = 10A_{E1}$. Quali sono i valori della resistenza di uscita e del fattore K nell'Equazione (16.27), se $V_A + V_{CE} = 75 \text{ V}$?

RISPOSTE 301 μA ; 551 k Ω , 2.20.

16.2.10 Il generatore di corrente di Widlar MOS

La Figura 16.15 mostra la versione MOS del generatore di corrente di Widlar. In questo circuito la differenza fra le tensioni gate-source dei transistori M_1 e M_2 appare ai capi della resistenza R , e I_O può essere espresso come:

$$I_O = \frac{V_{GS1} - V_{GS2}}{R} = \frac{\sqrt{\frac{2I_{REF}}{K_{n1}}} - \sqrt{\frac{2I_O}{K_{n2}}}}{R} \quad (16.28)$$

ovvero:

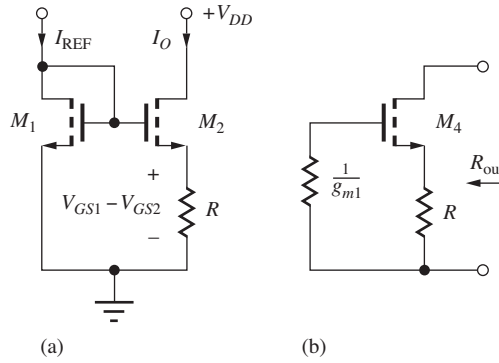
$$I_O = \frac{1}{R} \sqrt{\frac{2I_{REF}}{K_{n1}}} \left(1 - \sqrt{\frac{I_O}{I_{REF}} \frac{(W/L)_1}{(W/L)_2}} \right) \quad (16.29)$$

Se è noto il valore di I_O l'Equazione (16.28) può essere utilizzata per calcolare I_{REF} . Se sono noti i valori di I_{REF} , R e dei rapporti W/L si può utilizzare l'Equazione (16.29) per ottenere un'equazione di secondo grado nell'incognita $\sqrt{I_O/I_{REF}}$

$$\left(\sqrt{\frac{I_O}{I_{REF}}} \right)^2 + \frac{1}{R} \sqrt{\frac{2}{K_{n1} I_{REF}}} \sqrt{\frac{(W/L)_1}{(W/L)_2}} \left(\sqrt{\frac{I_O}{I_{REF}}} \right) - \frac{1}{R} \sqrt{\frac{2}{K_{n1} I_{REF}}} = 0 \quad (16.30)$$

Figura 16.15

(a) Generatore di corrente di Widlar con transistori MOS.
(b) Modello per piccoli segnali.



Resistenza di uscita del generatore di corrente di Widlar MOS

Dalla Figura 16.15(b), il modello per piccoli segnali del generatore di corrente di Widlar MOS consiste in uno stadio a source comune, con una resistenza R in serie al source. Pertanto, la resistenza di uscita può essere espressa come:

$$R_{out} = r_{o2}(1 + g_{m2}R) \approx \mu_{f2}R \quad (16.31)$$

ESERCIZIO Si calcoli la corrente di uscita del generatore di corrente di Widlar di Figura 16.15(a) assumendo $I_{REF} = 200 \mu A$, $R = 2 k\Omega$ e $K_{n2} = 10K_{n1} = 250 \mu A/V^2$. Qual è il valore della resistenza di uscita, se $\lambda = 0.02 V^{-1}$ e $V_{DS} = 10 V$?

RISPOSTE 764 μA ; 176 $k\Omega$.



ELETTRONICA IN AZIONE

Generatore di tensione proporzionale alla temperatura assoluta

La tensione ai capi del resistore R in Figura 16.13 rappresenta una quantità estremamente utile in numerose applicazioni, poiché è direttamente proporzionale alla temperatura assoluta (PTAT, *Proportio-*

nal To Absolute Temperature). La V_{PTAT} è data dalla differenza fra le due tensioni base-emettitore descritte dalla Equazione (16.23):

$$V_{PTAT} = V_{BE1} - V_{BE2} = V_T \ln \left(\frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \right) = \frac{kT}{q} \ln \left(\frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \right)$$

La variazione di V_{PTAT} con la temperatura è data da:

$$\frac{\partial V_{PTAT}}{\partial T} = + \frac{k}{q} \ln \left(\frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \right) = + \frac{V_{PTAT}}{T}$$

Per esempio, supponiamo $T = 300 K$, $I_{C1} = I_{C2}$ e $A_{E2} = 10A_{E1}$. Risulta: $V_{PTAT} = 59.6 mV$, con un coefficiente di temperatura leggermente inferiore a $0.2 mV/K$.

La V_{PTAT} del generatore di Widlar, combinata con un convertitore analogico-digitale, viene utilizzata in tutti i termometri elettronici a elevata precisione.

Termometro digitale basato sul generatore PTAT

La tensione PTAT viene utilizzata in molti termometri digitali, come mostra il diagramma a blocchi mostrato di seguito.

L'uscita del generatore PTAT viene amplificata e traslata per ottenere una tensione che rappresenta direttamente la temperatura in gradi Celsius o

Fahrenheit. Questa tensione viene convertita in digitale da un convertitore A/D e inviata a un display LCD alfanumerico. Le operazioni di amplificazione e traslazione possono essere anche realizzate in digitale, dopo la conversione A/D.

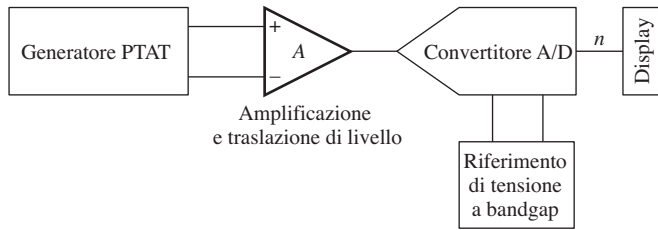


Diagramma a blocchi di un termometro digitale.

Termometro sviluppato all'Università di Auburn.
[© Auburn University, Cortesia di Richard Jaeger].

16.3 Specchi di corrente a elevata resistenza di uscita

Negli amplificatori differenziali è necessario utilizzare generatori di corrente con elevata impedenza di uscita per migliorare il rapporto di reiezione del modo comune. Gli specchi di corrente che abbiamo studiato nel paragrafo precedente sono caratterizzati da una figura di merito V_{CS} pari a V_A o a $1/\lambda$, mentre la V_{CS} del generatore di corrente di Widlar è pari a KV_A o a K/λ , con K generalmente inferiore a 10. In questo paragrafo continueremo il nostro studio degli specchi di corrente analizzando due circuiti, il generatore di corrente di Wilson e il generatore di corrente cascode, che consentono di ottenere valori di V_{CS} molto maggiori, dell'ordine di $\beta_0 V_A$ o μ_f/λ .

16.3.1 Il generatore di corrente di Wilson

Il **generatore di corrente di Wilson** [4], il cui schema è mostrato nella Figura 16.16, utilizza lo stesso numero di transistori dello specchio di corrente con buffer ma consente di ottenere resistenze di uscita di valore molto più elevato. La corrente di uscita è prelevata dal drain di M_3 , mentre M_1 e M_2 formano uno specchio di corrente. Nel normale funzionamento del circuito, tutti e tre i MOSFET sono in regione di saturazione. Poiché la corrente di gate di M_3 è nulla, I_{D2} deve essere uguale alla corrente di riferimento I_{REF} ; se i tre transistori hanno lo stesso rapporto W/L , risulta:

$$V_{GS3} = V_{GS1} = V_{GS} \quad \text{poiché} \quad I_{D3} = I_{D1}$$

Lo specchio di corrente impone la seguente relazione fra le correnti di drain di M_1 e di M_2 :

$$I_{D2} = I_{D1} \frac{1 + 2\lambda V_{GS}}{1 + \lambda V_{GS}}$$

Poiché $I_O = I_{D3}$ e $I_{D3} = I_{D1}$, la corrente di uscita è data da:

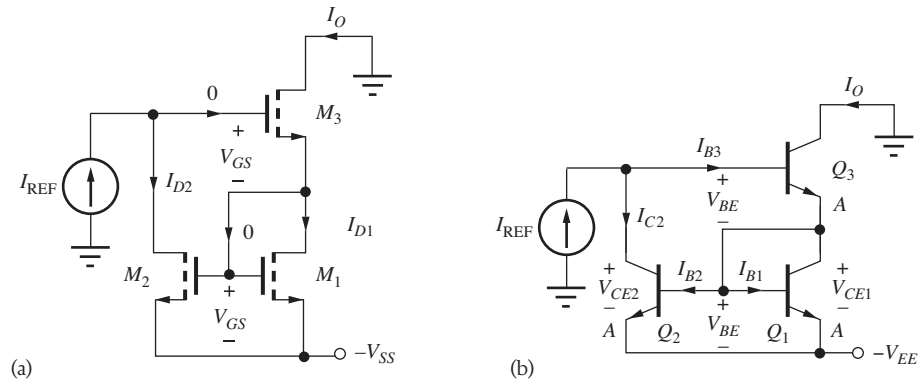
$$I_O = I_{REF} \frac{1 + \lambda V_{GS}}{1 + 2\lambda V_{GS}} \quad \text{dove} \quad V_{GS} \approx V_{TN} + \sqrt{\frac{2I_{REF}}{K_n}} \quad (16.32)$$

Per piccoli valori di λ , $I_O \approx I_{REF}$; per esempio, per $\lambda = 0.02 \text{ V}^{-1}$ e $V_{GS} = 2 \text{ V}$ i valori di I_O e di I_{REF} differiscono del 3.7%.

Il generatore di corrente di Wilson fu originariamente sviluppato considerando una realizzazione con transistori bipolari, mostrata in Figura 16.16(b). Il circuito opera in modo analogo alla versione MOS; l'unica differenza è data dalla presenza della corrente I_{B3} che fluisce nella base di Q_3 e dall'errore di riflessione, dovuto al valore finito di β_F nello specchio di corrente formato da Q_1 e Q_2 . Applicando la legge di Kirchhoff al nodo cui sono

Figura 16.16

(a) Generatore di corrente di Wilson con transistori MOS.
 (b) Generatore di corrente di Wilson con transistori bipolari.



collegati la base di Q_3 e il collettore di Q_2 si ricava $I_{REF} = I_{C2} + I_{B3}$, in cui I_{C2} e I_{B3} sono legati grazie allo specchio di corrente formato da Q_1 e Q_2 :

$$I_{C2} = \frac{1 + \frac{2V_{BE}}{V_A}}{1 + \frac{V_{BE}}{V_A} + \frac{2}{\beta_{FO}}} I_{E3} = \frac{1 + \frac{2V_{BE}}{V_A}}{1 + \frac{V_{BE}}{V_A} + \frac{2}{\beta_{FO}}} (\beta_{FO} + 1) I_{B3} \quad (16.33)$$

Si noti in Figura 16.16(b) che $V_{CE1} = V_{BE}$ mentre $V_{CE2} = 2 V_{BE}$.

Risolvendo direttamente in $I_{C3} = \beta_F I_{B3}$ si ottiene un'espressione molto complicata per la corrente di uscita.

Assumendo che i termini di errore siano piccoli, è possibile semplificare tale espressione, pervenendo alla seguente relazione:

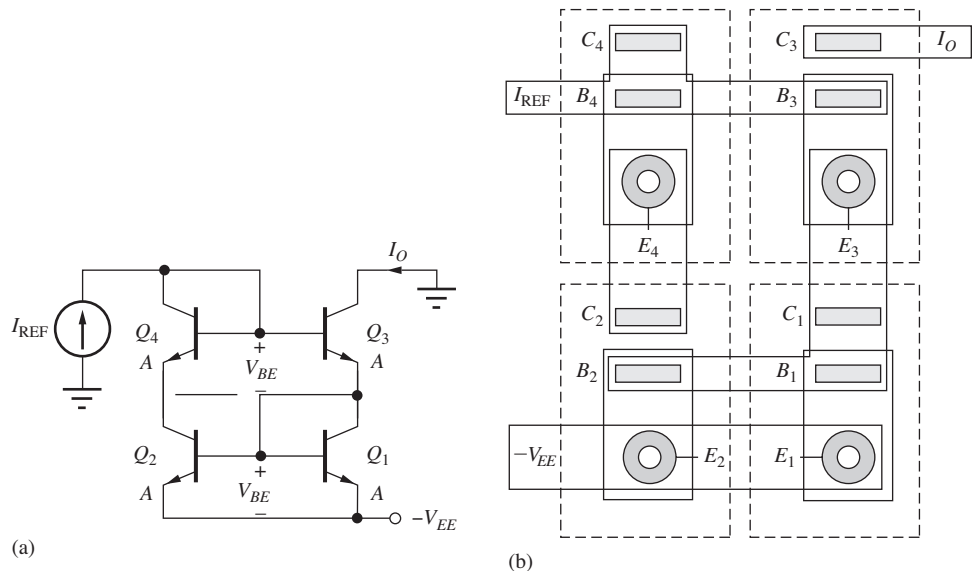
$$I_O \approx I_{REF} \frac{1 + \frac{V_{BE}}{V_A}}{1 + \frac{2}{\beta_{FO}(\beta_{FO} + 2)} + \frac{2V_{BE}}{V_A}} \quad (16.34)$$

Per $\beta_{FO} = 50$, $V_A = 60$ V e $V_{BE} = 0.7$ V il rapporto di riflessione vale 0.988. La fonte principale di errore è dovuta alla differenza fra le tensioni collettore-emettitore di Q_1 e Q_2 . L'errore introdotto dal valore finito di β introduce un errore nel rapporto di riflessione inferiore allo 0.1%.

L'errore dovuto alla differenza fra le V_{CE} di Q_1 e Q_2 (o le V_{DS} di M_1 e M_2) può essere sensibilmente ridotto aggiungendo un ulteriore transistor nel circuito del generatore di corrente, come mostrato in Figura 16.17.

Figura 16.17

(a) Generatore di corrente di Wilson con un ulteriore transistor per bilanciare le tensioni collettore-emettitore.
 (b) Layout del generatore di Wilson.



Il transistor Q_4 consente di bilanciare le tensioni collettore-emettitore di Q_1 e di Q_2 :

$$V_{CE2} = V_{BE1} + V_{BE3} - V_{BE4} \approx V_{BE}$$

I quattro transistori operano approssimativamente con lo stesso valore di corrente di collettore, e i valori di V_{BE} sono uguali se i dispositivi hanno identiche caratteristiche e hanno inoltre la medesima area di emettitore.

ESERCIZIO Si disegni lo schema di un generatore di corrente di Wilson con dispositivi MOS, aggiungendo un transistore al circuito di Figura 16.16(a).

16.3.2 Resistenza di uscita del generatore di corrente di Wilson

Il vantaggio principale del generatore di corrente di Wilson rispetto ai circuiti studiati nel paragrafo precedente è dato dall'elevato valore della resistenza di uscita. La Figura 16.18 mostra il circuito equivalente per piccoli segnali del generatore di corrente di Wilson in tecnologia MOS. Il generatore di prova i_x viene utilizzato per determinare la resistenza di uscita del circuito, mentre lo specchio di corrente formato da M_1 e M_2 è rappresentato dal doppio bipolo equivalente, assumendo $n = 1$. La tensione v_x è data dalla relazione seguente:

$$v_x = v_3 + v_1 = [i_x - g_{m3}v_{gs}]r_{o3} + v_1 \quad (16.35)$$

in cui

$$v_{gs} = v_2 - v_1 \quad \text{con} \quad v_1 = \frac{i_x}{g_{m1}} \quad \text{e} \quad v_2 = -\mu_{f2}v_1$$

Combinando queste equazioni e ricordando che $g_{m1} = g_{m2}$ per $n = 1$, si ha:

$$R_{\text{out}} = \frac{v_x}{i_x} = r_{o3} \left[\mu_{f2} + 2 + \frac{1}{\mu_{f2}} \right] \approx \mu_{f2}r_{o3} \quad (16.36)$$

e

$$V_{CS} = I_{D3}\mu_{f2} \frac{1 + \lambda_3 V_{DS3}}{\lambda_3 I_{D3}} \approx \frac{\mu_{f2}}{\lambda_3} \quad (16.37)$$

L'analisi del generatore di Wilson bipolare è più complicata, a causa del guadagno di corrente finito dei BJT; i risultati finali sono i seguenti:

$$R_{\text{out}} \approx \frac{\beta_{o3}r_{o3}}{2} \quad \text{e} \quad V_{CS} \approx \frac{\beta_o V_A}{2} \quad (16.38)$$

ESERCIZIO Si calcoli R_{out} per il generatore di corrente di Wilson in Figura 16.16(b), assumendo $\beta_F = 150$, $V_A = 50$ V, $V_{EE} = 15$ V e $I_O = I_{\text{REF}} = 50$ μ A. Quale sarebbe la resistenza di uscita di un semplice specchio di corrente a due transistori?

RISPOSTE 96.6 M Ω ; 1.30 M Ω .

ESERCIZIO Si utilizzi SPICE per valutare la corrente e la resistenza di uscita del generatore di Wilson dell'esercizio precedente.

RISPOSTE $I_O = 49.5$ μ A; 118 M Ω .

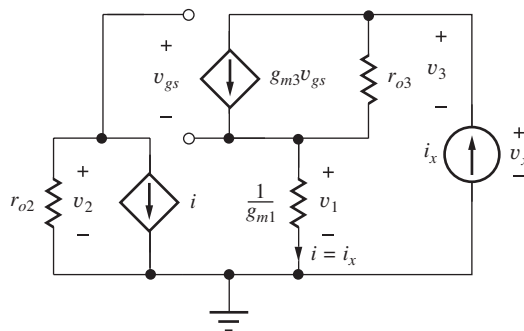


Figura 16.18

Circuito equivalente per piccoli segnali del generatore di corrente di Wilson in tecnologia MOS.

16.3.3 Il generatore di corrente cascode

La configurazione cascode (formata dalla cascata di uno stadio a emettitore comune seguito da uno a base comune) è caratterizzata da una resistenza di uscita molto elevata, pari a circa $\mu_f r_o$ per la configurazione FET e $\beta_o r_o$ per la versione a BJT. La Figura 16.19 mostra lo schema in tecnologia sia MOS che bipolare di un **generatore di corrente cascode**.

Nella versione MOS [Figura 16.19(a)] $I_{D1} = I_{D3} = I_{REF}$ e $I_O = I_{D4} = I_{D2}$, mentre lo specchio di corrente formato da M_1 e M_2 forza la corrente di uscita a essere approssimativamente uguale alla corrente di riferimento. Il transistor M_3 , connesso a diodo, fornisce una tensione di polarizzazione al gate di M_4 e bilancia i valori di V_{DS1} e di V_{DS2} . Infatti, se tutti i transistori sono uguali fra loro e hanno lo stesso valore di W/L , avranno anche la stessa V_{GS} , e quindi:

$$V_{DS2} = V_{GS1} + V_{GS3} - V_{GS4} = V_{GS} \quad \text{e} \quad V_{DS1} = V_{GS}$$

Pertanto, lo specchio di corrente formato da M_1 e M_2 è bilanciato perfettamente e $I_O = I_{REF}$.

Il generatore di corrente a BJT mostrato in Figura 16.19(b) opera in modo analogo. Per $\beta_F \rightarrow \infty$, $I_{REF} = I_{C3} = I_{C1}$, mentre lo specchio di corrente formato da Q_1 e Q_2 impone: $I_O = I_{C4} = I_{C2} = I_{C1} = I_{REF}$. Il transistor Q_3 , connesso a diodo, fornisce una tensione di polarizzazione alla base di Q_4 , necessaria per mantenere Q_2 in regione attiva diretta, e bilancia i valori di V_{CE1} e di V_{CE2} :

$$V_{CE2} = V_{BE1} + V_{BE3} - V_{BE4} = 2V_{BE} - V_{BE} = V_{BE} = V_{CE1}$$

16.3.4 Resistenza di uscita del generatore di corrente cascode

La Figura 16.20 mostra il circuito equivalente per piccoli segnali del generatore di corrente cascode in tecnologia MOS in cui lo specchio di corrente formato da M_1 e M_2 è rappresentato dal doppio bipolo equivalente. Poiché la corrente i è pari alla corrente di gate di M_4 , che è nulla, il circuito può essere semplificato a quello riportato a destra in Figura 16.20, che è uno stadio a source comune con un resistore r_{o2} in serie al source. La resistenza di uscita è dunque pari a:

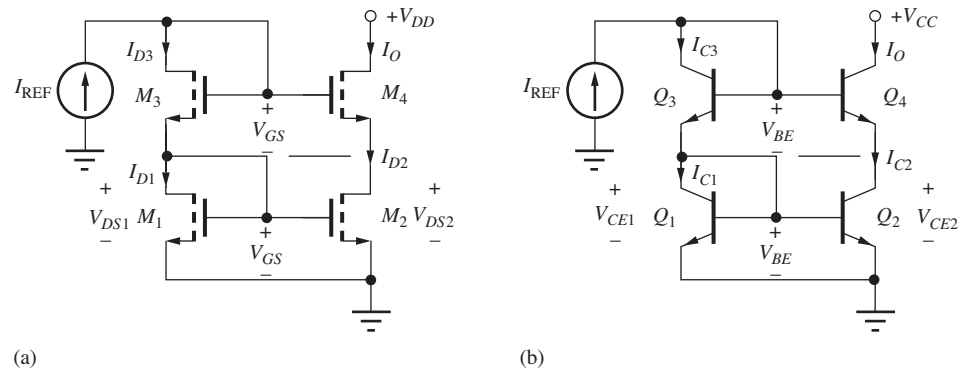
$$R_{out} = r_{o4}(1 + g_{m4}r_{o2}) \approx \mu_{f4}r_{o2} \quad \text{e} \quad V_{CS} \approx \frac{\mu_{f4}}{\lambda_2} \approx \frac{\mu_{f4}}{\lambda_4} \quad (16.39)$$

L'analisi del circuito equivalente per il generatore di corrente cascode in tecnologia BJT è complicata a causa del guadagno finito di corrente dei transistori bipolari. Dalla Figura 16.21 osserviamo che se la base del transistor Q_4 fosse collegata al riferimento di tensione, la resistenza di uscita sarebbe $\beta_o r_o$, esattamente uguale a quella dello stadio cascode. In effetti, la corrente di base i_b di Q_4 entra nello specchio di corrente, raddoppia la corrente di uscita e comporta pertanto una riduzione di un fattore due della resistenza di uscita del circuito:

$$R_{out} \approx \frac{\beta_{o4}r_{o4}}{2} \quad \text{e} \quad V_{CS} \approx \frac{\beta_{o4}V_{A4}}{2} \quad (16.40)$$

La derivazione rigorosa di queste relazioni è rimandata al Problema 16.39.

Figura 16.19
Generatore di corrente cascode: (a) realizzazione con MOS; (b) realizzazione con transistori bipolari.



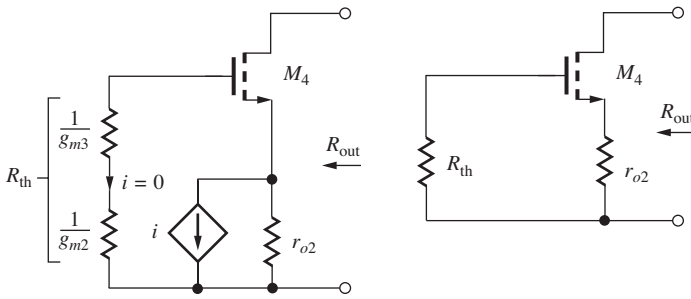


Figura 16.20 Circuito equivalente per piccoli segnali del generatore di corrente cascode in tecnologia MOS, in cui lo specchio di corrente formato da M_1 e M_2 è rappresentato dal doppio bipolo equivalente.

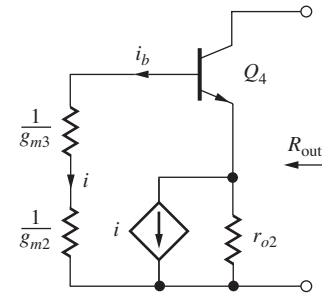


Figura 16.21 Circuito equivalente per piccoli segnali del generatore di corrente cascode a BJT.

ESERCIZIO Si calcoli R_{out} per il generatore di corrente cascode in Figura 16.19(a), assumendo $V_{DD} = 15$ V, $K_n = 250 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.8$ V, $\lambda = 0.015 \text{ V}^{-1}$ e $I_O = I_{REF} = 50 \mu\text{A}$. Quale sarebbe la resistenza di uscita di un semplice specchio di corrente a due transistori?

RISPOSTE 379 M Ω ; 1.63 M Ω (inclusendo tutti i termini λV_{DS}).

ESERCIZIO Si utilizzi SPICE per valutare la corrente e la resistenza di uscita del generatore cascode dell'esercizio precedente.

RISPOSTE $I_O = 50.0 \mu\text{A}$; 382 M Ω .

ESERCIZIO Si calcoli R_{out} per il generatore di corrente cascode in Figura 16.19(b), assumendo $V_{CC} = 15$ V, $\beta_o = 100$, $V_A = 67$ V e $I_O = I_{REF} = 50 \mu\text{A}$. Quale sarebbe la resistenza di uscita di un semplice specchio di corrente a due transistori?

RISPOSTE 81.3 M Ω ; 1.63 M Ω .

16.3.5 Il generatore di corrente cascode regolato

Un altro passo avanti verso l'ottenimento di specchi di corrente con elevata resistenza di uscita si ha con il generatore di corrente **cascode regolato** (*regulated cascode*), mostrato in Figura 16.22(a), dove si utilizza il feedback di un amplificatore operazionale A per aumentare ulteriormente la resistenza di uscita. La corrente di uscita I_O è imposta dallo specchio di corrente formato da M_1 e M_2 . In DC, l'amplificatore operazionale A forza a V_{REF} , la tensione al source del transistor M_2 . In questo modo le variazioni nella tensione al source sono ridotte per l'inserimento del guadagno di anello di A , aumentando così la resistenza di uscita.

È possibile calcolare velocemente la resistenza di uscita del generatore di corrente cascode regolato, applicando il teorema di Blackman:

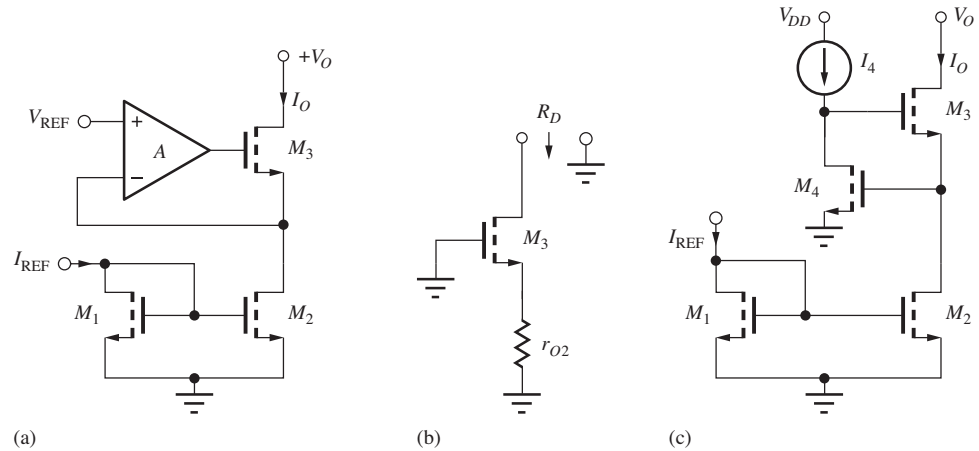
$$R_{out} = R_D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (16.41)$$

in cui R_D è la resistenza con l'anello di retroazione disabilitato (anello aperto), e T_{OC} e T_{SC} rappresentano il guadagno di anello con il terminale di uscita rispettivamente aperto e cortocircuitato a zero volt. Impostando a zero il guadagno A dell'amplificatore operazionale, come in Figura 16.22(b), si ottiene $R_D = \mu_{f3} r_{o2}$. Con il terminale di uscita aperto, il segnale di corrente drain-source di M_2 sarà zero, e così pure $T_{OC} = 0$. Con il terminale di uscita collegato a ground, T_{SC} è uguale al prodotto di A e del guadagno di M_3 , che è in configurazione a inseguitore di source, e per $A \gg 1$ si ottiene:

$$T_{SC} = A \frac{g_{m3}(r_{o2} \parallel r_{o3})}{1 + g_{m3}(r_{o2} \parallel r_{o3})} \approx A \frac{\mu_{f3}/2}{1 + (\mu_{f3}/2)} \approx A \quad \text{e} \quad R_{out} \approx A \mu_{f3} r_{o2} \quad (16.42)$$

Figura 16.22

(a) Generatore di corrente cascode regolato. (b) Modello per piccolo segnale per $A = 0$. (c) Implementazione con transistori.



La resistenza di uscita è aumentata di un fattore pari al guadagno dell'amplificatore A . Un'implementazione comune a transistori di questo generatore di corrente è mostrata in Figura 16.22(c), dove l'amplificatore A è realizzato dal transistore a source comune M_4 con una corrente di carico pari a I_4 . In questo caso $A = \mu_{f4}$, $R_{out} = \mu_{f3}\mu_{f4}r_{O2}$ e $V_{CS} \approx \mu_{f4}^2/\lambda$.

16.3.6 Riepilogo delle caratteristiche dei generatori di corrente

La Tabella 16.2 riporta un riepilogo delle caratteristiche dei circuiti a specchio di corrente studiati finora. I generatori di tipo cascode e di Wilson consentono di ottenere valori di V_{CS} molto elevati e vengono spesso adoperati nel progetto di amplificatori differenziali e operazionali e in molti altri circuiti analogici.

Tabella 16.2 Confronto fra le caratteristiche dei circuiti a specchio di corrente			
Tipo di circuito	R_{out}	V_{CS}	Valori tipici di V_{CS}
Resistenza	R	V_{EE}	15 V
Specchio di corrente a due transistori	r_o	V_A oppure $\frac{1}{\lambda}$	75 V
Cascode BJT	$\frac{\beta_o r_o}{2}$	$\frac{\beta_o V_A}{2}$	3750 V
Cascode FET	$\mu_f r_o$	$\frac{\mu_f}{\lambda}$	10 000 V
Wilson BJT	$\frac{\beta_o r_o}{2}$	$\frac{\beta_o V_A}{2}$	3750 V
Wilson FET	$\mu_f r_o$	$\frac{\mu_f}{\lambda}$	10 000 V
Cascode regolato	$\mu_f^2 r_o$	$\frac{\mu_f^2}{\lambda}$	1 000 000 V

Esempio 16.4

PROGETTO DI UN GENERATORE DI CORRENTE

PROBLEMA Si progetti uno specchio di corrente 1:1 con una corrente di riferimento di 25 μA e un errore nel rapporto di riflessione inferiore allo 0.1%, con l'uscita alimentata da un generatore di 20 V. Sono disponibili dispositivi con questi parametri: $\beta_{FO} = 100$, $V_A = 75$ V, $I_{SO} = 0.5$ fA, $K'_n = 50 \mu A/V^2$, $V_{TN} = 0.75$ V, $\lambda = 0.02$ V $^{-1}$.

SOLUZIONE **Informazioni e dati noti:** $I_{REF} = 25 \mu A$. Un errore del rapporto di riflessione inferiore allo 0.1% comporta che la corrente di uscita deve essere: $25 \mu A \pm 25$ nA per una tensione di uscita di 20 V. È accettabile sia una soluzione MOS che una soluzione bipolare.

Incognite: Configurazione dello specchio di corrente; dimensioni dei dispositivi.

Approccio: Le specifiche forniscono i valori richiesti di R_{out} e di V_{CS} . Si utilizzino queste informazioni per definire la topologia circuitale. Si completi il progetto scegliendo le dimensioni dei dispositivi utilizzando l'espressione della resistenza di uscita del circuito prescelto.

Ipotesi: Il circuito opera a temperatura ambiente; tutti i dispositivi sono in regione attiva.

Analisi: La resistenza di uscita dello specchio di corrente deve essere sufficientemente grande, in modo che una tensione di 20 V applicata all'uscita stessa non cambi (aumenti) la corrente di più di 25 nA. Pertanto, la R_{out} dello specchio di corrente deve soddisfare la condizione: $R_{out} > 20 \text{ V}/25 \text{ nA} = 800 \text{ M}\Omega$. Scegliamo $R_{out} = 1 \text{ G}\Omega$, in modo da avere un certo margine di sicurezza.

Il fattore di merito del generatore di corrente è: $V_{CS} = (25 \text{ }\mu\text{A})(1 \text{ G}\Omega) = 25 \text{ kV}$. Dalla Tabella 16.2 vediamo che soltanto una configurazione Wilson o cascode può consentire di raggiungere un valore così elevato di V_{CS} . Inoltre sarà indispensabile utilizzare un circuito MOS, visto che i BJT a disposizione possono consentire al massimo di raggiungere il valore di $V_{CS} = 100 (75 \text{ V})/2 = 3750 \text{ V}$.

A questo punto, la scelta fra lo specchio di corrente di Wilson e quello cascode è arbitraria; noi progetteremo un generatore di tipo cascode. Il circuito finale è pertanto quello mostrato in Figura 16.19(a).

Dobbiamo ora determinare le dimensioni dei dispositivi; in questo caso i rapporti W/L di tutti i MOS saranno uguali fra loro, dato che il rapporto di riflessione richiesto è unitario. Riferendoci nuovamente alla Tabella 16.2, il fattore di amplificazione dei transistori deve essere:

$$\mu_f = \lambda V_{CS} = \left(\frac{0.02}{\text{V}} \right) (25 \text{ kV}) = 500$$

Il fattore di amplificazione di un MOS è pari a:

$$\mu_f = g_m r_o \approx \sqrt{2K_n I_D} \frac{1}{\lambda I_D}$$

Utilizzando $\mu_f = 500$, $\lambda = 0.02 \text{ V}^{-1}$ e $I_D = 25 \text{ }\mu\text{A}$ si ottiene: $K_n = 1.25 \text{ mA/V}^2$. Poiché $K_n = K'_n (W/L)$, il rapporto W/L deve essere 25/1, un fattore di forma facilmente ottenibile in un circuito integrato. Dato che tutti i dispositivi operano alla stessa corrente, i rapporti W/L saranno gli stessi per tutti i MOS.

Controllo dei risultati: Valutiamo la correttezza del progetto, calcolando direttamente la resistenza di uscita del generatore:

$$R_{out} \approx g_{m4} r_{o4} r_{o2} \quad g_{m4} = \sqrt{2K_n I_D (1 + \lambda V_{DS4})} \quad r_o = \frac{(1/\lambda) + V_{DS}}{I_D}$$

In queste espressioni è possibile trascurare V_{DS} , se si desidera una stima approssimata della resistenza di uscita. Volendo ottenere una valutazione accurata di R_{out} , decidiamo di calcolare anche i valori di V_{DS} in modo da valutare con maggiore precisione g_m e r_o . Si ottiene:

$$V_{DS2} = V_{GS2} = V_{TN} + \sqrt{\frac{2I_D}{K_n}} = 0.75 \text{ V} + \sqrt{\frac{50 \text{ }\mu\text{A}}{1.25 \text{ mA/V}^2}} = 0.95 \text{ V}$$

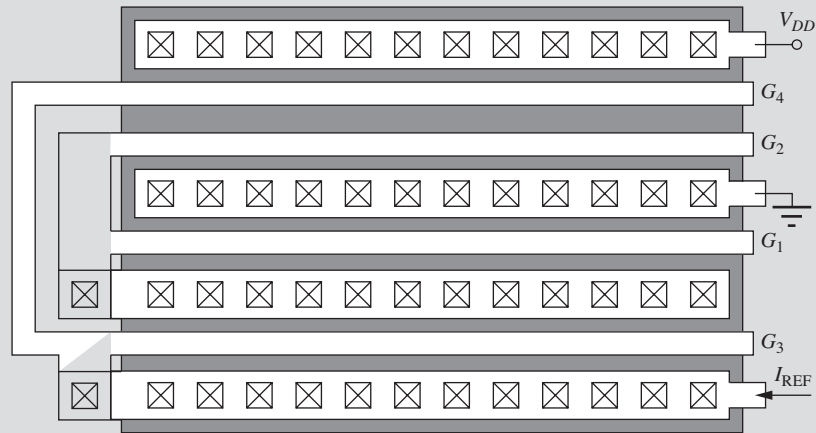
$$V_{DS4} = 20 \text{ V} - V_{DS2} = 19.0 \text{ V}$$

$$g_{m4} = \sqrt{2K_n I_D (1 + \lambda V_{DS4})} = \sqrt{2(1.25 \text{ mA/V}^2)(25 \text{ }\mu\text{A})[1 + (0.02 \text{ V}^{-1})(19 \text{ V})]} = 0.294 \text{ mS}$$

$$r_{o2} = \frac{(1/\lambda) + V_{DS2}}{I_D} = \frac{51.0 \text{ V}}{25 \text{ }\mu\text{A}} = 2.04 \text{ M}\Omega$$

$$r_{o4} = \frac{(1/\lambda) + V_{DS4}}{I_D} = \frac{69.0 \text{ V}}{25 \text{ }\mu\text{A}} = 2.76 \text{ M}\Omega$$

Utilizzando i valori dei parametri differenziali, si ricava una resistenza di uscita del generatore di $1.65 \text{ G}\Omega$, più che adeguata per le specifiche assegnate.

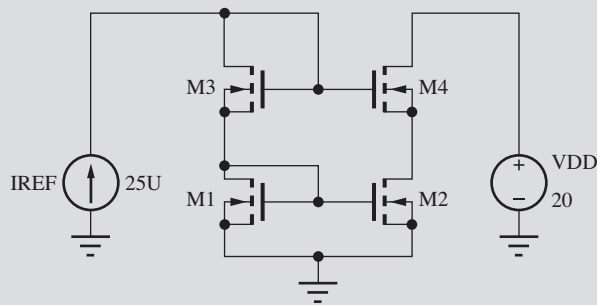


Discussione: Si deve sottolineare che la nostra capacità di definire il fattore di amplificazione del MOS è stata molto importante per completare il progetto; in questo caso $\mu_{f4} = 811$. La figura precedente mostra un possibile layout del generatore cascode. I quattro MOS con $W/L = 25/1$ sono allineati in verticale. I gate G_1 e G_3 dei dispositivi M_1 e M_3 sono collegati direttamente ai rispettivi morsetti di drain. La regione di drain di M_1 coincide con quella di source di M_3 e, analogamente, il drain di M_2 coincide con il source di M_4 .

Analisi assistita da calcolatore: Verifichiamo i nostri calcoli manuali utilizzando SPICE. Simuliamo il circuito riportato nella figura seguente, in cui i parametri dei transistori sono congruenti con la nostra analisi manuale: $K_P = 50U$, $V_{TO} = 0.75$, $LAMBDA = 0.02$, $W = 25U$ e $L = 1U$.

La simulazione DC fornisce una corrente di uscita di $25.014 \mu A$. Le tensioni di drain di M_1 e M_2 sono rispettivamente $0.948 V$ e $0.976 V$, indicando che lo specchio di corrente è ben bilanciato.

L'analisi della funzione di trasferimento dalla sorgente V_{DD} al nodo d'uscita fornisce $R_{out} = 1.66 G\Omega$, che soddisfa le specifiche assegnate con un adeguato margine di sicurezza. Il valore ottenuto, inoltre, concorda con quello valutato analiticamente.



ESERCIZIO La simulazione SPICE dell'Esempio 16.4 fornisce $I_O = 25.015 \mu A$ per $V_{DD} = 20 V$. Se $R_{out} = 1.66 G\Omega$, quale sarà la corrente di uscita per $V_{DD} = 10 V$?

RISPOSTA $25.008 \mu A$.

ESERCIZIO Si calcoli il minimo valore di V_{DD} per il quale il dispositivo M_4 opera ancora in regione attiva.

RISPOSTA $1.15 V$.

ESERCIZIO Si ripeta l'Esempio 16.4 per un generatore di corrente con un rapporto di riflessione di $2 \pm 0.1\%$.

RISPOSTE $(W/L)_3 = (W/L)_1 = 25/1$; $(W/L)_4 = (W/L)_2 = 50/1$.

16.4 Generatore di corrente di riferimento

Tutti gli specchi di corrente studiati nei paragrafi precedenti richiedono la presenza di un **generatore di corrente di riferimento**. La Figura 16.23(a) mostra come sia possibile con un semplice resistore R definire il valore della corrente di riferimento I_{REF} :

$$I_{REF} = \frac{V_{EE} - V_{BE}}{R} \quad (16.43)$$

Si noti che la corrente di riferimento risulta in questo caso direttamente proporzionale alla tensione di alimentazione V_{EE} .

In tecnologia MOS, invece di utilizzare resistori di valore molto elevato, è possibile collegare più transistori in serie per generare la corrente di riferimento, come mostra per esempio la Figura 16.23(b). In questo circuito risulta:

$$V_{DD} + V_{SS} = V_{SG4} + V_{GS3} + V_{GS1}$$

I valori delle correnti di drain $I_{D1} = I_{D3} = I_{D4}$ sono legate alle tensioni gate-source dei tre MOSFET M_1 , M_3 e M_4 . Anche in questo caso, ogni variazione della tensione di alimentazione altera i valori delle tensioni gate-source dei tre MOS e quindi il valore della corrente di riferimento. Si noti che la tecnica di ripartire la tensione di alimentazione fra più dispositivi in serie connessi a diodo non è applicabile in tecnologia bipolare in cui la relazione esponenziale fra tensione applicata e corrente comporta, come sappiamo, una caduta di tensione all'incirca costante (≈ 0.7 V) ai capi di ogni diodo.

ESERCIZIO (a) Si calcoli il valore della corrente di riferimento nel circuito di Figura 16.23(a), assumendo $R = 43$ k Ω e $V_{EE} = -5$ V. (b) Si ripeta il punto (a) per $V_{EE} = -7.5$ V.

RISPOSTE 100 μ A; 158 μ A.

ESERCIZIO (a) Si calcoli il valore della corrente di riferimento nel circuito di Figura 16.23(b), assumendo $K_n = K_p = 400$ μ A/V², $V_{TN} = -V_{TP} = 1$ V e $V_{SS} = -5$ V. (b) Si ripeta il punto (a) per $V_{SS} = -7.5$ V.

RISPOSTE 88.9 μ A; 450 μ A. [Nota: la variazione è maggiore rispetto all'esercizio precedente, a causa della caratteristica tensione-corrente quadratica del MOSFET.]

16.5 Generatori di riferimento indipendenti dalla tensione di alimentazione

In molte applicazioni, la dipendenza di I_{REF} dalla tensione di alimentazione è indesiderata. Questo è il caso, per esempio, di amplificatori operazionali di uso generale, in cui vorremmo fissare il punto di lavoro dei dispositivi, benché la tensione di alimentazione dell'ope-

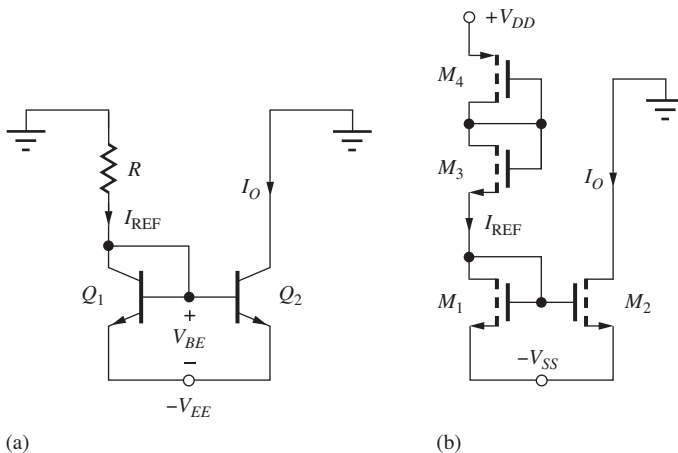
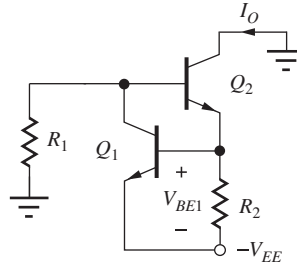


Figura 16.23

Semplici generatori di corrente di riferimento. (a) Utilizzo di un resistore. (b) MOSFET connessi a diodo collegati in serie.

Figura 16.24

Generatore di corrente di riferimento basato sulla V_{BE} .



razionale possa variare fra ± 3 V e ± 22 V. Inoltre l'Equazione (16.43) evidenzia che per ottenere correnti di riferimento di valore ridotto sono necessari resistori di valore elevato, che richiedono un'area notevole in realizzazioni integrate. Sono state pertanto sviluppate numerose tecniche che consentono di ottenere una corrente di riferimento svincolata dal valore della tensione di alimentazione.

16.5.1 Generatore di riferimento basato sulla V_{BE}

Il circuito di Figura 16.24 mostra un generatore di riferimento basato sulla V_{BE} , in cui la corrente di uscita è determinata dal valore della tensione base-emettitore di Q_1 . Assumendo che il guadagno di corrente dei BJT sia molto elevato, la corrente di collettore di Q_1 è uguale alla corrente che attraversa il resistore R_1 :

$$I_{C1} = \frac{V_{EE} - V_{BE1} - V_{BE2}}{R_1} \approx \frac{V_{EE} - 1.4 \text{ V}}{R_1} \quad (16.44)$$

La corrente di uscita I_O è approssimativamente uguale alla corrente che fluisce in R_2 :

$$I_O = \alpha_{F2} I_{E2} = \alpha_{F2} \left(\frac{V_{BE1}}{R_2} + I_{B1} \right) \approx \frac{V_{BE1}}{R_2} \approx \frac{0.7 \text{ V}}{R_2} \quad (16.45)$$

Esprimendo la V_{BE1} in funzione di V_{EE} si ottiene:

$$I_O \approx \frac{V_T}{R_2} \ln \frac{V_{EE} - 1.4 \text{ V}}{I_{S1} R_1} \quad (16.46)$$

La corrente di uscita risulta quindi legata molto debolmente, in maniera logaritmica, alla tensione di alimentazione V_{EE} . Si noti, inoltre, che la corrente di uscita dipende dalla temperatura a causa della dipendenza dalla temperatura di V_{BE} e di R .

ESERCIZIO (a) Si calcoli il valore di I_O in Figura 16.24, assumendo che il guadagno di corrente dei BJT sia infinito e che $I_S = 100$ aA, $R_1 = 39$ k Ω , $R_2 = 6.8$ k Ω e $V_{EE} = -5$ V. (b) Si ripeta il punto (a) per $V_{EE} = -7.5$ V. (c) Usando l'Equazione (12.39), si calcoli $S_{V_{EE}}^o$, sensibilità di I_O a variazioni di V_{EE} .

RISPOSTE 101 μ A; 103 μ A; 0.009.

16.5.2 Il generatore di Widlar

In effetti, nel paragrafo precedente abbiamo già incontrato un generatore di corrente che consente di ottenere una dipendenza logaritmica della corrente di uscita dalla tensione di alimentazione. Consideriamo infatti l'espressione della corrente di uscita del generatore di Widlar [Equazione (16.25)]:

$$I_O = \alpha_F I_{E2} \approx \frac{V_T}{R} \ln \left(\frac{I_{REF}}{I_O} \frac{A_{E2}}{A_{E1}} \right) \quad (16.47)$$

La corrente di uscita risulta dipendente in maniera logaritmica dal valore di I_{REF} ; pertanto con un generatore di Widlar [6], possiamo ottenere una corrente I_O poco dipendente dalla tensione di alimentazione, anche se la I_{REF} è proporzionale alla V_{CC} .

16.5.3 Polarizzazione indipendente dalla tensione di alimentazione

Combinando il generatore di Widlar con uno specchio di corrente è possibile realizzare circuiti di polarizzazione ancora meno dipendenti dalla tensione di alimentazione. Nel circuito di Figura 16.25, assumendo che i dispositivi abbiano un guadagno di corrente molto elevato, lo specchio di corrente formato dai due dispositivi *pnp* impone che le correnti nei due rami del generatore di Widlar siano uguali fra loro: $I_{C1} = I_{C2}$. Supponiamo inoltre che il rapporto delle aree di emettitore di Q_1 e Q_2 sia pari a 20. Con queste condizioni, l'Equazione (16.47) fornisce:

$$I_{C2} \approx \frac{V_T}{R} \ln(20) = \frac{74.9 \text{ mV}}{R} \quad (16.48)$$

Nell'esempio in questione, si riesce a ottenere una caduta di tensione costante, di circa 75 mV, ai capi del resistore R , il cui valore può quindi essere scelto in modo da ottenere la corrente di polarizzazione desiderata. Il valore di corrente, benché indipendente in larga misura dalla tensione di alimentazione, dipende dal valore della resistenza R e pertanto può variare significativamente fra un ciclo di produzione e il successivo.

Sfortunatamente, anche la condizione $I_{C1} = I_{C2} = 0$ rappresenta un punto di lavoro stabile per il circuito di Figura 16.25; è necessario pertanto utilizzare degli opportuni **circuiti di inizializzazione** (*start-up circuits*) per assicurarsi che, una volta alimentato, il circuito raggiunga il punto di lavoro desiderato.

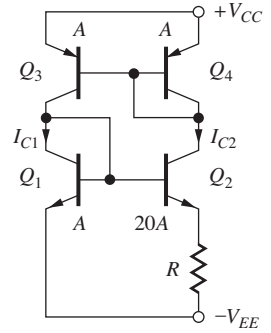


Figura 16.25

Generatore di corrente di riferimento indipendente dalla tensione di alimentazione, basato su di un generatore di Widlar e uno specchio di corrente.

ESERCIZIO Si calcoli la corrente di uscita per il generatore mostrato in Figura 16.25 assumendo $A_{E3} = 10A_{E4}$, $A_{E2} = 10A_{E1}$ e $R = 1 \text{ k}\Omega$.

RISPOSTA 115 μA .

ESERCIZIO Si calcoli la minima tensione di alimentazione che consente il corretto funzionamento del generatore di corrente di Figura 16.25.

RISPOSTA $2V_{BE} \approx 1.4 \text{ V}$.

ESERCIZIO (a) Quanto vale il coefficiente di temperatura (TC) della corrente I_{C2} dell'Equazione 16.48 supponendo costante il valore del resistore R ? (b) Si ripeta il calcolo considerando un resistore con $\text{TC} = -2000 \text{ ppm}/^\circ\text{C}$.

RISPOSTA 3300 $\text{ppm}/^\circ\text{C}$; 5300 $\text{ppm}/^\circ\text{C}$.

Dopo aver stabilito il valore di corrente desiderato nel circuito di Figura 16.25, le tensioni base-emettitore dei transistori Q_1 e Q_4 possono essere utilizzate come tensioni di riferimento per altri specchi di corrente, come mostra la Figura 16.26. In questo circuito sono utilizzati due specchi di corrente con buffer (transistori Q_9 e Q_{10}), in modo da minimizzare gli errori introdotti dal guadagno di corrente finito dei transistori *nnp* e *pnp*. Le correnti di uscita sono ottenute mediante transistori in configurazione a specchio di corrente, come Q_7 e Q_8 , e mediante i generatori di Widlar Q_6 e Q_8 .

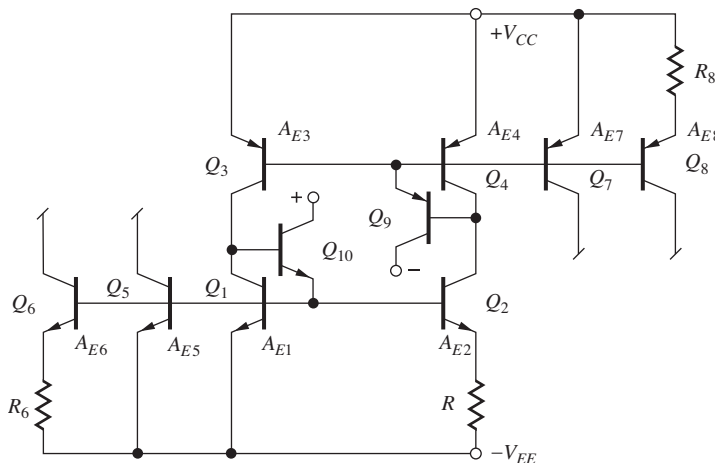


Figura 16.26

Generatori di corrente multipli, ottenuti dal generatore di riferimento indipendente dalla tensione di alimentazione.

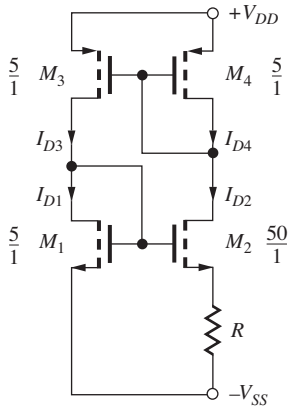


Figura 16.27
Generatore di corrente di riferimento indipendente dalla tensione di alimentazione in tecnologia MOS.

16.5.4 Polarizzazione indipendente dalla tensione di alimentazione in tecnologia MOS

La Figura 16.27 mostra la versione MOS del circuito di Figura 16.25. In questo circuito, lo specchio di corrente PMOS impone una ben definita relazione fra le correnti I_{D3} e I_{D4} ; nel caso particolare di Figura 16.27, abbiamo $I_{D3} = I_{D4}$, per cui risulta anche $I_{D1} = I_{D2}$. Con queste condizioni, l'Equazione (16.29) consente di calcolare il valore di R necessario per stabilire una data corrente I_{D2} :

$$R = \sqrt{\frac{2}{K_{n1}I_{D2}}} \left(1 - \sqrt{\frac{(W/L)_1}{(W/L)_2}} \right) \quad (16.49)$$

Il valore di corrente, benché indipendente in larga misura dalla tensione di alimentazione, dipende dal valore della resistenza R e da K'_n .

ESERCIZIO Per il circuito di Figura 16.27, si calcoli il valore di R necessario per stabilire un valore di corrente $I_{D2} = 100 \mu\text{A}$, assumendo $K'_n = 25 \mu\text{A}/\text{V}^2$.

RISPOSTA 8.65 k Ω .

Esempio 16.5

PROGETTO DI UN GENERATORE DI RIFERIMENTO

PROBLEMA

Si progetti un generatore di corrente indipendente dalla tensione di alimentazione, in grado di erogare una corrente di $45 \mu\text{A}$ a $T = 300 \text{ K}$, utilizzando la topologia circuitale di Figura 16.25 con tensioni di alimentazione di $\pm 5 \text{ V}$. Il circuito deve utilizzare non più di $1 \text{ k}\Omega$ di resistenza o $60 \mu\text{A}$ di corrente totale. Si utilizzi SPICE per determinare la dipendenza della corrente dalle variazioni della tensione di alimentazione. Si assuma che i parametri di un BJT di area unitaria siano: $\beta_{FO} = 100$, $V_A = 75 \text{ V}$ e $I_{SO} = 0.1 \text{ fA}$, per transistori sia *nnp* sia *pnp*.

SOLUZIONE

Informazioni e dati noti: Topologia circuitale di Figura 16.25; $\beta_{FO} = 100$, $V_A = 75 \text{ V}$ e $I_{SO} = 0.1 \text{ fA}$; corrente totale = $60 \mu\text{A}$.

Incognite: R e il rapporto fra le aree di Q_1 e Q_2 .

Approccio: La corrente erogata dal circuito è descritta dalla Equazione (16.47). Si utilizzi il massimo valore di resistenza per determinare il rapporto fra le aree dei dispositivi. Si determini il rapporto fra I_{C1} e I_{C2} in modo da rispettare la specifica relativa alla corrente totale del circuito.

Ipotesi: Tutti i dispositivi sono in regione attiva; $I_{C2} = 45 \mu\text{A}$.

Analisi: La V_T , per una temperatura $T = 300 \text{ K}$, vale 25.88 mV . Dall'Equazione (16.47) abbiamo:

$$\ln \left(\frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \right) = \frac{I_{C2}R}{V_T} \leq \frac{(45 \mu\text{A})(1 \text{ k}\Omega)}{25.88 \text{ mV}} = 1.739 \quad \text{o} \quad \frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \leq 5.69$$

Inoltre, la specifica relativa alla corrente totale del circuito impone:

$$\frac{I_{C2}}{I_{C1}} \geq \frac{45 \mu\text{A}}{15 \mu\text{A}} = \frac{3}{1}$$

Scegliamo: $I_{C2} = 5I_{C1}$; risulta: $A_{E2}/A_{E1} = 28.45$. Scegliendo: $A_{E2}/A_{E1} = 20$ si ottiene:

$$R = \frac{25.88 \text{ mV} \ln(4)}{45 \mu\text{A}} = 797 \Omega$$

Il progetto finale prevede quindi: $R = 797 \Omega$, $A_{E1} = A$, $A_{E2} = 20A$, $A_{E3} = A$, $A_{E4} = 5A$ con 35.88 mV di caduta sul resistore R .

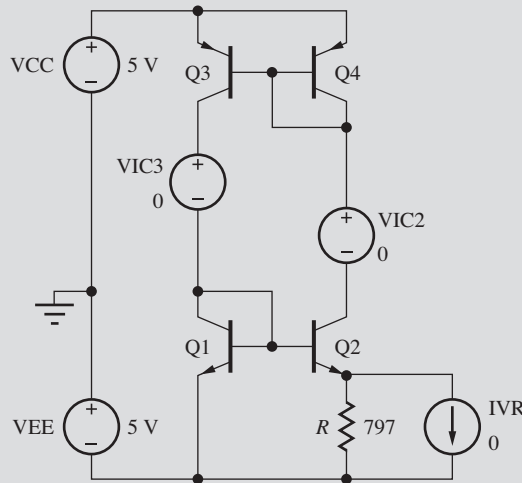
Controllo dei risultati: Utilizzeremo SPICE per verificare la correttezza del progetto.

Analisi assistita da calcolatore: Il circuito, disegnato con lo schematic editor, è riportato nella figura seguente.

I generatori di tensione V_{IC2} e V_{IC3} sono di valore nullo e verranno utilizzati per misurare le correnti di collettore di Q_2 e di Q_3 , mentre I_{VR} servirà per la misura della tensione ai capi di R . I parametri dei dispositivi *pnp* e *nnp* sono: $BF = 100$, $VAF = 75$, $IS = 0.1F$; inoltre, per i transistori da Q_1 a Q_4 , specifichiamo, rispettivamente, $AREA = 1$, $AREA = 20$, $AREA = 1$, $AREA = 5$. La temperatura di funzionamento è: $TEMP = 27$. SPICE fornisce $I_{C2} = 49.6 \mu A$ e $I_{C3} = 10.94 \mu A$, con 39.89 mV di caduta ai capi di R . Le correnti e le tensioni sono leggermente più alte rispetto ai valori calcolati, e questo è dovuto essenzialmente all'aver trascurato l'errore nel rapporto di riflessione dovuto ai differenti valori di V_{EC4} e V_{EC3} . Possiamo correggere questo errore modificando il rapporto fra le aree di emettitore:

$$A_{E4} = 5 \left(1 + \frac{V_{EC3} - V_{EC4}}{V_A} \right) = 5 \left(1 + \frac{9.34 \text{ V} - 0.65 \text{ V}}{75 \text{ V}} \right) = 5.58$$

In questo caso, SPICE fornisce: $I_{C2} = 45.9 \mu A$ ed $I_{C3} = 9.08 \mu A$, e $V_{E2} = 36.9 \text{ mV}$. La simulazione della funzione di trasferimento fra V_{CC} e V_{IC2} fornisce una resistenza totale di uscita di $928 \text{ k}\Omega$, mentre la sensibilità di I_{C2} a variazioni di V_{CC} è di $0.808 \mu A/V$.



Discussione: Il generatore di corrente soddisfa le specifiche assegnate.

ESERCIZIO Analizzare gli errori introdotti dal valore finito del guadagno di corrente e dal valore della tensione di Early, simulando il circuito con $BF = 10000$ e $VAF = 10000 \text{ V}$. Quali sono i nuovi valori di I_{C2} , I_{C3} e della tensione ai capi di R ?

RISPOSTE $45.0 \mu A$; $9.01 \mu A$; 35.88 mV .

ESERCIZIO Quali sono i nuovi parametri di progetto se scegliamo $A_{E2}/A_{E1} = 25$?

RISPOSTE $R = 925 \Omega$, $A_{E1} = A$, $A_{E2} = 25A$, $A_{E3} = A$, $A_{E4} = 5.58A$.

16.6 Riferimento di tensione a bandgap

Un **riferimento di tensione** di precisione deve essere in grado di fornire una tensione di uscita costante, al variare sia dalla tensione di alimentazione sia dalla temperatura. I circuiti studiati nel Paragrafo 16.5 possono produrre tensioni e correnti sostanzialmente indipendenti dalla tensione di alimentazione, ma sono ancora dipendenti dalla temperatura.

Il generatore di tensione bandgap, inventato da Robert Widlar [5], è la soluzione circuitale più comunemente utilizzata per generare una tensione di riferimento precisa e indipendente sia dalla tensione di alimentazione che dalla temperatura. Nella maggior parte delle applicazioni, il generatore a bandgap ha soppiantato l'utilizzo di diodi Zener.

Nel circuito proposto da Widlar, il coefficiente di temperatura negativo, associato alla giunzione base-emettitore di un transistor, può essere cancellato utilizzando il coefficiente positivo di temperatura di una tensione che è proporzionale alla temperatura assoluta (**PTAT**, *Proportional to Absolute Temperature*), come mostrato schematicamente in Figura 16.28. Widlar sapeva che la tensione PTAT si può ottenere dalla differenza di due giunzioni base-emettitore:

$$V_{PTAT} = V_{BE1} - V_{BE2} = V_T \ln \left(\frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \right) = \frac{kT}{q} \ln \left(\frac{I_{C1}}{I_{C2}} \frac{A_{E2}}{A_{E1}} \right) \quad (16.50)$$

La tensione di uscita del circuito di Figura 16.28 può essere scritta come:

$$V_{BG} = V_{BE} + G V_{PTAT} \quad (16.51)$$

Per imporre che la tensione di uscita V_{BG} abbia un coefficiente di temperatura nullo, si deve derivare l'equazione precedente:

$$\frac{\partial V_{BG}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + G \frac{\partial V_{PTAT}}{\partial T} = 0 \quad (16.52)$$

La dipendenza dalla temperatura di V_{BE} è stata già sviluppata in precedenza con le Equazioni (3.14)-(3.15) e $\partial V_{PTAT}/\partial T = V_{PTAT}/T$. Sostituendo queste equazioni nella (16.52) si ottiene:

$$\frac{\partial V_{BG}}{\partial T} = \frac{V_{BE} - V_{GO} - 3V_T}{T} + G \frac{V_{PTAT}}{T} = 0 \quad (16.53)$$

ovvero

$$G V_{PTAT} = V_{GO} + 3V_T - V_{BE} \quad (16.54)$$

dove V_{GO} è l'ampiezza della banda proibita (il bandgap, E_g) del silicio a 0 K (1.12 V). Combinando questi risultati si ottiene:

$$V_{BG} = V_{GO} + 3V_T \quad (16.55)$$

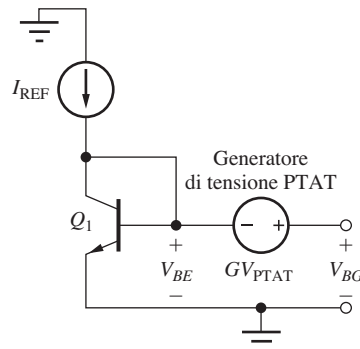
La tensione di uscita cui corrisponde un coefficiente in temperatura nullo è leggermente superiore all'ampiezza della banda proibita del silicio (da questa osservazione deriva il nome del generatore di riferimento). A temperatura ambiente la tensione di uscita è approssimativamente 1.20 V.

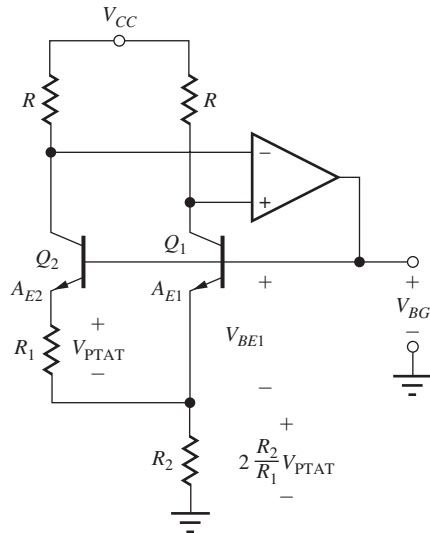
La realizzazione circuitale del riferimento di tensione a bandgap è mostrato in Figura 16.29. Questo circuito è attribuito a un altro talentuoso progettista, Paul Brokaw della Analog Devices [6], ed è relativamente più semplice da analizzare che il circuito originale di Widlar.

In questo circuito, la tensione di uscita è pari alla somma della tensione base-emettitore di Q_1 più la tensione ai capi del resistore R_2 , che a sua volta è una replica opportunamente scalata della tensione proporzionale alla temperatura assoluta che si manifesta ai capi di R_1 . Il fattore di scala è controllato dall'amplificatore operazionale e dai resistori R .

L'amplificatore operazionale ideale impone che differenza di potenziale ai capi delle due resistenze sia la stessa; in questo modo si ottiene: $I_{C2} = I_{C1}$ e $I_{E1} = I_{E2}$. Pertanto la tensione

Figura 16.28
Schema di principio del
generatore di riferimento
bandgap.



**Figura 16.29**

Versione del generatore di riferimento a bandgap, proposto da Brokaw.

proporzionale alla temperatura assoluta (PTAT) è data da $V_{PTAT} = V_T \ln(A_{E2}/A_{E1})$, e la corrente di emettitore di Q_2 pari V_{PTAT}/R_1 . La corrente in R_2 è il doppio di quella in R_1 , poiché $I_{E2} = I_{E1}$. Combinando questi risultati si ottiene un'espressione per la tensione di uscita V_{BG} :

$$V_{BG} = V_{BE1} + 2 \frac{R_2}{R_1} V_T \ln \frac{A_{E2}}{A_{E1}} \quad (16.56)$$

Per questo circuito il guadagno $G = 2R_2/R_1$, e il rapporto dei resistori, grazie alle (16.53-16.54), è dato da:

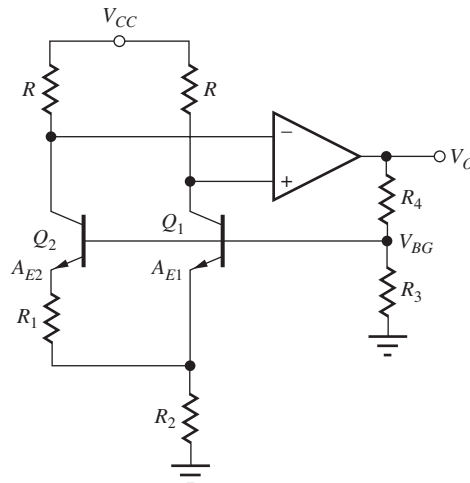
$$\frac{R_2}{R_1} = -\frac{1}{2} \frac{\frac{\partial V_{BE1}}{\partial T}}{\frac{\partial V_{PTAT}}{\partial T}} = \frac{V_{GO} + 3V_T - V_{BE1}}{2V_{PTAT}} \quad (16.57)$$

Aggiungendo al circuito Brokaw due resistenze in configurazione partitore di tensione, come mostrato in Figura 16.30, è possibile ottenere un riferimento di tensione di valore diverso. In questo caso la tensione di uscita dell'amplificatore diventa:

$$V_O = \left(1 + \frac{R_4}{R_3}\right) V_{BG} \quad (16.58)$$

che può essere scalata a qualsiasi valore desiderato (per esempio, 2.5 V o 5 V).

A questo punto è necessario fare una precisazione. In molti circuiti bandgap, la condizione di tensione di uscita nulla è uno dei punti di funzionamento validi. In tal caso, nelle applicazioni pratiche, sono necessari alcuni circuiti supplementari per assicurare che il riferimento di tensione bandgap raggiunga il punto di funzionamento desiderato. Questa pro-

**Figura 16.30**

Generatore di riferimento Brokaw con $V_O > V_{BG}$.

blematica si manifesta anche nella simulazione SPICE, che mostra notevoli difficoltà a convergere al punto di funzionamento corretto. Nell'Esempio 16.6, si mostrano alcuni accorgimenti per superare questo tipo di problema.

Esempio 16.6**PROGETTO DI UN RIFERIMENTO DI TENSIONE**

Il progetto di un circuito bandgap richiede una sequenza di calcoli leggermente diversa rispetto a quanto presentato nell'analisi precedente.

PROBLEMA Progettare il riferimento di tensione bandgap in Figura 16.30 in modo che fornisca una tensione di uscita di 5.000 V con un coefficiente di temperatura nullo a una temperatura di 47 °C. Si imponga una corrente di collettore di 25 μA e si assuma $I_S = 0.5$ fA.

SOLUZIONE **Informazioni e dati noti:** Il circuito è il riferimento tensione bandgap Brokaw della Figura 16.30 con uscita amplificata. $V_O = 5.000$ V, con un coefficiente di temperatura (TC) zero a $T = 320$ K. Correnti di collettore sono 25 μA, e la corrente di saturazione dei transistori è 0.5 fA.

Incognite: Valori delle resistenze R , R_1 , R_2 , R_3 e R_4 .

Approccio: Si trovino V_T e V_{PTAT} . Quindi si utilizzi I_C per determinare R_1 e V_{BE1} . Si determini R_2 utilizzando l'Equazione (16.57). Si scelgano R_4 e R_3 per impostare $V_O = 5.000$ V. Si scelga R per fornire la tensione di funzionamento corretta dell'amplificatore operazionale.

Ipotesi: I due BJT funzionano nella regione attiva diretta. $\beta_{FO} \rightarrow \infty$ e $V_A \rightarrow \infty$. $A_{E2} = 10A_{E1}$ rappresenta un rapporto di area di emettitore ragionevole. Si facciano cadere 2 V sulla resistenza R .

Analisi: A causa della precisione richiesta, si eseguiranno i calcoli usando quattro cifre significative.

$$V_T = \frac{kT}{q} = \frac{(1.380 \times 10^{-23} \text{ J} \cdot \text{K}^{-1})(320 \text{ K})}{1.602 \times 10^{-19} \text{ C}} = 25.57 \times 10^{-3} \frac{\text{J}}{\text{C}} = 27.57 \text{ mV}$$

$$V_{PTAT} = V_T \ln\left(\frac{A_{E2}}{A_{E1}}\right) = V_T \ln(10) = 63.47 \text{ mV}$$

$$R_1 = \frac{V_{PTAT}}{I_E} = \frac{63.47 \text{ mV}}{25 \text{ } \mu\text{A}} = 2.539 \text{ k}\Omega$$

$$V_{BE1} = V_T \ln\left(\frac{I_{C1}}{I_{S1}}\right) = (27.57 \text{ mV}) \ln\left(\frac{25 \text{ } \mu\text{A}}{0.5 \text{ fA}}\right) = 0.6792 \text{ V}$$

$$\frac{R_2}{R_1} = \frac{V_{GO} + 3V_T - V_{BE1}}{2V_{PTAT}} = \frac{1.12 \text{ V} + 3(27.57 \text{ mV}) - 0.6792 \text{ V}}{2(63.47 \text{ mV})} = 4.124$$

$$R_2 = 4.124R_1 = 10.47 \text{ k}\Omega$$

$$V_{BG} = V_{BE1} + 2\frac{R_2}{R_1}V_{PTAT} = 0.6792 \text{ V} + 2(4.124)(63.47 \text{ mV}) = 1.203 \text{ V}$$

$$\frac{R_4}{R_3} = \frac{V_O}{V_{BG}} - 1 = 3.157$$

Non è buona norma sprecare una quantità eccessiva di corrente nel partitore di tensione d'uscita, quindi scegliamo $I_3 = I_4 = 50 \text{ } \mu\text{A}$. Inoltre, impostiamo la caduta di tensione ai capi di R pari a 2 V. Con queste assunzioni si ottiene:

$$R_3 = \frac{V_{BG}}{I_3} = \frac{1.203 \text{ V}}{50 \text{ } \mu\text{A}} = 24.0 \text{ k}\Omega$$

$$R_4 = \frac{V_O - V_{BG}}{I_4} = \frac{3.797 \text{ V}}{50 \text{ } \mu\text{A}} = 75.9 \text{ k}\Omega$$

$$R = \frac{2 \text{ V}}{25 \text{ } \mu\text{A}} = 80 \text{ k}\Omega$$

Verifica dei risultati: V_{BG} è 1.203 V, quindi il nostro calcolo appare corretto (visto che ci si aspettava un valore di circa 1.2 V). Inoltre calcolando la tensione con la relazione (16.180) si ottiene: $V_{BG} = V_{GO} + 3V_T = 1.203$ V, che risulta ancora verificato.

Discussione: Si noti che la caduta di tensione attraverso i resistori di collettore deve essere sufficientemente elevata per far sì che la tensione di modo comune di ingresso dell'amplificatore operazionale sia entro i limiti operativi. In questo circuito, la caduta di tensione sulle resistenze di collettore è stata posta pari a 2 V.

Analisi assistita da calcolatore: Per prima cosa impostiamo i parametri dei due BJT quasi ideali: $BF = 10$ K e $IS = 0.5$ F, e lasciamo VAF a infinito. Poniamo $AREA = 1$ per Q_1 , $AREA = 10$ per Q_2 , e $TEMP = 47$. Nel circuito mostrato qui, l'amplificatore operazionale ideale è modellato con un EOPAMP la cui tensione di controllo è quella presente ai capi del generatore di corrente nulla IOP (Figura 16.31) e il guadagno impostato a 10^6 . La tensione V_{START} può essere necessaria in alcune versioni di SPICE per favorire la convergenza del simulatore. Un altro aiuto per la convergenza del simulatore è far variare V_{CC} da 0 a 10 V (Si ricordi che $V_O = 0$ è un punto di lavoro valido, che si ottiene anche con il circuito spento). La simulazione SPICE produce i seguenti risultati: $V_{BG} = 1.204$ V, $V_{PTAT} = 63.52$ mV e $V_O = 5.01$ V. Con valori non ideali, per esempio $BF = 100$ e $VAF = 75$, i valori sono $V_{BG} = 1.201$ V, $V_{PTAT} = 63.52$ mV e $V_O = 5.03$ V.

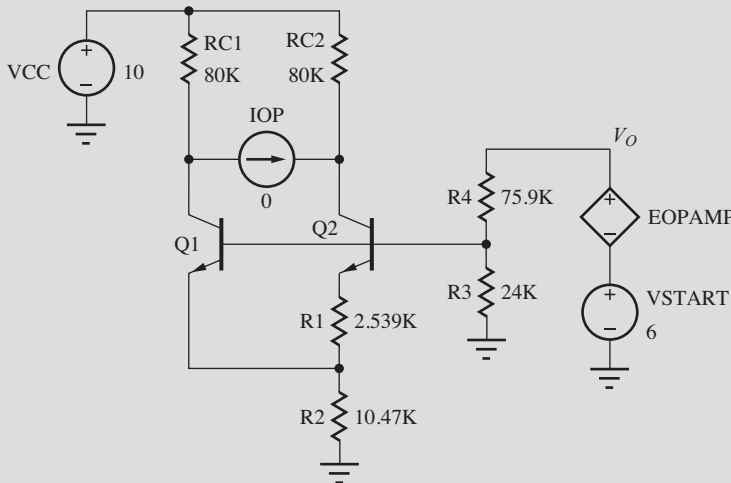


Figura 16.31
Circuito per l'analisi SPICE.

16.7 Lo specchio di corrente come carico attivo

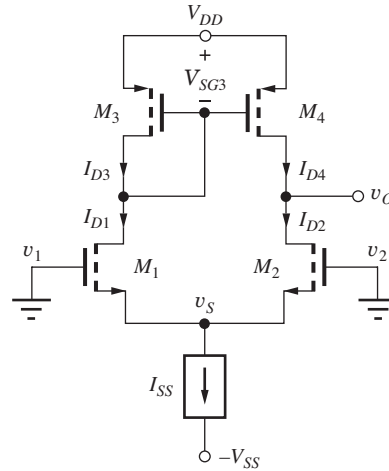
Una delle applicazioni più importanti dello specchio di corrente è il suo utilizzo come elemento di carico degli amplificatori differenziali negli amplificatori operazionali integrati; in questo modo, è possibile migliorare significativamente il guadagno di tensione del circuito differenziale, mantenendo il bilanciamento del punto di lavoro necessario per ottenere una buona reiezione del modo comune e una ridotta tensione di offset. Quando è utilizzato in questo modo lo specchio di corrente viene spesso denominato **carico attivo**, in quanto sostituisce con circuiti attivi (transistori) i resistori di carico (passivi) del circuito differenziale.

16.7.1 Amplificatore differenziale CMOS con carico attivo

La Figura 16.32 mostra un amplificatore differenziale CMOS con carico attivo; i resistori di carico sono stati sostituiti da uno specchio di corrente PMOS. Analizziamo dapprima il punto di riposo del circuito, per poi passare allo studio delle caratteristiche per piccoli segnali.

Figura 16.32

Amplificatore differenziale CMOS con carico attivo formato da uno specchio di corrente PMOS.



Analisi DC. Assumiamo che il circuito sia bilanciato (vedremo fra breve che questa ipotesi è effettivamente verificata). La corrente di polarizzazione I_{SS} si suddivide equamente fra i due transistori M_1 e M_2 , per cui le correnti I_{D1} e I_{D2} sono entrambe pari a $I_{SS}/2$. La corrente I_{D3} deve essere uguale a I_{D1} ed è inoltre “riflessa” come I_{D4} dallo specchio di corrente PMOS; pertanto anche I_{D3} e I_{D4} sono pari a $I_{SS}/2$ e le correnti di drain dei quattro MOS sono tutte uguali fra loro.

Il rapporto di riflessione imposto da M_3 e M_4 è esattamente unitario quando $V_{SD4} = V_{SD3}$ e quindi $V_{SD1} = V_{SD2}$; pertanto l’amplificatore differenziale è perfettamente bilanciato quando la tensione di uscita DC è pari a:

$$V_O = V_{DD} - V_{SD4} = V_{DD} - V_{SG3} = V_{DD} - \left(\sqrt{\frac{I_{SS}}{K_p}} - V_{TP} \right) \quad (16.59)$$

Punti di lavoro dei dispositivi. Le tensioni drain-source di M_1 e di M_2 sono:

$$V_{DS1} = V_O - V_S = V_{DD} - \left(\sqrt{\frac{I_{SS}}{K_p}} - V_{TP} \right) + \left(V_{TN} + \sqrt{\frac{I_{SS}}{K_n}} \right)$$

ovvero:

$$V_{DS1} = V_{DD} + V_{TN} + V_{TP} + \sqrt{\frac{I_{SS}}{K_n}} - \sqrt{\frac{I_{SS}}{K_p}} \approx V_{DD} \quad (16.60)$$

Le tensioni drain-source di M_3 e di M_4 sono:

$$V_{SD3} = V_{SG3} = \sqrt{\frac{I_{SS}}{K_p}} - V_{TP} \quad (16.61)$$

Le correnti di drain dei quattro transistori sono uguali fra loro:

$$I_{DS1} = I_{DS2} = I_{DS3} = I_{DS4} = \frac{I_{SS}}{2} \quad (16.62)$$

(Si ricordi che $V_{TP} < 0$ per MOSFET a canale p ad arricchimento.)

Analisi per la componente di segnale di modo differenziale. Supponiamo che all’amplificatore differenziale con carico attivo sia applicato un segnale di ingresso puramente differenziale, come mostrato in Figura 16.33. Il circuito può essere visto come un bipolo, rappresentato con l’equivalente di Norton in Figura 16.33(b). Quando i morsetti di uscita sono cortocircuitati, la coppia differenziale NMOS fornisce due correnti uguali e opposte di ampiezza $g_{m2}v_{id}/2$ ai terminali di drain di M_1 e M_2 . Grazie allo specchio di corrente, la corrente i_{d1} viene replicata al drain di M_4 e la corrente i_o è data da:

$$i_o = 2 \frac{g_{m2}v_{id}}{2} = g_{m2}v_{id} \quad (16.63)$$

Lo specchio di corrente fornisce dunque un’uscita singola riferita al riferimento di tensione, con una transconduttanza uguale a quella di un amplificatore a source comune.

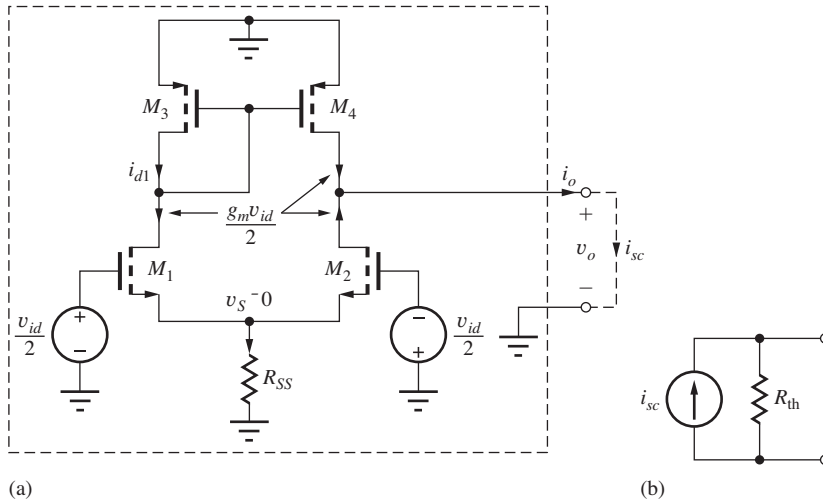


Figura 16.33

(a) Amplificatore differenziale CMOS con segnale di ingresso differenziale. (b) Il circuito è un bipolo che può essere rappresentato mediante il modello equivalente di Norton.

La resistenza equivalente di uscita R_{th} verrà ottenuta dallo studio del circuito di Figura 16.34, in cui le resistenze differenziali di uscita di M_2 e M_4 sono mostrate esplicitamente. Nel prosieguo dimostreremo che R_{th} è data dal parallelo di r_{o2} e r_{o4} :

$$R_{th} = r_{o2} \parallel r_{o4} \quad (16.64)$$

Il guadagno di tensione di modo differenziale, in assenza di ulteriori carichi in uscita, è dato semplicemente dal prodotto di i_{sc} e R_{th} :

$$A_{dm} = g_{m2}(r_{o2} \parallel r_{o4}) = \frac{\mu_{f2}}{1 + \frac{r_{o2}}{r_{o4}}} \approx \frac{\mu_{f2}}{2} \quad (16.65)$$

L'ultima equazione mostra che il guadagno dello stadio di ingresso dell'amplificatore è pari all'incirca alla metà del fattore di amplificazione dei transistori che formano la coppia differenziale. Pertanto, il guadagno dello stadio differenziale con carico attivo è prossimo al valore massimo teorico di amplificazione ottenibile da un transistor.

Resistenza di uscita dell'amplificatore differenziale. L'espressione della resistenza di uscita, Equazione (16.64), può essere giustificata con il seguente ragionamento che, peraltro, non è del tutto rigoroso. Al nodo 1 in Figura 16.34 sono collegate sia la resistenza r_{o2} che la r_{o4} ; un terminale della resistenza r_{o4} è collegato alla tensione di alimentazione positiva, e quindi è a ground per le componenti AC, mentre il terminale della resistenza r_{o2} è collegato ai terminali di source di M_2 e di M_4 , ed è quindi anch'esso collegato a ground per le componenti variabili. In definitiva, le resistenze r_{o2} e r_{o4} sono effettivamente in parallelo. Benché questo ragionamento conduca al risultato esatto non è del tutto rigoroso, in quanto

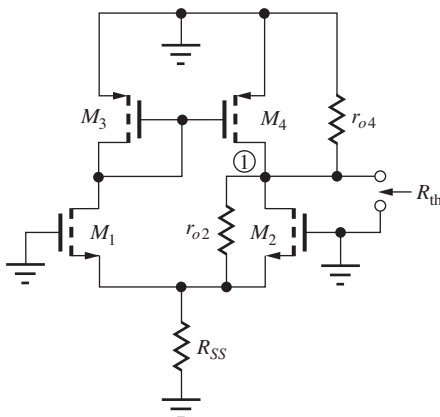


Figura 16.34 Amplificatore operativo CMOS elementare, con un carico attivo nel primo stadio.

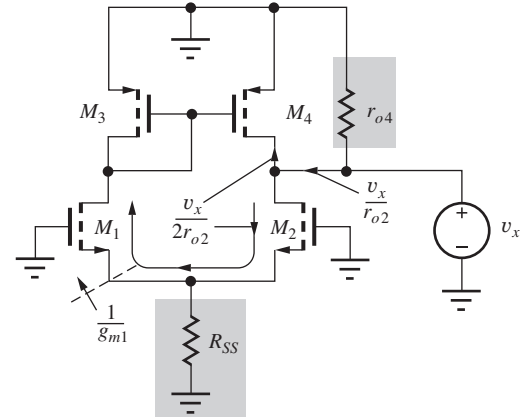


Figura 16.35 Analisi della componente della resistenza di uscita dovuta alla r_{o2} .

l'amplificatore differenziale con carico attivo non rappresenta più un circuito perfettamente simmetrico, e quindi il nodo comune ai terminali di source di M_1 e M_2 *non è a ground* per le componenti di segnale.

Analisi esatta. Un'analisi più precisa può essere condotta sul circuito in Figura 16.35. La resistenza di uscita di M_4 , r_{o4} , è effettivamente collegata a ground e rappresenta pertanto una componente della resistenza di uscita del circuito. L'espressione per la componente di corrente erogata da v_x che fluisce attraverso r_{o2} è più complicata da calcolare, e può essere determinata dall'analisi del circuito di Figura 16.35, in cui si assume che il valore della resistenza R_{SS} sia molto maggiore rispetto a $1/g_{m1}$.

Il transistor M_2 opera in configurazione a gate comune con una resistenza effettiva sul source pari a $R_S = 1/g_{m1}$; la resistenza che si riscontra "guardando" nel terminale di drain di M_2 è pari a:

$$R_{o2} = r_{o2}(1 + g_{m2}R_S) = r_{o2}\left(1 + g_{m2}\frac{1}{g_{m1}}\right) = 2r_{o2} \quad (16.66)$$

Pertanto la corrente di drain di M_2 è pari a $v_x/2r_{o2}$; questa corrente rappresenta anche la corrente di drain di M_1 che viene replicata dallo specchio composto da M_3 e da M_4 . In definitiva, la corrente totale erogata dal generatore v_x diviene $2v_x/2r_{o2} = v_x/r_{o2}$. Considerando anche il contributo della r_{o4} si ottiene una corrente totale pari a:

$$i_x^T = \frac{v_x}{r_{o2}} + \frac{v_x}{r_{o4}} \quad \text{e} \quad R_{od} = r_{o2} \parallel r_{o4} \quad (16.67)$$

La resistenza equivalente al nodo di uscita è quindi data dal parallelo delle resistenze di uscita di M_2 e di M_4 .

ESERCIZIO Si calcoli il punto di lavoro dei transistori in Figura 16.32, assumendo: $I_{SS} = 250 \mu\text{A}$, $K_n = 250 \mu\text{A}/\text{V}^2$, $K_p = 200 \mu\text{A}/\text{V}^2$, $V_{TN} = -V_{TP} = 0.75 \text{ V}$ e $V_{DD} = V_{SS} = 5 \text{ V}$. Quanto valgono la transconduttanza, la resistenza di uscita e il guadagno di tensione dell'amplificatore se $\lambda = 0.0133 \text{ V}^{-1}$?

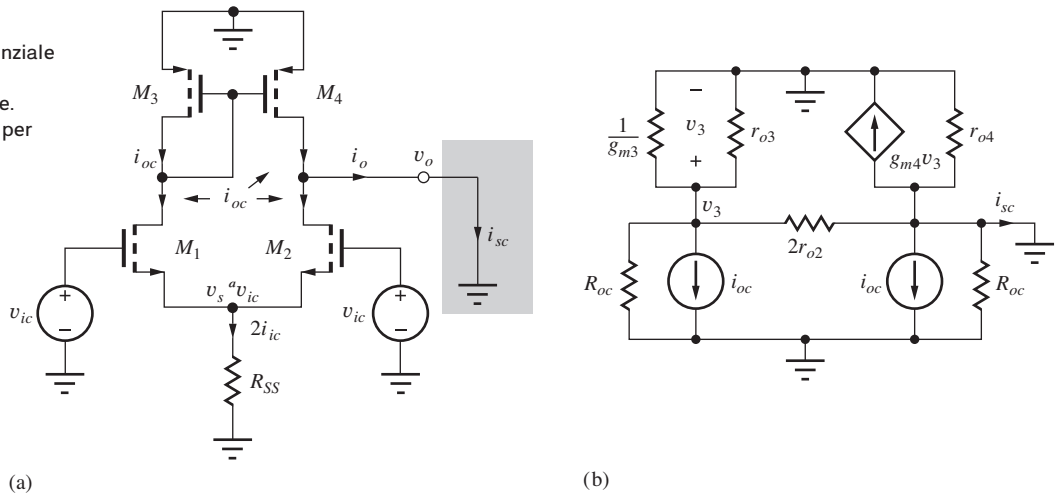
RISPOSTE (125 μA , 4.88 V), (125 μA , 1.87 V); 250 μS , 314 k Ω , 78.5.

Analisi per la componente di segnale di modo comune. La Figura 16.36 mostra l'amplificatore differenziale CMOS cui è applicato un segnale di ingresso di modo comune. La tensione di ingresso determina una corrente di modo comune i_{oc} in entrambi i rami della coppia differenziale composta da M_1 e da M_2 .

La corrente di modo comune, i_{oc} , in M_1 è replicata all'uscita di M_4 con un piccolo errore, poiché non circola corrente in r_{o4} , quando l'uscita è cortocircuitata. Inoltre, la piccola differenza di potenziale che si sviluppa fra i drain di M_1 e M_2 comporta il passaggio di una corrente nella resistenza di uscita del differenziale, $2r_{o2}$.

Figura 16.36

(a) Amplificatore differenziale CMOS con un segnale di ingresso di modo comune.
(b) Modello equivalente per piccolo segnale.



Un'espressione per la corrente di uscita in cortocircuito può essere ottenuta utilizzando il modello a piccoli segnali del circuito, mostrato in Figura 16.36(b). La coppia differenziale con ingresso di modo comune è rappresentata con il doppio bipolo equivalente, in cui:

$$i_{oc} \approx \frac{v_{ic}}{2R_{SS}} \quad R_{od} = 2r_{o2} \quad R_{oc} = 2\mu_f R_{SS} \quad (16.68)$$

Poiché l'uscita è in cortocircuito, abbiamo un solo nodo non al riferimento di tensione nel circuito equivalente. Risolvendo in v_3 si ha:

$$v_3 = \frac{-i_{oc}}{g_{m3} + g_{o3} + \frac{g_{o2}}{2} + G_{oc}} \quad \text{e} \quad i_{sc} = -\left(i_{oc} + g_{m4}v_3 - \frac{g_{o2}}{2}v_3\right) \quad (16.69)$$

Dalle Equazioni (16.68)-(16.69) si ricava:

$$i_{sc} = -\frac{g_{o3} + g_{o2}}{g_{m3} + g_{o3} + \frac{g_{o2}}{2} + G_{oc}} i_{oc} \approx -\frac{1 + \frac{r_{o3}}{r_{o2}}}{\mu_{f3}} \left(\frac{v_{ic}}{2R_{SS}}\right) \quad (16.70)$$

in cui si è ipotizzato: $g_{m4} = g_{m3}$ e: $G_{oc} \ll g_{m3}$. La resistenza equivalente di uscita è esattamente la stessa calcolata per segnale d'ingresso differenziale, $R_{th} = r_{o2} \parallel r_{o4}$. Il guadagno di modo comune è pertanto dato da:

$$A_{cm} = \frac{i_{sc} R_{th}}{v_{ic}} = -\frac{\left(1 + \frac{r_{o3}}{r_{o2}}\right)}{2\mu_{f3} R_{SS}} (r_{o2} \parallel r_{o4}) \quad (16.71)$$

in cui si è assunto $\mu_{f3} \gg 1$. Il rapporto di reiezione di modo comune è dato da:

$$\text{CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{2\mu_{f3} g_{m2} R_{SS}}{\left(1 + \frac{r_{o3}}{r_{o2}}\right)} \approx \mu_{f3} g_{m2} R_{SS} \quad \text{per} \quad r_{o3} \approx r_{o2} \quad (16.72)$$

con un miglioramento di un fattore μ_{f3} rispetto alla coppia differenziale con carico resistivo.

ESERCIZIO Si valuti l'Equazione (16.72), assumendo: $K_p = K_n = 5 \text{ mA/V}^2$, $\lambda = 0.0167 \text{ V}^{-1}$, $I_{SS} = 200 \text{ } \mu\text{A}$ e $R_{SS} = 10 \text{ M}\Omega$.

RISPOSTA 6.00×10^6 , ovvero 136 dB.

L'ultimo esercizio mostra che il CMRR previsto dall'Equazione (16.72) è molto elevato. In realtà il rapporto di reiezione di modo comune di un tipico amplificatore operazionale è compreso fra 80 e 100 dB, ed è limitato essenzialmente dalla non perfetta equivalenza dei dispositivi che compongono il circuito.

Limitazioni al CMRR dovute alla non perfetta equivalenza dei dispositivi (mismatch)

La Figura 16.37 mostra il modello a piccoli segnali dell'amplificatore differenziale, con ingresso di modo comune, quando vi è una differenza nelle caratteristiche dei dispositivi M_1 e M_2 . Assumiamo:

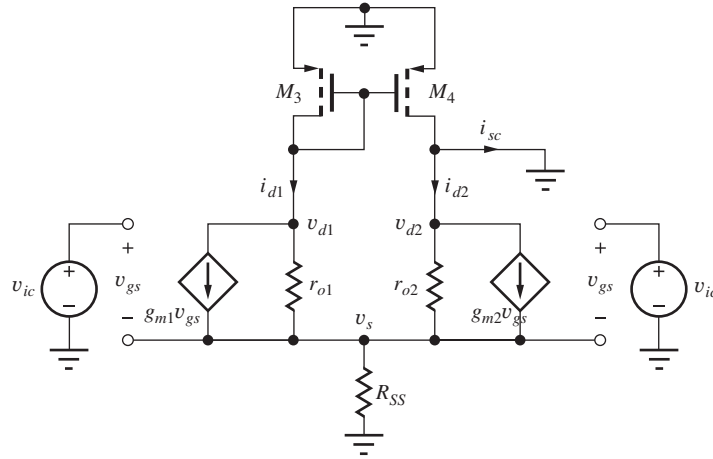
$$g_{m1} = g_m + \frac{\Delta g_m}{2} \quad g_{m2} = g_m - \frac{\Delta g_m}{2} \quad g_{o1} = g_o + \frac{\Delta g_o}{2} \quad g_{o2} = g_o - \frac{\Delta g_o}{2} \quad (16.73)$$

Ipotizziamo, altresì, che le caratteristiche di M_3 e M_4 siano ancora identiche fra loro. Vogliamo calcolare la corrente di uscita di cortocircuito: $i_{sc} = (i_{d1} - i_{d2})$, in cui i_{d1} viene replicata dallo specchio di corrente. Nel circuito di Figura 16.37, $v_{d2} = 0$, poiché il terminale di uscita è in cortocircuito; inoltre, sulla base dei risultati ottenuti in precedenza, ci aspettiamo che il segnale v_{d1} sia piccolo. Ipotizziamo, per semplificare l'analisi del circuito, che $v_{d1} \approx 0$. In quest'ipotesi, e osservando che le due tensioni gate-source sono uguali, si ricava:

$$i_{sc} = i_{d1} - i_{d2} = (g_{m1} - g_{m2})v_{gs} - (g_{o1} - g_{o2})v_s = \Delta g_m v_{gs} - \Delta g_o v_s \quad (16.74)$$

Figura 16.37

Amplificatore differenziale CMOS in cui le caratteristiche dei dispositivi M_1 e M_2 non sono identiche.



Per valutare questa espressione dobbiamo calcolare il potenziale di source v_s e la tensione gate-source v_{gs} . Scrivendo un'equazione che descrive l'equilibrio delle correnti al nodo di source, con $v_{gs} = v_{ic} - v_s$, $v_{d1} = 0$ e $v_{d2} = 0$, si ottiene:

$$\left(g_m + \frac{\Delta g_m}{2} + g_m - \frac{\Delta g_m}{2}\right)(v_{ic} - v_s) = \left(g_o + \frac{\Delta g_o}{2} + g_o - \frac{\Delta g_o}{2} + G_{SS}\right)v_s$$

in cui tutti i termini che portano in conto la non perfetta simmetria dei dispositivi si cancellano fra loro. Dunque, per ingresso di modo comune, v_s e v_{gs} non sono influenzati dal *mismatch* dei transistori, e risulta:

$$v_s \approx \frac{2g_m R_{SS}}{1 + 2g_m R_{SS}} v_{ic} \approx v_{ic} \quad \text{e} \quad v_{gs} \approx \frac{1 + 2g_o R_{SS}}{1 + 2g_m R_{SS}} v_{ic} \approx \left(\frac{1}{2g_m R_{SS}} + \frac{1}{\mu_f}\right) v_{ic} \quad (16.75)$$

La corrente di uscita fluisce attraverso la resistenza differenziale di uscita $R_{th} = r_{o2} || r_{o4}$ per produrre la tensione di uscita. Risulta pertanto:

$$A_{cm} = \frac{i_{sc} R_{th}}{v_{ic}} = \left[\Delta g_m \left(\frac{1}{2g_m R_{SS}} + \frac{1}{\mu_f}\right) - \Delta g_o\right] (r_{o2} || r_{o4}) \quad (16.76)$$

Il rapporto di reiezione di modo comune è dato da:

$$\text{CMRR}^{-1} = \left|\frac{A_{cm}}{A_{dm}}\right| = \left|\frac{A_{cm}}{g_m (r_{o2} || r_{o4})}\right| = \left[\frac{\Delta g_m}{g_m} \left(\frac{1}{2g_m R_{SS}} + \frac{1}{\mu_f}\right) - \frac{\Delta g_o}{g_o} \frac{1}{\mu_f}\right] \quad (16.77)$$

Per valori di R_{SS} molto elevati vediamo che il CMRR è limitato dalle differenze delle caratteristiche dei dispositivi e dal valore del fattore di amplificazione. Per esempio, un'asimmetria dell'1% con un fattore di amplificazione di 500 limita i termini che compaiono nella (16.77) a 2×10^{-5} . Poiché non è possibile predire i segni dei fattori $\Delta g/g$, il CMRR atteso è 2.5×10^4 , ovvero 88 dB.



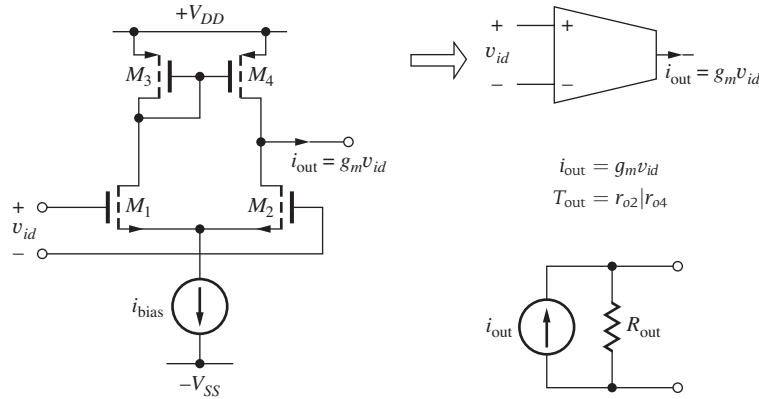
ELETTRONICA IN AZIONE

I filtri G_m -C

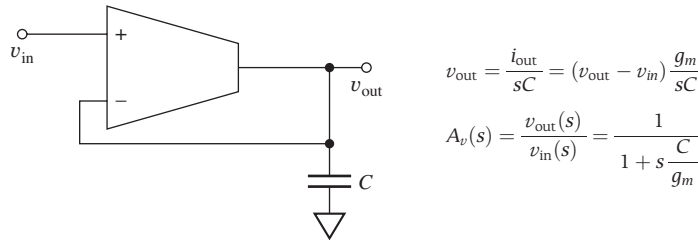
La realizzazione di filtri nei circuiti integrati è complicata dalla difficoltà di realizzare elementi resistivi di valore ben controllato nei processi CMOS standard. Un approccio per superare questo problema è l'uso di filtri G_m -C, basati sull'utilizzo di amplificatori operazionali di transconduttanza (OTA, *Operational Transconductance Amplifiers*). Un OTA è caratterizzato da un'elevata impedenza sia d'ingresso che di

uscita. La figura seguente mostra un semplice esempio di OTA; la corrente di uscita per piccolo segnale è data dal prodotto $g_m v_{id}$, dove g_m è la transconduttanza della coppia differenziale mentre v_{id} è la tensione differenziale di ingresso.

Un tipico OTA include dispositivi aggiuntivi per incrementare la resistenza e l'escursione di tensione in uscita.

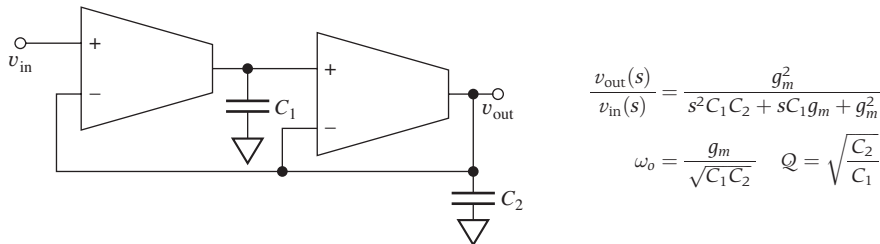


Schema equivalente e simbolo per un amplificatore operazionale di transconduttanza (OTA).

Filtro passa-basso G_m -C a singolo polo.

Come mostrato in figura, un semplice filtro passa-basso può essere realizzato con un OTA e un condensatore. La figura riporta anche la caratteristica di trasferimento, da cui si evince che la frequenza di taglio superiore è data da: $f_H = g_m / 2\pi C$. Una delle proprietà più utili dei filtri G_m -C è la facilità con la quale può essere modificata la caratteristica di trasferimento; ricordando che g_m dipende dal punto di lavoro della coppia differenziale, vediamo che la frequenza di taglio del filtro può essere facilmente modificata agendo sulla corrente di polarizzazione.

La figura seguente mostra un filtro del secondo ordine (topologia biquad). In questo circuito è possibile modificare la frequenza di taglio mantenendo il fattore Q costante; si noti inoltre che il filtro non richiede nessuna resistenza. Con semplici modifiche al circuito mostrato in figura, è possibile realizzare filtri passa-alto, passa-banda e a reiezione di banda. Grazie alla compatibilità con i processi CMOS standard e la ridotta dissipazione di potenza, i filtri g_m -C trovano numerose applicazioni fra cui: i circuiti per telecomunicazioni, i filtri anti-aliasing dei convertitori A/D ecc.

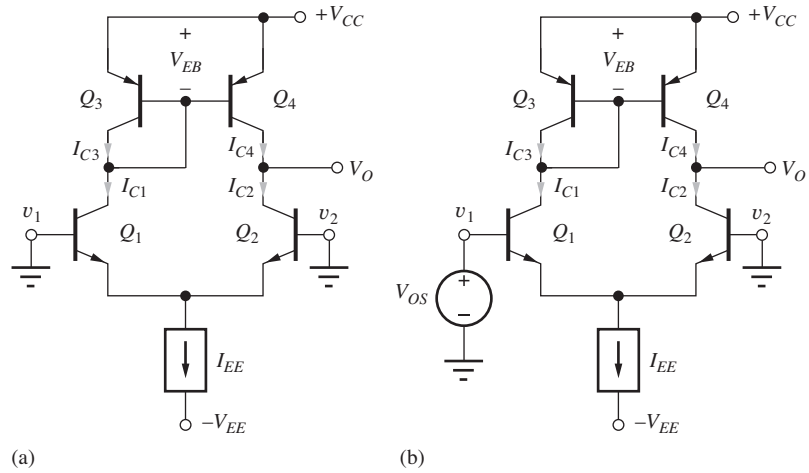
Filtro passa-basso G_m -C biquadratico a due poli.

16.7.2 Amplificatore differenziale bipolare con carico attivo

La Figura 16.38 mostra un amplificatore differenziale bipolare con un carico attivo formato da uno specchio di corrente pnp . Se assumiamo che il circuito sia perfettamente bilanciato e che $\beta_{FO} \rightarrow \infty$, la corrente di polarizzazione I_{EE} si suddivide equamente fra i due transistori Q_1 e Q_2 , per cui le correnti I_{C1} e I_{C2} sono entrambe pari a $I_{EE}/2$. La corrente I_{C1} è erogata dal transistor Q_3 , ed è inoltre "riflessa" come I_{C4} al terminale di collettore del transistor pnp Q_4 ; pertanto anche I_{C3} e I_{C4} sono pari a $I_{EE}/2$ e le correnti di collettore dei quattro transistori sono tutte uguali fra loro.

Figura 16.38

(a) Amplificatore differenziale bipolare con carico attivo.
(b) Amplificatore con tensione di offset.



Se β_{FO} è molto grande, il rapporto di riflessione dello specchio di corrente è esattamente unitario se $V_{EC4} = V_{EC3} = V_{EB}$, e l'amplificatore differenziale è perfettamente bilanciato quando la tensione di uscita DC è pari a:

$$V_O = V_{CC} - V_{EB} \quad (16.78)$$

Punto di lavoro dei dispositivi. Le correnti di collettore dei quattro transistori sono uguali fra loro:

$$I_{C1} = I_{C2} = I_{C3} = I_{C4} = \frac{I_{EE}}{2} \quad (16.79)$$

Le tensioni collettore-emettitore di Q_1 e di Q_2 sono:

$$V_{CE1} = V_{CE2} = V_C - V_E = (V_{CC} - V_{EB}) - (-V_{BE}) \approx V_{CC} \quad (16.80)$$

mentre per Q_3 e Q_4 si ha:

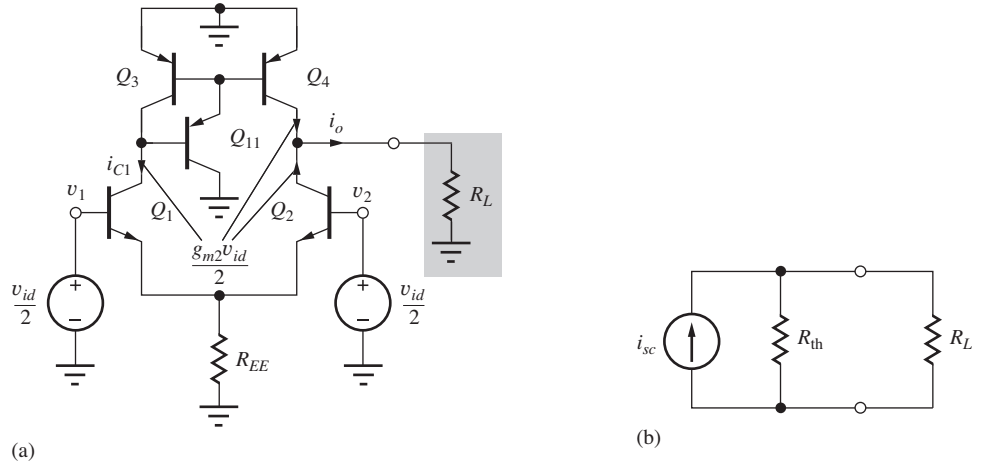
$$V_{EC3} = V_{EC4} = V_{EB} \quad (16.81)$$

Effetto del valore finito del guadagno di corrente. Il valore finito del guadagno dei BJT altera il bilanciamento in DC del circuito; tuttavia, fin quando i transistori rimangono in regione attiva diretta, la corrente di collettore di Q_4 deve essere pari alla corrente di collettore di Q_2 , e la tensione di collettore di Q_4 si modificherà rispetto al valore previsto dalla (16.81), in modo da compensare la non-idealità dello specchio di corrente. In Figura 16.39(b) applichiamo un offset di tensione all'amplificatore per riportarlo in una condizione di bilanciamento con $V_O = V_{C1}$, così da avere $V_{CE2} = V_{CE1}$ e $V_{EC4} = V_{EC3}$. Abbiamo così rimosso lo sbilanciamento causato dalle differenze di tensione collettore-emettitore; il valore dell'offset può essere calcolato usando l'Equazione (9.2) e dipende dal rapporto tra le correnti di collettore Q_1 e Q_2 :

$$\frac{I_{C1}}{I_{C2}} = \exp\left(\frac{V_{OS}}{V_T}\right) \quad \text{oppure} \quad V_{OS} = V_T \ln\left(\frac{I_{C1}}{I_{C2}}\right) \quad (16.82)$$

Figura 16.39

(a) Amplificatore differenziale bipolare con un segnale di ingresso di modo differenziale.
(b) Circuito equivalente.



Dalla Figura 16.39(b) abbiamo $I_{C3} = I_{C4} = I_{C2}$ e quindi

$$I_{C1} = I_{C3} + I_{B3} + I_{B4} = I_{C2} \left(1 + \frac{2}{\beta_{FO3}} \right) \quad (16.83)$$

La tensione di offset vale

$$V_{OS} = V_T \ln \left(1 + \frac{2}{\beta_{FO3}} \right) \approx V_T \frac{2}{\beta_{FO3}} \quad (16.84)$$

Nell'Equazione (16.84) abbiamo approssimato $\ln(1+x)$ con x , essendo $x \ll 1$, e V_{OS} rappresenta la tensione di ingresso necessaria per portare a zero la tensione di uscita differenziale v_{OD} . Nel caso di transistori *pnp* con $\beta_{FO} = 80$, $V_{OS} \approx 0.625$ mV. Per ridurre la tensione di offset viene spesso utilizzato come carico attivo uno specchio di corrente con buffer, come mostra la Figura 16.39.

ESERCIZIO (a) Si ricavi l'espressione di V_{OS} quando uno specchio di corrente con buffer è utilizzato come carico attivo. (b) Si calcoli il valore di V_{OS} assumendo per il transistor *pnp* $\beta_{FO} = 80$.

RISPOSTE $V_{OS} \approx V_T \frac{2}{\beta_{FO3}(\beta_{FO11} + 1)}$; 7.72 μ V.

Analisi per la componente di segnale di modo differenziale. Supponiamo che all'amplificatore differenziale con carico attivo sia applicato un segnale di ingresso puramente differenziale, come mostrato in Figura 16.39. La coppia differenziale fornisce due correnti uguali e opposte di ampiezza $g_{m2}v_{id}/2$ ai terminali di collettore di Q_1 e Q_2 . Grazie allo specchio di corrente, la corrente i_{c1} viene replicata al collettore di M_4 , e la corrente totale di cortocircuito è data da:

$$i_{sc} = 2 \frac{g_{m2}v_{id}}{2} = g_{m2}v_{id} \quad (16.85)$$

La resistenza di uscita è data dalla (16.67) e può essere scritta come: $R_{th} = r_{o2} \parallel r_{o4}$, da cui si ricava:

$$A_{dd} = \frac{i_{sc}(R_L \parallel R_{th})}{v_{dm}} = g_{m2}(R_L \parallel r_{o2} \parallel r_{o4}) = -g_{m2}R_L \quad (16.86)$$

Così come per l'amplificatore MOSFET del paragrafo precedente, l'amplificatore differenziale con carico attivo bipolare fornisce un'uscita riferita a ground con una transconduttanza pari a quella di un amplificatore a emettitore comune. La resistenza R_L rappresenta il carico offerto dallo stadio successivo in un amplificatore multistadio.

Anche per i circuiti bipolari, l'effettiva potenzialità dell'amplificatore differenziale con carico attivo si evidenzia quando vengono aggiunti ulteriori stadi al circuito, come nell'amplificatore operativo elementare di Figura 16.40. La resistenza all'uscita dell'amplificatore differenziale, nodo 1, è data dal parallelo fra le resistenze di uscita di Q_2 e di Q_4 e la resistenza di ingresso di Q_5 ($R_L = r_{\pi5}$):

$$R_{eq} = r_{o2} \parallel r_{o4} \parallel r_{\pi5} \approx r_{\pi5} \quad (16.87)$$

Il guadagno dello stadio differenziale è pari a:

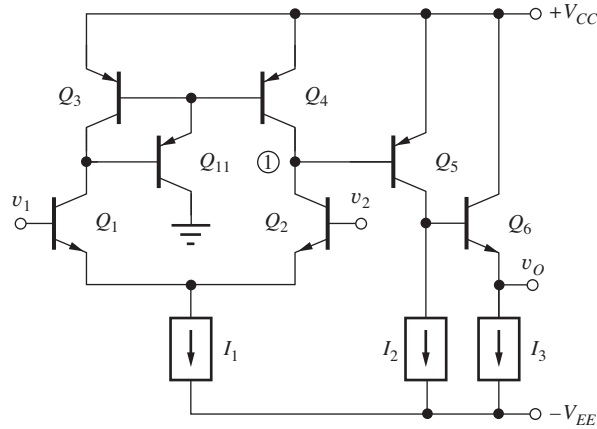
$$A_{dm} = g_{m2}R_{eq} \approx g_{m2}r_{\pi5} = \beta_{o5} \frac{I_{C2}}{I_{C5}} \quad (16.88)$$

ESERCIZIO Si calcoli il guadagno di tensione di modo differenziale per l'amplificatore in Figura 16.40, assumendo $\beta_{FO} = 150$, $V_A = 75$ V e $I_{C5} = 3 I_{C2}$.

RISPOSTA 50.

Figura 16.40

Amplificatore operazionale elementare, in tecnologia bipolare, con un carico attivo nel primo stadio.



Analisi per la componente di segnale di modo comune. I circuiti in Figura 16.41 mostrano due amplificatori differenziali a BJT con carico attivo, con un segnale d'ingresso di modo comune. Il circuito di Figura 16.41(a) utilizza un semplice specchio di corrente come carico, mentre nel circuito di Figura 16.41(b) si adopera uno specchio di corrente con buffer. L'analisi dettagliata dei due circuiti è alquanto tediosa, specialmente per lo specchio di corrente con buffer; nello studio che segue faremo ampio riferimento a risultati ottenuti in precedenza.

Consideriamo dapprima il circuito di Figura 16.41(a). La corrente di modo comune i_{oc} in Q_1 e Q_2 è ottenuta con l'ausilio dell'Equazione (15.27):

$$i_{oc} = \frac{A_{cc} v_{ic}}{R_C} = v_{ic} \left(\frac{1}{2R_{EE}} - \frac{1}{\beta_o r_o} \right) \quad (16.89)$$

La corrente di Q_1 viene riflessa all'uscita di Q_4 , con un errore di $2/\beta_o$; la corrente di uscita di cortocircuito può pertanto essere calcolata come:

$$i_{sc} = v_{ic} \frac{2}{\beta_o} \left(\frac{1}{\beta_o r_o} - \frac{1}{2R_{EE}} \right) \quad (16.90)$$

Seguendo la stessa analisi svolta per il differenziale a MOS, osserviamo che la tensione al collettore di Q_1 , i_{oc}/g_{m3} forza una corrente nella resistenza di uscita del differenziale ($2r_o$). Questa corrente, raddoppiata dall'effetto dello specchio di corrente, rappresenta un ulteriore contributo a i_{sc} :

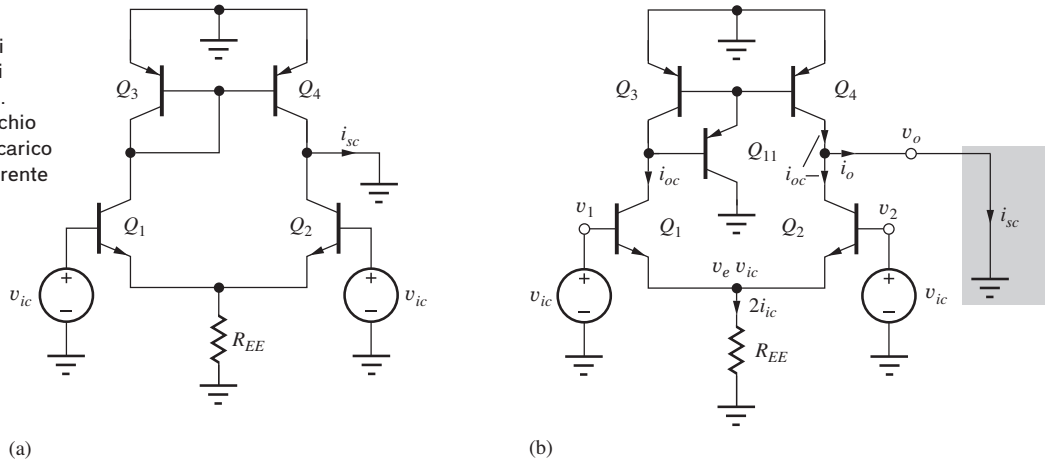
$$i_{sc} = 2v_{ic} \left(\frac{1}{\beta_o r_o} - \frac{1}{2R_{EE}} \right) \frac{1}{g_{m3}(2r_o)} \approx \frac{v_{ic}}{\mu_{f2}} \left(\frac{1}{\beta_o r_o} - \frac{1}{2R_{EE}} \right) \quad (16.91)$$

Poiché per un BJT $\mu_f \gg \beta_o$, l'uscita sarà dominata dall'Equazione (16.90), e il CMRR è:

$$\text{CMRR} = \left| \frac{g_{m2} R_{th}}{i_{sc} R_{th} / v_{ic}} \right| \approx \left[\frac{2}{\beta_o} \left(\frac{1}{\beta_o \mu_{f2}} - \frac{1}{2g_{m2} R_{EE}} \right) \right]^{-1} \quad (16.92)$$

Figura 16.41

Amplificatori differenziali bipolari con un segnale di ingresso di modo comune. (a) carico attivo con specchio di corrente semplice; (b) carico attivo con specchio di corrente con buffer.



ESERCIZIO Si valuti l'Equazione (16.92), assumendo: $\beta_F = 100$, $V_A = 75$ V, $I_{EE} = 200$ μ A e $R_{EE} = 10$ M Ω .

RISPOSTA 5.45×10^6 , ovvero 135 dB.

L'ultimo esercizio mostra che il CMRR previsto dall'Equazione (16.92) è molto elevato e non può in pratica essere ottenuto.

Il CMRR per il circuito che utilizza lo specchio di corrente con buffer è ancora maggiore, poiché l'errore introdotto dallo specchio di corrente si riduce a $2/\beta_{o11}\beta_{o3}$. Così come per i circuiti MOS, anche in questo caso in CMRR è, in effetti, limitato dalle inevitabili asimmetrie nelle caratteristiche dei dispositivi:

$$\text{CMRR}^{-1} = \left[\left(\frac{\Delta g_m}{g_m} + \frac{\Delta g_\pi}{g_\pi} \right) \left(\frac{1}{2g_m R_{SS}} + \frac{1}{\mu_f} \right) - \frac{\Delta g_o}{g_o} \frac{1}{\mu_f} \right] \quad (16.93)$$

L'ultima equazione è molto simile alla (16.77) ottenuta in precedenza per il circuito a MOS, con l'aggiunta del termine $\Delta g_\pi/g_\pi$.

16.8 I carichi attivi negli amplificatori operazionali

In questo paragrafo studieremo in maggior dettaglio l'utilizzo di carichi attivi negli amplificatori operazionali sia MOS che bipolari. La Figura 16.42 mostra lo schema di un amplificatore operazionale MOS a tre stadi. Lo stadio di ingresso è costituito dalla coppia differenziale M_1 e M_2 , con un carico attivo formato da uno specchio di corrente PMOS, M_3 e M_4 . Il secondo stadio è formato da un amplificatore a source comune, M_5 , caricato da un generatore di corrente realizzato con il transistor M_{10} . Lo stadio di uscita è un amplificatore in classe AB realizzato con i transistori M_6 e M_7 . Le correnti di polarizzazione I_1 e I_2 per i primi due stadi sono fornite dagli specchi di corrente realizzati con i transistori M_8 , M_9 e M_{10} , mentre lo stadio di uscita in classe AB è polarizzato grazie alla differenza di potenziale ai capi della resistenza R_{GG} . Si noti che sono necessari complessivamente due soli resistori: R_{GG} e il resistore necessario per generare la corrente di riferimento I_{REF} .

16.8.1 Guadagno di tensione dell'amplificatore operazionale CMOS

Assumendo che il guadagno dello stadio di uscita sia approssimativamente unitario, il guadagno differenziale complessivo A_{dm} dell'amplificatore operazionale a tre stadi è pari a:

$$A_{dm} = \frac{v_a}{v_{id}} \frac{v_b}{v_a} \frac{v_o}{v_b} = A_{vt1} A_{vt2} (1) \approx A_{vt1} A_{vt2} \quad (16.94)$$

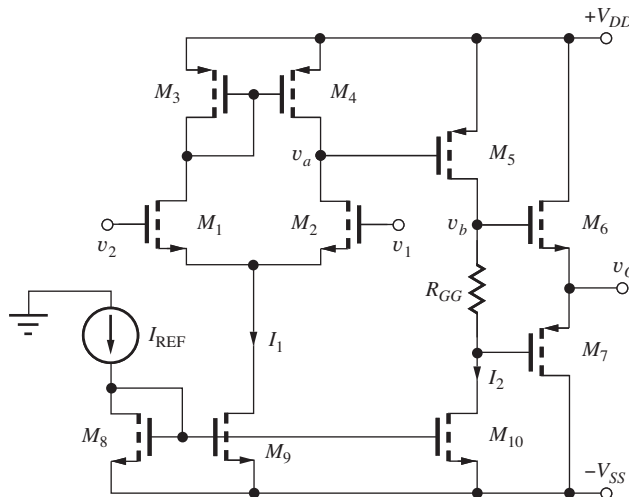


Figura 16.42

Schema completo di un amplificatore operazionale CMOS, in cui la polarizzazione è realizzata mediante uno specchio di corrente.

Come abbiamo visto nei paragrafi precedenti, il guadagno dello stadio di ingresso è dato da:

$$A_{vt1} = g_{m2}(r_{o2} \parallel r_{o4}) \approx \frac{\mu_{f2}}{2} \quad (16.95)$$

Assumendo che le resistenze di uscita di M_5 e di M_{10} abbiano lo stesso valore, e assumendo inoltre $R_{GG} \ll r_{o10}$, il guadagno del secondo stadio può essere espresso come:

$$A_{vt2} = g_{m5}(r_{o5} \parallel (R_{GG} + r_{o10})) \approx g_{m5}(r_{o5} \parallel r_{o10}) \approx g_{m5}(r_{o5} \parallel r_{o5}) = \frac{\mu_{f5}}{2} \quad (16.96)$$

Combinando le ultime tre equazioni si ottiene:

$$A_{dm} \approx \frac{\mu_{f2}\mu_{f5}}{4} \quad (16.97)$$

Il guadagno complessivo dell'amplificatore operazionale è pari a un quarto del prodotto dei fattori di amplificazione dei primi due stadi.

Il fattore 4 al denominatore della (16.97) può essere eliminato migliorando il progetto dell'amplificatore. Utilizzando uno specchio di corrente di Wilson, la resistenza di uscita del carico attivo dello stadio differenziale diviene molto maggiore rispetto a r_{o2} , e A_{vt1} diviene pari a μ_{f2} . Analogamente, il guadagno del secondo stadio può essere aumentato fino al fattore di amplificazione di M_5 sostituendo il generatore di corrente M_{10} con un generatore di Wilson o con un generatore cascode. Utilizzando entrambi questi approcci, il guadagno dell'amplificatore operazionale può essere aumentato fino a:

$$A_{dm} \approx \mu_{f2}\mu_{f5} \quad (16.98)$$

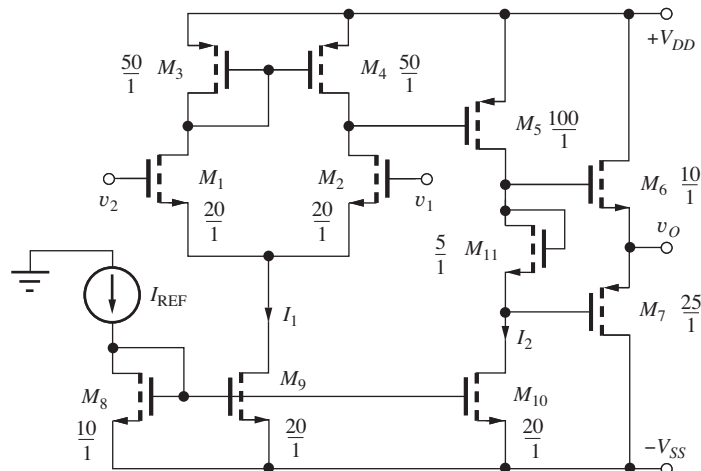
In quest'analisi abbiamo soltanto accennato ad alcune delle molte tecniche disponibili per migliorare il guadagno degli amplificatori operazionali CMOS. Ulteriori esempi sono riportati nei problemi alla fine di questo capitolo.

16.8.2 Considerazioni sul punto di lavoro

Quando l'amplificatore operazionale di Figura 16.42 opera in una configurazione ad anello chiuso, la corrente di drain di M_5 deve essere pari alla corrente di uscita I_2 del generatore di corrente formato dal transistor M_{10} . Per ridurre al massimo la tensione di offset, il rapporto (W/L) di M_5 deve essere scelto accuratamente, in modo tale che la tensione source-gate di M_5 , $V_{SG5} = V_{DS4} = V_{SG3}$, sia esattamente il valore necessario per avere $I_{D5} = I_2$. Il rapporto W/L di M_5 viene inoltre progettato in modo tale da portare in conto le differenze nei valori di V_{DS} e di λ fra M_5 e M_{10} . La resistenza R_{GG} e i rapporti W/L di M_6 e di M_7 determinano il valore della corrente di riposo dello stadio di uscita in classe AB.

Nel circuito di Figura 16.43 è stato eliminato anche il resistore R_{GG} , che è sostituito dal MOSFET M_{11} , connesso a diodo. In questo caso, la corrente nello stadio di uscita è determinata dai rapporti W/L dei transistori di uscita e del MOSFET M_{11} .

Figura 16.43
Amplificatore operazionale CMOS, in cui si utilizza il MOSFET M_{11} per polarizzare lo stadio di uscita in classe AB.



ANALISI DI UN AMPLIFICATORE OPERAZIONALE CMOS

Esempio 16.7

Si calcoli il guadagno di tensione e le resistenze di ingresso e di uscita dell'amplificatore operazionale di Figura 16.43, assumendo: $K'_n = 25 \mu\text{A}/\text{V}^2$, $K'_p = 10 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.75 \text{ V}$, $V_{TP} = -0.75 \text{ V}$, $\lambda = 0.0125 \text{ V}^{-1}$, $V_{DD} = V_{SS} = 5 \text{ V}$ e $I_{REF} = 100 \mu\text{A}$.

PROBLEMA

Informazioni e dati noti: Il circuito di Figura 16.43; $V_{DD} = V_{SS} = 5 \text{ V}$ e $I_{REF} = 100 \mu\text{A}$; i parametri dei dispositivi sono: $K'_n = 25 \mu\text{A}/\text{V}^2$, $K'_p = 10 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.75 \text{ V}$, $V_{TP} = -0.75 \text{ V}$, $\lambda = 0.0125 \text{ V}^{-1}$.

SOLUZIONE

Incognite: I punti di lavoro dei dispositivi, A_{dm} , R_{id} , R_{out} .

Approccio: Si determinino i punti di lavoro e si utilizzino i parametri dei dispositivi per valutare l'Equazione (16.97) per A_{dm} . Avendo dei MOSFET nello stadio di ingresso: $R_{id} = R_{ic} \rightarrow \infty$. Il valore di R_{out} dipende da M_6 e M_7 : $R_{out} = (1/g_{m6}) || (1/g_{m7})$.

Ipotesi: I dispositivi sono in regione attiva.

Analisi: Il guadagno è dato dell'Equazione (16.97).

$$A_{dm} \approx \frac{\mu_{f2}\mu_{f5}}{4} = \frac{1}{4} \left(\frac{1}{\lambda_2} \sqrt{\frac{2K_{n2}}{I_{D2}}} \right) \left(\frac{1}{\lambda_5} \sqrt{\frac{2K_{p5}}{I_{D5}}} \right)$$

Per l'amplificatore di Figura 16.43 si ha:

$$I_{D2} = \frac{I_1}{2} = \frac{2I_{REF}}{2} = 100 \mu\text{A} \quad I_{D5} = I_2 = 2I_{REF} = 200 \mu\text{A}$$

$$K_{n2} = 20K'_n = 500 \frac{\mu\text{A}}{\text{V}^2} \quad K_{p5} = 100K'_p = 1000 \frac{\mu\text{A}}{\text{V}^2}$$

Risulta, pertanto:

$$A_{dm} \approx \frac{\mu_{f2}\mu_{f5}}{4} = \frac{1}{4} \left(\frac{1}{0.0125 \text{ V}^{-1}} \right)^2 \sqrt{\frac{2 \left(500 \frac{\mu\text{A}}{\text{V}^2} \right)}{100 \mu\text{A}}} \sqrt{\frac{2 \left(1000 \frac{\mu\text{A}}{\text{V}^2} \right)}{200 \mu\text{A}}} = 16\,000$$

La resistenza di ingresso è il doppio della resistenza di ingresso di M_1 , ed è dunque infinita: $R_{id} \rightarrow \infty$. La resistenza di uscita è determinata dal parallelo delle resistenze di uscita di M_6 e M_7 , che agiscono come due inseguitori di source in parallelo:

$$R_{out} = \frac{1}{g_{m6}} \parallel \frac{1}{g_{m7}} = \frac{1}{\sqrt{2K_{n6}I_{D6}}} \parallel \frac{1}{\sqrt{2K_{p7}I_{D7}}}$$

Per valutare questa espressione dobbiamo valutare la corrente dello stadio di uscita. La tensione gate-source di M_{11} è data da:

$$V_{GS11} = V_{TN11} + \sqrt{\frac{2I_{D11}}{K_{n11}}} = 0.75 \text{ V} + \sqrt{\frac{2(200 \mu\text{A})}{125 \left(\frac{\mu\text{A}}{\text{V}^2} \right)}} = 2.54 \text{ V}$$

Nel nostro circuito $V_{TP} = -V_{TN}$ e i rapporti W/L di M_6 e M_7 sono stati scelti in modo che: $K_{p7} = K_{n6}$. Poiché I_{D6} deve essere uguale a I_{D7} , otteniamo: $V_{GS6} = V_{GS7}$. In definitiva, sia V_{GS6} che V_{GS7} sono pari alla metà di V_{GS11} e:

$$I_{D7} = I_{D6} = \frac{250}{2} \frac{\mu\text{A}}{\text{V}^2} (1.27 \text{ V} - 0.75 \text{ V})^2 = 33.7 \mu\text{A}$$

Le transconduttanze di M_6 e M_7 sono uguali fra loro:

$$g_{m7} = g_{m6} = \sqrt{2 \left(250 \frac{\mu\text{A}}{\text{V}^2} \right) (33.7 \mu\text{A})} = 130 \mu\text{S}$$

La resistenza di uscita vale: $R_{out} = 3.85 \text{ k}\Omega$.

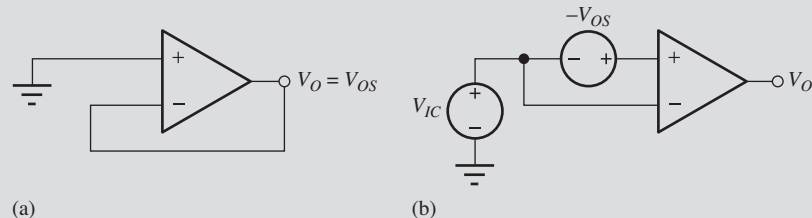
Controllo dei risultati: Data la complessità del circuito, utilizzeremo la simulazione SPICE per verificare la correttezza dell'analisi del circuito.

Discussione: La simulazione in SPICE delle caratteristiche ad anello aperto di un amplificatore a elevato guadagno può risultare alquanto difficoltosa. Il guadagno ad anello aperto, infatti, amplifica la tensione di offset, e ciò può comportare la saturazione dello stadio di uscita. Un approccio per risolvere questo problema consiste nel determinare preventivamente la tensione di offset e nell'applicare quindi una tensione di compensazione all'ingresso, in modo da portare l'uscita dell'amplificatore vicino a zero. Questa è la tecnica che verrà utilizzata in questo esempio. Si noti che quando il guadagno del circuito è estremamente elevato, SPICE può non essere in grado di raggiungere la convergenza, a causa degli errori numerici.

Analisi assistita da calcolatore: Dopo aver disegnato con lo schematic editor il circuito di Figura 16.43, definiamo i parametri dei dispositivi. Per gli NMOS: $K_P = 25U$, $V_{TO} = 0.75$ e $LAMBDA = 0.0125$. Per i dispositivi PMOS: $K_P = 10U$, $V_{TO} = -0.75$ e $LAMBDA = 0.0125$. I valori di W e di L devono essere specificati per ognuno dei transistori presenti nel circuito.

Il primo passo nella simulazione consiste nel determinare la tensione di offset. A tal fine colleghiamo l'amplificatore operazionale in modo da realizzare un inseguitore; ponendo la tensione di ingresso pari a zero la tensione di uscita sarà uguale alla tensione di offset V_{OS} , come si nota in Figura 16.44(a). La tensione V_{OS} viene quindi applicata come ingresso differenziale dell'amplificatore, con una tensione di modo comune $V_{IC} = 0$, come mostra la Figura 16.44(b). Se il valore di v_{OS} è corretto, l'analisi del punto di lavoro del circuito dovrebbe fornire una tensione di uscita all'incirca nulla. In queste condizioni, un'analisi della caratteristica di trasferimento da V_{OS} all'uscita fornisce i valori di A_{dm} , R_{id} e R_{out} . L'analisi della caratteristica di trasferimento da V_{IC} all'uscita fornisce i valori di A_{cm} , R_{ic} e R_{out} .

Figura 16.44
Simulazioni SPICE
dell'amplificatore
operazionale. (a)
Determinazione della
tensione di offset. (b) Circuito
per l'analisi ad anello aperto.



ESERCIZIO Si simuli l'amplificatore di Figura 16.43 utilizzando SPICE e si confrontino i risultati con i calcoli dell'Esempio 16.7. Qual è l'ingresso non-invertente dell'operazionale? Quanto valgono la tensione di offset, i guadagni di modo differenziale e di modo comune, il CMRR, le resistenze di ingresso di modo comune e di modo differenziale e la resistenza di uscita?

RISPOSTE v_1 ; 64 μV ; 17 800; 0.52; 90.7 dB; $\rightarrow \infty$; $\rightarrow \infty$; 3.63 k Ω .

16.8.3 Amplificatore operazionale bipolare

I circuiti con carico attivo vengono utilizzati frequentemente anche negli amplificatori operazionali bipolari. In effetti molte delle tecniche circuitali descritte finora furono sviluppate dapprima per amplificatori bipolari per essere poi applicate, con lo sviluppo delle tecnologie NMOS e CMOS, anche ai circuiti MOS.

Nel circuito di Figura 16.45, lo stadio di ingresso è costituito da una coppia differenziale con carico attivo, formato dai transistori Q_1 , Q_2 , Q_3 e Q_4 . Il secondo stadio è una configurazione a emettitore comune ad alto guadagno formata da Q_5 e dal carico attivo Q_8 . La resistenza di carico R_L è pilotata dallo stadio di uscita in classe AB costituito dai transistori Q_6 e Q_7 e polarizzato dalla corrente I_2 e dai diodi Q_{11} e Q_{12} (questi diodi sono in realtà realizzati mediante transistori bipolari, con un'area di emettitore cinque volte maggiore rispetto a quelle di Q_6 e Q_7).

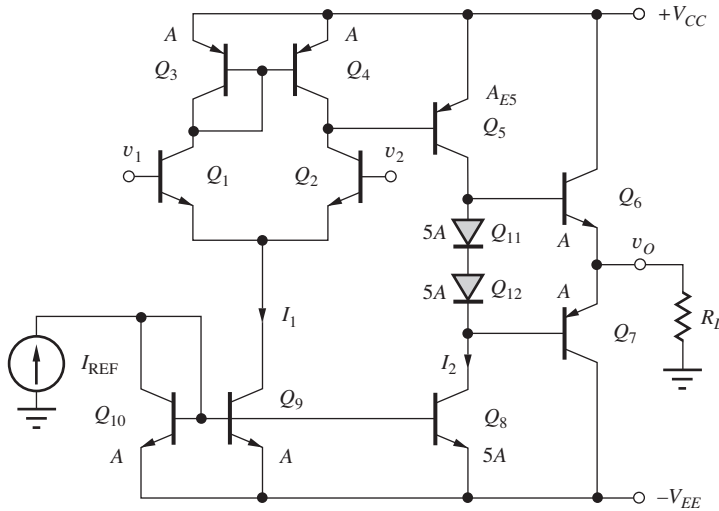


Figura 16.45
Schema completo di un
amplificatore operazionale
bipolare.

Grazie alle nostre conoscenze sugli amplificatori multistadio, sappiamo che il guadagno del circuito può essere espresso come $A_{dm} = A_{vt1}A_{vt2}A_{vt3}$, ed è dato da:

$$A_{dm} \approx [g_{m2}r_{\pi5}][g_{m5}(r_{o5} \parallel r_{o8} \parallel (\beta_{o6} + 1)R_L)][1] \approx \frac{g_{m2}}{g_{m5}} g_{m5} r_{\pi5} g_{m5} \frac{r_{o5}}{2} = \frac{I_{C2}}{I_{C5}} \beta_{o5} \frac{\mu_{f5}}{2} \quad (16.99)$$

in cui si è ipotizzato che la resistenza di ingresso dello stadio di uscita in classe AB sia molto maggiore del parallelo di r_{o5} e di r_{o8} . Si noti che il limite superiore dell'Equazione (16.99) è determinato dal fattore $\beta_o V_A$ del transistor Q_5 , dato che I_{C2} è generalmente minore o uguale a I_{C5} .

ESERCIZIO Si calcoli il guadagno di tensione dell'amplificatore in Figura 16.45, utilizzando l'Equazione (16.99) e assumendo: $I_{REF} = 100 \mu A$, $V_{A5} = 60 V$, $\beta_{o1} = 150$, $\beta_{o2} = 50$, $R_L = 2 M\Omega$ e $V_{CC} = V_{EE} = 15 V$. Qual è il guadagno del primo stadio? Qual è il guadagno del secondo stadio? Quale dovrebbe essere l'area di emettitore di Q_5 ? Quanto vale la R_{ID} ? Qual è il terminale di ingresso invertente dell'operazionale?

RISPOSTE 7500; 5; 1500; 10A; 150 k Ω ; v_1 .

ESERCIZIO Si simuli con SPICE l'amplificatore dell'esercizio precedente e si determinino la tensione di offset, il guadagno di tensione, la resistenza di ingresso di modo differenziale, il CMRR e la resistenza di ingresso di modo comune.

RISPOSTE 3.28 mV, 8440, 165 k Ω , 84.7 dB, 59.1 M Ω .

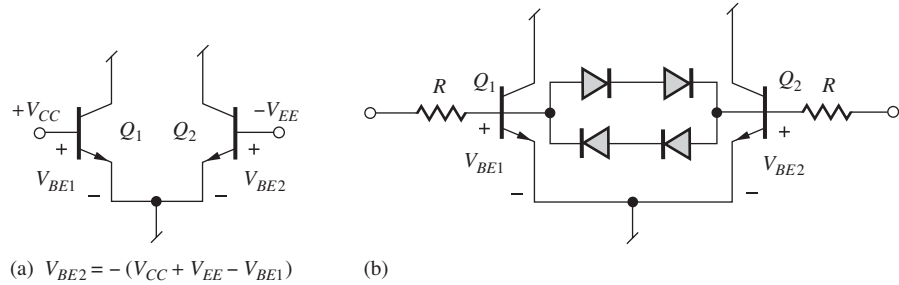
16.8.4 Rottura dello stadio di ingresso

Gli amplificatori bipolari studiati finora hanno eccellenti caratteristiche per quanto riguarda il guadagno di tensione e le resistenze di ingresso e di uscita, ma mostrano una limitazione significativa. Lo stadio di ingresso non offre **protezione alle sovratensioni** e può essere facilmente danneggiato da tensioni di ingresso elevate, che possono manifestarsi non solo in condizioni di funzionamento anormale, ma anche durante il normale funzionamento dell'amplificatore. Per esempio, la differenza di potenziale ai capi degli ingressi di un amplificatore operazionale può essere uguale all'intera tensione di alimentazione durante i transitori in cui la dinamica del circuito è governata dallo slew rate.

Consideriamo il caso limite di Figura 16.46 in cui, per esempio a causa di un guasto, gli ingressi della coppia differenziale sono collegati alle due tensioni di alimentazione. La giunzione base-emettitore di Q_1 è polarizzata direttamente, mentre quella di Q_2 è polarizzata inversamente da una tensione pari a $(V_{CC} + V_{EE} - V_{BE1})$; se $V_{CC} = V_{EE} = 22 V$, la tensione inversa ai capi della giunzione base-emettitore di Q_2 può superare 41 V. A causa dell'elevato drogaggio della regione di emettitore, la tensione di rottura della giunzione base-emettitore di un transistor *npn* è generalmente compresa fra 5 e 7 V. Pertanto, applicare ai morsetti di

Figura 16.46

(a) Tensioni nello stadio d'ingresso di un operazionale quando, a seguito di un guasto, gli ingressi della coppia differenziale sono collegati alle due tensioni di alimentazione.
 (b) Circuito di protezione con diodi.



ingresso dell'amplificatore differenziale una tensione che superi significativamente questo valore può portare alla distruzione di uno dei due transistori della coppia differenziale.

Per i primi amplificatori operazionali monolitici era necessario aggiungere dei diodi esterni fra i due terminali di ingresso dell'operazionale, in modo da limitare la tensione di ingresso differenziale a un massimo di circa 1.4 V, come mostrato in Figura 16.46(b). Questa tecnica richiede l'utilizzo di componenti esterni all'amplificatore operazionale, con aumenti di costo e di ingombro. Il $\mu A741$ è stato il primo amplificatore operazionale monolitico disponibile commercialmente provvisto di circuiti di protezione sia per i terminali di ingresso che per quelli di uscita.

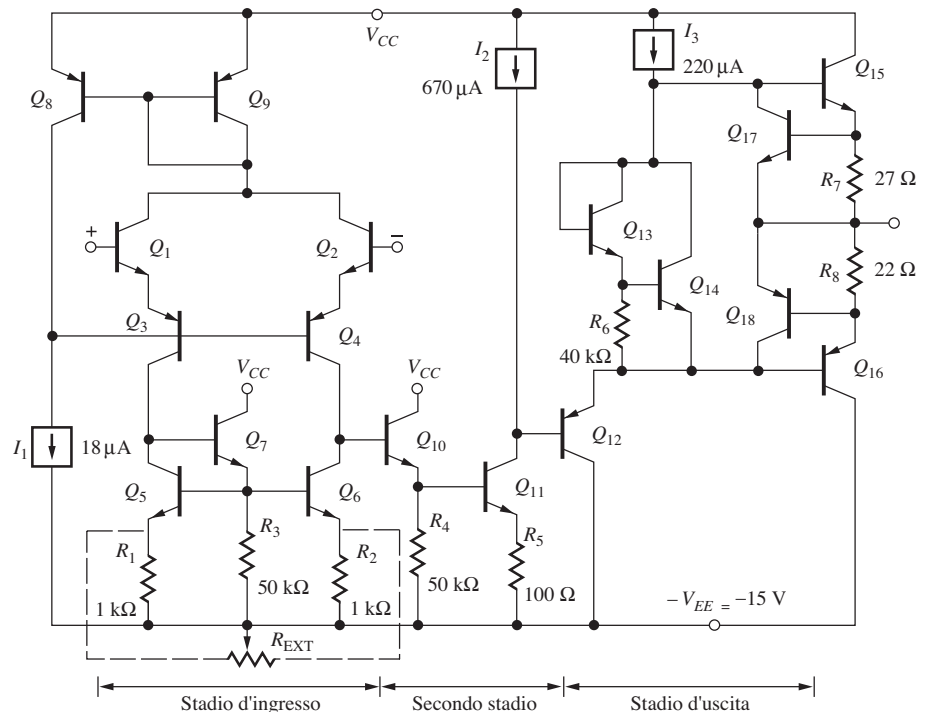
16.9 L'amplificatore operazionale $\mu A741$

L'ormai classico Fairchild $\mu A741$ è stato il primo amplificatore operazionale robusto e affidabile a essere utilizzato in applicazioni ingegneristiche. L'amplificatore è caratterizzato da eccellenti prestazioni generali (alto guadagno, alta resistenza di ingresso, alto CMRR, bassa resistenza di uscita e buona risposta in frequenza) ed è dotato di protezione contro le sovratensioni in ingresso e contro i cortocircuiti in uscita. Lo stile di progetto del 741 divenne presto uno standard industriale e diede origine a molte varianti.

La Figura 16.47 presenta uno schema semplificato dell'amplificatore operazionale $\mu A741$. I tre generatori di corrente, mostrati in forma simbolica, verranno discussi in dettaglio a valle della descrizione del circuito complessivo. L'amplificatore operazionale ha due stadi con un elevato guadagno di tensione e uno stadio di uscita in classe AB. Nel primo stadio, i transistori Q_1 , Q_2 , Q_3 e Q_4 formano un amplificatore differenziale con carico attivo con buffer, costituito dai transistori Q_5 , Q_6 e Q_7 .

Figura 16.47

Schema complessivo dell'amplificatore operazionale $\mu A741$ (la rete di polarizzazione è riportata nella Figura 16.48).



Il secondo stadio è costituito da un inseguitore di emettitore Q_{10} che pilota un amplificatore a emettitore comune Q_{11} avente, come carico, il generatore di corrente I_2 e il transistor Q_{12} . I transistori dal Q_{13} al Q_{18} realizzano uno stadio di uscita in classe AB protetto contro il cortocircuito e accoppiato allo stadio precedente mediante l'inseguitore di emettitore Q_{12} . Gli amplificatori operazionali offrono, in genere, la possibilità di compensare dall'esterno la tensione di offset. Nel $\mu A741$ ciò è ottenuto mediante l'aggiunta dei resistori R_1 e R_2 e un potenziometro esterno R_{EXT} .

ESERCIZIO Si rileggi il paragrafo per essere certi di aver compreso la funzione di ogni transistoro nello schema di Figura 16.47. Si riporti in una tabella la funzione di ciascun transistoro.

16.9.1 Circuito di polarizzazione

I tre generatori di corrente, mostrati in forma simbolica nella Figura 16.47, sono realizzati mediante il circuito di polarizzazione di Figura 16.48. Il valore della corrente nei due transistori connessi a diodo Q_{20} e Q_{22} dipende dalla tensione di alimentazione e dal resistore R_5 :

$$I_{REF} = \frac{V_{CC} + V_{EE} - 2V_{BE}}{R_5} = \frac{15\text{ V} + 15\text{ V} - 1.4\text{ V}}{39\text{ k}\Omega} = 0.733\text{ mA} \quad (16.100)$$

assumendo tensioni di alimentazione di $\pm 15\text{ V}$. La corrente I_1 è fornita dallo specchio di Widlar costituito da Q_{20} e Q_{21} . La corrente di uscita è:

$$I_1 = \frac{V_T}{5\text{ k}\Omega} \ln \left[\frac{I_{REF}}{I_1} \right] \quad (16.101)$$

Utilizzando la corrente di riferimento data dall'Equazione (16.100) e risolvendo iterativamente l'Equazione (16.101), si ottiene $I_1 = 18.4\text{ }\mu\text{A}$.

Le correnti nei transistori Q_{23} e Q_{24} sono legate alla corrente di riferimento I_{REF} mediante le loro aree di emettitore secondo l'Equazione (16.13). Assumendo, nella Figura 16.47, $V_o = 0$, $V_{CC} = 15\text{ V}$ e trascurando la caduta di tensione ai capi di R_7 e R_8 , si ottiene $V_{EC23} = 15\text{ V} + 1.4\text{ V} = 16.4\text{ V}$ e $V_{EC24} = 15\text{ V} - 0.7\text{ V} = 14.3\text{ V}$. Utilizzando questi valori e assumendo $\beta_F = 50$ e $V_A = 60\text{ V}$, i due generatori di corrente valgono:

$$I_2 = 0.75(733\text{ }\mu\text{A}) \frac{1 + \frac{16.4\text{ V}}{60\text{ V}}}{1 + \frac{0.7\text{ V}}{60\text{ V}} + \frac{2}{50}} = 666\text{ }\mu\text{A} \quad (16.102)$$

$$I_3 = 0.25(733\text{ }\mu\text{A}) \frac{1 + \frac{14.4\text{ V}}{60\text{ V}}}{1 + \frac{0.7\text{ V}}{60\text{ V}} + \frac{2}{50}} = 216\text{ }\mu\text{A}$$

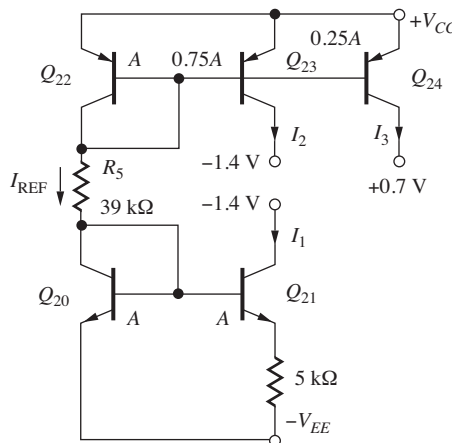


Figura 16.48

Circuito di polarizzazione del $\mu A741$ con i valori di tensione corrispondenti a $V_o = 0\text{ V}$.

e le due resistenze di uscita sono:

$$R_2 = \frac{V_{A23} + V_{EC23}}{I_2} = \frac{60 \text{ V} + 16.4 \text{ V}}{0.666 \text{ mA}} = 115 \text{ k}\Omega$$

$$R_3 = \frac{V_{A24} + V_{EC24}}{I_3} = \frac{60 \text{ V} + 14.3 \text{ V}}{0.216 \text{ mA}} = 344 \text{ k}\Omega$$
(16.103)

ESERCIZIO Quanto valgono I_{REF} , I_1 , I_2 e I_3 nel circuito di Figura 16.48 se $V_{CC} = V_{EE} = 22 \text{ V}$?

RISPOSTE 1.09 mA, 20.0 μA , 1.08 mA, 351 μA .

ESERCIZIO Quanto vale la resistenza di uscita dello specchio di Widlar di Figura 16.48 se la corrente di uscita è 18.4 μA , $V_A = 60 \text{ V}$ e $V_{EE} = 15 \text{ V}$?

RISPOSTA 18.8 M Ω .

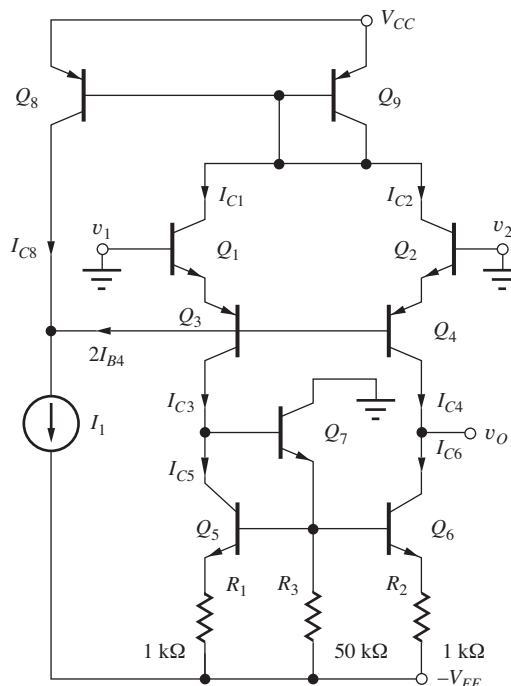
16.9.2 Analisi statica dello stadio di ingresso del $\mu\text{A}741$

La Figura 16.49 riporta lo stadio di ingresso del $\mu\text{A}741$. Come notato precedentemente, Q_1 , Q_2 , Q_3 e Q_4 formano uno stadio differenziale con carico attivo compensato costituito dai transistori Q_5 , Q_6 e Q_7 . In questo stadio di ingresso ci sono quattro giunzioni base-emettitore tra gli ingressi v_1 e v_2 ; due vengono dai transistori *nnp* e, fatto notevole, due dai transistori *pnnp*, per cui $(v_1 - v_2) = (V_{BE1} + V_{BE3} - V_{BE4} - V_{BE2})$.

Nei processi bipolari standard, i transistori *pnnp* vengono realizzati da strutture laterali dove entrambe le giunzioni presentano una tensione di rottura pari a quella della giunzione base-collettore di un transistor *nnp*. La tensione di rottura è tipicamente superiore a 50 V. Poiché la maggior parte degli amplificatori operazionali di uso generale utilizza tensioni di alimentazione non superiori a $\pm 22 \text{ V}$, le giunzioni base-emettitore di Q_3 e Q_4 hanno una tensione di rottura sufficiente a proteggere lo stadio di ingresso dell'amplificatore anche nel caso peggiore indicato in Figura 16.46(a).

Determinazione del punto di lavoro. Nello stadio di ingresso del $\mu\text{A}741$, riportato in Figura 16.49, lo specchio di corrente costituito dai transistori Q_8 e Q_9 lavora insieme ai transistori Q_1 , Q_2 , Q_3 e Q_4 per fissare le correnti di polarizzazione dello stadio. La corrente di polarizzazione I_1 rappresenta l'uscita dello specchio di Widlar già discussa precedente-

Figura 16.49
Lo stadio di ingresso
del $\mu\text{A}741$.



mente ($18 \mu\text{A}$) e deve essere uguale alla corrente di collettore di Q_8 sommata alle correnti di base dei transistori Q_3 e Q_4 :

$$I_1 = I_{C8} + I_{B3} + I_{B4} = I_{C8} + 2I_{B4} \quad (16.104)$$

Per alto guadagno di corrente dei transistori, le correnti di base sono piccole e $I_{C8} \approx I_1$.

La corrente di collettore di Q_8 specchia le correnti di collettore di Q_1 e Q_2 che sono, a loro volta, sommate insieme nel transistor di riferimento Q_9 . Assumendo elevati guadagni di corrente e ignorando la differenza di tensione di collettore di Q_7 e Q_8 ,

$$I_{C8} = I_{C1} + I_{C2} = 2I_{C2} \quad (16.105)$$

Combinando le Equazioni (16.104) e (16.105) si ottiene la relazione ideale per la polarizzazione dello stadio di ingresso:

$$I_{C1} = I_{C2} \approx \frac{I_1}{2} \quad \text{e} \quad I_{C3} = I_{C4} \approx \frac{I_1}{2} \quad (16.106)$$

in quanto le correnti di emettitore di Q_1 , Q_2 , Q_3 e Q_4 devono essere uguali. La corrente di collettore di Q_3 impone una corrente pari a $I_1/2$ nei transistori Q_5 e Q_6 . Pertanto, i transistori da Q_1 a Q_6 lavorano tutti a una corrente nominale di collettore pari a $I_1/2$.

Ora che abbiamo chiarito l'idea di base su cui si fonda il circuito di polarizzazione dello stadio di ingresso, possiamo passare a un'analisi più accurata. Utilizzando l'Equazione (16.13), l'Equazione (16.104) diventa:

$$I_1 = 2I_{C2} \frac{1 + \frac{V_{EC8}}{V_{A8}}}{1 + \frac{2}{\beta_{FO8}} + \frac{V_{EB8}}{V_{A8}}} + 2I_{B4} \quad (16.107)$$

I_{C2} è legata a I_{B4} attraverso il guadagno di corrente di Q_2 e Q_4 :

$$I_{C2} = \alpha_{F2} I_{E2} = \alpha_{F2} (\beta_{FO4} + 1) I_{B4} = \frac{\beta_{FO2}}{\beta_{FO2} + 1} (\beta_{FO4} + 1) I_{B4} \quad (16.108)$$

Ricavando I_2 dalle Equazioni (16.107) e (16.108) si ottiene:

$$I_{C1} = \frac{I_1}{2} \left[\frac{1 + \frac{V_{EC8}}{V_{A8}}}{1 + \frac{2}{\beta_{FO8}} + \frac{V_{EB8}}{V_{A8}}} + \frac{1}{\frac{\beta_{FO2}}{\beta_{FO2} + 1} (\beta_{FO4} + 1)} \right]^{-1} \quad (16.109)$$

da cui si vede che I_{C2} è inferiore al valore ideale $I_1/2$ a causa della non idealità dello specchio di corrente, dovuta al valore finito del β e all'effetto Early.

La corrente di emettitore di Q_4 deve essere uguale alla corrente di emettitore di Q_2 , quindi la corrente di collettore di Q_4 è:

$$I_{C4} = \alpha_{F4} I_{E4} = \alpha_{F4} \frac{I_{C2}}{\alpha_{F2}} = \frac{\beta_{FO4}}{\beta_{FO4} + 1} \frac{\beta_{FO2} + 1}{\beta_{FO2}} I_{C2} \quad (16.110)$$

L'utilizzo del transistor Q_7 elimina, in pratica, l'effetto del guadagno di corrente finito. Dal circuito completo dell'amplificatore di Figura 16.47 si nota che la corrente di base del transistor Q_{10} , con il suo resistore di emettitore R_4 di $50 \text{ k}\Omega$, è progettata per essere approssimativamente uguale alla corrente di base di Q_7 , e $V_{CE6} \approx V_{CE5}$. Lo specchio di corrente funziona, quindi, in modo piuttosto accurato e si ha:

$$I_{C5} = I_{C6} = I_{C3} \approx \frac{I_1}{2}$$

Se il resistore $R_3 = 50 \text{ k}\Omega$ fosse eliminato, la corrente di emettitore di Q_7 sarebbe pari alla somma delle correnti di base di Q_5 e Q_6 , risultando quindi troppo piccola. A causa della dipendenza di β_F dal punto di lavoro il guadagno di corrente di Q_7 sarebbe troppo basso. La resistenza R_3 produce un aumento della corrente di lavoro di Q_7 migliorando così il suo guadagno di corrente; la resistenza migliora, inoltre, anche il bilanciamento in continua e la risposta in transitorio dell'amplificatore. Il valore di R_3 viene scelto in modo da rendere $I_{B7} \approx I_{B10}$.

Per completare l'analisi statica, bisogna calcolare le tensioni collettore-emettitore dei transistori. I collettori di Q_1 e Q_2 si trovano a un potenziale di $V_{CC} - V_{EB9}$, mentre gli emettitori si trovano a $-V_{BE}$. Quindi:

$$V_{CE1} = V_{CE2} = V_{CC} - V_{EB9} + V_{BE2} \approx V_{CC} \quad (16.111)$$

Il collettore e l'emettitore di Q_3 si trovano approssimativamente a $-V_{EE} + 2V_{BE}$ e a $-V_{BE}$, rispettivamente:

$$V_{EC3} = V_{E3} - V_{C3} = -0.7 \text{ V} - (-V_{EE} + 1.4 \text{ V}) = V_{EE} - 2.1 \text{ V} \quad (16.112)$$

Lo specchio di corrente con buffer minimizza gli errori dovuti al guadagno di corrente finito, e si ha $V_{CE6} = V_{CE5} \approx 2V_{BE} = 1.4 \text{ V}$, se si trascura la piccola caduta di potenziale ($< 10 \text{ mV}$) ai capi di R_1 e R_2 . Infine, il collettore di Q_8 si trova a $-2V_{BE}$, mentre l'emettitore di Q_7 si trova a $-V_{EE} + V_{BE}$, quindi:

$$V_{EC8} = V_{CC} + 1.4 \text{ V} \quad V_{CE7} = V_{EE} - 0.7 \text{ V} \quad (16.113)$$

Esempio 16.8

CORRENTI DI POLARIZZAZIONE DELLO STADIO DI INGRESSO DEL $\mu A741$

PROBLEMA Si calcolino le correnti di polarizzazione dello stadio di ingresso del $\mu A741$, per: $I_1 = 18 \mu A$, $\beta_{FO npn} = 150$, $V_{Anpn} = 75 \text{ V}$, $\beta_{FO pnp} = 60$, $V_{Apnp} = 60 \text{ V}$, $V_{CC} = V_{EE} = 15 \text{ V}$.

SOLUZIONE **Informazioni e dati noti:** Lo stadio di ingresso del $\mu A741$, riportato in Figura 16.49, $I_1 = 18 \mu A$, $\beta_{FO npn} = 150$, $V_{Anpn} = 75 \text{ V}$, $\beta_{FO pnp} = 60$, $V_{Apnp} = 60 \text{ V}$, $V_{CC} = V_{EE} = 15 \text{ V}$.

Incognite: I_{C1} , I_{C2} , I_{C3} , I_{C4} , I_{C5} e I_{C6} .

Approccio: Utilizzare i dati per valutare le Equazioni dalla (16.109) alla (16.113).

Ipotesi: I dispositivi sono in regione attiva; utilizziamo il valore di default per I_S .

Analisi: Dalla Figura 16.49, osserviamo che la tensione collettore-emettitore di Q_8 è pari a: $V_{CC} + V_{BE1} + V_{EB3} \approx 11.4 \text{ V}$. Sostituendo i valori noti nella Equazione (16.109) si ottiene:

$$I_{C1} = I_{C2} = \frac{18 \mu A}{2} \frac{1}{\frac{1 + \frac{16.4 \text{ V}}{60 \text{ V}}}{1 + \frac{2}{50} + \frac{0.7 \text{ V}}{60 \text{ V}}} + \frac{1}{\frac{150}{150 + 1} (60 + 1)}} = 7.32 \mu A$$

L'Equazione (16.110) fornisce:

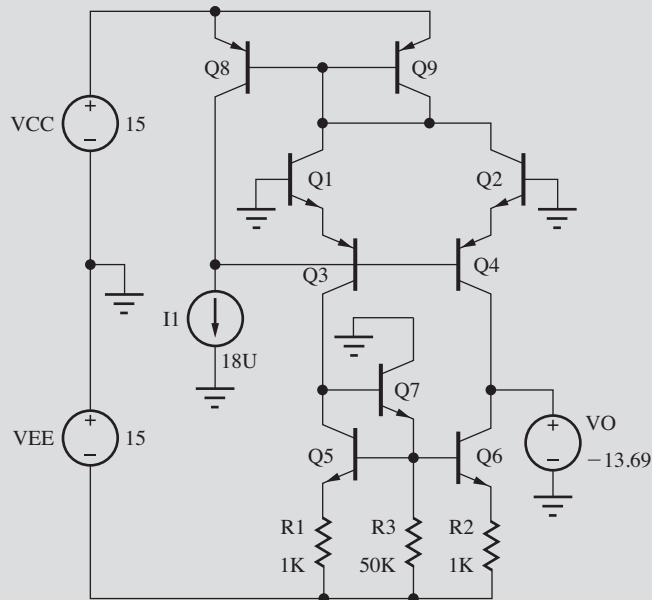
$$I_{C3} = I_{C4} = \alpha_{F4} \frac{I_{C2}}{\alpha_{F2}} = \frac{\beta_{FO4}}{\beta_{FO4} + 1} \left(\frac{\beta_{FO2} + 1}{\beta_{FO2}} \right) I_{C2} = \frac{60}{61} \left(\frac{151}{150} \right) I_{C2} = 7.25 \mu A$$

$$I_{C5} \approx I_{C3} = 7.25 \mu A \quad \text{e} \quad I_{C6} = I_{C4} = 7.25 \mu A$$

Controllo dei risultati: Idealmente, il circuito di polarizzazione dovrebbe essere in grado di stabilire per tutti i dispositivi dello stadio di ingresso una corrente di lavoro di: $18 \mu A / 2 = 9 \mu A$. I risultati ottenuti sono vicini al valore ideale e pertanto appaiono ragionevoli.

Discussione: I valori effettivi delle correnti di polarizzazione sono leggermente maggiori di $7 \mu A$, rispetto a un valore ideale di $9 \mu A$. La differenza nel valore delle correnti è da attribuirsi essenzialmente alla non perfetta simmetria delle tensioni collettore-emettitore dello specchio di corrente *pnp*.

Analisi assistita da calcolatore: Dopo aver disegnato con lo schematic editor il circuito riportato nella figura seguente, definiamo i parametri dei dispositivi. Per i transistori *nnp* assumiamo: $BF = 150$ e $VA_F = 75$, mentre per i *pnp*: $BF = 60$ a $VA_F = 60$.



Il generatore di tensione V_o è stato inserito per bilanciare il circuito, fissando il potenziale di uscita allo stesso valore che apparirà al collettore di Q_5 . In assenza di V_o , la tensione al morsetto di collettore di Q_4 e di Q_6 avrebbe raggiunto un valore determinato dalla differenza delle resistenze di uscita di Q_4 e Q_6 . Avendo bilanciato il circuito, la corrente nel generatore V_o sarà trascurabile. La Tabella 16.3 riporta i punti di lavoro dei dispositivi, confrontando i valori forniti da SPICE con quelli calcolati con le Equazioni dalla (16.106) alla (16.113).

Tabella 16.3 Punti di lavoro dei transistori dello stadio di ingresso dell'amplificatore $\mu A741$ per $I_1 = 18 \mu A$ e $V_{CC} = V_{EE} = 15 V$

Transistore	Punto di lavoro	Risultati SPICE
Q_1 e Q_2	$7.32 \mu A$, $15 V$	$7.30 \mu A$, $15.0 V$
Q_3 e Q_4	$7.25 \mu A$, $12.9 V$	$7.24 \mu A$, $13.0 V$
Q_5 e Q_6	$7.25 \mu A$, $1.4 V$	$7.16 \mu A$, $1.30 V$
Q_7	$12.2 \mu A$, $14.3 V$	$13.1 \mu A$, $14.3 V$
Q_8	$17.7 \mu A$, $16.4 V$	$17.8 \mu A$, $16.3 V$
Q_9	$14.0 \mu A$, $0.7 V$	$14.1 \mu A$, $0.66 V$

ESERCIZIO Si rimuova V_o e si simuli lo stadio di ingresso dell'amplificatore operazionale $\mu A741$. Quali sono le nuove correnti di collettore? Quali sono le tensioni ai collettori di Q_5 e Q_6 ?

RISPOSTE $7.31 \mu A$, $7.28 \mu A$, $7.25 \mu A$, $7.22 \mu A$, $7.18 \mu A$, $7.22 \mu A$, $13.1 \mu A$, $17.8 \mu A$, $14.1 \mu A$; $-13.7 V$, $-13.1 V$.

ESERCIZIO Si eliminino Q_7 e R_3 dall'amplificatore di Figura 16.49 e si colleghino Q_5 e Q_6 in modo da realizzare uno specchio di corrente standard. Quanto vale la tensione collettore-emettitore di Q_6 se $V_{BE6} = 0.7 V$, $\beta_{FO6} = 100$ e $V_{A6} = 60 V$?

RISPOSTA $1.90 V$.

16.9.3 Analisi in AC dello stadio di ingresso del $\mu A741$

Lo stadio di ingresso del $\mu A741$ è ridisegnato, evidenziandone la simmetria, nella Figura 16.50 con il carico attivo momentaneamente sostituito da due resistori. Dalla Figura 16.50 si vede che i collettori di Q_1 e Q_2 , così come le basi di Q_3 e Q_4 , giacciono sulla linea di simmetria dell'amplificatore e sono a potenziale nullo per i segnali di ingresso di modo differenziale.

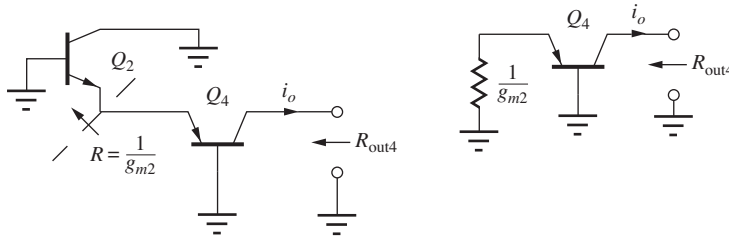


Figura 16.52
Resistenza di uscita della
cascata C-C/C-B.

16.9.4 Guadagno di tensione dell'amplificatore completo

Utilizziamo i risultati del paragrafo precedente per analizzare le caratteristiche complessive dell'amplificatore operazionale. Sostituiamo allo stadio di ingresso il suo circuito equivalente di Norton e lo accoppieremo al modello a doppio bipolo del secondo stadio.

Circuito equivalente di Norton dello stadio di ingresso. La Figura 16.53 è il circuito equivalente in AC di modo differenziale, semplificato, dello stadio di ingresso. Utilizziamo la Figura 16.53(a) per calcolare la corrente di uscita di cortocircuito del primo stadio. In base alla precedente analisi della Figura 16.51, possiamo affermare che il segnale di ingresso di modo differenziale produce correnti uguali e opposte nei due lati dell'amplificatore differenziale: $i = (g_{m2}/4)v_{id}$. La corrente i , uscente dal collettore di Q_3 , viene riprodotta dallo specchio di corrente in modo che nel terminale di uscita fluisce una corrente pari a $2i$:

$$\begin{aligned} i_o &= -2i = -\frac{g_{m2}v_{id}}{2} = -\frac{I_{C2}}{2V_T}v_{id} \\ &= -\frac{7.32 \mu\text{A}}{2 \times 25 \text{ mV}}v_{id} = (-146 \mu\text{S})v_{id} \end{aligned} \quad (16.119)$$

La resistenza equivalente di Thévenin all'uscita si calcola mediante il circuito di Figura 16.53(b), ed è pari a:

$$R_{th} = R_{out6} \parallel R_{out4} \quad (16.120)$$

Poiché la caduta di tensione su R_2 è piccola, la resistenza di uscita di Q_6 è data da:

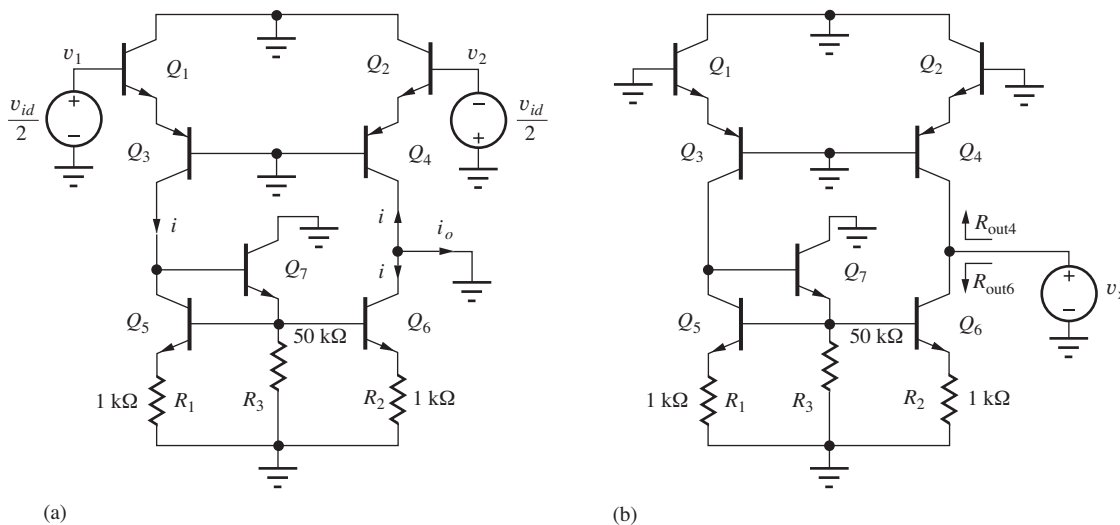
$$R_{out6} \approx r_{o6}[1 + g_{m6}R_2] \approx r_{o6} \left[1 + \frac{I_{C6}R_2}{V_T} \right] = r_{o6} \left[1 + \frac{7.3 \text{ mV}}{25 \text{ mV}} \right] = 1.3r_{o6} \quad (16.121)$$

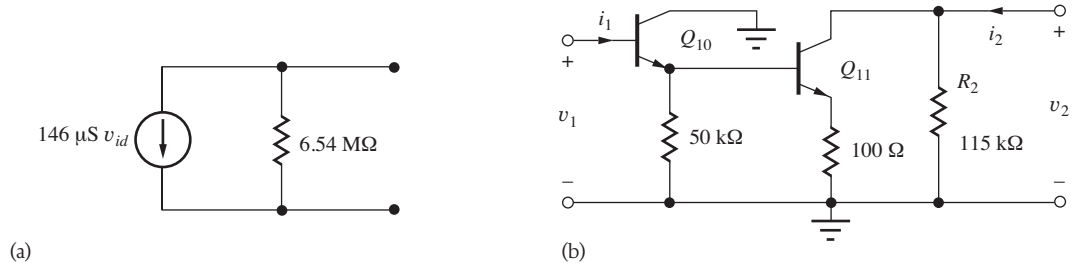
La resistenza di uscita di Q_4 è stata già calcolata [Equazione (16.118)] e vale $2r_{o4}$. Sostituendo nella (16.120) si ha:

$$R_{th} = 2r_{o4} \parallel 1.3r_{o6} = 0.79r_{o4} \approx 0.79 \frac{60 \text{ V}}{7.25 \mu\text{A}} = 6.54 \text{ M}\Omega \quad (16.122)$$

dove si è ipotizzato, per semplicità, $r_{o4} = r_{o2}$ e $V_A + V_{CE} = 60 \text{ V}$.

Figura 16.53
Circuiti per trovare
l'equivalente di Norton dello
stadio di ingresso.



**Figura 16.54**

(a) Circuito equivalente di Norton dello stadio di ingresso del $\mu\text{A}741$.
(b) Rappresentazione a doppio bipolo del secondo stadio.

La Figura 16.54(a) riporta il circuito equivalente di Norton ottenuto. Il guadagno di tensione a vuoto del primo stadio risulta, quindi, di -955 . Le simulazioni SPICE forniscono un valore molto simile: $(140 \mu\text{S})v_{id}$ per il generatore di corrente, $6.95 \text{ M}\Omega$ per la resistenza in parallelo e un guadagno di tensione a vuoto $A_{dm} = -973$.

ESERCIZIO Si migliori la stima di R_{th} utilizzando i valori effettivi di V_{CE6} e V_{CE4} se $V_{CC} = V_{EE} = 15 \text{ V}$ e $V_A = 60 \text{ V}$. Quanto valgono R_{out4} e R_{out6} ?

RISPOSTE $7.12 \text{ M}\Omega$; $20.2 \text{ M}\Omega$, $11.0 \text{ M}\Omega$.

Modello del secondo stadio. La Figura 16.54(b) è una rappresentazione a doppio bipolo del secondo stadio dell'amplificatore. Q_{10} è un inseguitore di emettitore, che presenta un'elevata resistenza di ingresso e pilota un amplificatore a emettitore comune costituito da Q_{11} e dal suo carico attivo rappresentato dalla resistenza di uscita R_2 . Verrà utilizzato un modello a parametri y per questo circuito.

Dall'analisi della corrente di polarizzazione e dalla Figura 16.47 si vede che la corrente di collettore di Q_{11} è circa uguale a I_2 , ovvero $666 \mu\text{A}$. Il calcolo della corrente di collettore di Q_{10} fornisce:

$$I_{C10} \approx I_{E10} = \frac{I_{C11}}{\beta_{F11}} + \frac{V_{B11}}{50 \text{ k}\Omega} = \frac{666 \mu\text{A}}{150} + \frac{0.7 \text{ V} + (0.67 \text{ mA})(0.1 \text{ k}\Omega)}{50 \text{ k}\Omega} = 19.8 \mu\text{A} \quad (16.123)$$

Utilizzando questi valori per trovare i parametri del modello per piccoli segnali con $\beta_{on} = 150$ si ottiene:

$$r_{\pi10} = \frac{\beta_{o10} V_T}{I_{C10}} = \frac{3.75 \text{ V}}{19.8 \mu\text{A}} = 189 \text{ k}\Omega \quad \text{e} \quad r_{\pi11} = \frac{3.75 \text{ V}}{0.666 \text{ mA}} = 5.63 \text{ k}\Omega \quad (16.124)$$

I parametri y_{11} e y_{21} si calcolano applicando una tensione v_1 alla porta di ingresso e ponendo $v_2 = 0$, come mostrato in Figura 16.55. La resistenza di ingresso di Q_{11} è quella di uno stadio a emettitore comune con una resistenza di 100Ω sull'emettitore:

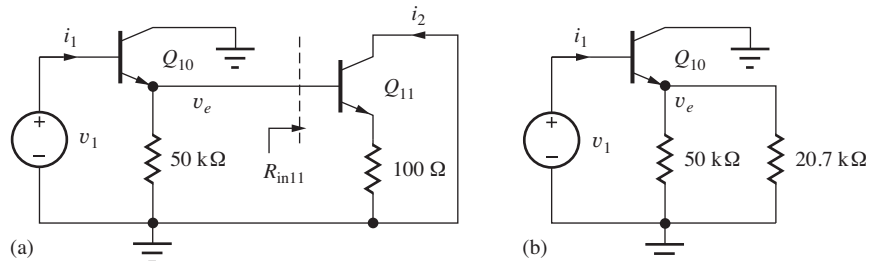
$$R_{in11} = r_{\pi11} + (\beta_{o11} + 1)100 \Omega \approx 5630 \Omega + (151)100 \Omega = 20.7 \text{ k}\Omega \quad (16.125)$$

Questo valore viene utilizzato per semplificare il circuito, come mostrato in Figura 16.55(b), cosicché la resistenza di ingresso di Q_{10} è:

$$\begin{aligned} R_{in10} &= r_{\pi10} + (\beta_{o10} + 1)(50 \text{ k}\Omega \parallel R_{in11}) \\ &= 189 \text{ k}\Omega + (151)(50 \text{ k}\Omega \parallel 20.7 \text{ k}\Omega) = 2.40 \text{ M}\Omega \end{aligned} \quad (16.126)$$

Figura 16.55

Rete per il calcolo di y_{11} (a) e y_{21} (b).



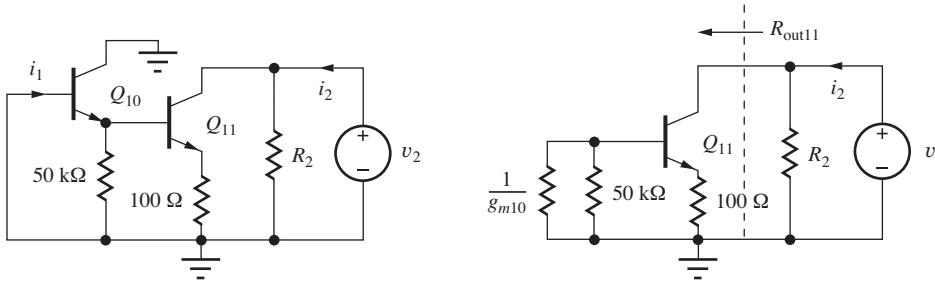


Figura 16.56

Rete per il calcolo di y_{12} (a) e y_{22} (b).

Il guadagno dell'inseguitore di emettitore Q_{10} è:

$$\begin{aligned} v_e &= v_1 \frac{(\beta_{o10} + 1)(50 \text{ k}\Omega \parallel R_{in11})}{r_{\pi10} + (\beta_{o10} + 1)(50 \text{ k}\Omega \parallel R_{in11})} \\ &= \frac{(151)(50 \text{ k}\Omega \parallel 20.7 \text{ k}\Omega)}{189 \text{ k}\Omega + (151)(50 \text{ k}\Omega \parallel 20.7 \text{ k}\Omega)} = 0.921v_1 \end{aligned} \quad (16.127)$$

La corrente di uscita i_2 in Figura 16.54(a) è:

$$i_2 = \frac{v_e}{\frac{1}{g_{m11}} + 100 \text{ }\Omega} = \frac{0.921v_1}{\frac{25 \text{ mV}}{0.666 \text{ mA}} + 100 \text{ }\Omega} = (6.70 \text{ mS})v_1 \quad (16.128)$$

fornendo una transconduttanza diretta di:

$$G_m = 6.70 \text{ mS} \quad (16.129)$$

I parametri y_{12} e y_{22} si trovano dalla rete di Figura 16.56. Assumiamo che la transconduttanza inversa y_{12} sia trascurabile. La conduttanza di uscita si determina dalla Figura 16.56(b):

$$G_o = i_2/v_2 = [R_2 \parallel R_{out11}]^{-1} \quad (16.130)$$

dove $R_2 = 115 \text{ k}\Omega$ è stata calcolata nell'analisi del circuito di polarizzazione.

Poiché la caduta di tensione ai capi del resistore di $100 \text{ }\Omega$ è piccola, la resistenza di uscita di Q_{11} è approssimativamente:

$$\begin{aligned} R_{out11} &= r_{o11}[1 + g_{m11}R_E] = \frac{V_{A11} + V_{CE11}}{I_{C11}} \left[1 + \frac{I_{C11}R_E}{V_T} \right] \\ &= \frac{60 \text{ V} + 13.6 \text{ V}}{0.666 \text{ mA}} \left[1 + \frac{67 \text{ mV}}{25 \text{ mV}} \right] = 407 \text{ k}\Omega \end{aligned} \quad (16.131)$$

e

$$R_o = 115 \text{ k}\Omega \parallel 407 \text{ k}\Omega = 89.1 \text{ k}\Omega \quad (16.132)$$

La Figura 16.57 mostra il modello a doppio bipolo completo del secondo stadio, pilotato dal circuito equivalente di Norton del primo stadio. Utilizzando questo modello si può calcolare il guadagno di tensione ad anello aperto dei primi due stadi dell'amplificatore:

$$\begin{aligned} v_2 &= -(6.70 \text{ mS})(89.1 \text{ k}\Omega)v_1 = -597v_1 \\ v_1 &= -(146 \text{ }\mu\text{S})(6.54 \text{ M}\Omega \parallel 2.40 \text{ M}\Omega)v_{id} = -256v_{id} \\ v_2 &= -597(-256v_{id}) = 153\,000v_{id} \end{aligned} \quad (16.133)$$

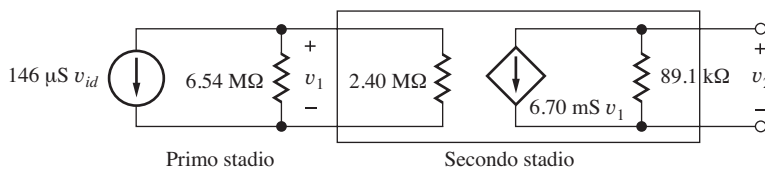


Figura 16.57

Modello del primo e del secondo stadio.

Si vede dall'Equazione (16.133) che la resistenza di ingresso di Q_{10} , pari a $2.42 \text{ M}\Omega$, riduce il guadagno di tensione del primo stadio di un fattore 4.

ESERCIZIO Quale sarebbe il guadagno di tensione del primo stadio se il transistor Q_{10} e il suo resistore di emettitore di $50 \text{ k}\Omega$ fossero eliminati e l'uscita del primo stadio fosse connessa direttamente alla base di Q_{11} ? Si utilizzino i parametri per piccoli segnali già calcolati.

RISPOSTA -3.00 .

16.9.5 Stadio di uscita del μA741

La Figura 16.58 mostra il modello semplificato dello stadio di uscita del μA741 . Il transistor Q_{12} è un inseguitore di emettitore che adatta l'uscita ad alta impedenza del secondo stadio all'ingresso dello stadio di uscita costituito dai transistori Q_{15} e Q_{16} . La polarizzazione dello stadio in classe AB è ottenuta dalla somma delle tensioni base-emettitore di Q_{13} e Q_{14} , rappresentati come diodi nella Figura 16.58(b). Il resistore di $40 \text{ k}\Omega$ è utilizzato per aumentare il valore di I_{C13} . Senza questo resistore, I_{C13} sarebbe solo uguale alla corrente di base di Q_{14} . Il circuito di protezione dai cortocircuiti della Figura 16.47 non è mostrato nella Figura 16.58 per semplificare lo schema.

Le resistenze di ingresso e di uscita dello stadio in classe AB sono funzioni complicate della tensione applicata, perché i punti di lavoro di Q_{15} e Q_{16} cambiano notevolmente al variare della tensione di uscita. Tuttavia, poiché sia per valori positivi che negativi solo un transistor conduce significativamente, è possibile usare modelli separati per i segnali positivi e negativi. Il modello per segnali positivi è mostrato in Figura 16.59 (il modello per segnali negativi è simile, eccetto che il transistor *nnp* Q_{15} è sostituito dal transistor *pnnp* Q_{16} connesso all'emettitore di Q_{12}).

Determiniamo prima di tutto la resistenza di ingresso di Q_{12} . Se R_{in12} è molto maggiore della resistenza di uscita di $89 \text{ k}\Omega$ della rete a doppio bipolo di Figura 16.59, allora non modifica significativamente il guadagno di tensione complessivo dell'amplificatore. Utilizzando la teoria degli amplificatori a singolo stadio, si ha:

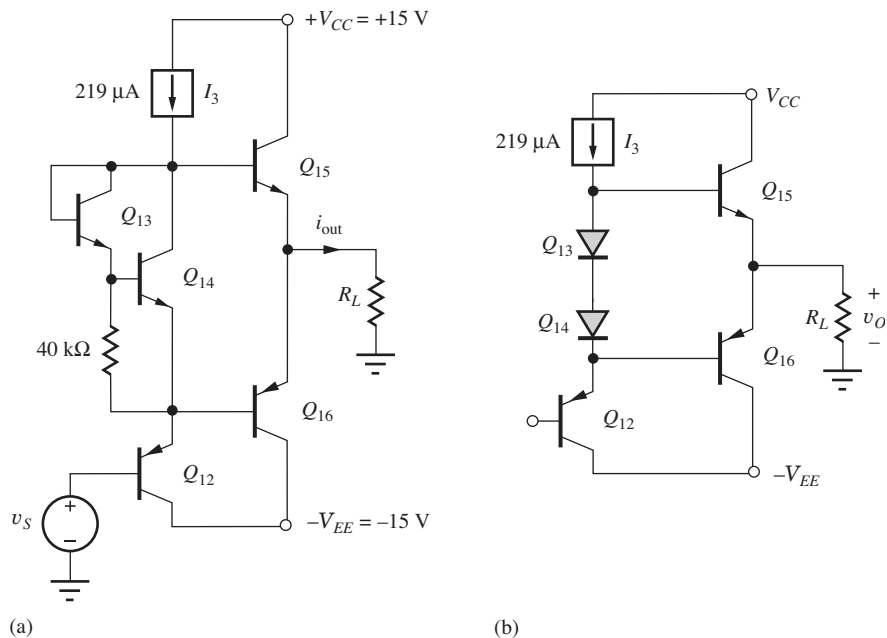
$$R_{in12} = r_{\pi12} + (\beta_{o12} + 1)R_{eq1} \quad (16.134)$$

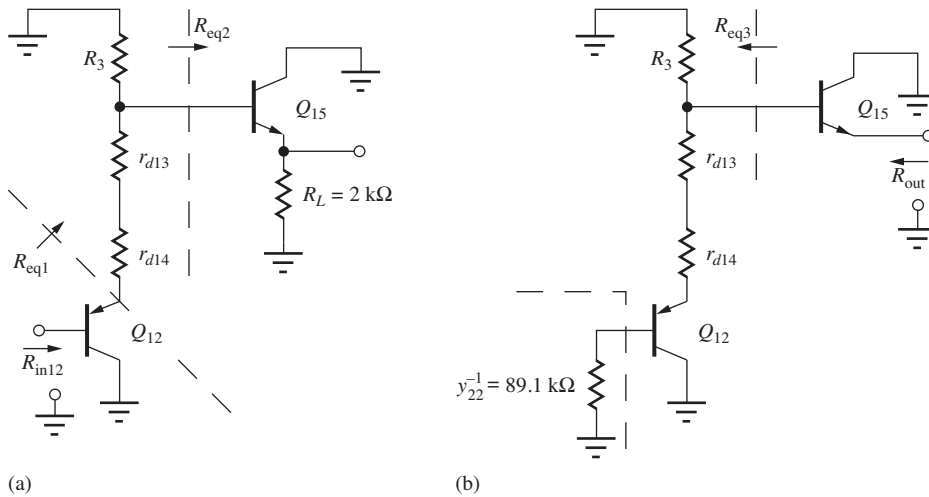
dove

$$R_{eq1} = r_{d14} + r_{d13} + R_3 \parallel R_{eq2} \quad \text{e} \quad R_{eq2} = r_{\pi15} + (\beta_{o15} + 1)R_L \approx (\beta_{o15} + 1)R_L \quad (16.135)$$

Figura 16.58

(a) Stadio di uscita del μA741 senza protezione da cortocircuito. (b) Stadio di uscita semplificato.



**Figura 16.59**

Circuiti per determinare le resistenze di ingresso e di uscita dello stadio di uscita.

Il valore di R_3 ($344 \text{ k}\Omega$) è stato calcolato nel paragrafo dedicato al circuito di polarizzazione. Per $I_{C12} = 216 \text{ }\mu\text{A}$, e assumendo una corrente di collettore in Q_{15} di $2 \text{ }\mu\text{A}$, si ha:

$$R_{eq2} = r_{\pi15} + (\beta_{o15} + 1)R_L = \frac{3.75 \text{ V}}{2 \text{ mA}} + (151)2 \text{ k}\Omega = 304 \text{ k}\Omega \quad (16.136)$$

Si noti che il valore di R_{eq2} è dominato dalla resistenza di carico riflessa $\beta_{o15}R_L$. Il resistore $r_{\pi15}$ rappresenta una piccola parte di R_{eq2} , e non è critico conoscere il valore esatto di I_{C15} .

$$R_{eq1} = r_{d14} + r_{d13} + R_3 \parallel R_{eq2} = 2 \frac{0.025 \text{ V}}{0.216 \text{ mA}} + 344 \text{ k}\Omega \parallel 304 \text{ k}\Omega = 162 \text{ k}\Omega \quad (16.137)$$

e

$$R_{in12} = r_{\pi12} + (\beta_{o12} + 1)R_{eq1} = \frac{1.25 \text{ V}}{0.216 \text{ mA}} + (51)162 \text{ k}\Omega = 8.27 \text{ M}\Omega \quad (16.138)$$

Poiché R_{in12} è circa 100 volte più grande della resistenza di uscita del secondo stadio, essa ha un effetto trascurabile sul guadagno del secondo stadio. Pertanto, benché il valore di R_{in12} cambi al variare della resistenza di carico, il guadagno complessivo dell'amplificatore operativo è influenzato molto poco da questo fenomeno (si veda la Figura 16.57). Risultati simili si ottengono per tensioni negative. I valori sono leggermente diversi in quanto il guadagno di corrente del transistor *pnp* Q_{16} è diverso da quello del transistor *npn* Q_{15} .

16.9.6 Resistenza di uscita

La resistenza di uscita dell'amplificatore, per tensioni di uscita positive, è determinata dal transistor Q_{15}

$$R_o = \frac{r_{\pi15} + R_{eq3}}{\beta_{o15} + 1} \quad (16.139)$$

dove

$$\begin{aligned} R_{eq3} &= R_3 \parallel \left[r_{d13} + r_{d14} + \frac{r_{\pi12} + R_o}{\beta_{o12} + 1} \right] \\ &= 304 \text{ k}\Omega \parallel \left[2 \frac{25 \text{ mV}}{0.219 \text{ mA}} + \frac{5.71 \text{ k}\Omega + 89.1 \text{ k}\Omega}{51} \right] = 2.08 \text{ k}\Omega \end{aligned} \quad (16.140)$$

Dalla Figura 16.50 si vede che il resistore R_7 di $27 \text{ }\Omega$, che fissa il limite della corrente di cortocircuito, si aggiunge direttamente alla resistenza di uscita complessiva dell'amplificatore, cosicché la resistenza di uscita effettiva dell'amplificatore operativo è:

$$R_{out} = R_o + R_7 = \frac{1.88 \text{ k}\Omega + 2.08 \text{ k}\Omega}{151} + 27 \text{ }\Omega = 53 \text{ }\Omega \quad (16.141)$$

ESERCIZIO Si ripetano i calcoli di R_{in12} e R_{out} nel caso in cui il transistor *pnp* Q_{16} abbia un guadagno di corrente di 50, $I_{C16} = 2 \mu\text{A}$ e $I_{C15} = 0$. Si disegni il nuovo circuito equivalente dello stadio di uscita per tensioni negative.

RISPOSTA $4.06 \text{ M}\Omega$ ($\gg 89.1 \text{ k}\Omega$), $51 \Omega + 27 \Omega = 78 \Omega$.

16.9.7 Protezione dal cortocircuito

Per semplicità la Figura 16.58 non riporta i componenti per la protezione dal cortocircuito in uscita. Riferendoci allo schema completo dell'amplificatore operazionale, riportato in Figura 16.47, vediamo che la protezione dal cortocircuito viene garantita dai resistori R_7 ed R_8 e dai transistori Q_{17} e Q_{18} . Il circuito è identico a quello mostrato in Figura 15.41(a). I transistori Q_{17} e Q_{18} sono normalmente interdetti; tuttavia, se la corrente nel resistore R_7 diviene troppo grande, il transistor Q_{17} entra in conduzione drenando parte della corrente di base di Q_{15} . In maniera analoga, se la corrente nel resistore R_8 diviene troppo grande, il transistor Q_{18} entra in conduzione rimuovendo corrente dalla base di Q_{16} . La corrente massima in condizione di cortocircuito è limitata, approssimativamente, a V_{BE17}/R_7 nel caso di corrente positiva e a $-V_{BE18}/R_8$ nel caso di corrente negativa. Come accennato in precedenza, i resistori R_7 e R_8 aumentano la resistenza di uscita dell'operazionale, dato che sono posti in serie al morsetto di uscita del circuito.

ESERCIZIO Si stimino le correnti di cortocircuito, positive e negative, per l'amplificatore operazionale μA741 in Figura 16.47.

RISPOSTE 26 mA ; -32 mA .

16.9.8 Riepilogo delle caratteristiche dell'amplificatore operazionale μA741

La Tabella 16.4 riassume le caratteristiche dell'amplificatore operazionale μA741 . La colonna 2 riporta i valori calcolati; la colonna 3, invece, i valori tipici riscontrabili nei prodotti commerciali. I valori osservati dipendono dal guadagno di corrente e dalla tensione di Early dei transistori *npn* e *pnp* che sono legati al processo di fabbricazione.

16.10 Il moltiplicatore analogico di Gilbert

Nei Capitoli da 10 a 12 è stato dimostrato come amplificatori operazionali permettano di ottenere funzioni matematiche di segnali elettronici in modo molto semplice: la somma, la sottrazione, l'integrazione, la derivazione e il filtraggio. Tuttavia, una delle operazioni più difficili da realizzare è la moltiplicazione accurata di due segnali analogici. Barrie Gilbert [7], un'altra figura leggendaria nell'ambito della progettazione di circuiti integrati, ha scoperto una soluzione a questo problema utilizzando le caratteristiche del transistor bipolare. Il cuore del circuito moltiplicatore riportato in Figura 16.60, è costituito da tre coppie differenziali. La coppia $Q_1 - Q_2$ ha degenerazione rilevante di emettitore in modo che la transconduttanza della coppia sia approssimativamente³ $1/R_1$.

Tabella 16.4 Caratteristiche del μA741

	Calcoli	Valori tipici del μA741
Guadagno di tensione	153 000	200 000
Resistenza di ingresso	$2.05 \text{ M}\Omega$	$2 \text{ M}\Omega$
Resistenza di uscita	53Ω	75Ω
Corrente di polarizzazione di ingresso	49 nA	80 nA
Tensione di offset in ingresso	-	2 mV

³ Ovviamente possono essere implementati convertitori tensione-corrente (amplificatori di transconduttanza) più raffinati.

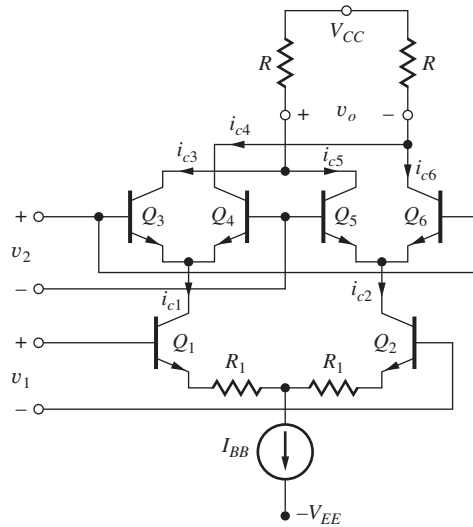


Figura 16.60
Cuore del moltiplicatore
di Gilbert.

In questo scenario, le correnti di collettore della coppia inferiore possono essere scritte come:

$$i_{c1} \approx \frac{I_{BB}}{2} + \frac{v_1}{2R_1} \quad i_{c2} \approx \frac{I_{BB}}{2} - \frac{v_1}{2R_1} \quad \text{per } |v_1| \leq I_{BB}R_1 \quad (16.142)$$

Il limite sulla v_1 è determinato dal requisito che nessuna corrente di collettore può essere negativa.

La tensione di uscita v_o è presa dalle due coppie differenziali superiori e può essere scritta come:

$$v_o = [(i_{c3} + i_{c5}) - (i_{c4} + i_{c6})]R = [(i_{c3} - i_{c4}) + (i_{c5} - i_{c6})]R \quad (16.143)$$

Usando l'Equazione (15.4) possiamo scrivere le espressioni delle differenze delle correnti di collettore in queste equazioni:

$$i_{c3} - i_{c4} = i_{c1} \tanh\left(\frac{v_2}{2V_T}\right) \quad \text{e} \quad i_{c5} - i_{c6} = -i_{c2} \tanh\left(\frac{v_2}{2V_T}\right) \quad (16.144)$$

Usando queste equazioni, la tensione di uscita può essere scritta così:

$$v_o = (i_{c1} - i_{c2})R \tanh\left(\frac{v_2}{2V_T}\right) = v_1 \left(\frac{R}{R_1}\right) \tanh\left(\frac{v_2}{2V_T}\right) \quad (16.145)$$

A questo punto, una possibile soluzione per ottenere la moltiplicazione, è di espandere la tangente iperbolica in serie, e poi tenere solo il primo termine:

$$\tanh(x) = x - \frac{x^3}{3} + \dots \quad \text{e} \quad v_o \approx v_1 \left(\frac{R}{R_1}\right) \left(\frac{v_2}{2V_T}\right) \quad \text{per } \frac{x^3}{3} \ll x \quad (16.146)$$

dove $x = v_2/(2V_T)$. Tuttavia, questo approccio limita fortemente l'intervallo di variazione del segnale di ingresso v_2 a solo poche decine di millivolt [si veda la discussione dopo l'Equazione (15.5)].

La chiave per il **moltiplicatore di Gilbert**, che permette un ampio intervallo di variazione della tensione d'ingresso, è di utilizzare un altro paio di giunzioni *pn* (come mostrato in Figura 16.61) che hanno il compito di condizionare il segnale in ingresso secondo una funzione a tangente iperbolica inversa. I due transistori connessi a diodo Q_9 e Q_{10} sono pilotati da un secondo stadio a transconduttanza formata da Q_7 e Q_8 , per cui:

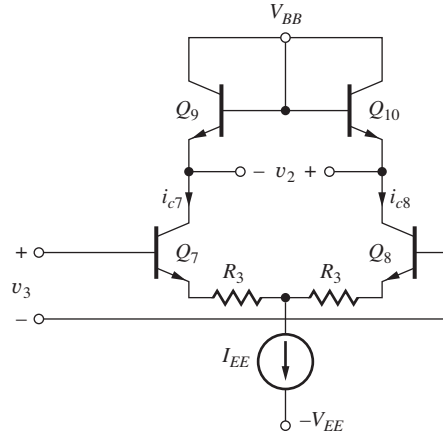
$$i_{c7} \approx \frac{I_{EE}}{2} + \frac{v_3}{2R_3} \quad i_{c8} \approx \frac{I_{EE}}{2} - \frac{v_3}{2R_3} \quad \text{per } |v_3| \leq I_{EE}R_3 \quad (16.147)$$

e si ottiene in questo modo la tensione v_2 :

$$v_2 = (V_{BB} - v_{BE10}) - (V_{BB} - v_{BE9}) = v_{BE9} - v_{BE10} \quad (16.148)$$

Figura 16.61

Circuito di condizionamento a tangente iperbolica inversa.



Usando le espressioni standard per le tensioni di emettitore e assumendo che i due transistori siano uguali e funzionanti nelle stesse condizioni operative, si ottiene:

$$v_2 = V_T \ln \left(\frac{\frac{I_{EE}}{2} + \frac{v_3}{2R_3}}{I_S} \right) - V_T \ln \left(\frac{\frac{I_{EE}}{2} - \frac{v_3}{2R_3}}{I_S} \right) = V_T \ln \left(\frac{1 + \frac{v_3}{I_{EE}R_3}}{1 - \frac{v_3}{I_{EE}R_3}} \right) \quad (16.149)$$

Cercando sulle tabelle matematiche di conversione, possiamo fare uso di questa identità:

$$\ln \left(\frac{1+x}{1-x} \right) = 2 \tanh^{-1}(x)$$

che può essere usata per riscrivere v_2 nella seguente forma:

$$v_2 = 2V_T \tanh^{-1} \left(\frac{v_3}{I_{EE}R_3} \right) \quad (16.150)$$

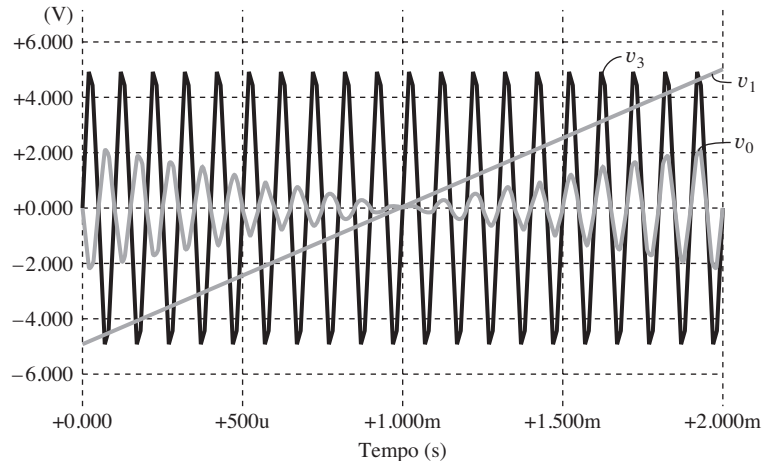
Combinando le Equazioni (16.150) e (16.145) si ottiene il risultato finale del moltiplicatore analogico:

$$v_o = \left(\frac{R}{I_{EE}R_1R_3} \right) v_1 v_3 \quad (16.151)$$

Il circuito descritto dall'Equazione (16.151) è noto come un **moltiplicatore a quattro quadranti**, poiché entrambe le tensioni di ingresso possono assumere valori sia positivi che negativi. Un approccio di uso comune prevede di fissare la costante di proporzionalità pari a 0.1, in modo che se i segnali d'ingresso hanno valori compresi tra -10 V e 10 V, anche quello di uscita assumerà valori nello stesso intervallo. Il prodotto delle due forme d'onda ottenuto con un moltiplicatore analogico di Gilbert è riportato in Figura 16.62. All'ingresso il segnale $v_3 = 5 \sin 2000\pi t$ V, mentre v_1 è una rampa di tensione che parte da -5 V a $t = 0$ e raggiunge i 5 V a $t = 2$ ms. Il fattore di scala del moltiplicatore è posto a 0.1. Nota che il prodotto è zero, e cambia segno quando v_1 attraversa 0 V a $t = 1$ ms.

Figura 16.62

Simulazione SPICE di un moltiplicatore analogico di Gilbert per $v_3 = 5 \sin 2000\pi t$ V e v_1 una rampa di tensione tra -5 V e 5 V. Il fattore di scala del moltiplicatore è impostato a 0.1.



ESERCIZIO Quanto devono valere le costanti di proporzionalità nell'Equazione (16.151) affinché tutte le tensioni operino nel range ± 5 V? E nel range ± 1 V?

RISPOSTE 0.2; 1.0.

ESERCIZIO Si simuli con SPICE il moltiplicatore di Gilbert usando per v_1 un seno di ampiezza picco-picco pari a 10 V e frequenza di 1 kHz, e imponendo $v_3 = 5 \sin 20\,000\pi t$ V.

Riferimenti bibliografici

- [1] R.D. Thornton, et al., *Multistage Transistor Circuits*, SEEC Volume 5, Wiley, New York: 1965.
- [2] R.J. Widlar, "Some circuit design techniques for linear integrated circuits," *IEEE Transactions on Circuit Theory*, vol. CT-12, no. 12, pp. 586-590, dicembre 1965.
- [3] R.J. Widlar, "Design techniques for monolithic operational amplifiers," *IEEE Journal of Solid-State Circuits*, vol. SC-4, no. 4, pp. 184-191, agosto 1969.
- [4] G.R. Wilson, "A monolithic junction FET-NPN operational amplifier," *IEEE Journal of Solid-State Circuits*, vol. SC-3, no. 6, pp. 341-348, dicembre 1968.
- [5] R.J. Widlar, "New developments in IC voltage regulators," *IEEE Journal of Solid-State Circuits*, vol. SC-6, no. 1, pp. 2-7, gennaio 1971.
- [6] A.P. Brokaw, "A simple three-terminal IC bandgap reference," *IEEE Journal of Solid-State Circuits*, vol. SC-9, no. 6, pp. 388-393, dicembre 1974.
- [7] B. Gilbert, "The gears of genius," *IEEE Solid-State Circuits Society News*, vol. 12, no. 4, pp. 10-27, autunno 2007.

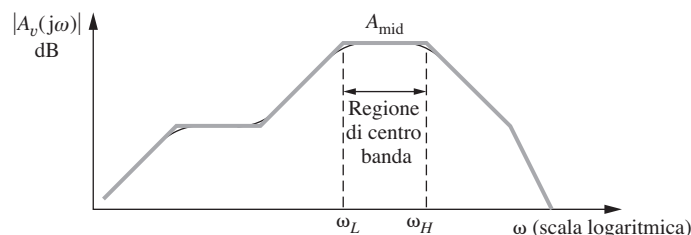
Risposta in frequenza

Obiettivi

- Analizzare la funzione di trasferimento e determinare le frequenze di taglio.
- Comprendere l'approssimazione a polo dominante della funzione di trasferimento degli amplificatori.
- Imparare a suddividere i circuiti in AC nei circuiti equivalenti alle basse e alle alte frequenze.
- Imparare la tecnica delle costanti di tempo in cortocircuito per la stima della frequenza di taglio inferiore f_L .
- Completare lo sviluppo dei modelli per piccolo segnale dei transistori bipolari e dei MOS mediante l'introduzione delle capacità interne.
- Comprendere i limiti del prodotto guadagno-banda dei transistori bipolari e a effetto di campo.
- Imparare la tecnica delle costanti di tempo a circuito aperto per la stima della frequenza di taglio superiore f_H .
- Sviluppare espressioni per la frequenza di taglio superiore delle configurazioni invertente, non invertente e degli inseguitori.
- Dimostrare che i limiti del prodotto guadagno-banda degli amplificatori invertenti, non invertenti e degli inseguitori si avvicinano allo stesso estremo superiore.
- Imparare ad applicare le due tecniche delle costanti di tempo all'analisi della risposta in frequenza degli amplificatori multistadio.
- Esplorare i limiti in banda dei circuiti a due transistori compresi gli specchi di corrente, gli amplificatori cascode e le coppie differenziali.
- Comprendere l'effetto Miller.
- Sviluppare una relazione tra la frequenza per cui il guadagno è unitario e lo slew rate degli amplificatori operazionali.
- Introdurre i circuiti elementari per le applicazioni a radiofrequenza, tra cui gli amplificatori accordati, i mixer e gli oscillatori.
- Comprendere l'utilizzo dei circuiti accordati per realizzare amplificatori sia a banda larga (con la tecnica *shunt peaking*) che a banda stretta.
- Comprendere i concetti base dell'operazione di mixing (miscelazione).
- Analizzare i mixer single-balanced e double-balanced.
- Studiare l'utilizzo del moltiplicatore di Gilbert come mixer e modulatore bilanciato.
- Utilizzare SPICE per l'analisi in AC.
- Utilizzare MATLAB per visualizzare la risposta in frequenza.

Nei Capitoli dal 13 al 16 sono state analizzate le caratteristiche di centro banda degli amplificatori. I limiti in bassa frequenza dovuti ai condensatori di accoppiamento e di bypass sono stati sostanzialmente ignorati e sono state anche trascurate le capacità interne ai dispositivi

elettronici, che limitano la risposta alle alte frequenze. Questo capitolo completa la discussione sul progetto di base degli amplificatori con l'introduzione di metodi per "sagomare" la risposta in frequenza dei circuiti analogici sia alle basse sia alle alte frequenze.



Analizzeremo le capacità interne ai transistori bipolari e a effetto di campo introducendo i modelli per piccolo segnale dipendenti dalla frequenza. Sarà introdotto il prodotto guadagno-larghezza di banda dei dispositivi e quindi espresso in funzione dei parametri del modello per piccolo segnale.

Saranno analizzate in dettaglio le risposte in frequenza delle configurazioni invertenti, non invertenti e dei circuiti inseguitori a singolo stadio, e si mostrerà che la banda di stadi invertenti e non invertenti a elevato guadagno può essere notevolmente limitata (anche se molto più ampia di un operazionale con lo stesso guadagno) mentre quella degli inseguitori è normalmente molto ampia. Vedremo, poi, come l'uso della configurazione cascode migliori in modo significativo la risposta in frequenza degli amplificatori invertenti.

La funzione di trasferimento degli amplificatori a più stadi può avere un gran numero di poli e zeri, per cui

l'analisi diretta del circuito, anche se possibile, può dare risultati eccessivamente complessi. Sono state quindi sviluppate delle tecniche approssimate - i metodi delle costanti di tempo in cortocircuito e a circuito aperto - per ottenere una stima delle frequenze di taglio superiore e inferiore ω_H e ω_L . Sarà introdotto l'effetto Miller, e vedremo come la banda relativamente stretta degli amplificatori invertenti è causata dalla moltiplicazione di Miller della capacità collettore-base o gate-drain del transistor.

Questo capitolo presenta anche brevemente i circuiti a radio frequenza (RF), gli amplificatori e i mixer. Lo studio dei circuiti a RF comprende sia gli amplificatori a larga banda (*shunt peaking*) sia quelli a banda stretta (ad alto Q). Saranno anche mostrati i circuiti per la conversione di frequenza, mixer bilanciati e doppio bilanciati, sia passivi sia attivi. Gli oscillatori ad alta frequenza saranno analizzati nel Capitolo 18.

17.1 Risposta in frequenza degli amplificatori

La Figura 17.1 rappresenta il diagramma di Bode del modulo del guadagno di tensione di un amplificatore. Indipendentemente dal numero di poli e zeri, la funzione di trasferimento $A_v(s)$ può essere scritta in termini di rapporto tra due polinomi nella variabile s :

$$A_v(s) = \frac{N(s)}{D(s)} = \frac{a_0 + a_1s + a_2s^2 + \dots + a_ms^m}{b_0 + b_1s + b_2s^2 + \dots + b_ns^n} \quad (17.1)$$

In linea di principio, il numeratore e il denominatore dell'Equazione (17.1) possono essere fattorizzati, separando poli e zeri in due gruppi. Quelli associati alla risposta alle basse frequenze, prima della regione di centro banda dell'amplificatore, possono essere raggruppati in una funzione $F_L(s)$ e quelli associati alla risposta alle alte frequenze, oltre la regione di centro banda, possono essere raggruppati in una funzione $F_H(s)$. La funzione di trasferimento può, quindi, essere scritta nella forma:

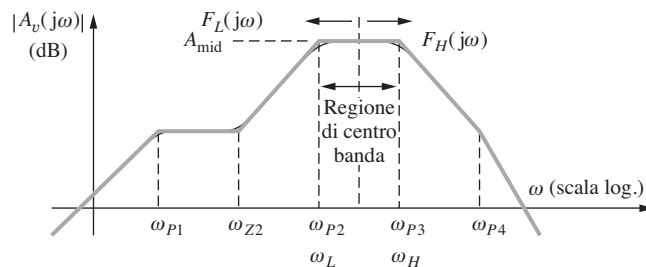
$$A_v(s) = A_{\text{mid}} F_L(s) F_H(s) \quad (17.2)$$

dove A_{mid} è il **guadagno a centro banda** dell'amplificatore nella regione compresa tra la **frequenza di taglio inferiore** e la **frequenza di taglio superiore** (ω_L e ω_H). Affinché A_{mid} appaia esplicitamente, come mostrato nell'Equazione (17.2), $F_L(s)$ e $F_H(s)$ devono essere scritte in due particolari forme canoniche definite dalle Equazioni (17.3) e (17.4):

$$F_L(s) = \frac{(s + \omega_{Z1}^L)(s + \omega_{Z2}^L) \dots (s + \omega_{Zk}^L)}{(s + \omega_{P1}^L)(s + \omega_{P2}^L) \dots (s + \omega_{Pk}^L)} \quad (17.3)$$

$$F_H(s) = \frac{\left(1 + \frac{s}{\omega_{Z1}^H}\right) \left(1 + \frac{s}{\omega_{Z2}^H}\right) \dots \left(1 + \frac{s}{\omega_{Zl}^H}\right)}{\left(1 + \frac{s}{\omega_{P1}^H}\right) \left(1 + \frac{s}{\omega_{P2}^H}\right) \dots \left(1 + \frac{s}{\omega_{Pl}^H}\right)} \quad (17.4)$$

Figura 17.1
Diagramma di Bode della
funzione di trasferimento di un
generico amplificatore.



La rappresentazione di $F_H(s)$ è scelta in modo che il suo modulo tenda a 1 per frequenze inferiori alla frequenza di taglio superiore ω_H :

$$|F_H(j\omega)| \rightarrow 1 \quad \text{per} \quad \omega \ll \omega_{Zi}^H, \omega_{Pi}^H \quad \text{per} \quad i = 1 \cdots l \quad (17.5)$$

Quindi, alle basse frequenze la funzione di trasferimento diventa:

$$A_L(s) \approx A_{\text{mid}} F_L(s) \quad (17.6)$$

La forma di $F_L(s)$ è scelta in modo che il suo modulo tenda a 1 per frequenze superiori alla frequenza di taglio inferiore ω_L :

$$|F_L(j\omega)| \rightarrow 1 \quad \text{per} \quad \omega \gg \omega_{Zj}^L, \omega_{Pj}^L \quad \text{per} \quad j = 1 \cdots k \quad (17.7)$$

Pertanto la funzione di trasferimento alle alte frequenze diventa:

$$A_H(s) \approx A_{\text{mid}} F_H(s) \quad (17.8)$$

17.1.1 Risposta alle basse frequenze

In molti progetti gli zeri di $F_L(s)$ possono essere posti a frequenze talmente basse da non influenzare la frequenza di taglio inferiore ω_L . Inoltre, è possibile fare in modo che uno dei poli in bassa frequenza della Figura 17.1, per esempio ω_{P2} , si trovi a una frequenza molto maggiore degli altri. In queste condizioni, la parte di bassa frequenza della funzione di trasferimento può essere scritta approssimativamente come:

$$F_L(s) \approx \frac{s}{s + \omega_{P2}} \quad (17.9)$$

Il polo ω_{P2} è chiamato **polo dominante alle basse frequenze** e la frequenza di taglio inferiore ω_L è approssimativamente:

$$\omega_L \approx \omega_{P2} \quad (17.10)$$

Il diagramma di Bode di Figura 17.2 riporta un esempio di una funzione di trasferimento e della corrispondente approssimazione a polo dominante. La funzione di trasferimento $A_L(s)$ ha due poli e due zeri, uno dei quali nell'origine.

17.1.2 Stima di ω_L in assenza di polo dominante

Se non esiste un polo dominante alle basse frequenze, la frequenza di taglio inferiore è determinata dall'interazione di diversi poli e zeri della funzione di trasferimento e l'analisi per il calcolo della frequenza ω_L è più complicata. Per esempio, si consideri il caso di un amplificatore che ha due poli e due zeri alle basse frequenze:

$$A_L(s) = A_{\text{mid}} F_L(s) = A_{\text{mid}} \frac{(s + \omega_{Z1})(s + \omega_{Z2})}{(s + \omega_{P1})(s + \omega_{P2})} \quad (17.11)$$

Per $s = j\omega$ si ha:

$$|A_L(j\omega)| = A_{\text{mid}} |F_L(j\omega)| = A_{\text{mid}} \sqrt{\frac{(\omega^2 + \omega_{Z1}^2)(\omega^2 + \omega_{Z2}^2)}{(\omega^2 + \omega_{P1}^2)(\omega^2 + \omega_{P2}^2)}} \quad (17.12)$$

e, ricordando che ω_L è definita come la frequenza angolare a -3dB ,

$$|A(j\omega_L)| = \frac{A_{\text{mid}}}{\sqrt{2}} \quad \text{e} \quad \frac{1}{\sqrt{2}} = \sqrt{\frac{(\omega_L^2 + \omega_{Z1}^2)(\omega_L^2 + \omega_{Z2}^2)}{(\omega_L^2 + \omega_{P1}^2)(\omega_L^2 + \omega_{P2}^2)}} \quad (17.13)$$

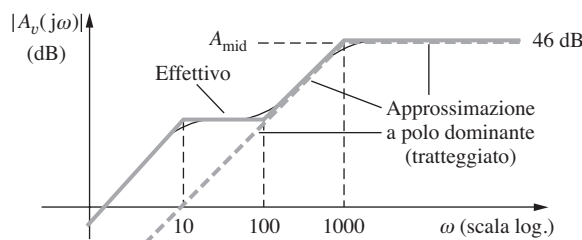


Figura 17.2

Diagramma di Bode della funzione di trasferimento completa e della sua approssimazione a polo dominante.

Elevando al quadrato entrambi i membri e sviluppando l'Equazione (17.13) si ha:

$$\frac{1}{2} = \frac{\omega_L^4 + \omega_L^2(\omega_{Z1}^2 + \omega_{Z2}^2) + \omega_{Z1}^2\omega_{Z2}^2}{\omega_L^4 + \omega_L^2(\omega_{P1}^2 + \omega_{P2}^2) + \omega_{P1}^2\omega_{P2}^2} = \frac{1 + \frac{(\omega_{Z1}^2 + \omega_{Z2}^2)}{\omega_L^2} + \frac{\omega_{Z1}^2\omega_{Z2}^2}{\omega_L^4}}{1 + \frac{(\omega_{P1}^2 + \omega_{P2}^2)}{\omega_L^2} + \frac{\omega_{P1}^2\omega_{P2}^2}{\omega_L^4}} \quad (17.14)$$

Se assumiamo che ω_L sia maggiore delle frequenze di tutti i poli e gli zeri, il termine $1/\omega_L^4$ può essere trascurato e la frequenza di taglio inferiore può essere approssimata come:

$$\omega_L \approx \sqrt{\omega_{P1}^2 + \omega_{P2}^2 - 2\omega_{Z1}^2 - 2\omega_{Z2}^2} \quad (17.15)$$

Nel caso più generale di n poli e n zeri un'analisi simile fornisce:

$$\omega_L \approx \sqrt{\sum_n \omega_{Pn}^2 - 2 \sum_n \omega_{Zn}^2} \quad (17.16)$$

ESERCIZIO Si utilizzi l'Equazione (17.15) per stimare la frequenza f_L per le funzioni di trasferimento:

$$A_v(s) = \frac{200s(s+50)}{(s+10)(s+1000)} \quad \text{e} \quad A_v(s) = \frac{100s(s+500)}{(s+100)(s+1000)}$$

RISPOSTE 159 Hz, 114 Hz.

Esempio 17.1

ANALISI DI UNA FUNZIONE DI TRASFERIMENTO

Vengono determinati il guadagno a centro banda, i poli, gli zeri e la frequenza di taglio per una assegnata funzione di trasferimento.

PROBLEMA Si determini il guadagno a centro banda $F_L(s)$ e f_L per la seguente funzione di trasferimento:

$$A_L(s) = 2000 \frac{s\left(\frac{s}{100} + 1\right)}{(0.1s + 1)(s + 1000)}$$

Si identifichino le frequenze corrispondenti a poli e zeri. Si trovi, se esiste, un'approssimazione a polo dominante per la funzione di trasferimento.

SOLUZIONE **Informazioni e dati noti:** È assegnata la funzione di trasferimento.

Incognite: A_{mid} , $F_L(s)$, f_L , poli, zeri e approssimazione a polo dominante.

Approccio: Si riorganizzi $A_L(s)$ nella forma delle Equazioni (17.6) e (17.3). Si identifichino le frequenze di poli e zeri. Si trovi il guadagno di centro banda. Poiché è possibile trovare tutti i poli e gli zeri, si utilizzi l'Equazione (17.16) per trovare f_L . Se poli e zeri sono sufficientemente distanti, si determini l'approssimazione a polo dominante.

Ipotesi: Nessuna.

Analisi: Per iniziare, si riorganizzi la funzione di trasferimento ponendo 0.01 a fattor comune al numeratore e 0.1 a fattor comune al denominatore in modo da avere poli e zeri nella forma dell'Equazione (17.3):

$$A_L(s) = 200 \frac{s(s+100)}{(s+10)(s+1000)}$$

Ora, $A_L(s) = A_{\text{mid}}F_L(s)$ con $A_{\text{mid}} = 200$ e

$$F_L(s) = \frac{s(s+100)}{(s+10)(s+1000)}$$

I poli sono $s = -10$ rad/s, e $s = -1000$ rad/s mentre gli zeri sono $s = 0$ e $s = -100$ rad/s. Sostituendo i valori nell'Equazione (17.16) si ha una stima di f_L :

$$f_L = \frac{1}{2\pi} \sqrt{10^2 + 1000^2 - 2(0^2 + 100^2)} = \frac{990 \text{ rad/s}}{2\pi} = 158 \text{ Hz}$$

Poiché poli e zeri sono separati da almeno una decade, esiste un polo dominante a $\omega = 1000$ e la frequenza di taglio inferiore è data approssimativamente da $f_L \approx 1000/2\pi = 159$ Hz. Per frequenze superiori ad alcune centinaia di rad/s, la funzione di trasferimento può essere rappresentata da:

$$A_L(s) \approx 200 \frac{s}{s + 1000} \quad \text{per} \quad \omega > 200 \text{ rad/s}$$

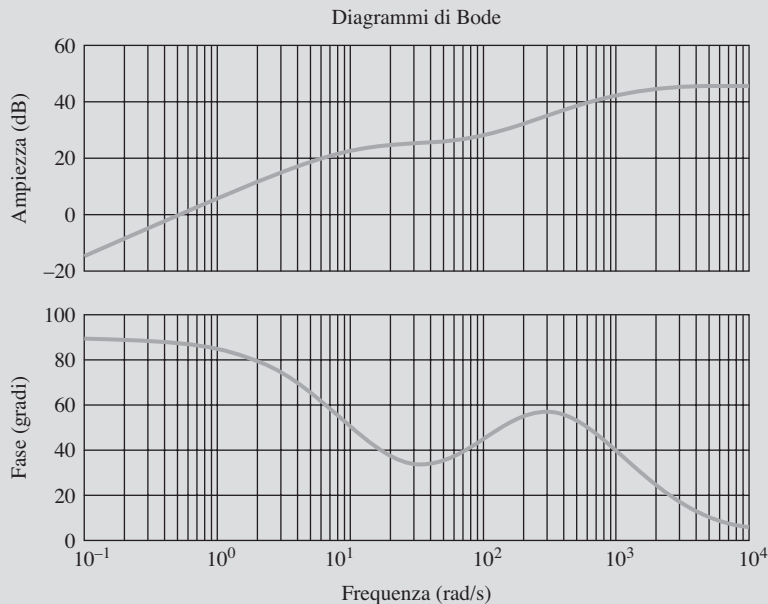
Verifica dei risultati: Le incognite sono state trovate. Per $\omega \gg 1000$, la funzione di trasferimento raggiunge il suo massimo valore e resta costante.

$$A_L(s)|_{|s| \gg 1000} \approx 200 \frac{s^2}{s^2} = 200$$

Pertanto $A_{\text{mid}} = 200$ ovvero 46 dB. Si vede, inoltre, che f_L predetta dall'Equazione (17.16) è la stessa di quella del modello a polo dominante, indicando la correttezza di tale approssimazione.

Discussione: La Figura 17.2 riporta il diagramma della funzione di trasferimento e la sua approssimazione a polo dominante della funzione di trasferimento completa (linea intera). La regione di centro banda è chiaramente identificata per $\omega > 1000$ rad/s, e per frequenze dal centro banda fino a 200 rad/s si evidenzia il comportamento a singolo polo.

Analisi assistita da calcolatore: Si può facilmente visualizzare la funzione di trasferimento con l'aiuto di MATLAB: `bode ([200, 2E4, 0], [1, 1010, 1E4])`. Il grafico risultante dell'ampiezza e della fase è riportato nella figura seguente. Appare evidente l'alternanza di zeri e poli e il guadagno si avvicina a 46 dB alle alte frequenze.



ESERCIZIO Per quale intervallo di frequenze l'approssimazione dell'Esempio 17.1 differisce meno del 10% dalla funzione di trasferimento esatta?

RISPOSTA $\omega \geq 205$ rad/s.

17.1.3 Risposta alle alte frequenze

Per frequenze maggiori rispetto alla regione di centro banda la funzione di trasferimento $A(s)$ può essere rappresentata dalla corrispondente approssimazione alle alte frequenze:

$$A_H(s) \approx A_{\text{mid}} F_H(s) \quad (17.17)$$

Molti degli zeri di $F_H(s)$ si trovano spesso a frequenza infinita o comunque abbastanza alta da non influenzarne il valore assunto in prossimità di ω_H . Se, inoltre, la frequenza di uno dei poli, per esempio ω_{p3} in Figura 17.1, è molto più piccola di quella di tutti gli altri, allora esiste un **polo dominante in alta frequenza** e $F_H(s)$ può essere scritta in modo approssimato come:

$$F_H(s) \approx \frac{1}{1 + \frac{s}{\omega_{p3}}} \quad (17.18)$$

Nel caso in cui esista un polo dominante, la frequenza di taglio superiore è data da $\omega_H \approx \omega_{p3}$. La Figura 17.3 riporta l'esempio del diagramma di Bode di una funzione di trasferimento e la corrispondente approssimazione a polo dominante.

ESERCIZIO La funzione di trasferimento dell'amplificatore di Figura 17.3 è:

$$A_H(s) = 50 \frac{\left(1 + \frac{s}{10^9}\right)}{\left(1 + \frac{s}{10^6}\right)\left(1 + \frac{s}{10^8}\right)}$$

Quali sono le posizioni dei poli e degli zeri di $A_H(s)$? Quanto valgono A_{mid} e f_H e qual è l'espressione di $F_H(s)$ nell'approssimazione a polo dominante?

RISPOSTE $\omega_{z1} = -10^9 \text{ rad/s}$, $\omega_{p1} = -10^6 \text{ rad/s}$, $\omega_{p2} = -10^8 \text{ rad/s}$; 50, 159 kHz,

$$F_H(s) = \frac{1}{\left(1 + \frac{s}{10^6}\right)}.$$

17.1.4 Stima di ω_H in assenza di polo dominante

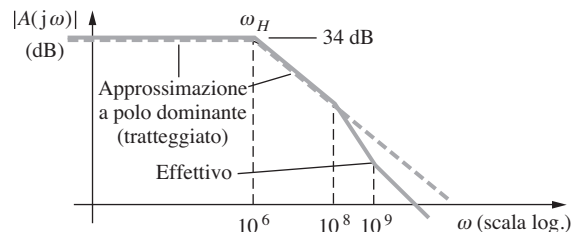
Se non esiste un polo dominante alle alte frequenze, la frequenza ω_H è determinata dall'interazione di diversi poli e zeri. Si può ricavare una relazione approssimata della frequenza di taglio superiore dall'espressione di f_H , con un procedimento analogo a quello utilizzato per ricavare l'Equazione (17.16). Consideriamo il caso di un amplificatore con due zeri e due poli ad alta frequenza:

$$A_H(s) = A_{\text{mid}} F_H(s) = A_{\text{mid}} \frac{\left(1 + \frac{s}{\omega_{z1}}\right)\left(1 + \frac{s}{\omega_{z2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)} \quad (17.19)$$

e per $s = j\omega$,

$$|A_H(j\omega)| = A_{\text{mid}} |F_H(j\omega)| = A_{\text{mid}} \sqrt{\frac{\left(1 + \frac{\omega^2}{\omega_{z1}^2}\right)\left(1 + \frac{\omega^2}{\omega_{z2}^2}\right)}{\left(1 + \frac{\omega^2}{\omega_{p1}^2}\right)\left(1 + \frac{\omega^2}{\omega_{p2}^2}\right)}} \quad (17.20)$$

Figura 17.3
Diagramma di Bode della
funzione di trasferimento
completa e approssimazione a
polo dominante.



per $\omega = \omega_H$ si ha:

$$|A(j\omega_H)| = \frac{A_{\text{mid}}}{\sqrt{2}} \quad \text{e} \quad \frac{1}{\sqrt{2}} = \sqrt{\frac{\left(1 + \frac{\omega_H^2}{\omega_{Z1}^2}\right)\left(1 + \frac{\omega_H^2}{\omega_{Z2}^2}\right)}{\left(1 + \frac{\omega_H^2}{\omega_{P1}^2}\right)\left(1 + \frac{\omega_H^2}{\omega_{P2}^2}\right)}} \quad (17.21)$$

Elevando al quadrato entrambi i membri, sviluppando e assumendo che ω_H sia più piccola delle frequenze dei poli e degli zeri, la frequenza di taglio superiore diventa:

$$\omega_H \approx \frac{1}{\sqrt{\frac{1}{\omega_{P1}^2} + \frac{1}{\omega_{P2}^2} - \frac{2}{\omega_{Z1}^2} - \frac{2}{\omega_{Z2}^2}}} \quad (17.22)$$

L'espressione per il caso generale di n poli e n zeri si ricava in modo simile, ottenendo:

$$\omega_H \approx \frac{1}{\sqrt{\sum_n \frac{1}{\omega_{Pn}^2} - 2 \sum_n \frac{1}{\omega_{zn}^2}}} \quad (17.23)$$

ESERCIZIO Si scriva l'espressione in forma canonica della funzione $A_H(s)$ riportata di seguito. Quali sono le frequenze dei poli e degli zeri? Quanto valgono A_{mid} e f_H ?

$$A_H(s) = \frac{2.5 \times 10^7 (s + 2 \times 10^5)}{(s + 10^5)(s + 5 \times 10^5)}$$

RISPOSTE $A_H(s) = 100 \frac{\left(1 + \frac{s}{2 \times 10^5}\right)}{\left(1 + \frac{s}{10^5}\right)\left(1 + \frac{s}{5 \times 10^5}\right)}$; -100 krad/s , -500 krad/s , -200 krad/s ;

$\rightarrow \infty$, 40 dB, 21.7 kHz.

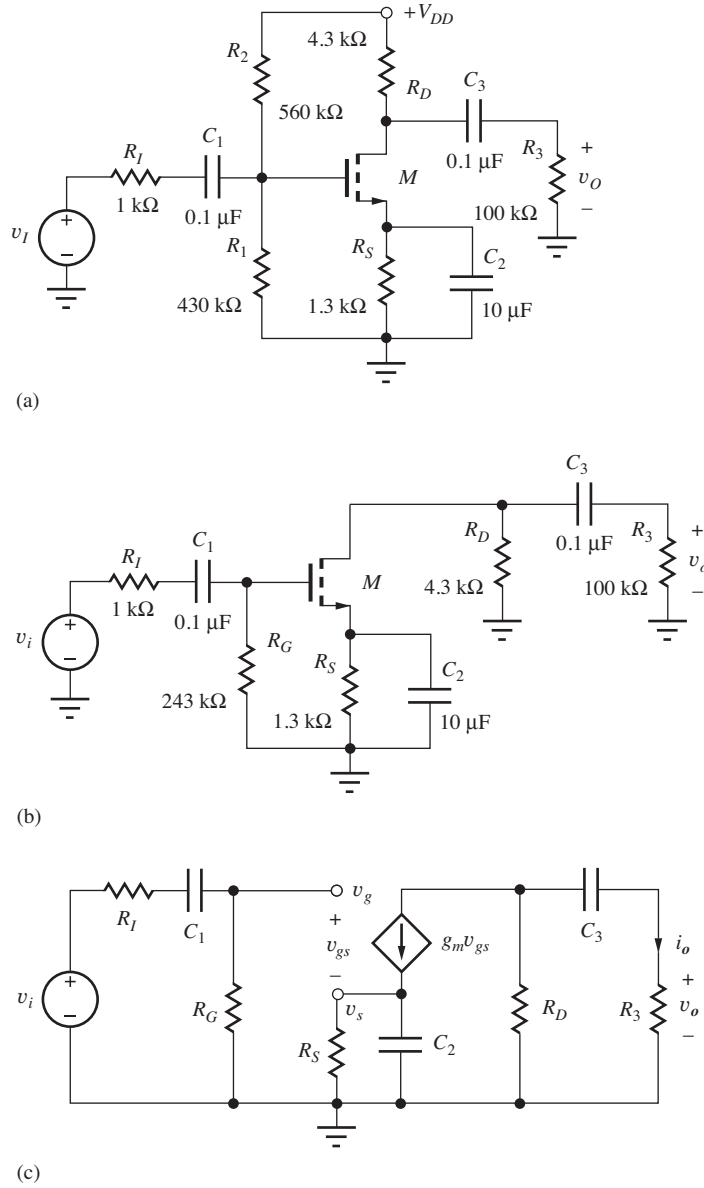
17.2 Determinazione diretta di poli e zeri in bassa frequenza – L'amplificatore a source comune

Per applicare il metodo esposto nel Paragrafo 17.1 occorre conoscere la posizione di tutti i poli e gli zeri. In linea di principio la risposta in frequenza di un amplificatore può essere sempre calcolata mediante l'analisi diretta del circuito nel dominio della frequenza, pertanto questo paragrafo inizia con un esempio di questo tipo di analisi per l'amplificatore a source comune. Al crescere della complessità del circuito, tuttavia, l'analisi manuale esatta diventa rapidamente non praticabile. Benché sia sempre possibile usare il simulatore SPICE per analizzare le caratteristiche di un amplificatore per un assegnato insieme di parametri, è necessario avere una conoscenza più generale dei fattori che controllano le frequenze di taglio per poter progettare un amplificatore. Poiché siamo spesso interessati alla posizione di ω_L e ω_H , svilupperemo tecniche approssimate che consentono di stimare il loro valore.

Il circuito dell'amplificatore a source comune precedentemente introdotto viene mostrato nella Figura 17.4(a) insieme con il suo circuito equivalente in AC in Figura 17.4(b). Per frequenze inferiori alla regione di centro banda, l'impedenza dei condensatori non è più trascurabile, cosicché occorre includere questi elementi nel circuito equivalente in AC. Per determinare il comportamento del circuito alle basse frequenze sostituiamo il transistor Q_1 con il corrispondente modello per piccolo segnale a bassa frequenza, come mostrato in Figura 17.4(c). Poiché lo stadio ha un carico resistivo esterno, è lecito trascurare la resistenza r_o nel modello.

Figura 17.4

(a) Amplificatore a source comune, (b) modello AC a bassa frequenza, (c) modello per piccolo segnale.



Nel dominio della frequenza, si può calcolare la tensione $V_o(s)$ mediante la regola del partitore di corrente applicata al drain del transistor:

$$V_o(s) = I_o(s)R_3 \quad \text{dove} \quad I_o(s) = -g_m V_{gs}(s) \frac{R_D}{R_D + \frac{1}{sC_3} + R_3}$$

e

$$V_o(s) = -g_m V_{gs}(s) \frac{R_D}{R_D + \frac{1}{sC_3} + R_3} R_3 = -g_m (R_3 \parallel R_D) \frac{s}{s + \frac{1}{C_3(R_D + R_3)}} V_{gs}(s) \quad (17.24)$$

Successivamente dobbiamo trovare $V_{gs}(s) = V_g(s) - V_s(s)$. Poiché il terminale di gate in Figura 17.4(c) è un circuito aperto, si può determinare $V_g(s)$ mediante la legge del partitore di tensione:

$$V_g(s) = V_i(s) \frac{R_G}{R_I + \frac{1}{sC_1} + R_G} = V_i(s) \frac{sC_1 R_G}{sC_1(R_I + R_G) + 1} \quad (17.25)$$

e si può determinare la tensione al source del MOS scrivendo un'equazione ai nodi per $V_s(s)$:

$$g_m(V_g - V_s) - G_S V_s - sC_2 V_s = 0 \quad \text{ovvero} \quad V_s = \frac{g_m}{sC_2 + g_m + G_S} V_g \quad (17.26)$$

e

$$V_{gs}(s) = (V_g - V_s) = V_g \left[1 - \frac{g_m}{sC_2 + g_m + G_S} \right] = \frac{sC_2 + G_S}{sC_2 + g_m + G_S} V_g \quad (17.27)$$

Dividendo per C_2 , l'Equazione (17.27) può essere riscritta come:

$$(V_g - V_s) = \frac{s + \frac{1}{C_2 R_S}}{s + \frac{1}{C_2 \left(\frac{1}{g_m} \parallel R_S \right) V_g(s)}} \quad (17.28)$$

Infine, dalle Equazioni (17.24), (17.25) e (17.28) si ottiene l'espressione complessiva della funzione di trasferimento:

$$\begin{aligned} A_v(s) &= \frac{V_o(s)}{V_i(s)} = A_{\text{mid}} F_L(s) \\ &= \left[-g_m(R_3 \parallel R_D) \frac{R_G}{(R_I + R_G)} \right] \frac{s^2 \left[s + \frac{1}{C_2 R_S} \right]}{\left[s + \frac{1}{C_1 (R_I + R_G)} \right] \left[s + \frac{1}{C_2 \left(\frac{1}{g_m} \parallel R_S \right)} \right] \left[s + \frac{1}{C_3 (R_D + R_3)} \right]} \end{aligned} \quad (17.29)$$

Nell'Equazione (17.29), $A_v(s)$ è stato scritto in modo da evidenziare il guadagno di centro banda e $F_L(s)$:

$$A_v(s) = A_{\text{mid}} F_L(s) \quad \text{dove} \quad A_{\text{mid}} = -g_m(R_D \parallel R_3) \frac{R_G}{R_G + R_I} \quad (17.30)$$

Il guadagno A_{mid} corrisponde al guadagno di tensione del circuito con tutti i condensatori sostituiti da cortocircuiti.

Benché l'analisi delle Equazioni dalla (17.24) alla (17.30) possa sembrare piuttosto noiosa, essa conduce a una descrizione completa della risposta in frequenza. In questo esempio, i poli e gli zeri della funzione di trasferimento compaiono in forma fattorizzata nell'Equazione (17.29). Sfortunatamente si tratta di un caso particolare, mentre generalmente ciò non accade. In questo circuito, la resistenza di ingresso infinita del MOS e l'assenza della resistenza r_o hanno condotto al disaccoppiamento delle equazioni per v_g , v_s e v_o . Nella maggior parte dei casi l'analisi matematica è più complicata. Per esempio, se si usa un transistor bipolare dove sono inclusi r_π e r_o , per eseguire l'analisi occorre risolvere simultaneamente almeno tre equazioni in tre incognite.

ESERCIZIO Si disegni il circuito equivalente AC a centro banda dell'amplificatore di Figura 17.4 e si ricavi l'espressione di A_{mid} direttamente da questo circuito.

RISPOSTA Equazione (17.30).

Analizziamo ora l'origine dei poli e degli zeri della funzione di trasferimento. L'Equazione (17.29) ha tre poli e tre zeri, *un polo e uno zero per ogni condensatore indipendente* del circuito. Due degli zeri si trovano a $s = 0$ (DC) e corrispondono ai condensatori in serie C_1 e C_3 , ciascuno dei quali blocca la propagazione della componente continua del segnale attraverso l'amplificatore. Il terzo zero si trova alla frequenza per la quale l'impedenza del parallelo di R_S e C_2 diventa infinita. A questa frequenza viene bloccata la propagazione della corrente di segnale attraverso il MOSFET e la tensione di uscita è nulla. Quindi le posizioni dei tre zeri sono:

$$s = 0, 0, -\frac{1}{R_S C_2} \quad (17.31)$$

Dal denominatore dell'Equazione (17.29) si vede che i tre poli sono localizzati alle frequenze:

$$s = -\frac{1}{(R_I + R_G)C_1}, -\frac{1}{(R_D + R_3)C_3}, -\frac{1}{\left(R_S \parallel \frac{1}{g_m}\right)C_2} \quad (17.32)$$

Le frequenze di questi poli sono determinate dalle costanti di tempo associate ai tre singoli condensatori. Poiché la resistenza di ingresso del MOSFET è infinita, la resistenza vista ai capi del condensatore C_1 è semplicemente la serie di R_I e R_G e, avendo trascurato r_o , la resistenza associata al condensatore C_3 è la serie di R_3 e R_D . La resistenza in parallelo al condensatore C_2 è la resistenza equivalente presente al terminale di source del MOSFET, cioè il parallelo di R_S e $1/g_m$. Nel Paragrafo 17.3 viene fornita un'interpretazione più completa delle suddette resistenze.



NOTA PROGETTUALE

Posizione di poli e zeri

Ogni capacità o induttanza indipendente introduce uno zero e un polo nella funzione di trasferimento. Gli zeri possono essere a qualunque frequenza, da

zero all'infinito, mentre i poli sono a frequenze finite e solo come caso ideale a frequenza nulla.

Esempio 17.2

DETERMINAZIONE DIRETTA DI POLI E ZERI DELL'AMPLIFICATORE A SOURCE COMUNE

Viene analizzato il comportamento a bassa frequenza dell'amplificatore a source comune includendo gli effetti dei condensatori di accoppiamento e di bypass.

PROBLEMA Si trovino il guadagno a centro banda, la posizione di poli e zeri e la frequenza di taglio dell'amplificatore a source comune di Figura 17.4. Si assuma $g_m = 1.23$ mS. Si scriva l'espressione completa della funzione di trasferimento dell'amplificatore. Si determini la rappresentazione a polo dominante della funzione di trasferimento.

SOLUZIONE **Informazioni e dati noti:** I valori degli elementi del circuito sono riportati in Figura 17.4, $g_m = 1.23$ mS. L'espressione di A_{mid} e quelle dei singoli poli e zeri sono date nelle Equazioni (17.29) e (17.30).

Incognite: A_{mid} , poli, zeri, f_L , approssimazione a polo dominante, funzione di trasferimento completa.

Approccio: Si utilizzino i valori degli elementi del circuito per trovare A_{mid} , i poli e gli zeri a partire dalle Equazioni (17.31) e (17.32). Si utilizzi l'Equazione (17.15) per trovare f_L .

Ipotesi: Valgono le condizioni di piccolo segnale, la resistenza di uscita r_o può essere trascurata.

Analisi: Per iniziare, troviamo A_{mid} :

$$A_{mid} = -(1.23 \text{ mS})(4.3 \text{ k}\Omega \parallel 100 \text{ k}\Omega) \frac{243 \text{ k}\Omega}{1.0 \text{ k}\Omega + 243 \text{ k}\Omega} = -5.05 \quad \text{ovvero} \quad 14.1 \text{ dB}$$

Dall'Equazione (17.29), i tre zeri sono:

$$\omega_{Z1} = 0 \quad \omega_{Z3} = 0 \quad \omega_{Z2} = -\frac{1}{(10 \text{ }\mu\text{F})(1.3 \text{ k}\Omega)} = -76.9 \text{ rad/s}$$

e i tre poli sono:

$$\begin{aligned} \omega_{P1} &= -\frac{1}{(0.1 \text{ }\mu\text{F})(1 \text{ k}\Omega + 243 \text{ k}\Omega)} = -41.0 \text{ rad/s} \\ \omega_{P3} &= -\frac{1}{(0.1 \text{ }\mu\text{F})(4.3 \text{ k}\Omega + 100 \text{ k}\Omega)} = -95.9 \text{ rad/s} \\ \omega_{P2} &= -\frac{1}{(10 \text{ }\mu\text{F})\left(1.3 \text{ k}\Omega \parallel \frac{1}{1.23 \text{ mS}}\right)} = -200 \text{ rad/s} \end{aligned}$$

La frequenza di taglio inferiore è data da:

$$f_L = \frac{1}{2\pi} \sqrt{41.0^2 + 95.9^2 + 200^2 - 2(0^2 + 0^2 + 76.9^2)} = \frac{197}{2\pi} = 31.5 \text{ Hz}$$

e la funzione di trasferimento completa è:

$$A_v(s) = -5.05 \frac{s^2(s + 76.9)}{(s + 41.0)(s + 95.9)(s + 200)}$$

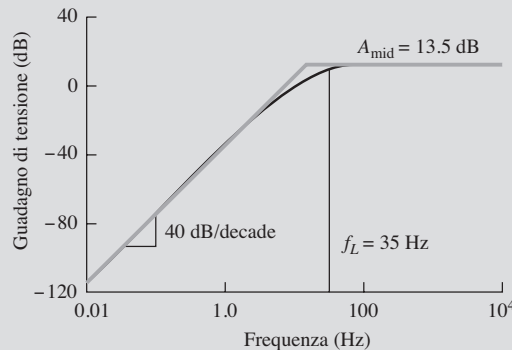
L'approssimazione a polo dominante può essere scritta utilizzando sia il valore di f_L sia il valore del polo a frequenza più alta.

$$A_v(s) \approx -5.05 \frac{s}{s + 197} \quad \text{ovvero} \quad A_v(s) \approx -5.05 \frac{s}{s + 200}$$

Verifica dei risultati: Un doppio controllo dei calcoli indica la loro esattezza. Si vede inoltre che A_{mid} è piccolo, e pertanto è ragionevole trascurare r_o .

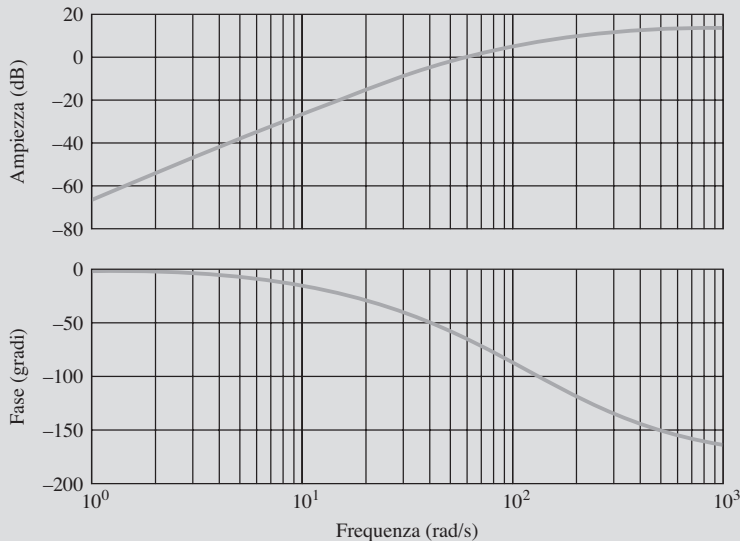
Discussione: Benché i poli e gli zeri non siano molto spazati tra di loro, la frequenza di taglio inferiore è sorprendentemente vicina a ω_{P2} . Ciò accade a causa della quasi cancellazione del polo ω_{P2} e dello zero ω_{Z3} .

Analisi assistita da calcolatore: I risultati della simulazione SPICE sono riportati nel grafico seguente. Nella simulazione si è utilizzato $V_{DD} = 12$, FSTART = 0.01, FSTOP = 10K con 10 punti per decade. I valori di A_{mid} e f_L sono in accordo con i calcoli manuali. La piccola discrepanza è dovuta all'effetto di r_o . Possiamo anche disegnare $A_v(s)$ utilizzando MATLAB: `bode(-5.05*[1, 76.9, 0, 0], [1, 336.9, 31311.9, 786380])` o utilizzando l'operatore di convoluzione per moltiplicare i polinomi: `bode(-5.05*[1, 76.9, 0, 0], [conv([1, 41], conv([1, 95.9], [1, 200]))])`.



Risultati della simulazione SPICE per l'amplificatore C-S di Figura 17.4 ($V_{DD} = 12 \text{ V}$).

Diagrammi di Bode



ESERCIZIO Si trovino i nuovi valori di A_{mid} , i poli, gli zeri e f_L se il valore di C_2 si riduce a $2\ \mu\text{F}$.

RISPOSTE -5.05 ; 0 ; 0 ; $-385\ \text{rad/s}$; $-41.0\ \text{rad/s}$; $-95.9\ \text{rad/s}$; $-1000\ \text{rad/s}$; $135\ \text{Hz}$.

ESERCIZIO Che valore della resistenza di uscita r_o è necessario per giustificare le differenze in A_{mid} tra i calcoli a mano e la simulazione SPICE nell'Esempio 17.2?

RISPOSTA $57.5\ \text{k}\Omega$.

ESERCIZIO Si supponga che la resistenza di uscita dell'esercizio precedente si trovi in parallelo a R_D nell'espressione di ω_{P3} . Quali sono i nuovi valori di ω_{P2} e f_L ?

RISPOSTE $96.2\ \text{rad/s}$; $31.5\ \text{Hz}$.

17.3 Stima di ω_L con il metodo delle costanti di tempo in cortocircuito

Per usare le Equazioni (17.16) o (17.23) bisogna conoscere la posizione di tutti i poli e gli zeri dell'amplificatore. Nella maggior parte dei casi, comunque, non è facile trovare la funzione di trasferimento completa, a parte la difficoltà di porla in forma fattorizzata. Fortunatamente siamo molto più spesso interessati ai valori di A_{mid} e alle frequenze di taglio superiore e inferiore ω_H e ω_L che definiscono la banda passante dell'amplificatore, come indicato nella Figura 17.5. La conoscenza della esatta collocazione di poli e zeri non è necessaria. Sono state sviluppate due tecniche, **il metodo delle costanti di tempo in cortocircuito (SCTC, Short-Circuit Time Constant)** detto anche metodo delle costanti di tempo a valore infinito e **il metodo delle costanti di tempo a circuito aperto (OCTC, Open-Circuit Time Constant)** detto anche metodo delle costanti di tempo a valore zero; questi metodi forniscono una stima sufficientemente accurata di ω_H e ω_L senza richiedere il calcolo della funzione di trasferimento completa.

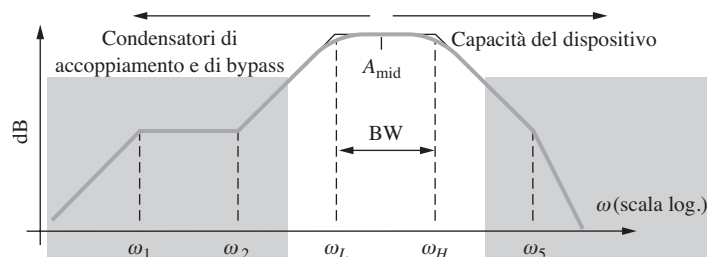
Si può dimostrare teoricamente [1] che la frequenza di taglio inferiore di una rete con n condensatori di accoppiamento e di bypass può essere approssimata dalla seguente equazione:

$$\omega_L \approx \sum_{i=1}^n \frac{1}{R_{iS}C_i} \quad (17.33)$$

dove R_{iS} rappresenta la resistenza vista ai terminali dell' i -esimo condensatore C_i con tutti gli altri condensatori sostituiti da cortocircuito oppure sostituiti da condensatori di valore infinito. Questo secondo modo di esprimere la sostituzione vale anche se nel circuito sono presenti induttori, che devono essere sostituiti con altri di valore infinito, quindi circuiti aperti. Il prodotto $R_{iS}C_i$ rappresenta la costante di tempo di cortocircuito (SCTC) associata al condensatore C_i . Usiamo ora il metodo SCTC per trovare ω_L per le tre classi di amplificatori a singolo stadio.

È importante notare che in questo calcolo bisogna considerare solo i condensatori che agiscono a bassa frequenza (parte sinistra della Figura 17.5). Per identificare rapidamente questi condensatori bisogna immaginare di cortocircuitarne uno per volta e osservare il cambiamento del guadagno. Se il guadagno aumenta, il condensatore lavora in bassa frequenza e deve essere considerato. Se invece cortocircuitando un condensatore il guadagno non aumenta o addirittura diminuisce, il condensatore non è da considerare nel calcolo delle costanti di tempo di cortocircuito (o valore infinito).

Figura 17.5
Regione di centro banda di principale interesse nella maggior parte delle funzioni di trasferimento degli amplificatori.



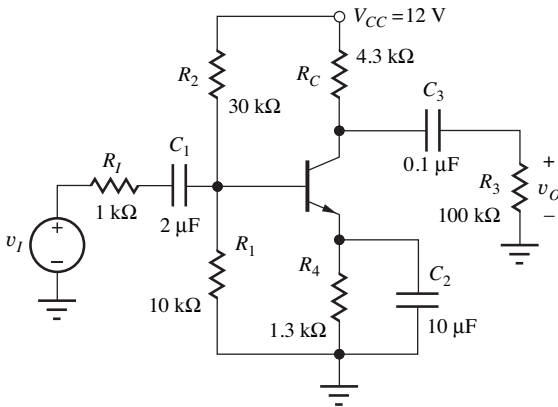


Figura 17.6 Amplificatore a emettitore comune con condensatori di valore finito.

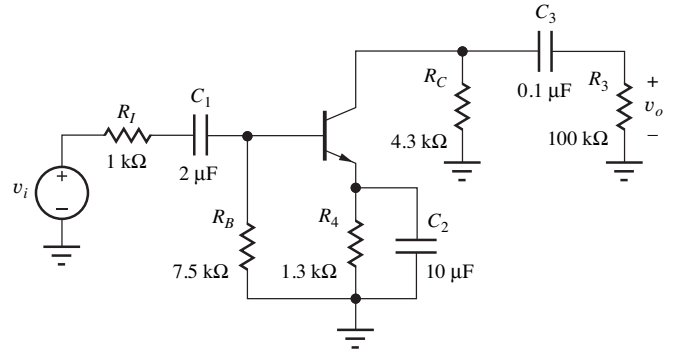


Figura 17.7 Modello AC dell'amplificatore C-E di Figura 17.6.

17.3.1 Stima di ω_L per l'amplificatore a emettitore comune

Come primo esempio di utilizzo del metodo SCTC, consideriamo l'amplificatore C-E della Figura 17.6, che include i valori finiti delle capacità. Il valore R_4 è stato ridotto per spostare leggermente il punto di lavoro. La presenza della resistenza r_π nel modello bipolare rende difficile il calcolo diretto della funzione di trasferimento; includendo la resistenza r_o , la difficoltà aumenta ulteriormente. Questo circuito è quindi un buon esempio di applicazione del metodo delle costanti di tempo in cortocircuito.

Il modello AC dell'amplificatore C-E di Figura 17.7 comprende tre condensatori; bisogna quindi determinare tre costanti di tempo per applicare l'Equazione (17.33). Le tre analisi si basano sulle espressioni delle resistenze di ingresso e di uscita a centro banda dell'amplificatore a BJT nella Tabella 14.10.

Calcolo di R_{1S}

La resistenza R_{1S} rappresenta la resistenza equivalente ai capi del condensatore C_1 . Dall'esame della Figura 17.8 si vede che R_{1S} può essere determinata sostituendo C_2 e C_3 con dei cortocircuiti.

$$R_{1S} = R_I + (R_B \parallel R_{in}^{CE}) = R_I + (R_B \parallel r_\pi) \quad (17.34)$$

La resistenza R_{1S} è uguale alla resistenza del generatore R_I in serie con il parallelo della resistenza di polarizzazione di base R_B e la resistenza di ingresso r_π del BJT.

Il punto di lavoro per questo amplificatore è (1.66 mA, 2.70 V) e, assumendo $\beta_o = 100$ e $V_A = 75$ V, si ottiene:

$$r_\pi = 1.51 \text{ k}\Omega \quad \text{e} \quad r_o = 46.8 \text{ k}\Omega$$

Utilizzando questi valori e quelli degli altri elementi di circuito si ha:

$$R_{1S} = 1000 \text{ }\Omega + (7500 \text{ }\Omega \parallel 1510 \text{ }\Omega) = 2260 \text{ }\Omega$$

e

$$\frac{1}{R_{1S}C_1} = \frac{1}{(2.26 \text{ k}\Omega)(2.00 \text{ }\mu\text{F})} = 222 \text{ rad/s} \quad (17.35)$$

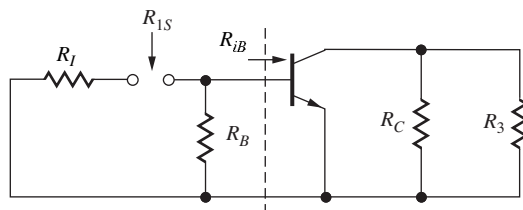


Figura 17.8

Circuito per il calcolo di R_{1S} .

Calcolo di R_{2S}

La rete usata per il calcolo di R_{2S} si costruisce cortocircuitando i condensatori C_1 e C_3 come mostrato in Figura 17.9. Per questa rete risulta

$$R_{2S} = R_4 \parallel R_{iE} = R_4 \parallel \frac{r_\pi + R_{th}}{\beta_o + 1} \quad \text{dove} \quad R_{th} = R_I \parallel R_B \quad (17.36)$$

R_{2S} rappresenta la serie della resistenza di carico R_3 con il parallelo della resistenza di collettore R_C e la resistenza di uscita del BJT r_o . In particolare, per questo circuito si ha:

$$R_{th} = R_I \parallel R_B = 1000 \, \Omega \parallel 7500 \, \Omega = 882 \, \Omega$$

$$R_{2S} = 1300 \, \Omega \parallel \frac{1510 \, \Omega + 882 \, \Omega}{101} = 23.3 \, \Omega$$

e

$$\frac{1}{R_{2S}C_2} = \frac{1}{(23.3 \, \Omega)(10 \, \mu\text{F})} = 4300 \, \text{rad/s} \quad (17.37)$$

Calcolo di R_{3S}

Infine, la rete per il calcolo di R_{3S} si costruisce cortocircuitando i condensatori C_1 e C_2 come mostrato in Figura 17.10 e

$$R_{3S} = R_3 + (R_C \parallel R_{iC}) = R_3 + (R_C \parallel r_o) \approx R_3 + R_C \quad (17.38)$$

R_{3S} rappresenta la combinazione della resistenza di carico R_3 in serie al parallelo della resistenza di collettore R_C con la resistenza equivalente al terminale di collettore r_o del BJT. In particolare, per questo circuito si ha:

$$R_{3S} = 100 \, \text{k}\Omega + (4.30 \, \text{k}\Omega \parallel 46.8 \, \text{k}\Omega) = 104 \, \text{k}\Omega \quad (17.39)$$

e

$$\frac{1}{R_{3S}C_3} = \frac{1}{(104 \, \text{k}\Omega)(0.100 \, \mu\text{F})} = 96.1 \, \text{rad/s} \quad (17.40)$$

Stima di ω_L

Usando i valori delle costanti di tempo ottenuti dalle Equazioni (17.35), (17.37) e (17.40), si ottiene una stima per ω_L e f_L :

$$\omega_L \approx \sum_{i=1}^3 \frac{1}{R_{iS}C_i} = (222 + 96.1 + \underline{4300}) \, \text{rad/s} = 4620 \, \text{rad/s} \quad (17.41)$$

e

$$f_L = \frac{\omega_L}{2\pi} = 735 \, \text{Hz}$$

La frequenza di taglio inferiore dell'amplificatore è di circa 735 Hz.

Si noti che in questo esempio la costante di tempo associata al condensatore di bypass di emettitore C_2 è dominante; cioè il valore di $R_{2S}C_2$ è più di un ordine di grandezza minore delle altre due costanti di tempo, per cui $\omega_L \approx 1/(R_{2S}C_2)$ ($f_L \approx 4300/2\pi = 685 \, \text{Hz}$). Questa situazione si verifica di frequente e rappresenta un modo pratico utilizzato per definire il valore della frequenza ω_L . Poiché la resistenza vista dall'emettitore o dal source di un transistor è piccola, la costante di tempo associata al condensatore di bypass di emettitore o di source è spesso dominante, e può essere usata per definire la frequenza ω_L . Le altre due costanti di tempo possono essere rese facilmente molto maggiori.

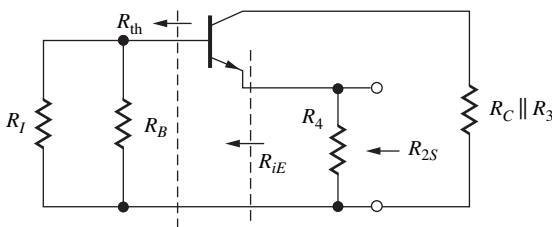


Figura 17.9 Circuito per il calcolo di R_{2S} .

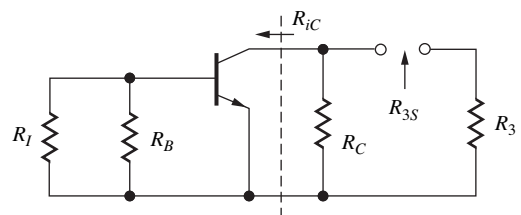
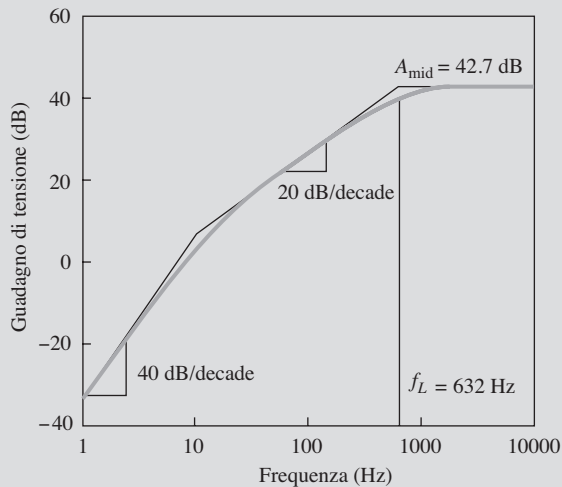


Figura 17.10 Circuito per il calcolo di R_{3S} .

ESERCIZIO Si determini, mediante SPICE, la risposta in frequenza del circuito di Figura 17.6 e si trovino il guadagno di centro banda e la frequenza di taglio inferiore. Si assuma $\beta_o = 100$, $I_S = 1 \text{ fA}$ e $V_A = 75 \text{ V}$. Qual è il punto di lavoro?



Risultati della simulazione SPICE.

RISPOSTE 135, 635 Hz, (1.64 mA, 2.79 V).

ESERCIZIO Trovare le costanti di tempo in cortocircuito e la frequenza di taglio inferiore per l'amplificatore di Figura 17.7 con $R_B = 75 \text{ k}\Omega$, $R_4 = 13 \text{ k}\Omega$, $R_C = 43 \text{ k}\Omega$, e $I_C = 175 \mu\text{A}$. Si consideri $\beta_o = 140$ e $V_A = 80 \text{ V}$. Gli altri valori rimangono immutati.

RISPOSTE 33.6 ms; 1.47 ms; 14.3 ms; 124 Hz.

PROGETTO DELLA FREQUENZA DI TAGLIO INFERIORE DELL'AMPLIFICATORE A EMETTITORE COMUNE

Esempio 17.3

Si scelgano i condensatori di accoppiamento e di bypass per fissare la frequenza di taglio inferiore dell'amplificatore C-E a un assegnato valore.

Si scelgano C_1 , C_2 e C_3 per fissare $f_L = 2000 \text{ Hz}$ nell'amplificatore di Figura 17.6.

PROBLEMA

Informazioni e dati noti: Il circuito con i valori dei resistori è riportato in Figura 17.6. Inoltre, $\beta_o = 100$, $r_\pi = 1.51 \text{ k}\Omega$, $r_o = 46.8 \text{ k}\Omega$. Dalle Equazioni dalla (17.34) alla (17.40) si ha: $R_{1S} = 2.26 \text{ k}\Omega$, $R_{2S} = 23.2 \Omega$, $R_{3S} = 104 \text{ k}\Omega$.

SOLUZIONE

Incognite: C_1 , C_2 , C_3 .

Approccio: Poiché R_{2S} è molto più piccolo delle altre due resistenze, la sua costante di tempo può essere facilmente scelta in modo da dominare il valore di ω_L , come accade nell'Equazione (17.41). Pertanto, l'approccio scelto è di utilizzare C_2 per fissare f_L e scegliere C_1 e C_3 in modo che il loro contributo sia trascurabile.

Ipotesi: Valgono le condizioni di piccolo segnale, $V_T = 25.0 \text{ mV}$.

Analisi: Scegliendo C_2 per fissare f_L si ha:

$$C_2 \approx \frac{1}{R_{2S}\omega_L} = \frac{1}{23.2 \Omega (2\pi)(2000 \text{ Hz})} = 3.42 \mu\text{F}$$

Scegliamo C_1 e C_3 in modo che le loro costanti di tempo siano ciascuna 100 volte più grandi di quella associata a C_2 , cioè ogni condensatore contribuisce con l'1% all'errore su f_L .

$$C_1 = 100 \frac{R_{2S}C_2}{R_{1S}} = 100 \frac{(23.2 \Omega)(3.42 \mu\text{F})}{2.26 \text{ k}\Omega} = 3.51 \mu\text{F}$$

$$C_3 = 100 \frac{R_{2S}C_2}{R_{3S}} = 100 \frac{(23.2 \Omega)(3.42 \mu\text{F})}{104 \text{ k}\Omega} = 76.3 \text{ nF}$$

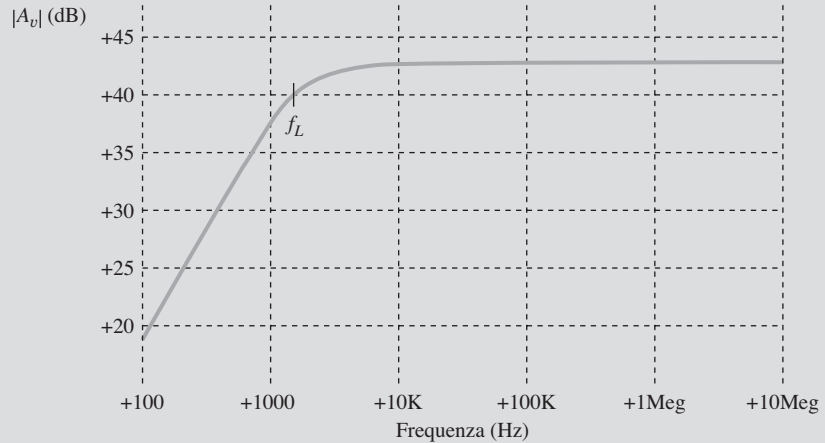
Prendendo i valori più vicini dalla tabella dei condensatori riportata in Appendice A, si ha: $C_1 = 3.9 \mu\text{F}$, $C_2 = 3.9 \mu\text{F}$ e $C_3 = 82 \text{ nF}$.

Verifica dei risultati: Possiamo verificare i risultati calcolando il valore esatto di f_L .

$$f_L = \frac{1}{2\pi} \left[\frac{1}{2.26 \text{ k}\Omega(3.9 \mu\text{F})} + \frac{1}{23.2 \Omega(3.9 \mu\text{F})} + \frac{1}{104 \text{ k}\Omega(82 \text{ nF})} \right] = 1800 \text{ Hz}$$

Discussione: La frequenza di taglio inferiore è circa il 9% più bassa di quella di progetto a causa dell'utilizzo del condensatore di $3.9 \mu\text{F}$ e del piccolo contributo proveniente da C_1 e C_3 . Accettando un costo maggiore, si può far uso di due condensatori da $3.5 \mu\text{F}$, tuttavia le tolleranze sono, sui condensatori standard, abbastanza ampie, per cui bisognerebbe utilizzare componenti di precisione se è richiesto un valore più accurato di f_L (si veda la simulazione alla pagina precedente).

Analisi assistita da calcolatore: La risposta in frequenza può essere simulata con SPICE mediante un'analisi AC con FSTART = 10, FSTOP = 10MEG e 20 punti per decade. I parametri del transistor sono: IS = 3F, BF = 100 e VAF = 75. La simulazione fornisce $A_{\text{mid}} = -138$ e $f_L = 1610 \text{ Hz}$. Il valore di f_L è circa il 10% inferiore rispetto a quello dei calcoli manuali. La discrepanza è dovuta alle differenze in V_T e nelle correnti del punto di lavoro.



ESERCIZIO Si stimi il guadagno a centro banda per il circuito in Figura 17.6. Da dove origina l'errore rispetto alla simulazione SPICE?

RISPOSTE -157; aver trascurato r_o giustifica sostanzialmente le differenze.

17.3.2 Stima di ω_L per l'amplificatore a source comune

Le Equazioni (17.34), (17.36) e (17.38) possono essere applicate direttamente all'amplificatore C-S di Figura 17.11 assumendo un valore infinito per la resistenza di ingresso e per il guadagno di corrente del transistor. Queste equazioni si riducono a:

$$\begin{aligned} R_{1S} &= R_I + (R_G \parallel R_{IG}) = R_I + R_G \\ R_{2S} &= R_S \parallel R_{IS} = R_S \parallel \frac{1}{g_m} \end{aligned} \quad (17.42)$$

$$R_{3S} = R_3 + (R_D \parallel R_{ID}) = R_3 + (R_D \parallel r_o) \approx R_3 + R_D$$

Le tre espressioni nell'Equazione (17.42) rappresentano le costanti di tempo in cortocircuito associate ai tre condensatori come indicato nel modello AC riportato nelle Figure 17.12(a), (b) e (c).

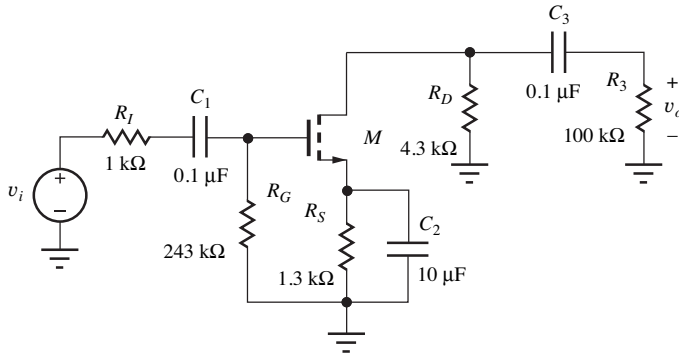


Figura 17.11
Modello AC dell'amplificatore a source comune.

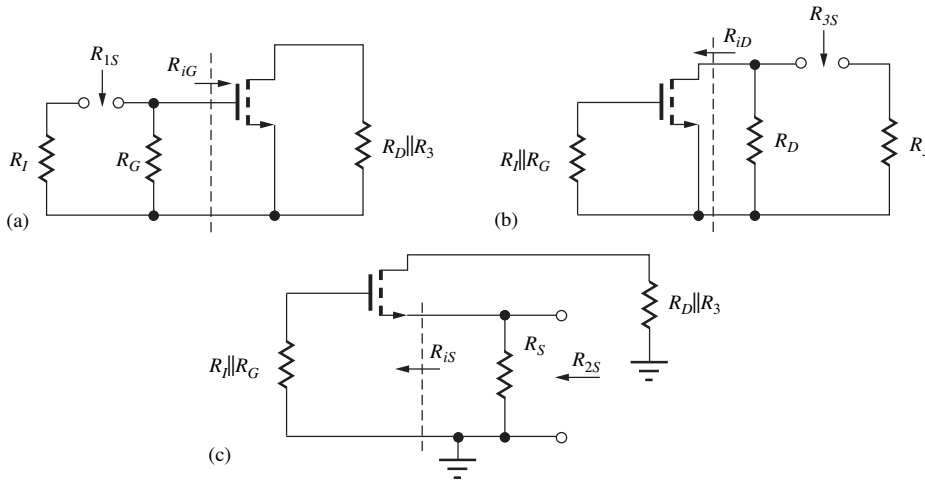


Figura 17.12
(a) Resistenza R_{iS} ai capi di C_1 .
(b) Resistenza R_{oD} ai capi di C_2 .
(c) Resistenza R_{iS} ai capi di C_3 .

ESERCIZIO Si trovino le costanti di tempo in cortocircuito e f_L per l'amplificatore a source comune in Figura 17.11 se $I_D = 1.5$ mA e $V_{GS} - V_{TN} = 0.5$ V. Si assuma $\lambda = 0.015/\text{V}$. Gli altri parametri restano immutati.

RISPOSTE 24.4 ms; 10.4 ms; 1.48 ms; 129 Hz.

17.3.3 Stima di ω_L per l'amplificatore a base comune

Applichiamo, ora, il metodo delle costanti di tempo in cortocircuito all'amplificatore a base comune di Figura 17.13. I risultati sono applicabili direttamente al caso del circuito a gate comune assumendo un valore infinito per β_o e per r_{π} . La Figura 17.13(b) mostra il circuito equivalente AC in bassa frequenza per l'amplificatore a gate comune. In questo circuito sono presenti solo i condensatori di accoppiamento C_1 e C_2 , e bisogna determinare le espressioni per R_{iS} e R_{2S} .

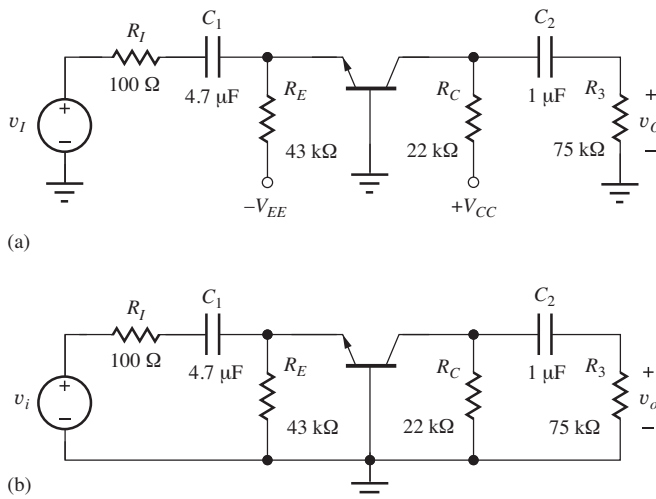
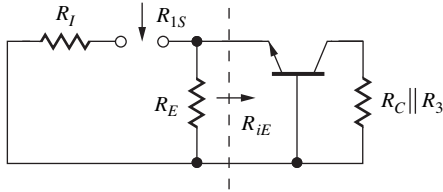
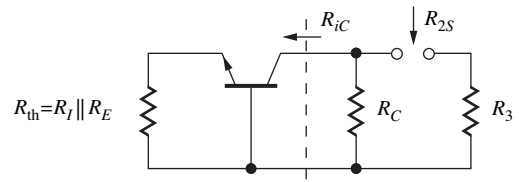


Figura 17.13
(a) Amplificatore a base comune. (b) Circuito equivalente a bassa frequenza.

Figura 17.14 Circuito equivalente per il calcolo di R_{1S} .Figura 17.15 Circuito equivalente per il calcolo di R_{2S} .**Calcolo di R_{1S}**

La resistenza R_{1S} si calcola cortocircuitando il condensatore C_2 come indicato in Figura 17.14. Da questa figura si vede che:

$$R_{1S} = R_I + (R_E \parallel R_{iE}) \approx R_I + \left(R_E \parallel \frac{1}{g_m} \right) \quad (17.43)$$

Calcolo di R_{2S}

Cortocircuitando il condensatore C_1 si ottiene il circuito di Figura 17.15, e l'espressione per R_{2S} è:

$$R_{2S} = R_3 + (R_C \parallel R_{iC}) \approx R_3 + R_C \quad (17.44)$$

essendo $R_{iC} \approx r_o(1 + g_m R_{th})$ di valore elevato.

ESERCIZIO Si trovino le costanti di tempo in cortocircuito e il valore della frequenza f_L per l'amplificatore a base comune di Figura 17.13 se $\beta_o = 100$, $V_A = 70$ V e il punto di lavoro è (0.1 mA, 5 V). Quanto vale A_{mid} ?

RISPOSTE 1.64 ms, 97.0 ms, 98.7 Hz; 48.6.

17.3.4 Stima di ω_L per l'amplificatore a gate comune

Le espressioni di R_{1S} e R_{2S} per l'amplificatore a gate comune di Figura 17.16 sono virtualmente identiche a quelle per lo stadio a base comune:

$$R_{1S} = R_I + (R_4 \parallel R_{iS}) = R_I + \left(R_S \parallel \frac{1}{g_m} \right) \quad (17.45)$$

$$R_{2S} = R_3 + (R_D \parallel R_{iD}) \approx R_3 + R_D \quad \text{poiché} \quad R_{iD} \approx \mu_f(R_S \parallel R_I)$$

ESERCIZIO Si disegni il circuito usato per trovare R_{1S} e R_{2S} per l'amplificatore a gate comune in Figura 17.16 e si verifichino i risultati presentati nell'Equazione (17.45).

ESERCIZIO Trovare le costanti di tempo in cortocircuito per l'amplificatore a gate comune di Figura 17.16 quando $R_I = 100 \Omega$, $R_S = 1.3 \text{ k}\Omega$, $R_D = 4.3 \text{ k}\Omega$, $R_3 = 75 \text{ k}\Omega$, $C_1 = 1 \mu\text{F}$, $C_2 = 0.1 \mu\text{F}$, $I_D = 1.5 \text{ mA}$ e $V_{GS} - V_{TN} = 0.5 \text{ V}$. Si assuma $\lambda = 0$.

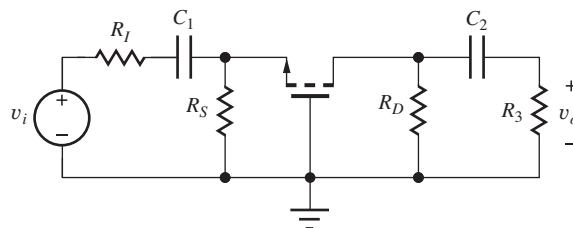
RISPOSTE 248 μs ; 7.93 ms; 663 Hz.

17.3.5 Stima di ω_L per l'amplificatore a collettore comune

Le Figure 17.17(a) e (b) mostrano un inseguitore di emettitore e il corrispondente modello AC in bassa frequenza. Questo circuito contiene due condensatori di accoppiamento C_1 e C_2 . Il circuito per il calcolo di R_{1S} si costruisce cortocircuitando C_2 , ed è riportato in Figura 17.18. L'espressione per R_{1S} è:

$$R_{1S} = R_I + (R_B \parallel R_{iB}) = R_I + (R_B \parallel [r_\pi + (\beta_o + 1)(R_E \parallel R_3)]) \quad (17.46)$$

Figura 17.16
Circuito AC per l'amplificatore a gate comune.



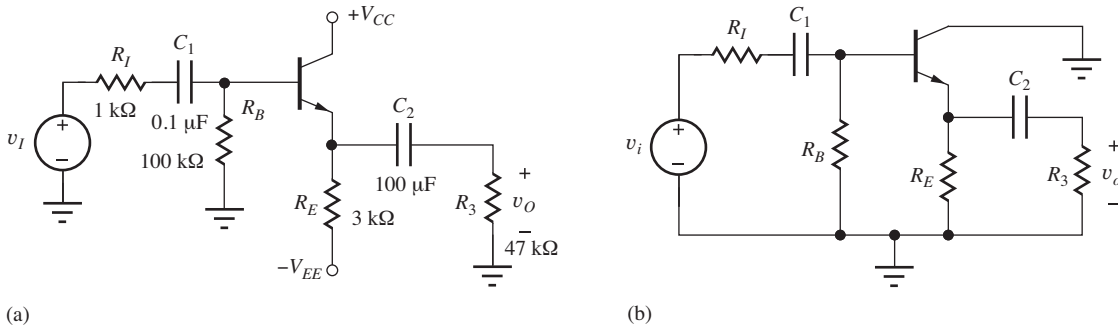


Figura 17.17 (a) Amplificatore a collettore comune. (b) Modello AC alle basse frequenze dell'amplificatore a collettore comune.

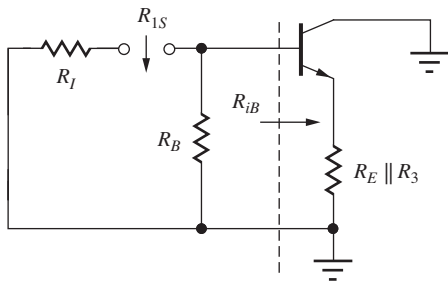


Figura 17.18 Circuito per trovare R_{1S} .

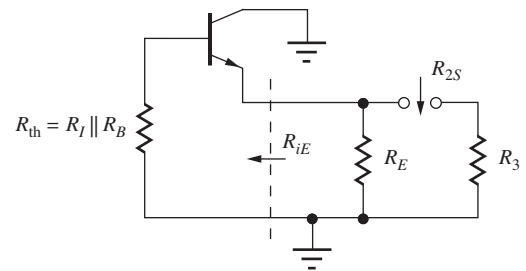


Figura 17.19 Circuito per trovare R_{2S} .

Il circuito per calcolare R_{2S} , riportato in Figura 17.19, si costruisce in modo simile cortocircuitando C_1 , e si ha:

$$R_{2S} = R_3 + (R_E \parallel R_{iE}) = R_3 + \left(R_E \parallel \frac{R_{th} + r_\pi}{\beta_o + 1} \right) \quad (17.47)$$

17.3.6 Stima di ω_L per l'amplificatore a drain comune

Il circuito AC in bassa frequenza dell'amplificatore a drain comune è riportato in Figura 17.20. Facendo tendere β_o e r_π all'infinito, le Equazioni (17.46) e (17.47) diventano:

$$R_{1S} = R_I + (R_G \parallel R_{iG}) = R_I + R_G \quad \text{poiché} \quad R_{iG} \rightarrow \infty \quad (17.48)$$

e

$$R_{2S} = R_3 + (R_S \parallel R_{iS}) = R_3 + \left(R_S \parallel \frac{1}{g_m} \right)$$

ESERCIZIO Si trovino le costanti di tempo in cortocircuito e il valore della frequenza f_L per l'amplificatore a collettore comune di Figura 17.17(a) se $\beta_o = 100$, $V_A = 70\text{ V}$ e il punto di lavoro è (1 mA, 5 V). Quanto vale A_{mid} ?

RISPOSTE 7.52 ms, 4.70 s, 21.2 Hz; 0.978.

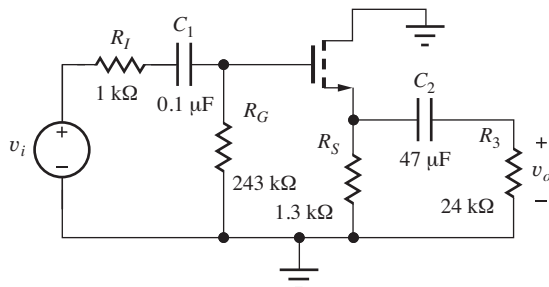


Figura 17.20 Circuito AC in bassa frequenza dell'amplificatore a drain comune.

ESERCIZIO Si trovino le costanti di tempo in cortocircuito e il valore della frequenza f_L per l'amplificatore a drain comune di Figura 17.20 se $g_m = 1 \text{ mS}$. Quanto vale A_{mid} ?

RISPOSTE 24.4 ms, 1.15 s, 6.66 Hz; 0.55.

17.4 Modelli del transistor alle alte frequenze

Per esplorare i limiti superiori della risposta in frequenza di un amplificatore bisogna considerare i limiti, finora ignorati, relativi al funzionamento in alta frequenza dei transistori. Tutti i dispositivi elettronici presentano delle capacità tra i loro terminali che limitano l'intervallo di frequenze per cui i dispositivi possono fornire un significativo guadagno di tensione, di corrente o di potenza. In questo paragrafo viene descritto il modello ibrido a π dipendente dalla frequenza per il transistor bipolare e per il transistor a effetto di campo.

17.4.1 Modello ibrido a π dipendente dalla frequenza per il transistor bipolare

Nel BJT le capacità compaiono tra terminali di base ed emettitore e tra terminali di base e collettore, come indicato nel modello ibrido a π per piccolo segnale di Figura 17.21. La capacità tra i terminali di base e collettore, indicata con C_μ , rappresenta la capacità della giunzione base-collettore polarizzata inversamente del transistor bipolare ed è legata al punto di lavoro da un'espressione simile all'Equazione (3.21) del Capitolo 3:

$$C_\mu = \frac{C_{\mu 0}}{\sqrt{1 + \frac{|V_{CB}|}{\phi_{jc}}}} \quad (17.49)$$

Nell'Equazione (17.49), $C_{\mu 0}$ rappresenta la capacità totale della giunzione base-collettore a tensione nulla, e ϕ_{jc} è il potenziale interno della giunzione base-collettore, compreso tipicamente tra 0.6 e 1.0 V. Il modulo sulla tensione collettore-base fa sì che la stessa formula valga anche per transistori *pnp*.

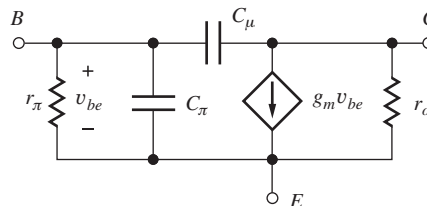
La capacità interna tra la base e l'emettitore, indicata con C_π , rappresenta la capacità di diffusione associata alla giunzione base-emettitore polarizzata direttamente. Il valore della capacità C_π dipende dal punto di lavoro:

$$C_\pi = g_m \tau_F \quad (17.50)$$

dove τ_F è il tempo di transito diretto del transistor bipolare. Nella Figura 17.21 C_π si trova direttamente in parallelo a r_π . Per una assegnata corrente di ingresso, l'impedenza di C_π provoca una riduzione della tensione base-emettitore v_{be} al crescere della frequenza, riducendo in tal modo la corrente del generatore controllato all'uscita del transistor.

Le capacità di ingresso come C_π provocano una riduzione dell'amplificazione all'aumentare della frequenza, e sono sempre presenti nei dispositivi e nei circuiti elettronici. A bassa frequenza l'impedenza di queste capacità è generalmente molto grande e ha un effetto trascurabile rispetto alle resistenze come r_π . Al crescere della frequenza, tuttavia, l'impedenza di C_π diventa sempre più piccola e v_{be} tende a zero. Pertanto il transistor non può amplificare a frequenze arbitrariamente alte.

Figura 17.21
Capacità del modello ibrido a π del BJT.



17.4.2 Modello SPICE per C_π e C_μ

In SPICE i valori di C_π e C_μ sono controllati dal tempo di transito diretto TF, dalla capacità della giunzione di collettore a tensione nulla CJC, dal potenziale impresso VJC della giunzione collettore-base e dal tipo di giunzione collettore-base descritto dal parametro MJC.

$$C_\pi = g_m \cdot TF \quad \text{e} \quad C_\mu = \frac{CJC}{\left(1 + \frac{VCB}{VJC}\right)^{MJC}} \quad (17.51)$$

Il valore di default di VJC è 0.75 V e quello di MJC è 0.33.

17.4.3 Frequenza di transizione f_T

Una descrizione quantitativa del comportamento del transistor alle alte frequenze si ottiene calcolando il guadagno di corrente di cortocircuito $\beta(s)$ dal circuito di Figura 17.22. Per una corrente $I_b(s)$ iniettata nella base, la corrente di collettore è composta da due termini:

$$I_c(s) = g_m V_{be}(s) - I_\mu(s) \quad (17.52)$$

Poiché la tensione al collettore è nulla, v_{be} cade direttamente ai capi di C_μ e risulta $I_\mu(s) = sC_\mu V_{be}(s)$. Quindi:

$$I_c(s) = (g_m - sC_\mu) V_{be}(s) \quad (17.53)$$

Poiché il collettore è connesso direttamente all'emettitore, C_π e C_μ si trovano in parallelo e la corrente di base scorre attraverso il parallelo di r_π e $(C_\pi + C_\mu)$; la tensione base-emettitore è quindi data da:

$$V_{be}(s) = I_b(s) \frac{r_\pi \frac{1}{s(C_\pi + C_\mu)}}{r_\pi + \frac{1}{s(C_\pi + C_\mu)}} = I_b(s) \frac{r_\pi}{s(C_\pi + C_\mu)r_\pi + 1} \quad (17.54)$$

Dalle Equazioni (17.53) e (17.54) si ottiene l'espressione per il guadagno di corrente in funzione della frequenza:

$$\beta(s) = \frac{I_c(s)}{I_b(s)} = \frac{\beta_o \left(1 - \frac{sC_\mu}{g_m}\right)}{s(C_\pi + C_\mu)r_\pi + 1} \quad (17.55)$$

Il guadagno di corrente presenta uno zero nel semipiano destro a una frequenza estremamente elevata $\omega_Z = +g_m/C_\mu$, e può quasi sempre essere trascurato. Trascurando ω_Z si ottiene la seguente espressione semplificata per $\beta(s)$:

$$\beta(s) \approx \frac{\beta_o}{s(C_\pi + C_\mu)r_\pi + 1} = \frac{\beta_o}{\frac{s}{\omega_\beta} + 1} \quad (17.56)$$

dove ω_β rappresenta la **frequenza di taglio del guadagno β** , definita da:

$$\omega_\beta = \frac{1}{r_\pi(C_\pi + C_\mu)} \quad \text{e} \quad f_\beta = \frac{\omega_\beta}{2\pi} \quad (17.57)$$

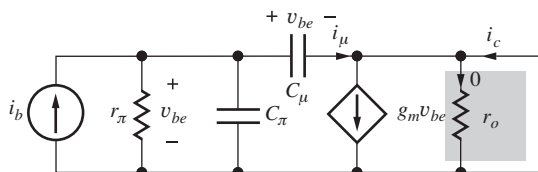
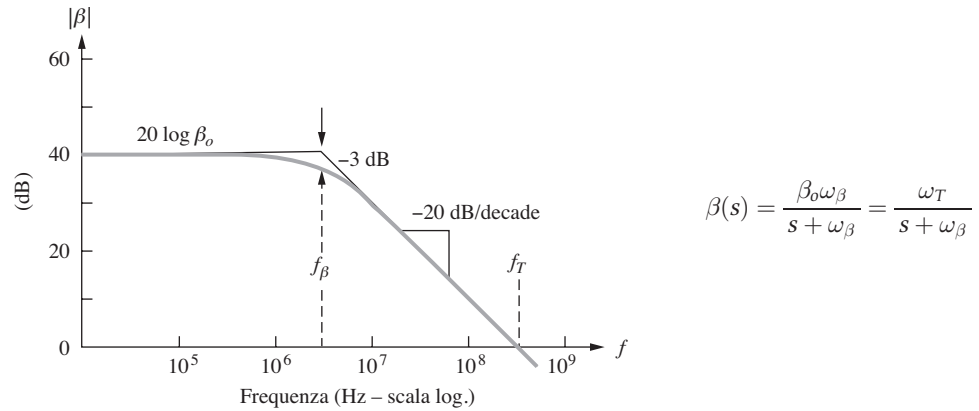


Figura 17.22
Calcolo del guadagno di corrente di cortocircuito del BJT.

Figura 17.23

Guadagno di corrente dell'emettitore comune in funzione della frequenza.



La Figura 17.23 mostra il diagramma di Bode relativo all'Equazione (17.56). Dall'Equazione (17.56) e da questo diagramma si vede che il guadagno di corrente assume il valore di $\beta_o = g_m r_\pi$ alle basse frequenze e presenta un decadimento a singolo polo per frequenze superiori a f_β , diminuendo con pendenza di 20 dB/decade e assumendo valore unitario per $\omega = \omega_T = 2\pi f_T$. Alla frequenza di taglio f_β , l'ampiezza del guadagno di corrente è a 3 dB sotto del suo valore in bassa frequenza.

L'Equazione (17.56) può essere riscritta in funzione di $\omega_T = \beta_o \omega_\beta$ nel modo seguente:

$$\beta(s) = \frac{\beta_o \omega_\beta}{s + \omega_\beta} = \frac{\omega_T}{s + \omega_\beta} \quad (17.58)$$

dove $f_T = \omega_T / 2\pi$. Il parametro f_T viene indicato come **prodotto guadagno unitario-larghezza di banda** o **frequenza di transizione** del transistor, e rappresenta una delle limitazioni fondamentali del funzionamento in alta frequenza del transistor. Per frequenze superiori a f_T il transistor non guadagna in corrente e non è più utile come amplificatore.

Si può ottenere una relazione tra il prodotto banda-guadagno e i parametri per piccolo segnale dalle Equazioni (17.57) e (17.58):

$$\omega_T = \beta_o \omega_\beta = \frac{\beta_o}{r_\pi (C_\pi + C_\mu)} = \frac{g_m}{C_\pi + C_\mu} \quad (17.59)$$

Si noti che lo zero si trova oltre ω_T :

$$\omega_Z = \frac{g_m}{C_\mu} > \frac{g_m}{C_\pi + C_\mu} = \omega_T \quad (17.60)$$

I valori di f_T e C_μ possono essere ricavati dai data-sheet del transistor, mentre la capacità C_π può essere calcolata mediante l'Equazione (17.59):

$$C_\pi = \frac{g_m}{\omega_T} - C_\mu \quad (17.61)$$

Dall'Equazione (17.49) si vede che C_μ è solo debolmente dipendente dal punto di lavoro, ed esplicitando g_m nell'Equazione (17.61) si vede che C_π è direttamente proporzionale alla corrente di collettore:

$$C_\pi = \frac{I_C}{V_T \omega_T} - C_\mu \quad (17.62)$$

Esempio 17.4

PARAMETRI DEL MODELLO DEL TRANSISTORE BIPOLARE

Si trovi il set di parametri del modello di un BJT a partire dal data-sheet.

PROBLEMA Si trovino β_o , I_S , V_A , f_T , C_π e C_μ per il transistor *nnp* CA-3096 per una corrente di collettore di 1 mA utilizzando il data-sheet del componente.

SOLUZIONE **Informazioni e dati noti:** Data-sheet del BJT CA-3096; $I_C = 1$ mA.

Incognite: β_o , I_S , V_A , f_T , C_π e C_μ .

Approccio: Utilizzeremo le definizioni e le relazioni tra parametri ad ampio segnale e parametri per piccolo segnale.

Ipotesi: $T = 25^\circ\text{C}$ e $V_{CE} = 5\text{ V}$, corrispondenti alle specifiche del data-sheet; regione attiva per il BJT; $\beta_o \approx \beta_F$; potenziale impresso della giunzione base-collettore 0.75 V .

Analisi: Dal data-sheet si trova $\beta_F = h_{FE} = 390$, $V_{BE} = 0.69\text{ V}$, $f_T = 280\text{ MHz}$, $C_{CB} = 0.46\text{ pF}$, $V_{CB} = 3\text{ V}$. Dal grafico della resistenza di uscita in funzione della corrente, riportato sul data-sheet, si trova $r_o = 80\text{ k}\Omega$ per $I_C = 1\text{ mA}$. Per $T = 25^\circ\text{C}$, $V_T = 26.0\text{ mV}$. Il guadagno di corrente e la tensione di Early si trovano dai valori di h_{FE} e r_o

$$\beta_o \approx h_{FE} = 390 \quad V_A = I_C r_o - V_{CE} = 75\text{ V}$$

e I_S si trova da I_C , V_{BE} e V_T :

$$I_S = \frac{I_C}{\exp\left(\frac{V_{BE}}{V_T}\right)} = \frac{1\text{ mA}}{\exp\left(\frac{0.69\text{ V}}{26.0\text{ mV}}\right)} = 2.98\text{ fA}$$

La capacità C_μ è uguale alla capacità collettore-base del transistor ma è specificata a $V_{CB} = 3\text{ V}$. Mediante l'Equazione (17.49) si trova $C_{\mu o}$ e si calcola quindi C_μ per $V_{CB} = 5\text{ V} - 0.69\text{ V} = 4.31\text{ V}$:

$$C_{\mu o} \approx C_{CB} \sqrt{1 + \frac{V_{CB}}{\phi_{jc}}} = 0.46\text{ pF} \sqrt{1 + \frac{3\text{ V}}{0.75\text{ V}}} = 1.03\text{ pF}$$

$$C_\mu \approx \frac{C_{\mu o}}{\sqrt{1 + \frac{V_{CB}}{\phi_{jc}}}} = \frac{1.03\text{ pF}}{\sqrt{1 + \frac{4.31\text{ V}}{0.75\text{ V}}}} = 0.397\text{ pF}$$

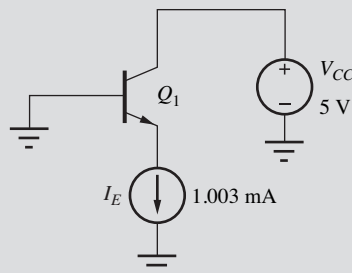
Possiamo ora calcolare C_π :

$$C_\pi = \frac{g_m}{\omega_T} - C_\mu = \frac{1\text{ mA}}{26.0\text{ mV}} \frac{1}{2\pi(280\text{ MHz})} - 0.40\text{ pF} = 21.5\text{ pF}$$

Verifica dei risultati: I risultati dei calcoli appaiono ragionevoli. Il valore calcolato di C_μ è in buon accordo con il grafico dei valori di C_{CB} in funzione di V_{CB} riportato nel data-sheet.

Discussione: I valori del data-sheet devono spesso essere riportati ai valori di interesse, e i dati forniti sono spesso incompleti. Alcuni possono essere presentati in forma tabellare; altri in forma di grafici. Si noti che il guadagno di corrente presenta un massimo per una corrente di collettore di circa 1 mA mentre f_T è massima a 4 mA .

Analisi assistita da calcolatore: Proviamo ora a creare un modello SPICE per il transistor con i parametri calcolati precedentemente. Dobbiamo fissare $IS = 2.98\text{ F}$, $BF = 390$ e $VA = 75$. Mediante l'Equazione (17.51) si trova $TF = 559\text{ P}$, $CJC = 1.03\text{ P}$, $VJC = 0.75$ e $MJC = 0.5$. Polarizziamo il transistor come mostrato nel circuito riportato di seguito e richiediamo i parametri del dispositivo come uscita mediante l'analisi del punto di lavoro. I risultati sono: $I_C = 1\text{ mA}$, $V_{BE} = 0.685\text{ V}$, $V_{BC} = -5\text{ V}$, $g_m = 38.7\text{ mS}$, $\beta_o = g_m/g_\pi = 416$, $r_o = 1/g_o = 79.9\text{ k}\Omega$, $C_\pi = 21.6\text{ pF}$, $C_\mu = 0.372\text{ pF}$. Il nostro set di parametri appare corretto. Si noti che $\beta_o = BF(1 + V_{CB}/VA) = 416$.



ESERCIZIO Un transistor bipolare presenta una $f_T = 500$ MHz e $C_{\mu o} = 2$ pF. Quali sono i valori di C_μ e C_π per i seguenti punti di lavoro (100 μ A, 8 V), (2 mA, 5 V) e (50 mA, 8 V)? Si assuma $V_{BE} = \phi_{jc} = 0.6$ V.

RISPOSTE 0.551 pF, 0.722 pF; 0.700 pF, 24.8 pF; 0.551 pF, 636 pF.

17.4.4 Modello in alta frequenza per il MOSFET

Per descrivere il funzionamento del MOSFET ad alte frequenze vengono aggiunte al modello per piccolo segnale le capacità gate-drain e gate-source C_{GD} e C_{GS} , come mostrato nella Figura 17.24. Per il MOSFET, queste due capacità rappresentano rispettivamente le capacità dell'ossido di gate e le capacità di sovrapposizione, introdotte nel Paragrafo 4.5. Ad alte frequenze queste due capacità sono attraversate da correnti, dando luogo a una corrente di segnale i_g al terminale di gate. Anche il MOSFET presenta, quindi, un guadagno di corrente di valore finito alle alte frequenze.

Il guadagno di corrente di cortocircuito per il MOSFET può essere calcolato utilizzando lo stesso procedimento visto per il BJT, come riportato nella Figura 17.25:

$$I_d(s) = (g_m - sC_{GD})V_{gs}(s) = I_g(s) \frac{(g_m - sC_{GD})}{s(C_{GS} + C_{GD})} \quad (17.63)$$

e

$$\beta(s) = \frac{I_d(s)}{I_g(s)} = \frac{g_m \left(1 - \frac{sC_{GD}}{g_m}\right)}{s(C_{GS} + C_{GD})} = \frac{\omega_T}{s} \left(1 - \frac{s}{\omega_T \left(1 + \frac{C_{GS}}{C_{GD}}\right)}\right) \quad (17.64)$$

Il valore in continua del guadagno di corrente è infinito, ma diminuisce con pendenza di 20 dB/decade al crescere della frequenza. Il prodotto guadagno-larghezza di banda f_T del MOSFET è definito in maniera analoga a quello del BJT,

$$\omega_T = \frac{g_m}{C_{GS} + C_{GD}} \quad (17.65)$$

Come nel caso del BJT, il guadagno di corrente del MOSFET diventa minore di 1 per frequenze superiori a ω_T . Lo zero si trova ora alla frequenza $\omega_Z = \omega_T(1 + C_{GS}/C_{GD})$, valore tipicamente pari ad alcune volte ω_T .

17.4.5 Modello SPICE per C_{GS} e C_{GD}

Ricordiamo che le capacità gate-source e gate-drain in zona attiva sono espresse da:

$$C_{GS} = C'_{OL}W + \frac{2}{3}C''_{ox}WL \quad C_{GD} = C'_{OL}W \quad C''_{ox} = \frac{\varepsilon_{ox}}{T_{ox}} \quad (17.66)$$

I corrispondenti parametri SPICE sono lo spessore dell'ossido T_{ox} , la larghezza di gate W , la lunghezza di gate L , la capacità di sovrapposizione gate-source per unità di lunghezza $CGSO$, la capacità di sovrapposizione gate-drain per unità di lunghezza $CGDO$. Si noti che SPICE consente la definizione di differenti valori delle capacità di sovrapposizione per le regioni di source e di drain.

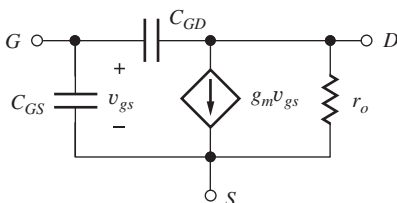


Figura 17.24 Modello a π per il MOSFET.

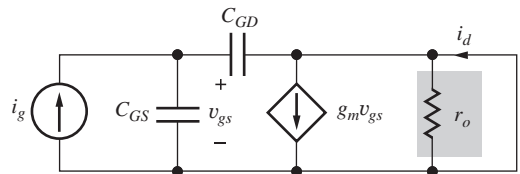


Figura 17.25 Circuito per il calcolo del guadagno di corrente di cortocircuito del MOSFET.

17.4.6 Dipendenza di f_T dalla lunghezza di canale

Il prodotto guadagno unitario-larghezza di banda del MOSFET è fortemente dipendente dalla lunghezza del canale, e ciò rappresenta una delle ragioni per i continui tentativi di ridurre le dimensioni dei dispositivi. L'espressione fondamentale della f_T ($C'_{OL} = 0$) di un MOSFET in termini dei parametri tecnologici può essere ricavata dalle Equazioni (17.65) e (17.66). Ricordando che $g_m = K_n (V_{GS} - V_{TN})$ e assumendo $C'_{OL} = 0$:

$$f_T = \frac{\mu_n C''_{ox} \frac{W}{L} (V_{GS} - V_{TN})}{\frac{2}{3} C''_{ox} WL} = \frac{3}{2} \frac{\mu_n (V_{GS} - V_{TN})}{L^2} \quad (17.67)$$

Il valore di f_T è proporzionale alla mobilità dei portatori e inversamente proporzionale al quadrato della lunghezza del canale. Pertanto, un NMOS avrà una frequenza di taglio più alta di un PMOS a parità di lunghezza di canale e polarizzazione. Riducendo la lunghezza di canale di un fattore 10 si ottiene un aumento di f_T di un fattore 100!

PARAMETRI DEL MODELLO DEL MOSFET

Esempio 17.5

Si trovi il set di parametri del modello di un MOSFET a partire dal data-sheet.

Si trovino V_{TN} , K_P , λ , C_{GS} e C_{GD} per il transistor NMOS ALD-1116 per una corrente di drain di 10 mA, utilizzando il data-sheet del componente.

PROBLEMA

Informazioni e dati noti: Data-sheet del MOSFET ADL-1116; $I_D = 10$ mA.

SOLUZIONE

Incognite: V_{TN} , K_P , λ , C_{GS} e C_{GD} .

Approccio: Utilizzeremo le definizioni e le relazioni tra parametri ad ampio segnale e parametri per piccolo segnale.

Ipotesi: $T = 25$ °C e $V_{DS} = 5$ V, corrispondenti alle specifiche del data-sheet; vale il modello quadratico; il transistor è simmetrico.

Analisi: Dal data-sheet si trova $V_{TN} = 0.7$ V, $I_D = 4.8$ mA per $V_{GS} = 5$ V, conduttanza di uscita $g_o = 200$ μ S a 10 mA e $C_{ISS} = 1$ pF.

Per prima cosa troviamo λ mediante il valore della conduttanza di uscita:

$$\lambda = \left(\frac{I_D}{g_o} - V_{DS} \right)^{-1} = \left(\frac{10 \text{ mA}}{0.2 \text{ mS}} - 5 \text{ V} \right)^{-1} = 0.0222 \text{ V}^{-1}$$

Possiamo ora trovare K_n usando l'espressione della corrente di drain in zona attiva:

$$K_n = \frac{2I_D}{(V_{GS} - V_{TN})^2 (1 + \lambda V_{DS})} = \frac{2(4.8 \text{ mA})}{(5 \text{ V} - 0.7 \text{ V})^2 \left(1 + \frac{5 \text{ V}}{45 \text{ V}} \right)} = 467 \frac{\mu\text{A}}{\text{V}^2}$$

Da questi risultati è possibile fissare i parametri SPICE $V_{TO} = 0.7$, $K_P = 476$ U e $LAMBDA = 0.0222$. C_{ISS} è la capacità di ingresso di corto-circuito del transistor nella configurazione a source comune, ed è pari alla somma di C_{GS} e C_{GD} . Sfortunatamente le condizioni di misura non sono specificate, per cui non sappiamo se la misura è stata eseguita in zona di triodo o in zona attiva. Assumendo regione attiva e utilizzando l'Equazione (17.66) si ha:

$$C_{GS} + C_{GD} = \frac{2}{3} C''_{ox} WL + 2C'_{OL} W = 1 \text{ pF}$$

Tuttavia non c'è modo di suddividere i contributi tra C_{GS} e C_{GD} . Una possibilità è assumere che la capacità dell'ossido rappresenti il termine dominante, quindi: $C_{GS} \approx 1$ pF e $C_{GD} \approx 0$. Come sarà chiaro tra breve, trascurare C_{GD} può però condurre a errori significativi nella risposta alle alte frequenze dell'amplificatore.

Verifica dei risultati: I risultati dei calcoli appaiono ragionevoli. Verifichiamo se il valore di f_T è anche ragionevole:

$$g_m = \sqrt{2K_n I_D (1 + \lambda V_{DS})} = \sqrt{2(467 \mu\text{A/V}^2)(10 \text{ mA})(1 + (5 \text{ V})/(45 \text{ V}))} = 3.22 \text{ mS}$$

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_{GS} + C_{GD}} = \frac{1}{2\pi} \frac{3.22 \text{ mS}}{1 \text{ pF}} = 513 \text{ MHz}$$

$$\mu_f = \frac{g_m}{g_o} = \frac{3.33 \text{ mS}}{0.2 \text{ mS}} = 16.1$$

Il valore di f_T è ragionevole. Il valore relativamente basso di μ_f deriva dalla corrente di drain fissata a 10 mA. Benché il valore di g_m sia maggiore dei valori tipici dati in tabella, è comunque compatibile con il grafico delle caratteristiche di uscita: $g_m = \Delta I_D / \Delta V_{GS} = 4.5 \text{ mA}/2 \text{ V} = 2.25 \text{ mS}$.

Discussione: I valori del data-sheet devono spesso essere riportati ai valori di interesse, e i dati forniti sono spesso incompleti. A volte può essere necessario contattare il produttore per ottenere altre informazioni. Il produttore può anche essere in grado di fornire il modello SPICE del dispositivo. In ultima analisi, possiamo misurare direttamente i parametri o cambiare dispositivo.

ESERCIZIO Quanto valgono C_{GS} e C_{GD} se C_{ISS} nell'Esempio 17.5 viene misurato nella regione di triodo?

RISPOSTE 0.5 pF, 0.5 pF.

ESERCIZIO Un MOSFET a canale n è caratterizzato da $f_T = 200 \text{ MHz}$ e $K_n = 10 \text{ mA/V}^2$ e lavora con una corrente di drain di 10 mA. Si assuma $C_{GS} = 5 C_{GD}$ e si trovino i valori di questi due condensatori.

RISPOSTE $C_{GS} = 9.38 \text{ pF}$, $C_{GD} = 1.88 \text{ pF}$.

17.4.7 Limitazioni dei modelli ad alta frequenza

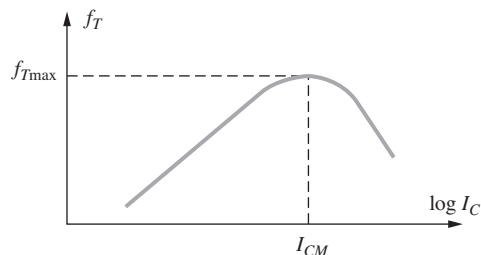
I modelli a π del transistor riportati nelle Figure 17.21 e 17.25 descrivono in modo sufficientemente accurato le caratteristiche dei transistori per frequenze fino a circa $0.3 f_T$. Al di sopra di questa frequenza, il comportamento descritto dal semplice modello a π comincia a deviare in modo significativo da quello del dispositivo reale. Inoltre, nella nostra discussione si è tacitamente assunto che ω_T sia costante. Tuttavia questa è solo un'approssimazione. In un BJT reale ω_T dipende dalla corrente di lavoro, come mostrato nella Figura 17.26.

Per un assegnato BJT esisterà una corrente di collettore I_{CM} in corrispondenza della quale la frequenza di transizione assume un valore massimo $f_T = f_{T\max}$. Per il MOS, che lavora nella regione di saturazione, C_{GS} e C_{GD} sono indipendenti dalla corrente nel punto di lavoro, quindi risulta $\omega_T \propto g_m \propto \sqrt{I_D}$. Assumeremo, nella discussione seguente, che il valore di f_T corrisponda al punto di lavoro che si sta utilizzando.

ESERCIZIO Come esempio dei problemi connessi all'uso di un valore costante per la f_T del transistor, si ripetano i calcoli di C_π e C_μ per il punto di lavoro (20 μA , 8 V) se $f_T = 500 \text{ MHz}$, $C_{\mu o} = 2 \text{ pF}$ e $\phi_{jc} = 0.6 \text{ V}$.

RISPOSTE 0.551 pF, -0.296 pF. Risultato assurdo poiché C_π non può avere un valore negativo.

Figura 17.26
Dipendenza di f_T dalla corrente.



17.5 Resistenza di base e di gate nel modello ibrido a π

La resistenza di base r_x completa la descrizione del transistor bipolare basata sul modello ibrido a π . Nella sezione del transistor bipolare, riportata nella Figura 17.27, la corrente di base i_b entra nel transistor attraverso il contatto di base esterno e attraversa una regione caratterizzata da una resistenza relativamente alta prima di raggiungere l'area attiva. L'elemento di circuito r_x descrive la caduta di tensione tra il contatto di base e la regione attiva del transistor, ed è inserito tra il nodo di base interno B' e quello esterno B , come riportato nella Figura 17.28(a). Come vedremo nel paragrafo successivo, la resistenza di base viene generalmente trascurata alle basse frequenze. Tuttavia la resistenza r_x può rappresentare un'importante limitazione alla risposta in frequenza del transistor nelle applicazioni con bassa resistenza di sorgente. Il rumore termico prodotto dalla resistenza r_x costituisce una importante limitazione nel progetto degli amplificatori a basso rumore. Valori tipici di r_x vanno da pochi ohm fino a un migliaio di ohm. In SPICE, la resistenza di base del BJT è descritta dal parametro RB.

Un effetto simile si ha anche nei MOSFET. Il gate dei transistori MOS è di solito fatto di metallo o di polisilicio che hanno una conducibilità finita, inoltre si ha una resistenza di contatto ogni volta che strati differenti di materiale sono connessi insieme. L'effetto complessivo è di una resistenza di gate r_g in serie fra il nodo esterno e quello interno di gate, come mostrato nel modello di piccolo segnale del MOS di Figura 17.28(b). La resistenza r_g costituisce un elemento di limitazione importante nella banda degli amplificatori ad altissima frequenza e il rumore termico di r_g è anche qui un possibile fattore limitante nel progetto di amplificatori a basso rumore.

17.5.1 Effetto della resistenza di base e di gate sull'amplificazione di centro banda

Prima di prendere in considerazione la risposta alle alte frequenze degli amplificatori a singolo stadio e multistadio, analizziamo l'effetto della resistenza di base sulle espressioni del guadagno di centro banda degli amplificatori a singolo stadio. Benché il modello comune usato per il calcolo del guadagno di tensione a centro banda non includa l'effetto della resistenza di base, i risultati possono essere facilmente modificati in modo da tener conto della resistenza r_x . Un metodo semplice è basato sull'uso della trasformazione circuitale mostrata nella Figura 17.29, dove r_x è inclusa all'interno di un modello equivalente a π . Il generatore di corrente nel modello di Figura 17.29(a) è controllato dalla tensione ai capi di r_π che è legata alla tensione complessiva tra base ed emettitore dalla legge del partitore di tensione

$$v = v_{be} \frac{r_\pi}{r_x + r_\pi} = \frac{v_{be}}{1 + r_x/r_\pi} \quad (17.68)$$

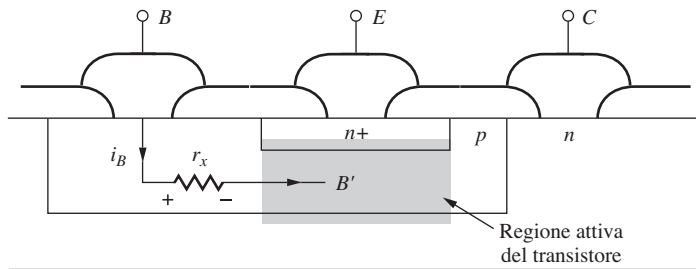
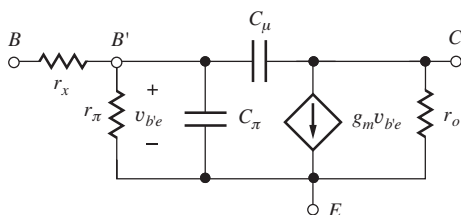
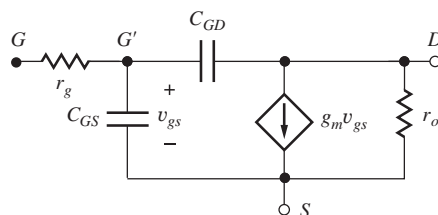


Figura 17.27
Percorso della corrente di base in un BJT.



(a)

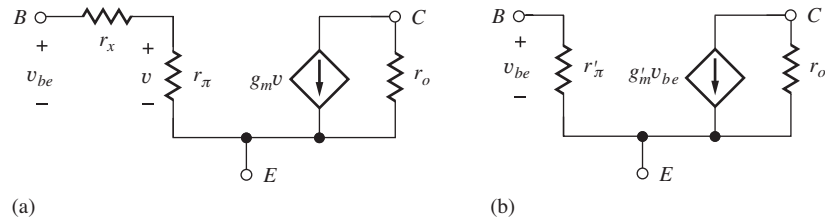


(b)

Figura 17.28
(a) modello ibrido a π comprendente la resistenza di base r_x . (b) Modello di piccolo segnale di un MOSFET comprendente la resistenza di gate r_g .

Figura 17.29

(a) Modello del transistoro comprendente la resistenza r_x .
 (b) Circuito equivalente in cui r_x è inclusa nelle espressioni di r'_π e g'_m .



e la corrente del generatore controllato è:

$$i = g_m v = g_m \frac{r_\pi}{r_x + r_\pi} v_{be} = g'_m v_{be} \quad \text{dove} \quad g'_m = \frac{\beta_o}{r_x + r_\pi} \quad (17.69)$$

Dall'Equazione (17.68) si osserva che la resistenza di base è importante solo quando questa è una frazione significativa della r_π , cioè per valori di r_x elevati o piccoli valori di r_π (grandi valori della corrente di collettore). Le Equazioni (17.68) e (17.69) conducono al modello di Figura 17.29(b) in cui la resistenza di base compare nelle espressioni di r'_π e g'_m di un transistoro equivalente Q' definito da:

$$g'_m = g_m \frac{r_\pi}{r_x + r_\pi} = \frac{\beta_o}{r_x + r_\pi} \quad \text{e} \quad r'_\pi = r_x + r_\pi \quad (17.70)$$

Si noti che il guadagno di corrente si conserva durante la trasformazione $\beta'_o = \beta_o$.

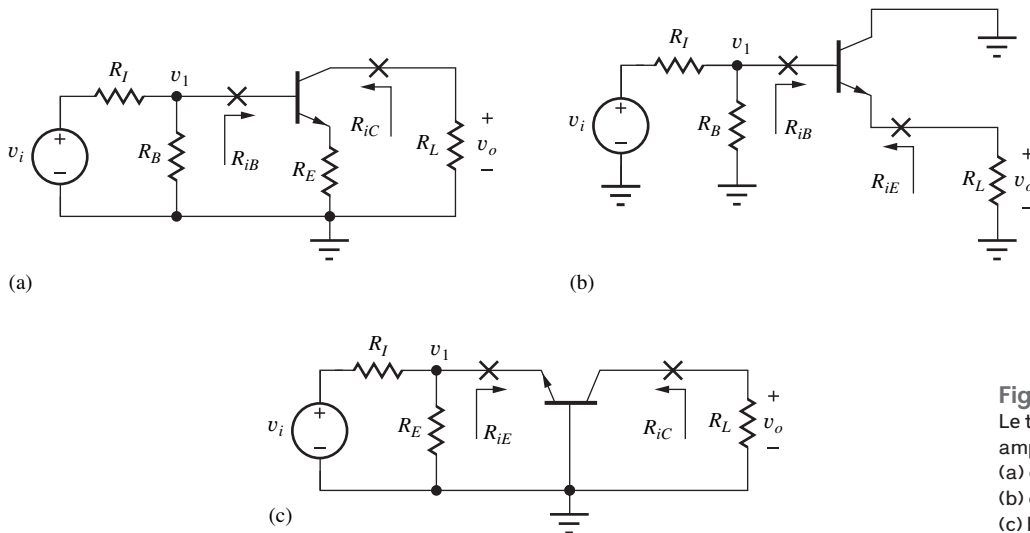
In base all'Equazione (17.70), le espressioni riportate nella Tabella 14.10 possono essere trasformate in quelle della Tabella 17.1 per le tre classi di amplificatori della Figura 17.30 per semplice sostituzione di g'_m con g_m e r'_π con r_π . In molti casi, soprattutto per correnti di collettore inferiori ad alcune centinaia di microampere, $r_\pi \gg r_x$ e le espressioni nell'Equazione (17.70) si riducono a $g'_m \approx g_m$ e $r'_\pi \approx r_\pi$.

Le formule della Tabella 17.1 diventano quindi identiche a quelle della Tabella 14.10.

La resistenza di gate r_g non ha praticamente alcun effetto sulle prestazioni di un MOS a centro banda poiché in assenza degli effetti delle capacità C_{GS} e C_{GD} la resistenza di ingresso al nodo G' è infinita. r_g è importante solo ad alta frequenza oppure in applicazioni a bassissimo rumore.

Tabella 17.1 Amplificatori bipolari a singolo stadio con resistenza di base

	Amplificatore a emettitore comune	Amplificatore a collettore comune	Amplificatore a base comune
Guadagno di tensione ai terminali			
$A_{vt} = \frac{v_o}{v_i}$	$-\frac{\beta_o R_L}{r'_\pi + (\beta_o + 1) R_E}$	$+\frac{\beta_o R_L}{r'_\pi + (\beta_o + 1) R_L}$	$+g'_m R_L$
$r'_\pi = r_x + r_\pi$	$\approx -\frac{g'_m R_L}{1 + g'_m R_E}$	$\approx +\frac{g'_m R_L}{1 + g'_m R_L} \approx +1$	
$g'_m = \frac{\beta_o}{r'_\pi}$			
Guadagno di tensione complessivo			
$A_v = \frac{v_o}{v_i}$	$-\frac{g'_m R_L}{1 + g'_m R_E} \left(\frac{R_B \ R_{IB}}{R_I + R_B \ R_{IB}} \right)$	$+\frac{g'_m R_L}{1 + g'_m R_L} \left(\frac{R_B \ R_{IE}}{R_I + R_B \ R_{IE}} \right) \approx +1$	$+\frac{g'_m R_L}{1 + g'_m (R_I \ R_E)} \left(\frac{R_E}{R_I + R_E} \right)$
Resistenza di ingresso	$r'_\pi + (\beta_o + 1) R_E$	$r'_\pi + (\beta_o + 1) R_L$	$\frac{1}{g'_m}$
Resistenza di uscita	$r_o (1 + g'_m R_E)$	$\frac{1}{g'_m} + \frac{R_{th}}{\beta_o + 1}$	$r_o [1 + g'_m (R_I \ R_E)]$
Campo di variazione del segnale di ingresso	$\approx 5 \text{ mV} \times (1 + g'_m R_E)$	$\approx 5 \text{ mV} \times (1 + g'_m R_L)$	$\approx 5 \text{ mV} \times (1 + g'_m R_{th})$
Guadagno di corrente	$-\beta_o$	$\beta_o + 1$	$\alpha_o \approx +1$

**Figura 17.30**

Le tre configurazioni di amplificatori elementari a BJT:
 (a) emettitore comune;
 (b) collettore comune;
 (c) base comune.

ESERCIZIO Si ricalcoli il guadagno a centro banda per il circuito in Figura 17.6 includendo la resistenza di base $r_x = 250 \Omega$. Quanto vale A_{mid} con $r_x = 0$?

RISPOSTE -139 ; -157 .

17.6 Analisi ad alta frequenza degli amplificatori a emettitore comune e a source comune

Avendo definito il modello ibrido a π completo, possiamo analizzare le limitazioni alle alte frequenze dei tre amplificatori elementari a singolo stadio.

Per ciascuno di questi amplificatori svilupperemo espressioni per i poli ad alta frequenza all'ingresso e all'uscita di ogni stadio. Questo approccio consentirà di estendere facilmente l'analisi agli amplificatori multistadio. Per cominciare rivediamo la risposta ad alta frequenza di una rete a singolo polo con un condensatore in alta frequenza riportata in Figura 17.31. Un'espressione della caratteristica di trasferimento in alta frequenza per il circuito RC può essere ricavata come segue:

$$\begin{aligned} \frac{V_x}{V_i} &= \frac{R_2 \parallel \frac{1}{sC_1}}{R_1 + R_2 \parallel \frac{1}{sC_1}} = \frac{\frac{R_2}{1 + sR_2C_1}}{R_1 + \frac{R_2}{1 + sR_2C_1}} = \frac{R_2}{R_1 + R_2} \frac{1}{\left(1 + s \frac{R_1R_2}{R_1 + R_2} C_1\right)} \\ &= \frac{R_2}{R_1 + R_2} \frac{1}{(1 + s[R_1 \parallel R_2]C_1)} \end{aligned} \quad (17.71)$$

Sostituendo $s = j2\pi f$ e ponendo $f_p = 1/(2\pi R_1 \parallel R_2 C_1)$,

$$\frac{V_x}{V_i} = \frac{R_2}{R_1 + R_2} \frac{1}{\left(1 + j \frac{f}{f_p}\right)} = A_{mid} F_H(s) \quad (17.72)$$

Questa espressione è composta da due parti, il guadagno di centro banda $R_2/(R_2 + R_1)$ e la caratteristica alle alte frequenze $1/(1 + jf/f_p)$. Si noti che la resistenza equivalente $R_1 \parallel R_2$ è la resistenza totale verso il potenziale di riferimento all'uscita della rete. Se sono presenti altri rami, la resistenza di piccolo segnale di ogni ramo verrà aggiunta in parallelo. La capacità C_1 è la capacità totale per piccolo segnale vista all'uscita. Se sono presenti altri condensatori essi verranno semplicemente aggiunti per trovare la capacità totale. L'ampiezza e la fase di questa caratteristica a singolo polo è riportata in Figura 17.32.

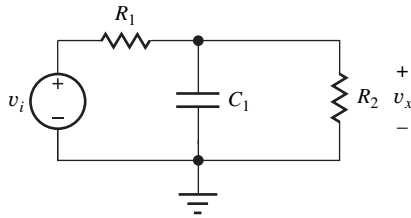


Figura 17.31 Circuito a due resistori e un condensatore.

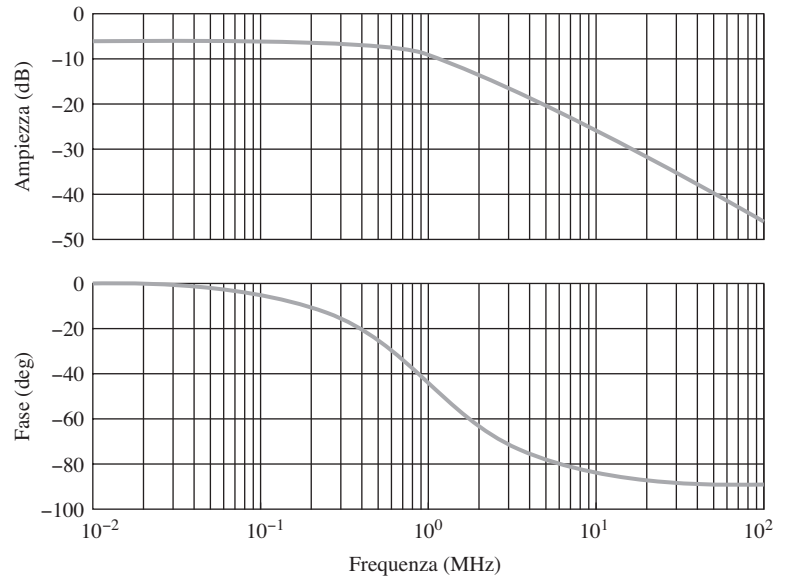


Figura 17.32 Ampiezza e fase della risposta della rete a singolo polo con $R_1 = R_2$ e $f_p = 1\text{ MHz}$.

17.6.1 L'effetto Miller

La Figura 17.33(a) mostra una tipica variante della semplice rete in Figura 17.31. Qui un condensatore al nodo X collega direttamente l'ingresso e l'uscita (nodo Y) di un amplificatore con guadagno A_{xy} .

Vogliamo trovare un metodo per trasformare il condensatore C_{xy} in una capacità equivalente C_{eq} per piccolo segnale posta tra l'ingresso e ground, come mostrato in Figura 17.33(b). Osserviamo che una capacità di piccolo segnale può essere definita come

$$c = \frac{\Delta Q}{\Delta V} \quad (17.73)$$

dove ΔV è la variazione di tensione ai capi del condensatore e ΔQ è la carica necessaria a indurre la variazione di tensione. Nel caso della Figura 17.33(a), fissato ΔV_x , all'uscita appare un ΔV_y pari a $A_{xy}\Delta V_x$. La carica che deve essere fornita dal circuito di pilotaggio è:

$$\Delta Q = C_{xy}(\Delta V_x - \Delta V_y) = C_{xy}(\Delta V_x - A_{xy}\Delta V_x) = C_{xy}\Delta V_x(1 - A_{xy}) \quad (17.74)$$

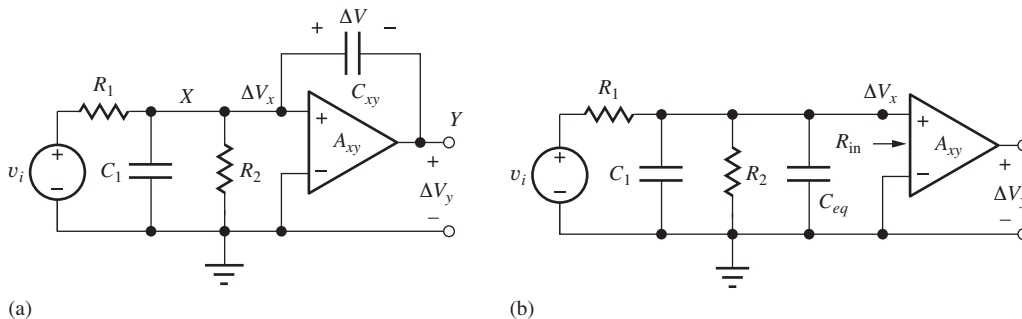
Se ora si considera il circuito in Figura 17.33(b), un terminale di C_{eq} è connesso al riferimento per piccolo segnale; pertanto, utilizzando il calcolo di ΔQ dall'Equazione (17.74), C_{eq} può essere espresso come:

$$C_{eq} = \frac{C_{xy}\Delta V_x(1 - A_{xy})}{\Delta V_x} = C_{xy}(1 - A_{xy}) \quad (17.75)$$

Il guadagno dell'amplificatore introduce una capacità equivalente all'ingresso che risulta scalata rispetto alla capacità effettiva del fattore $(1 - A_{xy})$. Ciò è noto come effetto Miller o

Figura 17.33

(a) Amplificatore con un condensatore che collega l'ingresso e l'uscita.
(b) Amplificatore con la capacità tra ingresso e uscita sostituita da una capacità equivalente C_{eq} posta tra l'ingresso e ground.



moltiplicazione di Miller, e fu descritto per la prima volta nel 1920 da John M. Miller.¹ Considerando la nuova capacità equivalente e in base all'Equazione (17.70), possiamo ora scrivere un'espressione per la caratteristica di trasferimento ad alta frequenza del circuito in Figura 17.33:

$$\frac{V_x}{V_i} = \frac{R_2 \| R_{in}}{R_1 + R_2 \| R_{in}} \frac{1}{(1 + s[R_1 \| R_2 \| R_{in}][C_1 + C_{eq}])} \quad (17.76)$$

Si vede che la frequenza del polo è determinata dalla resistenza $R_1 \| R_2 \| R_{in}$ e una capacità pari a $C_1 + C_{xy}(1 - A_{xy})$. Si consideri per esempio il caso in cui il guadagno è -10 V/V. La capacità equivalente in ingresso C_{eq} sarà $(1 - [-10])$, ovvero 11 volte più grande della capacità effettiva C_{xy} . Per comprendere intuitivamente questo effetto consideriamo un ΔV_x di 10 mV. Con un guadagno di -10 V/V, ΔV_y sarà di -100 mV. In altre parole, quando la tensione al terminale di ingresso del condensatore aumenta, l'altro terminale subisce un decremento della tensione provocando un trasferimento di carica dal circuito di pilotaggio molto maggiore di quanto sarebbe lecito aspettarsi per il valore effettivo della capacità. D'altra parte, per un guadagno di 0.9 V/V, la capacità equivalente sarebbe $(1 - 0.9)$, ovvero il 10% della capacità effettiva. Per questo valore di guadagno il secondo terminale del condensatore segue approssimativamente il primo terminale, producendo un trasferimento di carica dal circuito di pilotaggio molto inferiore. L'effetto Miller consente di separare sezioni del circuito, che sono accoppiate capacitivamente, ottenendo reti RC più semplici che possono essere facilmente analizzate.

Nei paragrafi seguenti questo approccio sarà generalizzato per descrivere la risposta in alta frequenza di un amplificatore come prodotto del guadagno di centro banda e una funzione di trasferimento ad alta frequenza, che tiene conto dell'effetto delle costanti di tempo in alta frequenza a ogni nodo lungo il percorso del segnale.

17.6.2 Risposta in alta frequenza degli amplificatori a emettitore comune e a source comune

La Figura 17.34 rappresenta un amplificatore a emettitore comune con i condensatori di accoppiamento e bypass C_1 , C_2 e C_3 . In questo paragrafo siamo interessati alla risposta alle alte frequenze, per cui considereremo questi condensatori come circuiti aperti in DC e cortocircuito a centro banda e alle alte frequenze. C_L rappresenta la capacità parassita alle alte frequenze del carico. Useremo un approccio semplificato simile a quello presentato nel paragrafo precedente. Calcoleremo il guadagno a centro banda e quindi le costanti di tempo ai nodi di ingresso e di uscita. L'effetto Miller verrà sfruttato per determinare la capacità equivalente in ingresso.

Il circuito equivalente AC per piccolo segnale è mostrato in Figura 17.35(a). Le batterie sono sostituite da cortocircuiti come pure i condensatori di accoppiamento e di bypass. Il circuito è stato ulteriormente semplificato in Figura 17.35(c).

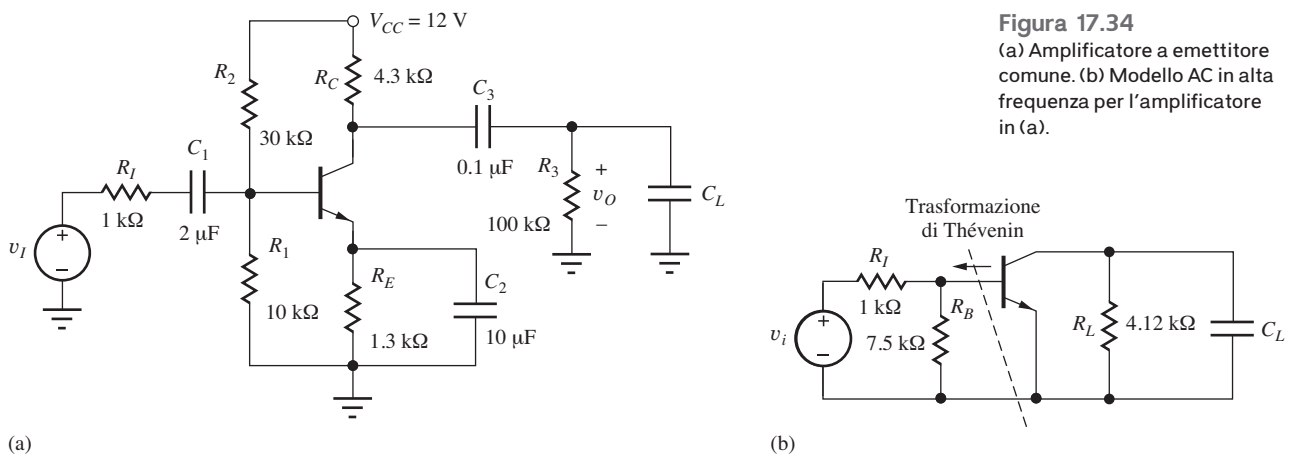
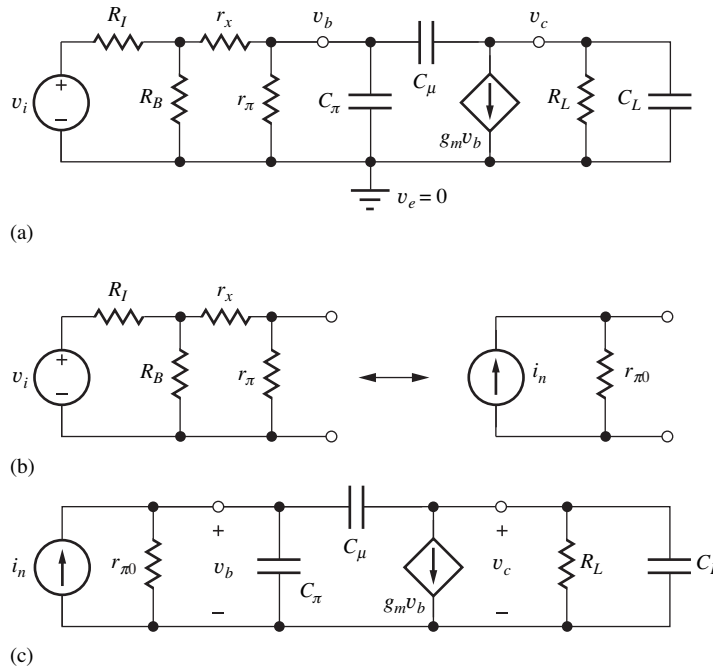


Figura 17.34
(a) Amplificatore a emettitore comune. (b) Modello AC in alta frequenza per l'amplificatore in (a).

¹ J.M. Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit", Scientific Papers of the Bureau of Standards, 15(351):367-385, 1920.

Figura 17.35

(a) Modello per piccolo segnale ad alta frequenza dell'amplificatore a emettitore comune. (b) Modello per la trasformazione di Norton dell'amplificatore CE. Il resistore $r_{\pi 0}$ rappresenta la resistenza equivalente al nodo di base. (c) Modello semplificato per piccolo segnale ad alta frequenza dell'amplificatore a emettitore comune.



Il guadagno a centro banda è:

$$A_i = \frac{v_b}{v_i} = \frac{R_{in}}{R_I + R_{in}} \cdot \frac{r_\pi}{r_x + r_\pi} = \frac{R_B \parallel (r_x + r_\pi)}{R_I + R_B \parallel (r_x + r_\pi)} \cdot \frac{r_\pi}{r_x + r_\pi} \quad (17.77)$$

dove R_{in} è il parallelo di R_1 , R_2 e $(r_x + r_\pi)$, mentre R_L è il parallelo di r_o , R_C e R_3 .

Il guadagno ai terminali dell'amplificatore a emettitore comune (l'effetto di r_x è stato incluso in A_i) può essere scritto come:

$$A_{bc} = \frac{v_c}{v_b} = -g_m R_L \approx -g_m (R_C \parallel R_3) \quad (17.78)$$

Usiamo ora l'effetto Miller per calcolare il polo ad alta frequenza presente sulla base mediante il circuito in Figura 17.35(a).

$$\begin{aligned} C_{eqB} &= C_\mu(1 - A_{bc}) + C_\pi(1 - A_{be}) = C_\mu[1 - (-g_m R_L)] + C_\pi(1 - 0) \\ &= C_\pi + C_\mu(1 + g_m R_L) \end{aligned} \quad (17.79)$$

La resistenza equivalente per piccolo segnale verso lo zero volt al nodo di base è:

$$R_{eqB} = r_\pi \parallel (r_x + R_B \parallel \beta_1) = r_{\pi 0} \quad (17.80)$$

Si ricordi che il generatore di tensione v_i presenta un'impedenza per piccolo segnale pari a zero. La costante di tempo in ingresso risulta:

$$\tau_B = R_{eqB} C_{eqB} \quad (17.81)$$

Al nodo di uscita di collettore, la resistenza R_{eqC} è:

$$R_{eqC} = R_L = r_o \parallel R_C \parallel R_3 \approx R_C \parallel R_3 \quad (17.82)$$

Dobbiamo ora determinare la capacità equivalente al collettore C_{eqC} . A un primo sguardo, possiamo pensare di applicare l'effetto Miller per modellare la capacità equivalente all'uscita dovuta a C_μ . Tuttavia, il transistor non lavora al contrario: applicando un segnale al collettore non si ottiene un segnale significativo in "uscita" al nodo di base. Quindi, la capacità equivalente all'uscita è rappresentata solo dalla capacità effettiva C_μ sommata alla capacità del carico C_L .

$$C_{eqC} = C_\mu + C_L \quad (17.83)$$

La costante di tempo al nodo di uscita risulta:

$$\tau_C = R_{eqC} C_{eqC} \quad (17.84)$$

Se i nodi di ingresso e uscita sono ben isolati, ci aspettiamo poli a frequenza diversa per le costanti di tempo in ingresso e in uscita. Tuttavia, in questo caso l'ingresso e l'uscita sono accoppiati tramite C_μ . Inoltre, le impedenze di ingresso e di uscita sono grandi, per cui le costanti di tempo interagiscono tra loro. Questa interazione produce un polo dominante pari a:

$$\omega_{p1} = \frac{1}{r_{\pi o}[C_\pi + C_\mu(1 + g_m R_L)] + R_L[C_\mu + C_L]} \quad (17.85)$$

Possiamo riscrivere questa espressione in termini di singola resistenza e singola capacità, scalando il secondo termine capacitivo così che, quando viene moltiplicato per la resistenza di ingresso $r_{\pi o}$, la costante di tempo risultante è identica al secondo termine nell'Equazione (17.85). Chiameremo la capacità risultante C_T .

$$C_T = [C_\pi + C_\mu(1 + g_m R_L)] + \frac{R_L}{r_{\pi o}} [C_\mu + C_L] \quad (17.86)$$

Questa sostituzione consente di scrivere la frequenza del polo dominante dell'emettitore comune nel modo seguente:

$$\omega_{p1} = \frac{1}{r_{\pi o} C_T} = \frac{1}{r_{\pi o} \left([C_\pi + C_\mu(1 + g_m R_L)] + \frac{R_L}{r_{\pi o}} [C_\mu + C_L] \right)} \quad (17.87)$$

17.6.3 Analisi diretta della caratteristica di trasferimento dell'emettitore comune

A questo punto verifichiamo il nostro approccio semplificato eseguendo una analisi diretta della funzione di trasferimento dell'emettitore comune. Scrivendo e semplificando le equazioni ai nodi nel dominio della frequenza per il circuito di Figura 17.35(c) si ottiene:

$$\begin{bmatrix} I_n(s) \\ 0 \end{bmatrix} = \begin{bmatrix} s(C_\pi + C_\mu) + g_{\pi o} & -sC_\mu \\ -(sC_\mu - g_m) & s(C_\mu + C_L) + g_L \end{bmatrix} \begin{bmatrix} V_b(s) \\ V_c(s) \end{bmatrix} \quad (17.88)$$

L'espressione della tensione di uscita $V_2(s)$ si può ottenere utilizzando la regola di Cramer:

$$V_c(s) = I_n(s) \frac{(sC_\mu - g_m)}{\Delta} \quad (17.89)$$

dove Δ rappresenta il determinante del sistema di equazioni dato da:

$$\Delta = s^2[C_\pi(C_\mu + C_L) + C_\mu C_L] + s[C_\pi g_L + C_\mu(g_m + g_{\pi o} + g_L) + C_L g_{\pi o}] + g_L g_{\pi o} \quad (17.90)$$

Dalle Equazioni (17.89) e (17.90) si vede che la risposta alle alte frequenze è caratterizzata da due poli, uno zero di valore finito e uno zero all'infinito. Lo zero di valore finito si trova nel semipiano destro alla frequenza:

$$\omega_Z = + \frac{g_m}{C_\mu} > \omega_T \quad (17.91)$$

Lo zero dato dall'Equazione (17.91) può generalmente essere trascurato perché si trova a una frequenza superiore a ω_T (alla quale il modello stesso può perdere di validità). Sfortunatamente il denominatore è un polinomio non fattorizzabile, per cui le posizioni dei poli sono più difficili da determinare. Tuttavia, una buona stima delle posizioni di entrambi i poli si può ottenere seguendo la procedura di fattorizzazione approssimata indicata nel paragrafo seguente. Si noti che, anche se sono presenti tre condensatori, il circuito ha solo due poli. I tre condensatori sono connessi in una configurazione a π e solo due delle tensioni su di essi sono indipendenti. Quando sono note due delle tensioni, la terza è univocamente determinata.

Fattorizzazione approssimata del polinomio

Per stimare la posizione dei poli faremo uso di una tecnica di fattorizzazione approssimata dei polinomi. Assumiamo che il polinomio abbia due radici reali a e b :

$$(s + a)(s + b) = s^2 + (a + b)s + ab = s^2 + A_1 s + A_0 \quad (17.92)$$

Se si assume che esista una radice dominante, cioè $a \gg b$, le due radici possono essere stimate direttamente dai coefficienti A_1 e A_0 utilizzando due approssimazioni:

$$A_1 = a + b \approx a \quad \text{e} \quad \frac{A_0}{A_1} = \frac{ab}{a+b} \approx \frac{ab}{a} = b \quad (17.93)$$

per cui

$$a \approx A_1 \quad \text{e} \quad b \approx \frac{A_0}{A_1}$$

Si noti che nell'Equazione (17.92) il coefficiente di s^2 è normalizzato all'unità.

La tecnica di fattorizzazione approssimata può essere estesa a polinomi con un qualsiasi numero di radici reali molto distanti l'una dall'altra.

17.6.4 Poli dell'amplificatore C-E

Per il caso dell'amplificatore a emettitore comune, la radice più piccola è la più importante perché è quella che limita la risposta in frequenza dell'amplificatore e determina ω_H . Dall'Equazione (17.93) si vede che la radice più piccola è data dal rapporto dei coefficienti A_0 e A_1 :

$$\omega_{P1} = \frac{1}{r_{\pi o} C_T} = \frac{1}{r_{\pi o} \left([C_{\pi} + C_{\mu}(1 + g_m R_L)] + \frac{R_L}{r_{\pi o}} [C_{\mu} + C_L] \right)} \quad (17.94)$$

Questo risultato è identico a quello descritto dall'Equazione (17.87). Il polo dominante è determinato dalla combinazione delle costanti di tempo in ingresso e in uscita, fissate dalla capacità equivalente totale e dalla resistenza viste in ingresso e in uscita. Si noti che se la resistenza del generatore R_I è zero, $r_{\pi o}$ si riduce a r_x e la banda è limitata proprio da r_x .

Vi è anche un secondo polo risultante dalla versione normalizzata del coefficiente A_I :

$$\omega_{P2} = \frac{C_{\pi} g_L + C_{\mu}(g_m + g_{\pi o} + g_L) + C_L g_{\pi o}}{C_{\pi}(C_{\mu} + C_L) + C_{\mu} C_L} \quad (17.95)$$

ovvero

$$\omega_{P2} \approx \frac{g_m}{C_{\pi} \left(1 + \frac{C_L}{C_{\mu}} \right) + C_L} \approx \frac{g_m}{C_{\pi} + C_L} \quad (17.96)$$

in cui abbiamo ipotizzato che $C_{\mu} g_m$ sia il termine dominante al numeratore, come spesso avviene negli amplificatori C-E con guadagno ragionevolmente alto. Possiamo ritenere valida l'ultima approssimazione nell'Equazione (17.96) specialmente quando C_{μ} è grande. Ad alte frequenze, il condensatore C_{μ} tende a cortocircuitare il collettore e la base del transistor, per cui C_L e C_{π} compaiono in parallelo e il transistor si comporta come un diodo con resistenza pari a $1/g_m$.

Si ricordi che esiste anche uno zero nel semipiano destro pari a $+g_m/C_{\mu}$. Anche se lo zero si trova a frequenze piuttosto elevate e può essere trascurato, vedremo nel Capitolo 18 che, negli amplificatori a MOS, esso può rappresentare un importante fattore nell'analisi della stabilità degli amplificatori con retroazione negativa.

Esempio 17.6

ANALISI AD ALTA FREQUENZA DELL'AMPLIFICATORE A EMETTITORE COMUNE

PROBLEMA Si calcolino il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a emettitore comune della Figura 17.34, assumendo $\beta_o = 100$, $f_T = 500$ MHz, $C_{\mu} = 0.5$ pF, $r_x = 250 \Omega$ e un punto di lavoro di (1.60 mA, 3.00 V). Si trovino inoltre le frequenze di tutti i poli e gli zeri dell'amplificatore a emettitore comune. Si assuma $C_L = 0$.

SOLUZIONE **Informazioni e dati noti:** Circuito di Figura 17.34; punto di lavoro e valori dei parametri; espressioni per il guadagno, i poli e gli zeri dati dalle Equazioni da (17.77) a (17.96).

Incognite: Valori di A_{mid} , f_H , ω_{Z1} , ω_{P1} e ω_{P2} .

Approccio: Si trovino i parametri per piccolo segnale del transistor. Si trovino le incognite sostituendo i valori numerici nelle espressioni sviluppate nel testo.

Ipotesi: Condizioni di piccolo segnale nella regione attiva; $V_T = 25.0 \text{ mV}$; $C_L = 0$.

Analisi: Lo stadio a emettitore comune è descritto dalle Equazioni (17.77), (17.78) e (17.87).

$$A_{\text{mid}} = A_i A_{bc} \quad A_i = \frac{R_{\text{in}}}{R_I + R_{\text{in}}} \left(\frac{r_\pi}{r_x + r_\pi} \right) \quad A_{bc} = -g_m R_L$$

$$\omega_{P1} = \frac{1}{r_{\pi 0} C_T} \quad \omega_{P2} = \frac{g_m}{C_\pi + C_L} \quad \omega_Z = \frac{g_m}{C_\mu}$$

$$r_{\pi 0} = r_\pi \parallel (R_B \parallel R_I + r_x) \quad C_T = C_\pi + C_\mu \left(1 + g_m R_L + \frac{R_L}{r_{\pi 0}} \right)$$

I valori dei diversi parametri per piccolo segnale sono:

$$g_m = \frac{I_C}{V_T} = \frac{16 \text{ mA}}{25 \text{ mV}} = 64.0 \text{ mS} \quad r_\pi = \frac{\beta_o}{g_m} = \frac{100}{64 \text{ mS}} = 1.56 \text{ k}\Omega$$

$$C_\pi = \frac{g_m}{2\pi f_T} - C_\mu = \frac{64 \text{ mS}}{2\pi(500 \text{ MHz})} - 0.5 \text{ pF} = 19.9 \text{ pF}$$

$$R_{\text{in}} = 10 \text{ k}\Omega \parallel 30 \text{ k}\Omega \parallel 1.81 \text{ k}\Omega = 1.46 \text{ k}\Omega$$

$$R_L = R_C \parallel R_3 = 4.3 \text{ k}\Omega \parallel 100 \text{ k}\Omega = 4.12 \text{ k}\Omega$$

$$R_{\text{th}} = R_B \parallel R_I = 7.5 \text{ k}\Omega \parallel 1 \text{ k}\Omega = 882 \Omega$$

$$r_{\pi 0} = r_\pi \parallel (R_{\text{th}} + r_x) = 1.56 \text{ k}\Omega \parallel (882 \Omega + 250 \Omega) = 656 \Omega$$

Sostituendo questi valori nell'espressione di C_T ($C_L = 0$) si ottiene:

$$C_T = C_\pi + C_\mu \left(1 + g_m R_L + \frac{R_L}{r_{\pi 0}} \right)$$

$$= 19.9 \text{ pF} + 0.5 \text{ pF} \left[1 + (64 \text{ mS})(4.12 \text{ k}\Omega) + \frac{4.12 \text{ k}\Omega}{656 \Omega} \right]$$

$$= 19.9 \text{ pF} + 0.5 \text{ pF}(1 + 264 + 6.28) = 156 \text{ pF}$$

e

$$f_{P1} = \frac{1}{2\pi r_{\pi 0} C_T} = \frac{1}{2\pi(656 \Omega)(156 \text{ pF})} = 1.56 \text{ MHz}$$

$$\omega_{P2} \approx \frac{g_m}{C_\pi + C_L} = \frac{64 \text{ mS}}{19.9 \text{ pF}} = 3.22 \times 10^9 \text{ rad/sec}$$

$$f_{P2} = \frac{\omega_{P2}}{2\pi} = 512 \text{ MHz}$$

$$f_Z = \frac{g_m}{2\pi C_\mu} = \frac{64 \text{ mS}}{2\pi(0.5 \text{ pF})} = 20.4 \text{ GHz}$$

$$A_i = \frac{1.46 \text{ k}\Omega}{1.00 \text{ k}\Omega + 1.46 \text{ k}\Omega} \left(\frac{1.56 \text{ k}\Omega}{250 \Omega + 1.56 \text{ k}\Omega} \right) = 0.512$$

$$A_{bc} = -(64 \text{ mS})(4.12 \text{ k}\Omega) = -264$$

$$A_{\text{mid}} = 0.512(-264) = -135$$

Verifica dei risultati: A una doppia verifica i calcoli appaiono corretti. Verifichiamo ulteriormente i calcoli mediante il prodotto banda-guadagno: $|A_{\text{mid}} f_H| = 211 \text{ MHz}$ che non supera f_T .

Discussione: Il polo dominante si trova alla frequenza $f_{p1} = 1.56$ MHz, mentre le frequenze f_{p2} e f_z risultano maggiori di f_T (500 MHz). Pertanto, la frequenza di taglio superiore f_H di questo amplificatore è determinata unicamente da $f_{p1} : f_H \approx 1.56$ MHz. Si noti che questo valore di f_H è minore dell'1% di f_T ed è consistente con il concetto di GBP. Dovremmo aspettarci una frequenza f_H non superiore a $f_T/A_{mid} = 3.3$ MHz per questo amplificatore. Si noti anche che f_{p1} è maggiore di f_{p2} di un fattore pari circa a 1000, soddisfacendo quindi la condizione di radici molto distanziate che è stata usata nella fattorizzazione approssimata.

È importante ricordare che il fattore più significativo che definisce il valore di C_T è C_μ moltiplicato per $g_m R_L$. Per aumentare la frequenza di taglio superiore f_H di questo amplificatore occorre ridurre il guadagno $g_m R_L$; bisogna quindi accettare un guadagno inferiore se si vuole incrementare la banda passante, e viceversa.

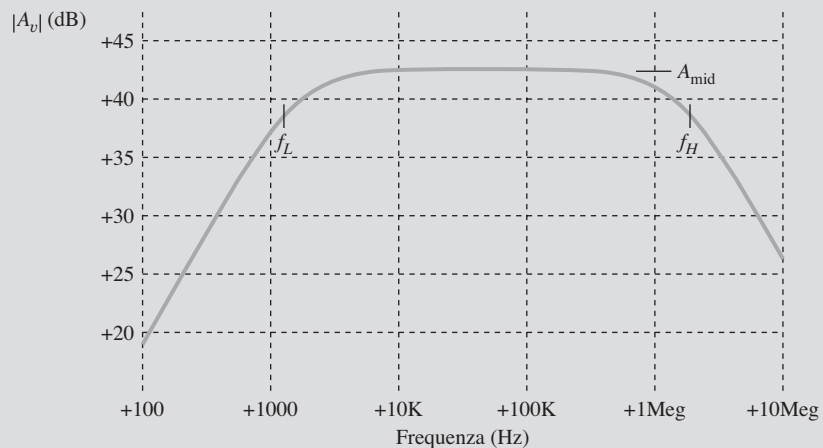
Analisi assistita da calcolatore: Possiamo usare SPICE per verificare i calcoli manuali, ma dobbiamo prima definire i parametri del dispositivo. Poniamo $BF = 100$ e $IS = 5F$ ma lasciamo il valore di default di VA a infinito. Bisogna aggiungere la resistenza di base fissando $RB = 250$. C_μ è determinato in SPICE dal valore della capacità di giunzione di collettore a tensione nulla CJC e dal potenziale built-in. Il punto di lavoro calcolato da SPICE fornisce $V_{CE} = 2.70$ V, che corrisponde a $V_{BC} = 2.0$ V e $V_{BE} = 0.7$ V. I valori di default sono $VJC = 0.75$ e $MJC = 0.33$, quindi per avere $C_\mu = 0.5$ pF, CJC deve essere:

$$C_{JC} = 0.5 \text{ pF} \left(1 + \frac{2 \text{ V}}{0.75 \text{ V}} \right)^{0.33} = 0.768 \text{ pF}$$

che in formato SPICE diventa $CJC = 0.768P$. C_π è determinato dal tempo di transito τ_F , definito nelle Equazioni (5.42) e (17.50):

$$\tau_F = \frac{C_\pi}{g_m} = \frac{19.9 \text{ pF}}{64 \text{ mS}} = 0.311 \text{ ns}$$

che in formato SPICE diventa $TF = 0.311N$. Aggiungendo questi valori al modello ed eseguendo un'analisi AC con $FSTART = 100$ e $FSTOP = 10MEG$ con 20 punti per decade, si ottiene il grafico mostrato di seguito dal quale si trova $A_{mid} = -135$ (42.6 dB) e $f_H = 1.56$ MHz, in accordo con i calcoli manuali. Controllando i parametri del dispositivo in SPICE si ottiene $r_x = 250 \Omega$, $C_\pi = 19.9$ pF, $C_\mu = 0.499$ pF. In bassa frequenza si è usato $C_1 = C_3 = 3.9 \mu F$ e $C_2 = 82$ nF.



ESERCIZIO Si usi SPICE per ricalcolare f_H con $V_A = 75$ V. E ancora per $V_A = 75$ V e $r_x = 0$.

RISPOSTE 1.67 MHz; 1.96 MHz.

ESERCIZIO Si ripetano i calcoli dell'Esempio 17.6 se una capacità di carico $C_L = 3$ pF viene aggiunta al circuito.

RISPOSTE 1.39 MHz, 71.6 MHz (un significativo decremento di f_{p2} !).

ESERCIZIO Si trovino il guadagno a centro banda e le frequenze dei poli e degli zeri dell'amplificatore a emettitore comune dell'Esempio 17.6 se il transistor ha $f_T = 500$ MHz ma $C_\mu = 1$ pF.

RISPOSTE –135, 835 kHz, 578 MHz, 10.2 GHz.

ESERCIZIO Trovare i valori "esatti" dei due poli dell'amplificatore CE risolvendo numericamente il denominatore dell'Equazione (17.90).

RISPOSTE $C_L = 0$, 1.57 MHz, 602 MHz; $C_L = 3$ pF, 1.41 MHz, 93.2 MHz. Si osservi che la determinazione approssimata del secondo polo è molto imprecisa, ma che quasi sempre la posizione del secondo polo non è importante.

17.6.5 Polo dominante dell'amplificatore a source comune

L'analisi dell'amplificatore C-S di Figura 17.36 rispecchia quella dell'amplificatore a emettitore comune. Il modello per piccolo segnale è simile a quello relativo allo stadio C-E, a eccezione del fatto che sia r_x che r_π sono assenti. Nella Figura 17.36(b) si ha:

$$R_{th} = R_I \parallel R_G \quad R_L = R_D \parallel R_3 \quad v_{th} = v_i \frac{R_G}{R_I + R_G} \quad (17.97)$$

Le espressioni per lo zero al finito e i poli dell'amplificatore C-S si possono ricavare confrontando la Figura 17.36(b) con la Figura 17.35.

$$\omega_{p1} = \frac{1}{R_{th} C_T} \quad \text{e} \quad C_T = C_{GS} + C_{GD} \left(1 + g_m R_L + \frac{R_L}{R_{th}} \right) + C_L \frac{R_L}{R_{th}} \quad (17.98)$$

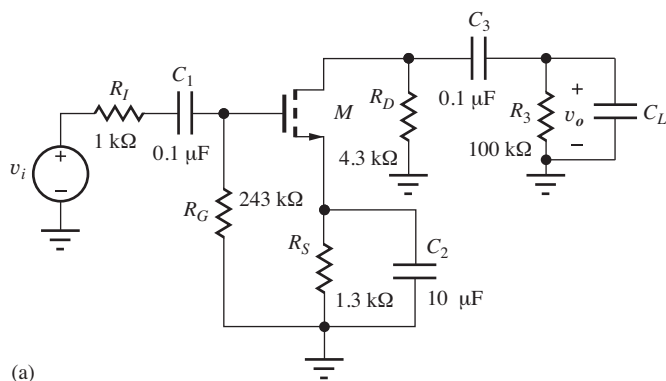
$$\omega_{p2} = \frac{g_m}{C_{GS} + C_L} \quad \omega_Z = \frac{+g_m}{C_{GD}}$$

ESERCIZIO (a) Qual è la frequenza di taglio superiore dell'amplificatore di Figura 17.36 se $r_g = 0$, $C_{GS} = 10$ pF, $C_{GD} = 2$ pF, $C_L = 0$ e $g_m = 1.23$ mS? Quali sono le posizioni del secondo polo e dello zero? Qual è la f_T di questo transistor? (b) Ripetere il problema con $r_g = 300 \Omega$.

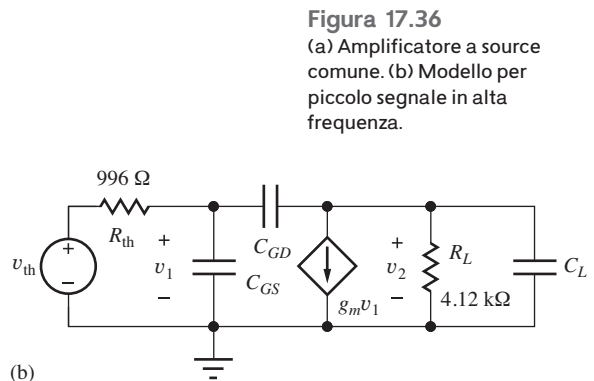
RISPOSTE (a) 5.26 MHz; 19.6 MHz, 97.9 MHz; 16.3 MHz. (b) 4.31 MHz, nessun cambiamento per le altre frequenze.

17.6.6 Stima di ω_H con il metodo delle costanti di tempo a circuito aperto

Una analisi diretta dei poli in alta frequenza di un circuito multistadio, fatta in forma letterale o con calcoli a mano sarebbe totalmente intrattabile. Fortunatamente esiste una tecnica per la stima di ω_H simile al metodo delle costanti di tempo in cortocircuito usato per calcolare ω_L . Tuttavia, la frequenza di taglio superiore ω_H si trova determinando le costanti di tempo a circuito aperto (OCTC) associate alle diverse capacità del dispositivo anziché determinare le costanti di tempo in cortocircuito associate ai condensatori di bypass e di ac-



(a)



(b)

Figura 17.36

(a) Amplificatore a source comune. (b) Modello per piccolo segnale in alta frequenza.

coppiamento. Alle alte frequenze l'impedenza dei condensatori di accoppiamento e di bypass è trascurabile, ed essi rappresentano effettivamente dei cortocircuiti. L'impedenza delle capacità del dispositivo è diventata sufficientemente piccola da non poter più essere trascurata rispetto alle resistenze interne dei transistori. Vedremo che l'approssimazione della capacità totale C_T ricavata direttamente nel Paragrafo 17.6.2 [Equazione (17.86)] può essere ritrovata utilizzando il metodo OCTC.

Per trovare la frequenza di taglio superiore bisogna considerare solo i condensatori e le capacità che agiscono ad alta frequenza (parte destra della Figura 17.5). Per identificare rapidamente questi condensatori e capacità bisogna immaginare di cortocircuitarne uno per volta e osservare il cambiamento del guadagno. Se il guadagno diminuisce il condensatore lavora in alta frequenza e deve essere considerato. Se invece cortocircuitando un condensatore il guadagno non diminuisce o addirittura aumenta, il condensatore non è da considerare nel calcolo delle costanti di tempo di circuito aperto (o valore zero). Da notare che i condensatori messi sul ramo di retroazione (per esempio Figura 10.32) entrano nel calcolo di f_H e stabiliscono la frequenza di taglio superiore.

Benché esuli dalle finalità di questo libro, si può dimostrare che una stima di ω_H per un circuito con m capacità è

$$\omega_H \approx \frac{1}{\sum_{i=1}^m R_{io} C_i} \quad (17.99)$$

dove R_{io} rappresenta la resistenza misurata ai capi della capacità C_i sostituendo le altre capacità con circuiti aperti. Poiché abbiamo già i risultati degli stadi a emettitore comune, applichiamo il metodo al circuito equivalente in alta frequenza dell'amplificatore C-E in Figura 17.35.

Siccome nella Figura 17.35(c) sono presenti tre condensatori, C_π , C_μ e C_L , per valutare l'Equazione (17.99) sarà necessario determinare tre resistenze, $R_{\pi o}$, $R_{\mu o}$ e $R_{L o}$. $R_{\pi o}$ può essere ricavata facilmente dal circuito riportato nella Figura 17.37, in cui C_μ e C_L sono state rimpiazzate da circuiti aperti, per cui

$$R_{\pi o} = r_{\pi o} \quad (17.100)$$

$R_{L o}$ si può ricavare dalla Figura 17.38. Non scorrendo corrente in $r_{\pi o}$, il prodotto $g_m v$ è nullo per cui

$$R_{L o} = R_L \quad (17.101)$$

La resistenza $R_{\mu o}$ si può determinare dal circuito di Figura 17.39, dove C_π è sostituita da un circuito aperto. In questo caso è necessaria un'analisi più laboriosa. Un generatore di prova i_x viene applicato alla rete di Figura 17.39(b) e la tensione v_x viene determinata applicando il secondo principio di Kirchhoff:

$$v_x = i_x r_{\pi o} + i_L R_L = i_x r_{\pi o} + (i_x + g_m v) R_L \quad (17.102)$$

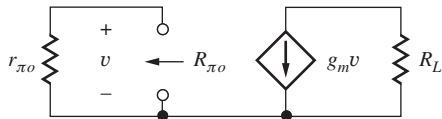


Figura 17.37 Circuito per il calcolo della resistenza $R_{\pi o}$.

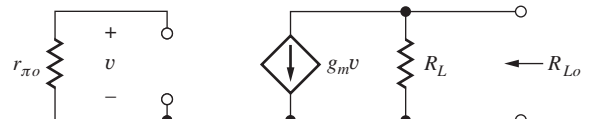
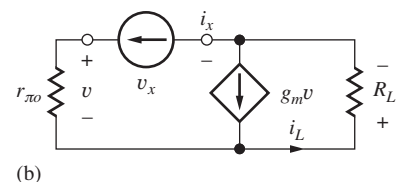
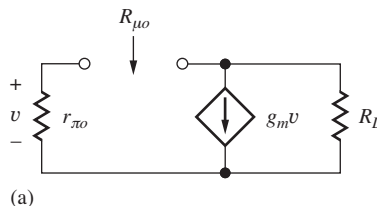


Figura 17.38 Circuito per il calcolo della resistenza $R_{L o}$.

Figura 17.39

(a) Circuito per il calcolo della resistenza $R_{\mu o}$.
(b) Applicazione del generatore di prova.



Poiché la tensione v è pari a $i_X r_{\pi o}$, sostituendo questo risultato nell'Equazione (17.102) si ottiene:

$$R_{\mu o} = \frac{v_X}{i_X} = r_{\pi o} + (1 + g_m r_{\pi o}) R_L = r_{\pi o} \left[1 + g_m R_L + \frac{R_L}{r_{\pi o}} \right] \quad (17.103)$$

Sostituendo le Equazioni (17.100), (17.101) e (17.103) nella (17.99) si ottiene la stima di ω_H :

$$\omega_H \approx \frac{1}{R_{\pi o} C_{\pi} + R_{\mu o} C_{\mu} + R_{L o} C_L} = \frac{1}{r_{\pi o} C_{\pi} + r_{\pi o} C_{\mu} \left(1 + g_m R_L + \frac{R_L}{r_{\pi o}} \right) + R_L C_L} = \frac{1}{r_{\pi o} C_T} \quad (17.104)$$

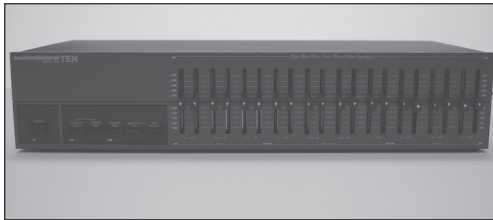
Questo risultato, sebbene ottenuto con un procedimento molto più semplice, coincide con quello espresso dalle Equazioni (17.94) con $C_L = 0$ (si ricordi tuttavia che questo metodo non fornisce una stima del secondo polo e degli zeri della rete).



ELETRONICA IN AZIONE

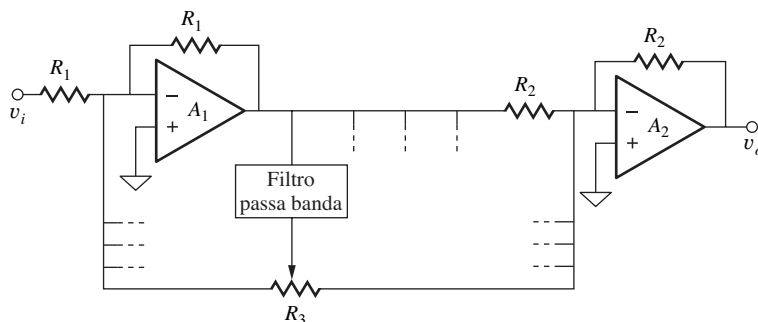
Equalizzatore grafico

Gli equalizzatori grafici sono utilizzati per la regolazione fine della risposta in frequenza di un apparato audio. L'equalizzatore è utilizzato per compensare l'assorbimento dipendente dalla frequenza delle pareti di una stanza, le registrazioni di cattiva qualità o anche solo per soddisfare le preferenze dell'ascoltatore. La figura di seguito mostra un esempio di equalizzatore. Si tratta dell'equalizzatore analogico Ten/Serie 2 prodotto dalla Audio Control nel



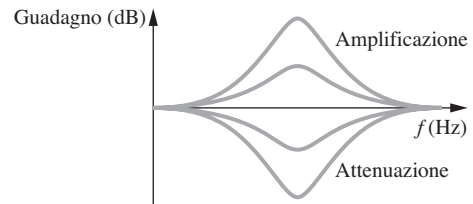
Equalizzatore Audio Control/Ten Serie 2.
[© McGraw-Hill Education/Mark Dierker, fotografo.]

Di seguito è riportato un semplice schema di equalizzatore grafico. Il circuito include due amplificatori sommatore e una serie di filtri passa-banda. I filtri passa-banda consentono la selezione delle bande. Il resistore R_3 divide in due il segnale di uscita dei filtri.



Tipico circuito di un equalizzatore grafico.²

1983, che presenta unadistorsione armonica totale appena dello 0.005%, pesa 2 kg e, quando era ancora in produzione, costava circa 300 €. Presenta un insieme di comandi a scorrimento che possono aumentare o diminuire i livelli per diverse sotto-bande di frequenza all'interno della banda audio. Il termine "grafico" è dovuto al fatto che la posizione fisica dei comandi rappresenta la posizione delle sotto-bande su cui opera all'interno della banda audio.



Tipico andamento della risposta nella singola sotto-banda per differenti regolazioni.

Il segnale applicato all'ingresso di A_1 produce un'attenuazione nella banda, mentre il segnale applicato all'ingresso di A_2 produce un'amplificazione nella banda.

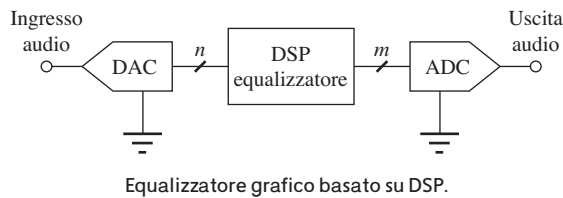
² D.A. Bohn, "Constant-Q graphic equalizers", J. Audio Eng. Soc., vol. 34, no. 9, settembre 1986.

Se il potenziometro R_3 è regolato nel punto centrale, vi è bilanciamento perfetto e nulla viene aggiunto o sottratto all'uscita. I comandi a scorrimento nella foto dell'equalizzatore corrispondono al resistore R_3 .

Dalla metà degli anni '70 gli equalizzatori grafici si sono enormemente ridotti in dimensioni, e fino a pochi anni fa funzionavano in maniera simile a quello descritto precedentemente.

Tuttavia, con l'avvento dei convertitori A/D di alta precisione e basso costo e dei processori digitali di segnale (DSP) ad alte prestazioni e basso costo, l'equalizzatore grafico si è spostato nel mondo digitale. Oggi sono disponibili equalizzatori grafici

di eccellente accuratezza e controllabilità basati su DSP. Questa nuova classe di equalizzatori è costituita da un convertitore A/D, seguito da un DSP, e da un convertitore digitale-analogico (D/A) all'uscita per tornare nel mondo analogico. Il DSP consente al progettista di generare funzioni di trasferimento complesse che tengono conto di non idealità quali l'interazione tra i canali. Gli equalizzatori a DSP sono, per esempio, normalmente presenti nei lettori MP3. Con l'avanzare della tecnologia dei circuiti integrati, è sempre importante riconsiderare il giusto confine tra il trattamento del segnale per via analogica o per via digitale.



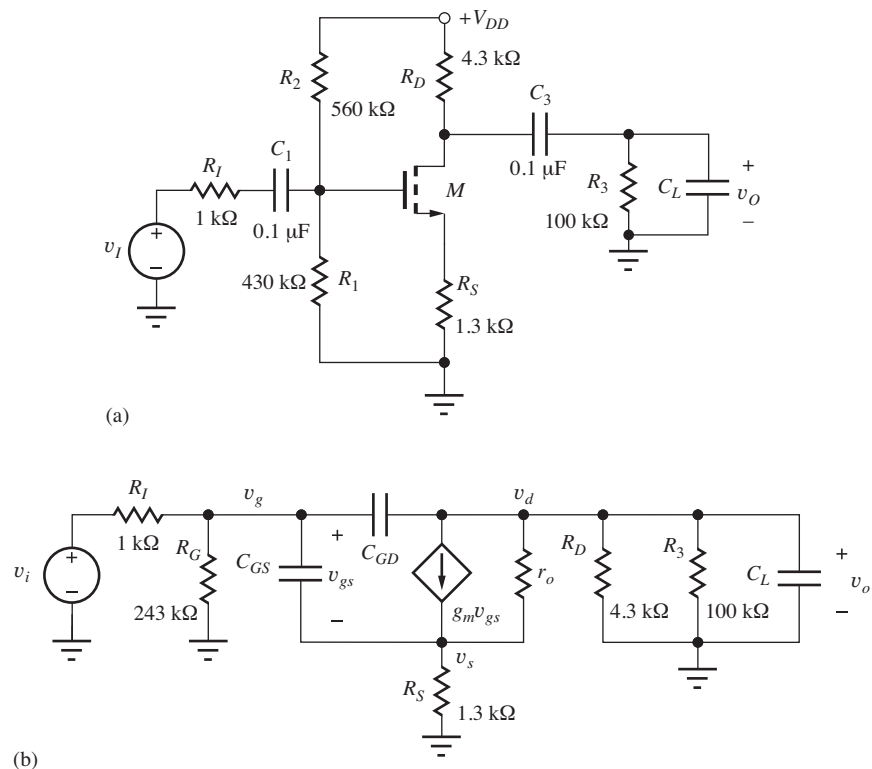
17.6.7 Amplificatore a source comune con resistenza di source

La Figura 17.40(a) mostra un amplificatore a source comune con una resistenza R_S sul source non cortocircuitata. La Figura 17.40(b) mostra il circuito equivalente per piccolo segnale. Troveremo la capacità equivalente di ingresso e la resistenza con lo stesso procedimento usato nel caso dell'emettitore comune. Per prima cosa viene calcolato il guadagno di centro banda. L'espressione del guadagno è simile a quella dell'emettitore comune, ma r_π non è inclusa perché l'impedenza guardando nel gate è infinita:

$$A_i = \frac{v_g}{v_i} = \frac{R_G}{R_I + R_G} = \frac{R_1 \parallel R_2}{R_I + (R_1 \parallel R_2)} \quad (17.105)$$

Figura 17.40

(a) Amplificatore a source comune con resistenza di source non cortocircuitata.
(b) Circuito equivalente per piccolo segnale.



Il guadagno ai terminali dell'amplificatore a source comune è:

$$A_{gd} = \frac{v_d}{v_g} = \frac{-g_m R_L}{1 + g_m R_S} = \frac{-g_m (R_{iD} \| R_D \| R_3)}{1 + g_m R_S} \approx \frac{-g_m (R_D \| R_3)}{1 + g_m R_S} \quad (17.106)$$

dove:

$$R_{iD} = r_o (1 + g_m R_S) \quad (17.107)$$

Come visto nell'Equazione (17.107), R_{iD} è tipicamente piuttosto elevata e può essere trascurata, mentre $R_L \approx R_D \| R_3$. Usiamo ancora l'effetto Miller per calcolare la costante di tempo in ingresso in alta frequenza:

$$\begin{aligned} C_{eqG} &= C_{GD}(1 - A_{gd}) + C_{GS}(1 - A_{gs}) \\ &= C_{GD} \left(1 - \frac{-g_m R_L}{1 + g_m R_S} \right) + C_{GS} \left(1 - \frac{g_m R_S}{1 + g_m R_S} \right) \\ &= C_{GD} \left(1 + \frac{g_m (R_D \| R_3)}{1 + g_m R_S} \right) + \frac{C_{GS}}{1 + g_m R_S} \end{aligned} \quad (17.108)$$

Si noti che abbiamo usato l'espressione del guadagno dell'amplificatore a drain comune per calcolare la moltiplicazione di Miller di C_{GS} . A differenza dell'effetto Miller applicato a C_{GD} , la capacità equivalente di C_{GS} viene ridotta poiché A_{gs} sarà sempre positivo e inferiore all'unità. La resistenza sul source ha anche l'effetto di ridurre l'influenza di C_{GD} , poiché il guadagno tra gate e drain è stato ridotto del fattore $(1 + g_m R_S)$. La resistenza equivalente per piccolo segnale tra gate e riferimento di tensione è:

$$R_{eqG} = R_G \| R_I = R_{th} \quad (17.109)$$

La capacità equivalente e la resistenza all'uscita sono simili a quelle dell'emettitore comune:

$$R_{eqD} = R_{iD} \| R_D \| R_3 \approx R_D \| R_3 \quad \text{e} \quad C_{eqD} = C_{GD} + C_L \quad (17.110)$$

Combinando questi risultati e utilizzando l'Equazione (17.98), si trova la seguente forma generale per i poli e lo zero nel semipiano destro:

$$\omega_{p1} = \frac{1}{R_{th} \left[\frac{C_{GS}}{1 + g_m R_S} + C_{GD} \left(1 + \frac{g_m R_L}{1 + g_m R_S} \right) + \frac{R_L}{R_{th}} (C_{GD} + C_L) \right]} \quad (17.111)$$

$$\omega_{p2} = \frac{g_m}{(1 + g_m R_S)(C_{GS} + C_L)} \quad (17.112)$$

$$\omega_z = \frac{+g_m}{(1 + g_m R_S)(C_{GD})} \quad (17.113)$$

Si noti che, come indicato dalle Equazioni (17.106) e (17.111), se il guadagno diminuisce si allarga la banda e viceversa. Il termine $(1 + g_m R_S)$ provoca la riduzione del guadagno e l'incremento della frequenza del polo dominante ω_{p1} . Abbiamo già visto che la stessa cosa accade negli amplificatori operazionali. Poiché guadagno e banda sono influenzati inversamente dal fattore $(1 + g_m R_S)$, il prodotto guadagno-banda si mantiene relativamente costante in modo simile a quanto visto nello studio delle caratteristiche guadagno-banda degli amplificatori basati su operazionali.

Le equazioni del secondo polo e dello zero sono modificate per tener conto della degenerazione della g_m equivalente dovuta alla resistenza di source. Si noti che, benché la frequenza del polo dominante si incrementa, le frequenze del secondo polo e dello zero diminuiscono. Aumentando il guadagno dello stadio si produce un aumento della separazione in frequenza tra ω_{p1} e ω_{p2} . Questo fenomeno è noto come "allontanamento dei poli" (**pole splitting**). La riduzione di guadagno avvicina invece le frequenze dei poli, e ciò può compromettere il margine di fase negli amplificatori retroazionati.

Se la resistenza di source per piccolo segnale R_S viene azzerata, le equazioni dei poli dell'amplificatore a source comune si riducono alla forma più semplice trovata precedentemente. In modo simile, se una resistenza di emettitore non cortocircuitata viene inclusa nell'amplificatore a emettitore comune, le equazioni dei poli si modificano come quelle del source comune che abbiamo appena analizzato.

17.6.8 Poli dell'emettitore comune con resistenza sull'emettitore

Le equazioni per l'emettitore comune con resistenza sull'emettitore si modificano in maniera simile a quelle del source comune. Nella Figura 17.41 una porzione R_E della resistenza di emettitore non è cortocircuitata, e il guadagno dello stadio di ingresso A_i si modifica a causa dell'incremento dell'impedenza vista guardando nella base:

$$A_i = \frac{v_b}{v_i} = \frac{(R_B \parallel R_{iB})}{R_I + (R_B \parallel R_{iB})} \frac{r_\pi + (\beta + 1)R_E}{r_x + r_\pi + (\beta + 1)R_E} \approx \frac{R_B \parallel R_{iB}}{R_I + R_B \parallel R_{iB}} \quad (17.114)$$

Ricordando l'impedenza vista guardando nella base:

$$R_{iB} = r_x + r_\pi + (\beta + 1)R_E \quad (17.115)$$

Il guadagno ai terminali dell'emettitore comune con resistenza di emettitore è:

$$A_{bc} = \frac{v_c}{v_b} \approx \frac{-g_m(R_C \parallel R_3)}{1 + g_m R_E} \approx \frac{-g_m R_L}{1 + g_m R_E} \quad (17.116)$$

Includendo l'effetto della resistenza R_E , le equazioni dei poli e degli zeri si modificano come segue:

$$\omega_{p1} = \frac{1}{r_{\pi o} C_T} = \frac{1}{r_{\pi o} \left(\left[\frac{C_\pi}{1 + g_m R_E} + C_\mu \left(1 + \frac{g_m R_L}{1 + g_m R_E} \right) \right] + \frac{R_L}{r_{\pi o}} [C_\mu + C_L] \right)} \quad (17.117)$$

dove

$$r_{\pi o} = R_{eqB} = (R_{th} + r_x) \parallel [r_\pi + (\beta + 1)R_E] \quad \text{con } R_{th} = R_B \parallel R_I \quad (17.118)$$

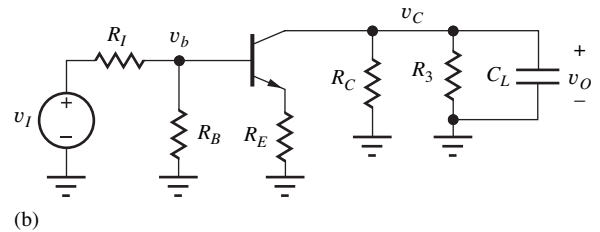
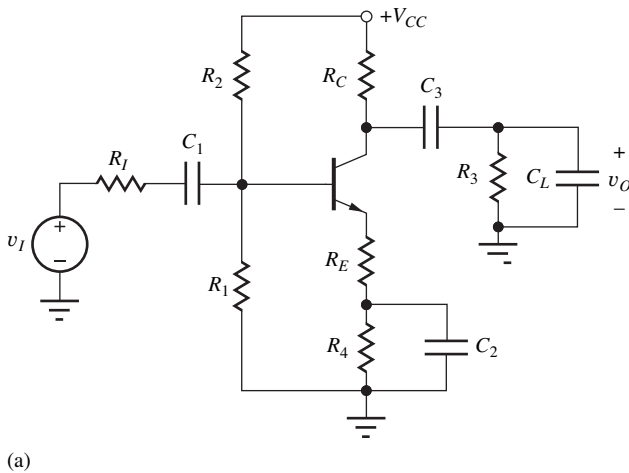
$$\omega_{p2} \approx \frac{g_m}{(1 + g_m R_E)(C_\pi + C_L)} \quad (17.119)$$

$$\omega_z = \frac{+g_m}{(1 + g_m R_E)(C_\mu)} \quad (17.120)$$

Figura 17.41

(a) Amplificatore a emettitore comune con resistenza di emettitore R_E non cortocircuitata. (b) Circuito equivalente AC ad alta frequenza.

Come nel caso del source comune, la resistenza sull'emettitore produce una riduzione del guadagno e un aumento della frequenza del polo dominante. L'amplificatore consente quindi di aumentare il guadagno a spese della banda e viceversa, mantenendo costante il prodotto guadagno-banda.



Esempio 17.7

AMPLIFICATORE C-E CON RESISTORE SULL'EMETTITORE

In questo esempio esploreremo il comportamento del guadagno e della banda a seguito dell'inserimento di un resistore sull'emettitore nell'amplificatore a emettitore comune dell'Esempio 17.6.

Si trovino il guadagno a centro banda, f_H e il prodotto guadagno-larghezza di banda dell'amplificatore a emettitore comune di Figura 17.34 se una porzione pari a $300\ \Omega$ della resistenza di emettitore non è cortocircuitata. Si assuma $\beta_o = 100$, $f_T = 500\text{ MHz}$, $C_\mu = 0.5\text{ pF}$, $r_x = 250\ \Omega$ e il punto di lavoro = (1.6 mA, 3.0 V).

PROBLEMA

Informazioni e dati noti: Amplificatore in Figura 17.34; $\beta_o = 100$, $f_T = 500\text{ MHz}$, $C_\mu = 0.5\text{ pF}$, $r_x = 250\ \Omega$ e il punto di lavoro = (1.6 mA, 3.0 V).

SOLUZIONE

Incognite: A_{mid} , f_H e GBW.

Approccio: Si trovino A_{mid} e f_H usando le Equazioni da (17.114) a (17.118).
GBW = $A_{\text{mid}} \times f_H$.

Ipotesi: $V_T = 25.0\text{ mV}$; condizioni di piccolo segnale in zona attiva.

Analisi: Usando i valori ottenuti dall'analisi della Figura 17.34 con $g_m = I_C/V_T = 64\text{ mS}$:

$$r_\pi = \frac{\beta_o}{g_m} = \frac{100}{64\text{ mS}} = 1.56\text{ k}\Omega \quad R_{\text{th}} + r_x = 882\ \Omega + 250\ \Omega = 1130\ \Omega$$

$$R_{iB} = r_x + r_\pi + (\beta_o + 1)R_E = 250\ \Omega + 1560\ \Omega + (101)300\ \Omega = 32.1\text{ k}\Omega$$

$$r_{\pi o} = R_{iB} \parallel (R_{\text{th}} + r_x) = 1.09\text{ k}\Omega \quad 1 + g_m R_E = 1 + (64\text{ mS})(300\ \Omega) = 20.2$$

$$\omega_H \approx \frac{1}{r_{\pi o} \left[\frac{C_\pi}{1 + g_m R_E} + C_\mu \left(1 + \frac{g_m R_L}{1 + g_m R_E} + \frac{R_L}{r_{\pi o}} \right) \right]}$$

$$\approx \frac{1}{1090\ \Omega \left[\frac{19.9\text{ pF}}{20.2} + 0.5\text{ pF} \left(1 + \frac{264}{20.2} + \frac{4120\ \Omega}{1090\ \Omega} \right) \right]}$$

$$f_H \approx \frac{1}{2\pi} \frac{1}{1090\ \Omega (9.91\text{ pF})} = 14.7\text{ MHz}$$

$$A_i = \frac{R_1 \parallel R_2 \parallel R_{iB}}{R_1 + R_1 \parallel R_2 \parallel R_{iB}} = \frac{10\text{ k}\Omega \parallel 30\text{ k}\Omega \parallel 32.1\text{ k}\Omega}{1\text{ k}\Omega + 10\text{ k}\Omega \parallel 30\text{ k}\Omega \parallel 32.1\text{ k}\Omega} = 0.859$$

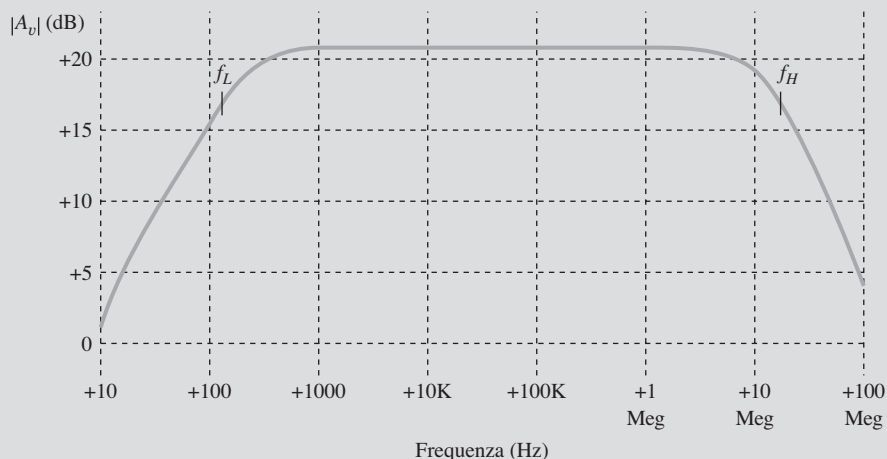
$$A_{bc} = -\frac{g_m R_L}{1 + g_m R_E} = -\frac{64\text{ mS} \times 4120\ \Omega}{1 + 64\text{ mS} \times 300\ \Omega} = -13.0 \quad \text{oppure} \quad 22.3\text{ dB}$$

$$A_{\text{mid}} = A_i A_{bc} = 0.859(-13.0) = -11.2 \quad \text{GBW} = 11.2 \times 14.7\text{ MHz} = 165\text{ MHz}$$

Verifica dei risultati: Una stima veloce di A_{mid} è $-R_L/R_E = -13.7$ e i calcoli forniscono un valore leggermente inferiore, cosa che appare corretta. Il prodotto GBW è 165 MHz, cioè circa 1/3 di f_T , che è un risultato ragionevole.

Discussione: Si ricordi che per lo stadio C-E originario risultava $A_{\text{mid}} = -153$ e $f_H = 1.56\text{ MHz}$ per GBW = 239 MHz. Con $R_E = 300\ \Omega$ il guadagno si è ridotto di un fattore 14 e la banda è aumentata di un fattore 9.8. La riduzione di guadagno non è tuttavia esattamente proporzionale all'aumento di banda, poiché la resistenza effettiva nella costante di tempo passa solo da $882\ \Omega$ a $1130\ \Omega$ e il termine $R_L C_\mu$ non è ridotto secondo il fattore $(1 + g_m R_E)$.

Analisi assistita da calcolatore: Possiamo usare SPICE per verificare i calcoli manuali, ma dobbiamo prima definire i parametri del dispositivo. La resistenza di base, la capacità base-collettore e il tempo di transito diretto sono stati calcolati nell'Esempio 17.6. Aggiungendo questi valori al modello ed eseguendo un'analisi AC con FSTART = 100 e FSTOP = 100MEG con 20 punti per decade, si ottiene il grafico mostrato di seguito, dal quale si trova $A_{\text{mid}} = -11.0$ e $f_H = 15.0\text{ MHz}$, in accordo con i calcoli manuali. Si noti che la frequenza di taglio inferiore è ora 158 Hz. La simulazione ha fatto uso, per la bassa frequenza, di questi valori: $C_1 = C_3 = 3.9\ \mu\text{F}$ e $C_2 = 82\text{ nF}$.



ESERCIZIO Si usi SPICE per ricalcolare f_H con $V_A = 75$ V. Come cambia f_H per $V_A = 75$ V e $r_x = 0$?

RISPOSTE 14.8 MHz; 17.8 MHz.

ESERCIZIO Si usino le formule per ricalcolare il guadagno a centro banda, f_H e GBW se la porzione non cortocircuitata del resistore sull'emettitore è ridotta a 100 Ω .

RISPOSTE -29; 6.7 MHz; 194 MHz.

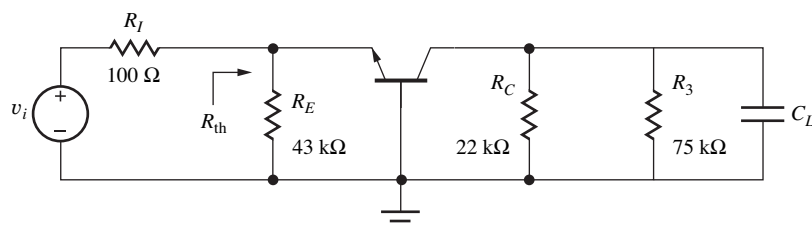
17.7 Risposta in alta frequenza degli amplificatori a base comune e a gate comune

Analizziamo la risposta in alta frequenza degli altri amplificatori a singolo stadio mediante l'approccio utilizzato nel paragrafo precedente. A ogni nodo lungo il percorso del segnale determiniamo una resistenza e una capacità equivalenti verso il potenziale di riferimento per piccolo segnale.

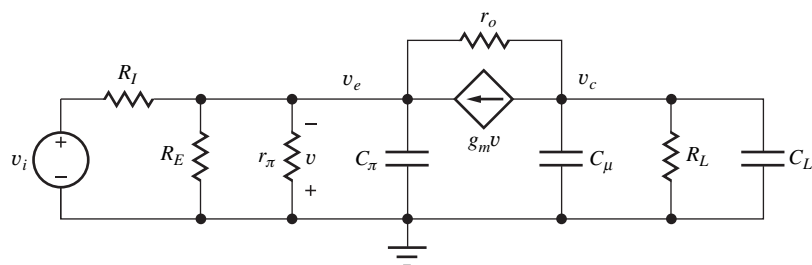
La rete RC risultante fornisce il polo ad alta frequenza. Applichiamo questo approccio all'amplificatore a base comune mostrato in Figura 17.42(a). Il circuito equivalente AC è mostrato nella Figura 17.42(b). La resistenza di base r_x è stata trascurata per semplificare l'analisi, così come la resistenza di uscita r_o .

Figura 17.42

Circuito equivalente AC in alta frequenza per l'amplificatore a base comune. (b) Modello per piccolo segnale per l'amplificatore a base comune.



(a)



(b)

Il guadagno del circuito a base comune è:

$$A_i = \frac{v_e}{v_i} = \frac{R_{in}}{R_I + R_{in}} = \frac{R_E \parallel R_{iE}}{R_I + R_E \parallel R_{iE}} \quad (17.121)$$

dove $R_{iE} = \frac{r_\pi}{\beta_o + 1} \approx \frac{1}{g_m}$ (per includere l'effetto di r_x possiamo inglobarlo in r_π). Dato che $R_{iE} \approx 1/g_m$ e se $1/g_m \ll R_E$, il guadagno diventa:

$$A_i \approx \frac{1}{1 + g_m R_I} \quad (17.122)$$

Il guadagno ai terminali dell'amplificatore a base comune è:

$$A_{ec} = \frac{v_c}{v_e} = g_m(R_{iC} \parallel R_L) \approx +g_m R_L \quad (17.123)$$

dove

$$R_{iC} = r_o[1 + g_m(r_\pi \parallel R_{th})] \quad \text{dove} \quad R_{th} = R_E \parallel R_I \quad (17.124)$$

L'espressione di R_{iC} corrisponde a quella dell'Equazione (14.90). Di nuovo, R_{iC} è tipicamente molto maggiore delle altre resistenze sul collettore e può essere trascurata. La capacità equivalente all'ingresso è:

$$C_{eqE} = C_\pi \quad (17.125)$$

Bisogna anche aggiungere a C_π una capacità di uscita. Per calcolare la resistenza equivalente al nodo di emettitore ricordiamo che, a causa del generatore dipendente, la resistenza vista nell'emettitore è $R_{iE} \approx 1/g_m$. Per il circuito in Figura 17.42,

$$R_{eqE} = \frac{1}{g_m} \parallel R_E \parallel R_I \quad (17.126)$$

All'uscita la capacità e la resistenza equivalenti sono:

$$C_{eqC} = C_\mu + C_L \quad \text{e} \quad R_{eqC} = R_{iC} \parallel R_L \approx R_L \quad (17.127)$$

Poiché l'ingresso e l'uscita sono ben disaccoppiati, si trova che i due poli dell'amplificatore a base comune sono:

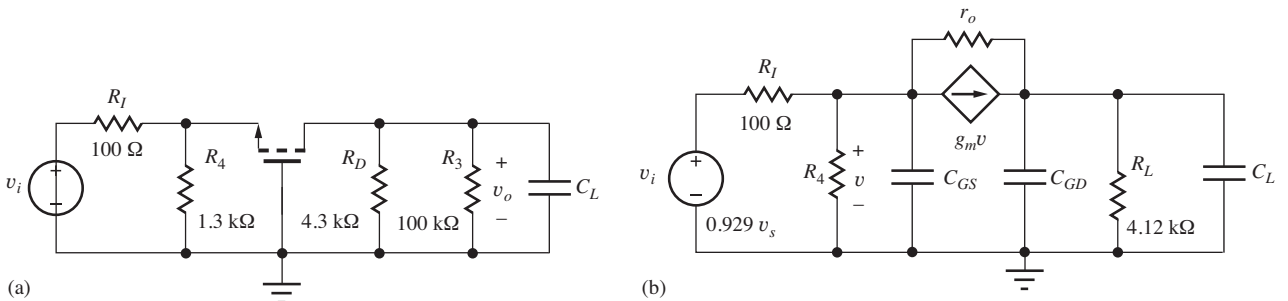
$$\omega_{p1} = \frac{1}{\left(\frac{1}{g_m} \parallel R_E \parallel R_I\right) C_\pi} \approx \frac{g_m}{C_\pi} \quad (17.128)$$

$$\omega_{p2} = \frac{1}{(R_{out} \parallel R_L)(C_\mu + C_L)} \approx \frac{1}{R_L(C_\mu + C_L)} \quad (17.129)$$

Bisogna notare che il polo di ingresso di questo stadio non presenta moltiplicazione di Miller e la sua resistenza equivalente è dominata dal termine $1/g_m$, che è tipicamente piccolo. Ciò implica che il polo di ingresso dell'amplificatore a base comune si trova a frequenza molto elevata, superiore a f_T . La banda dello stadio è dominata dalla resistenza e dalla capacità di carico, modellate attraverso ω_{p2} .

Figura 17.43

(a) Circuito equivalente AC in alta frequenza per l'amplificatore a gate comune.
(b) Modello per piccolo segnale corrispondente.



ESERCIZIO Si trovi il guadagno di centro banda e f_H usando l'Equazione (17.129) per l'amplificatore a base comune di Figura 17.42 se il transistor presenta $\beta_o = 100$, $f_T = 500$ MHz, $r_x = 250 \Omega$, $C_\mu = 0.5$ pF e il punto di lavoro in (0.1 mA, 3.5 V). Quanto valgono il prodotto guadagno-banda e f_T ?

RISPOSTE +48.0; 18.7 MHz; 903 MHz.

Le Figure 17.43(a) e (b) rappresentano rispettivamente il circuito AC ad alta frequenza e il circuito equivalente per piccolo segnale dell'amplificatore a gate comune. L'analisi della risposta del gate comune è simile a quella del base comune sostituendo R_E , C_π e C_μ con R_4 , C_{GS} e C_{GD} e con $r_g = 0$:

$$\omega_{P1} = \frac{1}{\left(\frac{1}{g_m} \parallel R_4 \parallel R_I\right) C_{GS}} \approx \frac{g_m}{C_{GS}} \quad (17.130)$$

$$\omega_{P2} = \frac{1}{[R_{out} \parallel R_L][C_{GD} + C_L]} \approx \frac{1}{R_L[C_{GD} + C_L]} \quad (17.131)$$

ESERCIZIO Si trovino il guadagno di centro banda e f_H per l'amplificatore a gate comune in Figura 17.43 se il transistor presenta $C_{GS} = 10$ pF, $C_{GD} = 1$ pF, $g_m = 3$ mS e $C_L = 3$ pF. Quanto valgono il prodotto banda-guadagno e f_T ?

RISPOSTE + 8.98, 9.65 MHz; 86.7 MHz; 43.4 MHz.

17.8 Risposta in alta frequenza degli amplificatori a collettore comune e a drain comune

La risposta in alta frequenza degli amplificatori a collettore comune e a drain comune si trova in maniera simile agli altri amplificatori a singolo stadio. La Figura 17.44 illustra un tipico amplificatore a collettore comune e i suoi modelli equivalenti per piccolo segnale (si noti che r_o è inclusa in R_L).

Il guadagno di ingresso a centro banda è molto simile a quello dell'emettitore comune:

$$A_i = \frac{v_b}{v_i} = \frac{R_{in}}{R_I + R_{in}} = \frac{R_B \parallel R_{iB}}{R_I + R_B \parallel R_{iB}} = \frac{R_B \parallel [r_x + r_\pi + (\beta_o + 1)R_L]}{R_I + R_B \parallel [r_x + r_\pi + (\beta_o + 1)R_L]} \quad (17.132)$$

Il guadagno tra base ed emettitore è invece:

$$A_{be} = \frac{v_e}{v_b} = \frac{g_m R_L}{1 + g_m R_L} \quad (17.133)$$

Stima del polo - ω_{P1}

Per calcolare i poli ad alta frequenza valutiamo prima la resistenza equivalente per piccolo segnale verso ground, R_{eqB} , al nodo v_b :

$$R_{eqB} = [(R_I \parallel R_B) + r_x] \parallel [r_\pi + (\beta_o + 1)R_L] = (R_{th} + r_x) \parallel [r_\pi + (\beta_o + 1)R_L] \quad (17.134)$$

La capacità equivalente si trova mediante la moltiplicazione di Miller:

$$\begin{aligned} C_{eqB} &= C_\mu(1 - A_{be}) + C_\pi(1 - A_{be}) = C_\mu(1 - 0) + C_\pi\left(1 - \frac{g_m R_L}{1 + g_m R_L}\right) \\ &= C_\mu + \frac{C_\pi}{1 + g_m R_L} \end{aligned} \quad (17.135)$$

Si noti che la capacità C_μ è collegata fra base e ground quindi non subisce effetto Miller. Inoltre il guadagno dello stadio circa unitario riduce in modo sostanziale l'effetto della capacità C_π .

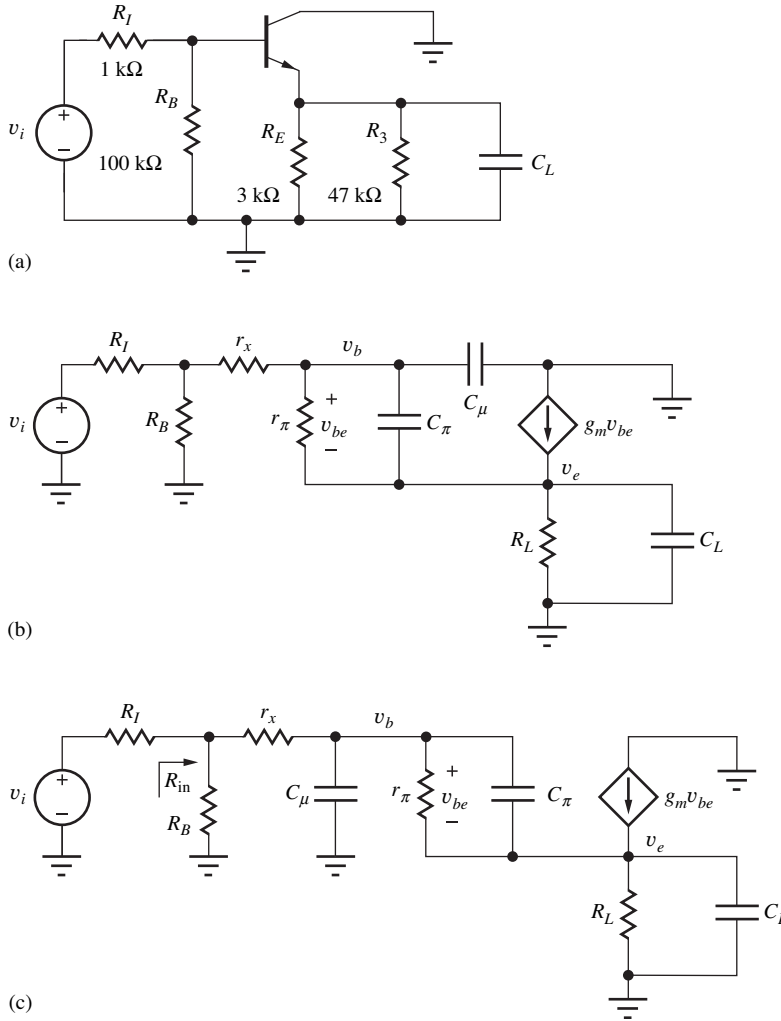


Figura 17.44

(a) Amplificatore a collettore comune. (b) Circuito equivalente per piccolo segnale. (c) Circuito equivalente per piccolo segnale semplificato per il calcolo dei poli di ingresso e di uscita ad alta frequenza. Si noti che $R_L = R_E \parallel R_3 \parallel r_o$.

Stima del polo - ω_{p2}

La resistenza equivalente per piccolo segnale sull'emettitore è

$$R_{eqE} = R_{iE} \parallel R_L = \left(\frac{r_\pi + R_{th} + r_x}{\beta_o + 1} \right) \parallel R_L \approx \frac{1}{g_m} + \frac{R_{th} + r_x}{\beta_o + 1} \quad (17.136)$$

dove $R_{th} = R_B \parallel R_I$. La capacità equivalente è il parallelo della capacità di carico e la capacità tra base ed emettitore:

$$C_{eqE} = C_\pi + C_L \quad (17.137)$$

A causa della bassa impedenza all'uscita, le costanti di tempo all'ingresso e all'uscita sono relativamente ben disaccoppiate, dando luogo a due poli per l'amplificatore a collettore comune:

$$\omega_{p1} = \frac{1}{([R_{th} + r_x] \parallel [r_\pi + (\beta_o + 1)R_L]) \left(C_\mu + \frac{C_\pi}{1 + g_m R_L} \right)} \quad (17.138)$$

$$\omega_{p2} = \frac{1}{[R_{iE} \parallel R_L][C_\pi + C_L]} \approx \frac{1}{\left[\left(\frac{1}{g_m} + \frac{R_{th} + r_x}{\beta_o + 1} \right) \parallel R_L \right] [C_\pi + C_L]} \quad (17.139)$$

Si noti che il polo di uscita di questo stadio è dominato dal termine $1/g_m$, che è piuttosto piccolo. In conseguenza di ciò, il polo di uscita dello stadio a collettore comune si trova a frequenze molto elevate, verso f_T . La banda dello stadio è dominata da f_{p1} , il polo associato

all'ingresso. Ignoreremo quindi il polo ad alta frequenza sull'emettitore. Lo stadio a collettore comune presenta anche uno zero a causa del percorso attraverso C_π che, alle alte frequenze, connette ingresso e uscita:

$$\omega_z \approx \frac{g_m}{C_\pi} \quad (17.140)$$

Si noti che questo zero è collocato nel semipiano sinistro. Per basse capacità di carico, ω_z e ω_{p2} tendono a cancellarsi l'un l'altro, per cui bisogna includere gli effetti di ω_{p2} solo se si include anche ω_z .

ESERCIZIO Si trovino A_{mid} e f_H per l'amplificatore a collettore comune di Figura 17.44 se il punto di lavoro è (1.5 mA, 5 V), $\beta_o = 100$, $r_x = 150 \Omega$, $C_\mu = 0.5 \text{ pF}$, $f_T = 500 \text{ MHz}$.

RISPOSTE 0.980, 229 MHz.

Un insieme di equazioni simile si può trovare per l'amplificatore a collettore comune di Figura 17.45; apportando i cambiamenti dovuti alle differenti caratteristiche del modello per piccolo segnale del MOSFET si ha:

$$\omega_{p1} = \frac{1}{R_{GO} \left(C_{GD} + \frac{C_{GS}}{1 + g_m R_L} \right)} \quad R_{GO} = R_G \parallel R_I + r_g \quad (17.141)$$

$$\omega_{p2} = \frac{1}{[R_{IS} \parallel R_L][C_{GS} + C_L]} \approx \frac{1}{\left[\frac{1}{g_m} \parallel R_L \right] [C_{GS} + C_L]} \quad (17.142)$$

$$\omega_z \approx \frac{g_m}{C_{GS}} \quad (17.143)$$

Come per il collettore comune, la risposta in alta frequenza dell'amplificatore a drain comune è dominata dal polo di ingresso, f_{p1} , a causa della piccola impedenza, r_s , associata al polo di uscita e allo zero.

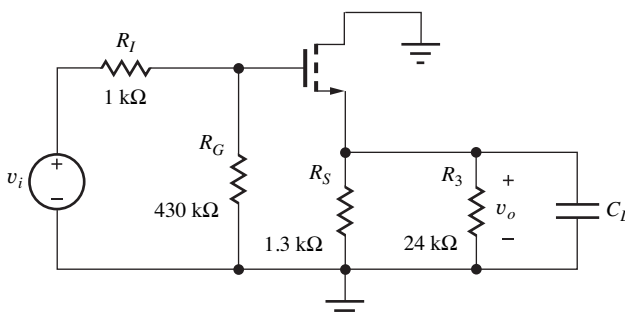
ESERCIZIO Si trovino A_{mid} e f_H per l'amplificatore a drain comune di Figura 17.45 se $r_g = 0$, $C_{GS} = 10 \text{ pF}$, $C_{GD} = 1 \text{ pF}$ e $g_m = 3 \text{ mS}$. Ripetere il calcolo con $r_g = 250 \Omega$.

RISPOSTE 0.785, 51.0 MHz; 0.785, 40.8 MHz.

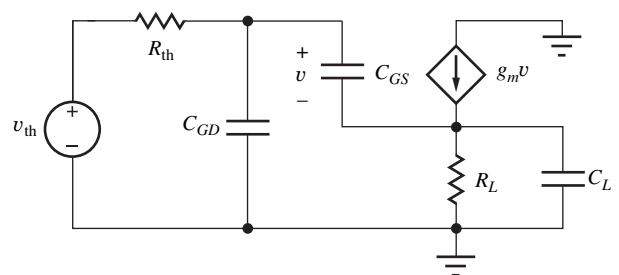
17.8.1 Risposta in frequenza dello stadio a simmetria complementare

Figura 17.45

(a) Circuito equivalente AC in alta frequenza per l'inseguitore di source.
(b) Modello a piccolo segnale corrispondente. Si noti che $R_L = R_S \parallel R_3 \parallel r_o$.



(a)



(b)

I risultati dello stadio a collettore comune del paragrafo precedente possono essere estesi anche allo stadio a emettitore comune a simmetria complementare. La Figura 17.46 mostra un tipico stadio di uscita a bipolari in classe AB. Se cerchiamo di calcolare in modo elementare la resistenza R_{in} ci troviamo in difficoltà: R_{inB1} dipende dall'impedenza vista dall'emettitore di Q_1 , che a sua volta dipende dall'impedenza vista dalla base di Q_2 , che è di nuovo il nodo di ingresso. Non possiamo applicare questo modo diretto di valutare l'impedenza.

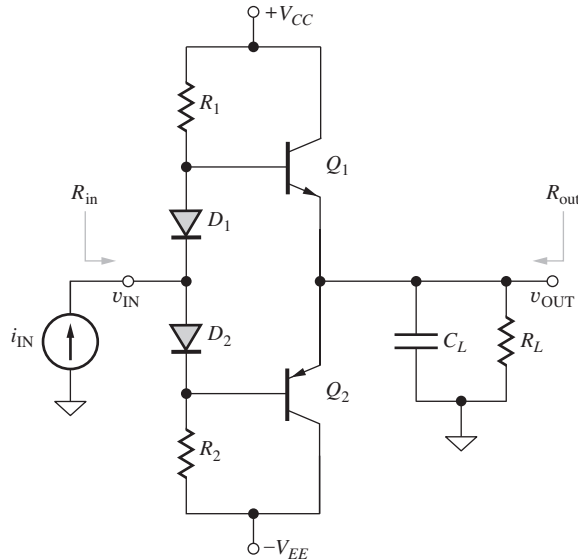


Figura 17.46
Stadio di uscita in classe AB a
simmetria complementare.

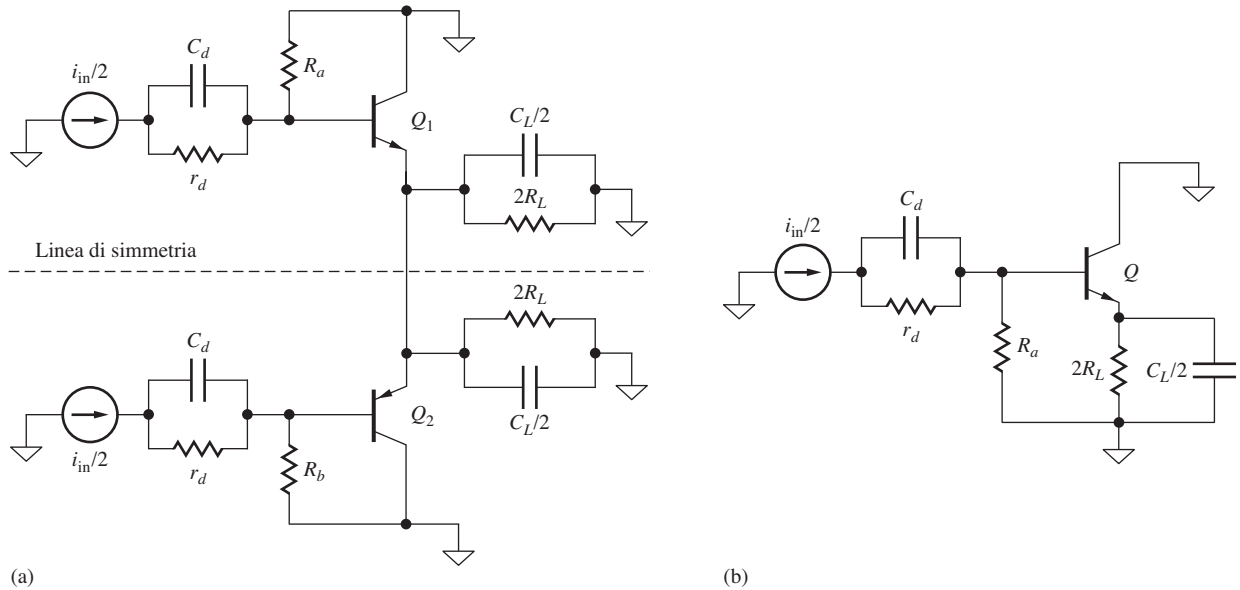
A prima vista verrebbe da dire che le due impedenze viste attraverso Q_1 e Q_2 siano in parallelo, dimezzando così l'impedenza rispetto al caso di singolo transistor. Invece succede che, in piccolo segnale intorno al punto di funzionamento, dato che Q_2 “aiuta” a fornire corrente al carico, Q_1 deve fornire meno corrente ed è quindi come se vedesse un'impedenza di carico di valore maggiore. In modo analogo, quando si guarda dentro la base di Q_2 , si ha che Q_1 sta aiutando Q_2 a fornire la corrente del carico e anche qui la corrente di base di Q_2 è minore e l'impedenza che si vede nella base di Q_2 aumenta rispetto al caso in cui fosse da solo. Questo effetto, che va anche sotto il nome di “*bootstrap*”, all'incirca raddoppia l'impedenza vista guardando in ciascuna delle due basi.

D'altra parte, per ampi segnali, Q_1 fornisce tutta la corrente uscente verso il carico mentre Q_2 è spento, invece quando la corrente è entrante nello stadio, Q_2 assorbe tutta la corrente mentre Q_1 è spento. Solo uno dei due transistori per volta è in conduzione, a seconda se la corrente sia erogata verso il carico o assorbita dal carico. Se il carico è resistivo, questo è equivalente a dire che Q_1 lavora quando la tensione di uscita è positiva, mentre Q_2 è in conduzione quando la tensione di uscita è negativa.

Quando il circuito è nel punto di polarizzazione e assumendo di avere transistori *nnp* e *pnp* con caratteristiche identiche, si può usare la simmetria introdotta nel Paragrafo 15.1.8 per analizzare la risposta in frequenza. In Figura 17.47(a) il circuito è stato ridisegnato mettendo in evidenza la simmetria che si ha per i piccoli segnali. La resistenza e la capacità di carico sono stati sdoppiati in due parti uguali in parallelo, e il circuito è pilotato in modo comune da due generatori di corrente uguali. Così facendo non c'è alcuna corrente che attraversa la linea di simmetria e le connessioni attraverso questa linea possono essere tagliate, senza modificare il comportamento in piccolo segnale AC del circuito.³ Il mezzo circuito per il solo modo comune di piccolo segnale AC è mostrato in Figura 17.47(b). Si osserva immediatamente che si tratta di uno stadio a collettore comune pilotato da una sorgente di corrente, e quindi si possono utilizzare i risultati delle Equazioni da (17.138) a (17.140) che caratterizzano la risposta in frequenza di questo circuito. Anche i valori di R_{in} e di R_{out} possono essere calcolati direttamente dal mezzo circuito di Figura 17.47(b).

Se i due transistori *nnp* e *pnp* non hanno le stesse caratteristiche (caso molto comune) il calcolo fatto non è più valido, ma si può ottenere un'approssimazione utile se si mediano i parametri dei due transistori.

³ Si osservi tuttavia che il circuito non è simmetrico per quanto riguarda le tensioni e correnti di polarizzazione.

**Figura 17.47**

(a) Circuito simmetrico in AC di modo comune. (b) Semicircuito di modo comune.

ESERCIZIO Disegnare il circuito simmetrico completo AC di piccolo segnale inserendo i modelli ad alta frequenza dei transistori e verificare che il modello che si ottiene è simmetrico.

ESERCIZIO Trovare R_{in} , R_{out} e f_{P1} per lo stadio di uscita complementare di Figura 17.46 con $R_1 = R_2 = 9.3 \text{ k}\Omega$, $V_{CC} = V_{EE} = 10 \text{ V}$, $\beta_o = 150$, $r_x = 0$, $R_L = 100 \Omega$, $C_\mu = 1.7 \text{ pF}$ e $C_\pi = 15.5 \text{ pF}$. Si assuma che la resistenza differenziale dei diodi sia nulla e che le caratteristiche DC dei diodi siano uguali a quelle dei rispettivi transistori e che quindi le correnti di diodi e transistori siano uguali.

RISPOSTE $3.66 \text{ k}\Omega$, 30.6Ω , 6.37 MHz .

ESERCIZIO Si usi SPICE per simulare il precedente esercizio. Si usi $\beta_F = 150$, $V_{AF} = 200 \text{ V}$, $I_S = 10 \text{ fA}$, $\tau_F = 390 \text{ ps}$, $C_{JC} = 4 \text{ pF}$. Al posto dei diodi D_1 e D_2 usare due transistori uguali a Q_1 e Q_2 connessi a diodo (collettore collegato alla base) in modo da polarizzare correttamente Q_1 e Q_2 con le stesse correnti dei "diodi".

RISPOSTE $3.7 \text{ k}\Omega$, 29.5Ω , 6.27 MHz .

17.9 Riepilogo della risposta in alta frequenza degli amplificatori a singolo stadio

La Tabella 17.2 raccoglie le espressioni dei poli dominanti delle tre classi di amplificatori a singolo stadio. Gli amplificatori invertenti presentano un elevato guadagno di tensione ma la banda passante è più stretta. Gli stadi non invertenti presentano una banda più larga con guadagni di tensione simili a quelli degli amplificatori invertenti. Si ricordi, tuttavia, che la resistenza di ingresso degli amplificatori non invertenti è relativamente bassa. Gli inseguitori offrono un guadagno unitario e una banda passante molto elevata.

A questo punto è anche importante notare che entrambi gli stadi C-E e C-B (o C-S e C-G) hanno una banda passante che è sempre inferiore a quella fissata dalla costante di tempo di R_L e $(C_\mu + C_L)$ (o $C_{GD} + C_L$ e R_L) al nodo di uscita:

$$\omega_H < \frac{1}{R_L(C_\mu + C_L)} \quad \text{o} \quad \omega_H < \frac{1}{R_L(C_{GD} + C_L)}$$

Tabella 17.2 Frequenze di taglio superiore per gli amplificatori a singolo stadio

	ω_H
Emettitore comune	$\frac{1}{r_{\pi o} C_T} = \frac{1}{r_{\pi o} \left[C_{\pi} + C_{\mu} (1 + g_m R_L) + (C_{\mu} + C_L) \frac{R_L}{r_{\pi o}} \right]}$ $r_{\pi o} = r_{\pi} \parallel [r_x + (R_I \parallel R_B)]$
Source comune	$\frac{1}{R_{th} C_T} = \frac{1}{R_{th} \left[C_{GS} + C_{GD} (1 + g_m R_L) + (C_{GD} + C_L) \frac{R_L}{R_{th}} \right]}$ $R_{th} = R_I \parallel R_G$
Emettitore comune con R_E	$\frac{1}{r_{\pi o} \left[\frac{C_{\pi}}{1 + g_m R_E} + C_{\mu} \left(1 + \frac{g_m R_L}{1 + g_m R_E} \right) + (C_{\mu} + C_L) \frac{R_L}{r_{\pi o}} \right]}$ $r_{\pi o} = r_{\pi} \parallel [r_x + (R_I \parallel R_B)]$
Source comune con R_S	$\frac{1}{R_{th} \left[\frac{C_{GS}}{1 + g_m R_S} + C_{GD} \left(1 + \frac{g_m R_L}{1 + g_m R_S} \right) + (C_{GD} + C_L) \frac{R_L}{R_{th}} \right]}$ $R_{th} = R_I \parallel R_G$
Base comune	$\frac{1}{R_L (C_{\mu} + C_L)}$
Gate comune	$\frac{1}{R_L (C_{GD} + C_L)}$
Collettore comune	$\frac{1}{[(R_I \parallel R_B) + r_x] \left(\frac{C_{\pi}}{1 + g_m R_L} + C_{\mu} \right)}$
Drain comune	$\frac{1}{(R_I \parallel R_G) \left(\frac{C_{GS}}{1 + g_m R_L} + C_{GD} \right)}$

17.9.1 Limitazioni guadagno-banda degli amplificatori

L'importanza della resistenza di base r_x (e della resistenza di gate nei MOSFET ad alta frequenza) nel limitare la risposta in alta frequenza degli amplificatori non dovrebbe essere sottovalutata. Si considerino, per prima cosa, gli amplificatori a emettitore comune descritti nella Tabella 17.2. Se la resistenza equivalente di Thévenin del generatore R_I fosse azzerata nel tentativo di aumentare la banda, $r_{\pi o}$ non diventerebbe zero ma sarebbe fissata approssimativamente al valore di r_x . Se si assume che il guadagno è elevato e che il termine $g_m R_L C_{\mu}$ è dominante nella determinazione di ω_H , il prodotto banda-guadagno per lo stadio a emettitore comune diventa

$$GBW = A_{mid} \omega_H \leq \frac{g_m R_L}{r_x (C_{\mu} g_m R_L)} \quad \text{e} \quad GBW \leq \frac{1}{r_x C_{\mu}} \quad (17.144)$$

Nel caso del collettore comune il guadagno è circa unitario e, per $R_I = 0$ e $g_m R_L$ elevato, la banda diventa $1/(r_x C_{\mu})$. Si trova ancora che $GBW \leq 1/(r_x C_{\mu})$. Se si trascura C_{π} nella Figura 17.44, si vede facilmente che la banda è fissata da r_x e C_{μ} , poiché la resistenza di ingresso guardando verso r_{π} sarà molto grande paragonata a r_x .

Per semplificare l'analisi dell'amplificatore a base comune abbiamo trascurato r_x . Se r_x viene incluso, si può dimostrare che il prodotto guadagno-banda è ancora limitato dal prodotto $r_x C_{\mu}$. Tuttavia questo limite viene raramente raggiunto, poiché R_L è in genere molto più grande di r_x .

Abbiamo ora trovato due importanti limitazioni poste al prodotto guadagno-banda dalle caratteristiche dei transistori. La prima è la frequenza per guadagno unitario del transistor $f_T = g_m / (C_{\pi} + C_{\mu})$. La seconda è fissata da $GBW \leq 1/(r_x C_{\mu})$. Tuttavia, nei normali progetti di amplificatori, il prodotto GBW arriva a meno del 60% di entrambi i limiti.

Per transistori progettati per lavorare a frequenze estremamente elevate, la minimizzazione del prodotto $r_x C_{\mu}$ è uno degli obiettivi principali che guidano la scelta della struttura fisica e dei profili di drogaggio dei dispositivi. Come spesso accade in ingegneria, la scelta finale sarà frutto di un compromesso. Infatti le strategie che portano alla minimizzazione di r_x producono l'incremento di C_{μ} , e viceversa, per cui si utilizzano schemi complessi per ottimizzare $r_x C_{\mu}$ (o $R_{IG} C_{GD}$).

17.10 Risposta in frequenza degli amplificatori multistadio

I metodi delle costanti di tempo in cortocircuito e a circuito aperto non sono limitati agli amplificatori a singolo transistor ma possono essere applicati direttamente anche ai circuiti multistadio. L'utilità della tecnica diventa sempre più evidente al crescere della complessità del circuito. In questo paragrafo si utilizzano le tecniche sviluppate nei precedenti paragrafi per stimare la risposta in frequenza di parecchi amplificatori a due stadi accoppiati in DC, tra cui l'amplificatore differenziale, lo stadio cascode e lo specchio di corrente. Poiché questi amplificatori sono accoppiati direttamente, presentano un comportamento passa-basso, e quindi è necessario determinare solo f_H con il metodo OCTC. Sarà infine mostrato un esempio di analisi di un amplificatore a tre stadi generico, dove f_L e f_H vengono determinate utilizzando i metodi SCTC e OCTC.

17.10.1 Amplificatore differenziale

L'amplificatore differenziale, come osservato parecchie volte, è un elemento costitutivo fondamentale dei circuiti analogici ed è quindi importante comprendere la risposta in frequenza della coppia differenziale. Nel circuito dell'amplificatore differenziale di Figura 17.48(a) è stato incluso un elemento importante: la capacità C_{EE} ; essa rappresenta la capacità totale al nodo di emettitore della coppia differenziale. L'analisi della risposta in frequenza dell'amplificatore simmetrico di Figura 17.48(a) si semplifica notevolmente mediante l'utilizzo dei mezzi circuiti riportati nelle Figure 17.48(b) e (c).

Segnali di modo differenziale

Il mezzo circuito di modo differenziale riportato nella Figura 17.48(b) è equivalente a uno stadio a emettitore comune. Pertanto la banda passante, per il segnale di modo differenziale, è determinata dal prodotto $r_{\pi}C_T$, come riportato nel Paragrafo 17.6; ci aspettiamo quindi che il prodotto guadagno-larghezza di banda dell'amplificatore sia una frazione significativa della f_T del transistor. Poiché il nodo di emettitore è a potenziale fisso per il segnale differenziale, la capacità C_{EE} non ha alcun effetto sui segnali di modo differenziale.

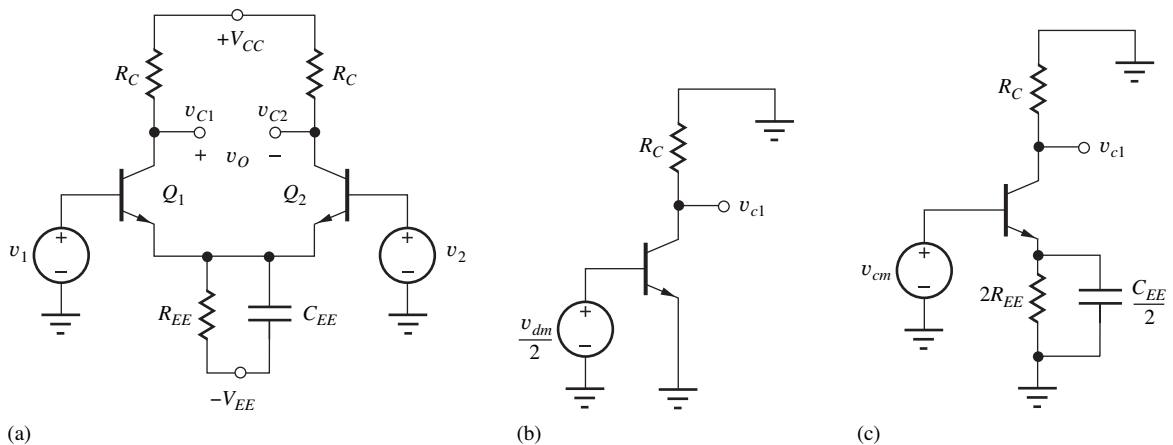
Risposta in frequenza del modo comune

L'importante punto di rottura (alla frequenza ω_z) nel diagramma di Bode della risposta in frequenza del modo comune, riportato nella Figura 17.49, può essere determinato dall'analisi del mezzo circuito di modo comune di Figura 17.48(c). Sappiamo che, a frequenze molto basse, il guadagno di modo comune relativo a ciascun collettore è piccolo e dato approssimativamente da:

$$|A_{cc}(0)| \approx \frac{R_C}{2R_{EE}} \ll 1 \quad (17.145)$$

Figura 17.48

(a) Amplificatore differenziale bipolare, (b) mezzo circuito di modo differenziale e (c) mezzo circuito di modo comune.



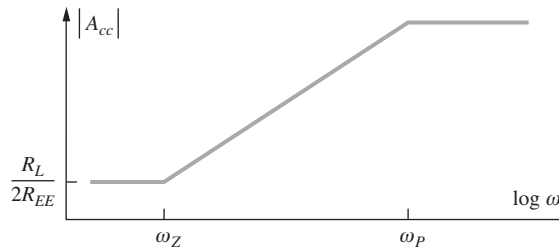
**Figura 17.49**

Diagramma di Bode del guadagno di modo comune della coppia differenziale.

Tuttavia la capacità C_{EE} in parallelo con il resistore di emettitore R_{EE} introduce uno zero nella risposta in frequenza di modo comune alla frequenza per la quale l'impedenza del parallelo di R_{EE} e C_{EE} diventa infinita. Questo zero è dato da

$$s = -\omega_Z = -\frac{1}{R_{EE}C_{EE}} \quad (17.146)$$

e cade tipicamente a frequenze relativamente basse. Benché C_{EE} possa essere piccola, la resistenza R_{EE} è di solito molto elevata, in quanto spesso rappresenta la resistenza di uscita di un generatore di corrente ad alta impedenza. La presenza di questo zero provoca un incremento del guadagno di modo comune, con una pendenza di 20 dB/decade, per frequenze maggiori di ω_Z . Il guadagno di modo comune continua a crescere finché viene raggiunto, a frequenze relativamente alte, il polo dominante della coppia differenziale.

Il mezzo circuito di modo comune è equivalente a uno stadio a emettitore comune con un resistore $2R_{EE}$ sull'emettitore. Se si trascura la resistenza r_x , si ha che C_π e $C_{EE}/2$ sono in parallelo e il metodo delle costanti di tempo a circuito aperto dà

$$\omega_P = -\frac{1}{\left(C_\pi + \frac{C_{EE}}{2}\right)R_{EEO}} \quad (17.147)$$

dove R_{EEO} è la resistenza vista ai terminali di $C_{EE}/2$:

$$R_{EEO} = \frac{1}{g_m} \parallel 2R_{EE} \parallel r_\pi \approx \frac{1}{g_m} \quad (17.148)$$

La posizione risultante del polo del modo comune e il guadagno a frequenza elevata valgono:

$$\omega_P = -\frac{g_m}{C_\pi + \frac{C_{EE}}{2}} \quad \text{e} \quad A_{cc} = -\frac{g_m R_L}{1 + \frac{2C_\pi}{C_{EE}}} \quad (17.149)$$

Oltre al polo associato alla capacità sull'emettitore, spesso la limitazione di frequenza è data dagli altri poli, di solito quello sull'uscita. Il polo di C_{EE} e di C_π negli emettitori comuni possono dare origine a una coppia di poli complessi coniugati.

ESERCIZIO Si trovino f_Z e f_P per la risposta di modo comune dell'amplificatore differenziale di Figura 17.48 se $r_x = 250 \, \Omega$, $C_\mu = 0.5 \, \text{pF}$, $C_\pi = 2 \, \text{pF}$, $R_{EE} = 25 \, \text{M}\Omega$, $C_{EE} = 1 \, \text{pF}$, $g_m = 4 \, \text{mS}$ e $R_C = 50 \, \text{k}\Omega$.

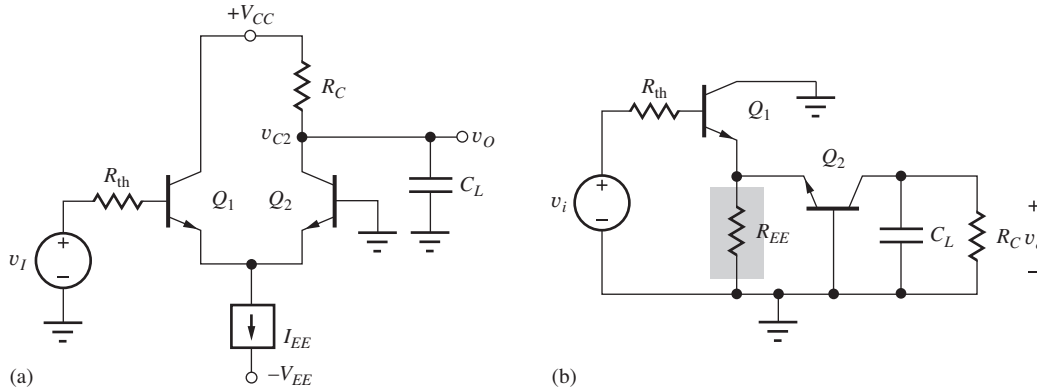
RISPOSTE 6.37 kHz, 6.34 MHz.

17.10.2 La connessione in cascata collettore-comune/base-comune

La Figura 17.50(a) è una versione sbilanciata dell'amplificatore differenziale. Questo circuito può anche essere rappresentato come la cascata di un amplificatore a collettore comune e uno a base comune, come riportato in Figura 17.50(b). La frequenza di taglio di questo amplificatore a due stadi si trova con il metodo OCTC facendo uso dei risultati ottenuti precedentemente per gli amplificatori a singolo stadio.

Assumiamo che la resistenza di uscita R_{EE} del generatore di corrente sia molto grande e possa quindi essere trascurata rispetto alle resistenze di emettitore di Q_1 e Q_2 , in Figura 17.51, che sono entrambe piccole:

$$R_{iE}^{CC1} = \frac{r_{x1} + r_{\pi1}}{\beta_{o1} + 1} \approx \frac{1}{g_{m1}} \quad \text{e} \quad R_{iE}^{CB2} = \frac{r_{x2} + r_{\pi2}}{\beta_{o2} + 1} \approx \frac{1}{g_{m2}} \quad (17.150)$$

**Figura 17.50**

(a) L'amplificatore differenziale sbilanciato e (b) la sua rappresentazione come cascata C-C/C-B.

La risposta ad alta frequenza del circuito in Figura 17.51 si determina utilizzando i risultati ottenuti per gli stadi a collettore comune e a base comune. Dobbiamo trovare una stima dei tre poli ai tre nodi del circuito: base di Q_1 , emettitore di Q_1 e collettore di Q_2 . Il polo all'ingresso è quello dello stadio a collettore comune con $R_L = 1/g_m$:

$$\begin{aligned}\omega_{PB1} &= \frac{1}{([R_{th} + r_x] \parallel [r_{\pi1} + (\beta_{o1} + 1)R_L]) \left(C_{\mu} + \frac{C_{\pi}}{1 + g_m R_L} \right)} \\ &= \frac{1}{([R_{th} + r_{x1}] \parallel 2r_{\pi1}) \left(C_{\mu1} + \frac{C_{\pi1}}{2} \right)}\end{aligned}\quad (17.151)$$

Si noti che se l'impedenza del generatore è zero il polo di ingresso è fissato da r_x . Il secondo polo, associato al nodo di emettitore di Q_1 e Q_2 , è dato dalla capacità totale $C_{\pi1} + C_{\pi2}$ e dalla resistenza $1/(g_{m1} + g_{m2})$, e la risultante frequenza del polo è

$$\omega_{PE} = \frac{g_{m1} + g_{m2}}{C_{\pi1} + C_{\pi2}} \approx \frac{2g_{m2}}{2C_{\pi}} = \frac{g_m}{C_{\pi}} > \omega_T \quad (17.152)$$

al di sopra della frequenza di transizione del transistor.

Il polo sul collettore di Q_2 è quello dello stadio a base comune:

$$\omega_{PC2} \approx \frac{1}{R_C(C_{\mu2} + C_L)} \quad (17.153)$$

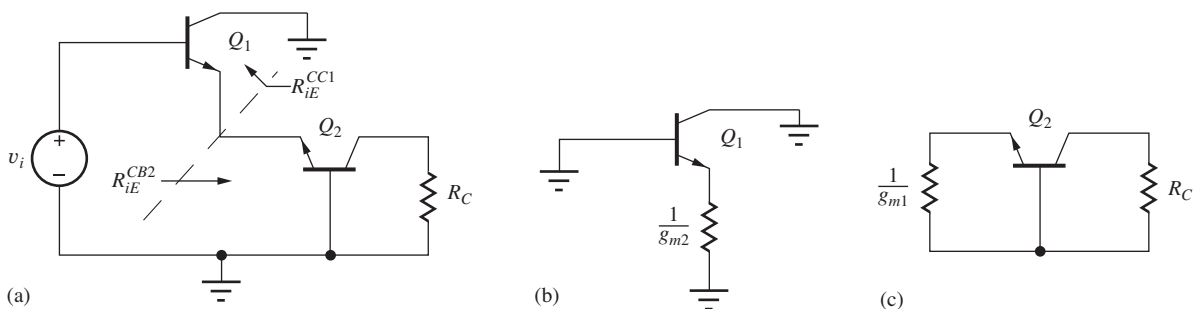
A seconda del valore delle impedenze del circuito, sia il polo di ingresso che quello di uscita possono contribuire significativamente alla risposta alle alte frequenze.

ESERCIZIO Si confrontino i valori del guadagno di centro banda e di f_H per l'amplificatore differenziale di Figura 17.48 e la cascata di C-C/C-B di Figura 17.50 se $f_T = 500$ MHz, $C_{\mu} = 0.5$ pF, $I_{EE} = 200$ μ A, $\beta_o = 100$, $r_x = 250$ Ω e $R_C = 50$ k Ω .

RISPOSTE -198, 3.16 MHz, 99.0, 4.20 MHz. Si noti che, benché il guadagno sia ridotto di un fattore 2, la banda non aumenta esattamente di un fattore 2 a causa del termine $C_{\mu}R_C$.

Figura 17.51

(a) Circuiti equivalenti per l'analisi con il metodo delle costanti di tempo a circuito aperto di (b) Q_1 e (c) Q_2 .



17.10.3 Risposta in alta frequenza dell'amplificatore cascode

La connessione in cascata dello stadio a emettitore comune con lo stadio a base comune è riportata in Figura 17.52; questa configurazione è denominata **amplificatore cascode**. Lo stadio cascode offre un guadagno di centro banda e una resistenza di ingresso uguali a quelle dell'amplificatore a emettitore comune, ma con una frequenza di taglio superiore f_H molto maggiore, come dimostreremo nell'analisi che segue.

I poli dello stadio cascode si ricavano direttamente dall'analisi degli stadi a emettitore comune e a base comune usando i modelli in Figura 17.53. All'ingresso del cascode troviamo il polo ricavato dalle nostre precedenti analisi:

$$\omega_{PB1} = \frac{1}{r_{\pi o} C_T} = \frac{1}{r_{\pi o} \left([C_{\pi} + C_{\mu}(1 + g_m R_L)] + \frac{R_L}{r_{\pi o}} [C_{\mu} + C_L] \right)} \quad (17.154)$$

Poiché il carico del primo stadio è piccolo ($1/g_m$), ci aspettiamo che il secondo termine capacitivo in questa espressione sia poco significativo, consentendo una semplificazione. La corrente di polarizzazione dei due transistori è la stessa, per cui anche i valori di g_m sono uguali:

$$\omega_{PB1} = \frac{1}{r_{\pi o1} \left(\left[C_{\pi1} + C_{\mu1} \left(1 + \frac{g_{m1}}{g_{m2}} \right) \right] + \frac{1/g_{m2}}{r_{\pi o1}} [C_{\mu1} + C_{\pi2}] \right)} \approx \frac{1}{r_{\pi o1} (C_{\pi1} + 2C_{\mu1})} \quad (17.155)$$

Il termine dovuto alla moltiplicazione di Miller risulta ridotto da un valore molto grande (264 nell'esempio del Paragrafo 17.6) a 2, e anche il termine $R_L/r_{\pi o}$ viene praticamente eliminato. Queste riduzioni rappresentano il vantaggio principale dello stadio cascode e possono portare a un notevole incremento della larghezza di banda dell'amplificatore complessivo.

Come nel caso del precedente circuito, l'impedenza al nodo intermedio è piuttosto bassa. Alle alte frequenze è circa uguale a $1/(2g_{m2})$ (si ricordi l'effetto del condensatore C_{μ} su Q_1). A causa di ciò, ci aspettiamo che il polo relativo al nodo intermedio si trovi a frequenze molto alte, circa $g_{m2}/(C_{\pi2} + C_{\mu1}) \approx \omega_T$.

Il polo di uscita è quello dell'amplificatore a base comune:

$$\omega_{PC2} \approx \frac{1}{R_L (C_{\mu2} + C_L)} \quad (17.156)$$

Ancora una volta, a seconda dei valori delle impedenze del circuito, entrambi i poli possono avere un ruolo significativo nella determinazione della risposta alle alte frequenze.

ESERCIZIO Si trovino il guadagno di centro banda A_V e i poli dell'amplificatore cascode di Figura 17.52 assumendo $\beta_o = 100$, $f_T = 500$ MHz, $C_{\mu} = 0.5$ pF, $r_x = 250$ Ω , $R_{th} = 882$ Ω , $R_L = 4.12$ k Ω , $C_L = 5$ pF e un punto di lavoro in (1.60 mA, 3.00 V) per Q_2 .

RISPOSTE – 151, 11.6 MHz; 7.02 MHz.

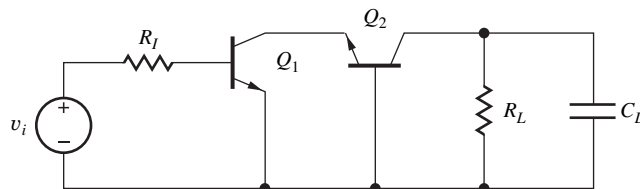
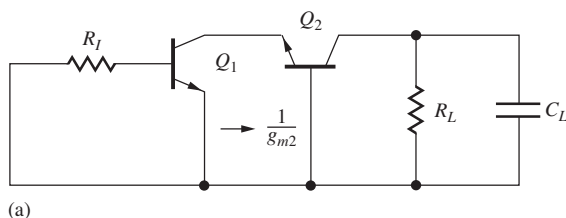
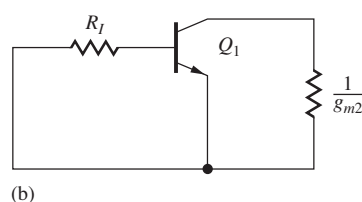


Figura 17.52

Modello AC per l'amplificatore cascode accoppiato in DC.



(a)



(b)

Figura 17.53

(a) Modello per trovare le costanti di tempo a circuito aperto associate ai due condensatori di Q_1 . (b) Modello semplificato.

17.10.4 Frequenza di taglio dello specchio di corrente

Come ultimo esempio di analisi di amplificatori accoppiati direttamente, calcoliamo ω_H per lo specchio di corrente di Figura 17.54. Il modello per piccolo segnale di Figura 17.54(b) rappresenta il modello a doppio bipolo sviluppato precedentemente con l'aggiunta delle capacità gate-source e gate-drain di M_1 e M_2 . Le capacità gate-source dei due transistori si trovano in parallelo, mentre la capacità gate-drain di M_1 è cortocircuitata. La condizione di carico a circuito aperto rappresenta il caso peggiore per la stima della banda passante dello specchio di corrente.

Il circuito di Figura 17.54(b) è identico al modello semplificato dello stadio C-E di Figura 17.35, pertanto i risultati dell'approssimazione della capacità totale C_T sono applicabili direttamente allo specchio di corrente operando le seguenti sostituzioni:

$$r_{\pi o} \rightarrow \frac{1}{g_{m1}} \quad R_L \rightarrow r_{o2} \quad C_\pi \rightarrow C_{GS1} + C_{GS2} \quad C_\mu \rightarrow C_{GD2} \quad (17.157)$$

Utilizzando le sostituzioni dell'Equazione (17.157) si ottiene, dall'Equazione (17.94):

$$\omega_{P1} \approx \frac{1}{r_{\pi o} C_T} = \frac{1}{\frac{1}{g_{m1}} \left[C_{GS1} + C_{GS2} + C_{GD2} \left(1 + g_{m2} r_{o2} + \frac{r_{o2}}{\frac{1}{g_{m1}}} \right) \right]} \quad (17.158)$$

e, per transistori uguali e con identici parametri differenziali:

$$\omega_{P1} \approx \frac{1}{\frac{2C_{GS1}}{g_{m1}} + 2C_{GD2} r_{o2}} \approx \frac{1}{2C_{GD2} r_{o2}} \quad (17.159)$$

Il secondo polo viene stimato con l'equazione (17.95)

$$\omega_{P2} \approx \frac{g_L C_\pi + 2g_m C_\mu}{C_\pi C_\mu} = \frac{1}{R_L C_\mu} + \frac{2g_m}{C_\mu} > \omega_T \quad (17.160)$$

e si ottiene un valore maggiore di ω_T .

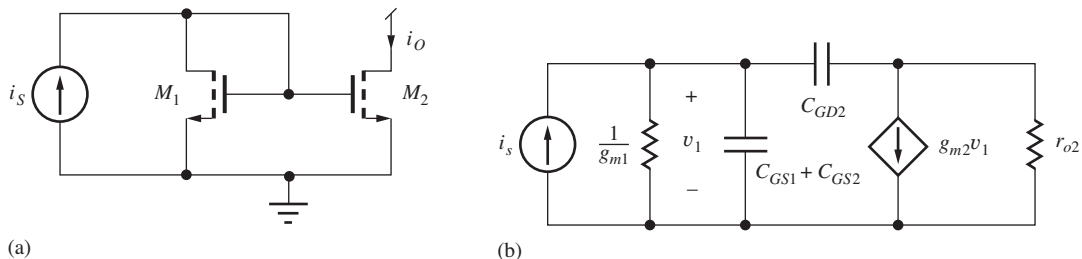
Questo risultato indica che la banda passante dello specchio di corrente è controllata dalla costante di tempo dovuta alla resistenza di uscita e alla capacità gate-drain di M_2 . Si noti che il valore dato dall'Equazione (17.159) è direttamente proporzionale alla corrente nel punto di lavoro attraverso la dipendenza da r_{o2} .

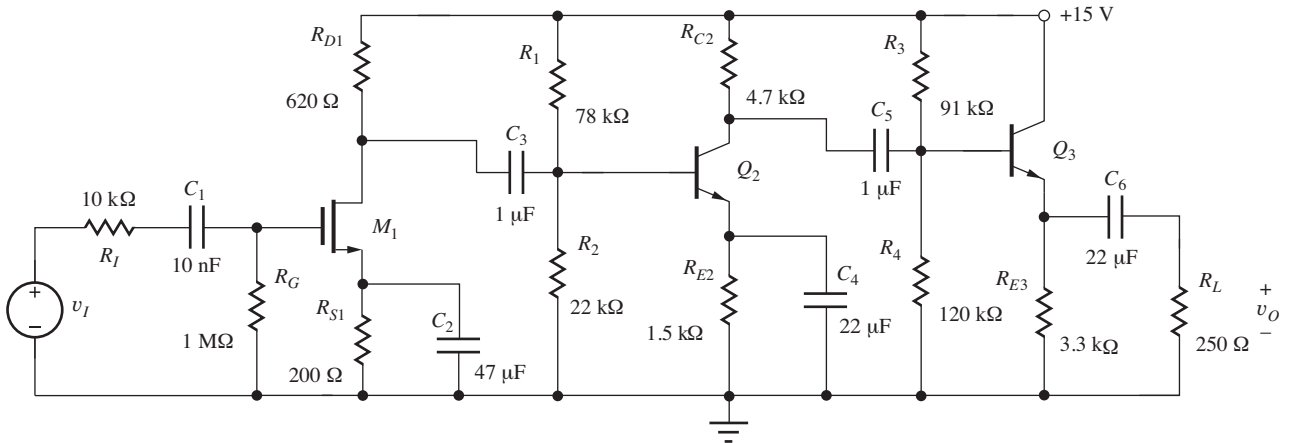
ESERCIZIO (a) Si trovi la banda passante dello specchio di corrente di Figura 17.54 se $I_1 = 100 \mu\text{A}$, $C_{GD} = 1 \text{ pF}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Se $I_1 = 25 \mu\text{A}$.

RISPOSTE 159 kHz; 39.8 kHz.

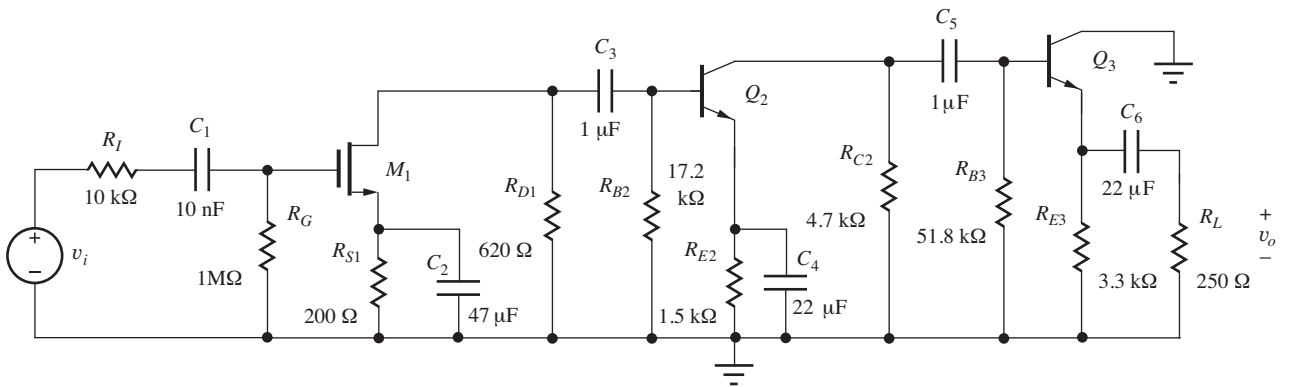
Figura 17.54

(a) Specchio di corrente a MOS. (b) Modello per piccolo segnale dello specchio di corrente.





(a)



(b)

Figura 17.55 (a) Amplificatore a tre stadi e (b) circuito equivalente AC.

RISPOSTA IN FREQUENZA DI UN AMPLIFICATORE MULTISTADIO

Esempio 17.8

Verrà usato il metodo delle costanti di tempo per stimare le frequenze di taglio di un amplificatore multistadio.

Si utilizzi il metodo delle costanti di tempo per stimare le frequenze di taglio inferiore e superiore di un amplificatore multistadio.

PROBLEMA

Informazioni e dati noti: Amplificatore a tre stadi riportato in Figura 17.55; i punti di lavoro e i parametri per piccolo segnale sono riportati nelle Tabelle 14.10 e 17.3.

SOLUZIONE

Tabella 17.3 Parametri dei transistori

	g_m	r_π	r_o	β_o	C_{GS}/C_π	C_{GD}/C_μ	r_x
M_1	10 mS	$\rightarrow \infty$	12.2 k Ω	$\rightarrow \infty$	5 pF	1 pF	0
Q_2	67.8 mS	2.39 k Ω	54.2 k Ω	150	39 pF	1 pF	250 Ω
Q_3	79.6 mS	1.00 k Ω	34.4 k Ω	80	50 pF	1 pF	250 Ω

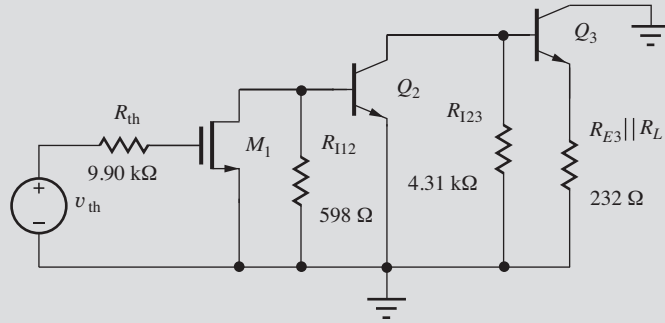
Incognite: f_H , f_L e l'ampiezza della banda passante.

Approccio: I condensatori di accoppiamento e di bypass determinano la risposta alle basse frequenze, mentre le capacità dei dispositivi determinano quella alle alte frequenze. A basse frequenze l'impedenza associata alle capacità dei dispositivi è molto grande e può essere trascurata. I condensatori di accoppiamento e di bypass sono presenti nel circuito equivalente AC per l'analisi in bassa frequenza di Figura 17.55(b), e la f_L viene stimata mediante la tecnica SCTC. La frequenza di taglio superiore viene stimata determinando i singoli poli in alta frequenza partendo dall'analisi dei singoli stadi. Alle alte frequenze, l'im-

pedenza associata ai condensatori di accoppiamento e di bypass è trascurabile, per cui nel circuito di Figura 17.56 sono stati sostituiti da cortocircuiti.

Svilupperemo espressioni per le diverse costanti di tempo a circuito aperto e in cortocircuito, utilizzando le conoscenze sulle resistenze di ingresso e uscita degli amplificatori a singolo stadio. Infine valuteremo le espressioni utilizzando i valori degli elementi del circuito e i parametri per piccolo segnale.

Figura 17.56
Modello AC alle alte
frequenze dell'amplificatore
a tre stadi di Figura 17.55.



Ipotesi: I transistori sono in regione attiva. Valgono le condizioni di piccolo segnale $V_T = 25 \text{ mV}$.

ANALISI (a) Stima della frequenza di taglio inferiore con il metodo SCTC

Il circuito ha sei condensatori indipendenti di accoppiamento e bypass; la Figura 17.55 riporta i circuiti per il calcolo delle sei costanti di tempo. Nell'analisi si utilizzeranno i parametri di piccolo segnale riportati nella Tabella 17.3.

Calcolo di R_{1S}

Poiché la resistenza di ingresso di M_1 è infinita in Figura 17.57(a), la resistenza R_{1S} è data da:

$$R_{1S} = R_I + R_G \parallel R_{IG} = 10 \text{ k}\Omega + 1 \text{ M}\Omega = 1.01 \text{ M}\Omega \quad (17.161)$$

Calcolo di R_{2S}

La resistenza R_{2S} rappresenta la resistenza al terminale di source di M_1 della Figura 17.57(b) ed è uguale a:

$$R_{2S} = R_{S1} \parallel \frac{1}{g_{m1}} = 200 \text{ }\Omega \parallel \frac{1}{10 \text{ mS}} = 66.7 \text{ }\Omega \quad (17.162)$$

Calcolo di R_{3S}

La resistenza R_{3S} è formata dalla combinazione di quattro elementi [si veda la Figura 17.57(c)]. A sinistra la resistenza di uscita di M_1 si trova in parallelo con il resistore R_{D1} di $620 \text{ }\Omega$ e, sulla destra, il resistore R_{B2} di $13.2 \text{ k}\Omega$ è in parallelo con la resistenza di ingresso di Q_2 :

$$\begin{aligned} R_{3S} &= (R_{D1} \parallel R_{IC}) + (R_{B2} \parallel R_{IB}) = (R_{D1} \parallel r_{o1}) + (R_{B2} \parallel r_{\pi 2}) \\ &= (620 \text{ }\Omega \parallel 12.2 \text{ k}\Omega) + (17.2 \text{ k}\Omega \parallel 2.39 \text{ k}\Omega) = 2.69 \text{ k}\Omega \end{aligned} \quad (17.163)$$

Calcolo di R_{4S}

La resistenza R_{4S} rappresenta la resistenza presente al terminale di emettitore di Q_2 [si veda la Figura 17.57(d)] ed è uguale a:

$$\begin{aligned} R_{4S} &= R_{E2} \parallel \frac{R_{th2} + r_{\pi 2}}{(\beta_{o2} + 1)} \quad \text{dove} \quad R_{th2} = R_{B2} \parallel R_{D1} \parallel R_{IC} = R_{B2} \parallel R_{D1} \parallel r_{o1} \\ R_{th2} &= R_{B2} \parallel R_{D1} \parallel r_{o1} = 17.2 \text{ k}\Omega \parallel 620 \text{ }\Omega \parallel 12.2 \text{ k}\Omega = 571 \text{ }\Omega \\ R_{4S} &= 1500 \text{ }\Omega \parallel \frac{571 \text{ }\Omega + 2390 \text{ }\Omega}{(150 + 1)} = 19.4 \text{ }\Omega \end{aligned} \quad (17.164)$$

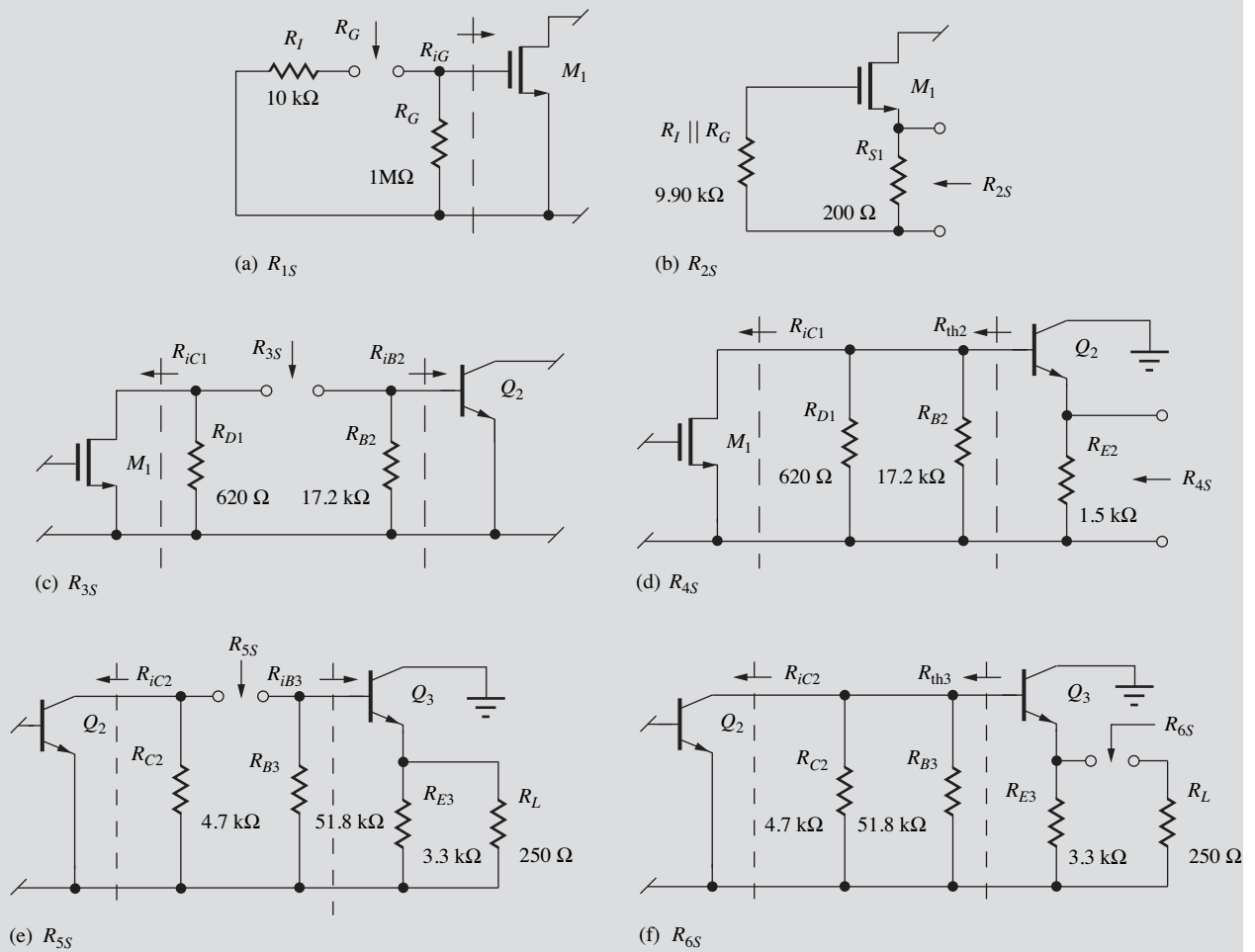


Figura 17.57 Configurazioni circuitali per il calcolo delle costanti di tempo in cortocircuito.

Calcolo di R_{5S}

Anche la resistenza R_{5S} è formata dalla combinazione di quattro elementi [si veda la Figura 17.57(e)]. A sinistra, la resistenza di uscita di Q_2 si trova in parallelo con il resistore R_{C2} di 4.7 k Ω , e a destra il resistore R_{B3} di 51.8 k Ω è in parallelo con la resistenza di ingresso di Q_3 :

$$\begin{aligned}
 R_{5S} &= (R_{C2} \parallel R_{iC}) + (R_{B3} \parallel R_{iB}) = (R_{C2} \parallel r_{o2}) + (R_{B3} \parallel [r_{\pi 3} + (\beta_{o3} + 1)(R_{E3} \parallel R_L)]) \\
 &= (4.7 \text{ k}\Omega \parallel 54.2 \text{ k}\Omega) + 51.8 \text{ k}\Omega \parallel [1.00 \text{ k}\Omega + (80 + 1)(3.3 \text{ k}\Omega \parallel 250 \Omega)] \quad (17.165) \\
 &= 18.4 \text{ k}\Omega
 \end{aligned}$$

Calcolo di R_{6S}

Infine, R_{6S} è la resistenza presente ai terminali di C_6 [si veda la Figura 17.57(f)].

$$R_{6S} = R_L + \left(R_{E3} \parallel \frac{R_{th3} + r_{\pi 3}}{\beta_{o3} + 1} \right) \quad \text{dove} \quad R_{th3} = R_{B3} \parallel R_{C2} \parallel R_{iC} = R_{B3} \parallel R_{C2} \parallel r_{o2}$$

$$R_{th3} = 51.8 \text{ k}\Omega \parallel 4.7 \text{ k}\Omega \parallel 54.2 \text{ k}\Omega = 3.99 \text{ k}\Omega \quad (17.166)$$

$$R_{6S} = 250 \Omega + \left(3.3 \text{ k}\Omega \parallel \frac{3.39 \text{ k}\Omega + 1.00 \text{ k}\Omega}{80 + 1} \right) = 311 \Omega$$

Si può ora ottenere una stima di ω_L utilizzando l'Equazione (17.33) e i valori di resistenza calcolati precedentemente:

$$\begin{aligned}\omega_L &\approx \sum_{i=1}^n \frac{1}{R_{iS}C_i} = \frac{1}{R_{1S}C_1} + \frac{1}{R_{2S}C_2} + \frac{1}{R_{3S}C_3} + \frac{1}{R_{4S}C_4} + \frac{1}{R_{5S}C_5} + \frac{1}{R_{6S}C_6} \\ &\approx \frac{1}{(1.01 \text{ M}\Omega)(0.01 \text{ }\mu\text{F})} + \frac{1}{(66.7 \text{ }\Omega)(47 \text{ }\mu\text{F})} + \frac{1}{(2.69 \text{ k}\Omega)(1 \text{ }\mu\text{F})} \\ &\quad + \frac{1}{(19.4 \text{ }\Omega)(22 \text{ }\mu\text{F})} + \frac{1}{(18.4 \text{ k}\Omega)(1 \text{ }\mu\text{F})} + \frac{1}{(311 \text{ }\Omega)(22 \text{ }\mu\text{F})} \\ &\approx (99.0 + 319 + 372 + \underline{2340} + 54.4 + 146) \text{ rad/s} = 3330 \text{ rad/s} \\ f_L &= \frac{\omega_L}{2\pi} = 530 \text{ Hz}\end{aligned}\quad (17.167)$$

La stima della frequenza di taglio inferiore è 530 Hz. Il contributo maggiore viene dal quarto termine, cioè dalla costante di tempo associata al condensatore di bypass di emettitore C_4 (si ricordi l'approccio usato nell'Esempio 17.3).

(b) Calcolo della frequenza di taglio superiore f_H

La frequenza di taglio superiore dell'amplificatore si può determinare calcolando i poli ad alta frequenza a ogni nodo del circuito equivalente AC in alta frequenza dell'amplificatore di Figura 17.55 e utilizzando l'Equazione (17.23). Alle alte frequenze le impedenze dei condensatori di accoppiamento e di bypass sono trascurabili, per cui essi sono sostituiti da cortocircuiti nella Figura 17.56. È possibile determinare i poli ad alta frequenza per ogni nodo con l'aiuto dei risultati relativi all'analisi degli amplificatori a singolo stadio, riassunti in Tabella 17.2.

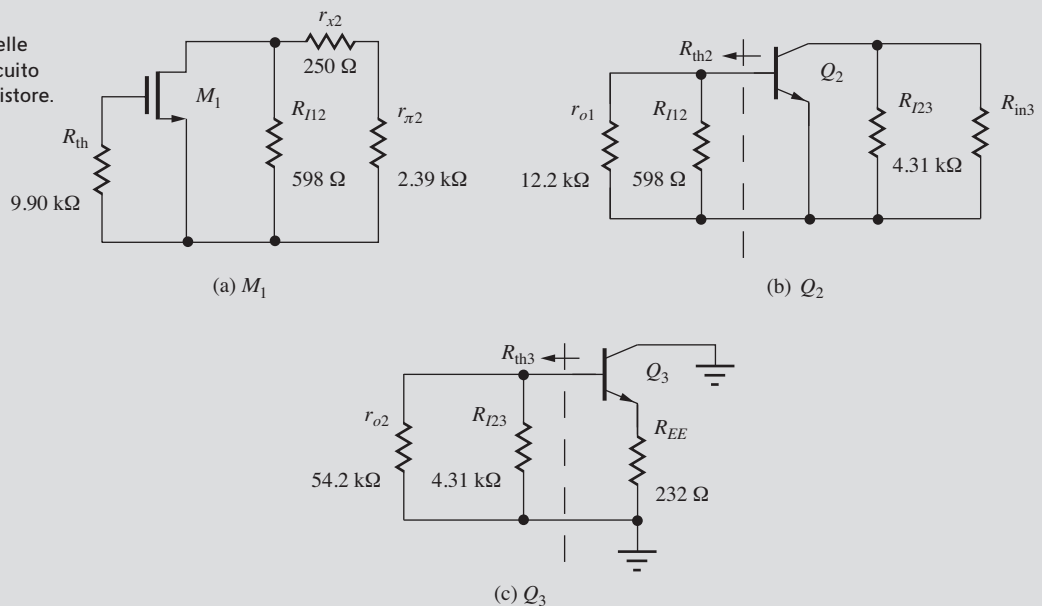
Polo ad alta frequenza al gate di M_1

Dall'analisi del sottocircuito relativo al transistor M_1 riportato in Figura 17.58(a), riconosciamo uno stadio a source comune. Utilizzando l'approssimazione della capacità totale C_T dalla Tabella 17.2, si ha:

$$f_{p1} = \left(\frac{1}{2\pi} \right) \frac{1}{R_{th1}[C_{GS1} + C_{GD1}(1 + g_{m1}R_{L1}) + \frac{R_{L1}}{R_{th1}}(C_{GD1} + C_{L1})]} \quad (17.168)$$

Per questo circuito la resistenza di source non cortocircuitata è zero, per cui usiamo una forma più semplice per il polo d'ingresso.

Figura 17.58
Circuiti per il calcolo delle costanti di tempo a circuito aperto di ciascun transistor.



Nell'Equazione (17.168) la resistenza del generatore di Thévenin è di 9.90 k Ω e la resistenza di carico è il parallelo delle tre resistenze R_{I12} , $R_{IB2} = r_{x2} + r_{\pi2}$ e r_{o1} :

$$R_{L1} = R_{I12} \| R_{IB2} \| r_{o1} = 598 \Omega \| (2.39 \text{ k}\Omega + 250 \Omega) \| 12.2 \text{ k}\Omega = 469 \Omega \quad (17.169)$$

Usiamo l'effetto Miller per valutare C_{L1} , la capacità vista guardando nel secondo stadio a emettitore comune:

$$C_{L1} = C_{\pi2} + C_{\mu2}(1 + g_{m2}R_{L2}) \quad (17.170)$$

Dalla Figura 17.58(b) valutiamo R_{L2} come:

$$\begin{aligned} R_{L2} &= R_{I23} \| R_{IB3} \| r_{o2} = R_{I23} \| [r_{x3} + r_{\pi3} + (\beta_{o3} + 1)(R_{E3} \| R_L \| r_{o2})] \\ &= 4.31 \text{ k}\Omega \| [250 \Omega + 1 \text{ k}\Omega + (80 + 1)(3.3 \text{ k}\Omega \| 250 \Omega \| 54.2 \text{ k}\Omega)] \\ &= 3.33 \text{ k}\Omega \end{aligned} \quad (17.171)$$

Utilizzando questo risultato troviamo C_{L1} :

$$C_{L1} = 39 \text{ pF} + 1 \text{ pF}[1 + 67.8 \text{ mS}(3.33 \text{ k}\Omega)] = 266 \text{ pF} \quad (17.172)$$

Combinando questi risultati il polo all'ingresso di M_1 diventa:

$$\begin{aligned} f_{p1} &= \left(\frac{1}{2\pi} \right) \frac{1}{(9.9 \text{ k}\Omega)[1 \text{ pF}(1 + 10 \text{ mS}(469 \Omega)) + 5 \text{ pF} + \frac{469 \Omega}{9.9 \text{ k}\Omega}(1 \text{ pF} + 266 \text{ pF})]} \\ &= 689 \text{ kHz} \end{aligned} \quad (17.173)$$

Polo ad alta frequenza alla base di Q_2

Il sottocircuito riportato in Figura 17.58(b) è uno stadio a emettitore comune. A prima vista potremmo quindi pensare di applicare l'approssimazione della capacità totale C_T per trovare il polo all'uscita dello stadio 1 e all'ingresso dello stadio 2. Tuttavia, se ricordiamo l'analisi dettagliata degli stadi a emettitore comune e a source comune, troviamo che il polo di uscita dello stadio a emettitore comune è descritto dall'Equazione (17.95), riscritta di seguito per lo stadio a source comune:

$$f_{p2} = \left(\frac{1}{2\pi} \right) \frac{C_{GS1}g_{L1} + C_{GD1}(g_{m1} + g_{th1} + g_{L1}) + C_{L1}g_{th1}}{[C_{GS1}(C_{GD1} + C_{L1}) + C_{GD1}C_{L1}]} \quad (17.174)$$

In questo caso particolare, C_{L1} è molto più grande delle altre capacità, per cui l'Equazione (17.174) si semplifica come:

$$f_{p2} \approx \left(\frac{1}{2\pi} \right) \frac{C_{L1}g_{th1}}{[C_{GS1}C_{L1} + C_{GD1}C_{L1}]} \approx \left(\frac{1}{2\pi} \right) \frac{1}{R_{th1}(C_{GS1} + C_{GD1})} \quad (17.175)$$

Sostituendo gli appropriati parametri, calcoliamo f_{p2} come:

$$f_{p2} = \left(\frac{1}{2\pi} \right) \frac{1}{(9.9 \text{ k}\Omega)(5 \text{ pF} + 1 \text{ pF})} = 2.68 \text{ MHz} \quad (17.176)$$

Polo in alta frequenza alla base di Q_3

Lo stadio di Figura 17.58(c) rappresenta uno stadio a collettore comune. Ancora una volta, a causa dell'effetto di separazione dei poli del secondo stadio a emettitore comune, ci aspettiamo che il polo alla base di Q_3 sia fissato dall'Equazione (17.95). In questo caso, a causa della piccola capacità di carico e dell'elevato valore di g_{m2} del secondo stadio, nell'Equazione (17.95) il termine $g_{m2}C_{\mu}$ domina il numeratore, e non si può semplificare l'equazione stessa. Ci aspettiamo, quindi, che il polo al nodo intermedio tra Q_2 e Q_3 sia governato da:

$$f_{p3} \approx \left(\frac{1}{2\pi} \right) \frac{g_{m2}}{\left[C_{\pi2} \left(1 + \frac{C_{L2}}{C_{\mu2}} \right) + C_{L2} \right]} \quad (17.177)$$

La capacità di carico di Q_2 è la capacità di ingresso dello stadio di uscita a collettore comune. Cioè:

$$C_{L2} = C_{\mu3} + \frac{C_{\pi3}}{1 + g_{m3}(R_{E3} \parallel R_L)} = 1 \text{ pF} + \frac{50 \text{ pF}}{1 + 79.6 \text{ mS}(3.3 \text{ k}\Omega \parallel 250 \Omega)} = 3.55 \text{ pF} \quad (17.178)$$

Per tener conto di r_x , possiamo usare g_m come definito nell'Equazione (17.70) nella valutazione di f_{p3} :

$$f_{p3} \approx \left(\frac{1}{2\pi} \right) \frac{67.8 \text{ mS}[1 \text{ k}\Omega / (1 \text{ k}\Omega + 250 \Omega)]}{\left[39 \text{ pF} \left(1 + \frac{3.55 \text{ pF}}{1 \text{ pF}} \right) + 3.55 \text{ pF} \right]} = 47.7 \text{ MHz} \quad (17.179)$$

Questo è un polo addizionale all'emettitore di Q_3 , ma che si troverà a frequenza molto alta a causa dei valori relativamente bassi della resistenza e della capacità in uscita. La risposta in alta frequenza può dunque essere scritta come:

$$\begin{aligned} A(f) &\approx \frac{A_{\text{mid}}}{\left(1 + j \frac{f}{f_{p1}} \right) \left(1 + j \frac{f}{f_{p2}} \right) \left(1 + j \frac{f}{f_{p3}} \right)} \\ &= \frac{998 \text{ V/V}}{\left(1 + j \frac{f}{689 \text{ kHz}} \right) \left(1 + j \frac{f}{2.68 \text{ MHz}} \right) \left(1 + j \frac{f}{47.7 \text{ MHz}} \right)} \end{aligned} \quad (17.180)$$

Applicando l'Equazione (17.23), si ottiene la stima di f_H come:

$$f_H = \frac{1}{\sqrt{\frac{1}{f_{p1}^2} + \frac{1}{f_{p2}^2} + \frac{1}{f_{p3}^2}}} = 667 \text{ kHz} \quad (17.181)$$

Verifica dei risultati: SPICE rappresenta un eccellente metodo per un'analisi di tale complessità. Dopo aver disegnato il circuito, occorrono i parametri del MOSFET e dei BJT. Possiamo ricavare i parametri dalle Tabelle 14.19, 14.20 e 17.3. Per il MOSFET a svuotamento si ha $K_P = 10\text{M}$, $V_{TO} = -2$, $LAMBDA = 0.02$. Per questa simulazione la via più facile è aggiungere capacità esterne in parallelo al MOSFET per rappresentare C_{GS} e C_{GD} . I valori sono rispettivamente 5 pF e 1 pF. Per i BJT si ha: $R_B = 250$, $B_F = 150$, $V_{AF} = 80$, $I_S = 0.1\text{F}$.

I valori di TF sono ricavabili dalla Tabella 17.3:

$$\tau_2 = \frac{C_{\pi2}}{g_{m2}} = \frac{39 \text{ pF}}{67.8 \text{ mS}} = 0.575 \text{ ns} \quad \text{e} \quad \tau_3 = \frac{50 \text{ pF}}{79.6 \text{ mS}} = 0.628 \text{ ns}$$

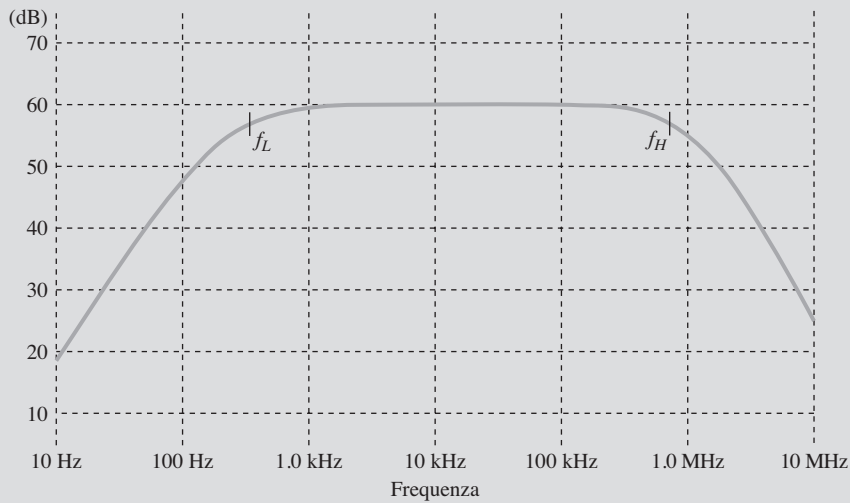
Le tensioni collettore-emettitore sono, dalla Tabella 14.20, $V_{CE2} = 5.09 \text{ V}$ e $V_{CE3} = 8.36 \text{ V}$. Per avere valori di 1 pF per ciascuna C_{μ} dobbiamo fissare un opportuno valore di CJC:

$$C_{JC2} = (1 \text{ pF}) \left(1 + \frac{5.09 \text{ V} - 0.7 \text{ V}}{0.75 \text{ V}} \right)^{0.33} = 1.89 \text{ pF}$$

e

$$C_{JC3} = (1 \text{ pF}) \left(1 + \frac{8.36 \text{ V} - 0.7 \text{ V}}{0.75 \text{ V}} \right)^{0.33} = 2.22 \text{ pF}$$

Aggiungendo questi valori al modello ed eseguendo un'analisi AC con $F_{\text{START}} = 10$ e $F_{\text{STOP}} = 10\text{MEG}$ con 20 punti per decade, si ottiene il grafico per l'ampiezza della risposta in frequenza mostrato di seguito.



Discussione: Si noti che lo stadio a source comune M_1 e lo stadio a emettitore comune Q_2 contribuiscono entrambi in maniera consistente al valore della frequenza f_H , mentre il contributo dell'inseguitore Q_3 è trascurabile. In base ai risultati ottenuti, si può affermare che la regione delle medie frequenze dell'amplificatore si estende da $f_L = 530$ Hz a $f_H = 667$ kHz con una banda passante $BW = 666$ kHz.

Tuttavia, SPICE indica che le frequenze di taglio sono rispettivamente 350 Hz e 675 kHz e il guadagno a centro banda è 60 dB. In questo amplificatore si vede che il metodo delle costanti di tempo fornisce una sovrastima della frequenza di taglio inferiore e una sottostima di quella superiore. Dall'analisi dell'Equazione (17.167) si vede chiaramente che vi è una costante di tempo dominante. Se si usa solo questo valore, si ottiene un migliore accordo con i risultati di SPICE:

$$f_L \approx \frac{2340}{2\pi} = 372 \text{ Hz}$$

D'altra parte, la nostra stima di f_H è in buon accordo con le simulazioni. Siamo stati molto attenti nei nostri calcoli a tener conto della separazione dei poli degli amplificatori a emettitore comune e a source comune. Se non ne avessimo tenuto conto, la stima di f_H basata su poli dominanti per ogni stadio sarebbe stata meno di 550 kHz. Questo aspetto è ancora più importante nel progetto degli amplificatori con retroazione, in quanto la nostra analisi consente di caratterizzare accuratamente la fase e il modulo della risposta in frequenza anche molto oltre f_H .

ESERCIZIO Si calcoli la reattanza di $C_{\pi 2}$ a f_L e si confronti il suo valore con $r_{\pi 2}$. Si calcoli la reattanza di $C_{\mu 3}$ e la si confronti con la resistenza $R_{B3} || R_{iB3}$ di Figura 17.57(e).

RISPOSTE $7.7 \text{ M}\Omega \gg 2.39 \text{ k}\Omega$; $300 \text{ M}\Omega \gg 14.3 \text{ k}\Omega$.

ESERCIZIO Si calcoli la reattanza delle capacità C_1 , C_2 e C_3 della Figura 17.55(b) per $f = f_H$ e si confrontino i valori con quelli delle resistenze viste ai capi dei condensatori stessi.

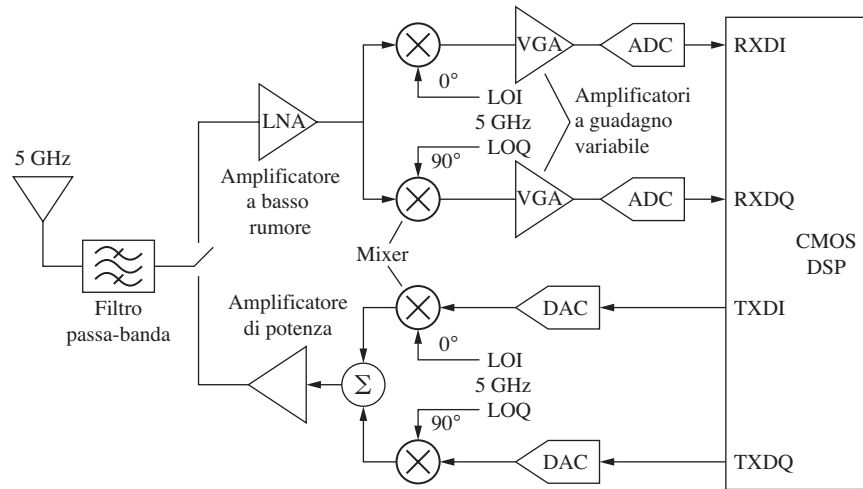
RISPOSTE $29.6 \Omega \ll 1.01 \text{ M}\Omega$; $6.29 \text{ m}\Omega \ll 66.7 \Omega$; $296 \text{ m}\Omega \ll 2.69 \text{ k}\Omega$.

17.11 Introduzione ai circuiti a radiofrequenza

Già dalla loro introduzione, i sistemi di comunicazione a radiofrequenza (RF) hanno avuto un'influenza enorme sulle nostre vite e sul modo in cui comunichiamo. Sono molti i circuiti importanti che sono apparsi e riapparsi nei dispositivi RF come i telefoni cellulari, le radio, le televisioni e così via. Questi circuiti comprendono gli amplificatori a basso rumore, i mixer (o miscelatori) e gli oscillatori.

Figura 17.59

Esempio di architettura di un rice-trasmettitore RF.



Per esempio, un'architettura⁴ per un ipotetico rice-trasmettitore è mostrata nel diagramma a blocchi in Figura 17.59, e può essere rappresentativa della sezione RF di un dispositivo per una rete locale senza fili, o del rice-trasmettitore di un telefono cellulare, a seconda delle frequenze operative per cui il circuito viene progettato. Nel sistema radio digitale a 5 GHz descritto in questo caso, il segnale ricevuto dall'antenna viene amplificato da un amplificatore a basso rumore (LNA, *Low-Noise Amplifier*) e fornito a due mixer, uno per il canale in fase (I) e l'altro per il canale in quadratura (Q). Due oscillatori locali (LO, *Local Oscillator*) in quadratura⁵ (LOI e LOQ) vengono usati per la conversione di frequenza dei segnali ricevuti dalla banda RF alla banda base, dove vengono ulteriormente amplificati da amplificatori a guadagno variabile e convertiti nel dominio digitale da convertitori A/D. I dati vengono quindi recuperati da un processore digitale CMOS dedicato (DSP). Per quanto riguarda la trasmissione, i dati digitali vengono trasformati in segnali analogici da convertitori D/A e portati alla frequenza di trasmissione da ulteriori mixer e oscillatori locali. Il livello del segnale viene aumentato da un amplificatore di potenza prima di essere inviato all'antenna. Nei prossimi paragrafi verranno analizzati i blocchi circuitali elementari per rice-trasmettitori RF, tra cui gli amplificatori RF e i mixer. Gli oscillatori verranno invece presentati nel Capitolo 18.

17.11.1 Amplificatori a radiofrequenza

In certi casi sono necessari amplificatori a banda larga capaci di amplificare segnali il cui contenuto spettrale può variare da frequenze molto basse, o addirittura DC, fino alle frequenze tipiche delle comunicazioni RF. Una tecnica detta *shunt peaking* utilizza un induttore per aumentare la larghezza di banda di un amplificatore invertente con carico capacitivo. Tuttavia, più frequentemente agli amplificatori RF è richiesta una banda passante stretta per poter selezionare un segnale tra i tanti che potrebbero essere presenti (per esempio provenienti da un'antenna). Le frequenze di interesse sono tipicamente molto al di sopra della frequenza di guadagno unitario degli amplificatori operazionali, il che non permette l'utilizzo di filtri attivi RC. Questi amplificatori presentano spesso un elevato fattore di merito Q , cioè le frequenze f_H e f_L sono molto vicine l'una all'altra e sono prossime alla frequenza di centro-banda dell'amplificatore.

Per esempio, può essere richiesta una banda di 20 kHz intorno a una frequenza portante di 1 MHz per un ricevitore AM per radiodiffusione ($Q = 50$) o una banda di 200 kHz intorno a una frequenza portante di 100 MHz per un ricevitore FM ($Q = 500$). In queste applicazioni si utilizzano spesso circuiti risonanti RLC per realizzare **amplificatori accordati** con risposta in frequenza selettiva.

⁴ Conosciuta come "architettura a conversione diretta".

⁵ Si tratta cioè di oscillatori che generano segnali sinusoidali sfasati di 90° l'uno rispetto all'altro.

17.11.2 L'amplificatore *shunt-peaked*

Nel circuito *shunt-peaked* [2], un induttore viene aggiunto in serie al resistore di drain, come mostrato nella Figura 17.60(b). L'induttore forma un circuito risonante a basso Q con la capacità connessa al nodo di uscita, aumentando la banda dell'amplificatore a patto che il valore di L venga scelto opportunamente. Qualitativamente, si ottiene questo risultato grazie al fatto che, all'aumentare della frequenza, l'impedenza dell'induttore cresce facendo così aumentare il guadagno del circuito.

È facile dimostrare che il guadagno del circuito riportato in Figura 17.60(a) è dato da

$$A_v(s) = \frac{V_o(s)}{V_i(s)} = -g_m Z_L = -g_m \frac{R}{1 + s(C_L + C_{GD})R} = -\frac{g_m R}{1 + sCR} \quad \text{per } C = C_L + C_{GD} \quad (17.182)$$

che è caratterizzato da un singolo polo a $\omega_H = 1/(RC)$, che è anche la larghezza di banda dell'amplificatore, in cui C è la capacità di carico equivalente totale al nodo di uscita. Sostituendo R con $(R + sL)$ nell'Equazione (17.182) si ottiene il guadagno dello stadio *shunt-peaked*:

$$A_{vsp} = -g_m \frac{R + sL}{1 + sCR + s^2LC} = -g_m R \frac{1 + sL/R}{1 + sRC + s^2LC} \quad (17.183)$$

Lo zero al numeratore fa aumentare il guadagno al crescere della frequenza. A frequenze più alte, i due poli al denominatore fanno sì che il guadagno diminuisca. Tipicamente, per ottenere aumenti della larghezza di banda significativi, il valore dei componenti (in particolare, dell'induttanza L) viene scelto in modo che i due poli risultino complessi coniugati.

Il miglioramento della larghezza di banda derivante dallo *shunt peaking* può essere analizzato normalizzando l'espressione del guadagno A_{vsp} . Normalizzando la frequenza angolare a ω_H , e definendo il parametro m come rapporto tra le costanti di tempo L/R e RC [$m = (L/R)/(RC)$], l'Equazione (17.183) può essere riscritta nel modo seguente:

$$A_{vn} = \left| \frac{A_{vsp}}{-g_m R} \right| = \frac{1 + ms}{1 + s + ms^2} \quad \text{dove } L = mR^2C \quad (17.184)$$

L'Equazione (17.184) è riportata graficamente nella Figura 17.61 in corrispondenza a diversi valori di m .

Il caso $m = 0$ corrisponde all'assenza di *shunt peaking*, e la larghezza di banda normalizzata (misurata nel punto in cui $|A_{vsp}| = 0.707$) in questo caso è $\omega/\omega_H = 1$, come era lecito attendersi. La risposta massimamente piatta, detta anche di Butterworth, si ha per $m = 0.41$, e garantisce un aumento della larghezza di banda di un fattore 1.72. La larghezza di banda massima, pari a $1.82\omega_H$, si ottiene con $m = 0.71$, tuttavia al prezzo di una significativa risonanza, come si evince dal picco nella corrispondente curva del guadagno riportata in Figura 17.61.

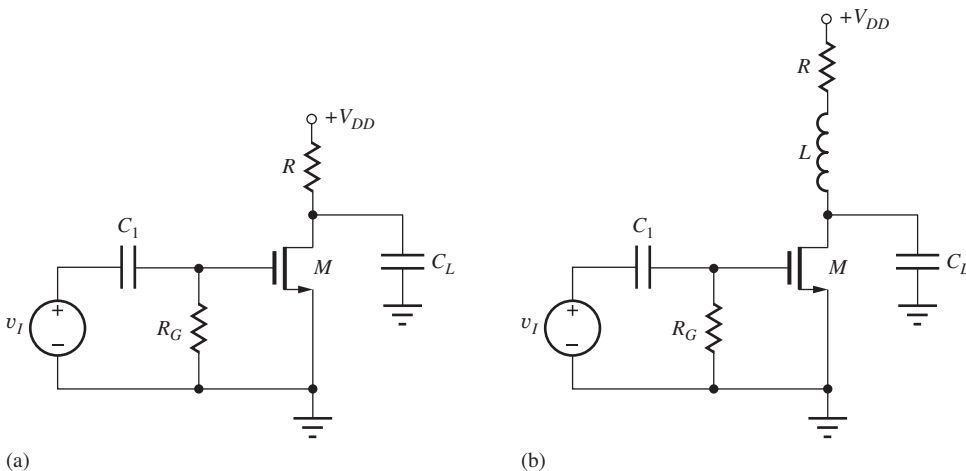
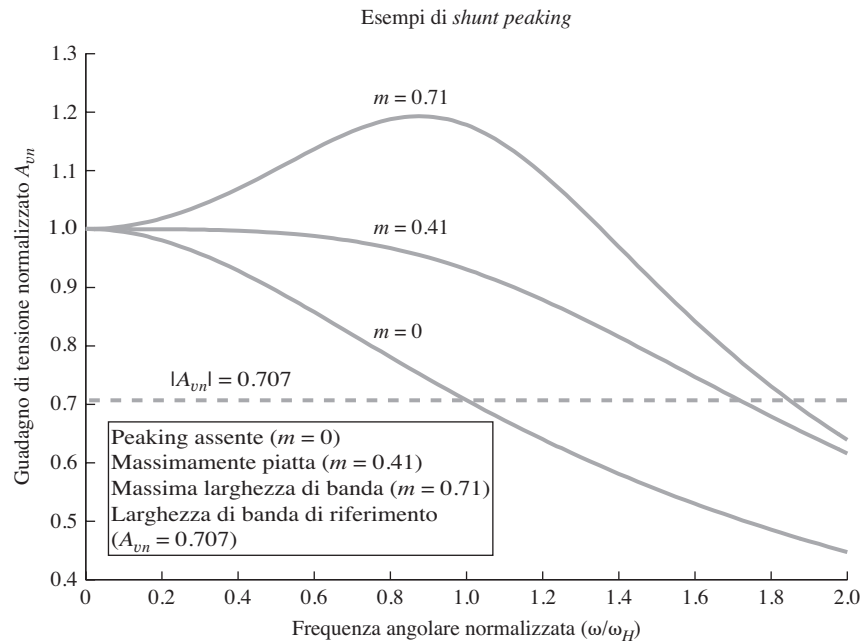


Figura 17.60
(a) Amplificatore a source comune con carico capacitivo.
(b) Amplificatore *shunt-peaked*.

Figura 17.61

Larghezza di banda dell'amplificatore *shunt-peaked* per diversi valori di m .



In questo paragrafo abbiamo visto che la tecnica dello *shunt peaking* può aumentare significativamente la larghezza di banda di amplificatori con risposta di tipo passa-basso. Tuttavia, molte applicazioni richiedono amplificatori accordati a banda stretta (cioè, ad alto Q); esempi di circuiti di questo tipo sono presentati nei paragrafi successivi.

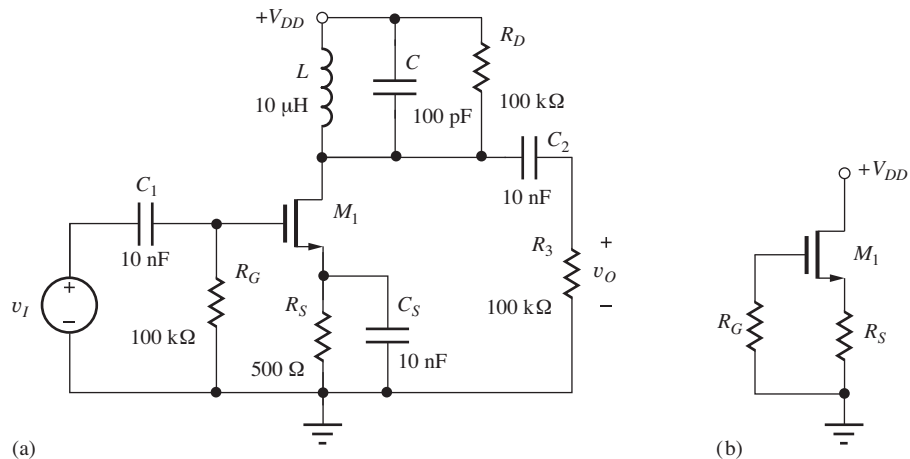
17.11.3 Amplificatore accordato a singolo stadio

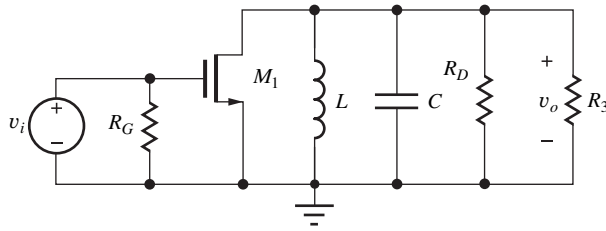
La Figura 17.62 mostra un esempio di un semplice amplificatore accordato a banda stretta. È stato scelto un MOSFET a svuotamento per semplificare la polarizzazione, ma potrebbe essere usato ogni tipo di transistor. La rete RLC sul drain dell'amplificatore rappresenta la parte selettiva in frequenza del circuito, e il parallelo dei resistori R_D e R_3 , insieme con la resistenza di uscita r_o del transistor, definiscono il fattore di merito e la banda del circuito. Benché il resistore R_D non sia necessario per la polarizzazione, esso è spesso incluso per controllare il Q del circuito.

Il punto di lavoro del transistor può essere determinato dall'analisi del circuito equivalente in DC mostrato in Figura 17.62(b). La corrente di polarizzazione viene fornita attraverso l'induttore, che rappresenta un cortocircuito tra il drain e V_{DD} per le componenti continue; inoltre tutti i condensatori C_1 , C_2 , C_S e C sono stati sostituiti da circuiti aperti. Il punto di lavoro si può calcolare facilmente dalla Figura 17.62(b) utilizzando i metodi presentati precedentemente, per cui concentreremo l'attenzione solo sul comportamento in AC dell'amplificatore accordato utilizzando il circuito equivalente di Figura 17.63.

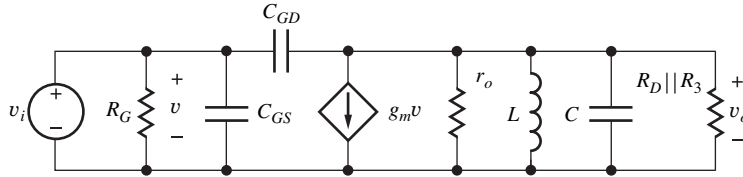
Figura 17.62

(a) Amplificatore accordato a MOSFET a svuotamento.
(b) Circuito equivalente in DC per l'amplificatore accordato di Figura 17.60(a).





(a)



(b)

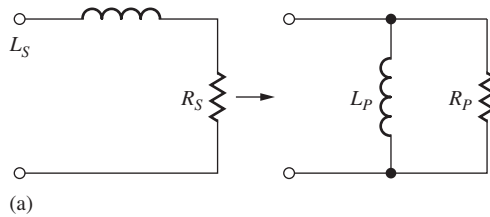
Figura 17.63

(a) Circuito equivalente AC in alta frequenza e (b) modello per piccolo segnale dell'amplificatore accordato di Figura 17.62.

ELETRONICA IN AZIONE

Trasformazioni di impedenza

Le figure sottostanti forniscono un insieme molto utile di conversioni circuitali serie-parallelo e parallelo-serie. Le impedenze o le ammettenze delle reti sono uguali alla frequenza in corrispondenza della quale è stata calcolata la trasformazione.

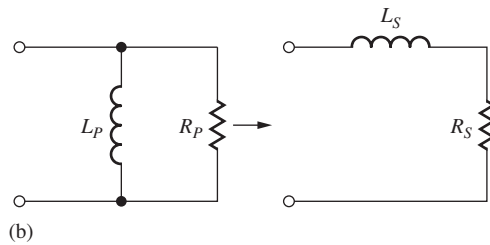


(a)

$$R_P = R_S(1 + Q_S^2)$$

$$L_P = L_S \left(\frac{1 + Q_S^2}{Q_S^2} \right)$$

$$Q_S = \frac{\omega L_S}{R_S}$$

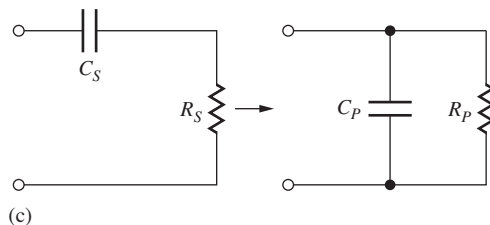


(b)

$$R_S = \frac{R_P}{1 + Q_P^2}$$

$$L_S = L_P \left(\frac{Q_P^2}{1 + Q_P^2} \right)$$

$$Q_P = \frac{R_P}{\omega L_P}$$

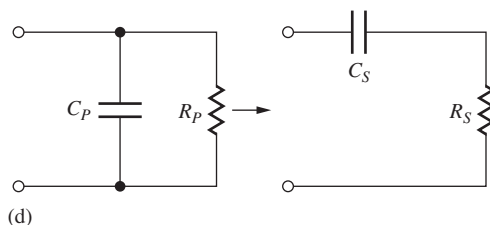


(c)

$$R_P = R_S(1 + Q_S^2)$$

$$C_P = C_S \left(\frac{Q_S^2}{1 + Q_S^2} \right)$$

$$Q_S = \frac{1}{\omega R_S C_S}$$



(d)

$$R_S = \frac{R_P}{1 + Q_P^2}$$

$$C_S = C_P \left(\frac{1 + Q_P^2}{Q_P^2} \right)$$

$$Q_P = \omega R_P C_P$$

Scrivendo il bilancio di correnti al nodo di uscita del circuito di Figura 17.63(b) e osservando che $v = v_L$, si ottiene:

$$(sC_{GD} - g_m)V_i(s) = V_o(s) \left[g_o + G_D + G_3 + s(C + C_{GD}) + \frac{1}{sL} \right] \quad (17.185)$$

Sostituendo $G_P = g_o + G_D + G_3$ e risolvendo, si ottiene la funzione di trasferimento:

$$A_v(s) = \frac{V_o(s)}{V_i(s)} = (sC_{GD} - g_m)R_P \frac{\frac{s}{R_P(C + C_{GD})}}{s^2 + \frac{s}{R_P(C + C_{GD})} + \frac{1}{L(C + C_{GD})}} \quad (17.186)$$

Se trascuriamo lo zero del semipiano di destra, l'Equazione (17.186) può essere riscritta come

$$A_v(s) \approx A_{\text{mid}} \frac{s \frac{\omega_o}{Q}}{s^2 + s \frac{\omega_o}{Q} + \omega_o^2} \quad \text{con} \quad \omega_o = \frac{1}{\sqrt{L(C + C_{GD})}} \quad (17.187)$$

in cui ω_o è la **frequenza centrale** dell'amplificatore, mentre il fattore di merito è dato da:

$$Q = \omega_o R_P (C + C_{GD}) = \frac{R_P}{\omega_o L}$$

La frequenza centrale, o di centro banda, dell'amplificatore è uguale alla frequenza di risonanza ω_o della rete LC . Alla frequenza centrale, $s = j\omega_o$ e l'Equazione (17.187) diventa:

$$A_v(j\omega_o) = A_{\text{mid}} \frac{j\omega_o \frac{\omega_o}{Q}}{(j\omega_o)^2 + j\omega_o \frac{\omega_o}{Q} + \omega_o^2} = A_{\text{mid}} \frac{j\omega_o \frac{\omega_o}{Q}}{-\omega_o^2 + j\omega_o \frac{\omega_o}{Q} + \omega_o^2} = A_{\text{mid}}$$

$$A_{\text{mid}} = -g_m R_P = -g_m (r_o \parallel R_D \parallel R_3) \quad (17.188)$$

Per circuiti a banda stretta, cioè ad alto Q , la banda è data da:

$$BW = \frac{\omega_o}{Q} = \frac{1}{R_P(C + C_{GD})} = \frac{\omega_o^2 L}{R_P} \quad (17.189)$$

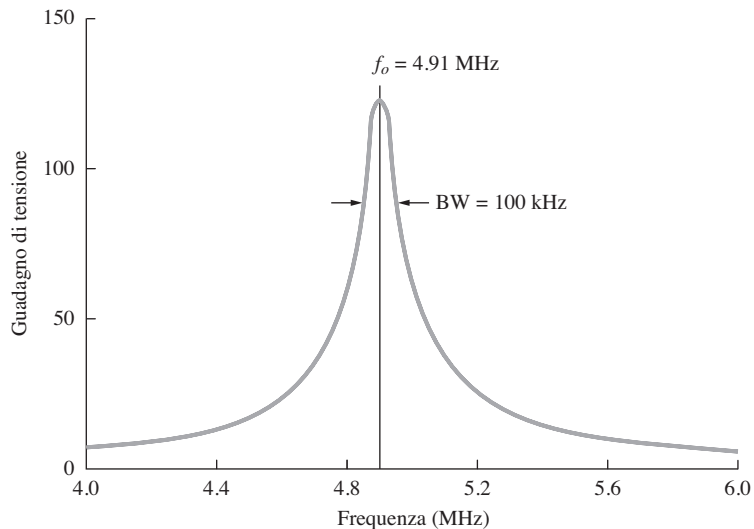
Una banda stretta richiede un grande valore della resistenza equivalente R_P , una elevata capacità o una piccola induttanza. In questo circuito il massimo valore di R_P è r_o . In questo caso il fattore di merito è limitato dalla resistenza di uscita del transistor e quindi dalla scelta del punto di lavoro, e il guadagno di centro banda A_{mid} è uguale al fattore di amplificazione μ_f .

La risposta in frequenza dell'amplificatore accordato di Figura 17.62, ottenuta mediante il simulatore SPICE, è mostrata nella Figura 17.64. In questo progetto l'amplificatore ha una frequenza centrale di 4.91 MHz e un fattore Q di circa 50.

Figura 17.64

Risposta in frequenza, ottenuta mediante il simulatore, dell'amplificatore accordato di Figura 17.60 con

$C_{GS} = 50$ pF, $C_{GD} = 20$ pF,
 $V_{DD} = 15$ V, $K_n = 5$ mA/V²,
 $V_{TN} = -2$ V, $\lambda = 0.02$ V⁻¹ e
 $R_3 = R_D \rightarrow \infty$.



ESERCIZIO Qual è l'impedenza dei condensatori di accoppiamento e bypass di 10 nF della Figura 17.62 alla frequenza di 5 MHz?

RISPOSTA $-j3.18 \Omega$ (si noti che $X_C \ll R_G$ e $X_C \ll R_3$).

ESERCIZIO Si trovino la frequenza centrale, la banda, il Q e il guadagno di centro banda per l'amplificatore di Figura 17.62 usando i parametri della Figura 17.64, assumendo $R_S = 270 \Omega$ e $I_D = 3.20 \text{ mA}$.

RISPOSTE 4.59 MHz, 92.7 kHz, 49.6 – 80.9.

ESERCIZIO Quali sono i nuovi valori se la tensione di alimentazione è ridotta a 10 V?

RISPOSTE 4.59 MHz, 98.3 kHz, 46.7, –76.3.

17.11.4 Utilizzo dell'induttore a presa intermedia – L'autotrasformatore

L'impedenza della capacità gate-drain e la resistenza di uscita del transistor, C_{GD} e r_o , possono essere spesso abbastanza piccole, causando un degrado delle caratteristiche dell'amplificatore accordato. Il problema può essere risolto collegando il transistor a una presa intermedia sull'induttore piuttosto che ai capi dell'intero induttore, come mostrato nella Figura 17.65. In questo caso l'induttore funziona come un autotrasformatore e modifica l'impedenza vista dal circuito risonante.

L'autotrasformatore può essere rappresentato dalla sua induttanza totale di magnetizzazione L_2 in parallelo con un trasformatore ideale con un rapporto spire di $(n-1):1$. Il trasformatore ideale presenta gli avvolgimenti primario e secondario interconnessi, come mostrato in Figura 17.66(b). Le impedenze sono modificate del fattore n^2 dal trasformatore ideale:

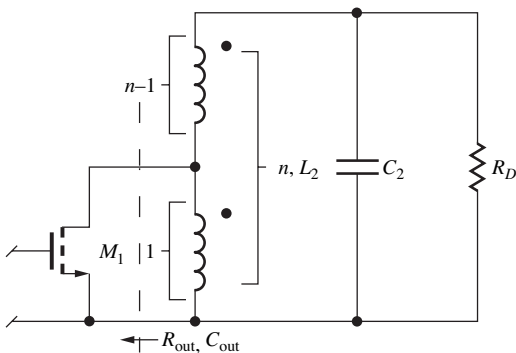
$$\begin{aligned} V_o(s) &= V_2(s) + V_1(s) = (n-1)V_1(s) + V_1(s) = nV_1(s) \\ I_s(s) &= I_1(s) + I_2(s) = (n-1)I_2(s) + I_2(s) = nI_2(s) \end{aligned} \quad (17.190)$$

e

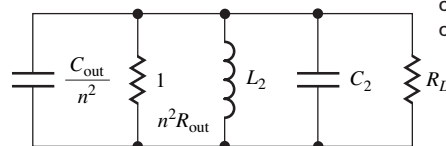
$$\frac{V_o(s)}{I_2(s)} = \frac{nV_1(s)}{I_s(s)} = n^2 \frac{V_1(s)}{I_s(s)} \quad Z_s(s) = n^2 Z_p(s) \quad (17.191)$$

Pertanto, l'impedenza $Z_s(s)$ riportata al secondario del trasformatore è n^2 volte più grande dell'impedenza $Z_p(s)$ connessa al primario.

Il circuito risonante di Figura 17.65(a) può essere trasformato, utilizzando l'Equazione (17.191), nel circuito rappresentato in Figura 17.65(b), in cui L_2 rappresenta l'induttanza totale del trasformatore. La capacità di uscita del transistor viene ridotta di un fattore n^2 , mentre la resistenza di uscita è aumentata dello stesso fattore. Pertanto si può ottenere un Q molto più elevato e la frequenza centrale non viene modificata in maniera apprezzabile dalla variazione del valore di C_{GD} .



(a)



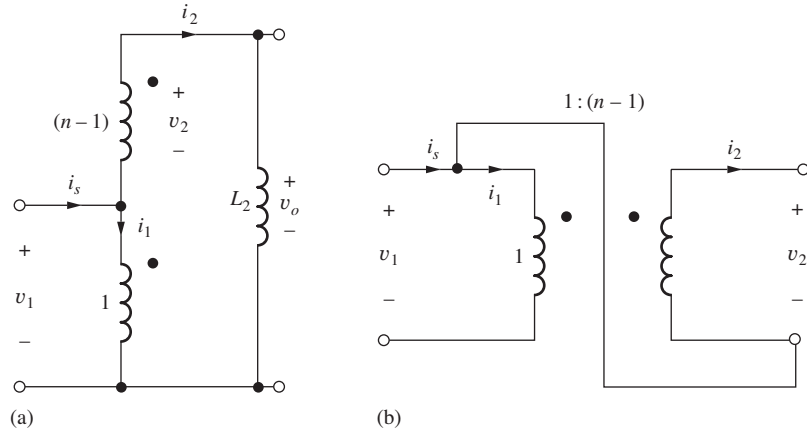
(b)

Figura 17.65

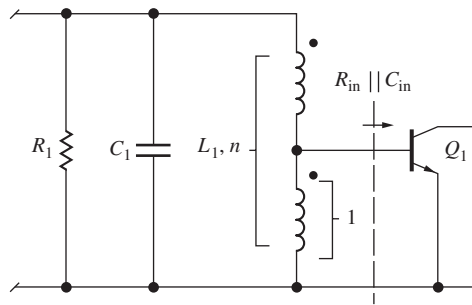
(a) Utilizzo di un induttore con presa intermedia come trasformatore di impedenza. (b) Trasformazione degli elementi del circuito accordato di Figura 17.65(a). Questo circuito può essere usato per il calcolo di ω_o e Q .

Figura 17.66

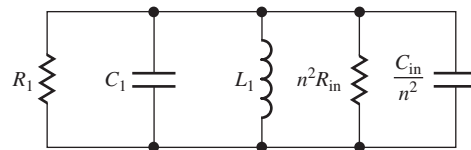
(a) Induttore con presa intermedia e (b) sua rappresentazione mediante un trasformatore ideale.

**Figura 17.67**

Utilizzo di un autotrasformatore all'ingresso del transistor Q_1 .

**Figura 17.68**

Rappresentazione equivalente del circuito accordato di Figura 17.67.



Un problema simile si verifica spesso se il circuito accordato si trova all'ingresso dell'amplificatore piuttosto che all'uscita, come in Figura 17.67. Nel caso particolare del transistor bipolare, l'impedenza equivalente di ingresso di Q_1 , rappresentata da R_{in} e C_{in} , può essere abbastanza bassa a causa di r_π e della elevata capacità di ingresso causata dall'effetto Miller. L'induttore multipresa modifica l'impedenza secondo quanto indicato nella Figura 17.68, dove L_1 rappresenta ora l'induttanza totale del trasformatore.

17.11.5 Circuiti accordati multipli – Sintonizzazione sincrona e scalata

I circuiti RLC multipli sono spesso necessari per sagomare la risposta in frequenza degli amplificatori che presentano circuiti accordati sia in ingresso che in uscita, come mostrato nella Figura 17.69. La Figura 17.69(b) mostra il circuito equivalente AC in alta frequenza per l'amplificatore a doppia sintonia o doppio accordo. Il resistore di source è cortocircuitato dal condensatore C_S , mentre C_C è un condensatore di accoppiamento. La **bobina di arresto a radiofrequenza (RFC)** è utilizzata per la polarizzazione, ed è progettata in modo da rappresentare un'altissima impedenza (praticamente un circuito aperto) alla frequenza di lavoro dell'amplificatore.

È possibile usare due circuiti accordati per ottenere un valore di Q più elevato di quello di un singolo circuito LC se entrambi sono sintonizzati alla stessa frequenza centrale (**sintonizzazione sincrona**), o un amplificatore a banda più larga se i circuiti sono sintonizzati a frequenze centrali leggermente differenti (**sintonizzazione scalata**), come mostrato nella

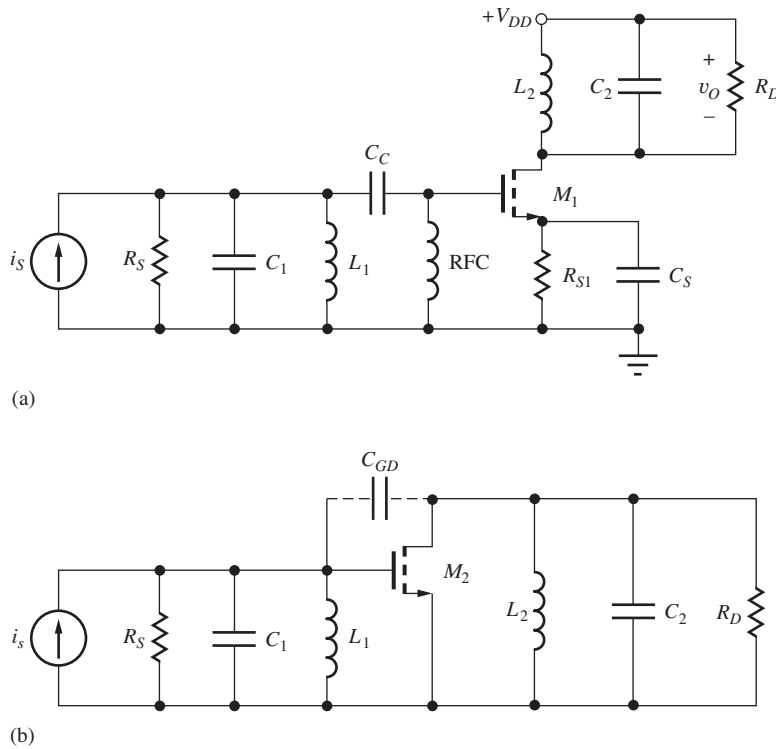


Figura 17.69

(a) Amplificatore con due circuiti accordati. (b) Circuito equivalente AC in alta frequenza dell'amplificatore.

Figura 17.70. Nel caso di sintonizzazione sincrona la banda complessiva può essere calcolata usando il fattore di riduzione della banda:

$$BW_n = BW_1 \sqrt{2^{\frac{1}{n}} - 1} \quad (17.192)$$

dove n è il numero di circuiti accordati e BW_1 è la larghezza di banda del singolo circuito.

Possono, tuttavia, verificarsi due importanti problemi nell'amplificatore di Figura 17.69, in particolare nel caso della sintonizzazione sincrona. In primo luogo, la sintonizzazione dei due circuiti è difficile a causa dell'interazione mutua dovuta all'effetto Miller su C_{GD} . Inoltre, l'amplificatore può facilmente entrare in oscillazione a causa dell'accoppiamento dell'uscita con l'ingresso attraverso C_{GD} (il prossimo capitolo tratterà gli oscillatori).

Per risolvere questo problema di retroazione è possibile usare una tecnica denominata **neutralizzazione**, ma il problema esula dagli scopi di questo testo. Tuttavia, nella Figura 17.71 sono illustrati due approcci alternativi in cui il percorso di retroazione viene eliminato. Nella Figura 17.71(a) si fa uso di uno stadio cascode. Il transistor a base comune Q_2 elimina l'effetto Miller e fornisce un efficace isolamento fra i due circuiti accordati. Nella Figura 17.71(b) viene utilizzata la configurazione C-C/C-B per minimizzare l'accoppiamento tra uscita e ingresso.

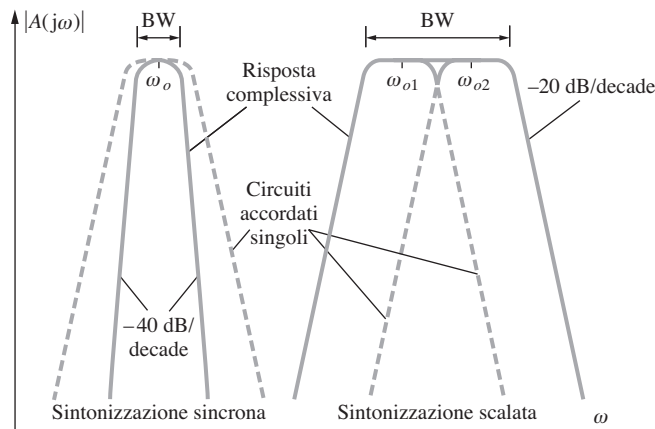
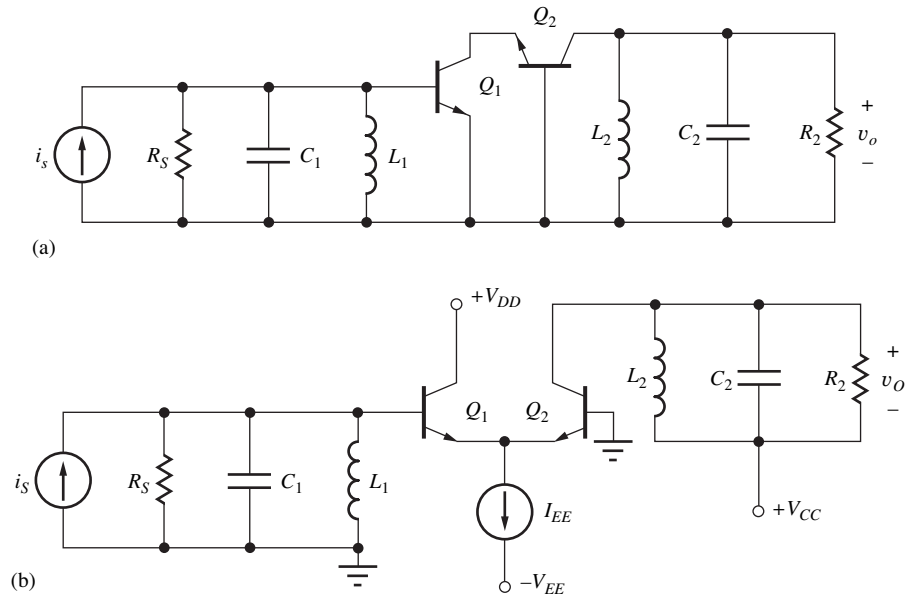


Figura 17.70

Esempi di amplificatori accordati che utilizzano la sintonizzazione sincrona e scalata.

Figura 17.71

(a) Cascode a doppia sintonia e
(b) configurazione C-C/C-B per
l'isolamento tra ingresso e
uscita.



17.11.6 L'amplificatore a source comune a degenerazione induttiva

Nella maggior parte dei sistemi RF, è desiderabile adattare la resistenza di ingresso dell'LNA alla resistenza dell'antenna, che tipicamente è $50\ \Omega$ o $75\ \Omega$. Nei circuiti integrati è possibile adottare la soluzione riportata in Figura 17.72, che realizza l'adattamento in ingresso senza usare resistori che porterebbero a un aumento del rumore generato dall'amplificatore. L'aggiunta dell'induttore L_S in serie al source del transistor M_1 dà origine a una componente reale positiva in Z_{iG} .

L'impedenza di ingresso Z_{iG} può essere ricavata sfruttando la nostra conoscenza della resistenza di ingresso degli amplificatore a collettore comune e a drain comune. Per il momento, trascuriamo la capacità gate-drain del transistori. Dall'analisi dei circuiti inseguitori sappiamo che l'impedenza di ingresso dell'amplificatore in Figura 17.72(a) è la somma delle impedenze Z_{GS} e Z_S , più una replica amplificata di Z_S :

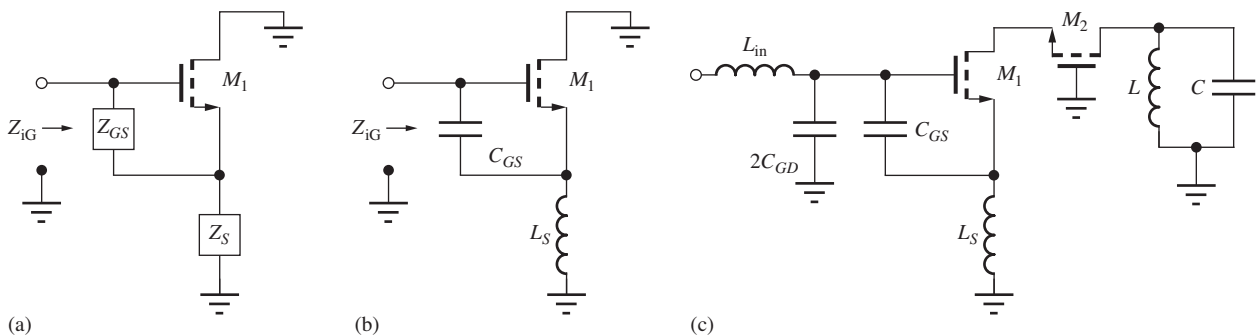
$$Z_{iG}(s) = Z_{GS} + Z_S + (g_m Z_{GS}) Z_S = \frac{1}{sC_{GS}} + sL_S + g_m \frac{L_S}{C_{GS}} \quad (17.193)$$

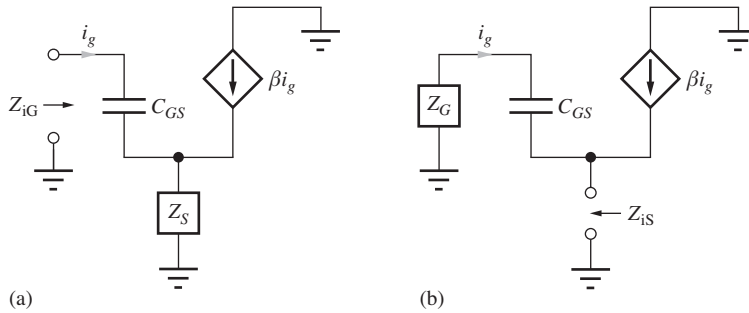
$$Z_{iG}(s) = \frac{1}{sC_{GS}} + sL_S + R_{eq} \quad \text{con} \quad R_{eq} = +g_m \frac{L_S}{C_{GS}}$$

Figura 17.72

(a) Circuito generalizzato per il calcolo dell'impedenza di ingresso. (b) Transistore NMOS con impedenza di source induttiva. (c) LNA in configurazione cascode con l'aggiunta dell'induttore L_{in} per cancellare la componente capacitiva dell'impedenza di ingresso.

L'impedenza di ingresso dell'amplificatore in Figura 17.72(b) è quindi la combinazione in serie delle impedenze di C_{GS} e L_S più una resistenza di ingresso reale R_{eq} , che può essere adattata a $50\ \Omega$ o $75\ \Omega$ tramite una scelta opportuna dei valori di L_S e del fattore di forma W/L e del punto di lavoro Q del transistor. Di norma L_S e C_{GS} non sono in risonanza alla frequenza operativa desiderata.



**Figura 17.73**

(a) Impedenza Z_{IG} vista nel gate con Z_S sul source.
(b) Impedenza Z_{IS} vista nel source con l'impedenza Z_G sul gate.

Nel circuito riportato in Figura 17.72(c), un secondo induttore L_{in} è stato aggiunto in serie al gate del transistor, ed è scelto in modo tale che l'induttanza totale $L_S + L_{in}$ sia in risonanza con C_{GS} alla frequenza operativa del circuito, cosicché l'impedenza di ingresso risulti puramente resistiva. Di norma viene adottata una configurazione cascode per minimizzare l'impatto della capacità gate-drain, che diventa equivalente a una capacità pari all'incirca a $2C_{GD}$ tra il terminale di gate e il riferimento.

Consideriamo ora il caso generale mostrato in Figura 17.73(a), in cui il modello di piccolo segnale è ridisegnato con un generatore controllato in corrente. In AC il guadagno di corrente del MOSFET non è più infinito, ma vale

$$\beta(s) = g_m Z_{gs} = \frac{g_m}{sC_{GS}} \quad \text{e} \quad \beta(j\omega) = -j \frac{g_m}{\omega C_{GS}} \approx -j \frac{\omega_T}{\omega} \quad (17.194)$$

dove si è ipotizzato che $C_{GS} \gg C_{GD}$. Usando β , l'impedenza Z_{IG} dell'Equazione (17.193) può essere riscritta in un modo familiare, in cui però il MOSFET ha un guadagno di corrente complesso con una fase di -90° .

$$Z_{IG} = Z_{GS} + (\beta + 1)Z_S = Z_{GS} + Z_S + \beta Z_S \quad (17.195)$$

Il valore immaginario del guadagno di corrente provoca una inattesa trasformazione di impedenza, che potrebbe anche portare all'instabilità in certi circuiti se non si conosce questo comportamento. Nell'Equazione (17.193) si vede che un'induttanza sul source viene trasformata in una resistenza all'ingresso. La Tabella 17.4 riporta le trasformazioni che subiscono le resistenze, induttanze e capacità poste sul source. È importante notare che una capacità di carico sul source si trasforma in una resistenza di ingresso negativa funzione della frequenza, e questo può facilmente provocare un'instabilità.

L'impedenza Z_{IS} che si vede guardando nel source del transistor di Figura 17.73(b) quando è presente un'impedenza Z_G sul gate, presenta anch'essa delle trasformazioni inattese. Supponendo $\beta \gg 1$ si ha

$$Z_{IS} = \frac{1}{\frac{1}{sC_{GS}} + Z_G} \approx \frac{1}{\frac{1}{\beta} + Z_G} = \frac{1}{g_m} + \frac{Z_G}{\beta} = \frac{1}{g_m} + j \frac{\omega}{\omega_T} Z_G \quad (17.196)$$

Tabella 17.4 Trasformazioni di impedenza di gate e source dovute al guadagno di corrente immaginario $\left(\omega_T = \frac{g_m}{C_{GS}}\right)$.

Impedenza di ingresso drain comune		Impedenza di uscita drain comune	
Z_S	Impedenza risultante	Z_G	Impedenza risultante
R	$C_{eq} = +\frac{1}{\omega_T R}$	R	$L_{eq} = +\frac{R}{\omega_T}$
L	$R_{eq} = +\omega_T L$	L	$R_{eq} = -\frac{\omega^2}{\omega_T} L < 0!$
C	$R_{eq} = -\frac{\omega_T}{\omega^2 C} < 0!$	C	$R_{eq} = \frac{1}{\omega_T C}$

Il guadagno immaginario di corrente provoca un anticipo della fase di $+90^\circ$ e le impedenze che risultano dal secondo termine dell'Equazione (17.196) sono indicate in Tabella 17.4. In questo caso un'induttanza sul gate si trasforma vista nel source in una resistenza negativa che dipende dalla frequenza. È importante ricordare che un comportamento simile si ha anche nei transistori bipolari. Per frequenze al di sopra di ω_β , l'impedenza di C_π domina il parallelo con r_π e il guadagno del BJT diventa

$$\beta(s) = g_m Z_{be} \approx \frac{g_m}{sC_\pi} \quad \text{e} \quad \beta(j\omega) = -j \frac{g_m}{\omega C_\pi} \approx -j \frac{\omega_T}{\omega} \quad \text{per} \quad \omega > \omega_\beta \quad (17.197)$$

ESERCIZIO Un transistor NMOS con $\mu_n = 400 \text{ cm}^2/(\text{V} \cdot \text{s})$ e $L = 0.5 \mu\text{m}$ viene polarizzato con $V_{GS} = V_{TN} + 0.25 \text{ V}$. Quale valore di L_S è necessario per ottenere una resistenza di ingresso di 75Ω nel circuito di Figura 17.72(b)?

RISPOSTA 1.88 nH.

17.12 Mixer e modulatori bilanciati

Nei sistemi a radiofrequenza è spesso necessario convertire un segnale da una frequenza portante a un'altra. Questo processo include sia la conversione o traslazione di frequenza (*mixing*) sia la modulazione, e generalmente richiede qualche forma di moltiplicazione non lineare di due segnali per generare nello spettro di uscita componenti alla somma e alla differenza delle frequenze dei segnali di ingresso. I mixer bilanciati (*single-balanced*) sopprimono uno dei due segnali di ingresso, mentre l'uscita dei circuiti doppiamente bilanciati (*double-balanced*) non contiene componenti spettrali in corrispondenza di nessuna delle due frequenze di ingresso.

ELETTRONICA IN AZIONE

Cifra di rumore, fattore di rumore e minimo segnale rivelabile

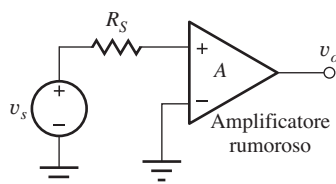
I resistori e i transistori presenti negli amplificatori aggiungono rumore termico e rumore shot al segnale durante il processo di amplificazione. La cifra di rumore F di un amplificatore (o di un qualsiasi sistema elettronico) è una misura della degradazione del rapporto segnale-rumore (SNR, *Signal to Noise*

Ratio) indotto dai componenti rumorosi, definita come il rapporto tra la potenza del rumore totale all'uscita dell'amplificatore e la potenza all'uscita del solo rumore generato dalla sorgente. F può anche essere espresso come il rapporto tra il SNR all'ingresso dell'amplificatore e il SNR all'uscita.

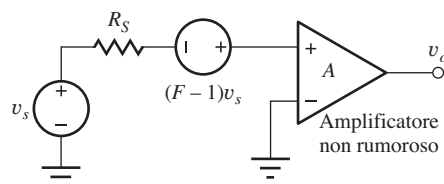
$$F = \frac{\text{Potenza del rumore totale all'uscita dell'amplificatore}}{\text{Potenza all'uscita del solo rumore generato dalla sorgente}} = \frac{SNR_{in}}{SNR_{out}}$$

Possiamo rappresentare il rumore dell'amplificatore in termini della sua cifra di rumore secondo il modello mostrato nella figura sottostante, in cui la sorgente addizionale di rumore $(F - 1)v_s$ viene inclusa per rappresentare il rumore generato internamente

dall'amplificatore. La quantità $F - 1$ indica la potenza del rumore aggiunto dall'amplificatore rispetto a quello generato dalla sorgente. Se l'amplificatore non aggiungesse rumore, F sarebbe unitaria e quindi $F - 1$ sarebbe nulla.



(a) Amplificatore rumoroso.



(b) Modello equivalente ad (a) con amplificatore non rumoroso e generatore di rumore.

Se la potenza del rumore generato dalle sorgenti in ingresso all'amplificatore viene sommata, il risultato è il seguente:

$$\overline{v_{\text{tot}}^2} = \overline{v_s^2} + (F - 1)\overline{v_s^2} = F\overline{v_s^2} \quad \text{e} \quad F = \frac{\overline{v_{\text{tot}}^2}}{\overline{v_s^2}}$$

dove $\overline{v_s^2} = 4kTR_sB$ è il rumore termico della resistenza di sorgente nella banda B . La cifra di rumore NF è la quantità cui si fa tipicamente riferimento, ed è semplicemente il risultato della conversione della cifra di rumore in decibel: $NF = 10 \log_{10} F$.

Gli amplificatori di solito hanno dei BJT o dei MOSFET collegati all'ingresso e le loro resistenze r_x o r_g sono direttamente in serie alla resistenza di sorgente R_s ; possono essere pertanto un importante contributo alla cifra di rumore dell'amplificatore. Il minimo segnale rivelabile è definito come il se-

gnale con una potenza uguale alla potenza del rumore equivalente in ingresso dell'amplificatore. La potenza di rumore disponibile generato dalla sorgente in un sistema adattato è

$$S_{\text{mds}} = \frac{\overline{v_{\text{tot}}^2}}{4R_s} = kTBF$$

La potenza del minimo segnale rivelabile viene di norma espressa in decibel riferiti a 1 mW (dBm) ($10 \log_{10}(S_{\text{mds}}/1 \text{ mW})$); alla temperatura $T = 290 \text{ K}$ si ha

$$S_{\text{mds}} = -174 \text{ dBm} + 10 \log_{10} B + 10 \log F$$

Per esempio con una banda di 1 kHz e una cifra di rumore di 3 dB, il minimo segnale rivelabile vale $S_{\text{mds}} = -142 \text{ dBm}$.

17.12.1 Principi di funzionamento del mixer

Come suggerisce il simbolo del mixer riportato in Figura 17.74, la conversione di frequenza si ottiene moltiplicando due segnali. Supponendo di realizzare il prodotto di due onde sinusoidali di frequenza angolare ω_1 e ω_2 , espandendo il risultato tramite le identità trigonometriche si ottiene:

$$s_o = s_2 \cdot s_1 = \sin \omega_2 t \cdot \sin \omega_1 t = \frac{\cos(\omega_2 - \omega_1)t - \cos(\omega_2 + \omega_1)t}{2} \quad (17.198)$$

L'uscita di un mixer ideale contiene componenti alle frequenze $\omega_1 - \omega_2$ e $\omega_1 + \omega_2$. Di solito vengono impiegati filtri per selezionare la componente alla frequenza somma o alla frequenza differenza, a seconda che l'applicazione richieda una conversione in salita, o *up-conversion*, ($\omega_1 + \omega_2$) o una conversione in discesa, o *down-conversion*, ($\omega_1 - \omega_2$) del segnale.

La Figura 17.75 mostra un ricevitore FM in cui un segnale VHF a banda stretta centrato a 100 MHz viene moltiplicato con il segnale a 89.3 MHz fornito da un oscillatore locale (LO). Lo spettro del segnale a banda stretta VHF viene traslato sia a 10.7 MHz sia a 189.3 MHz, quindi un filtro passa-banda seleziona la componente a frequenza inferiore IF, frequenza intermedia, ed elimina la componente a frequenza superiore.

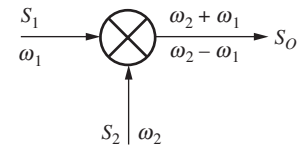
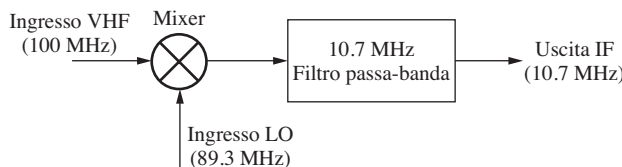
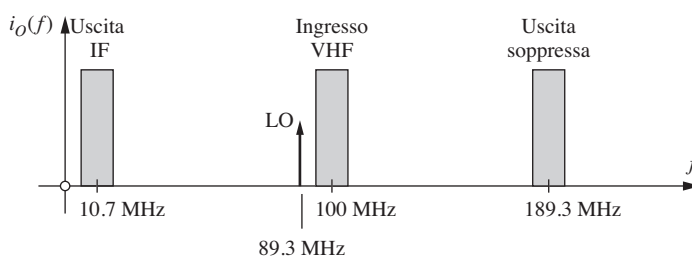


Figura 17.74
Simbolo del mixer ideale che rappresenta la moltiplicazione dei segnali s_1 e s_2 .



(a)



(b)

Figura 17.75
(a) Schema a blocchi del mixer e (b) spettro in un ricevitore FM.

ESERCIZIO Il segnale LO in Figura 17.75 poteva anche essere posizionato a frequenza maggiore rispetto al segnale VHF. Quale sarebbe stata in questo caso la frequenza dell'oscillatore locale e la frequenza centrale della componente di uscita indesiderata?

RISPOSTE 110.7 MHz; 210.7 MHz.

ESERCIZIO (a) Un ricevitore FM deve essere sintonizzato per ricevere una stazione a 104.7 MHz. Quali sono le frequenze dell'oscillatore locale che forniscono un'uscita centrata ai 10.7 MHz del filtro passa-banda? (b) Si ripeta il punto precedente per una frequenza di ingresso di 88.1 MHz.

RISPOSTE 94.0 MHz o 115.4 MHz; 77.4 MHz o 98.8 MHz.

Guadagno di conversione

Nel caso degli amplificatori visti in precedenza, le definizioni di guadagno in generale riguardavano segnali alla stessa frequenza. Si è infatti ipotizzato che gli amplificatori fossero lineari e che il segnale di ingresso e il segnale di uscita fossero quindi alla stessa frequenza. Infatti, le eventuali componenti a qualsiasi altra frequenza sono state considerate come un prodotto indesiderato della distorsione (si ricordi la definizione di THD, distorsione armonica totale).

Al contrario, il mixer è un dispositivo non lineare in cui i segnali di uscita si trovano a frequenze diverse rispetto ai segnali di ingresso. Il guadagno di conversione di un mixer è definito come il rapporto tra le ampiezze del segnale di uscita e del segnale di ingresso, mentre il fatto che i due segnali si trovino a due frequenze differenti viene semplicemente ignorato. Per esempio, il guadagno del mixer descritto dall'Equazione (17.198) è 0.5 (o -6 dB) per entrambe le frequenze di uscita.

Praticamente qualsiasi componente non lineare può essere usato come mixer. Per esempio, le caratteristiche $i-v$ dei diodi, dei transistori bipolari e dei transistori a effetto di campo contengono termini non lineari quadratici (e di ordine superiore) nella loro rappresentazione matematica e possono quindi generare una vasta gamma di termini prodotto. Tuttavia, nei paragrafi successivi concentreremo la nostra attenzione sui mixer a commutazione (*switching mixer*), che sono caratterizzati da guadagni di conversione alti (quindi, con basse perdite di conversione).

17.12.2 Mixer bilanciato (*balanced*)

In pratica non è necessario che, nel mixer in Figura 17.74, entrambi i segnali siano onde sinusoidali. Risulta molto conveniente che uno dei due ingressi sia una forma d'onda a commutazione in quanto il guadagno di conversione risulta più alto. Nella sua forma più semplice, il mixer a commutazione consiste in una sorgente di segnale, un interruttore e un carico, come mostrato in Figura 17.76(a). Quando l'interruttore è chiuso, l'uscita è uguale al segnale di ingresso, mentre quando l'interruttore è aperto, l'uscita è nulla. Di conseguenza, la tensione di uscita è uguale alla tensione di ingresso v_I moltiplicata per la funzione di commutazione a onda quadra $s_S(t)$ rappresentata in Figura 17.76(b). Se ipotizziamo che il segnale di ingresso sia un'onda sinusoidale e se rappresentiamo l'onda quadra tramite il suo sviluppo in serie di Fourier, otteniamo

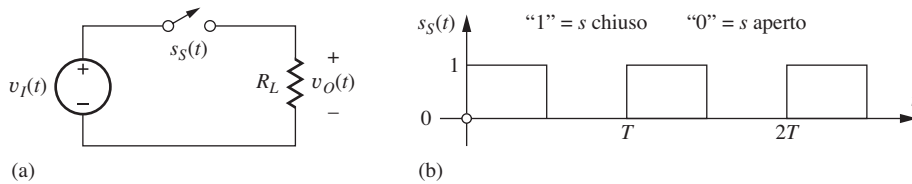
$$v_I(t) = A \sin \omega_1 t \quad \text{e} \quad s_S(t) = \frac{1}{2} + \frac{2}{\pi} \sum_{n \text{ dispari}} \frac{1}{n} \sin n\omega_2 t \quad \text{con} \quad \omega_2 = \frac{2\pi}{T} \quad (17.199)$$

Allora l'espressione della tensione di uscita diventa

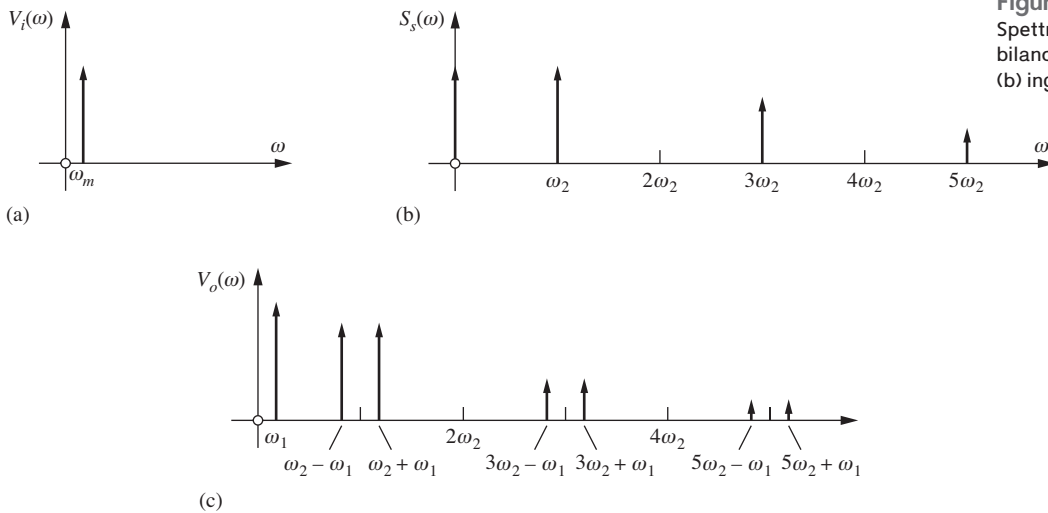
$$v_O(t) = v_I \times s_S = \frac{A}{2} \sin \omega_1 t + \frac{2A}{\pi} \sum_{n \text{ dispari}} \frac{1}{n} \sin n\omega_2 t \sin \omega_1 t$$

oppure

$$v_O(t) = \frac{A}{2} \sin \omega_1 t + \frac{A}{\pi} \sum_{n \text{ dispari}} \frac{\cos(n\omega_2 - \omega_1)t - \cos(n\omega_2 + \omega_1)t}{n} \quad (17.200)$$

**Figura 17.76**

(a) Mixer bilanciato e
(b) funzione di commutazione $s_S(t)$.

**Figura 17.77**

Spettri dei segnali nel mixer bilanciato. (a) Ingresso 1, (b) ingresso 2, (c) uscita.

Come risultato dell'operazione di mixing, lo spettro del segnale di uscita ha componenti alla frequenza ω_1 del segnale di ingresso originale e copie del segnale di ingresso traslate di multipli dispari della frequenza ω_2 del segnale di commutazione, come mostrato in Figura 17.77(c). I termini corrispondenti a $n = 1$ sono quelli maggiormente utilizzati perché sono quelli caratterizzati dal guadagno di conversione più alto.

Si noti che non ci sono componenti del segnale di uscita in corrispondenza di armoniche della frequenza ω_2 del segnale di commutazione, mentre c'è una componente a ω_1 . Questo tipo di uscita è detto bilanciato perché solo una delle frequenze di ingresso fondamentali non compare tra le componenti del segnale di uscita; il mixer di Figura 17.77 è bilanciato rispetto al segnale $s_S(t)$.

ESERCIZIO Qual è il guadagno di conversione del mixer bilanciato in Figura 17.76?

RISPOSTA $1/\pi$ (−9.94 dB).

17.12.3 La coppia differenziale come mixer bilanciato

Una soluzione circuitale per realizzare il mixer bilanciato è riportata in Figura 17.78(a), in cui l'interruttore è realizzato tramite una coppia differenziale, come mostrato in Figura 17.78(b). Un segnale v_1 alla frequenza ω_1 viene utilizzato per modulare la corrente fornita agli emettitori della coppia:

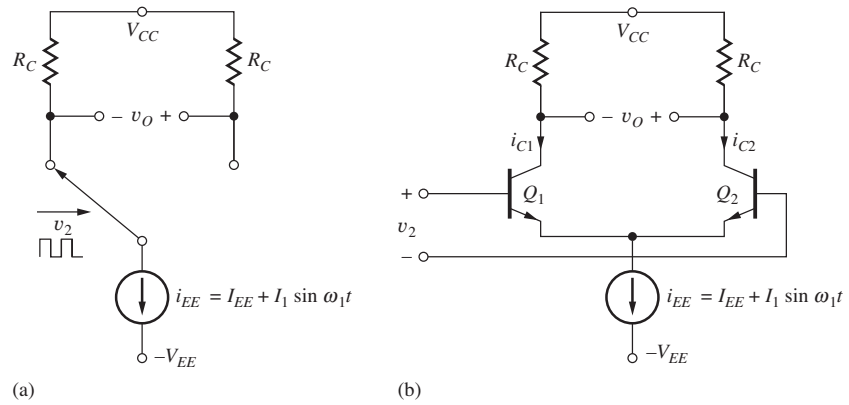
$$i_{EE} = I_{EE} + I_1 \sin \omega_1 t \quad (17.201)$$

Il secondo ingresso è pilotato da un grande segnale con andamento a onda quadra alla frequenza ω_2 , che commuta la corrente i_{EE} tra i due collettori: l'effetto che si ottiene in questo modo è di moltiplicare la tensione di uscita differenziale alternativamente per $+1$ e -1 . Questa moltiplicazione può essere rappresentata da un'onda quadra di ampiezza unitaria il cui sviluppo in serie di Fourier è il seguente:

$$v_2(t) = \sum_{n \text{ dispari}} \frac{4}{n\pi} \sin n\omega_2 t \quad (17.202)$$

Figura 17.78

(a) Schema di principio del mixer bilanciato.
(b) Realizzazione a coppia differenziale.



Usando le Equazioni (17.194) e (17.195) possiamo scrivere

$$v_O(t) = [i_{C2}(t) - i_{C1}(t)]R_C = (I_{EE} + I_1 \sin \omega_1 t)R_C \sum_{n \text{ dispari}} \frac{4}{n\pi} \sin n\omega_2 t \quad (17.203)$$

o

$$v_O(t) = \sum_{n \text{ dispari}} \frac{4}{n\pi} \left[I_{EE}R_C \sin n\omega_2 t + \frac{I_1 R_C}{2} \cos(n\omega_2 - \omega_1)t - \frac{I_1 R_C}{2} \cos(n\omega_2 + \omega_1)t \right]$$

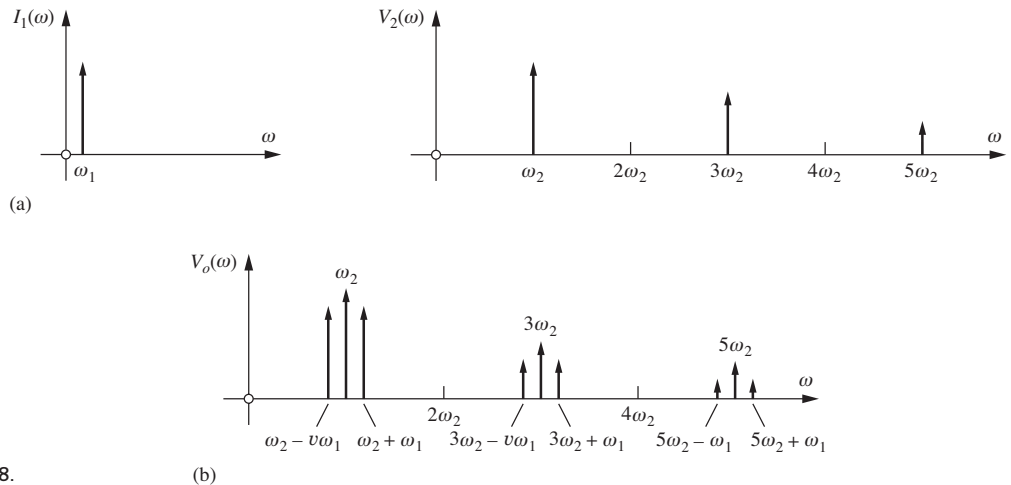
Gli spettri di ingresso e di uscita del mixer a coppia differenziale sono riportati in Figura 17.79. Il mixer in Figura 17.78 risulta bilanciato rispetto al segnale alla frequenza ω_1 anziché al segnale alla frequenza ω_2 , come era invece per il mixer in Figura 17.76.

17.12.4 Mixer doppiamente bilanciato (*double-balanced*)

In molti casi è preferibile eliminare entrambi i segnali di ingresso dall'uscita; il mixer doppiamente bilanciato risolve il problema. Se si studiano le Equazioni (17.200) e (17.200) si nota che l'origine del problema del bilanciamento è il termine DC nel segnale di commutazione, ma la componente DC può essere eliminata usando quattro interruttori per modificare la funzione di commutazione come mostrato in Figura 17.80. Durante la prima metà del ciclo di commutazione, gli interruttori S_1 e S_4 sono chiusi, e la sorgente di ingresso è connessa direttamente all'uscita, mentre durante la seconda metà del ciclo vengono chiusi gli interruttori S_2 e S_3 , rovesciando la polarità del segnale di ingresso. In questo modo la forma d'onda di commutazione varia alternativamente tra $+1$ e -1 con valore medio 0.

Lo sviluppo in serie di Fourier del segnale di commutazione diventa ora

$$s_D(t) = \frac{4}{\pi} \sum_{n \text{ dispari}} \frac{1}{n} \sin n\omega_2 t \quad \text{con} \quad \omega_o = \frac{2\pi}{T} \quad (17.204)$$

**Figura 17.79**

(a) Spettro di ingresso e (b) di uscita del mixer in Figura 17.78.

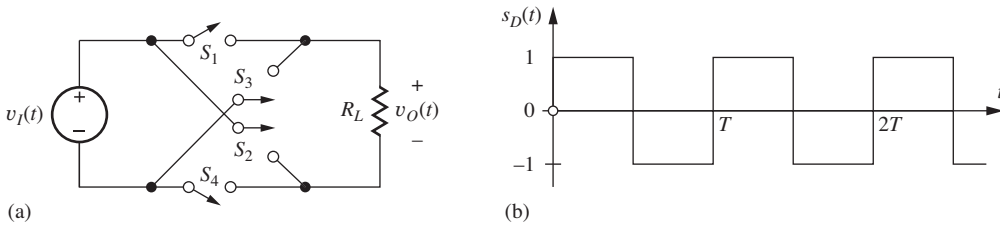


Figura 17.80 (a) Schema di principio del mixer doppiamente bilanciato e (b) segnale di commutazione $s_D(t)$.

e il segnale di uscita diventa

$$v_O(t) = \frac{2A}{\pi} \sum_{n \text{ dispari}} \frac{\cos(n\omega_2 - \omega_1)t - \cos(n\omega_2 + \omega_1)t}{n} \quad (17.205)$$

ELETTRONICA IN AZIONE

Mixer passivi a diodi

Un'altra soluzione popolare per realizzare un mixer doppiamente bilanciato passivo è mostrata nella figura sottostante. Gli interruptori sono realizzati tramite un ponte a quattro diodi e sono pilotati dal un segnale di oscillatore locale elevato (10 dBm). Sia l'ingresso LO che l'ingresso RF sono accoppiati al

ponete per mezzo di trasformatori, mentre il segnale di uscita può essere prelevato alla porta IF. Se la corrispondenza tra i diodi (nominalmente uguali) è buona e i trasformatori sono progettati con cura, è possibile raggiungere un elevato grado di bilanciamento.

Un esempio di mixer di questo tipo prodotto dalla MiniCircuits® è mostrato nella fotografia sottostante. Mixer simili a questo sono in grado di coprire

una vasta gamma di frequenze e di livelli del segnale di commutazione.

Mixer ZP-3LH+ prodotto dalla MiniCircuits: 0.15–400 MHz, perdita di conversione 4.8 dB, potenza dell'LO +10 dBm, isolamento LO-RF 50 dB, isolamento LO-IF 45 dB. [© 2014 Scientific Components Corporation d/b/a Mini-Circuits. Usata con permesso.]

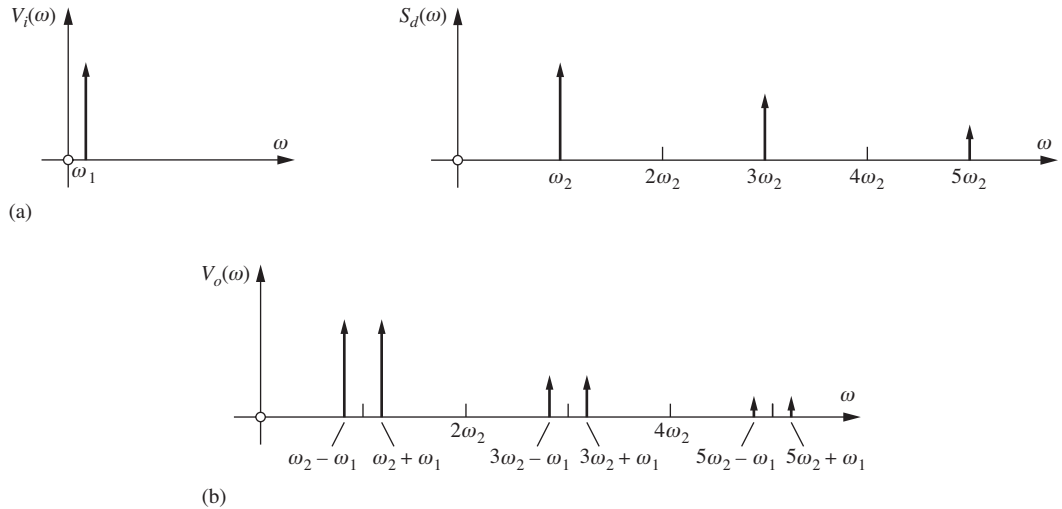


Figura 17.81 (a) Spettro di ingresso e (b) di uscita del mixer in Figura 17.80.

Nessuna delle componenti fondamentali dei due segnali di ingresso appare nell'uscita riportata in Figura 17.81. Si noti tuttavia che il grado di bilanciamento dipende dalla simmetria dell'onda quadra, per cui qualunque asimmetria tra le due parti del ciclo di commutazione produrrà un termine DC andando a degradare la reiezione delle componenti indesiderate in uscita.

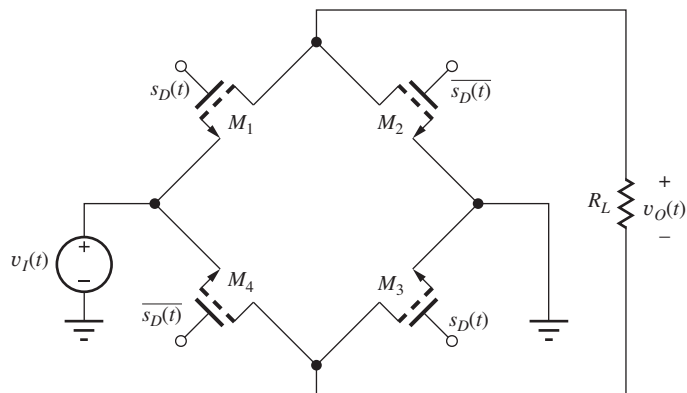
ESERCIZIO Qual è il guadagno di conversione del mixer doppiamente bilanciato di Figura 17.80?

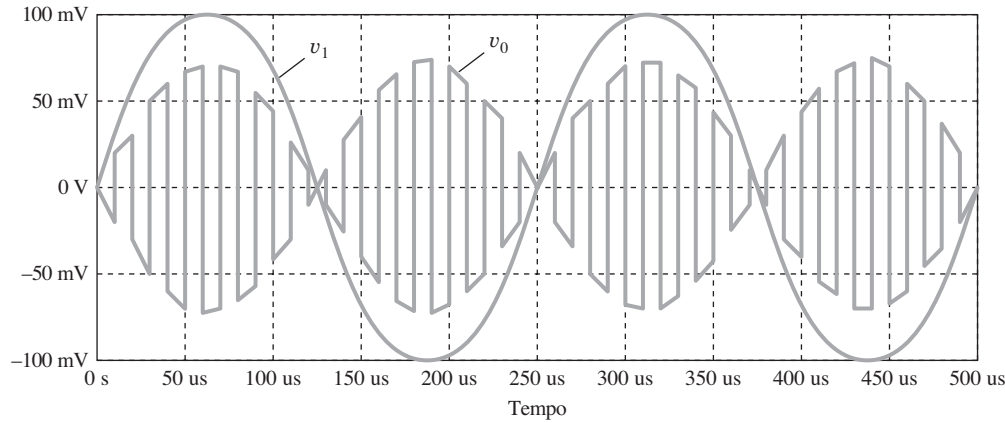
RISPOSTA $2/\pi$ (−3.92 dB).

Mixer doppiamente bilanciato passivo a MOS

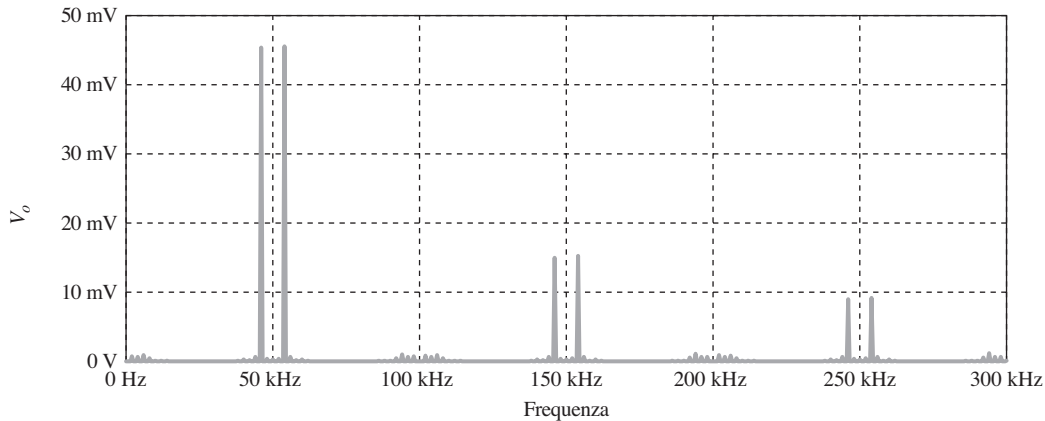
Il circuito riportato in Figura 17.82 mostra una realizzazione del mixer doppiamente bilanciato di Figura 17.80, in cui il circuito è rappresentato con una struttura a ponte che usa quattro transistori MOS come interruttori. Il circuito è considerato un mixer “passivo” perché non richiede potenza, se si eccettua quella fornita dal segnale di ingresso $v_I(t)$ e dai segnali di commutazione applicati ai gate dei MOSFET. Se i MOSFET vengono dimensionati in modo che la loro resistenza di conduzione sia molto inferiore rispetto a quella del resistore di carico R_L , allora quando M_1 e M_3 sono accesi ai capi di R_L apparirà una tensione pari all'incirca a v_I , mentre quando sono accesi M_2 e M_4 apparirà approssimativamente l'opposto di v_I . Nelle realizzazioni integrate di questo tipo di mixer si possono ottenere elevati livelli di reiezione grazie al buon livello di corrispondenza tra dispositivi nominalmente identici.

Figura 17.82
Mixer doppiamente bilanciato passivo a NMOS.





(a)



(b)

I risultati di una simulazione SPICE del circuito di Figura 17.82 sono mostrati in Figura 17.83 per un segnale sinusoidale di ampiezza 100 mV e frequenza 4 kHz e un segnale di commutazione tra +5 V e -5 V a 50 kHz. La forma d'onda di uscita mostra l'inversione di polarità del segnale che avviene alla frequenza del segnale di commutazione e una perdita di ampiezza dovuta alla resistenza di conduzione non nulla degli interruttori a MOS. Lo spettro mostra componenti 4 kHz sopra e sotto le armoniche dispari di 50 kHz, mentre le componenti a 4 kHz e le armoniche dispari di 50 kHz vengono praticamente eliminate.

Figura 17.83

Mixer passivo a NMOS.

(a) Segnale di uscita ottenuto con SPICE e (b) il suo spettro.

ESERCIZIO Qual è il guadagno di conversione effettivo del mixer doppiamente bilanciato di Figura 17.82?

RISPOSTA $0.7 \times 2/\pi$ (-7.02 dB).

17.12.5 Il mixer di Jones - Un modulatore/mixer doppiamente bilanciato

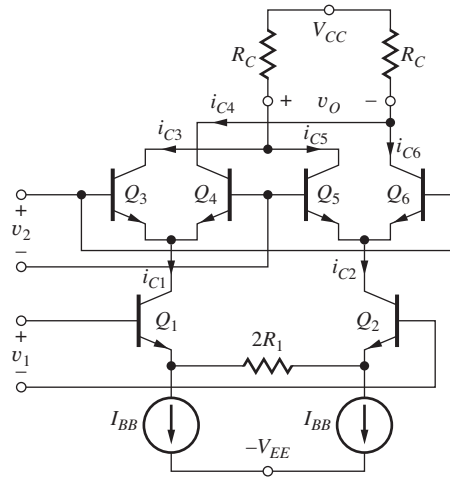
Il mixer di Jones di Figura 17.84, può essere usato direttamente come modulatore o mixer doppiamente bilanciato se i transistori $Q_3 - Q_6$ in Figura 17.84 vengono pilotati con un'onda quadra all'ingresso v_2 alla frequenza portante ω_c . Il secondo segnale v_1 alla frequenza modulante ω_m viene applicato allo stadio transconduttore. Nel caso del circuito in Figura 17.84 si ha

$$i_{C1} = I_{BB} + \frac{V_m}{2R_1} \sin \omega_m t \quad \text{e} \quad i_{C2} = I_{BB} - \frac{V_m}{2R_1} \sin \omega_m t \quad (17.206)$$

Se consideriamo il segnale di uscita differenziale, la componente DC della corrente viene eliminata, e la componente della corrente alla frequenza ω_m viene commutata dall'ingresso

Figura 17.84

Classico mixer doppiamente bilanciato di Jones. Il segnale v_2 è un'onda quadra di grande ampiezza alla frequenza portante ω_c , mentre v_1 è il segnale modulato alla frequenza ω_m .



a onda quadra, e appare quindi moltiplicata alternativamente per $+1$ e -1 . Usando le Equazioni (17.204) e (17.206), il segnale di uscita prelevato tra i collettori può essere scritto come

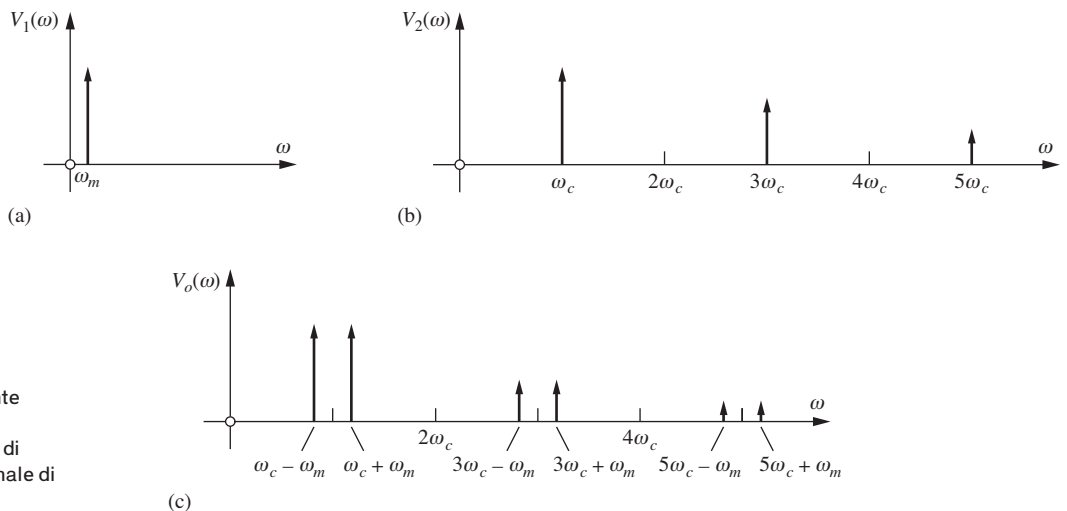
$$v_O(t) = V_m \frac{R_C}{R_1} \sum_{n \text{ dispari}} \frac{4}{n\pi} \sin n\omega_c t \sin \omega_m t \quad (17.207)$$

$$v_O(t) = V_m \frac{R_C}{R_1} \sum_{n \text{ dispari}} \frac{2}{n\pi} [\cos(n\omega_c - \omega_m)t - \cos(n\omega_c + \omega_m)t]$$

Il segnale di uscita ha componenti spettrali a frequenze traslate di ω_m sopra e sotto ognuna delle armoniche dispari della frequenza portante ω_c , come mostrato in Figura 17.85. Si noti che all'uscita non compaiono componenti né alla frequenza portante ω_c né alla frequenza modulante ω_m , quindi il circuito funziona come un modulatore o mixer doppiamente bilanciato. Un filtro passa-banda oppure una tecnica a sfasamento può essere usato per selezionare le frequenze desiderate dallo spettro del segnale di uscita.

Nelle applicazioni di modulazione, il circuito appena descritto genera un segnale d'uscita detto *Double-SideBand Suppressed-Carrier* (letteralmente "doppia banda laterale - portante soppressa", DSBSC). È possibile generare anche un segnale modulato in ampiezza (con indice di modulazione M compreso tra 0 e 1) aggiungendo una componente DC al segnale modulante:

$$v_1 = V_m(1 + M \sin \omega_m t) \quad (17.208)$$

**Figura 17.85**

Spettri dei segnali nel modulatore doppiamente bilanciato. (a) Segnale modulante. (b) Segnale di commutazione. (c) Segnale di uscita.

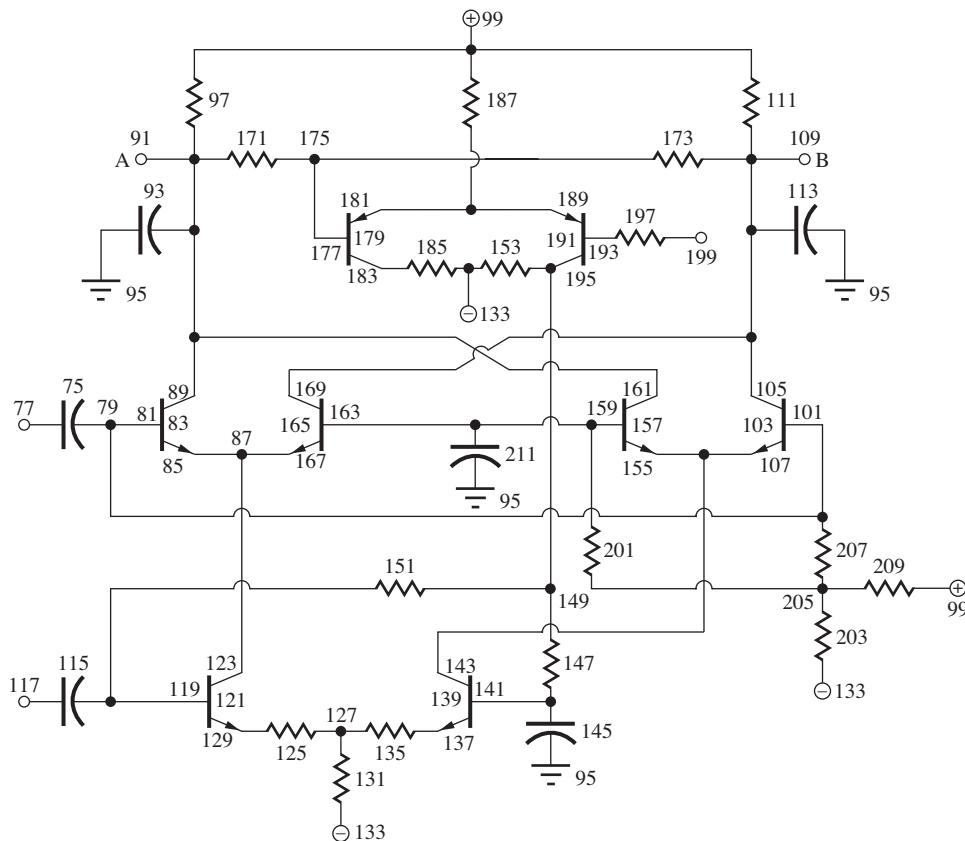


Il mixer di Jones

Il brevetto per il classico mixer di Jones mostrato di seguito^{6,7} fu depositato nel 1963, nel periodo dei primi progetti di circuiti a transistori, oggi giorno è molto usato nei circuiti per applicazioni di telecomunicazioni (a tale proposito basta guardare qualunque numero recente dell'*IEEE Journal of Solid-State Circuits*). Questo circuito è presente praticamente in ogni telefono cellulare, radio satellitare, ricevitori per telecomunicazioni, *software defined radio*, per citare alcuni esempi! Questo circuito è

stato spesso erroneamente attribuito a Barrie Gilbert, a causa della somiglianza con il suo moltiplicatore analogico presentato nel Paragrafo 16.10.

Nel circuito presente nel brevetto di Jones, figura sottostante, i transistori 121, 139, 83, 165, 157 e 103 corrispondono ai transistori da Q_1 a Q_6 della Figura 17.84. I transistori 179 e 191 costituiscono una retroazione per il modo comune che stabilizza il punto di lavoro dei transistori del circuito.



Mixer di Jones dal brevetto USA num. 3,241,078.

⁶ H.E. Jones, "Dual output synchronous detector utilizing differential amplifiers", Brevetto USA num. 3,241,078, depositato 18 giugno 1963, concesso 15 marzo 1966.

⁷ Si ringrazia il prof. Tom Lee per aver segnalato il brevetto agli autori di questo testo.

Il termine DC sbilancia il circuito rispetto alla frequenza portante, iniettando una componente alla frequenza portante in uscita. (Si noti che lo stesso effetto è causato dalle tensioni di offset dovute alla non perfetta corrispondenza di transistori nominalmente uguali.) La tensione di uscita diventa

$$v_O(t) = V_m \frac{R_C}{R_1} \sum_{n \text{ dispari}} \frac{4}{n\pi} \left[\sin n\omega_c t + \frac{M}{2} \cos(n\omega_c - \omega_m)t - \frac{M}{2} \cos(n\omega_c + \omega_m)t \right] \quad (17.209)$$

In questo caso, il circuito rimane bilanciato rispetto al segnale modulante e funziona come un modulatore bilanciato.

ESERCIZIO Una portante a 20 MHz viene modulata con un segnale a 10 kHz usando il modulatore doppiamente bilanciato delle Figura 17.84 e 17.85. Quali sono le frequenze delle componenti spettrali in Figura 17.85(c)?

RISPOSTE 19.99 MHz; 20.01 MHz; 59.99 MHz; 60.01 MHz; 99.99 MHz; 100.01 MHz.

ESERCIZIO L'ampiezza del segnale a 19.99 MHz nell'esercizio precedente è 3 V. Quali sono le ampiezze delle altre componenti?

RISPOSTE 3 V; 1 V; 1 V; 0.6 V; 0.6 V.

Riferimenti bibliografici

[1] P.E. Gray e C.L. Searle, *Electronic Principles*, Wiley, New York: 1969.

[2] S.S. Mohan, M. del mar Hershenson, S.P. Boyd e T.H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 346-355, marzo 2000.

Obiettivi

- Rivedere i concetti di retroazione negativa e positiva.
- Rivedere i metodi di analisi dei sistemi retroazionati.
- Rivedere l'uso del teorema di Blackman negli amplificatori con retroazione.
- Comprendere le topologie e le caratteristiche delle configurazioni serie-parallelo, parallelo-parallelo, parallelo-serie e serie-serie.
- Analizzare le caratteristiche a centro banda di ciascuna configurazione con la teoria della retroazione e il teorema di Blackman.
- Comprendere gli effetti della retroazione sulla risposta in frequenza e la stabilità degli amplificatori.
- Usare l'analisi SPICE in AC e il calcolo della funzione di trasferimento per caratterizzare gli amplificatori retroazionati.
- Imparare a progettare la compensazione in frequenza degli amplificatori operazionali mediante la moltiplicazione di Miller.
- Sviluppare relazioni tra la frequenza di guadagno unitario e lo slew rate degli operazionali.
- Comprendere il funzionamento degli oscillatori LC e a cristallo.
- Analizzare l'utilizzo della resistenza dinamica negativa negli oscillatori.
- Discutere la stabilizzazione dell'ampiezza negli oscillatori.
- Presentare il modello LCR del cristallo di quarzo.

Nella vita quotidiana vi sono molti esempi di sistemi retroazionati, come il termostato che registra la temperatura di una stanza e accende o spegne l'aria condizionata, oppure il telecomando che usiamo per selezionare un canale di un televisore o per regolare il volume al livello voluto. I sistemi di riscaldamento e raffreddamento utilizzano un semplice trasduttore di temperatura per confrontare la temperatura stessa con una di riferimento. Tuttavia, noi stessi siamo parte del sistema di controllo in retroazione del televisore; infatti agiamo sul telecomando fino a quando i nostri sensi ci dicono che il volume e il programma sono quelli desiderati.

La teoria della retroazione negativa nei sistemi elettronici fu sviluppata per la prima volta da Harold Black della Bell Telephone System. Nel 1927 egli inventò l'amplificatore retroazionato per stabilizzare il guadagno dei primi ripetitori telefonici. Oggi quasi tutti i sistemi elettronici fanno uso di una forma di retroazione. In questo capitolo sarà introdotto in modo formale il concetto di retroazione, che rappresenta uno strumento molto importante nel progetto dei sistemi elettronici. È possibile comprendere il funzionamento di molti circuiti elettronici di uso comune riconoscendoli come amplificatori retroazionati.

Abbiamo già incontrato in diverse forme la **retroazione negativa** (o **degenerativa**). La rete di polarizzazione a quattro resistori utilizza la retroazione negativa per ottenere un punto di lavoro indipendente dalle variazioni delle caratteristiche del dispositivo. Abbiamo anche visto che un resistore di source o di emettitore può essere usato per controllare il guadagno e la banda passante di un amplificatore invertente. Molti dei vantaggi della retroazione negativa sono stati di fatto scoperti durante l'analisi degli amplificatori operazionali. Generalmente la retroazione può essere usata per ottenere dei miglioramenti delle prestazioni degli amplificatori a spese del guadagno.

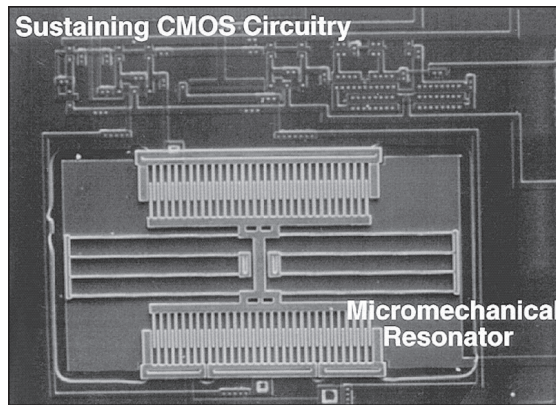
1. *Stabilità del guadagno*: la retroazione riduce la sensibilità del guadagno alle variazioni dei valori dei parametri del transistor e degli elementi dell'amplificatore base. Il guadagno diventa sensibile alle variazioni di valore dei componenti che costituiscono la rete di retroazione.
2. *Impedenze di ingresso e di uscita*: la retroazione può aumentare o diminuire le resistenze di ingresso e di uscita di un amplificatore.
3. *Banda passante*: la banda passante di un amplificatore può essere ampliata mediante la retroazione.

4. *Distorsione non lineare*: la retroazione riduce gli effetti della distorsione non lineare (per esempio si può utilizzare la retroazione per minimizzare gli effetti delle bande morte in un amplificatore in classe B).
5. *Riduzione di rumori e disturbi*: i rumori e i disturbi iniettati lungo la catena di amplificazione sono tanto più attenuati quanto più sono iniettati vicini all'uscita.

La retroazione può essere anche **positiva** (o **rigenerativa**); in questo capitolo analizzeremo l'uso della retroazione positiva nel progetto degli **oscillatori** sinusoidali.

Abbiamo già utilizzato una combinazione della retroazione positiva e negativa nella discussione dei filtri attivi RC e dei multivibratori. Gli oscillatori sinusoidali utilizzano la retroazione positiva per generare segnali a frequenze assegnate e la retroazione negativa per stabilizzare l'ampiezza delle oscillazioni.

La retroazione positiva negli amplificatori è generalmente indesiderata. Un eccesso di ritardo di fase in un amplificatore retroazionato può rendere la retroazione rigenerativa e portare l'amplificatore a oscillare. Si ricordi che la retroazione positiva fu indicata precedentemente come potenziale fonte di oscillazioni negli amplificatori accordati.



Un oscillatore realizzato mediante un sistema micro-elettro-meccanico (MEMS) come risonatore selettivo in frequenza. IC.T-C. Nguyen e R.T. Howe, "An integrated micromechanical resonator high-Q oscillator", IEEE J. Solid-State Circuits, vol. 34, nr. 4, pp. 440-445, aprile 1999. © 1999 IEEE. Riprodotta con permesso.

18.1 Sistema retroazionato classico

La Figura 18.1 mostra lo schema a blocchi di un sistema retroazionato classico. Questo schema può rappresentare sia un semplice amplificatore retroazionato che un complesso sistema di controllo in retroazione. Esso è composto da un amplificatore con funzione di trasferimento $A(s)$, detto **amplificatore ad anello aperto**, una **rete di retroazione** con funzione di trasferimento $\beta(s)$ e un nodo sommatore indicato con Σ . Le variabili in questo schema sono rappresentate da tensioni, ma potrebbero essere correnti oppure ogni altra grandezza fisica come temperatura, velocità, distanza e così via.

18.1.1 Guadagno ad anello chiuso

Nella Figura 18.1 l'ingresso dell'amplificatore ad anello aperto A è fornito da un sottrattore che esegue la differenza tra il segnale di ingresso v_s e il segnale di retroazione v_f . Nel dominio della frequenza si ha

$$V_d(s) = V_i(s) - V_f(s) \quad (18.1)$$

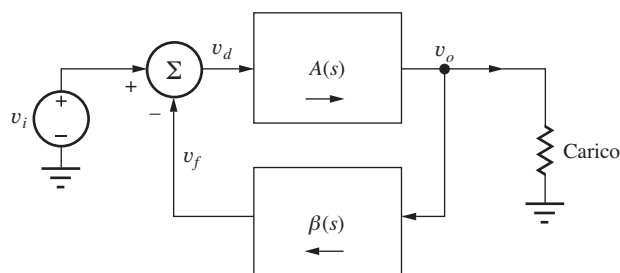


Figura 18.1
Schema a blocchi di un sistema retroazionato.

Il segnale di uscita è il prodotto del guadagno dell'amplificatore ad anello aperto e del segnale di ingresso:

$$V_o(s) = A(s)V_d(s) \quad (18.2)$$

Il segnale riportato all'ingresso è dato da:

$$V_f(s) = \beta(s)V_o(s) \quad (18.3)$$

Utilizzando le Equazioni (18.1), (18.2) e (18.3) e risolvendo rispetto al guadagno di tensione complessivo del sistema, si ottiene la classica espressione del **guadagno ad anello chiuso** dell'amplificatore:

$$A_v(s) = \frac{V_o(s)}{V_i(s)} = \frac{A(s)}{1 + A(s)\beta(s)} = \frac{A(s)}{1 + T(s)} \quad (18.4)$$

Nell'Equazione (18.4) $A(s)$ viene indicato come **guadagno ad anello aperto** e $T(s) = A(s)\beta(s)$ come **guadagno di anello**. Nello schema a blocchi di Figura 18.1 la retroazione negativa si ha quando $|1 + T(s)| > 1$ mentre il caso $|1 + T(s)| < 1$ corrisponde alla retroazione positiva.

Nel ricavare le espressioni precedenti sono state fatte implicitamente alcune ipotesi. Si è assunto che i blocchi possano essere interconnessi, come mostrato nella Figura 18.1, senza che si influenzino l'un l'altro. Si assume cioè che il collegamento della rete di retroazione e del carico all'uscita dell'amplificatore non ne alteri le caratteristiche, e inoltre che il collegamento del nodo sottrattore e della rete di retroazione all'ingresso dell'amplificatore ad anello aperto non modifichi le caratteristiche dell'amplificatore e della rete di retroazione. Si è, infine, tacitamente assunto che i segnali fluiscano solo in avanti attraverso l'amplificatore e solo all'indietro attraverso la rete di retroazione, come indicato dalle frecce della Figura 18.1.

Queste ipotesi sono verificate se, per esempio, si realizza lo schema a blocchi mediante amplificatori operazionali con elevata resistenza di ingresso, bassa resistenza di uscita e guadagno inverso praticamente nullo. In generale, tuttavia, gli amplificatori e le reti di retroazione possono non soddisfare queste ipotesi. La teoria sviluppata nei prossimi paragrafi è dedicata all'analisi e al progetto di sistemi in retroazione che non verificano le restrizioni sopra citate.

18.1.2 Impedenze ad anello chiuso

Nel Capitolo 11 è stato introdotto il teorema di Blackman, un utile metodo che permette di calcolare l'impedenza vista guardando in una qualunque coppia di terminali di un amplificatore retroazionato:

$$R_X = R_X^D \frac{1 + T_{SC}}{1 + T_{OC}} \quad (18.5)$$

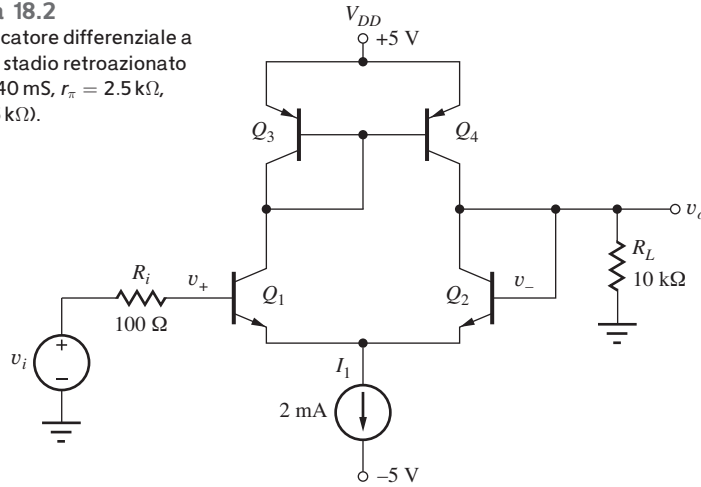
dove R_X^D è l'impedenza vista guardando nei due terminali quando la retroazione è annullata (impedenza a sistema morto), T_{SC} è il guadagno di anello quando si cortocircuitano i due terminali su cui si vuole trovare l'impedenza e T_{OC} è il guadagno di anello con i due terminali lasciati aperti.

18.1.3 Effetti della retroazione

Passiamo ora a un esempio di circuito con retroazione negativa per mostrare le analisi da fare. Il circuito di Figura 18.2 è un amplificatore differenziale con carico a specchio di corrente. La sola differenza fra questo circuito e quello che abbiamo analizzato in precedenza consiste in una retroazione negativa ottenuta collegando direttamente l'uscita all'ingresso invertente della coppia differenziale. Come abbiamo imparato nell'analisi dei circuiti con operazionali, la retroazione negativa lavora per minimizzare la differenza fra gli ingressi (V_- inseguire V_+). Con un collegamento diretto fra uscita e ingresso invertente, l'uscita è forzata a inseguire l'ingresso non invertente, formando un amplificatore a guadagno unitario (inseguitore). La coppia differenziale effettua l'operazione di differenza mostrata in Figura 18.1.

Figura 18.2

Amplificatore differenziale a singolo stadio retroazionato ($g_m = 40 \text{ mS}$, $r_\pi = 2.5 \text{ k}\Omega$, $r_o = 55 \text{ k}\Omega$).

**Tabella 18.2** Variazione del guadagno in funzione della resistenza di carico

$R_L \text{ (k}\Omega\text{)}$	v_o/v_i
10	0.996
5	0.994
1	0.974
0.5	0.950

Tabella 18.1 Variazione del guadagno in funzione della resistenza di ingresso

$R_i \text{ (k}\Omega\text{)}$	v_o/v_i
0.1	0.996
0.5	0.996
1	0.996
5	0.993
10	0.990
50	0.964

Tabella 18.3 Variazione del guadagno al variare dei parametri dei transistori

PARAMETRO	v_o/v_i
BF = 100	0.996
BF = 200	0.997
BF = 50	0.996
VAF = 50	0.996
VAF = 100	0.997
VAF = 25	0.996

Per illustrare alcuni effetti della retroazione, procediamo con alcune simulazioni del circuito. Usiamo $BF = 100$, $VAF = 50$ e $IS = 1 \text{ fF}$ per i transistori *nnp* e *pnnp*. La simulazione mostra che il guadagno di centro banda¹ vale $v_o/v_i = 0.996$: il circuito è effettivamente un amplificatore a guadagno unitario. Se facessimo un'analisi ingenua del circuito, senza tener conto della retroazione, ci si potrebbe aspettare una resistenza di ingresso pari a $2r_\pi + R_i \approx 5.1 \text{ k}\Omega$ e se aumentassimo R_i a $5 \text{ k}\Omega$, il guadagno dovrebbe scendere a 0.5 volte, a causa della partizione di tensione all'ingresso. Invece la Tabella 18.1 mostra che il guadagno scende solo del 3% quando R_i sale ben al di sopra del valore sbagliato di impedenza che abbiamo "calcolato". La retroazione ha aumentato l'effettiva resistenza di ingresso e di molto! Se si considera il teorema di Blackman, Equazione (18.5), vediamo che il termine T_{OC} è nullo² quando si lascia aperto l'ingresso non invertente. Sull'uscita, dimenticando ancora una volta il teorema di Blackman, possiamo pensare (in modo errato) che l'impedenza di uscita sia³

$$R_{out} = R_{iB2} \parallel R_{iC2} \parallel R_{iC4} \approx 2r_\pi \parallel r_{o2} \parallel r_{o4} \approx 4.2 \text{ k}\Omega \quad (18.6)$$

In questo calcolo abbiamo trascurato il piccolo valore di R_i . Con il valore di resistenza di uscita trovato, ci si aspetta che il guadagno diminuisca se viene ridotta la resistenza di carico R_L . La Tabella 18.2, ottenuta con una serie di simulazioni, mostra che anche quando la resistenza di carico è ridotta a 500Ω , il guadagno diminuisce solo del 5%, e che quindi la resistenza di uscita del circuito deve essere molto più piccola del valore stimato di $4.2 \text{ k}\Omega$. Anche qui scopriamo che la retroazione negativa ha cambiato in modo sostanziale le caratteristiche del circuito. In questo caso la resistenza di uscita è stata ridotta dalla retroazione.

¹ Si ricordi che l'espressione centro banda o banda passate vuol dire che tutti i condensatori di accoppiamento o di bypass sono considerati in cortocircuito e le capacità parassite sono dei circuiti aperti. [N.d.C.]

² In realtà T_{OC} non è esattamente nullo a causa del passaggio del segnale attraverso r_o .

³ $R_{iB2} = r_{\pi 2} + (\beta_{o2} + 1) \frac{r_{\pi 1} + R_i}{\beta_{o1} + 1} = r_{\pi 2} + r_{\pi 1} + R_1 \approx R_i + 2r_\pi = 5.1 \text{ k}\Omega$.

Un'altra importante caratteristica degli amplificatori retroazionati è la ridotta sensibilità del guadagno ai cambiamenti dei parametri del circuito. Per esempio, la Tabella 18.3 mostra di quanto cambia il guadagno a causa delle variazioni del β_F e della tensione di Early dei transistori. Raddoppiando o dimezzando questi parametri si ha in simulazione una variazione del guadagno ad anello chiuso minore dello 0.1%. I risultati trovati in questo paragrafo si possono spiegare usando l'Equazione (18.4). Finché il modulo di T è grande, il rapporto $T/(1+T)$ è praticamente unitario e il guadagno reale rimane praticamente uguale al suo valore ideale.

La retroazione permette di progettare circuiti robusti rispetto alle variazioni dei parametri dei transistori e degli altri componenti. Questo spiega come sia possibile costruire sistemi elettronici con caratteristiche ben definite nonostante le grandi tolleranze dei singoli parametri di ciascun componente usato per costruire il sistema. La retroazione è essenziale per avere accuratezza e riproducibilità degli amplificatori.

ESERCIZIO Trovare il punto di funzionamento dei quattro transistori di Figura 18.2. Qual è la tensione di uscita v_o in continua?

RISPOSTE (1 mA, 5 V), (1 mA, 0.7 V), (1 mA, 0.7 V), (1 mA, 5 V); 0 V.

18.2 Analisi in banda passante di amplificatori retroazionati

Ricordando quanto visto nel Capitolo 11, l'amplificatore di Figura 18.2 è in configurazione serie-parallelo. La retroazione preleva direttamente la tensione di uscita, quindi è un prelievo parallelo o in tensione. Infatti, se si cortocircuita l'uscita allo zero volt, annullando così la tensione di uscita, non torna più indietro alcun segnale di retroazione e quindi il prelievo è in tensione. Il segnale di retroazione è una tensione applicata in serie (sull'altro ingresso del differenziale) con il segnale di ingresso.

18.2.1 Guadagno ad anello chiuso

Calcoliamo ora il guadagno ad anello chiuso usando le equazioni della retroazione e facendo riferimento al circuito equivalente di Figura 18.3. Il fattore di retroazione β è unitario e quindi il guadagno ideale A_v^{ideale} vale 1. Il guadagno di anello T è calcolato includendo l'effetto di carico della connessione di retroazione sull'uscita. La tensione di uscita v_o , applicata alla base di Q_2 , è data dal prodotto della resistenza sul nodo di uscita moltiplicata per $i_{c2} + i_{c4}$.

$$v_o = (i_{c2} + i_{c4})R_{\text{out}} = -\left(g_{m2}\frac{v_{b2}}{2} + g_{m2}\frac{v_{b2}}{2}\right)(r_{o2}\|r_{o4}\|R_{iB2}\|R_L) \quad (18.7)$$

Poiché l'uscita è collegata direttamente alla base di Q_2 , il guadagno di anello vale:

$$T = -\frac{v_o}{v_{b2}} = A\beta = g_{m2}(r_{o2}\|r_{o4}\|R_{iB2}\|R_L) = (40 \text{ mS})(55\|55\|5.1\|10) \text{ k}\Omega = 120 \quad (18.8)$$

dove

$$R_{iB2} = r_{\pi 2} + (\beta_{o2} + 1)\frac{r_{\pi 1} + R_1}{\beta_{o1} + 1} = r_{\pi 2} + r_{\pi 1} + R_i \approx R_i + 2r_{\pi} = 5.1 \text{ k}\Omega \quad (18.9)$$

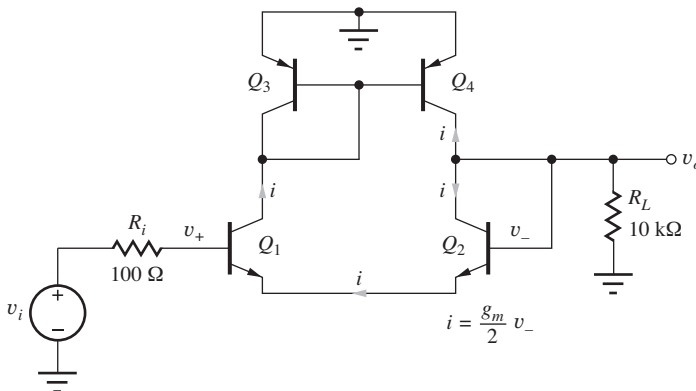


Figura 18.3

Circuito equivalente in AC con indicazione delle correnti per il calcolo del guadagno di anello.

Di conseguenza, il guadagno ad anello chiuso, senza includere la partizione dovuta alla resistenza di sorgente, vale

$$A_v = (1) \left(\frac{120}{1 + 120} \right) = 0.992 \quad (18.10)$$

Il valore simulato in precedenza è 0.996, abbastanza vicino al valore calcolato.

18.2.2 Resistenza di ingresso

Calcoliamo la resistenza di ingresso con il teorema di Blackman, Equazione (18.5), per applicare la quale bisogna trovare T_{SC} , T_{OC} e R_{in}^D . Il valore di T_{SC} richiede che si cortocircuiti l'ingresso ($v_i = 0$) e così facendo si torna alla configurazione usata per calcolare il guadagno di anello. Per trovare T_{OC} lasciamo aperta la base di Q_1 e si vede che T_{OC} vale circa zero poiché non c'è corrente attraverso Q_1 e Q_2 , sempre trascurando le resistenze di uscita dei transistori. Questa condizione equivale a porre una resistenza infinita in serie alla resistenza equivalente della coppia differenziale.

Infine dobbiamo trovare la resistenza di ingresso con la retroazione annullata, R_{in}^D . Se ignoriamo la retroazione, la resistenza di ingresso, includendo la resistenza di base di Q_2 vale $R_{in}^D = R_i + r_{\pi 1} + r_{\pi 2} + (r_{o4} \| r_{o2} \| R_L) = 12.2 \text{ k}\Omega$. Questi valori ci consentono il calcolo diretto della resistenza di ingresso usando il teorema di Blackman:

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 12.2 \text{ k}\Omega \left(\frac{1 + 120}{1 + 0} \right) = 1.48 \text{ M}\Omega \quad (18.11)$$

Il valore simulato di R_{in} è di $1.43 \text{ M}\Omega$. Si noti che la resistenza di ingresso è aumentata dalla retroazione, ma rimane comunque proporzionale alla resistenza di carico: questa topologia non costituisce un buon buffer quando la resistenza di carico è bassa. È importante tenere presente che quando immaginiamo di annullare la retroazione per trovare la resistenza R_{in} , in realtà non scollegiamo veramente la rete di retroazione e dobbiamo ancora includere gli effetti di carico degli elementi collegati alla rete di retroazione.

18.2.3 Resistenza di uscita

Usiamo ancora il teorema di Blackman per calcolare la resistenza di uscita ad anello chiuso. In questo caso dobbiamo trovare il guadagno di anello con l'uscita aperta oppure cortocircuitata. Il guadagno T_{OC} è il guadagno di anello che abbiamo calcolato quando abbiamo trovato il guadagno di tensione, tranne che non dobbiamo includere l'effetto di R_L poiché stiamo guardando dal carico nei morsetti di uscita dell'amplificatore, quindi R_L è lasciata alle spalle. Togliendo l'effetto di R_L l'Equazione (18.7) fornisce il valore $T_{OC} = 171$. T_{SC} invece è nullo dato che cortocircuitando l'uscita il guadagno vale zero. L'impedenza di uscita con la retroazione annullata, R_{out}^D , è semplicemente la resistenza vista guardando nell'uscita dell'amplificatore ignorando l'effetto della retroazione, e vale

$$R_{out}^D = R_{iB2} \| r_{o2} \| r_{o4} = \left[r_{\pi 2} + (\beta_{o2} + 1) \left(\frac{r_{\pi 1} + R_i}{\beta_{o1} + 1} \right) \right] \| r_{o2} \| r_{o4} = (r_{\pi 2} + r_{\pi 1} + R_i) \| r_{o2} \| r_{o4} = 4.30 \text{ k}\Omega \quad (18.12)$$

La resistenza di uscita R_{out} vale quindi

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 4.30 \text{ k}\Omega \left(\frac{1 + 0}{1 + 171} \right) = 25.0 \Omega \quad (18.13)$$

La simulazione fornisce per la resistenza di uscita $R_{out} = 25.6 \Omega$. Questo valore è ovviamente molto minore della nostra stima iniziale (sbagliata), e spiega perché il guadagno in pratica non dipenda dalle variazioni della resistenza di carico, come abbiamo simulato nel paragrafo precedente.

Se si calcola il guadagno complessivo, includendo le partizioni di ingresso e di uscita, si ottiene

$$A = \left(\frac{R_{in}}{R_{in} + R_i} \right) A_v = 0.992 \quad (18.14)$$

L'elevata impedenza di ingresso fa sì che l'attenuazione dovuta alla resistenza della sorgente sia trascurabile (amplificatore con ingresso in tensione). Nei calcoli precedenti, quando si sono determinati il guadagno ad anello chiuso e la resistenza di ingresso, si è incluso l'effetto di R_L . Come abbiamo visto, questo amplificatore ha un'elevata resistenza di uscita ad anello aperto e pertanto il carico gioca un ruolo importante nella determinazione del guadagno di anello, da cui dipendono impedenze e guadagno ad anello chiuso, per cui è stato necessario includere l'effetto di R_L per trovare risultati accurati. Vedremo nel seguito che amplificatori con una bassa resistenza di uscita ad anello aperto, oppure con un guadagno di anello molto grande, possono essere analizzati indipendentemente da R_L senza perdere in accuratezza.

ESERCIZIO Nel calcolo della resistenza di uscita di questo circuito, dimostrare che $T_{SC} = 0$ quando l'uscita è cortocircuitata, e che questo capita in generale quando il prelievo della retroazione è in parallelo.

ESERCIZIO Nel calcolo della resistenza di ingresso di questo circuito, dimostrare che $T_{OC} = 0$ quando l'ingresso è in circuito aperto, e che questo capita in generale quando il confronto della retroazione è in serie.

ESERCIZIO Calcolare T_{OC} necessario per trovare la resistenza di uscita e verificare che vale 171.

18.2.4 Calcolo della tensione di offset

L'amplificatore di Figura 18.2 ha un errore di tensione di offset causato dalle correnti di base nello specchio a transistori *pnp* e dalla differenza nelle tensioni collettore-emettitore dei transistori del differenziale. Entrambi questi errori sono piccoli e semplificheremo i calcoli trattandoli individualmente, applicando la sovrapposizione degli effetti. Cominciamo ad assumere che la tensione di Early sia infinita e quindi la differenza di tensione sui transistori non causi errori. Se $I_{C3} = I_{C4}$

$$I_{C1} = I_{C3} + I_{B3} + I_{B4} = I_{C3} \left(1 + \frac{2}{\beta_{Fp}} \right) \quad \text{e} \quad I_{C2} = I_{C4} - I_{B2} \quad \text{quindi} \quad I_{C2} = \frac{I_{C3}}{1 + \frac{2}{\beta_{Fn}}} \quad (18.15)$$

$$V_{OS}^{\beta} = V_T \ln \frac{I_{C2}}{I_{C1}} = -V_T \ln \left[\left(1 + \frac{2}{\beta_{Fp}} \right) \left(1 + \frac{1}{\beta_{Fn}} \right) \right] \approx -V_T \left(\frac{2}{\beta_{Fp}} + \frac{1}{\beta_{Fn}} \right)$$

avendo sfruttato l'approssimazione $\ln(1+x) \approx x$ che vale quando $x \ll 1$. Consideriamo ora il caso di tensione di Early finita e β infinito. La differenza delle correnti è ora dovuta alle differenze delle tensione collettore-emettitore. In questo circuito si ha $V_{EC3} = V_{CE2} = 0.7 \text{ V}$ e $V_{EC1} = V_{CE4} = 5 \text{ V}$, e il circuito forza $I_{C1} = I_{C3}$ e $I_{C2} = I_{C4}$. Si ha perciò

$$\begin{aligned} I_S^n \exp \left(\frac{V_{BE1}}{V_T} \right) \left(1 + \frac{V_{CE1}}{V_{An}} \right) &= I_{C3} \quad \text{e} \quad I_S^n \exp \left(\frac{V_{BE2}}{V_T} \right) \left(1 + \frac{V_{CE2}}{V_{An}} \right) = I_{C4} \\ \exp \left(\frac{V_{BE2} - V_{BE1}}{V_T} \right) \frac{\left(1 + \frac{V_{CE2}}{V_{An}} \right)}{\left(1 + \frac{V_{CE1}}{V_{An}} \right)} &= \frac{I_{C4}}{I_{C3}} \quad \text{e} \quad \frac{I_{C4}}{I_{C3}} = \frac{\left(1 + \frac{V_{CE4}}{V_{Ap}} \right)}{\left(1 + \frac{V_{CE3}}{V_{Ap}} \right)} \\ V_{OS}^{VA} = (V_{BE2} - V_{BE1}) &= V_T \ln \left[\frac{\left(1 + \frac{V_{CE4}}{V_{Ap}} \right) \left(1 + \frac{V_{CE1}}{V_{An}} \right)}{\left(1 + \frac{V_{CE3}}{V_{Ap}} \right) \left(1 + \frac{V_{CE2}}{V_{An}} \right)} \right] \\ &\approx V_T \left[\frac{V_{CE4}}{V_{Ap}} + \frac{V_{CE1}}{V_{An}} - \frac{V_{CE3}}{V_{Ap}} - \frac{V_{CE2}}{V_{An}} \right] \end{aligned} \quad (18.16)$$

Considerando $\beta_{Fn} = \beta_{Fp} = 100$ e $V_{An} = V_{Ap} = 50 \text{ V}$ la tensione di offset vale

$$V_{OS} = V_{OS}^{\beta} + V_{OS}^{VA} \approx -25 \text{ mV} \left(\frac{3}{100} \right) + 25 \text{ mV} \left[\frac{5 \text{ V}}{50 \text{ V}} + \frac{5 \text{ V}}{50 \text{ V}} - \frac{0.7 \text{ V}}{50 \text{ V}} - \frac{0.7 \text{ V}}{50 \text{ V}} \right] \quad (18.17)$$

$$V_{OS} = -0.75 \text{ mV} + 4.3 \text{ mV} = 3.55 \text{ mV}$$

ESERCIZIO Simulare il circuito di Figura 18.2 usando i parametri indicati e verificare il calcolo della tensione di offset.

18.3 Esempi di circuiti amplificatori con retroazione

Nei paragrafi seguenti useremo lo stesso approccio per calcolare il guadagno ad anello chiuso in banda passante e le impedenze di ingresso e uscita di varie topologie di retroazione. L'analisi in banda passante può essere riassunta nei passi seguenti.

1. Determinare se il prelievo sull'uscita è in parallelo o in serie. Se si ha una connessione in parallelo la rete di retroazione preleva la tensione di uscita, se la connessione è in serie la rete misura la corrente di uscita.
2. Determinare se il confronto in ingresso è in parallelo o in serie. Se in parallelo la retroazione riporta indietro una corrente (confronto in corrente), se in serie la retroazione riporta indietro una tensione (confronto in tensione).
3. Dato il tipo di retroazione, si conoscono immediatamente le dimensioni del fattore β e in Tabella 18.4 si trova il tipo di amplificatore.
4. Calcolare il fattore di retroazione β per l'amplificatore ideale (guadagno ad anello aperto che tende a infinito). Per esempio, in una configurazione serie-parallelo, l'impedenza di ingresso dell'amplificatore ideale è infinita e l'impedenza di uscita è nulla. Il guadagno ideale è dato dal reciproco del fattore di retroazione $A^{\text{ideale}} = 1/\beta$.
5. Calcolare il guadagno di anello tenendo conto dell'effetto di carico della rete di retroazione e dell'amplificatore.
6. Usare l'Equazione (18.4) per calcolare il guadagno ad anello chiuso dell'amplificatore.
7. Usare il teorema di Blackman per calcolare le impedenze di ingresso e di uscita dell'amplificatore (o qualunque altra impedenza d'interesse nel circuito). I guadagni di anello sono calcolati tenendo conto degli effetti di carico della rete di retroazione sull'amplificatore e viceversa.
8. Calcolare il guadagno complessivo includendo le partizioni dovute al carico di ingresso e di uscita.

Applicheremo ora questi passi per analizzare alcune topologie di amplificatori retroazionati.

18.3.1 Retroazione serie-parallelo - Amplificatore di tensione

La Figura 18.4 mostra un amplificatore retroazionato a due stadi conosciuto come coppia con retroazione serie-parallelo. A prima vista potrebbe apparire complicato, perché l'amplificatore sembra avere due percorsi dall'ingresso all'uscita, uno attraverso il collettore di Q_1 e l'altro attraverso l'emettitore di Q_1 . Benché sia proprio così, il percorso "in avanti" dominante è quello con guadagno elevato che passa attraverso due stadi ad emettitore comune

Tabella 18.4 Identificazione del tipo di amplificatore in base al tipo di retroazione

Tipo retroazione	Segnale prelevato	Segnale riportato indietro	Fattore di retroazione β	Tipo di guadagno	Guadagno dell'amplificatore
Serie-parallelo	Tensione	Tensione	V/V	V/V	Tensione
Parallelo-parallelo	Tensione	Corrente	I/V	V/I	Transresistenza
Serie-serie	Corrente	Tensione	V/I	I/V	Transconduttanza
Parallelo-serie	Corrente	Corrente	I/I	I/I	Corrente

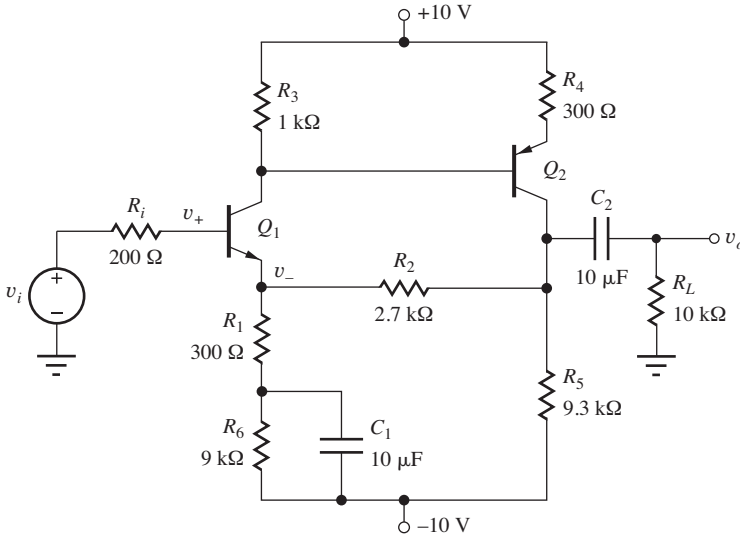


Figura 18.4 Amplificatore di tensione a due stadi – Coppia con retroazione serie-parallelo.

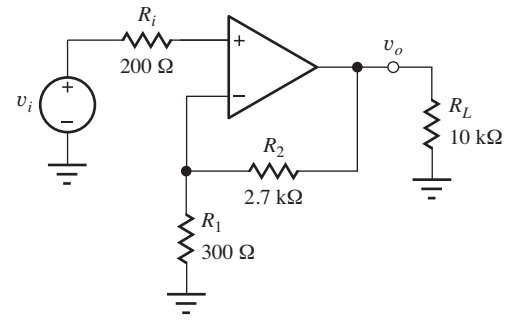


Figura 18.5 Versione ideale per il piccolo segnale dell'amplificatore di Figura 18.4.

formati da Q_1 e Q_2 . Avendo assodato questo punto, il percorso di retroazione a quanto pare passa attraverso R_2 indietro sull'emettitore di Q_1 . Poiché la retroazione è collegata direttamente al nodo di uscita, si ha una retroazione di tipo parallelo, ovvero con prelievo in tensione.⁴

La rete di retroazione non sembra sommare una corrente con la rete di ingresso, pertanto potrebbe essere una retroazione serie all'ingresso. Se si ricorda che la corrente di segnale in uscita dal collettore di un transistor vale $g_m v_{be} = g_m(v_b - v_e)$, si capisce che il transistor sta facendo la differenza fra la tensione di ingresso (sulla base) con quella riportata indietro (sull'emettitore) e la sua corrente di uscita è proporzionale a questa differenza.⁵ Questo ci porta allo schema di Figura 18.5, dove è rappresentato un circuito equivalente per il piccolo segnale dell'amplificatore di Figura 18.4. Nell'Esempio 18.1 calcoleremo il guadagno a centro banda e le impedenze di ingresso e uscita di questo amplificatore.

AMPLIFICATORE DI TENSIONE A DUE STADI, SERIE-PARALLELO

Esempio 18.1

Si esegue l'analisi di un amplificatore a due stadi con retroazione serie-parallelo.

Facendo riferimento all'amplificatore di Figura 18.4, trovare il guadagno di piccolo segnale e le resistenze di ingresso e uscita. Considerare trascurabili le correnti di base, $V_A \rightarrow \infty$ e $\beta_o = 100$.

PROBLEMA

Informazioni e dati noti: Lo schema del circuito è in Figura 18.4, $\beta_o = 100$ e le resistenze di uscita dei transistori sono infinite.

SOLUZIONE

Incognite: Guadagno ideale, guadagno di anello, guadagno ad anello chiuso, termini per calcolare le impedenze di ingresso e uscita con Blackman.

Approccio: Si usa l'analisi del guadagno sviluppata nei capitoli precedenti, l'analisi della retroazione e il teorema di Blackman.

Ipotesi: $V_{BE} = 0.7 \text{ V}$, $V_T = 25 \text{ mV}$ e si è in condizioni di piccolo segnale in banda passante. Le correnti di base sono trascurabili e la resistenza r_o è infinita.

⁴ Cortocircuitando l'uscita non si ha più alcun ritorno di segnale verso l'ingresso, si è dunque in presenza di un prelievo in tensione, o parallelo. [N.d.C.]

⁵ Il segnale di retroazione e quello di ingresso vengono applicati su terminali diversi dell'ingresso, si è dunque in presenza di un confronto in tensione o serie. [N.d.C.]

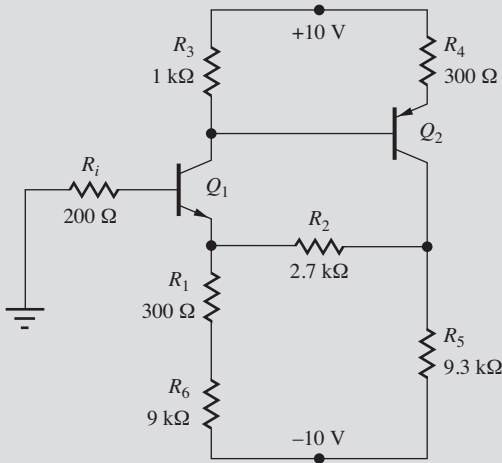
Analisi: Ridisegniamo come prima cosa il circuito equivalente in DC, Figura (a) qui sotto, e troviamo la soluzione in continua. Trascurando le correnti di base si ha $V_{B1} = 0$ V, quindi $V_{E1} = -0.7$ V. Se ipotizziamo che la corrente attraverso R_2 sia trascurabile, si ha

$$I_{E1} \approx \frac{-0.7 \text{ V} - (-10 \text{ V})}{9.3 \text{ k}\Omega} = 1 \text{ mA} \quad V_{C1} = 10 \text{ V} - I_{C1}R_3 = 9 \text{ V}$$

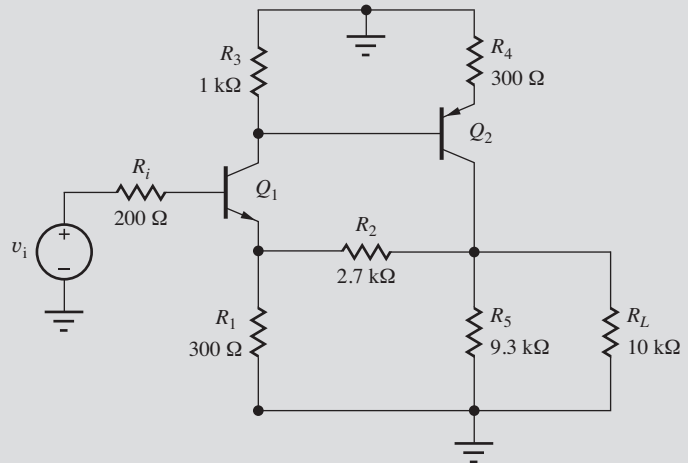
$$I_{E2} = \frac{10 \text{ V} - (9 \text{ V} - V_{BE2})}{R_4} = 1 \text{ mA} \quad V_{C2} = I_{C2}R_5 + (-10 \text{ V}) = -0.7 \text{ V}$$

Verifichiamo se l'ipotesi di corrente continua nulla in R_2 è verificata:

$$I_{R2} = \frac{V_{C2} - V_{E1}}{R_2} = 0$$



(a) Circuito equivalente in DC.



(b) Circuito equivalente in AC.

Disegniamo ora il circuito equivalente in banda passante, cortocircuitando tutti i condensatori e annullando i generatori di alimentazione: le due tensioni di alimentazione diventano nulle, e sono rappresentate con un collegamento a ground. I parametri di piccolo segnale sono

$$g_{m1} = g_{m2} = \frac{1 \text{ mA}}{25 \text{ mV}} = 40 \text{ mS}, \quad r_{\pi} = \frac{\beta_o}{g_m} = 2.5 \text{ k}\Omega, \quad r_o \rightarrow \infty$$

Iniziamo ora la procedura di analisi della retroazione.

Passo 1: Come mostrato prima, la rete di retroazione è formata da R_2 e R_1 . La tensione di uscita è direttamente prelevata da R_2 , siamo quindi in presenza di un prelievo in tensione.

Passo 2: Il segnale di retroazione è il piccolo segnale sull'emettitore di Q_1 ed è in serie con la tensione di ingresso sulla base di Q_1 , quindi si ha un collegamento in serie della retroazione.

Passo 3: Poiché si preleva una tensione e si confronta una tensione, il fattore di retroazione ha la dimensione di una tensione/tensione, adimensionato, e si ha un amplificatore di tensione serie-parallelo.

Passo 4: Come si vede in Figura 18.5, l'amplificatore è in configurazione serie-parallelo e il fattore di retroazione ideale è semplicemente il rapporto di partizione della rete di retroazione, $\beta = R_1/(R_1 + R_2)$ e il guadagno ideale vale

$$A_v^{\text{ideale}} = \frac{R_2 + R_1}{R_1} = 10$$

Passo 5: Il guadagno di anello viene calcolato iniettando un segnale in un punto del circuito e calcolando quanto segnale torna allo stesso punto facendo un giro completo. Il guadagno di anello è dato dal rapporto delle due grandezze cambiato di segno. La ragione del cambiamento di segno è che nel giro lungo l'anello si

trova un segno negativo (retroazione negativa), ma si vuole T positivo quando la retroazione è negativa, come si è visto nel Paragrafo 11.1.1. Un'altra possibilità consiste nel calcolare il guadagno lungo tutto l'anello facendo attenzione a includere tutti gli effetti di carico, cambiando al solito il segno del risultato. Partiremo dall'emettitore di Q_1 e calcoleremo il guadagno percorrendo tutto l'anello e tornando allo stesso punto. Ciò richiede di calcolare il guadagno a base comune di Q_1 , il guadagno a emettitore comune di Q_2 e infine la partizione di tensione, includendo l'effetto di carico, della rete di retroazione.

$$T = -[g_{m1}(R_3 \parallel R_{iB2})] \left[-\frac{g_{m2}}{1 + g_{m2}R_4} ([R_2 + R_1 \parallel R_{iE1}] \parallel R_5 \parallel R_L) \right] \left(\frac{R_{iE1} \parallel R_1}{R_{iE1} \parallel R_1 + R_2} \right)$$

$$R_{iB2} = r_{\pi 2} + (\beta_o + 1)R_4 = 32.8 \text{ k}\Omega \quad R_{iE1} = \frac{r_{\pi 1} + R_i}{(\beta_{o1} + 1)} = \frac{200 + 2500}{101} \Omega = 26.7 \Omega$$

$$T = -40 \text{ mS}(970 \Omega) \left[-\frac{40 \text{ mS}(1720 \Omega)}{1 + 40 \text{ mS}(300 \Omega)} \right] \left(\frac{26.7 \Omega}{26.7 \Omega + 2700 \Omega} \right) = 2.01$$

Si osservi che T è piuttosto basso, e di conseguenza l'errore di guadagno sarà elevato. T è positivo, come ci si aspetta in un circuito con retroazione negativa.

Passo 6: Il guadagno ad anello chiuso viene calcolato con l'Equazione (18.4)

$$A_v = A_v^{\text{ideale}} \frac{T}{1 + T} = 10 \frac{2.01}{1 + 2.01} = 6.68$$

Questa espressione non include l'attenuazione all'ingresso dovuta al partitore di tensione. Questo fattore dovrebbe essere molto piccolo perché l'impedenza della sorgente è bassa rispetto a quella di ingresso. Il valore di questo fattore potrà essere calcolato solo dopo aver trovato l'impedenza di ingresso.

Passo 7: A causa del basso valore del guadagno di anello la retroazione non modificherà molto le impedenze di ingresso e uscita.

Resistenza di ingresso: Dapprima calcoliamo la resistenza vista guardando dentro la base del transistor Q_1 ignorando l'effetto della retroazione.

$$R_{in}^D = R_{iB1} = r_{\pi 1} + (\beta_o + 1)(R_1 \parallel [R_2 + R_5 \parallel R_L \parallel R_{iC2}]) \approx 31.7 \text{ k}\Omega$$

T_{OC} vale zero quando si calcola la resistenza di ingresso perché il guadagno attraverso Q_1 è nullo in quanto la base è staccata dal resto del circuito e in essa non circola corrente (avendo trascurato l'effetto di r_o). T_{SC} è molto simile al valore calcolato in precedenza, con la differenza che R_{iE1} è ora leggermente minore perché manca la resistenza da 200Ω sulla base del transistor. Con questa variazione $T_{SC} = 1.86$ e la resistenza vista guardando nell'ingresso (base di Q_1) vale

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 31.7 \text{ k}\Omega \left(\frac{1 + 1.86}{1 + 0} \right) = 90.7 \text{ k}\Omega$$

Resistenza di uscita: Per trovare la resistenza di uscita R_{out}^D immaginiamo di annullare la retroazione e calcoliamo la resistenza vista guardando dentro l'uscita dell'amplificatore, senza includere la resistenza di carico.

$$R_{out}^D = R_{iC2} \parallel R_5 \parallel (R_2 + R_{iE1} \parallel R_1) \approx 2.11 \text{ k}\Omega$$

dove $R_{iC2} = r_{o2}(1 + g_{m2}R_4)$ è trascurabile. T_{SC} vale zero perché cortocircuitando l'uscita non si ha più alcun guadagno, mentre T_{OC} viene calcolato come il guadagno di anello calcolato prima, tranne che R_L non è inclusa nelle formule.

$$T_{OC} = -[g_{m1}(R_3 \parallel R_{iB2})] \left(-\frac{g_{m2}}{1 + g_{m2}R_4} [(R_2 + R_1 \parallel R_{inE1}) \parallel R_5] \right) \left(\frac{R_{iE1} \parallel R_1}{R_{iE1} \parallel R_1 + R_2} \right)$$

$$T_{OC} = 40 \text{ mS}(970 \Omega) \left[\frac{40 \text{ mS}(2107 \Omega)}{1 + 40 \text{ mS}(300 \Omega)} \right] \left(\frac{26.7 \Omega}{26.7 \Omega + 2.7 \text{ k}\Omega} \right) = 2.46$$

Usando il teorema di Blackman calcoliamo la resistenza di uscita

$$R_{\text{out}} = R_{\text{out}}^D \frac{1 + T_{\text{SC}}}{1 + T_{\text{OC}}} = 2.11 \text{ k}\Omega \left(\frac{1 + 0}{1 + 2.46} \right) = 610 \Omega$$

Passo 8: Calcoliamo il guadagno complessivo comprendente la partizione di ingresso dovuta alla resistenza della sorgente e l'effetto della resistenza di carico

$$A = \left(\frac{R_{\text{in}}}{R_{\text{in}} + R_i} \right) A_v = \frac{90.7 \text{ k}\Omega}{90.7 \text{ k}\Omega + 200 \Omega} 6.68 = 6.67$$

Anche qui si vede che la resistenza di sorgente è trascurabile rispetto alla resistenza di ingresso e il guadagno complessivo è praticamente identico a quello del solo amplificatore. Avendo incluso R_L nel calcolo del guadagno dell'amplificatore, non dobbiamo aggiungere nessun partitore per l'attenuazione fra resistenza di uscita e resistenza di carico.

Approccio alternativo: Questo approccio è leggermente diverso poiché R_i ed R_L sono considerate fin dall'inizio parte dell'amplificatore e inserite in tutti i calcoli. Il guadagno ad anello chiuso ora rappresenta il rapporto fra la tensione di uscita e v_i , la resistenza di ingresso è quella vista ai capi del generatore v_i e quella di uscita include il parallelo con R_L . Gli effetti di R_i e R_L sono facilmente rimovibili alla fine del conto, se si volessero ottenere le impedenze calcolate in precedenza.

Guadagno ad anello chiuso: Il guadagno di anello era stato calcolato in origine includendo gli effetti di R_i e di R_L , quindi $T = 2.01$ e

$$A_v = A_v^{\text{ideale}} \frac{T}{1 + T} = 10 \frac{2.01}{1 + 2.01} = 6.68$$

La resistenza di ingresso senza retroazione ora contiene anche R_i :

$$R_{\text{in}}^D = R_i + R_{iB1} = 31.9 \text{ k}\Omega$$

Il guadagno di anello T_{OC} con v_i aperto è ancora zero, mentre se si cortocircuita v_i si ha $T_{\text{SC}} = T$, quindi il valore della resistenza di ingresso diventa

$$R_{\text{in}} = 31.9 \text{ k}\Omega \frac{1 + 2.01}{1 + 0} = 96.0 \text{ k}\Omega$$

La resistenza di ingresso alla base di Q_1 vale quindi $R_{\text{in}B1} = R_{\text{in}} - 200 \Omega = 95.8 \text{ k}\Omega$.

La resistenza di uscita ora comprende l'effetto di R_L :

$$R_{\text{out}}^D = R_L \| R_{iC2} \| R_5 \| (R_2 + R_{iE1} \| R_1) \approx 1.74 \text{ k}\Omega$$

Il guadagno di anello T_{OC} con l'uscita aperta vale T , mentre T_{SC} , come già in precedenza, è nullo. Pertanto la resistenza di uscita vale

$$R_{\text{out}} = 1.74 \text{ k}\Omega \left(\frac{1 + 0}{1 + 2.01} \right) = 578 \Omega$$

e togliendo l'effetto di R_L dalla resistenza di uscita si ottiene

$$R'_{\text{out}} = \left[\frac{1}{R_{\text{out}}} - \frac{1}{R_L} \right]^{-1} = 614 \Omega$$

Discussione: Dall'analisi di questo circuito emerge immediatamente che quello analizzato non è un amplificatore particolarmente ben progettato. Il guadagno di anello è molto basso e non sfruttiamo i vantaggi che la retroazione potrebbe dare. In particolare l'errore di guadagno (il reciproco di $1 + T$) è elevato e le impedenze di ingresso e uscita non sono particolarmente migliorate dalla retroazione negativa.

Più in generale, vediamo che il carico sull'uscita influenza direttamente l'impedenza di ingresso e il circuito non può essere proficuamente con amplificatore separatore (buffer). Se si aumentasse il guadagno di anello si aumenterebbe il rapporto fra impedenza di ingresso e di uscita e quindi si migliorerebbero le caratteristiche di questo amplificatore. Un modo per aumentare il guadagno di anello, senza modificare la polarizzazione, consiste nel collegare un condensatore di bypass in parallelo a R_4 .

Analisi assistita da calcolatore: Simulando questo circuito con $BF = 100$, $VA_F = 1000$ e $IS = 1\text{ fF}$, si ottiene un guadagno di 6.52 volte, una resistenza di ingresso di 87 k Ω e una resistenza di uscita di 644 Ω , che confermano i calcoli svolti manualmente. Le discrepanze sono dovute ai diversi valori di T , g_m e r_π usati da SPICE e alle approssimazioni fatte. Si osservi che l'analisi "transfer function" (TF) di SPICE *non deve* essere usata in questo problema poiché sono presenti condensatori di bypass e di accoppiamento!

ESERCIZIO Calcolare in banda passante il guadagno di anello, le impedenze di ingresso e uscita e il guadagno ad anello chiuso del precedente circuito se si aggiunge un condensatore di bypass da 10 μF in parallelo a R_4 .

RISPOSTE 19.2, 596 k Ω , 86.8 Ω , 9.50; SPICE: 16.5, 533 k Ω , 105 Ω , 9.43.

18.3.2 Amplificatore differenziale di tensione serie-parallelo

L'amplificatore di Figura 18.6 è un tradizionale amplificatore di tensione serie-parallelo, con la struttura di un semplice operazionale con uno stadio di ingresso differenziale a MOS, uno stadio a source comune per il guadagno in tensione e uno stadio a drain comune come buffer di uscita. La rete di retroazione è formata da R_2 e da R_1 . Nell'esempio seguente analizzeremo le caratteristiche di questo amplificatore con retroazione negativa. Si tenga presente che senza ulteriori modifiche, questo stadio molto probabilmente è instabile. Nel seguito si studierà come predire e compensare le instabilità della retroazione.

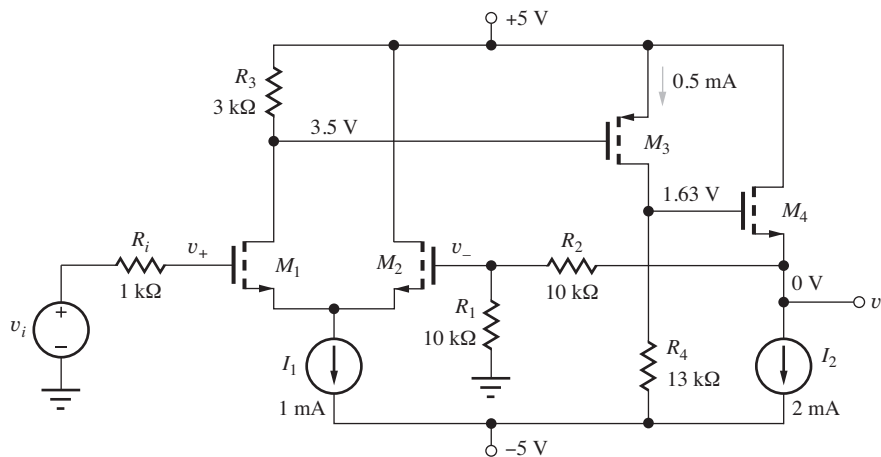


Figura 18.6

Amplificatore a MOSFET a tre stadi con retroazione negativa ($K_n = 10\text{ mA/V}^2$, $K_p = 4\text{ mA/V}^2$, $V_{TN} = 1\text{ V}$, $V_{TP} = -1\text{ V}$).

AMPLIFICATORE DIFFERENZIALE DI TENSIONE SERIE-PARALLELO

Esempio 18.2

Effettuare l'analisi dell'amplificatore a tre stadi con ingresso differenziale e retroazione serie-parallelo di Figura 18.6.

Trovare il guadagno di piccolo segnale, la resistenza di ingresso e di uscita dell'amplificatore di Figura 18.6. $K_n = 10\text{ mA/V}^2$, $K_p = 4\text{ mA/V}^2$, $V_{TN} = 1\text{ V}$, $V_{TP} = -1\text{ V}$. Le correnti e le tensioni in continua sono indicate sullo schema.

PROBLEMA

Informazioni e dati noti: Lo schema circuitale è mostrato in Figura 18.6 con l'indicazione dei valori in continua.

SOLUZIONE

Incognite: Guadagno ideale, guadagno di anello, guadagno ad anello chiuso, termini di Blackman per le impedenze di ingresso e di uscita.

Approccio: Si usa l'analisi del guadagno sviluppata nei precedenti capitoli, la procedura di analisi della retroazione e il teorema di Blackman.

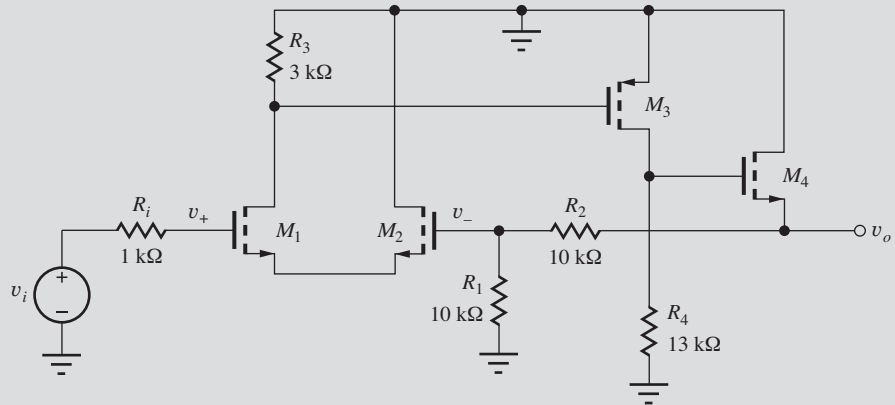
Ipotesi: Poiché λ non è specificato si assume infinita la resistenza di uscita r_o dei transistori. Si lavora in piccolo segnale in banda passante alla temperatura ambiente.

Analisi: Conoscendo le correnti di drain dei transistori, se ne possono calcolare direttamente i parametri di piccolo segnale.

$$g_{m1} = g_{m2} = \sqrt{2K_n I_D} = 3.16 \text{ mS},$$

$$g_{m3} = 2.00 \text{ mS}, g_{m4} = 6.33 \text{ mS}, r_o \rightarrow \infty$$

Iniziamo ora la procedura di analisi della retroazione. In primo luogo disegniamo il circuito equivalente per il segnale.



Circuito equivalente in AC.

Passo 1: Come detto in precedenza, la rete di retroazione è composta da R_2 e R_1 . La tensione di uscita viene direttamente prelevata da R_2 , quindi si ha un prelievo in parallelo.

Passo 2: Il segnale riportato all'ingresso viene applicato al gate di M_2 . Questa tensione è in serie alla tensione di ingresso applicata al gate di M_1 (attraverso la coppia differenziale), quindi si tratta di un confronto in serie.

Passo 3: La retroazione preleva una tensione e riporta in ingresso una tensione, quindi il fattore di retroazione ha le dimensioni di tensione/tensione, adimensionato, e l'amplificatore è di tipo tensione, serie-parallelo.

Passo 4: Essendo l'amplificatore di tipo serie-parallelo, il suo fattore di retroazione ideale è dato dalla partizione operata dalla rete di retroazione, $\beta = R_1/(R_1 + R_2)$. Il guadagno ideale è dunque

$$A_v^{\text{ideale}} = \frac{1}{\beta} = \frac{R_2 + R_1}{R_1} = +2$$

Passo 5: Calcoliamo il guadagno facendo un percorso completo lungo l'anello, partendo dal gate di M_2 e tornando al punto di partenza. Bisogna calcolare il guadagno della coppia differenziale, il guadagno del common source, il guadagno del common drain e infine l'attenuazione introdotta dal partitore di retroazione. Si tenga presente che in banda passante R_{iG} e la resistenza differenziale dei generatori di corrente sono infinite e anche r_o viene trascurata in questo problema. Queste condizioni semplificano in modo sostanziale le equazioni.

$$T = -\left(+\frac{g_{m2}}{2}R_3\right)(-g_{m3}R_4)\left[\frac{g_{m4}(R_2 + R_1)}{1 + g_{m4}(R_2 + R_1)}\right]\left(\frac{R_1}{R_1 + R_2}\right)$$

$$T = -(4.74)(-26.0)(.992)(0.5) = 61.1$$

Il valore di T in questa topologia a tre stadi è maggiore dell'esempio precedente e T positivo conferma che la retroazione è negativa.

Passo 6: Il guadagno ad anello chiuso dell'amplificatore viene calcolato con l'Equazione (18.4).

$$A_v = A_v^{\text{Ideale}} \frac{T}{1+T} = 2 \frac{61.1}{1+61.1} = 1.97$$

In banda passante, a causa dell'elevatissima impedenza di ingresso vista guardando nel gate di M_1 , non si ha attenuazione a causa della resistenza della sorgente.

Passo 7: Resistenza di ingresso: Per questo circuito la resistenza di ingresso è immediata poiché la resistenza vista guardando nel gate di M_1 è approssimativamente infinita. Se volessimo calcolarla formalmente, troveremmo che $T_{OC} = 0$ e che T_{SC} è uguale al guadagno di anello che abbiamo trovato cercando il guadagno ad anello chiuso.

Resistenza di uscita: Per trovare l'impedenza di uscita immaginiamo di annullare la retroazione, per esempio ponendo a zero g_{m2} o g_{m3} , e calcoliamo l'impedenza vista guardando nell'uscita dell'amplificatore senza considerare la resistenza di carico.

$$R_{\text{out}}^D = R_{\text{IS4}} \parallel (R_2 + R_1) = (1/g_{m4}) \parallel (R_2 + R_1) = 157 \, \Omega$$

T_{SC} è nullo perché se cortocircuitiamo l'uscita il guadagno dell'amplificatore va a zero. T_{OC} invece è uguale al guadagno di anello calcolato in precedenza, perché in questo problema non è presente R_L .

$$T_{OC} = T \text{ (loop again)} = 61.1$$

Calcoliamo ora la resistenza di uscita usando il teorema di Blackman

$$R_{\text{out}} = R_{\text{out}}^D \frac{1+T_{SC}}{1+T_{OC}} = 157 \, \Omega \left(\frac{1+0}{1+61.1} \right) = 2.53 \, \Omega$$

Passo 8: Grazie all'elevata impedenza di ingresso e alla bassa impedenza di uscita, il guadagno complessivo sarà molto simile al guadagno dell'amplificatore senza R_i ed R_L .

Discussione: Questo circuito è un buon punto di partenza per amplificatori retroazionati poiché ha un elevato guadagno ad anello aperto, che può ulteriormente essere migliorato con l'uso di carichi attivi e uno stadio di uscita più efficiente per ottenere un vero amplificatore operativo. Come detto prima, i problemi di stabilità di questo circuito saranno studiati più avanti in questo capitolo.

Analisi assistita da calcolatore: In questo circuito possiamo usare SPICE ed eseguire un'analisi del punto di lavoro, seguita da un'analisi di funzione di trasferimento da v_i alla tensione ai capi di I_2 . Il risultato indica un guadagno di 1.98 volte, una impedenza di ingresso estremamente elevata e una impedenza di uscita di 2.5 Ω . Questi risultati sono in ottimo accordo con quanto trovato con l'analisi manuale.

ESERCIZIO Usare il teorema di Blackman per calcolare la resistenza in banda passante fra il drain di M_1 e il potenziale zero. Quando valgono R_X^D , T_{SC} , T_{OC} e R_X ?

RISPOSTE 3 k Ω , 0, 61.1, 48.3 Ω .

ESERCIZIO Quali sono i punti di lavoro dei quattro transistori dell'amplificatore di Figura 18.6?

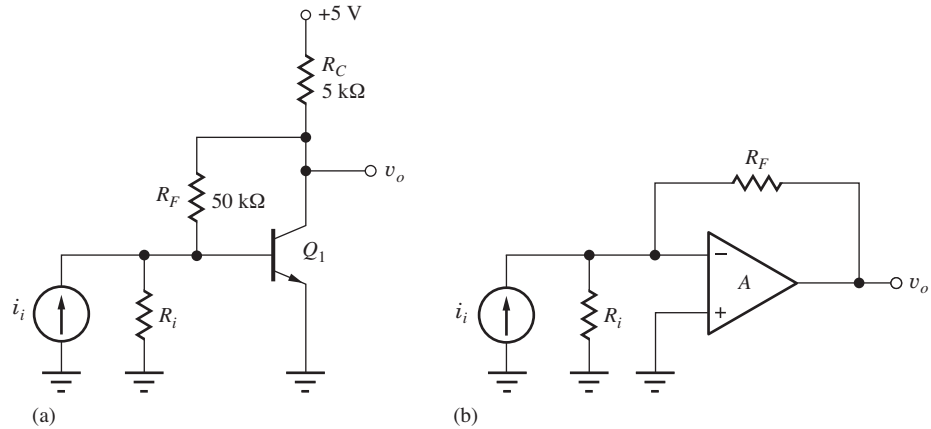
RISPOSTE (0.5 mA, 4.82 V), (0.5 mA, 6.32 V), (0.5 mA, 3.37 V), (2 mA, 5.00 V).

18.3.3 Retroazione parallelo-parallelo - Amplificatore di transresistenza

La Figura 18.7 mostra un semplice amplificatore a un solo transistor con retroazione parallelo-parallelo. L'amplificatore vero e proprio va dalla base al collettore del transistor. La resistenza R_i e la sorgente di corrente i_i rappresentano l'equivalente Norton della sorgente di segnale. L'amplificatore converte la corrente di ingresso i_i in una tensione all'uscita. La re-

Figura 18.7

(a) Amplificatore di transresistenza a singolo transistor. (b) Amplificatore di transresistenza semplificato.



troazione fa sì che l'amplificatore presenti una bassa impedenza di ingresso in modo da assorbire tutta la corrente della sorgente e generi una tensione in uscita. Il guadagno è espresso come rapporto tensione/corrente e ciò porta a classificare il circuito come amplificatore di transresistenza. La rete di retroazione è semplicemente R_F , che preleva la tensione di uscita e riporta indietro una corrente sul nodo di base di Q_1 . La sorgente di ingresso inietta anche una corrente nella base di Q_1 e quindi si ha una somma di correnti al nodo di base.

Esempio 18.3**ANALISI DI UN AMPLIFICATORE CON RETROAZIONE PARALLELO-PARALLELO**

Si utilizzerà la procedura di analisi della retroazione per comprendere il funzionamento di un amplificatore di transresistenza a singolo transistor.

PROBLEMA Trovare il guadagno di piccolo segnale, le resistenze di ingresso e uscita dell'amplificatore di Figura 18.7 nel caso ideale con $R_i \rightarrow \infty$. Si usi $\beta_F = \beta_o = 150$ e $V_A = 50$ V.

SOLUZIONE **Informazioni e dati noti:** Il circuito è mostrato in Figura 18.7, i parametri del transistor sono $\beta_F = \beta_o = 150$ e $V_A = 50$ V.

Incognite: Guadagno ideale, guadagno di anello, guadagno ad anello chiuso e termini di Blackman per le impedenze di ingresso e di uscita.

Approccio: Si trova dapprima il punto di lavoro in DC; si usa poi l'analisi del guadagno del transistor sviluppata nei capitoli precedenti, la procedura di analisi della retroazione e il teorema di Blackman.

Ipotesi: $V_{BE} = 0.7$ V, $V_T = 25$ mV e si assume di essere in condizioni di piccolo segnale e in banda passante.

Analisi: Calcoliamo dapprima il punto di funzionamento in continua. Conoscendo la relazione fra corrente di base e di collettore ($I_B = I_C / \beta_F$) possiamo scrivere un'equazione alla maglia

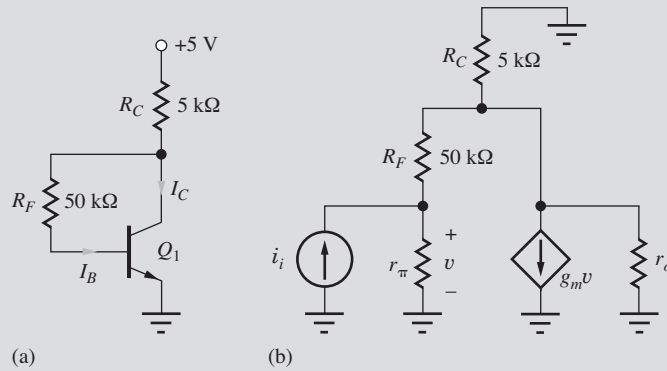
$$5 \text{ V} = (I_C + I_B)R_C + I_B R_F + V_{BE} \quad \text{quindi} \quad 5 \text{ V} - V_{BE} = I_C \left(R_C + \frac{R_C}{\beta_F} + \frac{R_F}{\beta_F} \right)$$

Risolviendo rispetto alla corrente di collettore si ottiene

$$I_C = \frac{5 \text{ V} - V_{BE}}{R_C + \frac{R_C + R_F}{\beta_F}} = 0.801 \text{ mA}$$

La tensione collettore-emettitore vale

$$V_{CE} = 5 \text{ V} - (I_C + I_B)R_C = I_C \left(1 + \frac{1}{\beta_F} \right) R_C = 0.968 \text{ V}$$



(a) Circuito equivalente in continua.

(b) Circuito equivalente di piccolo segnale ($g_m = 32 \text{ mS}$, $r_\pi = 4.69 \text{ k}\Omega$, $r_o = 62.4 \text{ k}\Omega$).

I corrispondenti parametri di piccolo segnale sono

$$g_m = \frac{801 \mu\text{A}}{25 \text{ mV}} = 32 \text{ mS} \quad r_\pi = \frac{150}{g_m} = 4.69 \text{ k}\Omega \quad r_o \approx \frac{50 \text{ V}}{801 \mu\text{A}} = 62.4 \text{ k}\Omega$$

Iniziamo ora l'analisi della retroazione.

Passo 1: Come indicato in precedenza, la rete di retroazione è costituita solo da R_F , che preleva direttamente la tensione di uscita, quindi si ha una connessione in parallelo.

Passo 2: Il segnale riportato indietro è una corrente sulla base di Q_1 e questa corrente è sommata direttamente con la corrente di ingresso i_i . Questa è quindi una connessione in parallelo (confronto in corrente).

Passo 3: Poiché si preleva una tensione e si riporta una corrente, il fattore di retroazione ha le dimensioni di una corrente/tensione e l'amplificatore con retroazione parallelo-parallelo è un amplificatore di transresistenza.

Passo 4: Con la retroazione parallelo-parallelo il fattore ideale di retroazione è il reciproco della resistenza della rete di retroazione. Il guadagno ideale vale quindi

$$A_{tr}^{\text{ideale}} = -\frac{1}{\beta} = -R_F = -50 \text{ k}\Omega$$

Si presti attenzione a non confondere il guadagno in corrente del transistor β_F o β_o con il fattore di retroazione β . Sfortunatamente queste due quantità hanno simboli molto simili. Il segno negativo del guadagno dipende solamente da come sono stati definiti i versi della corrente all'ingresso e della tensione all'uscita.

Passo 5: Calcoliamo il guadagno lungo tutto l'anello partendo dalla base di Q_1 , lavorando sul circuito equivalente di piccolo segnale mostrato qui sopra fino a tornare di nuovo al punto di partenza. In pratica bisogna calcolare il guadagno in tensione dell'emettitore comune e l'attenuazione della rete di retroazione.

$$T = -[g_m(R_C \parallel (R_F + r_\pi) \parallel r_o)] \left(\frac{r_\pi}{r_\pi + R_F} \right)$$

$$T = 32 \text{ mS} (5 \text{ k}\Omega \parallel (50 \text{ k}\Omega + 4.69 \text{ k}\Omega) \parallel 62.4 \text{ k}\Omega) \left(\frac{4.69 \text{ k}\Omega}{4.69 \text{ k}\Omega + 50 \text{ k}\Omega} \right) = 11.7$$

Al solito T positivo indica retroazione negativa, come si deve avere negli amplificatori.

Passo 6: Il guadagno ad anello chiuso dell'amplificatore viene calcolato con l'Equazione (18.4).

$$A_{tr} = A_{tr}^{\text{ideale}} \frac{T}{1 + T} = -50 \text{ k}\Omega \frac{11.7}{1 + 11.7} = -46.1 \text{ k}\Omega$$

Il guadagno di anello non troppo elevato produce una significativa riduzione dell'8% del guadagno reale rispetto a quello ideale.

Passo 7: Resistenza di ingresso: Per calcolare la resistenza di ingresso cominciamo a trovare la resistenza di ingresso con la retroazione annullata, (per esempio immaginando che $g_m v = 0$).

$$R_{in}^D = r_{\pi} \parallel (R_F + R_C \parallel r_o) = 4.32 \text{ k}\Omega$$

T_{SC} è nullo, poiché se si cortocircuita la base verso ground il guadagno va a zero, mentre T_{OC} è lo stesso calcolato per il guadagno ad anello chiuso, $T_{OC} = 11.7$. Combinando questi due risultati si ottiene la resistenza di ingresso a centro banda

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 4.32 \text{ k}\Omega \frac{1 + 0}{1 + 11.7} = 340 \Omega$$

La retroazione negativa ha ridotto in modo significativo la resistenza di ingresso, migliorandone la capacità di assorbire la corrente di ingresso.

Resistenza di uscita: Per trovare la resistenza di uscita immaginiamo di annullare la retroazione, ponendo $g_m v = 0$ e calcoliamo l'impedenza vista guardando dentro l'uscita dell'operazionale.

$$R_{out}^D = R_C \parallel r_o \parallel (R_F + r_{\pi}) = 4.27 \text{ k}\Omega$$

T_{SC} è nullo, poiché se si cortocircuita l'uscita il guadagno dell'amplificatore è zero. T_{OC} è lo stesso calcolato per trovare il guadagno ad anello chiuso, $T_{OC} = 11.7$. Troviamo ora la resistenza di uscita con il teorema di Blackman.

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 4.27 \text{ k}\Omega \frac{1 + 0}{1 + 11.7} = 336 \Omega$$

Passo 8: Avendo considerato una sorgente ideale e nessun carico sull'uscita, la transresistenza complessiva è quella calcolata nel Passo 6

$$A_{tr} = \frac{v_o}{i_i} = -46.1 \text{ k}\Omega$$

Discussione: L'amplificatore di transresistenza è molto usato per amplificare segnali provenienti da rivelatori che generano una corrente, come per esempio i fotodiodi. La bassa impedenza di ingresso in pratica cortocircuita le capacità parassite del rivelatore ottenendo così tempi di risposta veloci. Il nodo di base di Q_1 corrisponde all'ingresso invertente dei circuiti operazionali studiati in precedenza. L'ingresso non invertente corrisponde all'emettitore ed è collegato al potenziale di riferimento. Per ridurre la resistenza di ingresso R_{in} a valori simili alla versione con operazionali, bisogna aumentare in modo significativo il guadagno di anello.

Analisi assistita da calcolatore: In questo circuito possiamo usare l'analisi DC di SPICE, seguita da un'analisi della funzione di trasferimento fra l'ingresso i_i e la tensione di uscita. I risultati indicano un guadagno di transresistenza di $-46 \text{ k}\Omega$, una resistenza di ingresso di 352Ω e un'impedenza di uscita di 335Ω , risultati che sono in buon accordo con i calcoli svolti manualmente.

ESERCIZIO Ripetere i calcoli dell'esempio precedente con $R_i = 10 \text{ k}\Omega$. Quali sono i nuovi valori di T , R_{in} e R_{out} ?

RISPOSTE 8.17, 329 Ω , 464 Ω .

Effetto delle resistenze di sorgente e di carico

Dopo aver analizzato il comportamento della versione base di un amplificatore di transresistenza a singolo transistor, studiamo quali sono gli effetti delle resistenze di sorgente e di carico sulle prestazioni dell'amplificatore, come mostrato in Figura 18.8. Qui facciamo uso del precedente esempio per costruire un modello dell'amplificatore.

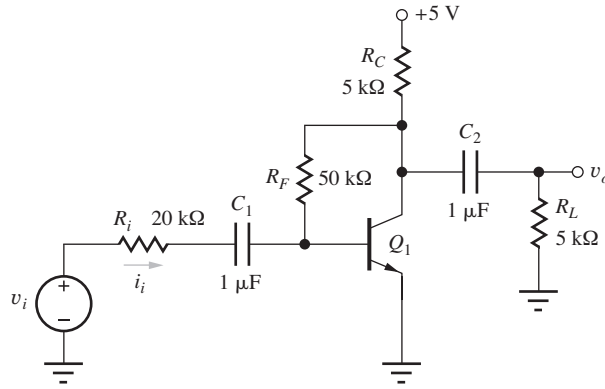


Figura 18.8
Amplificatore di
transresistenza con resistenze
di sorgente e di carico.

RETROAZIONE PARALLELO-PARALLELO CON IMPEDENZE DI SORGENTE E DI CARICO

Esempio 18.4

Comprendere le interazioni di un amplificatore di transresistenza con varie impedenze di sorgente e di carico. Sarà anche analizzata la relazione fra un amplificatore di tensione invertente e un amplificatore di transresistenza.

Trovare il guadagno di piccolo segnale dell'amplificatore in Figura 18.8. Si consideri $\beta_F = 150$, $V_A = 50$ V e i risultati dell'Esempio 18.3.

PROBLEMA

Informazioni e dati noti: Il circuito è in Figura 18.8, i parametri dei transistori sono $\beta_F = 150$, $V_A = 50$ V e si conoscono i risultati dell'Esempio 18.3.

SOLUZIONE

Incognite: Trovare il guadagno facendo uso dei risultati del precedente esercizio.

Approccio: Si aggiungono gli effetti di carico all'ingresso e all'uscita per adattare i risultati precedenti a una nuova situazione di impedenze di sorgente e di carico. Si farà un'approssimazione poiché l'impedenza di uscita dipende dalla resistenza di sorgente e quella di ingresso dall'impedenza di carico. Lo scopo qui è di valutare la validità del metodo.

Ipotesi: $V_{BE} = 0.7$ V, $V_T = 25$ mV e si è in condizioni di piccolo segnale in banda passante.

Analisi: Nell'esercizio precedente abbiamo trovato l'impedenza di ingresso, l'impedenza di uscita e la transresistenza del circuito di Figura 18.7.

$$A_{tr} = -46.1 \text{ k}\Omega \quad R_{in} = 340 \text{ }\Omega \quad R_{out} = 336 \text{ }\Omega$$

La Figura 18.9 mostra il circuito equivalente che useremo per trovare il guadagno dell'amplificatore di Figura 18.8. Usiamo i risultati dell'Esempio 18.3 per generare un modello dell'amplificatore di transresistenza, formato da un amplificatore di transresistenza ideale (operazionale più resistore di retroazione) al quale sono aggiunte esternamente le resistenze di ingresso e di uscita per poter valutare l'effetto della sorgente e del carico. Si osservi che quando il circuito è pilotato da una sorgente di tensione, il circuito diventa equivalente a un amplificatore invertente.

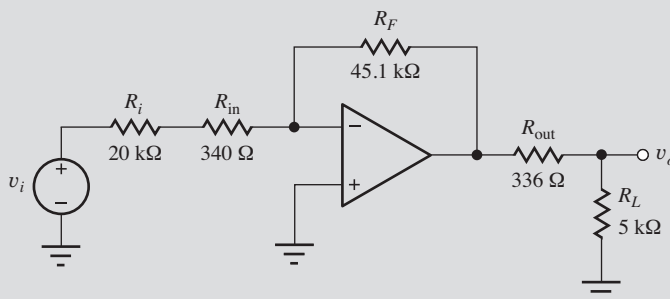


Figura 18.9 Circuito equivalente di piccolo segnale approssimato del circuito in Figura 18.8.

Calcoliamo ora v_o/v_i usando quanto sappiamo sugli amplificatori invertenti e sul partitore di tensione.

$$A_v = \frac{v_o}{v_i} = \left(\frac{-R_F}{R_i + R_{in}} \right) \left(\frac{R_L}{R_{out} + R_L} \right) = \left(\frac{-45.1 \text{ k}\Omega}{20 \text{ k}\Omega + 340 \Omega} \right) \left(\frac{5 \text{ k}\Omega}{336 + 5 \text{ k}\Omega} \right) = -2.08$$

La prima parte della formula è la solita amplificazione dell'amplificatore invertente, mentre il secondo termine valuta l'effetto della partizione di tensione dovuta all'impedenza di uscita del circuito di Figura 18.9.

Analisi assistita da calcolatore: La simulazione dell'amplificatore fornisce un guadagno di piccolo segnale pari a -2.09 , molto vicino all'analisi svolta a mano.

Discussione: Abbiamo visto che si possono usare i risultati ottenuti da un amplificatore non caricato da resistenze di sorgente o di carico per valutare che cosa capita quando sono presenti i carichi. In questo particolare esempio il risultato è molto preciso, ma può essere anche molto meno preciso per altre combinazioni di resistenze di sorgente e di carico. Ci si può aspettare che quando il valore delle impedenze di sorgente o di carico si avvicina al valore delle resistenze di ingresso e di uscita la precisione sia compromessa. Benché questa sia solo un'approssimazione, è comunque più rapido ed efficiente che ricalcolare il guadagno di anello per ciascun caso, e questa approssimazione dovrebbe essere uno strumento da usare per i problemi di progetto.

ESERCIZIO Per il circuito di Figura 18.8 confrontare i valori di guadagno calcolati e simulati quando $R_i = 2 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$ e $R_i = 10 \text{ k}\Omega$, $R_L = 2 \text{ k}\Omega$. Trovare anche gli errori relativi nei due casi.

RISPOSTE Calcolo: -18.6 , -3.73 ; simulazione: -17.9 , -3.6 ; Errore $+3.8\%$ e $+3.6\%$.

ESERCIZIO La simulazione dell'amplificatore di transresistenza della figura (b) della seguente scheda "Elettronica in azione" fornisce questi risultati $A_{tr} = -48.5 \text{ k}\Omega$ e $R_{out} = 12 \Omega$. Quali sono i valori di T , g_{m3} e R_{in} ?

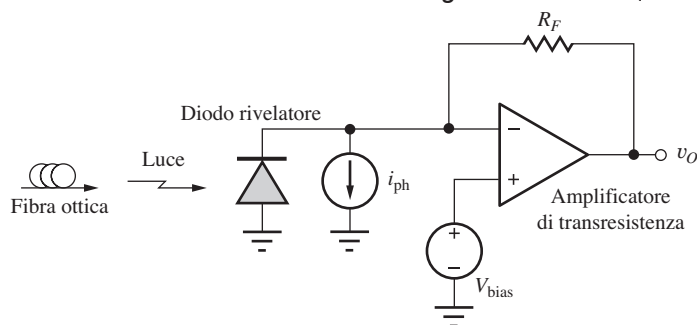
RISPOSTE 32.3 , 2.5 mS , $1.5 \text{ k}\Omega$.

ELETTRONICA IN AZIONE

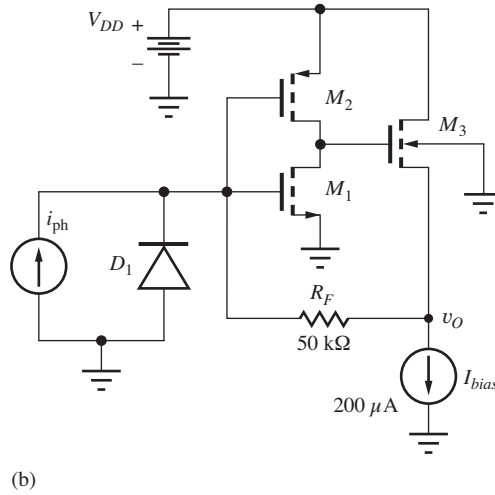
Una implementazione di un amplificatore di transresistenza

L'uso degli amplificatori di transresistenza per le comunicazioni ottiche è stato introdotto nelle schede "Elettronica in azione" nei Capitoli 9 e 10. L'amplificatore di transresistenza di Figura (a), che converte la corrente i_{ph} del fotodiodo in una tensione di uscita $v_o = -i_{ph} R_F$, è spesso realizzato con un amplificatore con retroazione parallelo-parallelo e lo schema di principio della realizzazione in CMOS di

questo amplificatore è mostrato in Figura (b). I MOS M_1 e M_2 formano un inverter CMOS a elevato guadagno collegato a un inseguitore di source M_3 che abbassa l'impedenza di uscita. La sorgente di corrente I_{bias} e i rapporti W/L dei transistori determinano il punto di lavoro dei tre dispositivi. La polarizzazione inversa del fotodiodo D_1 è fornita dalla tensione gate-source di M_1 .



(a)



Il valore dell'amplificazione e le resistenze di ingresso e di uscita dell'amplificatore con retroazione parallelo-parallelo possono essere calcolate facendo uso di quanto mostrato nel Paragrafo 18.2:

$$A_{tr} = -R_F \left(\frac{T}{1+T} \right) \quad R_{in} = \left(R_F + \frac{1}{g_{m3}} \right) \left(\frac{1}{1+T} \right) \quad R_{out} = \left(\frac{1}{g_{m3}} \right) \left(\frac{1}{1+T} \right)$$

(Si considera molto elevata e quindi trascurabile la resistenza del diodo polarizzato inversamente.)

18.3.4 Retroazione serie-serie – Amplificatore di transconduttanza

Gli amplificatori di transconduttanza hanno un guadagno della forma corrente/tensione, che ha quindi le dimensioni di una conduttanza. La realizzazione con retroazione negativa presenta una rete di retroazione che preleva la corrente di uscita e riporta indietro una tensione per il confronto all'ingresso. Un amplificatore di transconduttanza può essere usato per avere una sorgente di corrente con uscita ad alta impedenza oppure un generatore variabile di corrente pilotato in tensione e in altre applicazioni dove è richiesta una precisa corrente di uscita controllata da una tensione. Il circuito di Figura 18.10 è un esempio di amplificatore di transconduttanza a due stadi. Il resistore R_F "misura" la corrente di uscita di M_5 trasformandola in una tensione che viene sommata in serie fra i due ingressi della coppia differenziale M_1 ed M_2 , e si ha pertanto una retroazione con prelievo in serie (corrente) e confronto in serie (tensione).

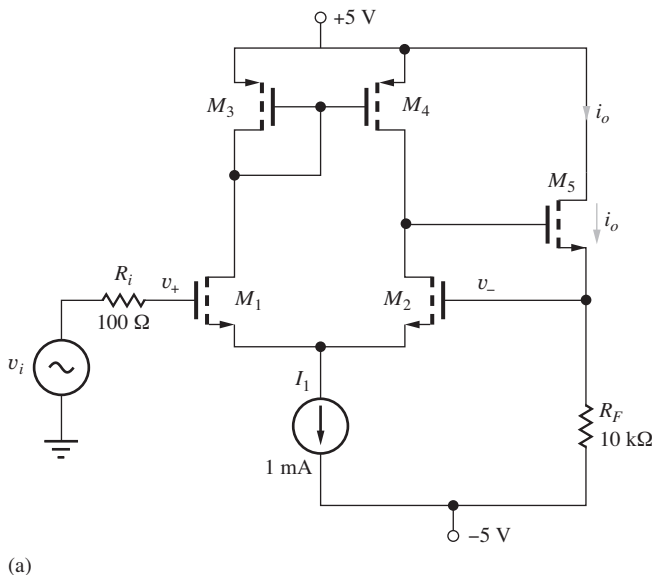
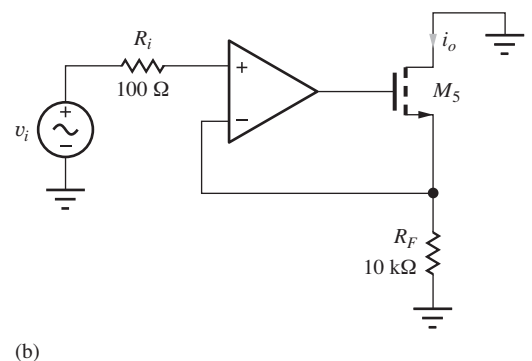


Figura 18.10

(a) Amplificatore di transconduttanza a due stadi;
(b) versione semplificata dell'amplificatore di transconduttanza.



Esempio 18.5**ANALISI DI UN AMPLIFICATORE CON RETROAZIONE SERIE-SERIE**

In questo esempio si fa uso della procedura di analisi della retroazione per comprendere il funzionamento di un amplificatore di transconduttanza.

PROBLEMA Trovare il guadagno di piccolo segnale e le resistenze di ingresso e di uscita dell'amplificatore di Figura 18.10. $K_n = 10 \text{ mA/V}^2$, $K_p = 4 \text{ mA/V}^2$ e $\lambda = (100 \text{ V})^{-1}$.

SOLUZIONE **Informazioni e dati noti:** Il circuito è mostrato in Figura 18.10; i parametri dei transistori sono $K_n = 10 \text{ mA/V}^2$, $K_p = 4 \text{ mA/V}^2$ e $\lambda = (100 \text{ V})^{-1}$. Di solito nei circuiti che utilizzano questa topologia, il carico è collegato fra drain di M_5 e l'alimentazione positiva. Esempi di carichi pilotati in corrente sono LED (luce funzione della corrente) e gli attuatori elettromagnetici (forza funzione della corrente).

Incognite: Guadagno ideale, guadagno di anello, guadagno ad anello chiuso e termini di Blackman per il calcolo delle impedenze di ingresso e uscita.

Approccio: Si trova dapprima il punto di lavoro; si usano poi i risultati sui guadagni degli amplificatori trovati nei capitoli precedenti e infine si applica la procedura di analisi della retroazione e il teorema di Blackman.

Ipotesi: si è in condizioni di piccolo segnale e in centro banda.

Analisi: Disegniamo il circuito equivalente per la continua di Figura (a) e calcoliamo il punto di lavoro. Per simmetria si vede che i MOS M_1 - M_4 sono tutti polarizzati a 0.5 mA. La controreazione fa sì che v_- inseguia la tensione presente su v_+ , quindi la corrente di M_5 vale $[0 - (-5 \text{ V})]/10 \text{ k}\Omega = 0.5 \text{ mA}$. I parametri di piccolo segnale sono

$$g_{m1} = g_{m2} = g_{m5} = \sqrt{2K_n I_D} = 3.16 \text{ mS}$$

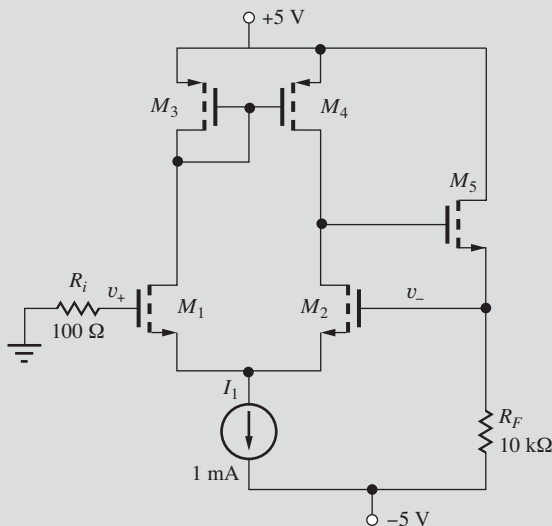
$$g_{m3} = g_{m4} = 2.00 \text{ mS} \quad r_o \approx \frac{1}{\lambda I_D} = 200 \text{ k}\Omega$$

Iniziamo ora l'analisi della retroazione.

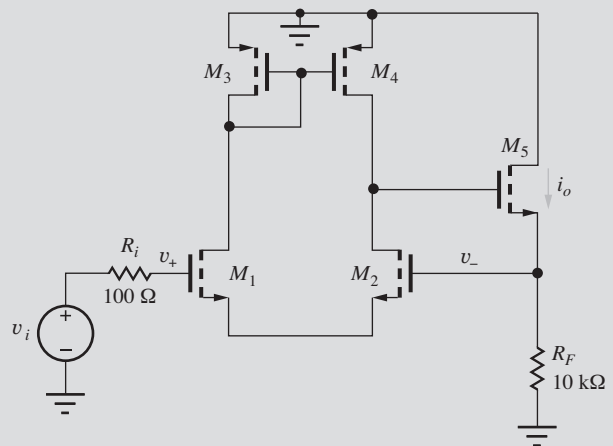
Passo 1: Come visto in precedenza, la rete di retroazione è formata dal resistore R_F , in serie alla corrente di uscita, quindi si ha un prelievo in serie.

Passo 2: Il segnale riportato indietro sul gate di M_2 è la tensione ai capi di R_F e insieme alla tensione del segnale di ingresso sono applicate ai capi del differenziale, che ne fa la differenza. Il confronto è pertanto in serie.

Passo 3: Avendo prelevato la corrente e riportato indietro una tensione, il fattore di retroazione ha le dimensioni di una tensione/corrente e l'amplificatore è un amplificatore di transconduttanza serie-serie.



(a) Circuito equivalente in continua.



(b) Circuito equivalente per il piccolo segnale.

Passo 4: L'amplificatore fa uso di una retroazione serie-serie che forza v_- a essere uguale a v_i e la corrente di uscita di conseguenza vale $i_o = v_i/R_F$. Perciò il fattore ideale di retroazione è semplicemente la resistenza della rete di retroazione R_F e il guadagno ideale vale

$$A_{tc}^{\text{ideale}} = \frac{1}{\beta} = \frac{1}{R_F} = 100 \mu S$$

Passo 5: Calcoliamo il guadagno di anello lavorando sul circuito equivalente di piccolo segnale di Figura (b), partendo dal gate di M_2 e procedendo lungo l'anello fino a tornare al punto di partenza. Questo richiede di calcolare il guadagno della coppia differenziale e il guadagno di M_5 collegato a drain comune.

$$T = -[-g_{m2}(r_{o2} \parallel r_{o4})] \left(\frac{g_{m5} R_F}{1 + g_{m5} R_F} \right)$$

$$T = 3.16 \text{ mS} (100 \text{ k}\Omega)(0.969) = 306$$

Ancora una volta $T > 0$ ci dice che la retroazione è negativa e siamo in presenza di un amplificatore retroazionato.

Passo 6: Il guadagno ad anello chiuso dell'amplificatore retroazionato viene calcolato con l'Equazione (18.4):

$$A_{tc} = A_{tc}^{\text{ideale}} \frac{T}{1 + T} = 100 \mu S \frac{306}{1 + 306} = 99.7 \mu S$$

Il guadagno di anello elevato fa sì che l'errore di guadagno sia molto basso.

Passo 7: Per calcolare la resistenza di ingresso guardando nel gate di M_1 calcoliamo la resistenza ad anello aperto, con la retroazione annullata.

$$R_{in}^D = R_{iG1} \rightarrow \infty$$

Evidentemente anche la resistenza ad anello chiuso tenderà a infinito, ma per completezza continuiamo comunque il calcolo con il teorema di Blackman. T_{OC} vale zero dato che il guadagno di anello si annulla se si lascia aperto il gate di M_1 . L'impedenza infinita che si vede guardando nel gate di M_1 impedisce che si localizzi una qualunque tensione ai capi della coppia differenziale. Con il gate di M_1 cortocircuitato al potenziale di riferimento ci si ritrova nelle stesse condizioni del calcolo di T e quindi $T_{SC} = 306$. Combinando questi due risultati e tenendo presente che la resistenza R_{in}^D tende a infinito si ottiene la resistenza in banda passante

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} = R_{iG1} \frac{1 + 306}{1 + 0} \rightarrow \infty$$

Per la resistenza di uscita immaginiamo di annullare la retroazione e calcoliamo la resistenza vista guardando nell'uscita dell'amplificatore.

$$R_{out}^D = r_{o5}(1 + g_{m5} R_F) = 6.52 \text{ M}\Omega$$

T_{OC} vale zero dato che il guadagno dell'amplificatore si annulla quando si apre il collegamento di drain di M_5 (corrente di drain nulla e di conseguenza anche corrente di source nulla). Per trovare T_{SC} si lascia il drain di M_5 collegato al riferimento e si è nuovamente nelle condizioni del calcolo del guadagno ad anello chiuso, quindi $T_{SC} = T = 306$. La resistenza di uscita pertanto vale

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 6.52 \text{ M}\Omega \frac{1 + 306}{1 + 0} = 2000 \text{ M}\Omega$$

Passo 8: Poiché non c'è praticamente alcuna caduta di tensione sulla resistenza di sorgente, la transconduttanza complessiva è quella calcolata in precedenza.

$$\frac{i_o}{v_i} = 99.7 \mu S$$

Il guadagno in microsiemens vuol dire semplicemente che la corrente di uscita è di 99.7 μA per ogni volt di tensione di ingresso.

Discussione: L'elevata impedenza di uscita di questo circuito conferma che un amplificatore di transconduttanza può essere usato come una sorgente di corrente praticamente ideale. Se avessimo considerato come uscita la tensione sul source di M_5 avremmo avuto un amplificatore di tensione a guadagno unitario e in questo caso il prelievo sarebbe stato non più in parallelo ma in serie.

Analisi assistita da calcolatore: La simulazione SPICE dell'amplificatore comprende un'analisi in DC e un'analisi della funzione di trasferimento dalla sorgente v_i alla corrente di drain di M_5 . I risultati dell'analisi TF danno una transconduttanza di $99.7 \mu\text{S}$, una resistenza di ingresso estremamente elevata e un'impedenza di uscita di $2.25 \text{ G}\Omega$. Questi risultati sono in ottimo accordo con i calcoli svolti a mano.

ESERCIZIO Calcolare il guadagno ad anello chiuso se l'uscita viene presa dal source di M_5 . Quanto valgono A_v^{Ideale} , T e A_v ? Quanto vale la resistenza di uscita ad anello chiuso? Trovare R_{out}^D , T_{SC} , T_{OC} e R_{out} .

RISPOSTE 1, 306, 0.997; 307 Ω , 0, 306, 1 Ω .

ESERCIZIO Calcolare la resistenza in banda passante fra il drain di M_1 e il potenziale di riferimento in Figura (b) dell'Esempio 18.5. Quanto valgono R_x^D , T_{SC} , T_{OC} e R_x ?

RISPOSTE 500 Ω , 204, 306, 334 Ω .

18.3.5 Retroazione parallelo-serie - Amplificatore di corrente

Gli amplificatori di corrente con retroazione negativa sono usati per generare una corrente scalata in modo preciso. Questi amplificatori di corrente hanno una rete di retroazione che misura la corrente in uscita e manda indietro al nodo di somma in ingresso una frazione della corrente misurata. Come nel caso dell'amplificatore di transconduttanza, un amplificatore di corrente può essere usato come sorgente di corrente ad alta impedenza, ma in questo caso la corrente di uscita è controllata da una corrente di ingresso. Il circuito di Figura 18.11 è un esempio di un amplificatore di corrente a due stadi. I resistori di retroazione R_2 e R_1 misurano la corrente di uscita di M_5 e formano un partitore di corrente per mandare al nodo di somma all'ingresso una frazione della corrente di uscita. Questa è una retroazione che presenta confronto in parallelo e prelievo in serie (confronto in corrente prelievo in corrente).

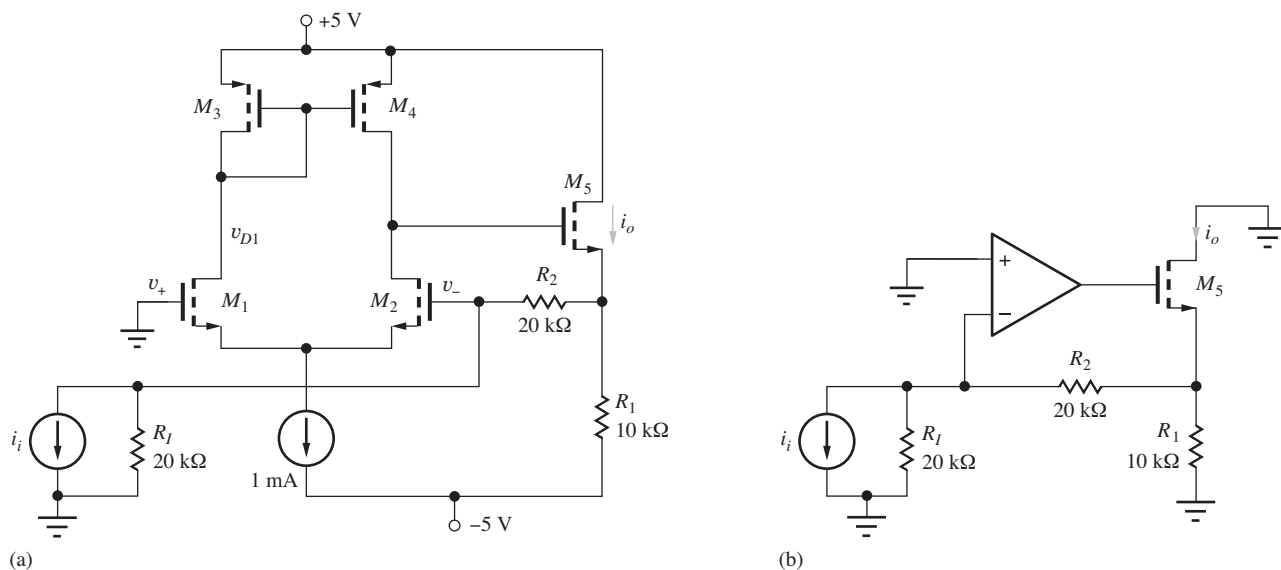


Figura 18.11 (a) Amplificatore di corrente parallelo-serie a due stadi. (b) Amplificatore di corrente semplificato.

Passo 2: Il segnale riportato indietro sul nodo di somma, gate di M_2 , è la frazione della corrente di uscita prelevata dal partitore di corrente formato da R_2 e R_1 . Questa è una connessione in parallelo sull'ingresso (confronto in corrente).

Passo 3: Avendo prelevato la corrente e riportato indietro una corrente, il fattore di retroazione ha le dimensioni di una corrente/corrente (adimensionato) e l'amplificatore è un amplificatore di corrente parallelo-serie.

Passo 4: L'amplificatore fa uso di una retroazione parallelo-serie che forza la corrente i_i attraverso R_2 . La corrente di uscita diventa pari a i_i più la corrente attraverso R_1 data da $i_i R_2 / R_1$. La corrente totale e il guadagno ideale valgono dunque

$$i_o = i_i \left(1 + \frac{R_2}{R_1} \right) \quad \text{e} \quad A_c^{\text{Ideale}} = \frac{i_o}{i_i} = \frac{1}{\beta} = \frac{R_2 + R_1}{R_1} = 3$$

Se si cambia il verso del generatore di ingresso bisogna cambiare il segno del guadagno ideale. Questo è spesso un fattore di confusione in molte topologie di amplificatori di corrente.

Passo 5: Calcoliamo il guadagno di anello partendo dal gate di M_2 , nel circuito equivalente di Figura (b), e calcoliamo il guadagno lungo tutto l'anello fino a tornare al punto di partenza. Ciò richiede di trovare il guadagno della coppia differenziale, il guadagno del drain comune formato da M_5 , e l'attenuazione attraverso R_2 e R_1 . Ricordando che il guadagno di anello T è definito come il prodotto cambiato di segno di tutti i guadagni lungo l'anello, si ha

$$T = -[-g_{m2}(r_{o2} \parallel r_{o4})] \left(\frac{g_{m5}[R_1 \parallel (R_2 + R_1)]}{1 + g_{m5}[R_1 \parallel (R_2 + R_1)]} \right) \left(\frac{R_1}{R_1 + R_2} \right)$$

$$T = 3.16 \text{ mS} (100 \text{ k}\Omega)(0.962)(0.5) = 152$$

Quando si progetta un amplificatore retroazionato bisogna sempre verificare che la retroazione sia negativa e quindi che si abbia T positivo.

Passo 6: Calcoliamo il guadagno ad anello chiuso con l'Equazione (18.4):

$$A_c = A_c^{\text{Ideale}} \frac{T}{1 + T} = 3 \left(\frac{152}{1 + 152} \right) = 2.98$$

Il guadagno di anello elevato ha come conseguenza un basso errore di guadagno.

Passo 7: Per calcolare la resistenza vista guardando dentro il gate di M_2 , bisogna decidere se si cerca la resistenza vista dal solo generatore i_i , lasciando nel circuito R_1 , oppure se si vuole calcolare la resistenza vista da tutto l'equivalente Norton della sorgente. Supponiamo di essere nel secondo caso. Cominciamo con il calcolare la resistenza di ingresso vista dall'equivalente Norton con la retroazione annullata (ma lasciando la resistenza di retroazione R_2).

$$R_{in}^D = R_{iG2} \parallel \left(R_2 + R_1 \parallel \frac{1}{g_{m5}} \right) = 20.3 \text{ k}\Omega$$

Il guadagno di anello T_{SC} lo si trova cortocircuitando v_- al potenziale nullo, quindi $T_{SC} = 0$. Con l'ingresso aperto, il guadagno di anello non è lo stesso di quello calcolato prima poiché dobbiamo togliere tutto il generatore, compresa R_1 . Svolgendo il calcolo di T_{OC} senza includere la resistenza R_1 si ha

$$T_{OC} = -[-g_{m2}(r_{o2} \parallel r_{o4})] \left(\frac{g_{m5}R_1}{1 + g_{m5}R_1} \right)$$

$$T_{OC} = 3.16 \text{ mS} (100 \text{ k}\Omega)(0.969) = 306$$

$$R_{in} = R_{in}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 20.3 \text{ k}\Omega \left(\frac{1 + 0}{1 + 306} \right) = 66 \text{ }\Omega$$

Per trovare la resistenza di uscita (che è quella vista guardando dentro al drain di M_5) dobbiamo immaginare di annullare la retroazione e di calcolare l'impedenza vista guardando nell'uscita dell'amplificatore, lasciando la resistenza R_1

$$R_{out}^D = r_{o5}(1 + g_{m5}[R_1 \parallel (R_2 + R_1)]) = 5.26 \text{ M}\Omega$$

T_{OC} è nullo perché se si scollega il drain di M_5 il guadagno va a zero non essendoci più corrente di drain. T_{SC} ancora una volta è uguale al guadagno di anello calcolato con la sorgente di ingresso presente, quindi $T_{SC} = 152$. La resistenza di uscita, calcolata con il teorema di Blackman, vale:

$$R_{out} = R_{out}^D \frac{1 + T_{SC}}{1 + T_{OC}} = 5.26 \text{ M}\Omega \left(\frac{1 + 152}{1 + 0} \right) = 805 \text{ M}\Omega$$

Passo 8: Avendo già tenuto conto della resistenza di ingresso nella precedente analisi, il guadagno complessivo vale

$$A = A_c = 2.98$$

Discussione: L'elevata impedenza di uscita conferma che, come nel caso di transconduttanza, un amplificatore di corrente può essere usato come generatore di corrente quasi ideale. Osserviamo anche che il prelievo in corrente porta a un aumento di impedenza di un fattore $1 + T$.

Analisi assistita da calcolatore: L'analisi SPICE della funzione di trasferimento dalla sorgente i_i alla corrente attraverso M_5 dà un guadagno di 2.98, un'impedenza di ingresso di $63.3 \text{ }\Omega$, un'impedenza di uscita di $903 \text{ M}\Omega$, in ragionevole accordo con i calcoli manuali. Le differenze sono da imputare al fatto che le resistenze r_o sono state approssimate trascurando le V_{DS} .

ESERCIZIO Calcolare il guadagno ad anello chiuso se si considera l'uscita in tensione sul source di M_5 e l'ingresso è un generatore di tensione v_i in serie a una resistenza da $20 \text{ k}\Omega$. Quanto valgono A_v^{ideale} , T e A_v ? Trovare R_{out}^D , T_{SC} , T_{OC} e R_{out} . Che tipo di connessione si ha all'uscita?

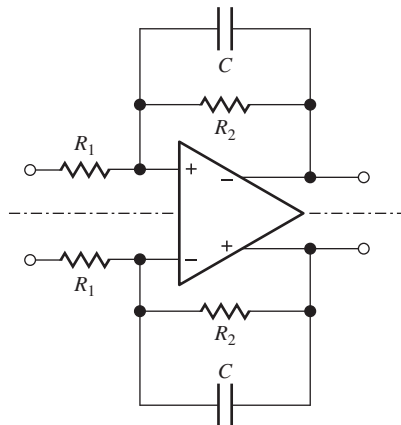
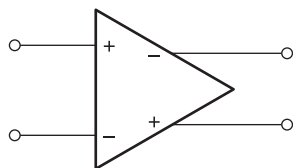
RISPOSTE -1 , 152 , -0.994 ; $304 \text{ }\Omega$, 0 , 152 , $1.99 \text{ }\Omega$; prelievo in parallelo (tensione).

ELETRONICA IN AZIONE

Circuiti completamente differenziali

I circuiti integrati misti analogici-digitali contenenti convertitori A/D e D/A, filtri a capacità commutate, operazionali e simili si trovano di solito in un ambiente relativamente rumoroso a causa dei circuiti digitali con segnali di clock e commutazioni veloci presenti nello stesso integrato. Per ridurre l'effetto dei rumori, questi sistemi analogici impiegano un'architettura completamente differenziale che sfrutta la

reiezione di modo comune per eliminare il rumore accoppiato dalle sezioni digitali verso quelle analogiche. Un esempio di un semplice amplificatore con ingresso e uscita differenziali (*DI-DO*) è stato mostrato in Figura 15.20 e il simbolo usuale di un amplificatore *DI-DO* è riportato nella figura sottostante a sinistra. Un simbolo analogo è anche usato per gli amplificatori differenziali di transconduttanza.



Nella parte destra della figura è riportato l'esempio di un amplificatore completamente differenziale configurato come filtro passa-basso. Si osservi che entrambi i percorsi del segnale fanno uso della retroazione negativa e la linea tratteggiata rappresenta la retta di simmetria del segnale differenziale. Il filtro attivo passa-basso visto nel Paragrafo 10.10.10 corrisponde al mezzo circuito che rappresenta il mo-

do differenziale del filtro completamente differenziale.

Altri esempi di circuiti completamente differenziali sono nella scheda "Elettronica in azione" a pag. 735 e nei primi due stadi della Figura P15.76. Per completare il circuito differenziale di Figura P15.76 bisogna aggiungere un secondo inseguitore di emettitore al collettore di Q_3 .

18.4 Richiami sulla stabilità dell'amplificatore retroazionato

Esamineremo ora i problemi di progettazione della stabilità della retroazione negativa, problemi che dovremo tenere presente e risolvere per progettare e implementare con successo amplificatori retroazionati. Discuteremo anche il nostro approccio all'analisi della stabilità dell'amplificatore con retroazione e rivedremo alcune importanti equazioni che lo governano.

18.4.1 Risposta ad anello chiuso dell'amplificatore non compensato

La Figura 18.12 mostra l'amplificatore a tre stadi serie-parallelo che abbiamo analizzato in banda passante nell'Esempio 18.2. Nella nostra analisi in banda passante di questo circuito, abbiamo detto che questo progetto di amplificatore non era completo poiché non avevamo ancora affrontato i problemi di stabilità. La Figura 18.13 presenta i risultati della simula-

Figura 18.12

Amplificatore a MOSFET a tre stadi retroazionato serie-parallelo ($K_n = 10 \text{ mA/V}^2$, $K_p = 4 \text{ mA/V}^2$, $V_{TN} = 1 \text{ V}$, $V_{TP} = -1 \text{ V}$).

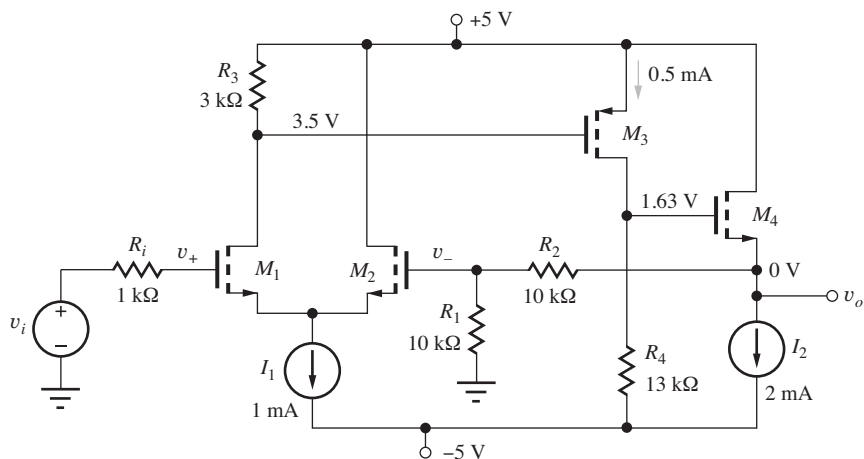
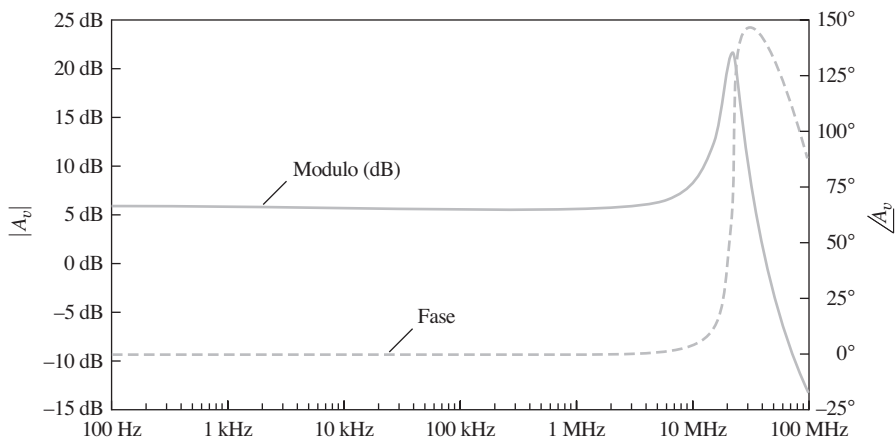


Figura 18.13

Guadagno di piccolo segnale in funzione della frequenza di un amplificatore a tre stadi non compensato.



zione per il guadagno di piccolo segnale $v_o/v_i = A_v$ su un ampio intervallo di frequenze dopo aver aggiunto a ciascun transistoro le capacità $C_{GS} = 5$ pF e $C_{GD} = 1$ pF al fine di estendere la nostra analisi alle alte frequenze. Notare l'eccessivo "picco" della risposta intorno a 20 MHz.

Si ricordi l'Equazione (18.4), guadagno ad anello chiuso:

$$A_v = \frac{v_o}{v_i} = A_v^{\text{Ideale}} \frac{T}{1 + T}$$

Il guadagno di anello T ha un certo numero di poli e probabilmente anche zeri. Il grafico in Figura 18.13 mostra il rapporto $T/(1 + T)$. Questo rapporto genera una complicata relazione tra guadagno e fase per l'amplificatore ad anello chiuso. Non abbiamo strumenti per correlare direttamente la risposta di questo rapporto alla stabilità in un modo utilizzabile per migliorare il nostro progetto. Come vedremo tra poco, esamineremo invece il guadagno di anello T per ottenere informazioni sulla stabilità dell'amplificatore.

La Figura 18.14 è una simulazione in transitorio dell'amplificatore che mostra la sua risposta a un ingresso a gradino. Il grafico superiore mostra il segnale di ingresso e il grafico inferiore è l'uscita dell'amplificatore. Ricordiamo dal Capitolo 11 che un amplificatore con margine di fase zero può oscillare. Ciò si verifica quando lo sfasamento totale lungo l'anello raggiunge 360° a una certa frequenza prima che il modulo del guadagno di anello raggiunga 0 dB. Il guadagno di anello ha 180° di sfasamento dall'ingresso invertente all'amplificatore (retroazione negativa) e raccoglie ulteriori sfasamenti quando la frequenza aumenta a causa dei poli associati alle capacità intrinseche dei transistori.

In un circuito reale sono anche presenti capacità parassite ed eventualmente anche induttanze dovute alla struttura fisica e alle interconnessioni del circuito. Quando il gradino di ingresso raggiunge il circuito, fornisce al sistema abbastanza energia per iniziare l'oscillazione. In un circuito reale, il rumore termico, il transitorio di accensione e altri disturbi avvierebbero comunque l'oscillazione anche senza un transitorio applicato dall'esterno. Una volta iniziata l'oscillazione, la combinazione di guadagno di anello e di sfasamento lungo l'anello sostiene l'oscillazione. Chiaramente dobbiamo modificare il nostro progetto per rendere questo circuito stabile e utilizzabile come amplificatore.

ESERCIZIO Stimare la frequenza di oscillazione di Figura 18.14.

RISPOSTE 18.8 MHz (si noti che la frequenza di oscillazione è vicina alla frequenza a cui si ha il picco in Figura 18.13).

ESERCIZIO Qual è la frequenza di f_T dei quattro transistori di Figura 18.12, quando $C_{GS} = 5$ pF e $C_{GD} = 1$ pF?

RISPOSTE 83.8 MHz, 83.8 MHz, 53.1 MHz, 168 MHz.

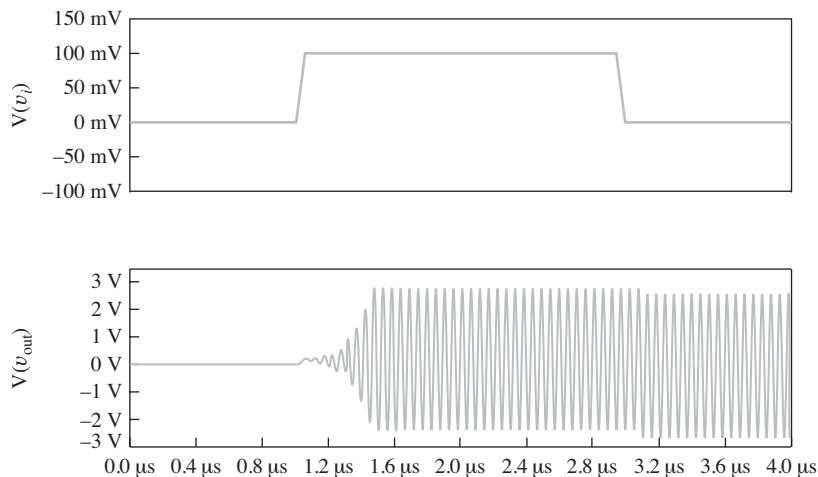


Figura 18.14

Tensione di ingresso e di uscita dell'amplificatore non compensato.

18.4.2 Margine di fase

Per avere indicazioni su come migliorare il nostro progetto, dobbiamo esaminare la risposta di fase del guadagno di anello e l'ampiezza in funzione della frequenza. Sulla base delle equazioni del Capitolo 17, possiamo trovare le frequenze dei poli in ognuno dei nodi del circuito. Sul gate di M_2 , la resistenza è R_1 in parallelo con la resistenza che si vede guardando indietro attraverso R_2 . La capacità è C_{GD2} sommata a C_{GS2} che subisce l'effetto Miller. Mettendo insieme questi risultati si ha

$$f_{P1} = \frac{1}{2\pi \left[R_1 \parallel \left(R_2 + \frac{1}{g_{m4}} \right) \right] [C_{GD2} + C_{GS2}(1 - A_{vgs2})]}$$

$$f_{P1} = \frac{1}{2\pi \left[10 \text{ k}\Omega \parallel \left(10 \text{ k}\Omega + \frac{1}{3.16 \text{ mS}} \right) \right] [1 \text{ pF} + 5 \text{ pF}(1 - 0.5)]} = 8.96 \text{ MHz}$$

Sul source di M_2 la resistenza vale $1/g_{m1}$ in parallelo a $1/g_{m2}$ e la capacità è $C_{GS1} + C_{GS2}$:

$$f_{P2} = \frac{1}{2\pi} \left(\frac{g_{m1} + g_{m2}}{C_{GS1} + C_{GS2}} \right) = \frac{1}{2\pi} \frac{g_{m2}}{C_{GS2}} = \frac{1}{2\pi} \frac{3.16 \text{ mS}}{5 \text{ pF}} = 101 \text{ MHz}$$

Sul gate di M_3 usiamo l'approssimazione di C_T per il polo dominante del source comune, includendo anche la capacità di carico data da M_4 .

$$f_{P3} = \frac{1}{2\pi} \frac{1}{R_3[C_{GD1} + C_{GS3} + C_{GD3}(1 - A_{vgd3})] + R_4[C_{GD3} + C_{GS4}(1 - A_{vgs4}) + C_{GD4}]}$$

$$f_{P3} = \frac{1}{2\pi} \frac{1}{3 \text{ k}\Omega[1 \text{ pF} + 5 \text{ pF} + 1 \text{ pF}(1 + 26)] + 13 \text{ k}\Omega[1 \text{ pF} + 5 \text{ pF}(1 - 0.992) + 1 \text{ pF}]}$$

$$= 1.27 \text{ MHz}$$

Sul drain di M_3 abbiamo il secondo polo dello stadio a source comune:

$$f_{P4} = \frac{1}{2\pi} \left(\frac{g_{m3}}{C_{GS3} + C_{L3}} \right) = \frac{1}{2\pi} \left(\frac{g_{m3}}{C_{GS3} + C_{GD4} + C_{GS4}(1 + A_{vgs4})} \right)$$

$$f_{P4} = \frac{1}{2\pi} \left(\frac{2 \text{ mS}}{5 \text{ pF} + 1 \text{ pF} + 5 \text{ pF}(1 - 0.992)} \right) = 52.7 \text{ MHz}$$

Infine la frequenza stimata del polo sul source di M_4 vale

$$f_{P5} = \frac{1}{2\pi \left[\frac{1}{g_{m4}} \parallel (R_1 + R_2) \right] C_{GS4}} = \frac{1}{2\pi \left[\frac{1}{6.33 \text{ mS}} \parallel 20 \text{ k}\Omega \right] 5 \text{ pF}} = 203 \text{ MHz}$$

Il polo a frequenza più bassa è sul gate di M_3 a causa della moltiplicazione Miller di C_{GD3} . Per avere una risposta a singolo polo (o polo dominante), il prodotto della frequenza del polo più basso moltiplicata per il guadagno di anello in banda passante dovrebbe dare una frequenza più bassa rispetto a quella del polo successivo. Il prodotto calcolato è la frequenza di transizione f_T , ovvero la frequenza a 0 dB quando si ha una risposta a polo dominante. In questo amplificatore $f_{P3} \times T = 1.27 \text{ MHz} \times 61.1 = 77.6 \text{ MHz}$. Se conosciamo f_T , possiamo calcolare il margine di fase come

$$\varphi_M = 360^\circ - 180^\circ (\text{ingresso invertente}) - \tan^{-1} \left(\frac{f_T}{f_{P1}} \right) - \tan^{-1} \left(\frac{f_T}{f_{P2}} \right) - \dots \quad (18.18)$$

Purtroppo in questo circuito il valore di f_T calcolato è a frequenza maggiore rispetto a quella di alcuni poli, quindi non possiamo usare l'Equazione (18.18) perché essenzialmente non sappiamo il valore della f_T effettiva. Di conseguenza, avendo più poli prima di f_T ci aspettiamo che il margine di fase sia pari a zero o addirittura negativo. In questi casi possiamo simulare o valutare numericamente il margine di fase.

Determiniamo ora il guadagno di anello facendo uso del simulatore. Oltre al metodo illustrato nel Paragrafo 11.9, si illustra qui anche un altro modo per valutare con SPICE il gua-

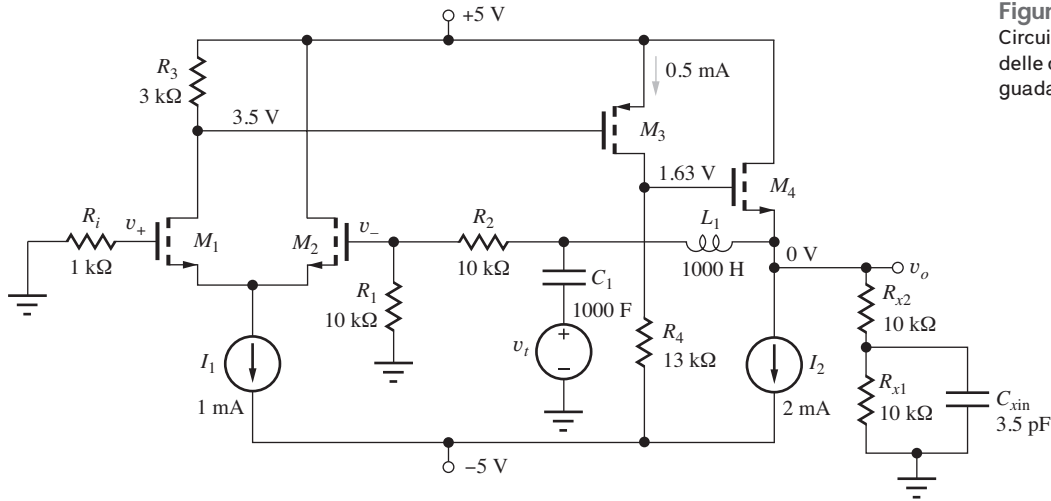


Figura 18.15

Circuito per la simulazione delle caratteristiche del guadagno di anello.

guadagno di anello. Una modifica del circuito che permette la simulazione SPICE e la misura del margine di fase è mostrata in Figura 18.15. Questa modifica preserva la retroazione negativa in DC ma apre l'anello di retroazione per qualunque valore di frequenza di interesse. L'induttore L_1 e il condensatore C_1 formano un filtro passa-basso con frequenza di taglio di frazioni di millihertz, sconnettendo efficacemente il circuito di retroazione al di sopra della sua frequenza di taglio. Inoltre il condensatore C_1 blocca la continua in modo che la tensione di prova di segnale sia collegata al circuito solo a frequenze medie e alte. C_1 e L_1 sono scelti con valori irrealisticamente alti in modo che la transizione dalla banda passante del filtro alla banda attenuata si verifichi a frequenze molto basse. I componenti R_{x1} , R_{x2} e C_{xin} vengono utilizzati per modellare il carico di uscita causato dalla rete di retroazione e dall'ingresso invertente dell'amplificatore. Si noti che poiché l'uscita è polarizzata nominalmente a 0 V, i resistori avranno un impatto minimo sul punto di lavoro. Se l'amplificatore non fosse polarizzato con l'uscita a 0 V, si dovrebbe aggiungere un condensatore di blocco in serie a R_{x2} .⁶ L'idea di scollegare semplicemente la rete di retroazione ed eseguire la simulazione senza inserire L_1 e C_1 non funzionerebbe, perché la retroazione negativa serve anche a imporre e stabilizzare il corretto punto di funzionamento in continua. Quando un amplificatore ha un guadagno elevato, anche piccoli errori di polarizzazione possono portare a grandi cambiamenti nella tensione di uscita in continua, nella maggior parte dei casi saturando l'amplificatore. Questo metodo, analogamente a quello del Paragrafo 11.9, consente di ottenere i benefici della retroazione in continua per tenere stabili le polarizzazioni dei transistori, mentre si apre l'anello a qualunque frequenza di interesse.

La Figura 18.16 mostra la risposta di fase e modulo del guadagno di anello T dell'amplificatore non compensato basata sui risultati della simulazione del circuito in Figura 18.15. Il margine di fase è la differenza tra 360° e la fase del guadagno di anello alla frequenza per la quale l'ampiezza del guadagno di anello è 0 dB, cioè a f_T . Ricordiamo dal Capitolo 11 che un circuito con un solo polo ha un margine di fase di 90° :

$$\varphi_M = 90^\circ = 360^\circ - 180^\circ (\text{ingresso invertente}) - 90^\circ (\text{massimo ritardo di fase di un polo singolo})$$

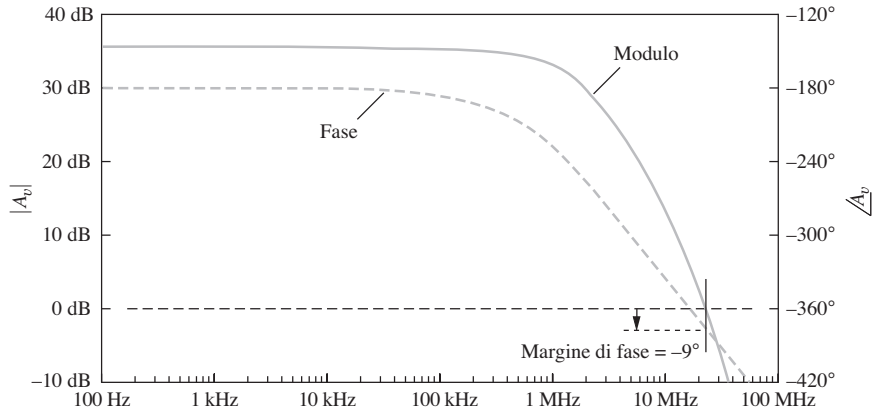
Sfortunatamente in questo caso il margine di fase è di -9° e le oscillazioni viste prima non costituiscono un fenomeno inaspettato. Per una ragionevole stabilità è necessario un margine di fase di almeno 45° ma più spesso è richiesto maggiore di 60° .

Ora che abbiamo valutato il margine di fase, dobbiamo aumentarlo per rendere il circuito utilizzabile come amplificatore. L'approccio di base è quello di aggiungere una capacità a un nodo nell'amplificatore per creare un polo dominante e forzare il modulo a 0 dB a una frequenza più bassa, riducendo così lo sfasamento a f_T dovuto ai poli di frequenza più alti. Supponiamo di voler spostare la nostra frequenza f_T dal suo valore attuale di circa 22 MHz

⁶ Un'altra possibilità consiste nel collegare L_1 e C_1 direttamente sul gate di M_2 , aggiungendo solo C_{xin} in parallelo a R_1 . [N.d.C.]

Figura 18.16

Modulo e fase del guadagno di anello dell'amplificatore a tre stadi.



a 2 MHz. Se aggiungiamo un polo dominante a f_B , in modo che la risposta di grandezza approssimi una risposta a singolo polo, si può trovare la frequenza f_T come

$$f_T = 2 \text{ MHz} = T f_B = A_o \beta f_B$$

Dall'Esempio 18.2 sappiamo che T in banda passante vale 61.1. Quindi possiamo inserire il polo dominante di compensazione alla frequenza

$$f_B = f_T / T = f_T / (A_o \beta) = 32.8 \text{ kHz}$$

La capacità equivalente al gate di M_3 è dominata dalla capacità Miller dovuta all'elevato guadagno fra gate e drain di M_3 . Ciò rende questo nodo un buon candidato per l'aggiunta del polo dominante poiché la moltiplicazione di Miller consente di utilizzare una capacità fisica relativamente piccola (e quindi integrabile) per generare una grande capacità equivalente e posizionare il polo dominante a bassa frequenza. Sostituendo 32.8 kHz per la frequenza del polo sul gate di M_3 , possiamo calcolare il margine di fase previsto con l'Equazione (18.14):

$$\begin{aligned} \varphi_M &= 360^\circ - 180^\circ - \tan^{-1}\left(\frac{2}{8.96}\right) - \tan^{-1}\left(\frac{2}{101}\right) - \tan^{-1}\left(\frac{2}{0.0328}\right) - \\ &\quad \tan^{-1}\left(\frac{2}{52.7}\right) - \tan^{-1}\left(\frac{2}{203}\right) = 360^\circ - 180^\circ - 12.6^\circ - 1.13^\circ - 89.1^\circ - 2.17^\circ - \\ &\quad 0.564^\circ = 74.4^\circ \end{aligned}$$

Questo è un margine di fase più che accettabile, quindi si può continuare il progetto. Per ottenere questo margine di fase aggiungiamo il condensatore C_C tra gate e drain di M_3 come mostrato in Figura 18.19 (vedi oltre). Se assumiamo che il comportamento a quel nodo sia dominato dalla capacità di Miller, la frequenza del polo dominante può essere approssimata come

$$f_B = 32.8 \text{ kHz} = \frac{1}{2\pi R_{eq} C_{eq}} = \frac{1}{2\pi (R_3 \parallel R_{ID1}) ([C_{gd} + C_c] [1 - A_{vt3}])} = \frac{1}{2\pi (3 \text{ k}\Omega) ([1 \text{ pF} + C_c] [27])}$$

e risolvendo rispetto all'incognita C_C si ha

$$C_C = \frac{1}{2\pi (3 \text{ k}\Omega) (27) (32.8 \text{ kHz})} - 1 \text{ pF} \approx 60 \text{ pF}$$

Aggiungendo C_C alla simulazione si ottiene il guadagno di anello mostrato in Figura 18.17. Si trova il margine di fase identificando la fase alla frequenza f_T alla quale il modulo vale 0 dB, e si calcola quanto dista da 360° . Si osservi che nel precedente diagramma del guadagno di anello l'asse della fase a destra va da -420° a -120° mentre in questo grafico si estende da -150° a 180° . Questa è un'incongruenza nella maggior parte dei simulatori SPICE. In un caso lo sfasamento in banda passante (dovuto all'inversione associata alla retroazione negativa) è di -180° mentre è di $+180^\circ$ nel grafico della figura successiva. In regime sinusoidale questi due valori sono identici, quindi in Figura 18.17 il margine di fase viene misurato rispetto a 0° anziché a 360° .

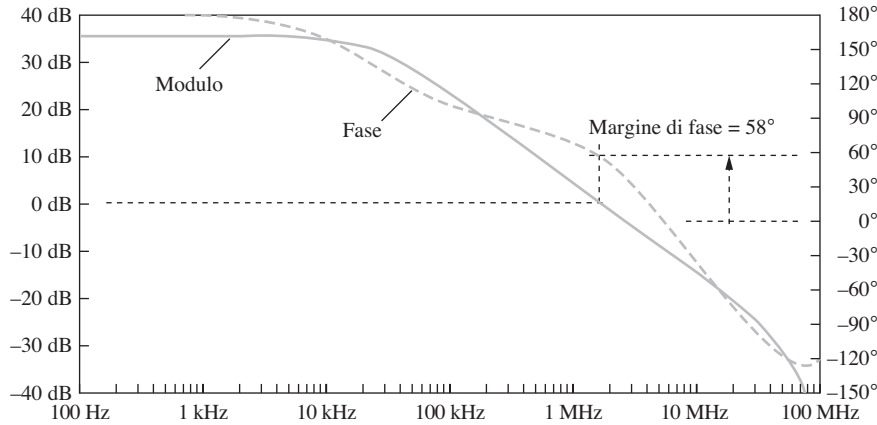


Figura 18.17
Guadagno di anello con un condensatore da 60 pF aggiunto fra gate e drain di M_3 .

18.4.3 Effetti di secondo ordine

Invece del previsto margine di fase di 74° , la simulazione fornisce il valore di 58° . Ciò è dovuto a un aspetto interessante del grafico di Figura 18.17 che si osserva tra 2 MHz e 20 MHz. La risposta del modulo tende a incurvarsi verso l'alto, ma la risposta della fase diminuisce rapidamente. Questo sembra inusuale poiché un polo è della forma $1/(1 + jf/f_p)$ e contribuisce con uno sfasamento negativo quando la frequenza aumenta e con un aumento della discesa del diagramma del modulo. Uno zero nel numeratore è in genere della forma $(1 + jf/f_z)$ e fa salire (o scendere di meno) la risposta di ampiezza e fa salire la risposta di fase.

Quello che si osserva qui è conosciuto come zero nel semipiano di destra, o semplicemente zero a destra, e si tratta di uno zero che ha la forma $(1 - jf/f_z)$. Nel capitolo precedente abbiamo trovato che questo si verifica con gli stadi a emettitore comune e ancor più a source comune. Si ha una risposta di fase negativa (in discesa) e una risposta in modulo positiva (che tende a far salire il modulo). Come vedremo più in dettaglio in seguito, ciò è dovuto a un percorso di *feed-forward* attraverso il condensatore di compensazione che abbiamo aggiunto intorno a M_3 . Ad alta frequenza il segnale può raggiungere l'uscita attraverso C_C anziché attraverso M_3 . A causa del modulo del guadagno che scende più adagio e della fase che invece scende velocemente, uno zero nel semipiano destro può ridurre drasticamente il margine di fase. In questo particolare esempio, l'effetto non è pronunciato (riducendo φ_M di 14°), ma in molte situazioni può avere un effetto deleterio sulla stabilità.

La risposta del dominio del tempo corrispondente è mostrata in Figura 18.18. L'impulso di ingresso è mostrato nel grafico superiore e l'uscita in quello inferiore. Questa risposta rispetta la relazione tra sovralongazione e margine di fase presentata nel Capitolo 11. Si osserva una sovralongazione sopra il fronte di salita dell'uscita di circa il 7%. Dalla Tabella 11.5 un superamento del 7% dell'ampiezza corrisponde a un margine di fase di 62° . Ciò

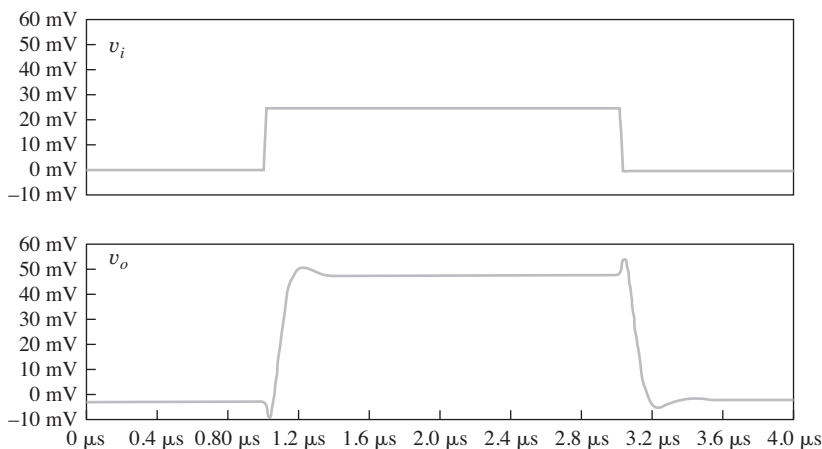
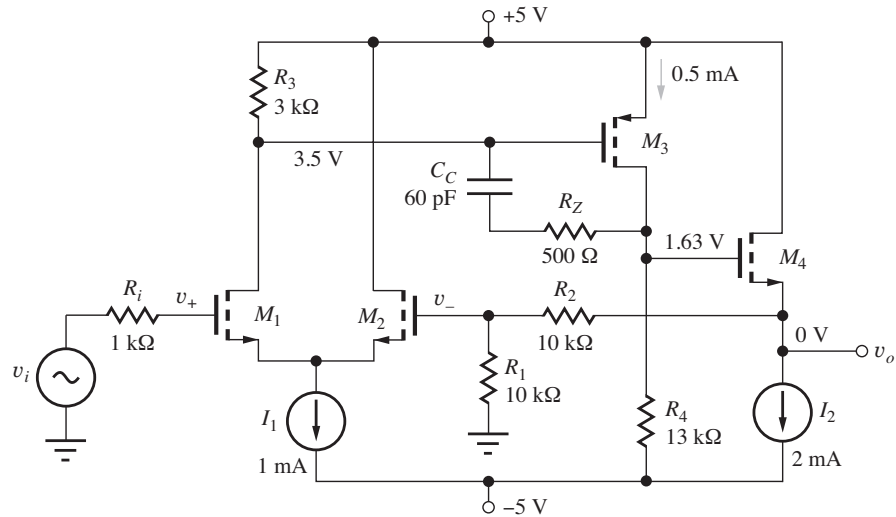


Figura 18.18
Risposta al gradino dell'amplificatore compensato.

Figura 18.19

Amplificatore a tre stadi con compensazione di frequenza.



è in buon accordo con la nostra stima grafica di 58° anche considerando che la Tabella 11.5 è stata generata per un sistema di secondo ordine mentre questo circuito è di ordine più alto. È interessante notare il piccolo transitorio all'inizio di ogni transizione dell'impulso di ingresso: l'uscita parte inizialmente nella direzione opposta a quella che ci si aspetta, poi recupera: questa è la "firma" di uno zero nel semipiano di destra. Il comportamento è spiegato facilmente considerando il percorso del segnale che si propaga in avanti (*feed-forward*) attraverso il condensatore di compensazione. Il fronte di salita del segnale di ingresso si accoppia attraverso la capacità di compensazione e inietta in uscita più corrente di quanto il transistor M_3 possa assorbire. (Si ricordi che le transizioni rapide hanno un contenuto significativo di alte frequenze e quindi le capacità presentano una bassa impedenza a queste frequenze). Dopo un breve ritardo, quando si esaurisce il fronte di salita, la corrente "in avanti" attraverso il condensatore si annulla e il transistor domina nuovamente la risposta di uscita.

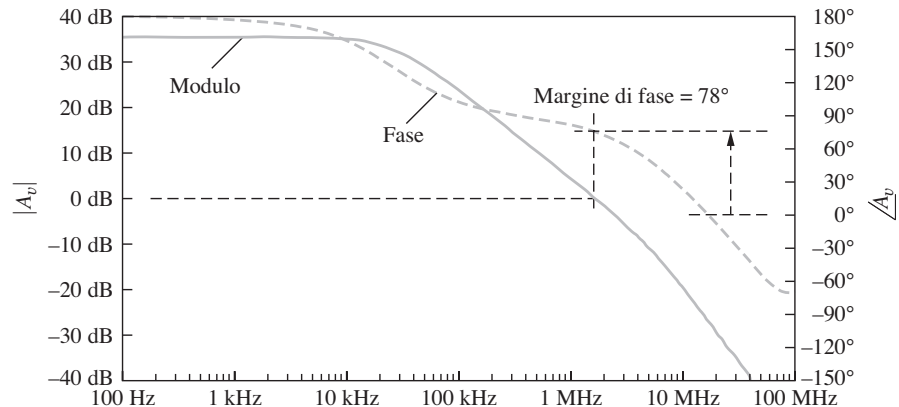
Come studieremo nel prossimo paragrafo, l'aggiunta di una resistenza R_Z di opportuno valore in serie al condensatore di compensazione può ridurre gli effetti del percorso di *feed-forward*. Il calcolo per trovare il valore di R_Z è discusso nel seguito. La Figura 18.19 mostra lo schema completo con il condensatore di compensazione C_C e il resistore per la cancellazione dello zero a destra R_Z .

18.4.4 Risposta dell'amplificatore compensato

Una simulazione del guadagno di anello dell'amplificatore compensato di Figura 18.19 è mostrata in Figura 18.20. L'aggiunta di R_Z ha eliminato gli effetti dello zero a destra e ha aggiunto altri 20° al margine di fase. Questo zero a destra e relativa compensazione sono tipici

Figura 18.20

Guadagno di anello con C_C e R_Z .



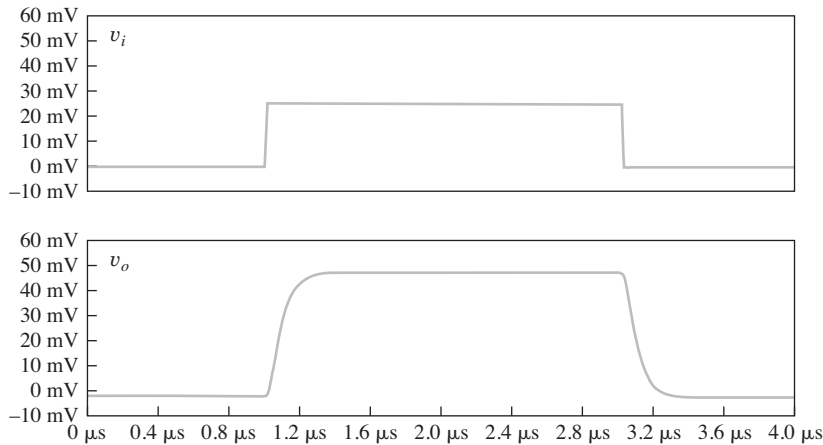


Figura 18.21
Risposta al gradino
dell'amplificatore con C_C e R_Z .

degli amplificatori a MOSFET retroazionati, a causa della bassa transconduttanza dei MOS rispetto ai BJT. Il modulo di T non mostra più la riduzione di pendenza intorno a 3 MHz, e lo sfasamento non diminuisce più rapidamente come in Figura 18.17. Il margine di fase ora è di 74.5° , in accordo con il valore calcolato in precedenza.

Con il miglioramento del margine di fase ci si aspetta una riduzione della sovraelongazione nella risposta al gradino. Secondo la Tabella 11.5, un margine di fase di 78° dovrebbe corrispondere a una risposta all'impulso senza sovraelongazione, e questo è confermato nei risultati di simulazione mostrati in Figura 18.21 per l'amplificatore completamente compensato. Si noti inoltre che sono stati eliminati anche i transitori in corrispondenza di ciascun fronte dovuti al percorso di *feed-forward* (zero a destra in frequenza). L'aggiunta di R_Z ha aumentato l'impedenza ad alta frequenza attraverso il percorso "in avanti", con conseguente minor effetto di *feed-forward*. La riduzione di questo problema grazie a R_Z dipende dalle condizioni specifiche di ogni amplificatore. Un'altra importante caratteristica dell'amplificatore ottenuto è un aumento dei tempi di salita e di discesa. Le transizioni dei fronti in Figura 18.21 sono più lente rispetto alla simulazione precedente. In alcune applicazioni un tempo di salita più veloce può essere desiderabile anche a scapito di una maggiore sovraelongazione.

All'inizio di questo paragrafo si è osservando il guadagno dell'amplificatore in piccolo segnale ad anello chiuso. La Figura 18.22 mostra il nuovo guadagno ad anello chiuso con l'aggiunta di C_C e R_Z . Chiaramente, questa risposta è una caratteristica più desiderabile rispetto al comportamento prima della compensazione. Ricordiamo dal Capitolo 11 che la frequenza di taglio superiore, f_{-3dB} , è uguale alla frequenza del guadagno di anello a 0 dB, f_T , in caso di sistema a singolo polo. La compensazione in frequenza modifica il progetto per creare un polo dominante e approssimare una risposta a singolo polo. La simulazione mostra che la frequenza di taglio superiore è di 2.3 MHz, vicino al valore voluto f_T di 2 MHz. I due valori non corrispondono esattamente poiché stiamo solo approssimando una risposta a singolo polo, mentre in questo circuito ci sono svariati poli.

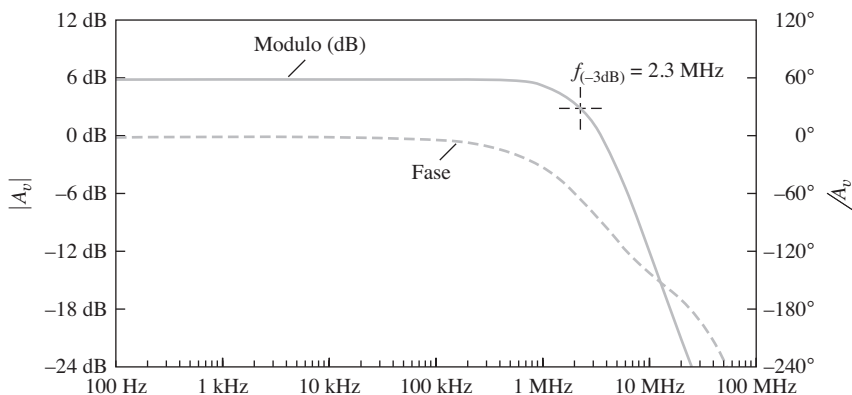
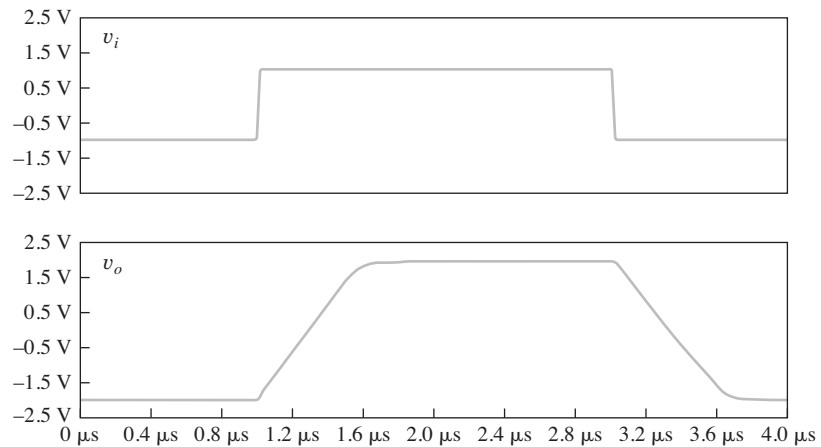


Figura 18.22
Amplificazione ad anello
chiuso con C_C e R_Z .

Figura 18.23

Risposta ad ampio segnale
dell'amplificatore
compensato.



18.4.5 Limiti di piccolo segnale

Prima di entrare più in dettaglio nell'analisi della retroazione degli amplificatori a transistori, dobbiamo capire quando un segnale è considerabile un piccolo segnale che lascia il sistema in linearità. La Figura 18.23 mostra una simulazione della risposta dell'amplificatore a un impulso di 2 V anziché di 25 mV come simulato in precedenza. I tempi di salita e discesa di questo impulso di uscita sono molto più lenti di quelli nel caso di piccolo segnale e sono limitati dallo *slew rate* (massima velocità di variazione della tensione di uscita) dell'amplificatore. Come vedremo in una sezione successiva, lo *slew rate* è solitamente limitato dalla corrente disponibile per caricare il condensatore di compensazione che di solito è relativamente grande. Come mostrato in Figura 18.23, quando un amplificatore è in limitazione di *slew rate*, i fronti dell'impulso in uscita si discostano dalla forma esponenziale della risposta di piccolo segnale e diventano rettilinei. Questa è una non idealità di ampio segnale di un amplificatore retroazionato, e si deve porre attenzione a riconoscere questa situazione quando simuliamo o testiamo le caratteristiche di piccolo segnale in laboratorio. In breve, se vogliamo misurare un parametro di piccolo segnale e vediamo un segnale con la caratteristica limitazione di velocità (uscita che varia linearmente nel tempo), dobbiamo ridurre l'ampiezza del segnale di ingresso per garantire di rimanere in regime di piccolo segnale e tornare a vedere il tipico andamento esponenziale.

Nei paragrafi seguenti analizzeremo e progetteremo diversi amplificatori di retroazione in modo che siano stabili. Mentre l'esempio in questo paragrafo riguarda un amplificatore con guadagno ad anello chiuso di 2 e β di 0.5, tipicamente studieremo una compensazione per la situazione di guadagno unitario vale a dire con guadagno di 1 e β di 1, che costituisce la condizione più critica per la stabilità. Salvo diversa indicazione, dovremmo assumere questo come obiettivo della progettazione.

18.5 Compensazione a singolo polo dell'amplificatore operazionale

Come si è visto precedentemente, gli amplificatori operazionali spesso fanno uso di una compensazione interna in frequenza che forza l'amplificatore ad avere una risposta in frequenza a singolo polo. Le funzioni di trasferimento di questi amplificatori possono essere rappresentate dall'Equazione (18.19):

$$A_v(s) = \frac{A_o \omega_B}{s + \omega_B} = \frac{\omega_T}{s + \omega_B} = \frac{A_o}{\frac{s}{\omega_B} + 1} \approx \frac{\omega_T}{s} \quad (18.19)$$

Questo tipo di funzione di trasferimento può essere ottenuta collegando un condensatore di compensazione C_c a cavallo del secondo stadio di guadagno dell'operazionale, come indicato nella Figura 18.24.

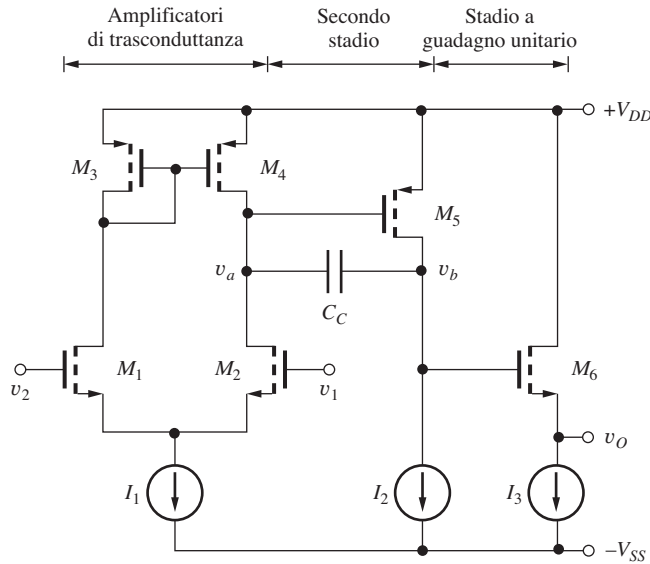


Figura 18.24

Tecnica della compensazione in frequenza per la realizzazione di amplificatori operazionali a singolo polo.

18.5.1 Analisi dell'amplificatore operazionale a tre stadi

La Figura 18.25 è una rappresentazione semplificata di un amplificatore operazionale a tre stadi. Lo stadio di ingresso è rappresentato dal corrispondente circuito equivalente di Norton, costituito dal generatore di corrente $G_m v_{dm}$ e resistenza di uscita R_o . Il secondo stadio rappresenta un integratore di Miller con guadagno di tensione $A_{v2} = g_{m5} r_{o5} = \mu_{f5}$ e lo stadio di uscita è costituito da un buffer a guadagno unitario.

Il circuito di Figura 18.25 può essere ulteriormente semplificato utilizzando l'**effetto Miller**. Il condensatore di controreazione C_C viene moltiplicato per il fattore $(1 + A_{v2})$ e posto in parallelo all'ingresso del secondo stadio, come mostrato in Figura 18.26, e l'espressione della tensione di uscita può essere ora ottenuta dall'analisi di questa figura. La tensione di uscita $V_o(s)$ è pari a $V_b(s)$ perché lo stadio di uscita ha guadagno unitario. Inoltre, $V_b(s) = -A_{v2} V_a(s)$. Scrivendo l'equazione ai nodi per $V_a(s)$ e assumendo $i = 0$ si ha:

$$-G_m V_{dm}(s) = V_a(s) [sC_C(1 + A_{v2}) + G_o] \quad (18.20)$$

e

$$\frac{V_a(s)}{V_{dm}(s)} = \frac{-G_m R_o}{sR_o C_C(1 + A_{v2}) + 1} \quad (18.21)$$

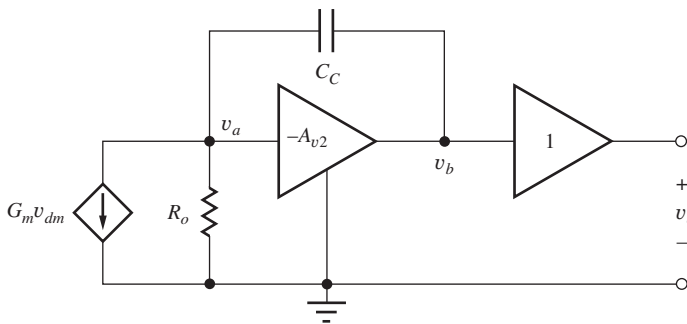


Figura 18.25

Modello semplificato dell'amplificatore operazionale a tre stadi.

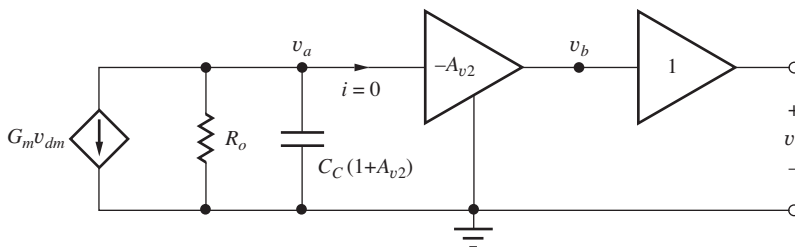
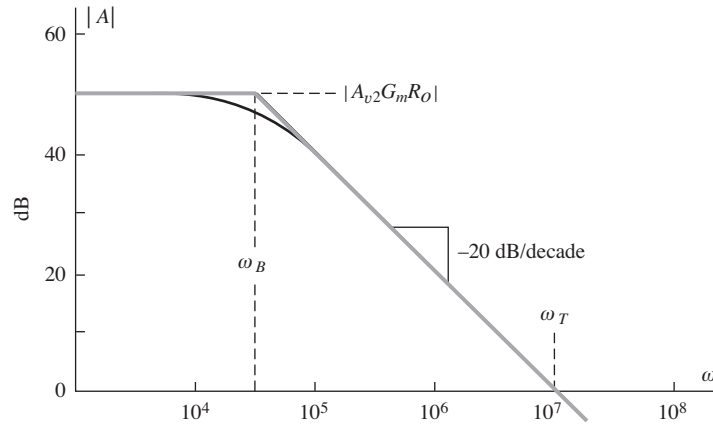


Figura 18.26

Circuito equivalente basato sull'effetto Miller.

Figura 18.27

Diagramma del modulo del guadagno dell'amplificatore operazionale ideale a singolo polo.



Utilizzando questi risultati il guadagno complessivo dell'amplificatore operazionale può essere espresso da:

$$A_v(s) = \frac{V_o(s)}{V_{dm}(s)} = \frac{V_b(s)}{V_{dm}(s)} = \frac{-A_{v2}V_a(s)}{V_{dm}(s)} = \frac{G_m R_o A_{v2}}{1 + s R_o C_C (1 + A_{v2})} \quad (18.22)$$

Riscrivendo l'Equazione (18.22) nella forma dell'Equazione (18.19), si ottiene:

$$A_v(s) = \frac{\frac{G_m A_{v2}}{C_C (1 + A_{v2})}}{s + \frac{1}{R_o C_C (1 + A_{v2})}} = \frac{\omega_T}{s + \omega_B} = \frac{A_o \omega_B}{s + \omega_B} \quad (18.23)$$

La Figura 18.27 rappresenta il diagramma di Bode di questa funzione di trasferimento. Alle basse frequenze il guadagno è $A_o = G_m R_o A_{v2}$ e decade con una pendenza di 20 dB/decade per frequenze maggiori di ω_B . Confrontando le Equazioni (18.23) e (18.19) si ricava:

$$\omega_B = \frac{1}{R_o C_C (1 + A_{v2})} \quad \text{e} \quad \omega_T = \frac{G_m A_{v2}}{C_C (1 + A_{v2})} \quad (18.24)$$

Per elevati valori di A_{v2} risulta:

$$\omega_T \approx \frac{G_m}{C_C} \quad (18.25)$$

L'Equazione (18.25) rappresenta un risultato estremamente utile. La frequenza per la quale il guadagno assume valore unitario viene quindi fissata dalla scelta dei valori della transconduttanza di ingresso e del **condensatore di compensazione** C_C .

Il polo dell'amplificatore si trova a frequenze relativamente basse a causa degli elevati valori della resistenza di uscita del primo stadio e della capacità di ingresso di Miller del secondo stadio. La dipendenza della frequenza ω_B dalla resistenza di uscita del primo e del secondo stadio fa sì che il suo valore sia estremamente mal caratterizzato, mentre il valore della frequenza di transizione ω_T può essere controllato con precisione.

ESERCIZIO Quali sono i valori approssimati di G_m , R_o , f_T e f_B per l'amplificatore operazionale di Figura 18.24, se $K_{n2} = 1 \text{ mA/V}^2$, $K_{p5} = 1 \text{ mA/V}^2$, $C_C = 20 \text{ pF}$, $\lambda = 0.02 \text{ V}^{-1}$, $I_1 = 100 \text{ } \mu\text{A}$ e $I_2 = 500 \text{ } \mu\text{A}$?

RISPOSTE 0.316 mS, 500 kΩ, 2.52 MHz, 158 Hz.

18.5.2 Zeri negli amplificatori operazionali a MOS

L'Equazione (18.25) suggerisce un ottimo metodo per controllare la risposta in frequenza degli amplificatori operazionali a due stadi. Sfortunatamente, tuttavia, abbiamo trascurato un potenziale problema nell'analisi di questo amplificatore: l'approccio semplificato di Miller non tiene conto del valore finito della transconduttanza del secondo stadio.

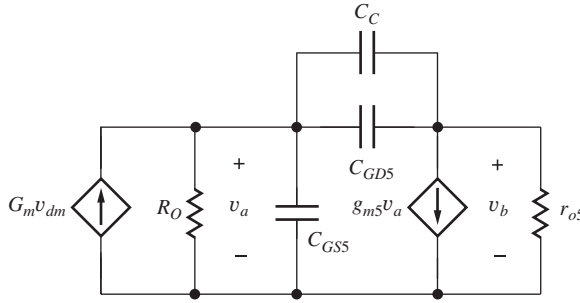


Figura 18.28
Modello completo per la
compensazione
dell'amplificatore
operazionale.

L'origine del problema può essere compresa utilizzando il circuito equivalente per piccolo segnale completo del transistoro M_5 riportato nella Figura 18.28. Nell'analisi precedente si è trascurato lo zero determinato da g_{m5} e dalla capacità di controreazione totale che si trova tra il drain e il gate di M_5 . Il circuito di Figura 18.28 dovrebbe risultare familiare. Si tratta infatti della stessa topologia del circuito relativo all'amplificatore C-E a emettitore comune; possiamo quindi utilizzare i risultati riportati nell'Equazione (17.94) facendo le appropriate sostituzioni dei simboli, come indicato nell'Equazione (18.26):

$$r_{\pi 0} \rightarrow R_O \quad R_L \rightarrow r_{o5} \quad C_{\pi} \rightarrow C_{GS5} \quad C_{\mu} \rightarrow C_C + C_{GD5} \quad (18.26)$$

Con queste trasformazioni, la funzione di trasferimento diventa:

$$A_{vth}(s) = (-g_{m5} r_{o5}) \frac{\left(1 - \frac{s}{\omega_Z}\right)}{\left(1 + \frac{s}{\omega_{P1}}\right)} \quad \text{in cui} \quad \omega_Z = \frac{g_{m5}}{C_C + C_{GD5}} = \omega_T \frac{g_{m5}}{g_{m2}} \quad (18.27)$$

e

$$\omega_{P1} = \frac{1}{R_O C_T} \quad \text{dove} \quad C_T = C_{GS5} + (C_C + C_{GD5}) \left(1 + \mu_{f5} + \frac{r_{o5}}{R_O}\right)$$

Nel progetto di molti amplificatori a MOSFET la frequenza ω_Z non può essere trascurata a causa del basso valore del rapporto tra le transconduttanze di M_5 e M_2 . Nel progetto di amplificatori bipolari, invece, la frequenza ω_Z può essere di solito trascurata a causa del più elevato valore della transconduttanza corrispondente a un'assegnata corrente di lavoro.

Tuttavia, il problema può essere superato negli amplificatori a MOSFET mediante l'aggiunta del resistore R_Z come mostrato nella Figura 18.29, che cancella lo zero dell'Equazione (18.27). Se assumiamo che $C_C \gg C_{GD}$, la posizione di ω_Z al numeratore dell'Equazione (18.27) diventa:

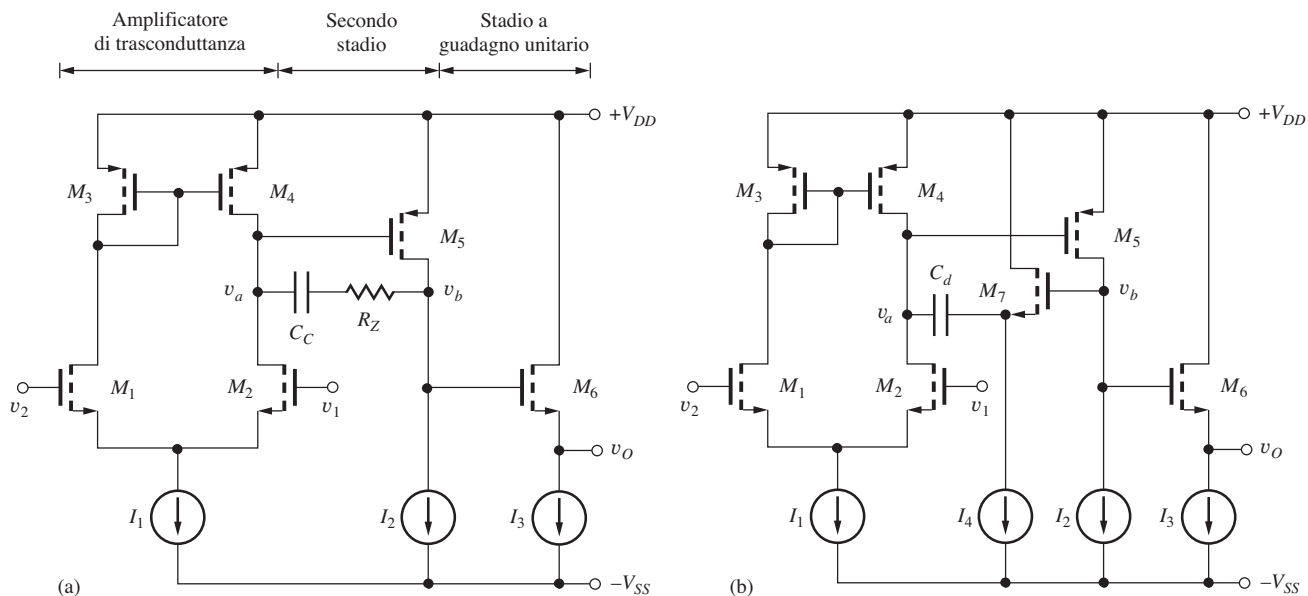
$$\omega_Z = \frac{\left(\frac{1}{g_{m5}}\right) - R_Z}{C_C} \quad (18.28)$$

e lo zero può essere eliminato scegliendo $R_Z = 1/g_{m5}$.

La Figura 18.29(b) mostra una soluzione alternativa al problema dello zero a destra. L'inseguitore di source M_7 riporta la tensione di drain di M_5 sul condensatore di compensazione C_C , realizzando la retroazione negativa locale che compensa l'amplificatore. Ad alta frequenza, invece, la corrente di *feed forward* attraverso C_C viene mandata all'alimentazione (che per l'AC è ground) attraverso M_7 , eliminando così lo zero a destra. Il MOS M_7 però introduce uno zero a sinistra ad alta frequenza, a $-g_{m7}/C_C$, ma l'effetto del sfasamento è facilmente controllabile con una scelta corretta di I_4 e g_{m7} .

ESERCIZIO Trovare il valore approssimato di f_Z per l'amplificatore operazionale di Figura 18.29 utilizzando i valori dell'esercizio precedente. Che valore di R_Z è necessario per eliminare f_Z ?

RISPOSTE 7.96 MHz; 1 kΩ.

**Figura 18.29**

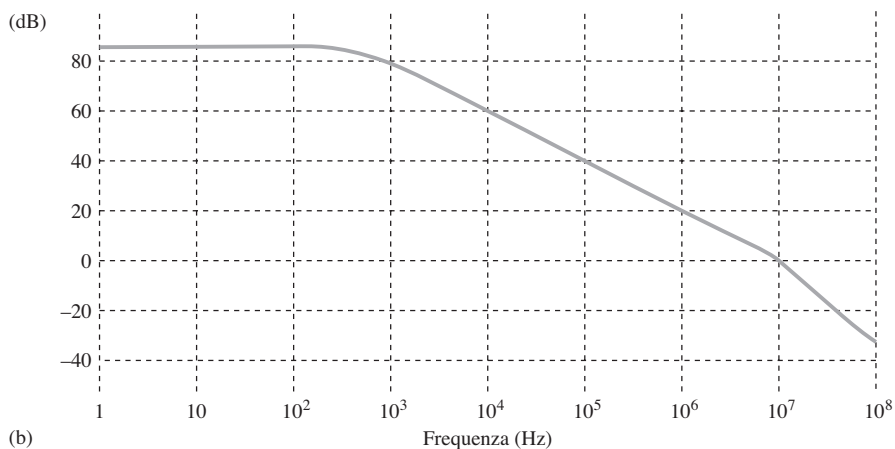
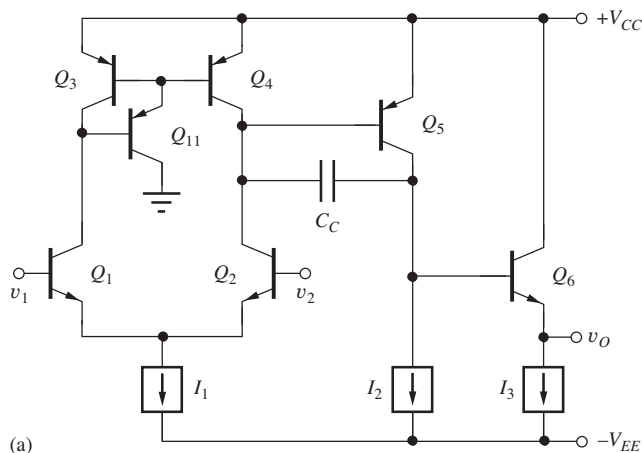
(a) Cancellazione dello zero mediante il resistore R_Z . (b) Eliminazione del percorso di *feed forward* per mezzo di M_7 .

18.5.3 Compensazione degli amplificatori bipolari

L'amplificatore operazionale bipolare di Figura 18.30 viene compensato nello stesso modo dell'amplificatore a transistori MOS. Tuttavia, poiché la transconduttanza di un BJT è generalmente molto più elevata di quella di un MOSFET per una assegnata corrente di lavoro, lo zero si trova a una frequenza così elevata da non costituire un problema. Applicando

Figura 18.30

(a) Compensazione in frequenza di un amplificatore operazionale bipolare. (b) Diagramma di Bode dell'amplificatore descritto nell'esercizio.



Lo slew rate rappresenta la massima velocità di variazione del segnale di uscita:

$$SR = \left. \frac{dv_O(t)}{dt} \right|_{\max} = \frac{I_1}{C_C} \quad (18.32)$$

Lo slew rate è determinato dalla corrente totale di polarizzazione dello stadio di ingresso e dal condensatore di compensazione C_C . (È stato tacitamente assunto che l'uscita dell'amplificatore A_{v2} è capace di fornire o assorbire la corrente I_1 . Ciò è verificato se l'amplificatore è progettato con $I_2 \geq I_1$).

ESERCIZIO Si dimostri la simmetria dello slew rate nell'amplificatore CMOS di Figura 18.31; qual è la corrente nel condensatore C_C se $v_1 = 0$ V e $v_2 = +3$ V?

RISPOSTA I_1 .

18.5.5 Relazione tra slew rate e prodotto guadagno-larghezza di banda

Utilizzando l'Equazione (18.32), l'Equazione (18.25) può essere collegata direttamente alla frequenza per la quale il guadagno assume valore unitario:

$$SR = \frac{I_1}{C_C} = \frac{I_1}{\left(\frac{G_m}{\omega_T}\right)} = \frac{\omega_T}{\left(\frac{G_m}{I_1}\right)} \quad (18.33)$$

Per il semplice amplificatore CMOS di Figura 18.24 la transconduttanza dello stadio di ingresso è uguale a quella dei transistori M_1 e M_2 :

$$\left(\frac{G_m}{I_1}\right) = \frac{1}{I_1} \sqrt{2K_{n2} \frac{I_1}{2}} = \sqrt{\frac{2K_{n2}}{I_1}} \quad (18.34)$$

e

$$SR = \omega_T \sqrt{\frac{I_1}{K_{n2}}}$$

Per un assegnato valore di ω_T lo slew rate aumenta con la radice quadrata della corrente di polarizzazione dello stadio di ingresso.

Per l'amplificatore bipolare in Figura 18.30,

$$\left(\frac{G_m}{I_1}\right) = \frac{I_1/(2V_T)}{I_1} = \frac{1}{2V_T} \quad \text{e} \quad SR = 2V_T \omega_T \quad (18.35)$$

In questo caso lo slew rate dipende da ω_T attraverso un fattore assegnato.

ESERCIZIO Qual è lo slew rate dell'amplificatore CMOS di Figura 18.24 se $K_{n2} = 1$ mA/V², $K_{p5} = 1$ mA/V², $C_C = 20$ pF, $\lambda = 0.02$ V⁻¹, $I_1 = 100$ μA, $I_2 = 500$ μA?

RISPOSTA 5.00 V/μs.

ESERCIZIO Qual è lo slew rate dell'amplificatore bipolare di Figura 18.30 se $C_C = 20$ pF, $I_1 = 100$ μA e $I_2 = 500$ μA?

RISPOSTA 5.00 V/μs.

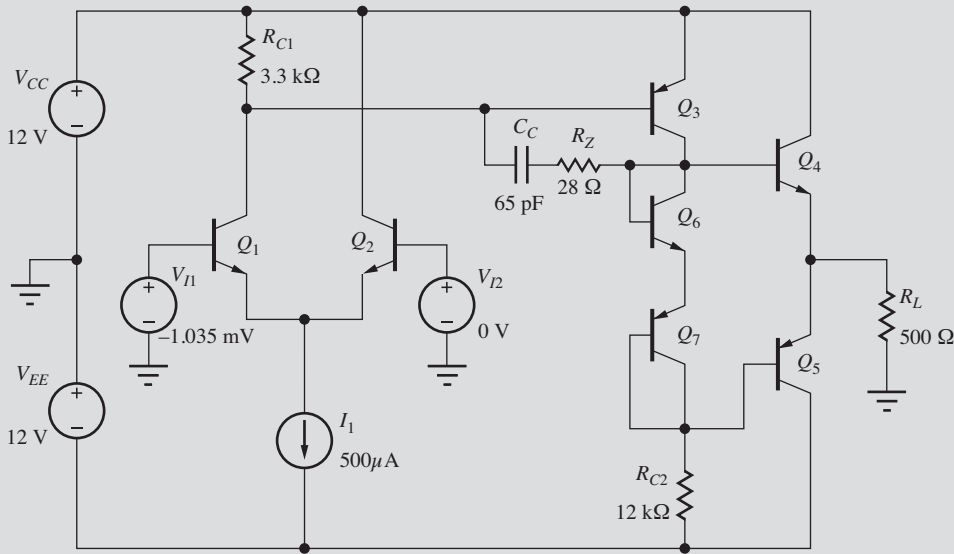
Esempio 18.7

COMPENSAZIONE DELL'AMPLIFICATORE OPERAZIONALE

Sceghieremo il valore della capacità di compensazione per un amplificatore operazionale a BJT in modo da ottenere un assegnato margine di fase.

PROBLEMA

Si progetti il condensatore di compensazione per l'amplificatore operazionale a BJT descritto dal circuito seguente, in modo da avere un margine di fase di 75°. Si trovino il guadagno ad anello aperto, la banda passante e il prodotto banda-guadagno dell'amplificatore dopo la compensazione. Si assuma, per semplicità, che i transistori *npn* e *pnp* siano descritti dallo stesso insieme di parametri SPICE: BF = 100, VAF = 75, IS = 0.1F, RB = 250, TF = 0.75N, CJC = 2P.



Informazioni e dati noti: L'amplificatore operazionale a tre stadi risulta costituito da uno stadio di ingresso differenziale *nnp* che pilota uno stadio di guadagno a emettitore comune *pnp*. $R_{C1} = 3.3 \text{ k}\Omega$ e $R_{C2} = 12 \text{ k}\Omega$. Lo stadio di uscita è uno stadio inseguitore a transistori complementari *nnp-pnp*. I parametri dei transistori sono: $\text{BF} = 100$, $\text{VAF} = 75$, $\text{IS} = 0.1 \text{ fF}$, $\text{RB} = 250$, $\text{TF} = 0.75 \text{ n}$, $\text{CJC} = 2 \text{ p}$, $\varphi_M = 75^\circ$.

SOLUZIONE

Incognite: Valore di C_C per avere un margine di fase di 75° ; guadagno ad anello aperto, la banda passante e il prodotto banda-guadagno; posizione dei poli non dominanti.

Approccio: Si trovino i punti di lavoro e i parametri del modello per piccolo segnale dei transistori. Si assuma che il polo dominante sia fissato dalla capacità di compensazione C_C posta a cavallo dello stadio di guadagno a emettitore comune. Si trovino i poli non dominanti introdotti dallo stadio differenziale di ingresso e dall'inseguitore di uscita. Si fissi C_C per ottenere il desiderato margine di fase.

Ipotesi: Il polo dominante è fissato dal condensatore di compensazione C_C e dallo stadio *pnp* a emettitore comune; R_Z viene introdotta per eliminare lo zero associato a C_C ; $T = 27^\circ \text{C}$; i transistori *nnp* e *pnp* sono identici; $V_{BE} = V_{EB} = 0.75 \text{ V}$. Il valore a riposo di $V_O = 0$. Si trascurino tutte le correnti di base nell'analisi del punto di lavoro. $\text{VJC} = 0.75$ e $\text{MJC} = 0.33$. I transistori Q_4 e Q_5 lavorano in parallelo. Le resistenze di piccolo segnale dei transistori connessi a diodo Q_6 e Q_7 sono trascurabili.

Punto di lavoro: La corrente di polarizzazione I_1 si divide egualmente tra Q_1 e Q_2 per cui $I_{C1} = I_{C2} = 250 \mu\text{A}$. Per $V_O = 0$, la tensione ai capi di R_{C2} vale $12 \text{ V} - 0.75 \text{ V} = 11.3 \text{ V}$ e la corrente in Q_3 è $I_{C3} = 11.3 \text{ V} / 12 \text{ k}\Omega = 938 \mu\text{A}$. Q_4 e Q_5 riproducono le correnti in Q_6 e Q_7 , per cui $I_{C4} = I_{C5} = 938 \mu\text{A}$. Per $V_O = 0$, $V_{CE4} = 12 \text{ V}$, $V_{EC5} = 12 \text{ V}$ e $V_{EC3} = 11.3 \text{ V}$. Per $V_{t1} = 0$, $V_{CE2} = 12.8 \text{ V}$ e $V_{CE1} = 12 \text{ V} - 3.3 \text{ k}\Omega (0.25 \text{ mA}) + 0.75 \text{ V} = 11.9 \text{ V}$.

ANALISI

Parametri per piccolo segnale: I parametri per piccolo segnale si ricavano dalle seguenti formule, scritte in termini di parametri SPICE:

$$\beta_o = \text{BF} \left(1 + \frac{V_{CE}}{\text{VAF}} \right) = 100 \left(1 + \frac{V_{CE}}{75 \text{ V}} \right) \quad g_m = \frac{I_C}{V_T} \quad r_\pi = \frac{\beta_o}{g_m}$$

$$r_o = \frac{\text{VAF} + V_{CE}}{I_C} = \frac{75 \text{ V} + V_{CE}}{I_C}$$

$$C_\pi = g_m \text{TF} = g_m (0.75 \text{ ns}) \quad C_\mu = \frac{\text{CJC}}{\left(1 + \frac{V_{CB}}{\text{VJC}} \right)^{\text{MJC}}} = \frac{2 \text{ pF}}{\left(1 + \frac{V_{CB}}{0.75 \text{ V}} \right)^{0.33}}$$

	I_C (μA)	V_{CE} (V)	β_o	g_m (mS)	r_π (k Ω)	r_o (k Ω)	C_π (pF)	C_μ (pF)
Q_1	250	11.9	116	10	11.6	348	7.50	0.803
Q_2	250	12.8	117	10	11.7	351	7.50	0.784
Q_3	938	11.3	115	37.5	3.07	92.0	28.1	0.818
Q_4	938	12.0	116	37.5	3.09	92.8	28.1	0.801
Q_5	938	12.0	116	37.5	3.09	92.8	28.1	0.801

Guadagno ad anello aperto: $A_o = A_{vt1}A_{vt2}A_{vt3}$

$$A_{vt1} = \frac{g_{m1}}{2} (2r_{o1} \| R_{C1} \| r_{\pi3}) = \frac{10 \text{ mS}}{2} (696 \text{ k}\Omega \| 3.3 \text{ k}\Omega \| 3.07 \text{ k}\Omega) = 7.93$$

$$A_{vt2} = g_{m2} \left[r_{o3} \| R_{C2} \left\| \left(\frac{r_{\pi4}}{2} + (\beta_{o4} + 1) R_L \right) \right\| \right]$$

$$= 37.5 \text{ mS} \left[92.0 \text{ k}\Omega \| 12 \text{ k}\Omega \left\| \left(\frac{3.09 \text{ k}\Omega}{2} + (117) 500 \Omega \right) \right\| \right] = 338$$

$$A_{vt3} = \frac{(\beta_o + 1) R_L}{\frac{r_{\pi4}}{2} + (\beta_o + 1) R_L} = \frac{(117) 500 \Omega}{\frac{3.09 \text{ k}\Omega}{2} + (117) 500 \Omega} = 0.974$$

$$A_o = 2610$$

Progetto del condensatore di compensazione: Alla frequenza f_T per cui il guadagno è unitario, il polo dominante dovuto a C_C introduce una variazione di fase di 90° . I poli dominanti di ciascuno degli altri due stadi determinano il margine di fase. Per avere un margine di fase di 75° , il contributo di questi poli deve essere di 15° . Ci aspettiamo che questi poli si trovino a frequenze superiori a f_T , tipicamente da 50 a 200 MHz.

Polo dello stadio di ingresso

Siamo interessati alla funzione di trasferimento del guadagno di anello. Nel percorso di retroazione, lo stadio di ingresso appare come una cascata C-C/C-B. Pertanto, dall'Equazione 17.151, per il polo all'ingresso dello stadio a collettore comune $R_{L2} = 1/g_{m2}$ si ha:

$$f_{pB2} = \left(\frac{1}{2\pi} \right) \frac{1}{([R_{th2} + r_{x2}] \| [r_{\pi2} + (\beta_o + 1) R_{L2}]) \left(C_{\mu2} + \frac{C_{\pi2}}{1 + g_{m2} R_{L2}} \right)}$$

$$= \left(\frac{1}{2\pi} \right) \frac{1}{([R_{th2} + r_{x2}] \| 2r_{\pi2}) \left(C_{\mu2} + \frac{C_{\pi2}}{2} \right)}$$

$$= \left(\frac{1}{2\pi} \right) \frac{1}{(250 \Omega \| (2 \times 11.7 \text{ k}\Omega)) \left(0.784 \text{ pF} + \frac{7.5 \text{ pF}}{2} \right)} = 142 \text{ MHz}$$

Polo dello stadio di guadagno

Questo polo è dominato dall'effetto Miller associato alla capacità di compensazione. La posizione del polo sarà fissata in base al margine di fase desiderato.

Polo dell'inseguitore di emettitore

Il polo all'ingresso dello stadio inseguitore di emettitore è influenzato dall'effetto di separazione dei poli del condensatore di compensazione posto al cavallo dello stadio di guadagno. Assumendo che questo condensatore sia molto più grande delle altre capacità del circuito, il polo all'ingresso dello stadio inseguitore è:

$$f_{pB4} \approx \frac{g'_{m3}}{2\pi(C_{\pi3} + C_{L3})}$$

Per tener conto di r_x useremo g'_{m3} come definito dall'Equazione (17.70). Il termine C_π rappresenta la capacità totale equivalente per piccolo segnale all'ingresso dello stadio di guadagno, inclusa la capacità di uscita della coppia differenziale. C_{L3} è la capacità che si vede guardando nello stadio inseguitore complementare. Assumendo che solo uno dei due dispositivi dello stadio complementare trasporti il segnale in un certo istante di tempo, la

coppia complementare è rappresentata da un dispositivo con la stessa g_m , un guadagno di corrente pari alla media di quello dei due dispositivi e TF circa uguale alla TF media.

Poiché C_μ è una capacità parassita di giunzione, si vedrà l'effetto cumulativo delle C_μ di entrambi i dispositivi. In queste condizioni, il polo è:

$$f_{pB4} \approx \left(\frac{1}{2\pi} \right) \frac{37.5 \text{ mS} (3.07 \text{ k}\Omega / 3.32 \text{ k}\Omega)}{\left(0.8 \text{ pF} + 28.1 \text{ pF} + 2 \cdot 0.8 \text{ pF} + \frac{28.1 \text{ pF}}{1 + 0.0375 \text{ mS} (500 \Omega)} \right)} = 173 \text{ MHz}$$

Oltre a questi termini, dobbiamo aspettarci un polo situato approssimativamente alla frequenza $f_T = 1/[2\pi(TF + C_\mu/g_m)]$ alla giunzione di emettitore della coppia differenziale al nodo di uscita, poiché non vi è alcuna capacità di carico esterna. I valori di f_T per Q_1 e Q_4 sono rispettivamente 192 MHz e 206 MHz.

Possiamo ora scegliere la frequenza di guadagno unitario f_T dell'operazionale per avere il desiderato margine di fase. A questa frequenza, il polo principale dell'operazionale contribuirà con circa 90° di variazione di fase. Per avere un margine di fase di 75°, i rimanenti quattro poli devono fornire una differenza di fase addizionale di 15°; ciò ci consente di trovare il valore richiesto di f_T :

$$15^\circ = \tan^{-1} \left(\frac{f_T}{142 \text{ MHz}} \right) + \tan^{-1} \left(\frac{f_T}{173 \text{ MHz}} \right) + \tan^{-1} \left(\frac{f_T}{192 \text{ MHz}} \right) + \tan^{-1} \left(\frac{f_T}{206 \text{ MHz}} \right)$$

Risolvendo si ha $f_T = 11.5 \text{ MHz}$.

Usando l'Equazione (18.25) dall'analisi dell'amplificatore operazionale,

$$\begin{aligned} (C_C + C_{\mu 3}) &= \frac{G_{m1}}{\omega_T} = \left(\frac{g_{m1}}{2} \right) \left(\frac{1}{2\pi f_T} \right) \\ &= \frac{5 \text{ mS}}{2\pi (11.5 \text{ MHz})} = 69 \text{ pF} \end{aligned}$$

poiché $C_{\mu 3}$ è approssimativamente in parallelo con C_C . Per eliminare lo zero indesiderato associato a C_C , $R_Z = 1/g_{m3} = 27.5 \Omega$. Possiamo ora trovare la banda passante ad anello aperto:

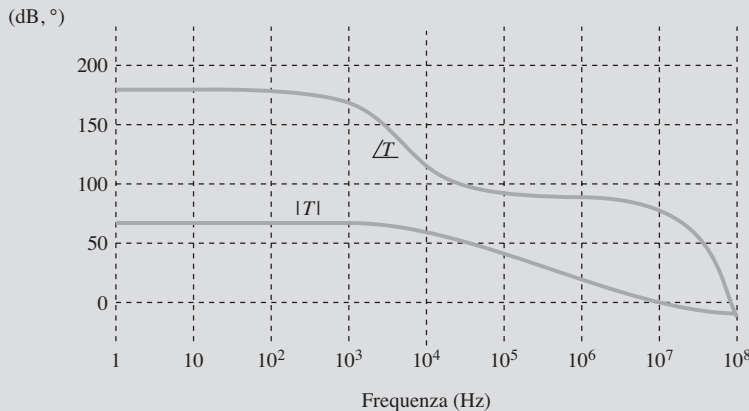
$$f_B = \frac{f_T}{A_o} = \frac{11.5 \text{ MHz}}{2610} = 4.41 \text{ kHz}$$

Quindi i valori di progetto sono $A_o = 68.3 \text{ dB}$, $f_T = 11.5 \text{ MHz}$, $f_B = 4.41 \text{ kHz}$ e $\varphi_M = 75^\circ$.

Verifica dei risultati: Verifichiamo l'analisi utilizzando SPICE come mostrato di seguito.

Analisi assistita da calcolatore: Per simulare il guadagno ad anello aperto, dobbiamo trovare prima la tensione di offset dell'amplificatore. L'amplificatore viene collegato a in-seguitore di tensione e si trova un offset di 1.035 mV. Le correnti di collettore nel punto di lavoro per i transistori da Q_1 a Q_7 sono: 242 μA , 254 μA , 936 μA , 1.05 mA, 1.05 mA, 917 μA e 917 μA .

La tensione di offset viene applicata all'ingresso per avere tensione di uscita nulla, e viene eseguita un'analisi AC tra 1 Hz e 100 MHz con 20 punti per decade. Il grafico del guadagno ad anello aperto risultante è mostrato nella figura seguente:



Il guadagno ad anello aperto è 67.2 dB, la banda passante ad anello aperto è 4.52 kHz, $f_T = 10.7$ MHz e il margine di fase è 74° . Questi valori sono in buon accordo con i calcoli manuali. Il lavoro del margine di fase è affetto da uno zero che si può osservare nella risposta in ampiezza oltre i 30 MHz e che non è stato incluso nell'analisi manuale.

ESERCIZIO Si utilizzino la tecnica descritta nel Paragrafo 11.9 per verificare il grafico del guadagno di anello dell'Esempio 18.7.

ESERCIZIO Si calcolino la frequenza per guadagno unitario e il margine di fase per l'amplificatore dell'Esempio 18.7 se C_C è ridotta a 50 pF.

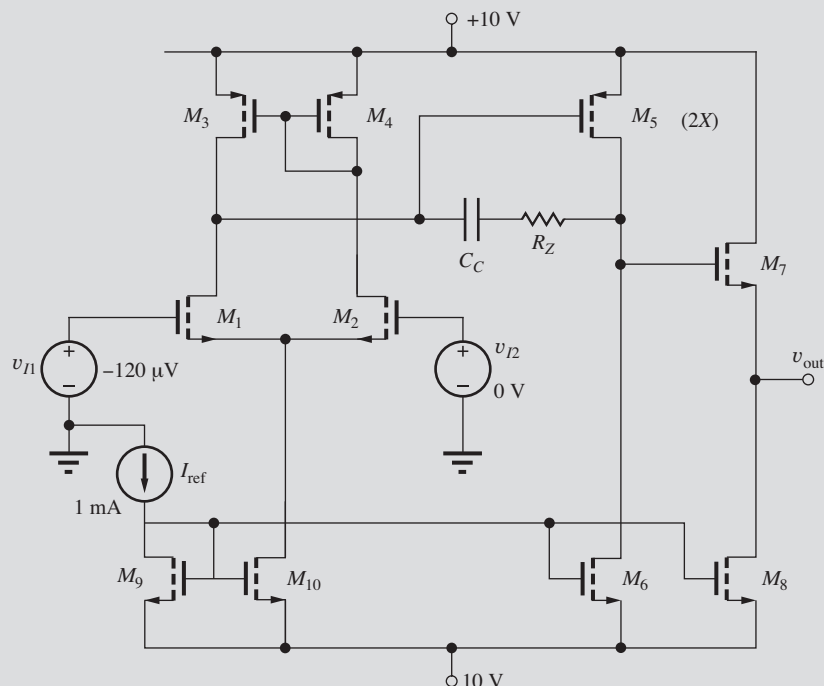
RISPOSTE 15.9 MHz, 69.5° .

Esempio 18.8

COMPENSAZIONE DI UN AMPLIFICATORE OPERAZIONALE A MOSFET

In questo esempio sceglieremo il valore della capacità di compensazione per un amplificatore operazionale a MOSFET in modo da ottenere un assegnato margine di fase da utilizzare in una configurazione a guadagno unitario.

PROBLEMA Si progetti il condensatore di compensazione per l'amplificatore operazionale a MOS descritto dal circuito seguente, in modo da avere un margine di fase di 70° . Si trovino il guadagno ad anello aperto, la banda passante e il prodotto banda-guadagno dell'amplificatore dopo la compensazione. Si assumano per tutti gli NMOS i parametri SPICE: $K_P = 10M$, $V_{TO} = 1$, $LAMBDA = 0.01$. Per i PMOS: $K_P = 4M$, $V_{TO} = -1$, $LAMBDA = 0.01$. C_{GS} e C_{GD} sono rispettivamente 5 pF e 1 pF e verranno aggiunti manualmente allo schema SPICE. Si consideri M_5 come parallelo di due PMOS (o come un PMOS con il rapporto di aspetto doppio), $K_P = 8M$, $C_{GS} = 10$ pF e $C_{GD} = 2$ pF.



SOLUZIONE **Informazioni e dati noti:** L'amplificatore operazionale a tre stadi risulta costituito da uno stadio di ingresso differenziale NMOS con uno specchio di corrente PMOS come carico. Il secondo stadio è uno stadio di guadagno con un PMOS a source comune. Lo stadio di uscita è uno stadio inseguitore di source NMOS. I parametri dei transistori sono:

$K_P = 10M$, $V_{TO} = 1$ (NMOS), $K_P = 4M$, $V_{TO} = -1$ (PMOS), $C_{GD} = 1$ pF e $C_{GS} = 5$ pF. Il dispositivo M_5 è il doppio in larghezza rispetto agli altri PMOS, ovvero i suoi K_P , C_{GS} e C_{GD} sono raddoppiati, $\varphi_M = 70^\circ$.

Incognite: Valore di C_C per avere un margine di fase di 70° ; guadagno ad anello aperto, la banda passante e il prodotto banda-guadagno; posizione dei poli non dominanti.

Approccio: Si trovino i punti di lavoro e i parametri del modello per piccolo segnale dei transistori. Si assuma che il polo dominante sia fissato dalla capacità di compensazione C_C posta a cavallo dello stadio di guadagno PMOS. Si trovino i poli non dominanti agli altri nodi dell'amplificatore e si utilizzino per calcolare la frequenza per guadagno unitario necessaria per ottenere il desiderato margine di fase.

Ipotesi: Il polo dominante è fissato dal condensatore di compensazione C_C e dallo stadio C-S; R_Z viene introdotta per eliminare lo zero nel semipiano destro associato allo stadio C-S. Il circuito lavora a temperatura ambiente ed è polarizzato in modo da ottenere una tensione nominale di uscita nulla. Si trascurino gli effetti dovuti alle impedenze di uscita finite sulle correnti dei dispositivi nel calcolo dei punti di lavoro.

Punto di lavoro: L'impiego della polarizzazione con specchi di corrente e carichi attivi semplifica enormemente il calcolo delle correnti di polarizzazione. Data la corrente di riferimento di 1 mA, sappiamo che le correnti di polarizzazione di M_1 - M_4 saranno di 0.5 mA. M_6 e M_8 assorbono nominalmente 1 mA. La V_{GS} di M_5 è interessante. A causa del termine λ nell'equazione della corrente del MOS, sappiamo che, affinché I_{D3} e I_{D4} siano uguali, devono avere la stessa V_{DS} . In conseguenza di ciò, V_{GS} avrà lo stesso valore per M_3 e M_4 . Se M_5 è identico a M_4 , le loro correnti saranno circa uguali. Tuttavia, M_6 è polarizzato in modo da assorbire il doppio della corrente di M_4 , per cui la tensione di uscita sarà saturata al valore di V_{SS} se M_5 è identico a M_4 . Ciò perché M_5 ha un rapporto d'aspetto doppio rispetto a M_4 , e quindi produrrà una corrente doppia eguagliando il livello di corrente di M_6 .

ANALISI

Parametri per piccolo segnale: I parametri per piccolo segnale si ricavano dalle seguenti formule:

$$r_o \approx \frac{1/\lambda + V_{DS}}{I_D} \quad g_m = \sqrt{2K_P \cdot I_D(1 + \lambda V_{DS})}$$

	I_D (mA)	V_{DS} (V)	g_m (mS)	r_o (k Ω)	C_{GD} (pF)	C_{GS} (pF)
M1, M2	0.5	9.8	3.46	120	1	5
M3, M4	0.5	1.5	2.03	103	1	5
M5	1	8.6	4.33	58.6	2	10
M6	1	11.4	4.96	61.4	1	5
M7	1	10	4.90	60	1	5
M8	1	10	4.90	60	1	5
M9	1	1.45	4.50	101	1	5
M10	1	8.55	4.66	109	1	5

Guadagno ad anello aperto: $A_o = A_{vt1}A_{vt2}A_{vt3}$

$$A_{vt1} = g_{m1,2}(r_{o1} \parallel r_{o3}) = 3.46 \text{ mS} (120 \text{ k}\Omega \parallel 103 \text{ k}\Omega) = 192$$

$$A_{vt2} = -g_{m5}(r_{o5} \parallel r_{o6}) = 4.33 \text{ mS} (58.6 \text{ k}\Omega \parallel 61.4 \text{ k}\Omega) = -130$$

$$A_{vt3} = \frac{g_{m7}R_{S7}}{1 + g_{m7}R_{S7}} = \frac{g_{m7}(r_{o7} \parallel r_{o8})}{1 + g_{m7}(r_{o7} \parallel r_{o8})} = \frac{4.90 \text{ mS} (60 \text{ k}\Omega \parallel 60 \text{ k}\Omega)}{1 + 4.90 \text{ mS} (60 \text{ k}\Omega \parallel 60 \text{ k}\Omega)} = 0.993$$

$$A_o = -24,800 = 87.9 \text{ dB}$$

Progetto del condensatore di compensazione

Alla frequenza f_T il guadagno di anello è 0 dB e il polo dominante introduce una variazione di fase di 90° . Per avere un margine di fase di 70° , il condensatore di compensazione viene scelto così da fissare la frequenza di guadagno unitario in modo tale che il contributo dei poli non dominanti sia di $90^\circ - 70^\circ = 20^\circ$.

Polo dello stadio di ingresso

Siamo interessati alla funzione di trasferimento del guadagno di anello; nel percorso di retroazione, lo stadio di ingresso appare come una cascata C-D/C-G. Poiché stiamo pilotando l'ingresso con un generatore a impedenza nulla, il polo al gate di M_2 si trova a frequenza infinita. Poiché stiamo progettando l'amplificatore operazionale affinché sia stabile nella configurazione a guadagno unitario, includeremo la capacità di ingresso di M_2 come carico capacitivo addizionale nei calcoli per modellare il carico capacitivo visto dall'uscita quando la retroazione negativa viene collegata.

$$C_{in} = C_{GD} + \frac{C_{GS}}{1 + g_{m2}R_{S2}} = C_{GD} + \frac{C_{GS}}{1 + \frac{g_{m2}}{g_{m1}}} = 1 \text{ pF} + \frac{5 \text{ pF}}{2} = 3.5 \text{ pF}$$

Polo della coppia differenziale

Vi è un polo ad alta frequenza al nodo di source della coppia differenziale. Questo polo si trova in:

$$\begin{aligned} f_{pS1} &\approx \left(\frac{1}{2\pi} \right) \frac{1}{\left(\frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} \right) (C_{GS1} + C_{GS2} + C_{GD10})} \\ &= \left(\frac{1}{2\pi} \right) \frac{1}{\left(\frac{0.5}{3.46 \text{ mS}} \right) (5 \text{ pF} + 5 \text{ pF} + 1 \text{ pF})} = 100 \text{ MHz} \end{aligned}$$

Polo dello stadio di guadagno

Questo polo è dominato dall'effetto Miller associato alla capacità di compensazione C_C . La posizione del polo sarà fissata in base al margine di fase desiderato.

Polo dell'inseguitore di source

Il polo all'ingresso dello stadio inseguitore di source è influenzato dall'effetto di separazione dei poli del condensatore di compensazione posto a cavallo dello stadio di guadagno. Assumendo che questo condensatore sia molto più grande delle altre capacità del circuito, il polo all'ingresso dello stadio inseguitore è:

$$f_{pD5} \approx \frac{g_{m5}}{2\pi(C_{i5} + C_{L5})}$$

Come nell'esempio bipolare, il termine C_{i5} nell'equazione precedente rappresenta la capacità totale equivalente per piccolo segnale all'ingresso dello stadio di guadagno, inclusa la capacità di uscita della coppia differenziale.

$$C_{i5} = C_{GD1} + C_{GD3} + C_{GS5} = (1 + 1 + 10) \text{ pF} = 12 \text{ pF}$$

C_{L5} è la capacità che si vede guardando nello stadio C-D di uscita più la capacità che si vede guardando nel generatore di corrente.

$$C_{L5} = C_{GD6} + C_{GD7} + \frac{C_{GS7}}{1 + g_{m7}(r_{o7} \parallel r_{o8})} = 1 \text{ pF} + 1 \text{ pF} + \frac{5 \text{ pF}}{1 + 4.9 \text{ mS} (30 \text{ k}\Omega)} = 2.03 \text{ pF}$$

In base a questi risultati il polo è:

$$f_{pD5} \approx \left(\frac{1}{2\pi} \right) \frac{4.33 \text{ mS}}{(12 \text{ pF} + 2.03 \text{ pF})} = 49.2 \text{ MHz}$$

Polo di uscita

Il polo di uscita è fissato trovando la resistenza e la capacità equivalenti al nodo di uscita. Come affermato precedentemente, includeremo la capacità al gate di M_2 per tener conto del carico sull'uscita dovuto alla retroazione.

$$C_{eqS7} = C_{GS7} + C_{GD8} + C_{in} = 5 \text{ pF} + 1 \text{ pF} + 3.5 \text{ pF} = 9.5 \text{ pF}$$

$$R_{eqS7} \approx 1/g_{m7} = 204 \text{ }\Omega$$

$$f_{pS7} \approx \left(\frac{1}{2\pi} \right) \frac{1}{(204 \text{ }\Omega)(9.5 \text{ pF})} = 82.1 \text{ MHz}$$

Possiamo ora scegliere la frequenza di guadagno unitario f_T dell'operazionale per avere il desiderato margine di fase. A questa frequenza, il polo principale dell'operazionale contribuirà con circa 90° di variazione di fase. Per avere un margine di fase di 70° , i rimanenti due poli devono fornire un differenza di fase addizionale di 20° ; ciò ci consente di trovare il valore richiesto di f_T :

$$20^\circ = \tan^{-1}\left(\frac{f_T}{49.2 \text{ MHz}}\right) + \tan^{-1}\left(\frac{f_T}{82.1 \text{ MHz}}\right) + \tan^{-1}\left(\frac{f_T}{100 \text{ MHz}}\right) \rightarrow f_T \approx 8.5 \text{ MHz}$$

Usando i risultati del paragrafo precedente, determiniamo il condensatore di compensazione come:

$$(C_C + C_{GDs}) = \frac{g_{m1}}{2\pi f_T} \rightarrow C_C = \frac{3.46 \text{ mS}}{2\pi(8.5 \text{ MHz})} - 2 \text{ pF} = 63 \text{ pF}$$

Per eliminare lo zero indesiderato associato a C_C , $R_Z = 1/g_{m5} = 230 \Omega$. Possiamo ora trovare la banda passante ad anello aperto:

$$f_B = \frac{f_T}{A_O} = \frac{8.5 \text{ MHz}}{24\,800} = 343 \text{ Hz}$$

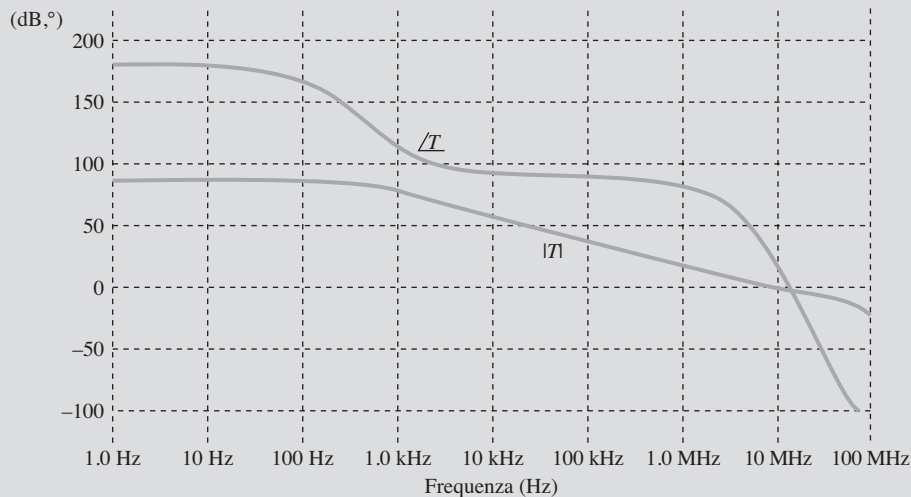
Quindi i valori di progetto sono $A_o = 87.9 \text{ dB}$, $f_T = 8.5 \text{ MHz}$, $f_B = 343 \text{ Hz}$ e $\varphi_M = 70^\circ$.

Verifica dei risultati: Verifichiamo l'analisi utilizzando SPICE come mostrato di seguito.

Analisi assistita da calcolatore: Con un amplificatore dal guadagno così elevato, dobbiamo aspettarci un significativo offset all'uscita quando esso opera ad anello aperto. Ogni errore di polarizzazione all'ingresso viene moltiplicato per il guadagno dell'amplificatore. Come nel caso precedente del BJT, colleghiamo l'amplificatore nella configurazione a inseguitore e applichiamo un offset opposto all'ingresso per cancellare l'offset e consentire l'esecuzione di una simulazione AC ad anello aperto mantenendo una tensione nulla all'uscita.

Con l'appropriata tensione di offset applicata all'ingresso, viene eseguita un'analisi AC tra 1 Hz e 100 MHz. La prima simulazione viene eseguita senza R_Z per illustrare i problemi di stabilità creati dalla presenza dello zero nel semipiano destro negli amplificatori a MOS.

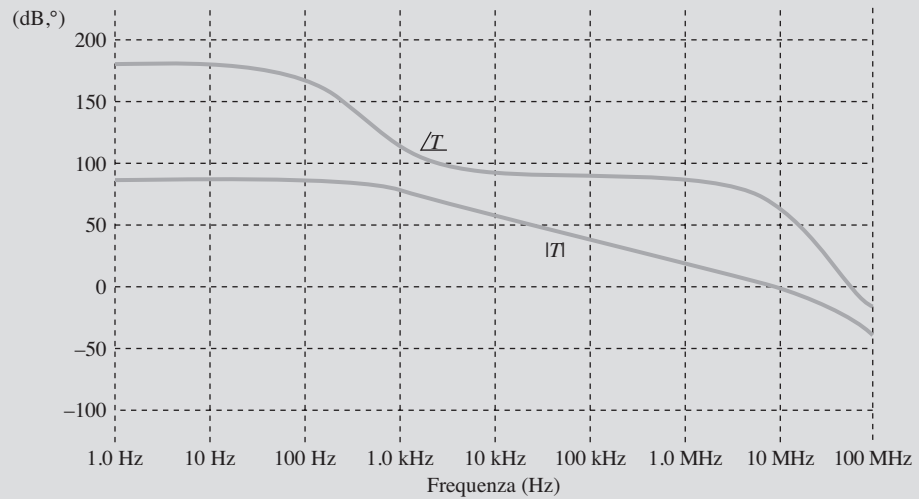
Nella prima simulazione la frequenza per guadagno unitario è 11 MHz, ma il margine di fase è di soli 20° ! Lo zero nel semipiano destro è la peggiore condizione per la stabilità. Esso causa simultaneamente una decrescita della pendenza della risposta in ampiezza (aumentando la frequenza di attraversamento a 0 dB) e aggiunge una variazione di fase negativa (si veda la figura successiva).



Guadagno di anello senza R_Z .

Con la cancellazione dello zero nel semipiano destro, i risultati della simulazione sono in buon accordo con i valori di progetto. La frequenza f_T è 8.4 MHz e il margine di fase è 69° . Se vogliamo aumentare il margine di fase, bisogna aumentare R_Z per spostare lo zero nel semipiano sinistro e introdurre una variazione di fase positiva.

Il guadagno ad anello aperto è 86.5 dB, la banda passante ad anello aperto f_B è 410 Hz. Questi valori sono in buon accordo con i nostri calcoli.



Guadagno di anello con l'aggiunta di R_Z per cancellare lo zero nel semipiano destro.

ESERCIZIO Quanto vale lo slew rate dell'amplificatore dell'Esempio 18.8?

RISPOSTA 15.4 V/ μ s.

ESERCIZIO (a) Che valore del condensatore di compensazione è richiesto per avere un margine di fase di 60° nell'amplificatore dell'Esempio 18.8? (b) Si verifichino i risultati mediante SPICE.

RISPOSTA 31.3 pF.

ESERCIZIO (a) Qual è la tensione di offset dell'amplificatore nell'Esercizio 18.8 se $(W/L)_5 = (W/L)_4$? (b) E se $(W/L)_5 = 3(W/L)_4$?

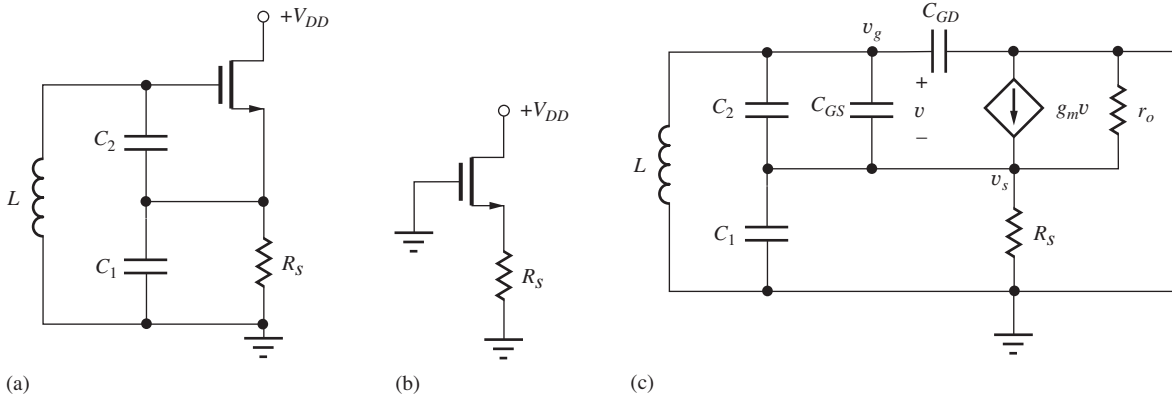
RISPOSTE 0.85 mV, -0.49 mV.

18.6 Oscillatori ad alta frequenza

Gli **oscillatori** rappresentano un'importante classe di circuiti retroazionati e sono usati per la generazione di segnali. Negli oscillatori progettati per lavorare in alta frequenza si fa uso di transistori discreti e la rete di retroazione selettiva in frequenza viene realizzata con gruppi LC ad alto Q oppure con risonatori piezoelettrici (cristalli per lo più di quarzo). Si analizzeranno due classici **oscillatori LC**: l'oscillatore Colpitts usa un partitore di tensione capacitivo per stabilire il tasso di retroazione, mentre l'oscillatore Hartley usa un partitore di tensione induttivo. Gli oscillatori integrati spesso utilizzano una cella a G_m negativa basata su una coppia differenziale a transistori, come si mostrerà nel seguito. Gli oscillatori a cristallo saranno discussi nel Paragrafo 18.6.6.

18.6.1 L'oscillatore Colpitts

La Figura 18.33 riporta lo schema di base dell'**oscillatore Colpitts**. L'induttore L e i condensatori C_1 e C_2 formano un circuito risonante; C_1 , C_2 o L possono essere variabili in modo da cambiare la frequenza di oscillazione. La Figura 18.33(b) mostra il circuito di polariz-

**Figura 18.33**

(a) Oscillatore Colpitts,
(b) circuito equivalente in DC e
(c) circuito per piccolo segnale.

zazione. Il terminale di gate del MOSFET (a canale preformato) viene mantenuto a zero volt per le componenti continue attraverso l'induttore L , e il punto di lavoro si determina mediante le tecniche precedentemente utilizzate. Nel modello per piccolo segnale di Figura 18.33(c), la capacità gate-source C_{GS} si trova in parallelo a C_2 mentre la capacità gate-drain C_{GD} si trova in parallelo all'induttore.

Per questo circuito si ricorre, in genere, a una diversa tecnica per determinare la condizione di oscillazione. I calcoli risultano più semplici ponendo: $G = 1/(R_S || r_o)$ e $C_3 = C_2 + C_{GS}$.

Scrivendo le equazioni per $V_g(s)$ e $V_s(s)$ si ottiene:

$$\begin{bmatrix} 0 \\ 0 \end{bmatrix} = \begin{bmatrix} \left(s(C_3 + C_{GD}) + \frac{1}{sL} \right) & -sC_3 \\ -(sC_3 + g_m) & (s(C_1 + C_3) + g_m + G) \end{bmatrix} \begin{bmatrix} V_g(s) \\ V_s(s) \end{bmatrix} \quad (18.36)$$

Il determinante del sistema di equazioni è:

$$\Delta = s^2[C_1 C_3 + C_{GD}(C_1 + C_3)] + s[(C_3 + C_{GD})G + GC_3] + \frac{(g_m + G)}{sL} + \frac{(C_1 + C_3)}{L} \quad (18.37)$$

Poiché l'oscillatore non ha eccitazione esterna, deve risultare $\Delta = 0$ affinché l'uscita sia diversa da zero. Separando parte reale e parte immaginaria, l'espressione del determinante diventa, per $s = j\omega$:

$$\begin{aligned} \Delta = & \left(\frac{(C_1 + C_3)}{L} - \omega^2[C_1 C_3 + C_{GD}(C_1 + C_3)] \right) \\ & + j \left(\omega[(g_m + G)C_{GD} + GC_3] - \frac{(g_m + G)}{\omega L} \right) = 0 \end{aligned} \quad (18.38)$$

Annullando la parte reale si ottiene la frequenza di oscillazione:

$$\omega_o = \frac{1}{\sqrt{L \left(C_{GD} + \frac{C_1 C_3}{C_1 + C_3} \right)}} = \frac{1}{\sqrt{LC_{TC}}} \quad \text{dove} \quad C_{TC} = C_{GD} + \frac{C_1 C_3}{C_1 + C_3} \quad (18.39)$$

Annullando la parte immaginaria si ottiene una condizione relativa al guadagno del MOSFET:

$$\omega^2 L \left[C_{GD} + \frac{G}{(g_m + G)} C_3 \right] = 1 \quad (18.40)$$

Per $\omega = \omega_o$ l'Equazione (18.40) assume l'espressione semplificata come:

$$g_m R = \frac{C_3}{C_1} \quad \left(g_m R \geq \frac{C_3}{C_1} \right) \quad (18.41)$$

Dall'Equazione (18.39) si vede che la frequenza di oscillazione è determinata dalla frequenza di risonanza del circuito costituito dall'induttore L e dalla capacità totale C_{TC} che si trova in parallelo a esso. Il fattore di retroazione è determinato dal rapporto tra le capacità, e

deve essere abbastanza grande da verificare la condizione espressa dell'Equazione (18.41). In corrispondenza del valore di guadagno per cui vale l'uguaglianza i poli dell'oscillatore si trovano sull'asse $j\omega$. Tuttavia, di solito, si utilizza un guadagno maggiore per assicurare l'innescio delle oscillazioni, che vengono successivamente stabilizzate mediante un meccanismo di controllo dell'ampiezza.

18.6.2 L'oscillatore Hartley

Il fattore di retroazione nell'**oscillatore Hartley** di Figura 18.34 è determinato dal rapporto tra le induttanze L_1 e L_2 . Il circuito di polarizzazione è riportato in Figura 18.34(b); il punto di lavoro è (I_{DSS}, V_{DD}) .

Le condizioni di oscillazione si trovano con una tecnica analoga a quella utilizzata per l'oscillatore Colpitts. Trascurando, per semplicità, le capacità C_{GS} e C_{GD} e l'accoppiamento mutuo tra gli induttori, si ottiene:

$$\begin{bmatrix} 0 \\ 0 \end{bmatrix} = \begin{bmatrix} sC + \frac{1}{sL_2} & -\frac{1}{sL_2} \\ -\left(\frac{1}{sL_2} + g_m\right) & \frac{1}{sL_1} + \frac{1}{sL_2} + g_m + g_o \end{bmatrix} \begin{bmatrix} V_g(s) \\ V_s(s) \end{bmatrix} \quad (18.42)$$

Il determinante di questo sistema di equazioni è:

$$\Delta = sC(g_m + g_o) + \frac{g_o}{sL_2} + \frac{1}{s^2 L_1 L_2} + C\left(\frac{1}{L_1} + \frac{1}{L_2}\right) \quad (18.43)$$

Per avere oscillazioni stabili deve risultare $\Delta = 0$. Separando parte reale e parte immaginaria per $s = j\omega$, il determinante diventa:

$$\Delta = \left[C\left(\frac{1}{L_1} + \frac{1}{L_2}\right) - \frac{1}{\omega^2 L_1 L_2} \right] + j\left(\omega C(g_m + g_o) - \frac{g_o}{\omega L_2} \right) = 0 \quad (18.44)$$

Annullando la parte reale si ricava la frequenza di oscillazione ω_o :

$$\omega_o = \frac{1}{\sqrt{C(L_1 + L_2)}} \quad (18.45)$$

Figura 18.34

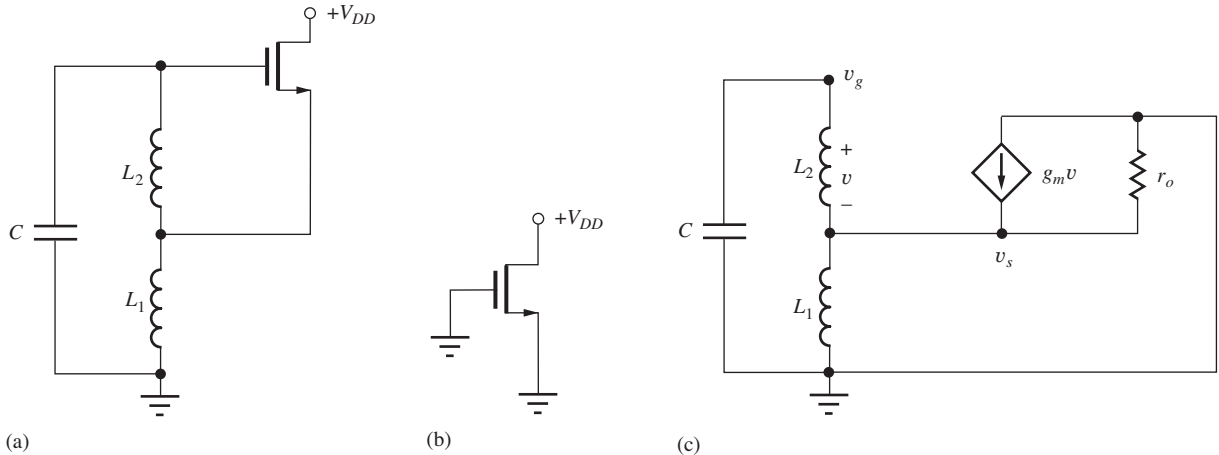
(a) Oscillatore Hartley realizzato mediante un MOSFET a canale preformato.
(b) Circuito equivalente in DC.
(c) Circuito equivalente di piccolo segnale (le capacità C_{GS} e C_{GD} sono state trascurate per semplicità).

e annullando la parte immaginaria si ottiene una condizione relativa al fattore di amplificazione del MOSFET:

$$1 + g_m r_o = \frac{1}{\omega^2 C L_2} \quad (18.46)$$

Per $\omega = \omega_o$ l'Equazione (18.46) diventa:

$$\mu_f = \frac{L_1}{L_2} \quad \left(\mu_f \geq \frac{L_1}{L_2} \right) \quad (18.47)$$



La frequenza di oscillazione viene definita dalla frequenza di risonanza del circuito costituito dal condensatore e dalla induttanza totale $L_1 + L_2$. Il fattore di retroazione è fissato dal rapporto tra i due induttori e deve soddisfare la condizione espressa dall'Equazione (18.47). Per collocare i poli sull'asse $j\omega$ il fattore di amplificazione deve essere abbastanza grande in modo tale che l'uguaglianza nella (18.47) sia verificata. Generalmente si utilizza un guadagno maggiore per garantire l'innesco delle oscillazioni che vengono successivamente stabilizzate mediante un meccanismo di controllo.

18.6.3 Stabilizzazione dell'ampiezza negli oscillatori LC

Per limitare l'ampiezza delle oscillazioni negli oscillatori LC si utilizza spesso la non linearità delle caratteristiche dei transistori. Nei circuiti bipolari l'effetto rettificante della giunzione base-emettitore viene utilizzato per limitare l'ampiezza delle oscillazioni. Nella versione MOS dell'oscillatore Clapp di Figura 18.35 sono stati aggiunti un diodo e un resistore per ottenere la limitazione in ampiezza. Il diodo e il resistore R_G costituiscono un raddrizzatore che impone una polarizzazione negativa al gate. I condensatori del circuito fungono da filtri del raddrizzatore. In pratica, l'innesco delle oscillazioni è accompagnato da una leggera variazione del punto di lavoro in modo da ottenere la stabilizzazione dell'ampiezza.

18.6.4 Resistenza negativa negli oscillatori

Affinché possa innescarsi l'oscillazione, tutti gli oscillatori hanno bisogno di una resistenza di ingresso negativa. La resistenza negativa deve avere un valore tale da consentire come minimo la cancellazione delle perdite resistive negli elementi circuitali, inclusi i resistori di polarizzazione, la resistenza di uscita del transistor e le resistenze serie degli induttori.

A titolo di esempio, calcoliamo la resistenza vista dai terminali dell'induttore nell'oscillatore Colpitts, usando il circuito equivalente riportato in Figura 18.36. Ricaviamo la resistenza di ingresso usando la stessa tecnica che abbiamo già applicato all'analisi dell'amplificatore a source comune con degenerazione induttiva del source. Partendo dalla resistenza di ingresso degli amplificatori a collettore comune e a drain comune, che abbiamo già ricavato, si ottiene

$$Z_{in}(s) = Z_{gs}(1 + g_m Z_s) + Z_s = \frac{1}{sC_1} \left(1 + g_m \frac{1}{sC_2} \right) + \frac{1}{sC_2} = \frac{1}{sC_1} + \frac{1}{sC_2} + \frac{g_m}{s^2 C_1 C_2} \quad (18.48)$$

$$Z_{in}(j\omega) = \frac{1}{j\omega} \left(\frac{1}{C_1} + \frac{1}{C_2} \right) + R_{eq} \quad \text{con} \quad R_{eq} = -\frac{g_m}{\omega^2 C_1 C_2}$$

L'impedenza di ingresso è la combinazione in serie delle impedenze di C_1 e C_2 , più una resistenza negativa di ingresso R_{eq} .

ESERCIZIO Si dimostri che l'oscillatore di Hartley presenta una resistenza di ingresso negativa usando un'analisi simile a quella presentata sopra.

RISPOSTA $j\omega(L_1 + L_2) - \omega^2 g_m L_1 L_2$.

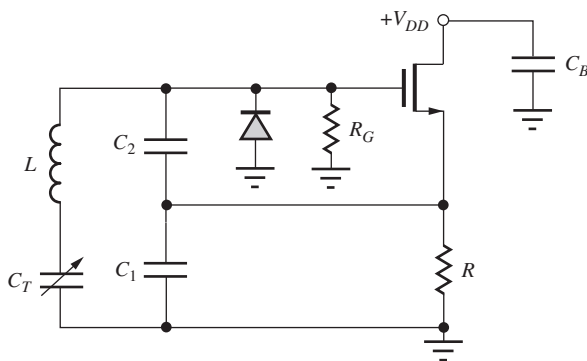
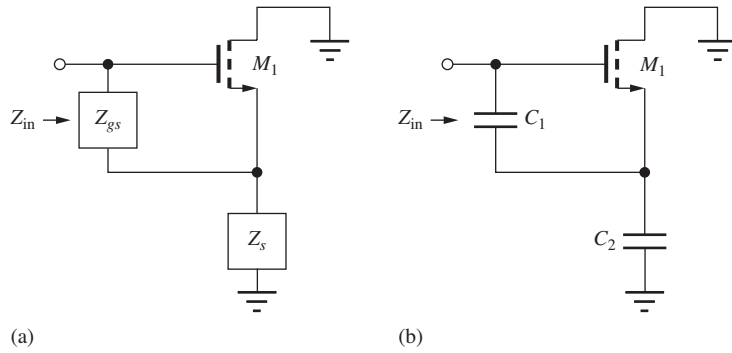


Figura 18.35

Versione accordabile di un oscillatore Colpitts (oscillatore Clapp) a MOSFET con un raddrizzatore a diodo per la stabilizzazione dell'ampiezza.

Figura 18.36

(a) Impedenza di ingresso di un transistor a drain comune.
 (b) Circuito equivalente AC visto dai terminali dell'induttore nell'oscillatore di Colpitts.



18.6.5 Oscillatore a G_m negativo

Un tipo di oscillatore che trova largo impiego nei circuiti integrati è basato su una coppia di transistori con source accoppiati e polarizzati da un generatore di corrente I_{SS} , come mostrato in Figura 18.37(a). La coppia di transistori ha una connessione mutua incrociata che dà luogo a una retroazione positiva, sicché tra i drain dei transistori appare una resistenza negativa. Se la resistenza negativa della coppia incrociata di transistori è sufficiente a compensare le perdite resistive degli induttori e le resistenze di uscita dei transistori, allora nel circuito si innescherà un'oscillazione.

Nell'ipotesi di simmetria perfetta, la corrente di polarizzazione di ciascun transistor sarà $I_{SS}/2$. L'oscillazione si manifesta come un segnale differenziale tra i drain dei due transistori ($v_{d1} = -v_{d2}$), e la frequenza di oscillazione può essere ricavata dal circuito equivalente *ac* rappresentato in Figura 18.37(b).

La frequenza di risonanza del circuito è determinata dalla capacità equivalente che appare ai terminali dei due induttori:

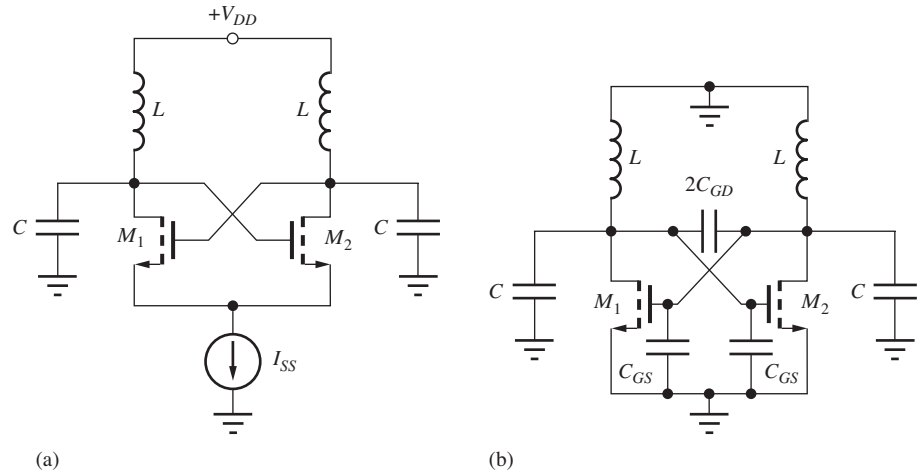
$$\omega_o = \frac{1}{\sqrt{2L \left(2C_{GD} + \frac{C + C_{GS}}{2} \right)}} = \frac{1}{\sqrt{LC_{eq}}} \quad \text{con} \quad C_{eq} = C + C_{GS} + 4C_{GD} \quad (18.49)$$

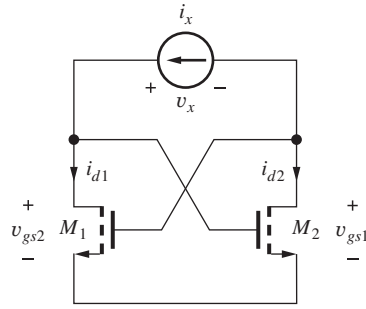
Il valore della capacità esterna C viene scelto di norma in modo da risultare dominante rispetto alle capacità parassite dei dispositivi, e spesso viene realizzata con un diodo varactor per il controllo elettronico della frequenza di oscillazione. Si noti che il generatore di corrente presente in Figura 18.37 presenta un'elevata impedenza per i segnali di modo comune e impedisce che si inneschino oscillazioni di modo comune ($v_{d1} = v_{d2}$).

La resistenza di ingresso equivalente R_{in} della cella a G_m negativa può essere ricavata con l'ausilio del circuito riportato in Figura 18.38, in cui viene applicata una corrente di test i_x e R_{in} viene ricavata dal rapporto v_x/i_x . Applicando la KVL al circuito, si trova che v_x è uguale

Figura 18.37

(a) Oscillatore basato su una cella a resistenza negativa;
 (b) circuito equivalente AC.



**Figura 18.38**

Circuito per determinare la resistenza della coppia incrociata di transistori.

alla differenza delle tensioni gate-source dei transistori M_1 e M_2 , e la legge di Kirchhoff delle correnti mostra che la corrente i_x deve entrare nel drain di M_1 e uscire dal drain di M_2 :

$$v_x = v_{gs2} - v_{gs1} \quad \text{con} \quad i_{d1} = i_x \quad \text{e} \quad i_{d2} = -i_x \quad (18.50)$$

La corrente di drain e la tensione gate-source del MOS sono legate dalla relazione $i_d = g_m v_{gs}$ per cui

$$v_{gs1} = \frac{i_{d1}}{g_m} = +\frac{i_x}{g_m} \quad \text{e} \quad v_{gs2} = \frac{i_{d2}}{g_m} = -\frac{i_x}{g_m} \quad (18.51)$$

Si trova che l'anello di retroazione positiva dà luogo a una resistenza di ingresso negativa:

$$v_x = -\frac{i_x}{g_m} - \frac{i_x}{g_m} \quad \text{e} \quad R_{in} = -\frac{2}{g_m} \quad (18.52)$$

La condizione di oscillazione richiede che la conduttanza complessiva tra i drain⁷ dei transistori in Figura 18.39 sia negativa:

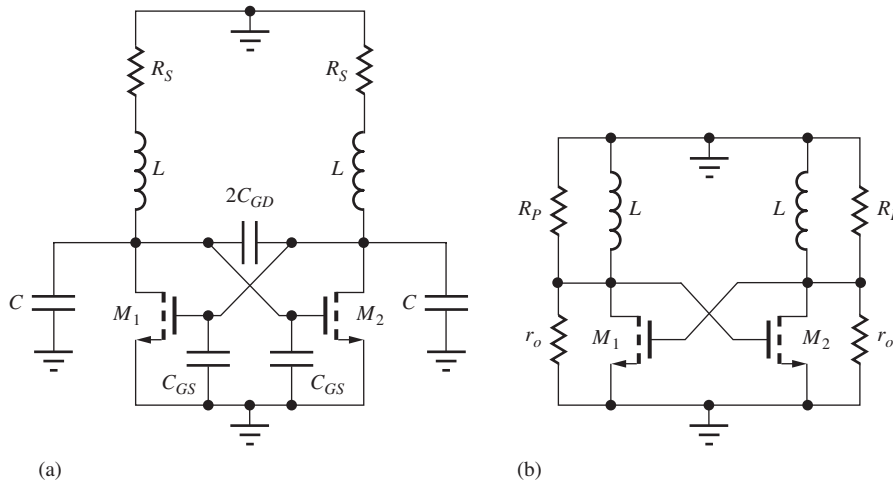
$$-\frac{g_m}{2} + \frac{g_o + G_p}{2} \leq 0 \quad \text{o} \quad g_m R_p \geq 1 \quad \text{per} \quad r_o \gg R_p \quad (18.53)$$

in cui R_p è la resistenza equivalente in parallelo con l'induttore $R_p = (1 + Q_s^2)R_s \approx Q_s^2 R_s$.

La condizione di oscillazione può quindi essere scritta come

$$g_m > \frac{1}{Q_s^2 R_s} \quad \text{per} \quad Q_s = \frac{\omega L}{R_s} \quad (18.54)$$

L'Equazione (18.54) fissa un limite inferiore per la transconduttanza dei transistori in termini delle caratteristiche dell'induttore.

**Figura 18.39**

(a) Oscillatore con induttori non ideali (Q finito).
(b) Circuito equivalente per determinare la condizione di oscillazione, con le resistenze di uscita dei transistori evidenziate e senza capacità.

⁷ O a qualsiasi altra porta del circuito.

ESERCIZIO Si disegni una versione simmetrica dell'oscillatore riportato in Figura 18.37(b). Si assuma che i punti sull'asse di simmetria siano a potenziale fisso e si dimostri che la frequenza di oscillazione è determinata da L e C_{eq} secondo la definizione dell'Equazione (18.49).

18.6.6 Oscillatori a cristallo

È possibile realizzare oscillatori per frequenze molto elevate e di notevole accuratezza e stabilità utilizzando cristalli di quarzo come elementi reattivi (**oscillatori a cristallo**). Il cristallo è un dispositivo piezoelettrico che vibra in risposta a una sollecitazione elettrica. Benché la frequenza di vibrazione del cristallo sia fissata dalle sue caratteristiche meccaniche, il funzionamento elettrico può essere descritto, come mostrato in Figura 18.40, da un circuito risonante ad altissimo fattore di merito ($Q > 10\,000$).

Il circuito costituito da L , C_S e R rappresenta un circuito risonante serie che descrive il cristallo stesso, mentre la capacità C_P posta in parallelo è dovuta essenzialmente al contenitore dell'elemento in quarzo. L'impedenza equivalente di questa rete presenta una frequenza di risonanza "serie" ω_S , corrispondente alla risonanza di C_S con L , e una frequenza di risonanza "parallelo" ω_P , determinata dalla risonanza di L con la capacità corrispondente alla serie di C_S e C_P .

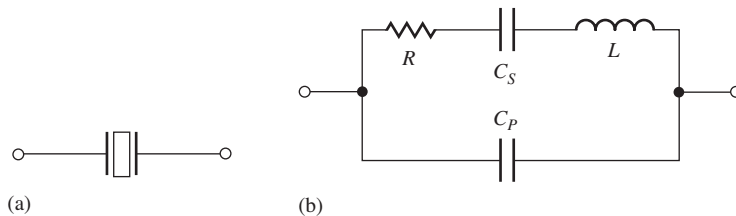
L'andamento dell'impedenza del cristallo in funzione della frequenza può essere determinato facilmente in base al modello di Figura 18.40:

$$Z_C = \frac{Z_P Z_S}{Z_P + Z_S} = \frac{\frac{1}{sC_P} \left(sL + R + \frac{1}{sC_S} \right)}{\frac{1}{sC_P} + \left(sL + R + \frac{1}{sC_S} \right)} = \frac{1}{sC_P} \left(\frac{s^2 + s\frac{R}{L} + \frac{1}{LC_S}}{s^2 + s\frac{R}{L} + \frac{1}{LC_T}} \right) \quad (18.55)$$

$$\text{dove } C_T = \frac{C_S C_P}{C_S + C_P}$$

La figura dell'Esempio 18.9 riporta la tipica variazione dell'impedenza del cristallo con la frequenza. Per frequenze minori di ω_S e maggiori di ω_P il cristallo presenta una reattanza capacitiva; per frequenze comprese tra ω_S e ω_P la reattanza è invece induttiva. Come si vede dalla figura, la regione tra ω_S e ω_P è piuttosto piccola. Se in un oscillatore Colpitts si utilizza il cristallo al posto dell'induttore, si otterrà una ben definita frequenza di oscillazione. Nella maggior parte degli oscillatori a cristallo, il cristallo stesso lavora fra i due punti di risonanza e si comporta come un'induttanza che sostituisce l'induttore del circuito.

Figura 18.40
Simbolo e circuito elettrico
equivalente di un cristallo di
quarzo.



Esempio 18.9

CIRCUITO EQUIVALENTE DEL CRISTALLO DI QUARZO

I valori di L e C_S , che rappresentano il cristallo, assumono ampiezze insolite a causa del valore estremamente alto del fattore di merito Q del cristallo stesso.

PROBLEMA Si calcoli il valore degli elementi del circuito equivalente di un cristallo con $f_S = 5$ MHz, $Q = 20\,000$, $R = 50\ \Omega$ e $C_P = 5$ pF. Quanto vale la frequenza di risonanza parallelo?

SOLUZIONE **Informazioni e dati noti:** I parametri del cristallo sono: $f_S = 5$ MHz, $Q = 20\,000$, $R = 50\ \Omega$ e $C_P = 5$ pF.

Incognite: L e C_S .

Approccio: Si utilizzi le definizioni di Q e della frequenza di risonanza serie per trovare le incognite.

Ipotesi: Il circuito equivalente riportato in Figura 18.40 è un adeguato modello del cristallo.

Analisi: Usando le espressioni di Q , R e f_S , per un circuito risonante serie si ottiene:

$$L = \frac{RQ}{\omega_S} = \frac{50 \, \Omega (20\,000)}{2\pi(5 \, \text{MHz})} = 31.8 \, \text{mH}$$

$$C_S = \frac{1}{\omega_S^2 L} = \frac{1}{(2\pi \times 5 \, \text{MHz})^2 \times 31.8 \, \text{mH}} = 31.8 \, \text{fF}$$

Valori tipici di C_P sono compresi nell'intervallo da 5 pF a 20 pF. Per $C_P = 5$ pF, la frequenza di risonanza parallelo sarà:

$$f_P = \frac{1}{2\pi \sqrt{L \frac{C_S C_P}{C_S + C_P}}} = \frac{1}{2\pi \sqrt{(31.8 \, \text{mH})(31.6 \, \text{fF})}} = 5.02 \, \text{MHz}$$

mentre

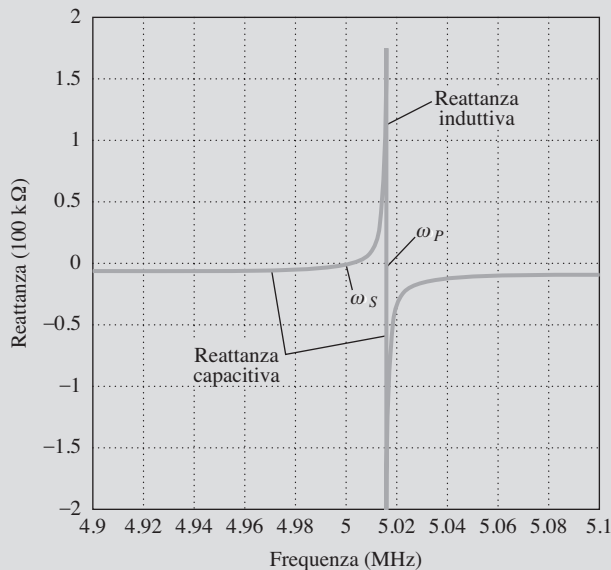
$$f_S = 5.00 \, \text{MHz}$$

Verifica dei risultati: Utilizziamo i nostri valori di L e C_S per trovare f_S :

$$f_S = \frac{1}{2\pi \sqrt{31.8 \, \text{mH} (31.8 \, \text{fF})}} = 5.00 \, \text{MHz}$$

Discussione: Le due frequenze di risonanza differiscono solo dello 0.4%. Si noti che l'elevato valore di Q del cristallo corrisponde a un valore di L relativamente grande e a un piccolo valore di C_S .

Analisi assistita da calcolatore: Il grafico seguente presenta i risultati di un'analisi al calcolatore della reattanza del cristallo in funzione della frequenza utilizzando i parametri dell'Esempio 18.9. Al di sotto della frequenza di risonanza serie e al di sopra della frequenza di risonanza parallelo, il cristallo presenta reattanza capacitiva. Tra f_S e f_P il cristallo appare induttivo. In molti oscillatori a cristallo, il cristallo si comporta come un induttore e risona con una capacità esterna. La frequenza di oscillazione si trova quindi tra f_S e f_P .



Reattanza in funzione della frequenza per il cristallo dell'esempio.

ESERCIZIO Si calcoli la frequenza di risonanza parallelo del cristallo se in parallelo a esso viene inserito un condensatore da 2 pF. Si ripeta il calcolo nel caso di un condensatore da 20 pF.

RISPOSTE 5.016 MHz; 5.008 MHz

Nelle Figure 18.41-18.44 sono riportati diversi esempi di oscillatori a cristallo. Sono possibili molte varianti, ma la maggior parte di questi oscillatori sono trasformazioni topologiche degli oscillatori Colpitts o Hartley. L'oscillatore Colpitts in cui l'induttore è sostituito dal quarzo viene comunemente chiamato oscillatore Pierce. Per esempio, il circuito di Figura 18.41(a) rappresenta un oscillatore Colpitts con il terminale di source posto al potenziale di riferimento. Lo stesso circuito è disegnato in modo diverso nella Figura 18.41(b). Le Figure 18.42 e 18.43 mostrano oscillatori Colpitts realizzati mediante transistori bipolari e JFET.

L'ultimo oscillatore a cristallo, mostrato in Figura 18.44, rappresenta un circuito che viene spesso implementato utilizzando un invertitore logico CMOS. Il circuito realizza un oscillatore di Colpitts simile a quello di Figura 18.41(b). L'invertitore viene inizialmente polarizzato al centro della sua regione di lavoro dal resistore di retroazione R_F , in modo da assicurare che il punto di lavoro si trovi in una regione ad alto guadagno.

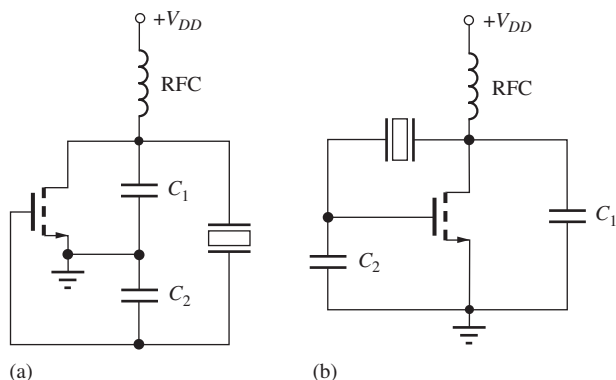


Figura 18.41 Due versioni dello stesso oscillatore Colpitts a cristallo.

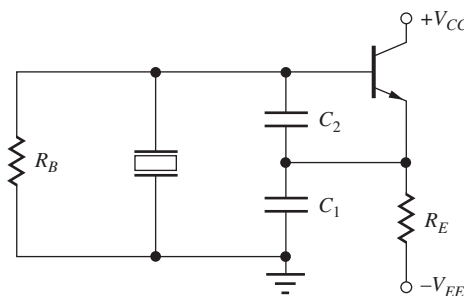


Figura 18.42 Oscillatore Colpitts realizzato con un transistor bipolare.

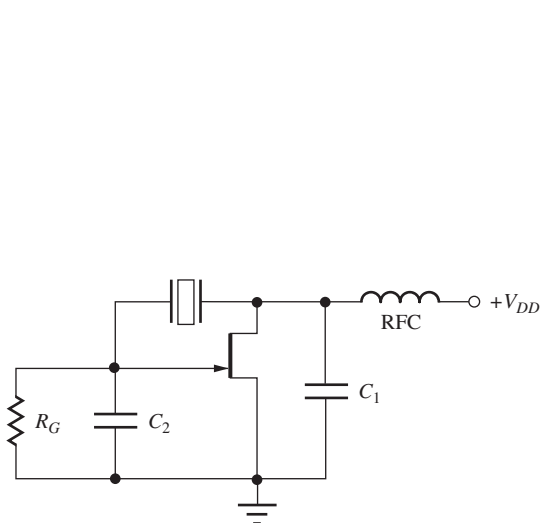


Figura 18.43 Oscillatore a cristallo realizzato con un JFET

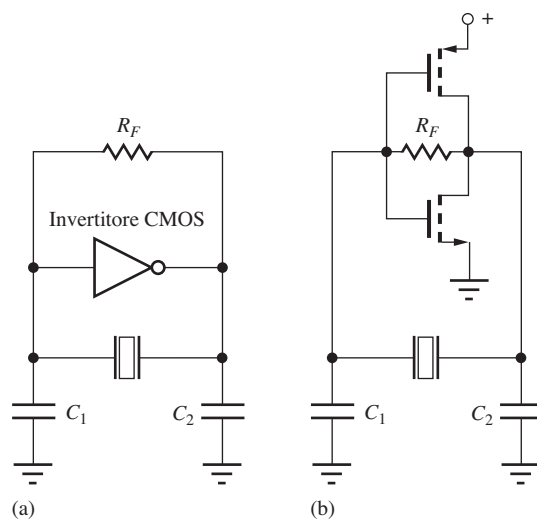


Figura 18.44 Oscillatore a cristallo realizzato con un invertitore CMOS come elemento di guadagno.

Riferimenti bibliografici

- [1] R.D. Middlebrook, "Measurement of loop gain in feedback systems", *International Journal of Electronics*, vol. 38, no. 4, pp. 485-512, aprile 1975. Middlebrook cita che la tecnica fu descritta in origine in una nota tecnica della Hewlett-Packard nel 1965.
- [2] R.C. Jaeger, S.W. Director e A.J. Brodersen, "Computer-aided characterization of differential amplifiers," *IEEE JSSC*, vol. SC-12, pp. 83-86, febbraio 1977.
- [3] R.B. Blackman, "Effect of feedback on impedance," *Bell System Technical Journal*, vol. 22, no. 3, 1943.
- [4] P.J. Hurst, "A comparison of two approaches to feedback circuit analysis", *IEEE Trans. on Education*, vol. 35, pp. 253-261, agosto 1992.
- [5] F. Corsi, C. Marzocca e G. Matarrese, "On impedance evaluation in feedback circuits", *IEEE Trans. on Education*, vol. 45, no. 4, pp. 371-379, novembre 2002.

Valori di componenti discreti standard

A

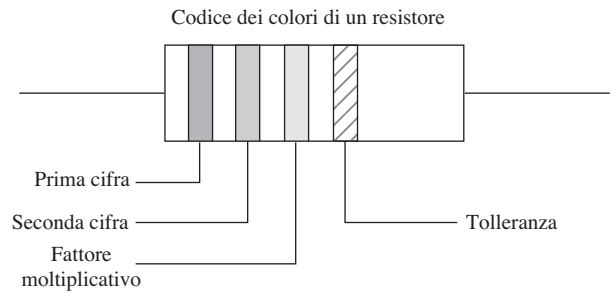
A.1 Resistori

Valori di resistori standard: Tutti i valori sono disponibili con una tolleranza del 5%. I valori in grassetto sono disponibili con una tolleranza del 10%.

Ohm							
1.0	5.6	33	180	1000	5600	33000	180000
1.1	6.2	36	200	1100	6200	36000	200000
1.2	6.8	39	220	1200	6800	39000	220000
1.3	7.5	43	240	1300	7500	43000	240000
1.5	8.2	47	270	1500	8200	47000	270000
1.6	9.1	51	300	1600	9100	51000	300000
1.8	10.0	56	330	1800	10000	56000	330000
2.0	11.0	62	360	2000	11000	62000	360000
2.2	12.0	68	390	2200	12000	68000	390000
2.4	13.0	75	430	2400	13000	75000	430000
2.7	15.0	82	470	2700	15000	82000	470000
3.0	16.0	91	510	3000	16000	91000	510000
3.3	18.0	100	560	3300	18000	100000	560000
3.6	20.0	110	620	3600	20000	110000	620000
3.9	22.0	120	680	3900	22000	120000	680000
4.3	24.0	130	750	4300	24000	130000	750000
4.7	27.0	150	820	4700	27000	150000	820000
5.1	30.0	160	910	5100	30000	160000	910000

Megaohm						
1.0	1.6	2.7	4.3	6.8	11.0	18.0
1.1	1.8	3.0	4.7	7.5	12.0	20.0
1.2	2.0	3.3	5.1	8.2	13.0	22.0
1.3	2.2	3.6	5.6	9.1	15.0	
1.5	2.4	3.9	6.2	10.0	16.0	

RESISTORI DI PRECISIONE (1%)																	
10.0	19.1	36.5	69.8	133	255	487	931	1.78K	3.40K	6.49K	12.4K	23.7K	45.3K	84.5K	158K	294K	549K
10.2	19.6	37.4	71.5	137	261	499	953	1.82K	3.48K	6.65K	12.7K	24.3K	46.4K	86.6K	162K	301K	562K
10.5	20.0	38.3	73.2	140	267	511	976	1.87K	3.57K	6.81K	13.0K	24.9K	47.5K	88.7K	165K	309K	576K
10.7	20.5	39.2	75.0	143	274	523	1.00K	1.91K	3.65K	6.98K	13.3K	25.5K	48.7K	90.9K	169K	316K	590K
11.0	21.0	40.2	76.8	147	280	536	1.02K	1.96K	3.74K	7.15K	13.7K	26.1K	49.9K	93.1K	174K	324K	604K
11.3	21.5	41.2	78.7	150	287	549	1.05K	2.00K	3.83K	7.32K	14.0K	26.7K	51.1K	95.3K	178K	332K	619K
11.5	22.1	42.2	80.6	154	294	562	1.07K	2.05K	3.92K	7.50K	14.3K	27.4K	52.3K	97.6K	182K	340K	634K
11.8	22.6	43.2	82.5	158	301	576	1.10K	2.10K	4.02K	7.68K	14.7K	28.0K	53.6K	100K	187K	348K	649K
12.1	23.2	44.2	84.5	162	309	590	1.13K	2.15K	4.12K	7.87K	15.0K	28.7K	54.9K	102K	191K	357K	665K
12.4	23.7	45.3	86.6	165	316	604	1.15K	2.21K	4.22K	8.06K	15.4K	29.4K	56.2K	105K	196K	365K	681K
12.7	24.3	46.4	88.7	169	324	619	1.18K	2.26K	4.32K	8.25K	15.8K	30.1K	57.6K	107K	200K	374K	698K
13.0	24.9	47.5	90.9	174	332	634	1.21K	2.32K	4.42K	8.45K	16.2K	30.9K	59.0K	110K	205K	383K	715K
13.3	25.5	48.7	93.1	178	340	649	1.24K	2.37K	4.53K	8.66K	16.5K	31.6K	60.4K	113K	210K	392K	732K
13.7	26.1	49.9	95.3	182	348	665	1.27K	2.43K	4.64K	8.87K	16.9K	32.4K	61.9K	115K	215K	402K	750K
14.0	26.7	51.1	97.6	187	357	681	1.30K	2.49K	4.75K	9.09K	17.4K	33.2K	63.4K	118K	221K	412K	768K
14.3	27.4	52.3	100	191	365	698	1.33K	2.55K	4.87K	9.31K	17.8K	34.0K	64.9K	121K	226K	422K	787K
14.7	28.0	53.6	102	196	374	715	1.37K	2.61K	4.99K	9.53K	18.2K	34.8K	66.5K	124K	232K	432K	806K
15.0	28.8	54.9	105	200	383	732	1.40K	2.67K	5.11K	9.76K	18.7K	35.7K	68.1K	127K	237K	442K	825K
15.4	29.4	56.2	107	205	392	750	1.43K	2.74K	5.23K	10.0K	19.1K	36.5K	69.8K	130K	243K	453K	845K
15.8	30.1	57.6	110	210	402	768	1.47K	2.80K	5.36K	10.2K	19.6K	37.4K	71.5K	133K	249K	464K	866K
16.2	30.9	59.0	113	215	412	787	1.50K	2.87K	5.49K	10.5K	20.0K	38.3K	73.2K	137K	255K	475K	887K
16.5	31.6	60.4	115	221	422	806	1.54K	2.94K	5.62K	10.7K	20.5K	39.2K	75.0K	140K	261K	487K	909K
16.9	32.4	61.9	118	226	432	825	1.58K	3.01K	5.76K	11.0K	21.0K	40.2K	76.8K	143K	267K	499K	931K
17.4	33.2	63.4	121	232	443	845	1.62K	3.09K	5.90K	11.3K	21.5K	41.2K	78.7K	147K	274K	511K	953K
17.8	34.0	64.9	124	237	453	866	1.65K	3.16K	6.04K	11.5K	22.1K	42.2K	80.6K	150K	280K	523K	976K
18.2	34.8	66.5	127	243	464	887	1.69K	3.24K	6.19K	11.8K	22.6K	43.2K	82.5K	154K	287K	536K	1.00M
18.7	35.7	68.1	130	249	475	909	1.74K	3.32K	6.34K	12.1K	23.2K	44.2K					



CODICE DEI COLORI DEI RESISTORI			
Colore	Cifra	Moltiplicatore	Tolleranza %
Argento	...	0.01	10
Oro	...	0.1	5
Nero	0	1	
Marrone	1	10	
Rosso	2	10 ²	
Arancione	3	10 ³	
Giallo	4	10 ⁴	
Verde	5	10 ⁵	
Blu	6	10 ⁶	
Viola	7	10 ⁷	
Grigio	8	10 ⁸	
Bianco	9	10 ⁹	

A.2 Condensatori

VALORI STANDARD DI CONDENSATORI (esistono anche valori maggiori di quelli elencati)										
pF	pF	pF	pF	μF	μF	μF	μF	μF	μF	μF
1	10	100	1000	0.01	0.1	1	10	100	1000	10000
	12	120	1200	0.012	0.12	1.2	12	120	1200	12000
1.5	15	150	1500	0.015	0.15	1.5	15	150	1500	15000
	18	180	1800	0.018	0.18	1.8	18	180	1800	
	20	200	2000	0.020	0.20				2000	20000
2.2	22	220	2200	0.022	0.22	2.2	22	220	2200	22000
	27	270	2700	0.027	0.27	2.7	27	270	2700	
3.3	33	330	3300	0.033	0.33	3.3	33	330	3300	33000
	39	390	3900	0.039	0.39	3.9	39	390	3900	
4.7	47	470	4700	0.047	0.47	4.7	47	470	4700	47000
5.0	50	500	5000	0.050	0.50					50000
5.6	56	560	5600	0.056	0.56	5.6	56	560	5600	
6.8	68	680	6800	0.068	0.68	6.8	68	680	6800	68000
8.2	82	820	8200	0.082	0.82	8.2	82	820	8200	

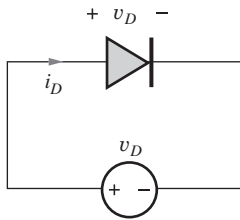
A.3 Induttori

VALORI STANDARD DI INDUTTORI						
μH	μH	μH	μH	mH	mH	mH
0.10	1.0	10	100	1.0	10	100
	1.1	11	110			
	1.2	12	120	1.2	12	120
0.15	1.5	15	150	1.5	15	
0.18	1.8	18	180	1.8	18	
	2.0	20	200			
0.22	2.2	22	220	2.2	22	
	2.4	24	240			
0.27	2.7	27	270	2.7	27	
0.33	3.3	33	330	3.3	33	
0.39	3.9	39	390	3.9	39	
	4.3	43	430			
0.47	4.7	47	470	4.7	47	
0.56	5.6	56	560	5.6	56	
	6.2	62	620			
0.68	6.8	68	680	6.8	68	
	7.5	75	750			
0.82	8.2	82	820	8.2	82	
	9.1	91	910			

Modelli dei dispositivi a stato solido e parametri per le simulazioni SPICE

B

B.1 Diodi a giunzione *pn*



$$i_D = I_S \left[\exp \left(\frac{v_D}{nV_T} \right) - 1 \right]$$

$$C_j = \frac{C_{j0}}{\left(1 - \frac{v_D}{V_j} \right)^m} \quad C_D = \frac{I_D \tau_T}{V_T}$$

Figura B.1
Diodo con una tensione v_D applicata.

Tabella B.1 Parametri del diodo per simulazioni circuitali				
Parametro	Simbolo	Unità	Valori di default ¹	Valore tipico
Corrente di saturazione	IS	A	10F	0.03F
Fattore di idealità (n)	N		1	1
Tempo di transito (τ_T)	TT	s	0	150P
Resistenza di serie	RS	Ω	0	10
Capacità di giunzione (C_{j0})	CJO	F	0	1.0P
Potenziale di giunzione (V_j)	VJ	V	1	0.8
Coefficiente di gradiente (m)	M		0.5	0.5

B.2 Transistori MOS a effetto di campo (MOSFET)

Vengono richiamati di seguito i principali modelli matematici per i transistori sia NMOS sia PMOS. Le tensioni e correnti ai terminali sono definite in Figura B.2.

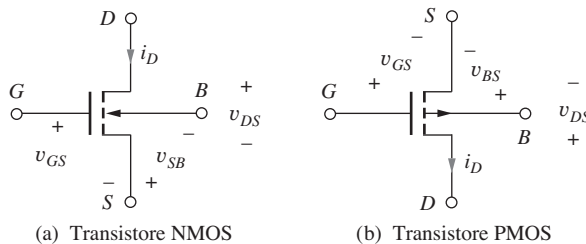


Figura B.2
Simboli per i transistori NMOS e PMOS.

Riepilogo per i modelli del transistore NMOS

$$K_n = K'_n \frac{W}{L} = \mu_n C'_{ox} \frac{W}{L}$$

$$i_G = 0 \text{ e } i_B = 0 \quad \text{per tutte le regioni}$$

¹ I valori sono indicati nel formato (compatibile con tutte le versioni SPICE) "numero+moltiplicatore letterale", senza né spazi né unità. I moltiplicatori letterali supportati sono elencati in Tabella B.6.

Regione di interdizione

$$i_D = 0 \quad \text{per } v_{GS} \leq V_{TN}$$

Regione lineare

$$i_D = K_n \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{per } v_{GS} - V_{TN} \geq v_{DS} \geq 0$$

Regione di saturazione

$$i_D = \frac{K_n}{2} (v_{GS} - V_{TN})^2 (1 + \lambda v_{DS}) \quad \text{per } v_{DS} \geq (v_{GS} - V_{TN}) \geq 0$$

Tensione di soglia

$$V_{TN} = V_{TO} + \gamma (\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F})$$

Modello unificato

$$i_D = K_n \left(v_{GS} - V_{TN} - \frac{V_{\text{MIN}}}{2} \right) V_{\text{MIN}} (1 + \lambda v_{DS}) \quad \text{per } V_{GS} > V_{TN}$$

$$V_{\text{MIN}} = \min\{(V_{GS} - V_{TN}), V_{DS}, V_{\text{SAT}}\}$$

Riepilogo per i modelli del transistor PMOS

$$K_p = K'_p \frac{W}{L} = \mu_p C_{\text{ox}} \frac{W}{L}$$

$$i_G = 0 \quad \text{e} \quad i_B = 0 \quad \text{per tutte le regioni}$$

Regione di interdizione

$$i_D = 0 \quad \text{per } v_{GS} \geq V_{TP}$$

Regione lineare

$$i_D = K_p \left(v_{GS} - V_{TP} - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{per } v_{GS} - V_{TP} \leq v_{DS} \leq 0$$

Regione di saturazione

$$i_D = \frac{K_p}{2} (v_{GS} - V_{TP})^2 (1 + \lambda |v_{DS}|) \quad \text{per } v_{DS} \leq (v_{GS} - V_{TP}) \leq 0$$

Tensione di soglia

$$V_{TP} = V_{TO} - \gamma (\sqrt{v_{BS} + 2\phi_F} - \sqrt{2\phi_F})$$

Modello unificato

$$i_D = K_p \left(v_{GS} - V_{TN} - \frac{V_{\text{MIN}}}{2} \right) V_{\text{MIN}} (1 + \lambda v_{DS}) \quad \text{per } V_{GS} < V_{TP}$$

$$V_{\text{MIN}} = \min\{(V_{GS} - V_{TN}), V_{DS}, V_{\text{SAT}}\}$$

Tabella B.2 Tipi di transistori MOSFET

	Dispositivo NMOS	Dispositivo PMOS
Ad arricchimento	$V_{TN} > 0$	$V_{TP} < 0$
A svuotamento	$V_{TN} \leq 0$	$V_{TP} \geq 0$

Parametri del transistor MOS per la simulazione circuitale

Per le simulazioni, utilizzare i modelli $LEVEL = 1$ contenuti in SPICE, con i seguenti parametri SPICE per i dispositivi NMOS e PMOS.

Tabella B.3 Parametri dei dispositivi MOS per le simulazioni SPICE
(Processo MOSIS 2 μm a tasca p)

Parametro	Simbolo	Unità ²	Transistore NMOS	Transistore PMOS
Tensione di soglia	VTO	V	0.91	-0.77
Parametro di transconduttanza	KP	A/V^2	50U	20U
Effetto substrato	GAMMA	$\sqrt{\text{V}}$	0.06875	0.53
Potenziale superficiale	PHI	V	0.7	0.7
Modulazione della lunghezza di canale	LAMBDA	V^{-1}	0.02	0.05
Mobilità	UO	$\text{m}^2/(\text{V} \cdot \text{s})$	6.15E+06	2.34E+07
Larghezza del canale	L	m	0.5U	0.5U
Lunghezza del canale	W	m	0.5U	0.5U
Resistenza ohmica di drain	RD	Ω	0	0
Resistenza ohmica di source	RS	Ω	0	0
Corrente di saturazione di giunzione	IS	A	0	0
Potenziale di barriera	PB	V	0	0
Capacità gate-drain per unità di larghezza di canale	CGDO	F/m	330P	315P
Capacità gate-source per unità di lunghezza di canale	CGSO	F/m	330P	315P
Capacità gate-substrato per unità di lunghezza di canale	CGBO	F/m	395P	415P
Capacità della giunzione per unità di area	CJ	F/m^2	390U	200U
Coefficiente di gradiente	MJ		0.45	0.47
Capacità laterale di giunzione	CJSW	F/m	510P	180P
Coefficiente di gradiente laterale	MJSW		0.36	0.09
Resistenza di strato source-drain	RSH	$\Omega/\square$	22	70
Spessore dell'ossido	TOX	m	41.5N	41.5N
Profondità di giunzione	XJ	m	0.23U	0.23U
Diffusione laterale	LD	m	0.26U	0.25U
Drogaggio del substrato	NSUB	m^{-3}	2.10E+22	5.90E21
Campo critico	UCRIT	V/m	9.60E+05	6.00E+05
Esponente del campo critico	UEXP		0.18	0.28
Velocità di saturazione	VMAX	m/s	7.60E+05	6.50E+05
Densità degli stati veloci di superficie	NFS	m^{-2}	9.00E+15	3.00E+15
Densità degli stati di superficie	NSS	m^{-2}	1.00E+14	1.00E+14

B.3 Transistori bipolari a giunzione (BJT)

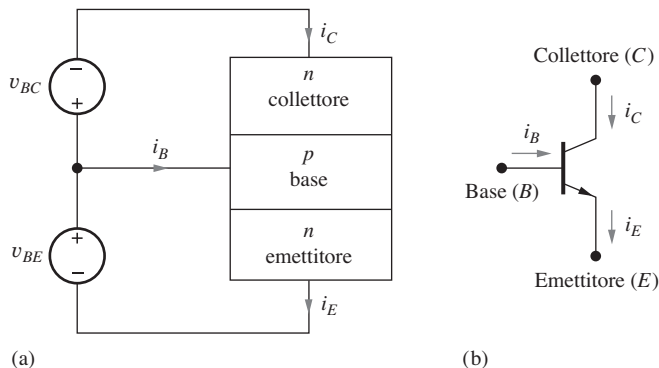


Figura B.3
Transistore *n*p*n*.

² SPICE usa strettamente il SI, quindi l'unità di lunghezza è il metro, a differenza di quanto si fa di solito nella fisica dello stato solido dove, per retaggio del sistema CGS, viene usato il centimetro.

Equazioni del modello di trasporto del transistor *nnp*

$$i_E = I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) - \exp \left(\frac{v_{BC}}{V_T} \right) \right] + \frac{I_S}{\beta_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right]$$

$$i_C = I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) - \exp \left(\frac{v_{BC}}{V_T} \right) \right] - \frac{I_S}{\beta_R} \left[\exp \left(\frac{v_{BC}}{V_T} \right) - 1 \right]$$

$$i_B = \frac{I_S}{\beta_F} \left[\exp \left(\frac{v_{BE}}{V_T} \right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp \left(\frac{v_{BC}}{V_T} \right) - 1 \right]$$

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad \text{e} \quad \beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

Tabella B.4 Modi di funzionamento del transistor bipolare

Giunzione base-emettitore	Giunzione base-collettore	
	Polarizzazione diretta	Polarizzazione inversa
Polarizzazione diretta	saturazione (interruttore chiuso)	regione attiva diretta (buona amplificazione)
Polarizzazione inversa	regione attiva inversa (scarsa amplificazione)	interdizione (interruttore aperto)

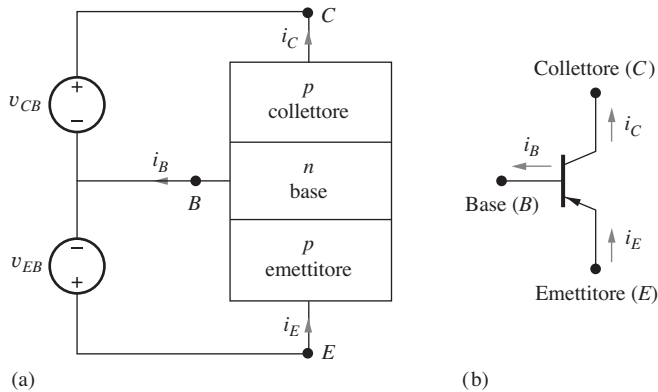
Regione attiva diretta con effetto Early per transistor *nnp*

$$i_C = I_S \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right] \left[1 + \frac{v_{CE}}{V_A} \right]$$

$$\beta_F = \beta_{FO} \left[1 + \frac{v_{CE}}{V_A} \right]$$

$$i_B = \frac{I_S}{\beta_{FO}} \left[\exp \left(\frac{v_{BE}}{V_T} \right) \right]$$

Figura B.4
Transistore *pnp*.



Equazioni del modello di trasporto per transistore *pnp*

$$i_E = I_S \left[\exp\left(\frac{v_{EB}}{V_T}\right) - \exp\left(\frac{v_{CB}}{V_T}\right) \right] + \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right]$$

$$i_C = I_S \left[\exp\left(\frac{v_{EB}}{V_T}\right) - \exp\left(\frac{v_{CB}}{V_T}\right) \right] - \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right]$$

$$i_B = \frac{I_S}{\beta_F} \left[\exp\left(\frac{v_{EB}}{V_T}\right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp\left(\frac{v_{CB}}{V_T}\right) - 1 \right]$$

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad \text{e} \quad \beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

Regione attiva diretta con effetto Early per transistore *pnp*

$$i_C = I_S \left[\exp\left(\frac{v_{EB}}{V_T}\right) \right] \left[1 + \frac{v_{EC}}{V_A} \right]$$

$$\beta_F = \beta_{FO} \left[1 + \frac{v_{EC}}{V_A} \right]$$

$$i_B = \frac{I_S}{\beta_{FO}} \left[\exp\left(\frac{v_{EB}}{V_T}\right) \right]$$

Tabella B.5 Parametri dei dispositivi bipolari per la simulazione circuitale (*nnp/pnp*)

Parametro	Simbolo	Unità	Valore di default	Valore tipico per <i>nnp</i>
Corrente di saturazione	IS	A	0.1F	0.03F
Guadagno di corrente diretto	BF		100	100
Coefficiente di emissione diretto	NF		1	1.03
Tensione Early diretta	VA	V	$\rightarrow \infty$	75
Guadagno di corrente inverso	BR		1	0.5
Resistenza di base	RB	Ω	0	100
Resistenza di collettore	RC	Ω	0	10
Resistenza di emettitore	RE	Ω	0	1
Tempo di transito diretto	TF	s	0	0.15N
Tempo di transito inverso	TR	s	0	15N
Capacità di giunzione base-emettitore	CJE	F	0	0.5P
Potenziale di giunzione base-emettitore	PHIE	V	0.75	0.8
Coefficiente di gradiente base-emettitore	ME		0.5	0.5
Capacità di giunzione base-collettore	CJC	F	0	1P
Potenziale di giunzione base-collettore	PHIC	V	0.75	0.7
Coefficiente di gradiente base-collettore	MC		0.33	0.33
Capacità di giunzione collettore-substrato	CJS	F	0	3P

B.4 Moltiplicatori letterali SPICE

Tabella B.6 Moltiplicatori letterali SPICE e corrispondenti fattori di scala

Moltiplicatore letterale SPICE	Fattore di scala
T	tera (10^{12})
G	giga (10^9)
MEG	mega (10^6)
K	kilo (10^3)
M	milli (10^{-3})
U	micro (10^{-6})
N	nano (10^{-9})
P	pico (10^{-12})
F	femto (10^{-15})

Modelli a doppio bipolo

Il funzionamento di un amplificatore in un sistema elettronico complesso può essere efficacemente descritto schematizzando l'amplificatore come un **doppio bipolo**, o **rete a due porte**, come discusso nel Paragrafo 10.3. È bene tenere a mente che la rappresentazione a doppio bipolo di un circuito complesso è valida solo in condizioni di funzionamento a piccolo segnale. Dalla teoria delle reti sappiamo che un doppio bipolo può essere descritto utilizzando diverse rappresentazioni basate sui parametri g , h , y , z , s e $abcd$. Si osservi che, nella rappresentazione dell'amplificatore come doppio bipolo, i segnali di ingresso (v_1 , i_1) e di uscita (v_2 , i_2) rappresentano le componenti variabili, ovvero le variazioni, delle tensioni e correnti all'ingresso e all'uscita dell'amplificatore. Il modello a parametri g è stato descritto nel Paragrafo 10.3; in questa appendice presentiamo i modelli a parametri ibridi (h), di ammettenza (y) e di impedenza (z).

C.1 I parametri h o ibridi

Anche la descrizione con **parametri h** è molto usata in elettronica ed è particolarmente utile per gli amplificatori di corrente:

$$\begin{aligned} v_1 &= h_{11}i_1 + h_{12}v_2 \\ i_2 &= h_{21}i_1 + h_{22}v_2 \end{aligned} \quad (\text{C.1})$$

La Figura C.1 mostra la corrispondente rappresentazione circuitale.

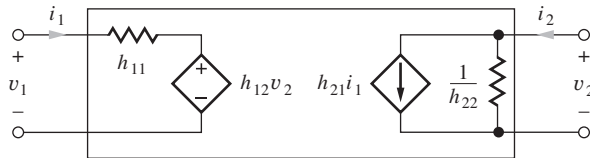


Figura C.1 Rappresentazione di un doppio bipolo con parametri h .

Come per i parametri g , anche i parametri h sono determinati per mezzo di connessioni a circuito aperto e in cortocircuito, come indicato dalle seguenti relazioni:

$$\begin{aligned} h_{11} &= \left. \frac{v_1}{i_1} \right|_{v_2=0} = \text{resistenza di ingresso in cortocircuito} \\ h_{12} &= \left. \frac{v_1}{v_2} \right|_{i_1=0} = \text{guadagno di tensione inverso a circuito aperto} \\ h_{21} &= \left. \frac{i_2}{i_1} \right|_{v_2=0} = \text{guadagno di corrente diretto in cortocircuito} \\ h_{22} &= \left. \frac{i_2}{v_2} \right|_{i_1=0} = \text{conduttanza di uscita a circuito aperto} \end{aligned} \quad (\text{C.2})$$

C.2 I parametri y o di ammettenza

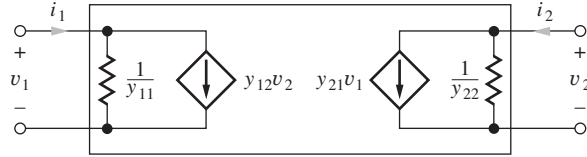
La descrizione con **parametri y** o di ammettenza è utile per descrivere amplificatori di transconduttanza.

$$\begin{aligned} i_1 &= y_{11}v_1 + y_{12}v_2 \\ i_2 &= y_{21}v_1 + y_{22}v_2 \end{aligned} \quad (\text{C.3})$$

La Figura C.2 mostra la corrispondente rappresentazione circuitale.

Figura C.2

Rappresentazione di un doppio bipolo con parametri y .



I parametri y sono anche chiamati parametri di cortocircuito, poiché sono determinati esclusivamente per mezzo di connessioni in cortocircuito:

$$\begin{aligned} y_{11} &= \left. \frac{i_1}{v_1} \right|_{v_2=0} = \text{conduttanza di ingresso in cortocircuito} \\ y_{12} &= \left. \frac{i_1}{v_2} \right|_{v_1=0} = \text{transconduttanza inversa in cortocircuito} \\ y_{21} &= \left. \frac{i_2}{v_1} \right|_{v_2=0} = \text{transconduttanza diretta in cortocircuito} \\ y_{22} &= \left. \frac{i_2}{v_2} \right|_{v_1=0} = \text{conduttanza di uscita in cortocircuito} \end{aligned} \quad (\text{C.4})$$

C.3 I parametri z o di impedenza

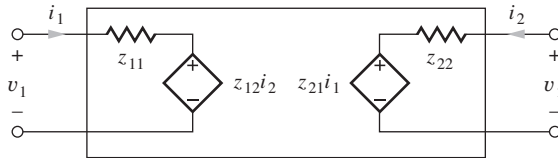
La descrizione con **parametri z** o di impedenza può essere usata per descrivere amplificatori di tensione.

$$\begin{aligned} v_1 &= z_{11}i_1 + z_{12}i_2 \\ v_2 &= z_{21}i_1 + z_{22}i_2 \end{aligned} \quad (\text{C.5})$$

La Figura C.3 mostra la corrispondente rappresentazione circuitale.

Figura C.3

Rappresentazione di un doppio bipolo con parametri z .



I parametri z sono determinati esclusivamente per mezzo di connessioni a circuito aperto e sono spesso chiamati parametri di circuito aperto:

$$\begin{aligned} z_{11} &= \left. \frac{v_1}{i_1} \right|_{i_2=0} = \text{resistenza di ingresso a circuito aperto} \\ z_{12} &= \left. \frac{v_1}{i_2} \right|_{i_1=0} = \text{transresistenza inversa a circuito aperto} \\ z_{21} &= \left. \frac{v_2}{i_1} \right|_{i_2=0} = \text{transresistenza diretta a circuito aperto} \\ z_{22} &= \left. \frac{v_2}{i_2} \right|_{i_1=0} = \text{resistenza di uscita a circuito aperto} \end{aligned} \quad (\text{C.6})$$

Costanti fisiche e fattori di conversione

D

Costanti fondamentali e proprietà fisiche del silicio

simbolo	grandezza	valore
N_{AV}	costante di Avogadro	$6.022 \times 10^{23} \text{ mol}^{-1}$
c	velocità della luce nel vuoto	$2.998 \times 10^8 \text{ m/s}$
ε_o	permittività dell'aria	$8.854 \times 10^{-12} \text{ F/m}$
ε_S	permittività relativa del silicio	11.7
ε_{ox}	permittività relativa del biossido di silicio	3.9
E_G	banda proibita del silicio	1.12 eV
h	costante di Planck	$6.625 \times 10^{-34} \text{ J} \cdot \text{s}$
k	costante di Boltzmann	$4.135 \times 10^{-15} \text{ eV} \cdot \text{s}$ $1.381 \times 10^{-23} \text{ J/K}$ $8.617 \times 10^{-5} \text{ eV/K}$
$\frac{kT}{q}$	tensione termica a 300 K	0.0259 V
m_o	massa dell'elettrone a riposo	$0.1095 \times 10^{-31} \text{ kg}$
M_p	massa del protone a riposo	$1.6726 \times 10^{-27} \text{ kg}$
n_i	concentrazione intrinseca dei portatori nel silicio a temperatura ambiente	10^{16} m^{-3}
q	carica dell'elettrone	$1.602 \times 10^{-19} \text{ C}$

Fattori di conversione e prefissi

1 angstrom = 10^{-10} m	T = 10^{12}
	G = 10^9
	M = 10^6
	k = 10^3
	m = 10^{-3}
	μ = 10^{-6}
	n = 10^{-9}
	p = 10^{-12}
1 eV = $1.602 \times 10^{-19} \text{ J}$	f = 10^{-15}
	a = 10^{-18}

Analisi della retroazione con il metodo di Rosenstark

E

L'analisi dei circuiti retroazionati vista nel Paragrafo 18.1 e seguenti presuppone l'uso di blocchi A e β unidirezionali che formano un sistema ad anello singolo, come mostrato in Figura 18.1. Nella realtà, le reti di retroazione sono quasi sempre costituite da componenti passivi e sono pertanto reciproche, permettendo al segnale di fluire lungo il blocco β sia dall'uscita verso l'ingresso, percorso desiderato, sia dall'ingresso verso l'uscita, percorso di *feed-forward*. Nel Paragrafo 18.5.2 si è analizzato l'effetto sull'amplificatore del percorso "in avanti" attraverso la rete di retroazione, mentre nell'Esempio 18.1, per semplificare la soluzione, si è trascurato questo stesso effetto. Il metodo di analisi sviluppato da Rosenstark permette di risolvere il circuito in modo esatto, senza introdurre le complicazioni richieste dal metodo dei doppi bipoli, non trattato in questo testo.

Fondamenti teorici

Il metodo di Rosenstark, detto anche del **guadagno asintotico**, ha la sua spiegazione in una relazione già presente nel lavoro di Bode [1] che mostra che, data una rete lineare, una sua qualunque funzione di rete $F(s) = \frac{N(s)}{D(s)}$, per esempio una funzione di trasferimento o una impedenza, scritta sotto forma di rapporto di due polinomi nella variabile s , è funzione bilineare di ciascuno dei suoi parametri, quale il valore dei componenti o il guadagno di un elemento attivo. La funzione di rete $F(s)$ in generale¹ può essere scritta nella forma

$$F(s) = \frac{A(s) + wB(s)}{C(s) + wD(s)} \quad (\text{E.1})$$

dove w è il parametro considerato, quale il valore di una resistenza, di una capacità, la transconduttanza di un transistor... e i quattro polinomi A , B , C e D derivano dalla funzione di rete originale. Nell'Equazione (E.1) è stato messo in evidenza il parametro w : affinché w dia retroazione, esso deve essere presente a denominatore e i polinomi C e D devono essere entrambi diversi da zero.

Considerando i casi di w che tende a zero oppure a infinito si ha

$$\lim_{w \rightarrow 0} F(s) = \frac{A(s) + wB(s)}{C(s) + wD(s)} = \frac{A(s)}{C(s)} = F_0(s) \quad (\text{E.2})$$

e

$$\lim_{w \rightarrow \infty} F(s) = \frac{A(s) + wB(s)}{C(s) + wD(s)} = \frac{B(s)}{D(s)} = F_\infty(s) \quad (\text{E.3})$$

Inoltre se si pone $T(s) = w \frac{D(s)}{C(s)}$ la funzione di rete $F(s)$ può essere espressa nella forma

$$F(s) = F_\infty(s) \frac{T(s)}{1 + T(s)} + F_0(s) \frac{1}{1 + T(s)} \quad (\text{E.4})$$

dove nel primo addendo si riconosce, almeno formalmente, l'espressione tipica del guadagno dei circuiti retroazionati (Equazione 11.4). Sottintendendo che tutte le variabili sono funzione della frequenza complessa s , si scrive in forma più semplice

$$F(s) = F_\infty \frac{T}{1 + T} + F_0 \frac{1}{1 + T} = \frac{F_\infty T + F_0}{1 + T} \quad (\text{E.5})$$

¹ Nel caso di trasformatori ideali, trasformatori induttivi e giratori il parametro del componente può comparire al quadrato, ma con opportuni artifici si può ottenere la forma bilineare.

Queste espressioni, che appaiono al momento uno sterile esercizio di algebra, diventano invece importanti poiché, usando come parametro w il guadagno di un elemento attivo, è possibile valutare direttamente sul circuito, in modo semplice, le grandezze F_∞ , F_0 e T senza dover calcolare i polinomi A , B , C e D .

Metodo di Rosenstark

Per ogni circuito elettronico esistono molte possibilità di scelta per il parametro w , che permettono di ottenere diverse funzioni T , F_0 e F_∞ . La scelta di w ha un effetto sulla complessità dei calcoli necessari per ottenere queste funzioni, ma qualunque sia la scelta di w il risultato finale è uguale. Il metodo di Rosenstark [2-3] utilizza come parametro w il guadagno di un elemento attivo, ad esempio β_o , g_m di un transistor oppure A_o di un amplificatore operazionale.

Questo metodo di analisi è esatto poiché non vengono introdotte approssimazioni, è algoritmico, non si richiedono “astuzie” particolari ed è sempre lo stesso per le varie configurazioni di retroazione, non essendo necessario isolare dapprima la rete di retroazione e determinare quali siano le grandezze prelevate e confrontate. Non si deve tagliare l'anello di retroazione e ripristinare gli effetti di carico. Le condizioni per usare l'analisi di Rosenstark in modo proficuo sono di avere almeno un elemento attivo in cui passa tutto il segnale dell'anello, ed è opportuno che questo transistor abbia l'emettitore o il source collegato direttamente al potenziale di riferimento. Qualora quest'ultima condizione non fosse soddisfatta si può sempre usare il transistor equivalente, come spiegato nel Paragrafo 14.2.3. In caso di anello con più percorsi del segnale, oppure quando un transistor non è riferito a ground, il metodo funziona ancora ma alcuni termini non sono più calcolabili a vista.

Per calcolare per esempio l'amplificazione A di un sistema retroazionato, dobbiamo valutare i tre termini contenuti nell'Equazione (E.5) opportunamente riscritta:

$$A = A_\infty \frac{T}{1+T} + A_0 \frac{1}{1+T} \quad (\text{E.6})$$

Il termine A_0 è l'amplificazione del circuito quando si pone a zero la transconduttanza o il guadagno di uno dei transistori o generatori pilotati presenti nell'anello. Il conto di solito è facile perché annullando l'amplificazione di un transistor non si ha più retroazione e A_0 viene valutato a vista. Il termine A_∞ è l'amplificazione del circuito quando il parametro di guadagno dello stesso generatore viene fatto tendere a infinito. Se il sistema è retroazionato l'amplificazione complessiva ha un valore finito, anch'esso calcolabile facilmente a vista poiché il circuito diventa equivalente ad un operazionale ideale.

Infine il termine T è il **rapporto di ritorno**, come definito in [1], calcolato rispetto ancora allo stesso generatore rispetto a cui si sono già calcolati gli altri termini. Benché il rapporto di ritorno sia simile al guadagno di anello, in realtà è una grandezza diversa che coincide con il guadagno di anello solo nel caso di blocchi unilaterali, cosa praticamente mai verificata in realtà [4].

Il rapporto di ritorno può essere calcolato sostituendo il generatore pilotato con un generatore indipendente della stessa specie (tensione o corrente) che inietta nel circuito un segnale X . Si segue lungo l'anello l'effetto del segnale iniettato fino a raggiungere il generatore dipendente originario, che è stato sostituito con quello indipendente. Il generatore dipendente, eccitato da X che si propaga lungo tutto l'anello, genererà un segnale $\hat{X}$. Il rapporto di ritorno calcolato rispetto a quel generatore vale

$$T = -\frac{\hat{X}}{X} \quad (\text{E.7})$$

Anche in questo caso, avendo tolto dall'anello il generatore pilotato, si è nuovamente in presenza di un circuito senza retroazione che viene risolto facilmente a vista.

L'Equazione (E.6) descrive un diagramma a blocchi di un sistema retroazionato mostrato in Figura E.1 in cui si riconosce il solito anello di retroazione, del tutto analogo a quanto mostrato in Figura 18.1, cui è stato aggiunto esplicitamente il percorso di *feed-forward* formato dal blocco A_0 che porta una frazione dell'ingresso in somma sull'uscita, ancora dentro all'anello di retroazione, e modella la bidirezionalità della rete di retroazione. Il blocco di retroazione ha guadagno $1/A_\infty$ dove è messo in evidenza l'amplificazione ideale che si ha

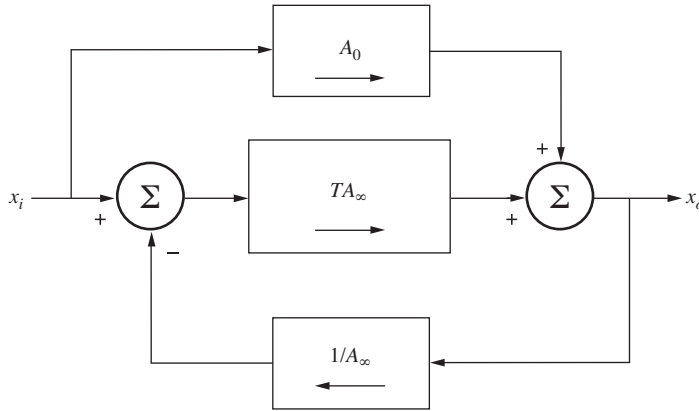


Figura E.1
Diagramma a blocchi descritto
dalla formula di Rosenstark.

quando $T \rightarrow \infty$. Il guadagno diretto vale TA_∞ ; è scritto in questo modo per ottenere il guadagno complessivo lungo l'anello di retroazione pari a $TA_\infty \times 1/A_\infty = T$ che rappresenta il rapporto di ritorno del sistema. Il termine di *feed-forward* A_0 moltiplicato per il segnale di ingresso dà il segnale di uscita quando la retroazione non è attiva e quindi non attenua il disturbo iniettato vicino all'uscita.

Riassumendo, i passi per applicare il metodo di Rosenstark sono i seguenti:

- Si individua un generatore controllato, tipicamente di un transistor, compreso nell'anello di retroazione, possibilmente riferito al potenziale di riferimento. Nel caso non lo fosse, usando il transistor equivalente lo si trasforma in un transistor con emettitore o source a ground. Se sono presenti più transistori nell'anello, si può scegliere liberamente quello più conveniente per i calcoli.
- Si calcola l'amplificazione A_0 del circuito azzerando il guadagno del transistor individuato, ponendo cioè $\beta_o = 0$ oppure $g_m = 0$. Tutti gli altri parametri del transistor, quali r_π oppure r_o rimangono immutati.
- Si calcola l'amplificazione A_∞ , ottenuta assumendo che il guadagno del transistor vada ad infinito. In questo caso la grandezza pilota del transistor (V_{gs} o V_{be} oppure I_b) si annulla e, se il transistor è riferito a ground, questo zero si propaga fino all'ingresso e tutto l'amplificatore si comporta come un operazionale ideale.
- Si calcola il rapporto di ritorno T annullando tutti gli ingressi, sostituendo al generatore pilotato del transistor un generatore indipendente dello stesso tipo che genera un segnale di prova X e calcolando il segnale $\hat{X}$ generato dal generatore pilotato presente inizialmente nel circuito. Il rapporto $T = -\hat{X}/X$ è il rapporto di ritorno del generatore scelto inizialmente.
- Si calcola l'amplificazione ad anello chiuso con l'Equazione (E.6).

Si osservi che A_∞ e A_0 , nonché il guadagno retroazionato A , hanno le stesse dimensioni a seconda del tipo di amplificatore che si sta considerando (tensione, corrente, transresistenza o transconduttanza) mentre T è sempre adimensionato e positivo se la retroazione è negativa. In nessun caso è richiesto di separare e identificare la retroazione o il tipo di prelievo e di confronto.

Riprendiamo l'Esempio 18.1 e calcoliamone l'amplificazione utilizzando il metodo di Rosenstark.

AMPLIFICATORE DI TENSIONE A DUE STADI, SERIE-PARALLELO

Esempio E.1

Il circuito di riferimento per piccolo segnale, di Figura 18.4 è riportato in Figura E.2(a). Il transistor Q_1 non può essere scelto per l'applicazione del metodo poiché il suo emettitore non è al potenziale di riferimento e neanche si può introdurre un transistor equivalente poiché sull'emettitore torna la retroazione (confronto in serie). Invece il transistor Q_2 può essere trasformato con emettitore a ground per mezzo della tecnica illustrata nel Paragrafo 14.2.3.

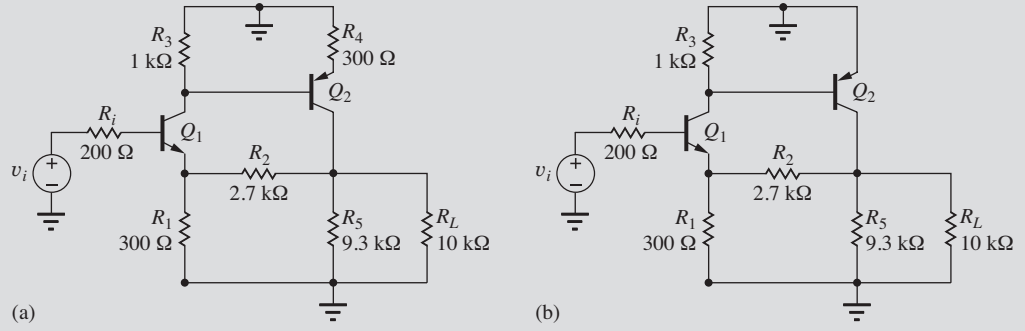


Figura E.2 (a) Circuito equivalente in AC, (b) Eliminazione della resistenza di emettitore di Q_2 .

In Figura E.2(b) il transistor Q_2 ha una resistenza r_π equivalente pari a (Equazione (14.5)):

$$r_{\pi eq} = r_\pi + (1 + \beta_o)R_4 = 2.5 \text{ k}\Omega + 101 \times 300 \Omega = 32.8 \text{ k}\Omega$$

mentre il guadagno di corrente β_o rimane invariato e la transconduttanza diventa $g_{meq} = \beta_o / r_{\pi eq} = 100 / (32.8 \text{ k}\Omega) = 3.05 \text{ mS}$.

Calcolo del guadagno

La procedura di calcolo comprende i tre passi per trovare i termini della Equazione (E.6) del guadagno asintotico.

Calcolo di A_0

Se si annulla il guadagno di Q_2 , il suo collettore non inietta corrente sull'uscita e si ha semplicemente un collettore comune formato da Q_1 . Quanto collegato sul collettore di Q_1 , vale a dire R_3 e $r_{\pi eq}$ non influenza il guadagno di Q_1 . Il circuito per il calcolo di A_0 è mostrato in Figura A.3 dove si riconosce uno stadio a collettore comune formato da Q_1 con una resistenza equivalente sull'emettitore $R_E = R_1 \parallel (R_2 + R_5 \parallel R_L) = 288 \Omega$. Per evitare formule troppo lunghe si calcola il guadagno in due passi, valutando dapprima V_e/V_i e poi il partitore di tensione V_o/V_e . Il guadagno di Q_1 vale

$$\frac{V_e}{V_i} = \frac{R_E(\beta_o + 1)}{R_i + r_\pi + R_E(\beta_o + 1)} = 0.915$$

La partizione di tensione fra R_2 e il parallelo di R_5 con R_L fornisce

$$\frac{V_o}{V_e} = \frac{R_5 \parallel R_L}{R_2 + R_5 \parallel R_L} = 0.641$$

e quindi il valore di A_0 è

$$A_0 = \frac{V_e}{V_i} \frac{V_o}{V_e} = 0.915 \times 0.641 = 0.587$$

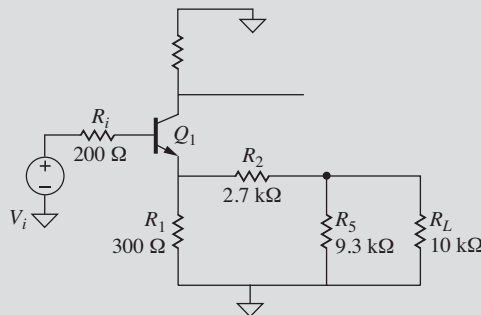


Figura E.3 Circuito per il calcolo di A_0 .

Calcolo di A_∞

Se si manda a infinito la transconduttanza di Q_2 si ha che per una corrente di collettore finita, la tensione V_{be} di Q_2 è nulla, come pure la sua corrente di base. Poiché l'emettitore di Q_2 è collegato al potenziale zero, anche la tensione ai capi di R_3 è nulla ed in R_3 non circola corrente, ed è anche nulla la corrente di collettore di Q_1 , che quindi avrà $V_{be} = 0$. Grazie al transistor Q_2 con l'emettitore a ground è stato possibile propagare all'indietro la condizione di nullo dall'ingresso di Q_2 fino all'ingresso di tutto l'amplificatore, che pertanto si comporta come un amplificatore operazionale ideale, con ingressi invertente e non invertente su emettitore e base di Q_1 , come mostrato in Figura 18.15. Il guadagno A_∞ vale quindi

$$A_\infty = 1 + \frac{R_2}{R_1} = 10$$

Calcolo di T

Il rapporto di ritorno viene calcolato sostituendo al generatore pilotato di corrente di Q_2 un generatore indipendente di corrente I_p e calcolando la corrente $\hat{I}_p$ che viene eccitata dal generatore di prova nel generatore pilotato. In pratica si annulla il generatore di ingresso, si mette un generatore di prova I_p al posto del collettore e si calcola la corrente di collettore $\hat{I}_p$ del transistor originale. Lo schema è mostrato in Figura E.4(a).

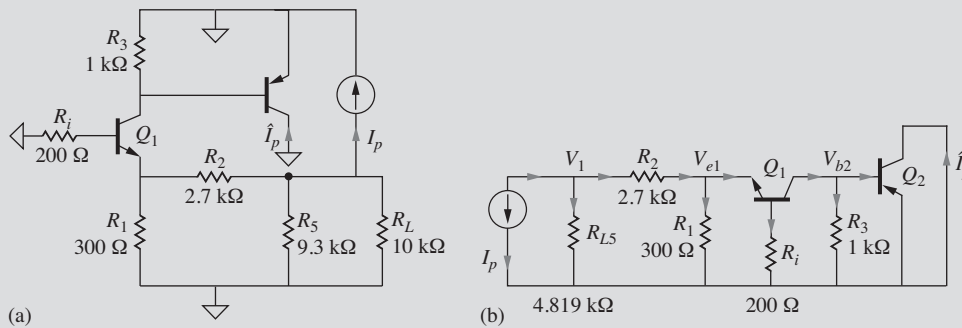


Figura E.4 (a) Circuito per il calcolo di T . (b) Circuito ridisegnato per il calcolo di T .

Il calcolo di T richiede di calcolare $\hat{I}_p$ in funzione di I_p . Il circuito non ha più retroazione e può essere risolto a vista. Potrebbe convenire ridisegnare il circuito mettendo a sinistra la sorgente di prova e a destra la corrente da trovare, in modo da poter leggere lo schema nel modo solito. L'espressione di $\hat{I}_p$ sembra complessa ma contiene solo svariati partitori di corrente e fornisce

$$\hat{I}_p = -I_p \times \frac{R_{L5}}{R_{L5} + R_2 + R_1 || R_{iE1}} \times \frac{R_1}{R_1 + R_{iE1}} \times \frac{\beta_o}{\beta_o + 1} \times \frac{R_3}{R_3 + r_{\pi eq}} \times \beta_o = -1.718 I_p$$

In questa espressione si è indicato, per brevità, $R_{L5} = R_L || R_5$. Il rapporto di ritorno vale $T = -\hat{I}_p / I_p = 1.718$.

Il guadagno di anello è molto basso quindi i benefici della retroazione negativa sono molto limitati.

Con i tre valori calcolati si trova il guadagno ad anello chiuso usando la (E.6)

$$A = 10 \frac{1.718}{1 + 1.718} + 0.587 \frac{1}{1 + 1.718} = 6.321 + 0.216 = 6.537$$

In questo circuito il termine di *feed-forward* contribuisce per circa il 3.3% al guadagno complessivo. Se il rapporto di ritorno fosse stato più elevato, questo contributo sarebbe stato minore.

Calcolo alternativo di T

Quando si annulla il rapporto di ritorno nel calcolo di A_0 e di T , la rete risultante molto spesso è di tipo a scala, con elementi alternativamente in serie e in parallelo andando dalla sorgente I_p alla grandezza cercata $\hat{I}_p$, come si vede in Figura E.4(b). In questo caso, invece di partire dall'ingresso e proseguire con partitori di corrente verso l'uscita, è spesso

conveniente trovare il rapporto fra le due grandezze assumendo di conoscere la grandezza di uscita $\hat{I}_p$ e tornando indietro per trovare quale deve essere l'ingresso per generare l'uscita ipotizzata. Questo modo di procedere è un esempio della *regula falsi*² che permette di fare tanti conti semplici al posto di uno complicato. Si comincia con lo scegliere un valore comodo per la grandezza di uscita, e si calcolano via via correnti e tensioni tornando verso l'ingresso. Nel caso di Figura E.4(b) si può assumere $\hat{I}_p = 100$ mA. Ovviamente il valore scelto, enorme per questo circuito, non ha nessuna importanza in quanto il circuito è lineare e si sta usando un valore fittizio per comodità di calcolo.

Con questa corrente di collettore attraverso Q_2 si ha che la corrente di base di Q_2 vale 1 mA, corrente che scorre nella $r_{\pi eq}$ di Q_2 dando origine a una tensione di base pari a

$$V_{b2} = 1 \text{ mA} \times 32.8 \text{ k}\Omega = 32.8 \text{ V}$$

Questa tensione è presente ai capi di R_1 che è quindi attraversata da una corrente di 32.8 mA. La corrente di collettore di Q_1 vale perciò 33.8 mA, e quindi la sua corrente di emettitore vale $I_{e1} = 33.8 \text{ mA} \times 101/100 = 34.14 \text{ mA}$, da cui la corrente di base vale

$$I_{b1} = 33.8 \text{ mA}/100 = 0.338 \text{ mA}$$

La corrente di base di Q_1 scorre attraverso R_i e $r_{\pi 1}$, portando l'emettitore di Q_1 alla tensione

$$V_{e1} = 0.338 \text{ mA} \times (2.5 \text{ k}\Omega + 200 \Omega) = 0.912 \text{ V}$$

Si calcola quindi la corrente che scorre attraverso R_1 , che vale $I_{R1} = 0.912/300 \Omega = 3.04$ mA e la corrente che attraversa R_2 , che vale $I_{R2} = (3.04 + 34.14) \text{ mA} = 37.18$ mA. La caduta di tensione su R_2 vale perciò

$$V_{R2} = 37.18 \text{ mA} \times 2.7 \text{ k}\Omega = 100.4 \text{ V}$$

La tensione V_1 , data dalla somma della tensione di emettitore di Q_1 più la caduta di tensione su R_2 vale $V_1 = 101.3$ V e quindi la corrente attraverso R_{L5} risulta essere

$$I_{RL5} = 101.3 \text{ V}/4.819 \text{ k}\Omega = 21.02 \text{ mA}$$

e così si trova la corrente I_p che genera 100 mA in uscita:

$$I_p = -(21.02 + 37.18) \text{ mA} = -58.2 \text{ mA}$$

Il segno negativo dipende dal fatto che la corrente calcolata è in direzione opposta rispetto al riferimento iniziale di I_p . Il rapporto di ritorno vale quindi

$$T = -\hat{I}_p/I_p = 100 \text{ mA}/58.2 \text{ mA} = 1.718$$

stesso risultato trovato in precedenza.

La differenza nei due metodi è evidente: nel primo caso si scrive a vista una sola espressione complicata e la si valuta direttamente, mentre nel secondo modo si effettuano tanti conti elementari. Il secondo metodo ha il vantaggio di poter verificare, passo per passo, se i conti sono corretti. Il metodo di falsa posizione può anche essere applicato nel caso del calcolo di A_0 , ad esempio ponendo in Figura E.3 $V_o = 4.819$ V in modo da ottenere una corrente di 1 mA nella resistenza R_2 , proseguendo poi verso V_i .

Impedenze di ingresso e di uscita

Le impedenze di ingresso e uscita vengono calcolate con il teorema di Blackman, che si dimostra essere una applicazione del metodo di Rosenstark, anche se storicamente il teorema di Blackman è stato enunciato una trentina di anni prima del metodo di Rosenstark. In questo esempio si calcola l'impedenza vista dal generatore V_i , lasciando R_i nel circuito e la resistenza di uscita includendo anche R_L , come fatto nell'Esempio 18.1 nella sezione "approccio alternativo". La ragione di questa scelta è duplice: in questo modo si può riutilizzare il rapporto di ritorno calcolato in precedenza e i valori che si ottengono sono direttamente confrontabili con i valori della simulazione SPICE dell'Esempio 18.1.

² Il primo riferimento alla *regula falsi* si ha nel papiro egizio di Rhind, 1550 A.C. in cui lo scriba Ahmes lo presenta copiandolo da un papiro di circa tre secoli precedente.

Le impedenze a sistema morto possono essere ricalcolate a vista dallo schema di Figura E.3, in cui non si deve immaginare di aver annullato la retroazione, perché, avendo spento un transistor, si è esattamente nella condizione di calcolare a vista e in modo esatto il valore delle due resistenze. R_{in}^D vista dal generatore V_i vale,

$$R_{in}^D = R_i + r_\pi + (\beta_o + 1)(R_1 || (R_2 + R_{L5})) = 31.84 \text{ k}\Omega$$

Il rapporto di ritorno T_{OC} è nullo, come già discusso nell'esempio, mentre T_{SC} è lo stesso rapporto di ritorno calcolato prima. L'impedenza di ingresso vale quindi

$$R_{in} = 31.84 \text{ k}\Omega \frac{1 + 1.718}{1 + 0} = 86.5 \text{ k}\Omega$$

Per valutare la resistenza di uscita, inclusa R_L si procede in modo analogo. Dalla Figura E.3, spegnendo il generatore di ingresso, si calcola immediatamente l'impedenza di uscita R_{out}^D che vale,

$$R_{out}^D = R_{L5} || \left(R_2 + R_1 || \frac{R_i + r_{\pi 1}}{\beta_o + 1} \right) = 1.74 \text{ k}\Omega$$

Anche qui la differenza di valore rispetto all'esempio precedente dipende dall'aver lasciato la resistenza di carico R_L . Il rapporto di ritorno con uscita in cortocircuito, T_{SC} è nullo, e l'impedenza di uscita con retroazione vale quindi

$$R_{out} = 1.74 \text{ k}\Omega \frac{1 + 0}{1 + 1.718} = 640 \Omega$$

I valori trovati con la simulazione nell'esempio precedente sono $R_{in} = 87 \text{ k}\Omega$, e $R_{out} = 644 \Omega$ e amplificazione pari a 6.52 praticamente coincidenti con i calcoli fatti con il metodo di Rosenstark. L'utilizzo di un metodo algoritmico ed esatto permette di evitare l'introduzione di errori e approssimazioni varie e di ottenere risultati più precisi.

Riferimenti bibliografici

- | | |
|---|---|
| <p>[1] H.W. Bode, <i>Network Analysis and Feedback Amplifier Design</i>, Van Nostrand: 1945.</p> <p>[2] S. Rosenstark, "A Simplified Method of Feedback Amplifier Analysis", <i>IEEE Trans. on Education</i>, Vol. E-17, No. 4, pp. 192-198, novembre 1974.</p> | <p>[3] S. Rosenstark, <i>Feedback Amplifier Principles</i>, MacMillan: 1986.</p> <p>[4] P.J. Hurst, "A Comparison of Two Approaches to Feedback Circuit Analysis", <i>IEEE Trans. On Education</i>, Vol. 35, No. 3, pp. 253-261, agosto 1992.</p> |
|---|---|

Indice analitico

A

- accoppiamento in AC, 577
- algebra booleana, 221
- alimentatori, 106
- amplificatore
 - a banda stretta, 407
 - a base comune (C-B), 855
 - a BJT, 574
 - a collettore comune (C-C), 856
 - a commutazione (switching), 762
 - accoppiato in continua, 381
 - accordato, 902, 904
 - ad anello aperto, 420, 924
 - ad anello chiuso, 502
 - a drain comune (C-D), 857
 - a emettitore comune (C-E), *vedere amplificatore a emettitore comune (C-E)*
 - a gate comune (C-G), 855
 - a MOSFET, 576
 - analisi ad alta frequenza, 867
 - analisi in DC, 738
 - angolo di conduzione, 753
 - a più stadi, 506
 - a reiezione di banda, 408
 - a source comune (C-S), *vedere amplificatore a source comune (C-S)*
 - BiCMOS, 751
 - caratteristica di trasferimento per ampi segnali, 719
 - cascode, 893
 - cascata C-C/C-B, 891
 - categorie, 433
 - categorie con retroazione, 433
 - CMRR, 743
 - compensato, 956
 - differenziale, *vedere amplificatore differenziale*
 - di lettura, 322, 335
 - di lettura cella 1-T, 337
 - di lettura cella 6-T, 335
 - di lettura segnale di clock, 339
 - di lettura (sense amplifier), 322
 - distorsione di attraversamento, 756
 - di transresistenza, 442
 - effetti delle dissimmetrie, 725
 - fattore di merito, 904
 - guadagno ad anello chiuso, 925
 - guadagno complessivo, 741
 - in classe A, 753
 - in classe AB, 756, 757
 - in classe B, 755
 - invertente, 20, 378, 384, 634
 - lineare, 365
 - massa virtuale, 732
 - modello a doppio bipolo, 734
 - non invertente, 378, 389, 479
 - notch, 22
 - operativo, *vedere amplificatore operativo*
 - passa-alto, 22, 401
 - passa-banda, 22, 404
 - passa-basso, 22, 398
 - polarizzazione, *vedere polarizzazione*
 - push-pull, 753
 - rapporto di reiezione di modo comune, 725
 - resistenza di ingresso, 742
 - resistenza di uscita, 742
 - retroazionato, 423, 950
 - retroazionato, instabilità, 492
 - retroazionato, risposta al gradino, 492
 - risposta in frequenza, *vedere risposta in frequenza degli amplificatori*
 - risposta in frequenza del modo comune, 890
 - risposta in frequenza, 840
 - segnali di modo differenziale, 890
 - slew-rate, 751
 - specchio di corrente, 894
 - stadio di ingresso, 738
 - stadio di uscita, 753
 - tecnologia BiCMOS e tecnologia BiFET, 751
 - tensione di uscita di modo differenziale, 717
 - trasformatore di accoppiamento, 760
 - zona di attraversamento, 756
 - zona morta, 756
 - shunt-peaked, 903
 - sommatore, 393
 - sottrattore, 395
 - stabilità, 950
 - terminologia, 504
- amplificatore a emettitore comune (C-E), 594, 625
 - guadagno di corrente, 606
 - guadagno di tensione, 595
 - guadagno di tensione complessivo, 596
 - guida di progetto, 597
 - limiti per la condizione di piccolo segnale, 599
 - polarizzazione, *vedere polarizzazione*
 - resistenza di emettitore nulla, 597
 - resistenza di ingresso, 596, 621, 623
 - resistenza di uscita, 624
- amplificatore a source comune (C-S), 614, 629, 576, 845
 - guadagno di tensione, 614
 - guida di progetto, 618
 - limiti per la condizione di piccolo segnale, 619
 - resistenza di uscita, 624
- amplificatore a tre stadi, 702
- amplificatore differenziale, 382, 720, 807, 890
 - analisi con mezzo circuito, 726
 - bipolare con carico attivo, 813
 - CMOS con carico attivo, 807
 - limitazioni al CMRR, 807
 - modo comune e modo differenziale, 720
 - tensione di uscita di modo comune, 723
 - uscita bilanciata, 722
- amplificatore limitatore (LA), 735
- amplificatore operativo, 817, 382
 - a due stadi, 738
 - a tre stadi, 959
 - analisi in AC, 740
 - bipolare, 820, 821
 - carichi attivi, 817
 - CMOS, 750, 817
 - Common Mode Rejection Ratio (CMRR), 743
 - compensazione a singolo polo, 958
 - evoluzione, 744
 - ideale, 20
 - implementazioni a soli transistori, 752
 - $\mu A702$, 775
 - $\mu A741$, 775, 822
 - non ideale, 422
 - polarizzazione, 740
 - posizione dei poli, 871
 - resistenze di ingresso e di uscita, 742
 - rottura dello stadio di ingresso, 821
 - stadi di uscita in classe AB, 758
- amplificatore per strumentazione, 514
- analisi del caso peggiore, 23
- analisi di Fourier, 18
- analisi in AC, 720
- analisi Monte Carlo, 25
- angolo di conduzione, 753
- anodo, 56
- applicazioni non lineari, 563
- arseniuro di gallio, 32
- attacco chimico, 50
- autotrasformatore, 907

B

banda proibita, 35
 Bardeen, John, 1, 4, 157
 Barkhausen, criterio di, 556
 base del transistor, 158
 bitline (BL), 322
 Black, Harold, 3
 Blackman, Ralph Beebe, 435
 bobina di arresto a radiofrequenza, 908
 body, effetto, *vedere effetto body*
 Boole, George, 221
 boosted wordline, 339
 Brattain, Walter, 1, 4, 157
 Brokaw, Paul, 775
 buffer a guadagno unitario, 391

C

cammino di Eulero, 304
 capacità commutate, 530
 - filtri, 534
 - integratore invertente, 531
 - integratore non invertente, 532
 capacità della regione di svuotamento, 72
 capacità di cella, 330
 capacità di diffusione, 73, 190
 carica batterie, 106
 cascata C-C/C-B, connessione in, 891
 cascata di invertitori, 290
 catodo, 56
 CCD, *vedere charge coupled devices*
 cella di memoria a sei transistori (6-T), 323
 cella di memoria a quattro transistori (4-T), 334
 cella di memoria a un transistor (1-T), 319, 330
 celle di memoria dinamiche, 329
 celle solari, 110
 charge coupled devices (CCD), 49
 cifra di merito, 904
 circuito
 - a capacità commutate, *vedere capacità commutate*
 - a radiofrequenza, 901
 - a retroazione negativa, 563
 - a retroazione positiva, 563
 - astabile, 568
 - bistabile, 567
 - di buffer, 307
 - equivalente in AC, 579
 - equivalente Norton, 14
 - equivalente Thévenin, 14
 - monostabile, 570
 - multivibratore astabile, 568
 - multivibratore bistabile, 567
 - multivibratore monostabile, 570
 - sample-and-hold, 549
 circuito ad accoppiamento di emettitore (ECL), 356
 circuito integrato, 4
 - fabbricazione, 50
 circuito integrato di Kilby, 31
 circuito interruttore di corrente, 356
 circuito logico: *vedere porta logica*

circuito raddrizzatore a semionda, 92
 CMRR, *vedere common mode rejection ratio (CMRR)*
 coefficienti di temperatura, 28, 69
 collettore, 158
 comparatore, 546, 566
 compensazione a singolo polo, 958
 compensazione degli amplificatori bipolari, 962
 concentrazione intrinseca, 34
 condensatore
 - di bypass, 578
 - di compensazione, 960
 - indipendente, 847
 - di accoppiamento, 578
 conducibilità, 36, 38
 conduttanza, 10
 confronto in corrente, 442, 451
 confronto in tensione, 447
 contatore binario, 546
 convertitore, 538
 - a condensatori scalati, 543
 - a doppia pendenza, 551
 - a doppia rampa, 551
 - ad approssimazione successiva, 548
 - analogico-digitale (ADC), 8, 544
 - bit meno significativo (LSB), 537
 - bit più significativo (MSB), 537
 - ciclo di conversione, 551
 - codice mancante, 546
 - con uscita intrinsecamente monotona, 542
 - convertitore D/A, 537
 - corrente di fondo scala, 537
 - digitale-analogico (D/A, DAC), 8, 534, 537
 - Delta-Sigma, 553
 - errore di guadagno, 538, 545
 - errore di linearità differenziale, 539, 545
 - errore di linearità integrale, 539, 545
 - errore di offset, 545
 - errore di quantizzazione, 544
 - errori di sovrapposizione, 541
 - flash, 553
 - linearità, 555
 - monotonicità, 540
 - non monotono, 546
 - offset, 537
 - parallelo, 553
 - reiezione di modo normale, 552
 - resistori scalati, 540
 - rete R-2R, 541
 - rete R-2R inversa, 541
 - risoluzione, 537
 - singola pendenza, 549
 - singola rampa, 549
 - sistemi VLSI, 543
 - tecnologia CMOS, 542
 - tecnologia NMOS, 543
 - tempo di conversione, 552
 - tensione di fondo scala, 537
 - tensione di riferimento, 537
 - teorema di Nyquist, 554
 - velocità di conversione, 549
 coppia Darlington, 745

coppia differenziale, 356
 coppie elettrone-lacuna, 47
 corrente di offset, 463
 crescita epitassiale, 50
 criterio di Barkhausen, 556
 cross-over, 756

D

Darlington, 745
 de Forest, Lee, 4, 363
 decibel, 367
 decodificatore
 - di indirizzo, 341
 - di riga e di colonna, 321
 - NAND, 342
 - NOR, 341
 degenerazione induttiva, 910
 Dennard, Robert H., 319
 densità della corrente di deriva, 36
 deposizione chimica da fase vapore, 50
 derivatore, 417
 diagramma di Nyquist, 489
 diagrammi di Bode, 398, 495
 - calcoli, 411
 differenziale, segnale, 468
 diffusione, 46
 diffusività, 46
 dimensione caratteristica minima, 4
 diodo
 - a barriera Schottky, 73, 361
 - analisi dei circuiti a diodi, 76
 - coefficiente di temperatura del diodo, 68
 - corrente di saturazione, 62, 70
 - emettitori di luce (LED), 111
 - equazione, 63
 - fattore di idealità, 63
 - giunzione pn, 56
 - ideale, 82
 - in commutazione, 107
 - nei circuiti integrati bipolari, 180
 - polarizzazione diretta, 66
 - polarizzazione inversa, 65, 70
 - regione di rottura, 72
 - regolazione di carico, 91
 - regolazione di linea, 91
 - rottura della giunzione, 71
 - stato solido, 55
 - tensione di accensione, 61
 - Zener, 72
 diodo a vuoto, 3
 dispositivi equivalenti, 776
 dissipazione di potenza, 99, 256, 291, 636
 - potenza dinamica, 256
 - potenza statica, 256
 distorsione, 379, 459
 - armonica totale, 379
 - di attraversamento, 756
 doppio bipolo, 370, 502, 993
 doppio campionamento correlato, 133
 drain, 117

E

Early, James, 191
 EEPROM, 348

- effetto
 - Early, 191
 - Miller, 868
 - Zener, 72
- elettronica, sviluppo storico, 3
- elettronica dello stato solido, 31
- elettronica in azione
 - alimentatori e carica batterie per telefoni cellulari, 106
 - amplificatori audio in classe D, 762
 - amplificatori limitatori per comunicazioni ottiche, 735
 - camere CCD, 49
 - caratteristiche di un lettore MP3, 17
 - chip di navigazione CMOS per mouse ottici, 516
 - cifra di rumore, fattore di rumore e minimo segnale rivelabile, 912
 - circuiti completamente differenziali, 949
 - circuiti convertitori digitale-analogico (DAC), 394
 - circuiti di distorsione per le chitarre elettroniche, 638
 - CMOS - la chiave per le tecnologie portatili, 293
 - definizione alternativa del margine di rumore, 311
 - demodulazione AM, 100
 - diffusione delle memorie flash, 352
 - ecografia a ultrasuoni, 772
 - energia solare, 111
 - equalizzatore grafico, 877
 - filtri Gm-C, 812
 - filtri passa-banda nei ricevitori BFSK, 530
 - fotografia digitale, 132
 - FPGA, 329
 - generatore di tensione proporzionale alla temperatura assoluta, 790
 - generatori analogici di funzioni, 569
 - implementazione di un amplificatore di transresistenza, 942
 - isolatori ottici, 185
 - laboratorio su un chip (lab-on-chip), 52
 - misura della tensione di offset, corrente di bias e CMRR, 475
 - mixer di Jones, 921
 - mixer passivi a diodi, 917
 - oscillatore MEMS, 557
 - periferiche touchpad per computer portatili, 375
 - pickup senza ronzio ("humbucker") per chitarra, 712
 - porte logiche AND-OR-INVERT nelle Librerie di Celle, 305
 - progetto di un raddrizzatore, 105
 - programma di simulazione SPICE, 74
 - regolatori di tensione a tre terminali, 441
 - reti di sensori corporei, 535
 - ricevitore per fibre ottiche, 446
 - ricevitore stereo FM, 21
 - ricevitori per fibre ottiche, 388
 - rivisitazione del sensore di immagine CMOS, 680
 - rumore nei circuiti elettronici, 613
 - Sample & Hold, 555
 - segnali differenziali a bassa tensione (LVDS), 469
 - stampanti termiche a getto di inchiostro, 144
 - telefonia cellulare, 6
 - termometria elettronica, 181
 - termometria elettronica e tensioni PTAT, 69
 - trasformazioni di impedenza, 905
 - voltmetro in alternata, 565
- emettitore, 158
- emitter-coupler logic (ECL), 358
- energia di ionizzazione, 48
- EPROM, 348
- equilibrio instabile, 310
- equilibrio termodinamico, 36
- errore di guadagno, 421
- errore di quantizzazione, 9
- esempi
 - adattamento di impedenza, 368
 - ampiezza della regione di carica spaziale nel diodo, 58
 - amplificatore a emettitore comune, polarizzato utilizzando due tensioni di alimentazione, 625
 - amplificatore C-E con resistore sull'emettitore, 880
 - amplificatore di tensione a due stadi, serie-parallelo, 931, 999
 - amplificatore differenziale di tensione serie-parallelo, 935
 - amplificatore MOS a source comune, 629
 - analisi ad alta frequenza dell'amplificatore a emettitore comune, 872
 - analisi con effetto body, 151
 - analisi con il Modello Unificato, 153
 - analisi DC di un regolatore a diodo zener, 90
 - analisi del caso peggiore, 23
 - analisi del caso peggiore per la rete di polarizzazione a 4 resistori, 206
 - analisi del guadagno di tensione, 381
 - analisi del margine di fase, 497
 - analisi del punto di lavoro dell'amplificatore differenziale, 717
 - analisi del TCR, 29
 - analisi dell'amplificatore con retroazione parallelo-parallelo, 445
 - analisi dell'amplificatore differenziale a mosfet, 731
 - analisi dell'amplificatore non invertente, 389
 - analisi dell'amplificatore operativo bipolare a tre stadi, 747
 - analisi dell'amplificatore per strumentazione, 515
 - analisi dell'amplificatore sottrattore, 396
 - analisi dell'errore relativo al guadagno in un amplificatore non invertente, 424
 - analisi della funzione di trasferimento, 405
- analisi della tensione di offset, 462
- analisi di livelli logici di un invertitore con carico in saturazione, 238
- analisi di un amplificatore con retroazione parallelo-serie, 454, 947
- analisi di un amplificatore con retroazione serie-parallelo, 439
- analisi di un amplificatore con retroazione serie-serie, 449, 944
- analisi di un amplificatore operativo CMOS, 819
- analisi di un circuito contenente tre diodi, 85
- analisi di un raddrizzatore a semionda, 96
- analisi di un transistor polarizzato in saturazione, 202
- analisi di una funzione di trasferimento, 842
- analisi grafica con la retta di carico, 78
- analisi Monte Carlo, 26
- analisi monte carlo per la rete di polarizzazione a 4 resistori, 208
- BJT polarizzato in interdizione, 174
- calcolo dei margini di rumore per l'invertitore con carico resistivo, 230
- calcolo dei parametri del modello a doppio bipolo di uno specchio di corrente utilizzando SPICE, 787
- calcolo dei parametri g, 371
- calcolo del guadagno di anello e rapporto di resistenze con SPICE, 457
- calcolo del guadagno di tensione degli amplificatori invertenti, 649
- calcolo del guadagno di tensione degli inseguitori, 655
- calcolo del rapporto di riflessione per gli specchi di corrente, 781
- calcolo dell'errore relativo al guadagno per un inseguitore di tensione, 472
- calcolo dell'errore relativo al modo comune, 470
- calcolo della corrente di saturazione e del tempo di transito, 189
- calcolo della corrente e della tensione in un diodo, 64
- calcolo della resistenza ON, 228
- calcolo della resistività nel silicio estrinseco, 43
- calcolo della tensione di saturazione del transistor, 184
- calcolo delle correnti del transistor con il modello del trasporto, 164
- campo elettrico e ampiezza della regione di carica spaziale nel diodo, 60
- caratteristiche degli amplificatori non invertenti, 665
- caratteristiche dinamiche dell'invertitore con carico resistivo, 264
- circuito equivalente del cristallo di quarzo, 978
- compensazione dell'amplificatore operativo, 964
- compensazione di un amplificatore operativo a mosfet, 968

- concentrazione intrinseca dei portatori, 35
- concentrazioni di elettroni e lacune, 42
- confronto tra le configurazioni invertente e non invertente dell'amplificatore operazionale, 392
- corrente di uscita dello specchio di corrente MOS, 778
- correnti di polarizzazione dello stadio di ingresso del $\mu A741$, 826
- correnti e dissipazione di potenza nell'amplificatore di lettura durante la fase di precarica, 336
- correnti nella cella di memoria 6-T all'inizio della fase di lettura, 326
- correnti nella cella di memoria 6-T all'inizio della fase di scrittura, 328
- costruzione dei circuiti equivalenti in AC e DC di un amplificatore a BJT, 580
- costruzione dei circuiti equivalenti in AC e DC di un amplificatore a MOSFET, 582
- determinazione diretta di poli e zeri dell'amplificatore a source comune, 848
- dimensionamento dei condensatori per gli amplificatori C-B e C-G, 687
- dimensionamento dei condensatori per gli amplificatori C-C e C-D, 684
- dimensionamento dei condensatori per gli amplificatori C-E e C-S, 681
- dimensionamento di una porta logica complessa, 254
- drogaggio delle fette - un calcolo per tentativi, 44
- effetto delle tolleranze sul punto di lavoro del diodo, 81
- filtro RC passa-alto, 403
- filtro RC passa-basso, 401
- funzione di trasferimento dell'operazionale, 478
- guadagno ad anello aperto di un amplificatore, 428
- guadagno di tensione di un amplificatore a emettitore comune, 599, 601
- guadagno di tensione di un amplificatore a source comune, 616, 619
- impiego di MATLAB per la risoluzione dell'equazione del diodo, 80
- invertitore NMOS con carico a svuotamento, 244
- parametri del modello del MOSFET, 863
- parametri del modello del transistor bipolare, 860
- polarizzazione con rete a 4 resistori, 147
- polarizzazione del transistor in regione attiva inversa, 182
- polarizzazione in regione attiva con corrente di base, 177
- polarizzazione in regione attiva con corrente di emettitore, 176
- polarizzazione in regione attiva diretta con due generatori di tensione, 178
- progettazione della rete a 2 resistori per la polarizzazione del transistor, 204
- progettazione della rete a 4 resistori per la polarizzazione del transistor, 201
- progetto del filtro attivo passa-basso, 413
- progetto dell'amplificatore invertente, 386
- progetto dell'amplificatore invertente con limitazione per la corrente di uscita, 466
- progetto di amplificatori disposti in cascata, 509
- progetto di un amplificatore a base comune, 693
- progetto di un amplificatore a source comune, 698
- progetto di un amplificatore differenziale, 736
- progetto di un filtro passa-basso, 519
- progetto di un filtro Tow-Thomas, 525
- progetto di un generatore di corrente, 796
- progetto di un generatore di corrente a MOSFET, 769
- progetto di un generatore di corrente con transistori bipolari, 766
- progetto di un generatore di riferimento, 802
- progetto di un inseguitore, 690
- progetto di un invertitore CMOS con ritardo assegnato, 288
- progetto di un invertitore con carico in saturazione, 236
- progetto di un invertitore nmos con carico resistivo, 226
- progetto di un invertitore per un assegnato ritardo di propagazione, 273
- progetto di un riferimento di tensione, 806
- progetto di una porta logica CMOS complessa, 299
- progetto di una porta logica cmos complessa con un transistor collegato "a ponte", 301
- progetto di uno stadio buffer, 307
- resistenza d'ingresso dell'amplificatore a emettitore comune, 622
- resistenza di ingresso dell'amplificatore non invertente, 430
- resistenza di uscita dell'amplificatore operazionale, 427
- resistenza di uscita di un amplificatore a emettitore comune, 605
- resistenza equivalente di Thévenin, 15, 17
- resistività del silicio intrinseco, 38
- rete di polarizzazione a 4 resistori per il transistor PMOS, 154
- retroazione parallelo-parallelo con impedenze di sorgente e di carico, 941
- risposta in frequenza dell'amplificatore invertente, 482
- risposta in frequenza dell'amplificatore non invertente, 480
- risposta in frequenza di amplificatori multistadio, 513
- risposta in frequenza di due amplificatori disposti in cascata, 507
- risposta in frequenza di un amplificatore multistadio, 895
- scelta di un amplificatore, 677
- semplificazione di una espressione logica, 222
- simulazione dell'amplificatore a tre stadi, 708
- studio di circuito con amplificatori in cascata, 504
- tensione equivalente di Thévenin, 14
- variazione della tensione del diodo con la corrente, 67

F

- fan-in, 218
- fan-out, 218, 259
- fattore di retroazione, 420, 423
- fattore di riduzione della larghezza di banda, 509
- fattore di scala, 528
- feedback, *vedere sistemi con retroazione*
- FET, 113
- figura di merito (FOM), 764
- filtri attivi, 517
 - a guadagno infinito, 522
 - biquadrato Tow-Thomas, 524
 - fattore di scala, 528
 - passa-alto, 415
 - passa-banda, 522
 - passa basso, 412
 - reiezione di banda, 524
 - sensibilità, 528
- filtro,
 - accordabile, 535
 - teorema del campionamento, 535
 - di Butterworth, 518
 - Gm-C, 812
 - massimamente piatto, 518
 - passa-alto, 521
 - passa-banda, 522
 - passa-basso, 517
- flip-flop, 312, 314
- fosforo di gallio, 32
- fotoiodo, 109
- fotoreistor, 50
- frequenza
 - audio, 365
 - di guadagno unitario, 477
 - di taglio, 191, 840
 - di taglio del guadagno β , 859
 - di transizione, 138, 190, 860
 - fondamentale, 19
 - radio, 365

funzione di trasferimento, 397, 409, 847, 871

G

gate, 114
gate flottante, 348
gate isolato, 348
generatore di corrente
- cascode, 794
- continua, 763
- di riferimento, 799
- di Widlar, 788
- di Wilson, 791
generatore di tensione proporzionale alla temperatura assoluta, 790
generatori analogici di funzioni, 569
generatori di corrente di riferimento, 799
generatori di corrente elettronici, 763
- esempi, 766
- cifra di merito, 764
- pozzi di corrente, 764
- resistenza di uscita, 765
- specifiche di progetto, 766
generatori di riferimento indipendenti dalla tensione di alimentazione, 799
- basati su V_{BE} , 800
- generatore di Widlar, 800
generatori dipendenti, 10
germanio, 32
Gilbert, Barrie, 775, 834
giunzione pn, 51
giunzione metallurgica, 57
guadagno
- a centro banda, 840
- ad anello aperto, 421, 925
- ad anello chiuso, 421, 925
- di anello, 421, 423, 925
- di corrente, 367, 587
- di corrente inverso, 162
- di modo comune, 467, 720
- di modo differenziale, 468, 720
- di potenza, 367
- di tensione, 20, 366
- di tensione ad anello aperto, 382
- di tensione intrinseco, 589

H

Heil, Oskar, 113

I

impiantazione ionica, 50
induttore a presa intermedia, 907
iniezioni successive di tensione e corrente, 456
inseguitore di emettitore, 358
inseguitore di tensione, 391
integratore, 416
integrazione
- a bassa scala (SSI), 4
- a larga scala (LSI), 5
- a larghissima scala (VLSI), 5
- a media scala (MSI), 5
- a scala gigantesca (GSI), 5

- a scala ultra larga scala (ULSI), 5
introduzione all'elettronica digitale, 213
invertitore bipolare elementare, 360
invertitore CMOS
- caratteristiche statiche, 280
- comportamento dinamico, 285
- layout, 279
- margini di rumore, 283
- simmetrico, 281
- tecnologia, 278
invertitore NMOS
- confronto, 245
- confronto delle risposte dinamiche, 269
- con carico in saturazione, 232
- con carico resistivo, 223, 260
- con dispositivo di carico a svuotamento, 242
- con dispositivo di carico in regione lineare, 241
- pseudo NMOS, 242
invertitore PMOS, 275
isolatore ottico, 185
isteresi, 567

K

Kilby, Jack, 4, 31

L

lacune, 36
larghezza del canale, 117
larghezza di banda a piena potenza, 485
latch, 310, 314
latchup, 315
layout porte NOR e NAND in tecnologia NMOS, 251, 296
LED, 33, 185
legame covalente, 33
legge dell'azione di massa, 36
legge di Kirchhoff
- per le correnti, 12
- per le tensioni, 12
lettura cella 1-T, 332
lettura cella 6-T, 324
Lilienfeld, Julius Edgar, 113
limitazioni guadagno-banda, 889
linee di dato, 322
linee di parola, 322
livelli logici, 216
- livello logico alto, 216
- livello logico basso, 215
livello accettore, 49
low-noise amplifier (LNA), 613
logica "a rapporto", 227
least significant bit (LSB), 8
lunghezza di canale, 117

M

margini di fase, 491
margini di guadagno, 495
margini di rumore, 215, 217, 228, 240
- definizione alternativa, 311
- nello stato alto (NM_H), 217
- nello stato basso (NM_L), 217

maschere, 50
Masuoka, Fujio, 319
materiali
- amorfi, 33
- conduttori, 32
- cristallini, 33
- isolanti, 32
- policristallini, 33
matrici logiche programmabili, 320
memorie, 348
- flash, 348
- a sola lettura (ROM), 320, 345
- programmabili (PROM), 348
- programmabili e cancellabili (EPROM), 348
- programmabili e cancellabili elettricamente (EEPROM), 348
mercato mondiale dell'elettronica, 2
metodo del guadagno asintotico, 997
metodo delle costanti di tempo, 850, 875
metodo di Rosenstark, 997
metodologia per la soluzione dei problemi, 10
mixer, 912
- bilanciato, 914
- coppia differenziale, 915
- di Jones, 919
- doppiamente bilanciato, 916
mobilità, 37, 42
modelli del transistor alle alte frequenze, 858
modelli per piccoli segnali, 583
modello del trasporto, 163
modello di Ebers-Moll, 163, 167
modello di Gummel-Poon, 163
modello ibrido, 858
- a π , 588, 858
- a π , resistenza di base, 865
modo differenziale, 720
modulatori bilanciati, 912
moltiplicatore a quattro quadranti, 836
moltiplicatore di Gilbert, 835
moltiplicazione a valanga, 71
moltiplicazione di Miller, 869
Moore, Gordon, 31
MOSFET, 113
- a canale n, 116
- a canale p, 129
- a svuotamento, 118
- ad arricchimento, 118
- alle alte frequenze, 862
- applicazione e prelievo del segnale, 643
- capacità, 133
- caratteristica di trasferimento, 126
- effetto body, 127, 610
- fabbricazione, 141
- guadagno di tensione intrinseco, 608
- modello matematico, 124
- modello per piccoli segnali, 606
- Modello Unificato, 140
- modulazione della lunghezza di canale, 125
- polarizzazione, 145, 154
- regione attiva, 124

- regione di pinch-off, 123
- regione di saturazione, 122-123
- regione lineare, 121
- resistenza di conduzione, 121
- resistenza differenziale di uscita, 607
- retta di carico, 146
- riduzione delle dimensioni, 137
- simboli circuitali, 131
- sommario del modello matematico, 128-129
- sommario delle equazioni del modello, 140
- strozzamento del canale, 123
- terminale di substrato, 131
- transconduttanza, 122, 607
- transizione, 138
- most significant Bit (MSB), 8
- multivibratore astabile, 568
- multivibratore monostabile, 570

N

- neutralizzazione, 909
- nitrato di silicio, 50
- Norton, circuito equivalente, 14
- nota progettuale
- restrizioni per il partitore di corrente, 13
- restrizioni per il partitore di tensione, 13
- amplificatore di transresistenza, 388
- amplificatore invertente, 386
- amplificatore non invertente, 391
- amplificazione di modo comune, 724
- amplificazione di modo differenziale, 723
- approssimazioni per la rete a quattro resistori, 200
- come ottenere un CMRR elevato, 729
- condizione di piccolo segnale, 586
- condizione di piccolo segnale per il transistor bipolare, 593
- determinazione del tipo di retroazione, 456
- differenza tra regione attiva diretta e inversa, 183
- dipendenza della tensione diretta del diodo della temperatura, 68
- emettitore a potenziale costante, 722
- errore di guadagno relativo, 422
- generatori in continua e circuiti equivalenti AC, 579
- guadagno degli amplificatori a singolo stadio, 673
- guadagno di tensione intrinseco, 590
- guadagno intrinseco del MOSFET, 609
- impedenze di ingresso, 503
- imporre la saturazione del transistor, 146
- importanza del prodotto β o V_A , 765
- ingresso invertente nei circuiti con amplificatori operazionali, 21
- ipotesi operative, 383
- limitazioni dell'analisi del caso peggiore, 25
- livelli di drogaggio, 41

- margine di fase minimo, 494
- massimo guadagno di un amplificatore a singolo transistor, 603
- modello matematico del transistor NMOS, 128
- modello matematico del transistor PMOS, 129
- operazionali e correnti di bias, 519
- parametri del modello del diodo, 64
- posizione di poli e zeri, 848
- progetto del partitore di tensione di gate, 150
- progetto della rete a quattro resistori, 202
- punto di lavoro del MOSFET in saturazione, 149
- regione attiva diretta del transistor BJT, 176
- regole per i circuiti equivalenti in DC e AC, 580
- resistenza di emettitore o source, 659
- resistenza di uscita, 591
- resistenza di uscita dell'amplificatore a emettitore comune, 598
- resistenza differenziale di uscita del transistor, 635
- resistenza vista dal collettore, 604
- resistore in serie a emittitore o source, 658
- simmetria del MOSFET, 132
- stima del guadagno dell'amplificatore a emettitore comune, 598
- stima del guadagno di tensione di un amplificatore a source, 619
- stima della resistenza di uscita di un amplificatore, 664
- strategia di progetto dell'invertitore logico, 236
- tempi e ritardi di circuiti RC, 261
- tempo di transito, 193
- tensione sul resistore di collettore, 719
- tensione termica V_T , 45
- terminali di ingresso e di uscita del MOSFET, 644
- terminali di ingresso e di uscita del transistor bipolare, 643
- transconduttanza del transistor bipolare, 193
- *transfer function* in SPICE, 374
- Noyce, Robert, 31

O

- operational transconductance amplifiers (OTA), 812
- operazione di lettura, 322
- operazione di scrittura, 322
- oscillatore, 556, 924, 972
- a G_m negativo, 976
- ad alta frequenza, 972
- ad anello, 272
- a cristallo, 978
- a ponte di Wien, 559
- a sfasamento, 560
- Colpitts, 972
- criterio di Barkhausen, 556

- fattore di merito, 978
- Hartley, 974
- impedenza del cristallo, 978
- RC, 559
- risonanza "parallelo", 978
- risonanza "serie", 978
- stabilizzazione dell'ampiezza, 560, 975
- ossidazione, 50
- ossido di silicio, 50

P

- parametri g, 370
- partitore
- di corrente, 13
- di tensione, 12
- pass-transistor, 343
- polarizzazione
- del transistor bipolare (BJT), 196
- del MOSFET, 145, 154
- a quattro resistori, 198, 204
- personalizzazione della ROM, 345
- pole splitting, 879
- polo dominante
- in alta frequenza, 844
- in bassa frequenza, 841
- porta di trasmissione CMOS, 309
- porta logica
- ad area minima, 303
- BiCMOS, 361
- bipolare saturata, 360
- coupled-mode logic (CML), *vedere coupled-mode logic (CML)*
- criteri di progetto, 218
- emitter-coupled logic (ECL), *vedere emitter-coupled logic (ECL)*
- risposta dinamica, 218
- transistor-transistor logic (TTL), *vedere transistor-transistor logic (TTL)*
- TTL Schottky, 361
- CMOS, 278
- CMOS, porte logiche complesse, 298
- CMOS, porte NOR e NAND, 294
- CMOS, prodotto ritardo-potenza, 291, 293
- ideale, 214
- potenza, *vedere dissipazione di potenza*
- potenziale intrinseco, 58
- pozzi di corrente, 764
- precisione numerica, 29
- prelievo
- in corrente, 447, 451
- in parallelo, 442
- in serie, 447
- in tensione, 442
- principio di sovrapposizione, 19, 580
- processo
- di diffusione, 50
- di evaporazione, 50
- di ossidazione, 50
- fotolitografico, 50
- prodotto guadagno unitario-larghezza di banda, 860
- prodotto guadagno-larghezza di banda, 478, 964
- prodotto ritardo-potenza, 138, 220, 293

PROM, 348
 protezione da cortocircuito, 759
 PTAT, *Proportional To Absolute Temperature*, 69, 790
 punto Q, 77, 145
 punto -1, 489
 punto al 50%, 219
 punto di lavoro, 77, 145, 196

R

raddrizzatore a doppia semionda, 101
 raddrizzatore di precisione, 563
 RAM dinamica (DRAM), 320
 RAM statica (SRAM), 320
 random-access memory (RAM), 319-320
 rapporto d'aspetto del canale W/L, 223
 rapporto di reiezione del modo comune, 468, 725, 734
 rapporto di riflessione, 778
 rapporto di ritorno, 421, 998
 refresh, 330
 regione
 - attiva diretta, 172
 - attiva inversa, 172
 - attiva normale, 172
 - di canale, 117
 - di carica spaziale, 57
 - di interdizione, 172
 - di inversione, 115
 - di rottura, 71
 - di saturazione, 172
 - di svuotamento, 57, 115
 - di triodo, 118
 regolatore switching, 107
 regolatori di tensione, 89
 reiezione di banda, 22
 reiezione di modo comune, 467
 reiezione di modo normale, 552
 relazione di Einstein, 46
 rendimento, 754
 resistenza, 635
 - di base nel modello ibrido, 865
 - di carico, 224
 - di compensazione, 463
 - di ingresso, 20
 - di ingresso di modo comune, 473, 724
 - di ingresso di modo differenziale, 473, 722
 - di uscita di modo differenziale, 722
 - differenziale, 585
 - differenziale d'ingresso, 588
 - differenziale di uscita, 588
 resistenza on, 227
 resistenze, 10
 resistività, 32
 rete di polarizzazione a quattro resistori, 198
 rete di retroazione, 20, 420, 924
 retroazione, *vedere sistemi con retroazione*
 retta di carico, 77, 225
 redistribuzione di carica, 332
 riferimento di tensione a bandgap, 803
 risposta al gradino, 492
 risposta in frequenza degli amplificatori
 - analisi diretta del circuito, 845

- funzione di trasferimento, 847
 risposta in alta frequenza, 869
 risposta in frequenza a singolo polo, 477
 risposta in frequenza degli amplificatori multistadio, 890
 risposta in frequenza degli amplificatori,
 - amplificatore a base comune, 855
 - amplificatore a collettore comune, 856
 - amplificatore a drain comune, 857
 - amplificatore a gate comune, 855
 - amplificatore C-E, 851
 - amplificatore C-S, 854
 - condensatore indipendente, 847
 risposta in frequenza del modo comune, 890
 ritardo di propagazione, 219
 ritardo di propagazione invertitore NMOS
 - con carico a svuotamento, 266
 - con carico in saturazione, 269
 ritardo di propagazione porte NMOS, 258
 ritardo medio di propagazione, 219, 285
 rivelatore di picco, 93
 ROM, 320 N
 Rosenstark, metodo di, 997
 rumore
 - Johnson, 613
 - shot, 613
 - termico, 613

S

Sah, Chih-Tang, 277
 Sample-&Hold, 555
 saturazione della velocità, 246, 271, 289, 733
 Schokley, William, 4
 scrittura cella 6-T, 327
 scrittura nella cella 1-T, 331
 segnali
 - analogici, 6-7
 - audio, 17
 - di cadenza, 531
 - di clock, 340
 - di ingresso di modo comune, 733
 - di ingresso di modo differenziale, 732
 - di temporizzazione, 340
 - digitali, 6-7
 - di modo differenziale, 890
 - escursione massima del segnale di uscita, 637
 - FM, 21
 - PWM, 762
 semiconduttore, 32, 39
 - banda di conduzione, 47
 - banda di valenza, 47
 - banda proibita, 47
 - compensato, 50
 - corrente di diffusione, 46
 - di tipo n, 41
 - di tipo p, 41
 - drogaggio, 39
 - elementari, 32
 - estrinseco, 39
 - impurità, 39
 - intrinseco, 35
 - livello donatore, 48
 - modello a bande di energia, 47
 - neutralità della carica, 41
 semiconduttori composti, 32
 sensibilità, 528
 Shockley, William, 1, 113, 157
 silicio, 32
 silicio intrinseco, 38
 silicio policristallino, 50
 sintesi digitale diretta (DDS), 570
 sintonizzazione, 908
 sistema retroazionato classico, 924
 sistemi con retroazione, 420
 - controllo della risposta in frequenza, 484
 - esempi, 930
 - metodo di Rosenstark, 997
 - miglioramenti introdotti dalla retroazione, 923
 - retroazione negativa, 923
 - retroazione positiva, 566
 - calcolo della resistenza con il teorema di Blackman, 435
 - confronto in serie, 436
 - confronto in tensione, 436
 - guadagno ad anello chiuso, 435
 - iniezioni successive di tensione corrente, 456
 - metodo generale per il calcolo del guadagno, 435
 - prelievo in parallelo, 436
 - prelievo in tensione, 436
 - retroazione parallelo-parallelo, 434, 442
 - retroazione parallelo-serie, 435, 451
 - retroazione serie-parallelo, 434, 436
 - retroazione serie-serie, 435, 447
 - serie e parallelo, 433
 slew rate, 485, 751, 963
 somma di prodotti, 222
 source, 117
 specchio di corrente, 777, 894
 - ad elevata resistenza di uscita, 791
 - come carico attivo, 807
 - con buffer, 784
 - confronto fra le varie topologie, 794
 - di Widlar MOS, 789
 - modello a doppio bipolo, 786
 - resistenza di uscita, 785
 - riepilogo, 796
 spessore dell'ossido, 115
 spettro di frequenza, 18
 SPICE
 - analisi assistita da calcolatore, 11
 - modello del BJT, 197
 - modello del diodo, 75
 - modello del MOSFET, 135
 sputtering, 50
 stabilità, 488, 950
 stabilità degli amplificatori, semipiano sinistro, 489
 stabilizzazione dell'ampiezza, 560
 stadi di uscita, 753
 stadio amplificatore a simmetria complementare, 886

stadio di uscita complementare, 755
 strato di inversione, 115
 superdiode, 563

T

tabelle di verità, 221
 TAS, 735
 tavola periodica degli elementi, 32
 Teal, Gordon, 2
 tecnologia BiCMOS e tecnologia BiFET, 751
 tempo
 - di discesa, 219, 266
 - di salita, 219, 266
 - di assestamento, 493
 - di conversione, 547
 - di immagazzinamento, 108
 - di propagazione, 219
 - di transito, 73
 tensione
 - di Early, 191
 - di ingresso di modo comune, 467
 - di offset, 460
 - di ondulazione, 94
 - di riferimento, 214
 - di rottura, 71
 - di soglia, 115
 - inversa di picco, 99
 - termica, 46
 teorema di Blackman, 435
 termometro digitale, 69, 790
 Thévenin, circuito equivalente, 14
 TIS, 735
 tolleranze, 22
 transconduttanza, 588
 transconduttanza di body, 610
 transistor
 - frequenza di transizione, 860
 - BJT, *vedere transistor bipolare a giunzione (BJT)*
 - MOSFET, *vedere MOSFET*
 transistor Schottky, 361
 - bipolare al germanio, 1
 - di commutazione, 224
 transistor bipolare
 - resistenza di collettore, 657
 transistor bipolare a giunzione (BJT), 157-158
 - capacità di diffusione, 189
 - caratteristiche di trasferimento, 171
 - caratteristiche di uscita, 169
 - configurazione cascode, 794
 - connesso a diodo, 780
 - effetto Early, 191
 - guadagno di corrente diretto, 160
 - modello del trasporto (*nnp*), 160
 - modello del trasporto completo, 163
 - modello del trasporto, forme semplificate, 173
 - modello SPICE, 193
 - polarizzazione, 196
 - regione attiva diretta, 161, 172
 - regione attiva inversa, 172
 - regione attiva normale, 172
 - regione di interdizione, 172
 - regione di saturazione, 172
 - regioni di funzionamento, 172
 - rete di polarizzazione a quattro resistori, 198
 - scoperta del transistor bipolare, 1, 4

 - specchio di corrente, 780
 - tempo di transito in base, 188
 - tensioni di rottura delle giunzioni, 186
 - transconduttanza, 192
 - transistor npn, 159
 - transistor pnp, 165
 - trasporto dei portatori minoritari nella regione di base, 186
 transistori bipolari parassiti, 315
 trasformatore a presa centrale, 101
 trasformatore di accoppiamento, 760
 traslatori di livello, 357
 traslazione del livello di tensione, 743
 trigger di Schmitt, 566
 triodo, 3, 4
 tempi di salita e discesa, 287
 transistor-transistor logic (TTL), 360

U

uscita single-ended, 722

V

valore nominale, 23
 velocità di saturazione, 37
 verifica dei risultati, 11
 very large scale integration (VLSI), 277
 voltage transfer characteristic (VTC), 214
 voltmetro, realizzazione di un, 565

W

Wanlass, Frank, 277
 Widlar, Robert, 775
 wordline (WL), 322

MICROELETTRONICA

PROBLEMI CON SOLUZIONI SUL SITO ONLINE
www.mheducation.it

1850 problemi

Elettronica dello stato solido • Diodi a stato solido • MOSFET
Transistori bipolari a giunzione • Elettronica digitale
CMOS • Memorie • Circuiti sequenziali • Convertitori A/D e D/A
Sistemi analogici • Amplificatori operazionali ideali
Caratteristiche e limitazioni degli amplificatori operazionali
Amplificatori invertenti • Amplificatori a singolo transistor
Amplificatori multistadio accoppiati in AC
Amplificatori differenziali e operazionali • Risposta in frequenza
Retroazione • Stabilità • Oscillatori

**Mc
Graw
Hill**

Capitolo 1

Riepilogo

- L'era dell'elettronica è iniziata al principio del '900 con la creazione del rivelatore a cristallo di Pickard, l'invenzione del diodo a vuoto di Fleming e quella del triodo a vuoto di De Forest. Da quei tempi, l'industria elettronica è cresciuta fino a coprire il 10% del prodotto interno lordo mondiale.
- L'effetto catalizzante di questa crescita esplosiva si ebbe subito dopo la seconda guerra mondiale, con l'invenzione del transistor bipolare da parte di Bardeen, Brattain e Shockley nel 1947, e con l'invenzione del circuito integrato in contemporanea da parte di Kilby e di Noyce e Moore nel 1958.
- I circuiti integrati divennero rapidamente una realtà commerciale, e la loro complessità, sia misurata in termini di densità di memoria (bit/chip), di numero di transistori per microprocessore o di dimensione minima realizzabile, è aumentata esponenzialmente dalla metà degli anni '60. Ora siamo nell'era di integrazione su scala gigantesca (GSI), dopo i precedenti livelli di integrazione - SSI, MSI, LSI, VLSI, ULSI.
- Il progetto dei circuiti elettronici tratta due principali classi di segnali. I segnali analogici possono assumere qualsiasi valore in un intervallo finito di correnti o di tensioni. I segnali digitali, invece, possono assumere solo un insieme finito di valori discreti. I segnali digitali più comuni sono quelli binari, rappresentati da due soli livelli discreti.
- I ponti tra il mondo analogico e quello digitale sono costituiti dai circuiti di conversione digitale - analogico e analogico - digitale (rispettivamente DAC e ADC). Il DAC converte l'informazione digitale in un segnale analogico di tensione o di corrente, mentre il ADC invia un numero in formato digitale in uscita che è proporzionale al segnale di ingresso di tensione o di corrente.
- Fourier ha dimostrato che i segnali complessi possono essere rappresentati come una combinazione lineare di segnali sinusoidali. L'elaborazione dei segnali analogici è applicata a questi segnali utilizzando amplificatori lineari. Questi ultimi modificano l'ampiezza e la fase dei segnali analogici, senza alterare il contenuto frequenziale del segnale, ma alterando solo le ampiezze e le fasi delle loro componenti sinusoidali.
- Gli amplificatori sono classificati in base alla loro risposta in frequenza come passa-basso, passa-alto, passa-banda, a reiezione di banda o passa-tutto. I circuiti elettronici che vengono progettati per amplificare campi specifici di frequenze sono usualmente definiti come filtri.
- La risoluzione di problemi è un punto focale nella preparazione di un ingegnere. Un approccio ben definito al problema può aiutare notevolmente la loro soluzione; a questo scopo è stato introdotto in questo capitolo un approccio strutturato alla soluzione dei problemi, articolato in nove passi. Nel resto del libro gli esempi seguiranno l'approccio proposto per la soluzione dei problemi:
 1. Definire il **problema** il più chiaramente possibile.
 2. Elencare le **informazioni note** e i **dati assegnati**.
 3. Definire le **incognite** da determinare per risolvere il problema.
 4. Elencare le **ipotesi**. Nel corso dell'analisi si potrà verificare la necessità di introdurre nuove ipotesi.
 5. Sviluppare un **approccio** selezionandolo da un insieme di possibili alternative.
 6. Effettuare l'**analisi** per determinare la soluzione al problema.
 7. **Controllare i risultati**. La matematica è corretta? Sono state trovate tutte le incognite? I risultati soddisfano semplici test di congruenza?
 8. **Valutare la soluzione**. Il risultato è realistico? Può essere realizzato? Se la risposta è no, ripetere i passi 4-7 fin quando si ottiene una soluzione soddisfacente.
 9. Utilizzare l'**analisi assistita dal calcolatore** (CAD) per controllare i risultati e vedere se la soluzione soddisfa le richieste del problema.
- I progetti circuitali dovranno essere realizzati utilizzando componenti reali i cui valori iniziali potranno differire da quelli del progetto e varieranno con il tempo e la temperatura. Le tecniche per analizzare l'influenza delle tolleranze dei parametri sulle prestazioni del circuito includono l'analisi di caso peggiore (*worst case*) e i metodi statistici di analisi Monte Carlo. Molti programmi di analisi circuitali includono la possibilità di specificare le dipendenze dalla temperatura della maggior parte degli elementi circuitali.

- Nelle analisi worst-case i valori degli elementi circuitali sono spinti ai loro estremi, per cui le predizioni risultanti del comportamento del circuito sono spesso eccessivamente pessimistiche.
- Il metodo Monte Carlo analizza un numero elevato di versioni del circuito in esame, scelte in maniera casuale, per ottenere una valutazione realistica della distribuzione statistica del comportamento del circuito stesso.

Problemi

1.1 Storia dell'elettronica

- 1.1 L'andamento nel tempo della densità delle memorie (bit/chip) può essere approssimativamente descritta dalla relazione: $B = 19.97 \times 10^{0.1977(\text{Anno}-1960)}$. Se con questa equazione si effettua una estrapolazione lineare in un diagramma semi-logaritmico, quale sarà il numero di bit/chip di memoria nell'anno 2021?
- 1.2 Utilizzando la relazione del problema precedente, quanti anni sono necessari per raddoppiare la densità di una memoria? Quanti anni sono necessari per moltiplicare la densità di un fattore 10?
- 1.3 La linea retta inferiore in Figura 1.4 è descritta da $N = 1327 \times 10^{(Anno-1970)/6.52}$. Basandoci su una estrapolazione lineare di questa legge, quale sarà il numero dei circuiti in un microprocessore nell'anno 2020?
- 1.4 Utilizzando una proiezione lineare della Figura 1.5, quale sarà la minima dimensione caratteristica nei circuiti integrati nell'anno 2020? È possibile descrivere la curva come $F = 8.00 \times 10^{-0.05806(\text{Anno}-1970)} \mu\text{m}$. Pensate che il valore ricavato sia possibile? Perché sì o perché no?
- 1.5 Il filamento di un piccolo tubo a vuoto impiega una potenza di circa 1.5 W. Supponendo che 75 milioni di questi tubi vengano impiegati per costruire l'equivalente di una memoria da 256 Mb, quanta potenza richiede questa memoria? Se essa è fornita da un generatore AC da 220 V, qual è la corrente richiesta da tale memoria?

1.2 Classificazione dei segnali elettronici

- 1.6 Si classifichi ognuna delle seguenti grandezze come analogica o digitale: (a) stato di un interruttore della luce, (b) stato di un termostato, (c) pressione dell'acqua, (d) livello della benzina nel serbatoio, (e) situazione creditizia della banca, (f) intensità della luce del bulbo della lampadina, (g) volume dello stereo, (h) tazza piena o vuota, (i) temperatura ambiente, (j) selezione di un canale TV, (k) pressione delle ruote.
- 1.7 Un convertitore D/A a 12 bit ha una tensione di riferimento di 10.00 V. Qual è la tensione corrispondente al LSB? E al MSB? Qual è la tensione di uscita se il codice binario di ingresso è (100100100100)?

La generazione di numeri casuali è possibile nei linguaggi di programmazione ad alto livello, ed è possibile utilizzare fogli elettronici, Mathcad® o MATLAB® per scegliere a caso i valori degli elementi circuitali da inserire in analisi Monte Carlo. Alcuni programmi di analisi circuitali come PSPICE presentano l'opzione di analisi Monte Carlo come parte del pacchetto di analisi possibili.

Le soluzioni si trovano sul sito web dedicato al libro



- 1.8 Un convertitore A/D a 8 bit ha $V_{FS} = 5$ V. Qual è il valore corrispondente al LSB? Se la tensione di ingresso è 2.77 V, qual è il codice binario di uscita del convertitore?
- 1.9 Un convertitore A/D a 12 bit ha $V_{FS} = 5.12$ V e il codice in uscita è: (101110111011). Qual è il valore corrispondente al LSB? Qual è il campo delle tensioni di ingresso corrispondente al codice di uscita del ADC?

1.3 Convenzioni sulle notazioni

- 1.10 Se $i_B = 2(1 + \cos 1000t)$ mA, quali sono i valori di I_B e i_b ?
- 1.11 Se $V_{CE} = 5$ V e $v_{ce} = (2 \cos 5000t)$ V, si scriva l'espressione di v_{CE} .

1.5 Richiami di teoria dei circuiti

- 1.12 Si utilizzino i partitori di tensione e di corrente per trovare V_1 , V_2 , I_2 e I_3 nel circuito di Figura P1.12 se $V = 10$ V, $R_1 = 4.7$ k Ω , $R_2 = 2.2$ k Ω , $R_3 = 18$ k Ω .

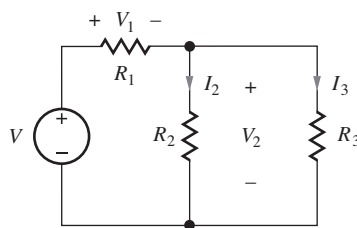


Figura P1.12

- 1.13 Si utilizzino i partitori di tensione e di corrente per trovare I_1 e I_2 nel circuito di Figura P1.13 se $I = 5$ mA, $R_1 = 4.7$ k Ω , $R_2 = 2.2$ k Ω , $R_3 = 3.6$ k Ω .

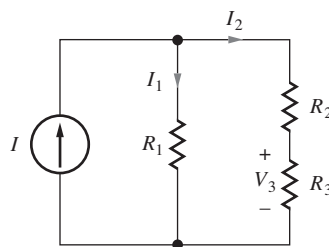


Figura P1.13

- 1.14** Si trovi la rappresentazione equivalente di Thévenin e di Norton del circuito in Figura P1.14 se $g_m = 2 \text{ mS}$ e $R_1 = 100 \text{ k}\Omega$.

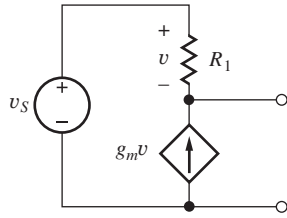
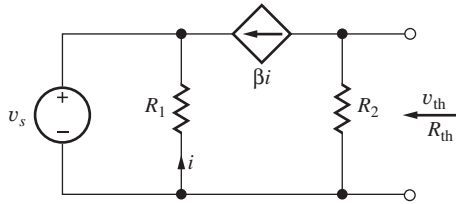
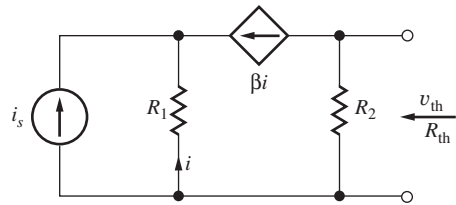


Figura P1.14

- 1.15** Si trovi la rappresentazione equivalente di Thévenin del circuito in Figura P1.15(a) se $\beta = 120$, $R_1 = 100 \text{ k}\Omega$, $R_2 = 39 \text{ k}\Omega$. Ripetere per il circuito in Figura 1.15(b).



(a)



(b)

Figura P1.15

- 1.16** Si trovi la rappresentazione equivalente di Norton del circuito in Figura P1.15(a) se $\beta = 100$, $R_1 = 75 \text{ k}\Omega$, $R_2 = 56 \text{ k}\Omega$.
- 1.17** Calcolare la resistenza equivalente, vista ai capi del generatore v_s in Figura P1.15(a). Assumere: $\beta = 80$, $R_1 = 100 \text{ k}\Omega$, $R_2 = 39 \text{ k}\Omega$.
- 1.18** Si trovi la rappresentazione equivalente di Thévenin del circuito in Figura P1.18 se $g_m = 2.5 \text{ mS}$, $R_1 = 100 \text{ k}\Omega$, $R_2 = 1 \text{ M}\Omega$.

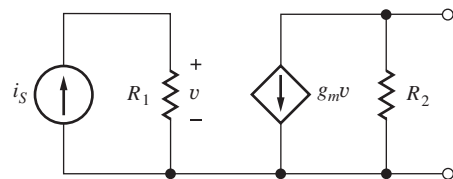


Figura P1.18

1.6 Spettro di frequenza dei segnali elettronici

- 1.19** A un segnale corrisponde una tensione espressa come $v(t) = (5 \sin 1000\pi t + 3 \cos 2000\pi t) \text{ V}$. Si tracci un grafico dello spettro di ampiezza di $v(t)$ simile a quello in Figura 1.18(b).

- *1.20** La tensione $v_1 = (2 \sin 20000\pi t) \text{ V}$ è moltiplicata per la tensione $v_2 = (2 \sin 2000\pi t) \text{ V}$. Si tracci un grafico dello spettro di ampiezza per $v = v_1 \times v_2$ simile a quello in Figura 1.18(b). (Si noti che la moltiplicazione è un'operazione matematica di tipo non lineare. In elettronica è comunemente chiamata *miscelazione* perché produce un segnale che contiene frequenze che non sono presenti nel segnale di ingresso, ma dipendono direttamente dalle frequenze di ingresso.)

1.7 Amplificatori

- 1.21** Le tensioni di ingresso e di uscita di un amplificatore sono espresse come $v_s = 10 \sin(2 \times 10^7 \pi t) \mu\text{V}$ e $v_o = 2 \sin(2 \times 10^7 \pi t + 36^\circ) \text{ V}$. Quali sono l'ampiezza e la fase del guadagno di tensione dell'amplificatore?
- *1.22** Le tensioni di ingresso e di uscita di un amplificatore sono espresse come:
- $$v_s = [10^{-3} \sin(3000\pi t) + 2 \times 10^{-3} \sin(5000\pi t)] \text{ V}$$
- e
- $$v_o = [10^{-1} \sin(3000\pi t - 12^\circ) + 10^{-2} \sin(5000\pi t - 45^\circ)] \text{ V}$$
- (a) Si calcolino l'ampiezza e la fase del guadagno di tensione dell'amplificatore a una frequenza di 2.5 kHz, (b) e a 1.5 kHz.
- 1.23** Si trovi l'espressione del guadagno di tensione $A_v = v_o/v_s$ per l'amplificatore in Figura P1.23.

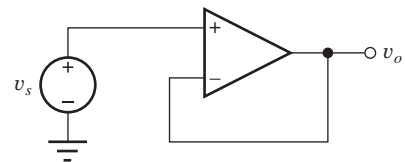


Figura P1.23

- 1.24** Si trovi l'espressione del guadagno di tensione $A_v = v_o/v_s$ per l'amplificatore in Figura P1.24.

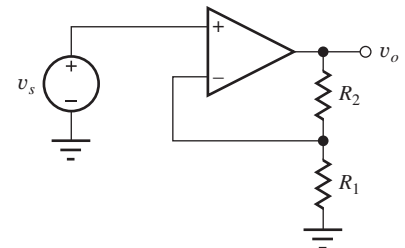


Figura P1.24

- 1.25** Si trovi l'espressione della tensione di uscita $v_o(t)$ del circuito di Figura P1.25, assumendo $R_1 = 1 \text{ k}\Omega$, $R_2 = 2 \text{ k}\Omega$, $v_1(t) = (10 \sin 3770t) \text{ mV}$ e $v_2(t) = (40 \sin 10000t) \text{ mV}$. Si scriva l'espressione della tensione al terminale invertente (v_-).

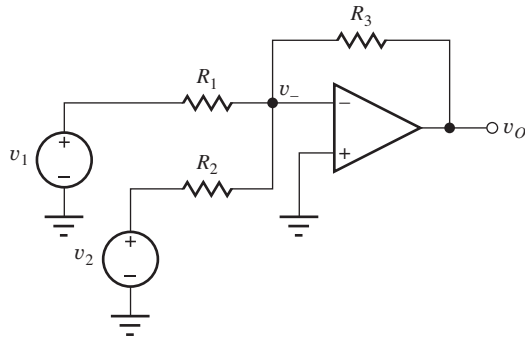


Figura P1.25

- 1.26** Il circuito in Figura P1.26 può essere utilizzato come un semplice convertitore digitale/analogico (DAC) a 3 bit. Ciascuno dei bit della parola binaria in ingresso (b_1, b_2, b_3) è utilizzato per controllare la posizione degli interruttori, con le resistenze connesse a massa se $b_i = 0$, e connesse a V_{REF} se $b_i = 1$. (a) Qual è la tensione di uscita per un ingresso (011) e $V_{REF} = 5.0$ V? (b) Qual è la tensione di uscita per un ingresso (100)? (c) Si costruisca una tabella relativa alla tensione di uscita per ogni possibile combinazione dei dati di ingresso.

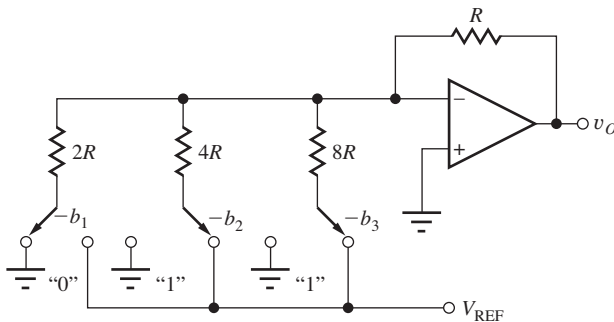


Figura P1.26

Risposta in frequenza degli amplificatori

- 1.27** Un amplificatore ha un guadagno di tensione pari a 0 per frequenze al di sotto di 1 kHz e un guadagno zero per frequenze superiori ai 5 kHz. Fra queste due frequenze l'amplificatore ha un guadagno di 20. Si classifichi tale amplificatore.
- 1.28** L'amplificatore del problema precedente ha un segnale di ingresso dato da $v_s(t) = (0.5 \sin 2500\pi t + 0.75 \cos 8000\pi t + 0.6 \cos 12000\pi t)$ V. Si scriva l'espressione per la tensione di uscita dell'amplificatore.
- 1.29** Un amplificatore ha un segnale di ingresso che può essere rappresentato come

$$v(t) = \frac{4}{\pi} (\sin \omega_0 t + \frac{1}{3} \sin 3\omega_0 t + \frac{1}{5} \sin 5\omega_0 t) \text{ V}$$

dove $\omega_0 = 2\pi f_0$ e $f_0 = 1000$ Hz.

- (a) Si utilizzi MATLAB per tracciare il grafico di tale segnale per $0 \leq t \leq 5$ ms.
- (b) Il segnale $v(t)$ è amplificato da un amplificatore che fornisce un guadagno di tensione di 5 a qualsiasi frequenza. Si riporti il grafico della tensione di uscita per questo amplificatore per $0 \leq t \leq 5$ ms. (c) Un secondo

amplificatore ha un guadagno di tensione di 5 per frequenze inferiori ai 2 kHz, ma un guadagno zero per frequenze superiori ai 2 kHz. Si riporti il grafico della tensione di uscita per questo amplificatore per $0 \leq t \leq 5$ ms. (d) Un terzo amplificatore ha un guadagno di 5 a 1 kHz, un guadagno di 3 a 3 kHz e un guadagno di 1 a 5 kHz. Si riporti il grafico della tensione di uscita per questo amplificatore per $0 \leq t \leq 5$ ms.

1.8 Variazione dei parametri nella progettazione circuitale

- 1.30** Una resistenza di $3.00 \text{ k}\Omega$ presenta una tolleranza dell'1%. Qual è il possibile intervallo di valori per la resistenza? (b) Si ripeta il calcolo per una tolleranza del 5%. (c) Si ripeta il calcolo per una tolleranza del 10%.
- 1.31** Un condensatore da 20 mF presenta una tolleranza asimmetrica $+20\%/-50\%$. Qual è il possibile intervallo di valori per la capacità?
- 1.32** (a) La misura della tensione di un generatore di tensione da 5 V fornisce un valore di 5.30 V. La tolleranza specificata per il generatore è pari al 5%. Il generatore si trova nei limiti previsti dalla specifica? Si giustifichi la risposta. (b) Il voltmetro utilizzato per la misura ha una tolleranza del 1.5%. Questo dato modifica la vostra risposta? Si motivi la risposta.
- 1.33** La misura di una resistenza fornisce il valore di 6066Ω a 0°C e 6562Ω a 100°C . Qual è il valore del coefficiente di temperatura e il valore nominale della resistenza? Si assuma $T_{\text{NOM}} = 27^\circ \text{C}$.
- 1.34** Si determini il valore nel caso peggiore per V_1, I_2 e I_3 per il circuito del Problema 1.12 assumendo per le resistenze una tolleranza del 5%, e per il generatore di tensione una tolleranza del 2%.
- 1.35** Si determini il valore nel caso peggiore per I_1, I_2 e V_3 per il circuito del Problema 1.13 assumendo per le resistenze una tolleranza del 5%, e per il generatore di corrente una tolleranza del 2%.
- 1.36** Si determini il valore nel caso peggiore per la resistenza equivalente di Thévenin per il circuito del Problema 1.14 assumendo sia per la resistenza che per g_m una tolleranza del 20%.
- 1.37** Si esegua un'analisi Monte Carlo per il circuito del Problema 1.34, utilizzando 200 casi di prova, e si confrontino i risultati con l'analisi del caso peggiore.
- 1.38** Si esegua un'analisi Monte Carlo per il circuito del Problema 1.35, utilizzando 200 casi di prova, e si confrontino i risultati con l'analisi del caso peggiore.
- 1.9 Precisione numerica**
- 1.39** (a) Si esprimano i seguenti numeri con 3 cifre significative: 3.2947, 0.995171, -6.1551 . (b) Si ripeta il caso (a) con 4 cifre significative. (c) Si verifichino tali risposte con la calcolatrice.
- 1.40** (a) Qual è la caduta di tensione sviluppata da una corrente di 1.763 mA in un resistore di $20.70 \text{ k}\Omega$? Si esprima la risposta con 3 cifre significative. (b) Si esprima la risposta con 2 cifre significative. (c) Si ripeta l'esercizio per $I = 102.1 \mu\text{A}$ e $R = 97.80 \text{ k}\Omega$.

Capitolo 2

Riepilogo

- I materiali sono presenti in natura in tre tipi basilari di struttura: amorfa, policristallina o monocristallina. I materiali amorfi presentano una struttura completamente disordinata, anche a scala estremamente ridotta. Nei materiali policristallini si possono identificare un gran numero di piccoli cristalliti. I materiali monocristallini presentano una struttura molto regolare di legami dei singoli atomi, in tutto il materiale.
- I materiali di interesse elettronico sono suddivisi in tre classi in base alla loro resistività elettrica. Gli isolanti presentano resistività superiori a $10^5 \Omega \cdot \text{cm}$, mentre i conduttori presentano resistività inferiori a $10^{-3} \Omega \cdot \text{cm}$. I materiali semiconduttori si trovano tra queste due estremi.
- Il semiconduttore attualmente più importante è il silicio (Si), che è utilizzato per la realizzazione dei circuiti integrati VLSI. Due materiali semiconduttori composti, arseniuro di gallio (GaAs) e fosfuro di indio (InP) sono molto importanti per applicazioni optoelettroniche, come per esempio i diodi emettitori di luce (LED), i laser e i fotorelavoratori.
- Le proprietà più importanti dei semiconduttori discendono dalla struttura periodica del materiale cristallino; sono stati introdotti due modelli concettuali per i semiconduttori: il modello di legame covalente e quello di bande di energia.
- A temperature molto basse, prossime allo zero assoluto, tutti i legami covalenti in un cristallo semiconduttore sono integri e il materiale si comporta come un isolante. All'aumentare della temperatura, l'energia termica rompe un certo numero di legami covalenti; la quantità di energia necessaria per rompere un legame covalente è pari all'energia di banda proibita E_G .
- Quando un legame covalente si rompe, si generano due portatori di carica: un elettrone, con carica $-q$, che è libero di muoversi nella banda di conduzione, e una lacuna, con carica $+q$, libera di muoversi nella banda di valenza.
- Il materiale puro viene chiamato intrinseco; le concentrazioni n degli elettroni e p delle lacune sono uguali tra loro e pari alla concentrazione intrinseca n_i che è approssimativamente uguale a 10^{10} portatori/cm³ nel silicio a temperatura ambiente. In un materiale in equilibrio termico, il prodotto della concentrazione degli elettroni e di quella delle lacune è una costante: $np = n_i^2$.
- Le concentrazioni sia degli elettroni che delle lacune possono essere notevolmente modificate sostituendo un piccolo numero di atomi del materiale cristallino di partenza con atomi di impurità. Il silicio, un elemento della IV colonna, ha quattro elettroni nel suo orbitale più esterno, e forma legami covalenti con quattro dei suoi più vicini atomi nel cristallo. Invece gli atomi di impurità (della colonna III o V della tavola periodica degli elementi) presentano o tre o cinque elettroni nel loro orbitale più esterno.
- Nel silicio, gli elementi della colonna V, come il fosforo, l'arsenico e l'antimonio, agiscono come donatori e forniscono elettroni nella banda di conduzione. Al contrario un elemento della colonna III, come il boro, presenta solo tre elettroni di valenza e quindi crea una lacuna libera di muoversi nella banda di valenza.
- Le concentrazioni di impurità di tipo donatore o accettore sono usualmente indicate rispettivamente con i simboli N_D o N_A .
- Se la concentrazione di elettroni è maggiore di quella delle lacune, il semiconduttore è detto di tipo n , e gli elettroni sono definiti come portatori maggioritari mentre le lacune sono dette portatori minoritari. Nell'altro caso il semiconduttore è detto di tipo p , e le lacune sono i portatori maggioritari, mentre gli elettroni sono quelli minoritari.
- Le correnti sia di elettroni che di lacune hanno due componenti: una componente di deriva e una di diffusione.
- La corrente di deriva è il risultato del moto dei portatori dovuto al campo elettrico applicato. Le correnti di deriva sono proporzionali alle mobilità di elettroni o di lacune (rispettivamente μ_n o μ_p).
- Le correnti di diffusione dipendono dai gradienti di concentrazione degli elettroni o delle lacune. Le correnti di diffusione sono proporzionali ai coefficienti di diffusione degli elettroni o delle lacune (rispettivamente D_n o D_p).
- I coefficienti di diffusione e le mobilità sono legati tra loro mediante la relazione di Einstein $D/\mu = kT/q$.

Quando si droga un semiconduttore si altera la struttura del cristallo e quindi i valori sia della mobilità che del coefficiente di diffusione decrescono monotonicamente all'aumentare del drogaggio. L'espressione kT/q ha le dimensioni di una tensione ed è spesso indicata come tensione termica V_T ; a temperatura ambiente ha un valore di circa 26 mV.

- La capacità di modificare il tipo di conducibilità con l'aggiunta di impurità nei semiconduttori e di variare la concentrazione di elettroni e lacune è fondamentale per ottenere elevate prestazioni nei dispositivi a stato solido e nei circuiti integrati ad alta densità. Questa tecnica è utilizzata per realizzare diodi e transistori bipolari (BJT).
- Sia i dispositivi a stato solido che i circuiti integrati più complessi vengono realizzati mediante ripetute iterazioni di alcuni passi basilari di processo per IC, come l'ossidazione, la fotolitografia, gli attacchi, l'impiantazio-

ne ionica, la diffusione, l'evaporazione, la deposizione di metalli sia per sputtering che per deposizione chimica (CVD), la crescita epitassiale.

- Per realizzare i circuiti integrati occorre creare delle aree localizzate di tipo p ed n , sulla superficie del silicio. Si possono utilizzare strati di ossido di silicio, nitruro di silicio, polisilicio, fotoresist o altri materiali per coprire le aree della superficie della fetta di silicio in cui non debbono penetrare gli atomi delle impurità introdotti a seguito di un processo di impiantazione e/o diffusione. Le maschere che contengono l'insieme delle finestre che debbono essere aperte negli strati protettivi di questi materiali depositi sulla superficie di silicio vengono realizzate mediante sistemi CAD e tecniche di riduzione fotolitografica. Questi tracciati vengono poi trasferiti dalla maschera alla superficie della fetta di silicio mediante fotolitografia ad alta definizione.

Problemi

2.1 Materiali semiconduttori

- 2.1 L'alluminio puro presenta una resistività di $2.6 \mu\Omega \cdot \text{cm}$. In base al valore della resistività si stabilisca se l'alluminio debba essere considerato come un conduttore, un semiconduttore oppure un isolante.
- 2.2 La resistività del biossido di silicio è $10^{15} \Omega \cdot \text{cm}$. Questo materiale è un conduttore, un semiconduttore o un isolante?
- 2.3 Una linea di interconnessione di alluminio in un circuito integrato può operare con una densità di corrente massima di 100 kA/cm^2 . Se la linea è larga $5 \mu\text{m}$ e alta $1 \mu\text{m}$, qual è la massima corrente che può attraversarla?

2.2 Modello a legame covalente

- 2.4 Si calcoli la concentrazione intrinseca nel silicio e nel germanio per (a) 100 K, (b) 300 K e (c) 500 K. Si utilizzino le informazioni della tabella in Figura 2.4.
- 2.5 (a) Si calcoli la temperatura alla quale risulta $n_i = 10^{14}/\text{cm}^3$ nel silicio. (b) Si ripeta il calcolo per il caso $n_i = 10^{16}/\text{cm}^3$.

2.3 Corrente di deriva

- 2.6 Gli elettroni e le lacune si muovono lungo una certa direzione per effetto di un campo elettrico $E = +2500 \text{ V/cm}$. Le mobilità degli elettroni e delle lacune sono rispettivamente pari a $700 \text{ cm}^2/(\text{V} \cdot \text{s})$ e $250 \text{ cm}^2/(\text{V} \cdot \text{s})$. Si calcolino le velocità dei portatori. Si calcolino le densità di corrente assumendo $n = 10^{17}/\text{cm}^3$ e $p = 10^3/\text{cm}^3$.

Le soluzioni si trovano sul sito web dedicato al libro



- 2.7 In un semiconduttore fluisce una densità di corrente di -1 kA/cm^2 e la densità di carica è pari a 0.01 C/cm^3 . Si calcolino le velocità dei portatori.
- 2.8 Il massimo valore della velocità di deriva nel silicio è pari a 10^7 cm/s . Assumendo che la densità di carica sia pari a 0.4 C/cm^3 , si calcoli il massimo valore della densità di corrente di deriva.
- 2.9 (a) Una tensione di 5 V è applicata a un campione di silicio di lunghezza pari a $10 \mu\text{m}$. Quanto vale il campo elettrico? (b) Assumendo che il massimo valore possibile per il campo elettrico nel silicio sia pari a 10^5 V/cm , si determini il massimo valore della tensione che può essere applicata al campione.

2.4 Resistività nel silicio intrinseco

- 2.10 In base alle definizioni riportate in Tabella 2.1, si valuti la temperatura alla quale il silicio intrinseco diventa un conduttore. Si assuma $\mu_n = 100 \text{ cm}^2/(\text{V} \cdot \text{s})$ e $\mu_p = 50 \text{ cm}^2/(\text{V} \cdot \text{s})$. (Si osservi che la temperatura di fusione del silicio è pari a 1430 K).
- 2.11 In base alle definizioni riportate in Tabella 2.1, si valuti la temperatura alla quale il silicio intrinseco diventa un isolante. Si assuma $\mu_n = 2000 \text{ cm}^2/(\text{V} \cdot \text{s})$ e $\mu_p = 750 \text{ cm}^2/(\text{V} \cdot \text{s})$.

2.5 Impurità nei semiconduttori

- 2.12 Si disegni una porzione del reticolo cristallino del silicio [in modo analogo alla Figura 2.6(b)] in cui siano presenti un atomo accettore e uno donatore adiacenti. Vi sono portatori liberi?

- 2.13** L'arseniuro di gallio (GaAs) è composto da un uguale numero di atomi di gallio e arsenico, e forma un reticolo cristallino simile a quello del silicio. (a) Si immagini di sostituire un atomo di gallio con un atomo di silicio. L'atomo di silicio si comporta come donatore oppure come accettore? Si giustifichi la risposta. (b) Si immagini di sostituire un atomo di arsenico con un atomo di silicio. L'atomo di silicio si comporta come donatore oppure come accettore? Si giustifichi la risposta.
- 2.14** In un campione di silicio di tipo n con resistività pari a $20 \text{ m}\Omega \cdot \text{cm}$ è presente una densità di corrente di 10 kA/cm^2 . Si calcoli il campo elettrico.
- 2.15** Il valore massimo della velocità di deriva nel silicio è pari a circa 10^7 cm/s . Si calcoli il massimo valore della densità di corrente di deriva in un campione di silicio di tipo n con drogaggio pari a $10^{16}/\text{cm}^3$.

2.6 Concentrazioni degli elettroni e delle lacune nei semiconduttori estrinseci

- 2.16** Per un semiconduttore risulta $N_A = 10^{15}/\text{cm}^3$, $N_D = 10^{14}/\text{cm}^3$ e $n_i = 5 \times 10^{13}/\text{cm}^3$. Si calcolino le concentrazioni di elettroni e lacune.
- 2.17** Per un semiconduttore risulta $N_D = 10^{16}/\text{cm}^3$, $N_A = 5 \times 10^{16}/\text{cm}^3$, e $n_i = 10^{11}/\text{cm}^3$. Si calcolino le concentrazioni di elettroni e lacune.
- 2.18** Per un semiconduttore risulta $N_A = 2 \times 10^{17}/\text{cm}^3$, $N_D = 3 \times 10^{17}/\text{cm}^3$ e $n_i = 10^{17}/\text{cm}^3$. Si calcolino le concentrazioni di elettroni e lacune.
- 2.19** Un campione di silicio è drogato con 6×10^{18} atomi di boro/ cm^3 . (a) Il materiale è di tipo n o p ? (b) Si calcolino le concentrazioni di elettroni e lacune a temperatura ambiente. (c) Si ripeta il calcolo delle concentrazioni dei portatori a 200 K.
- 2.20** Un campione di silicio è drogato con 2×10^{18} atomi di arsenico/ cm^3 e con 8×10^{18} atomi di boro/ cm^3 . (a) Il materiale è di tipo n o p ? (b) Si calcolino le concentrazioni di elettroni e lacune a temperatura ambiente.

2.7 Mobilità e resistività nei semiconduttori estrinseci

- 2.21** Un campione di silicio è drogato con atomi donatori con concentrazione pari a $4 \times 10^{16}/\text{cm}^3$. Si calcolino le concentrazioni di elettroni e lacune, le corrispondenti mobilità, e infine la resistività del campione a 300 K. Il campione è di tipo n oppure di tipo p ?
- 2.22** Un campione di silicio è drogato con atomi accettori con concentrazione pari a $10^{18}/\text{cm}^3$. Si calcolino le concentrazioni di elettroni e lacune, le corrispondenti mobilità, e infine la resistività del campione a 300 K. Il campione è di tipo n oppure di tipo p ?
- 2.23** Un campione di silicio è drogato con atomi di indio con concentrazione pari a $7 \times 10^{19}/\text{cm}^3$. L'indio è un'impurità di tipo n oppure di tipo p ? Si calcolino le concentrazioni di elettroni e lacune, le corrispondenti mobilità, e infine la resistività del campione a 300 K. Il campione è di tipo n oppure di tipo p ?

- 2.24** Un campione di silicio è drogato con atomi di fosforo con concentrazione pari a $4.5 \times 10^{16}/\text{cm}^3$ e con atomi di boro con concentrazione pari a $5.5 \times 10^{16}/\text{cm}^3$. Si calcolino le concentrazioni di elettroni e lacune, le corrispondenti mobilità, e infine la resistività del campione a 300 K. Il campione è di tipo n oppure di tipo p ?
- 2.25** Si ripeta l'Esempio 2.5 nel caso di silicio di tipo p . Si assuma che il silicio contenga solo impurità di tipo accettore. Si calcoli la concentrazione N_A .
- *2.26** Un campione di silicio drogato solo con impurità di tipo accettore presenta una resistività di $0.75 \Omega \cdot \text{cm}$. Si calcoli la concentrazione di atomi accettori N_A .
- 2.27** Un campione di silicio è drogato con atomi donatori con concentrazione pari a $5.0 \times 10^{19}/\text{cm}^3$ e con atomi accettori con concentrazione pari a $5.0 \times 10^{19}/\text{cm}^3$. (a) Si calcoli la resistività. (b) Il materiale può essere considerato isolante, conduttore o semiconduttore? (c) Il materiale è intrinseco? Si giustifichino le risposte.
- *2.28** Occorre realizzare delle fette di silicio di tipo n con resistività pari a $2.0 \Omega \cdot \text{cm}$ per la fabbricazione di circuiti integrati. Si calcoli il valore necessario di N_D , assumendo $N_A = 0$.
- 2.29** (a) In base alle definizioni in Tabella 2.1 si determini il valore minimo di drogaggio di tipo donatore necessario affinché il silicio diventi un conduttore. (b) Si determini il valore minimo di drogaggio di tipo accettore necessario affinché il silicio diventi un conduttore.
- *2.30** È possibile fare in modo che il silicio estrinseco presenti una resistività maggiore del silicio intrinseco. Si mostri come.
- *2.31** Un campione di silicio di tipo p , drogato con atomi di boro, presenta una resistività di $1 \Omega \cdot \text{cm}$. (a) Si calcoli la concentrazione di accettori che occorre aggiungere affinché la resistività sia pari a $0.25 \Omega \cdot \text{cm}$. (b) Si ripeta il calcolo nel caso in cui siano aggiunti atomi donatori. In questo caso il semiconduttore è di tipo p oppure di tipo n ?
- *2.32** Un campione di silicio è drogato con atomi di fosforo con concentrazione pari a $1 \times 10^{16}/\text{cm}^3$. (a) Si calcoli la conducibilità del campione. (b) Si calcoli la concentrazione di atomi di boro che occorre aggiungere affinché la conducibilità sia pari a $5.0(\Omega \cdot \text{cm})^{-1}$.

2.8 Corrente di diffusione

- 2.33** Realizzare una tabella con i valori della tensione termica V_T per $T = 50 \text{ K}, 75 \text{ K}, 100 \text{ K}, 150 \text{ K}, 200 \text{ K}, 250 \text{ K}, 300 \text{ K}, 350 \text{ K}, 400 \text{ K}$.
- 2.34** (a) La Figura P2.34 mostra la concentrazione di elettroni in un campione di silicio. Si calcoli il valore della densità di corrente di diffusione degli elettroni a temperatura ambiente assumendo $\mu_n = 350 \text{ cm}^2/(\text{V} \cdot \text{s})$, e che la lunghezza del campione sia pari a $W_B = 250 \text{ nm}$. (b) Disegnare la velocità degli elettroni nell'intervallo $0 \leq x \leq W_B$.

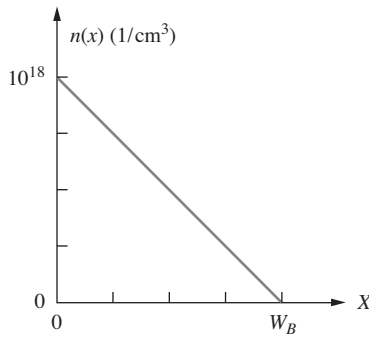


Figura P2.34

- 2.35** Si assuma che la concentrazione di lacune in un campione di silicio sia espressa dall'equazione

$$p(x) = 10^5 + 10^{19} \exp\left(-\frac{x}{L_p}\right) \text{ lacune/cm}^3, \quad x \geq 0$$

in cui L_p è detta lunghezza di diffusione delle lacune, ed è pari a $2.0 \mu\text{m}$. Si determini la densità di corrente di diffusione delle lacune in funzione della distanza, assumendo $D_p = 15 \text{ cm}^2/\text{s}$. Si calcoli la corrente di diffusione per $x = 0$ assumendo che l'area della sezione del campione sia pari a $10 \mu\text{m}^2$.

2.9 Corrente totale

- *2.36** Un campione di silicio di tipo p lungo $5 \mu\text{m}$ presenta una concentrazione di atomi accettori descritta dalla relazione $N_A(x) = 10^{14} + 10^{18} \exp(-10^4 x)$, in cui l'ascissa x è espressa in cm. Si utilizzi l'Equazione (2.17) per dimostrare che il campo elettrico nel campione è diverso da zero. Si determini il valore del campo elettrico E per $x = 0$ e $x = 5 \mu\text{m}$. [Suggerimento: all'equilibrio termodinamico, le correnti di elettroni e lacune, e la corrente totale sono nulle.]

- 2.37** La Figura P2.37 mostra la concentrazione di elettroni e lacune in un campione di silicio di lunghezza pari a $2 \mu\text{m}$ in cui è presente un campo elettrico di 20 V/cm . Si calcoli la densità di corrente totale per $x = 0$. Si calcolino le componenti di diffusione e deriva della densità di corrente di elettroni e lacune per $x = 1 \mu\text{m}$. Si assuma $\mu_n = 350 \text{ cm}^2/(\text{V} \cdot \text{s})$ e $\mu_p = 150 \text{ cm}^2/(\text{V} \cdot \text{s})$.

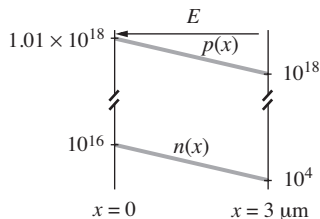


Figura P2.37

2.10 Modello a bande di energia

- 2.38** Si disegni una figura simile alla Figura 2.15 per il caso $N_A > N_D$, in cui vi siano due atomi accettori per ogni atomo donatore.

- *2.39** Oltre al processo di generazione termica descritto dalle Figure 2.3 e 2.12 vi sono altri processi di generazione di coppie elettrone-lacuna. Per esempio, si può fornire energia agli elettroni in banda di valenza per mezzo di una radiazione luminosa che incide sul semiconduttore. Se l'energia assorbita dall'elettrone è sufficientemente elevata, questo può passare in banda di conduzione, creando una coppia elettrone-lacuna. Si determini il massimo valore della lunghezza d'onda affinché la radiazione venga assorbita. [Suggerimento: si ricordi che l'energia di un fotone E è legata alla lunghezza d'onda λ dalla relazione $E = hc/\lambda$, essendo $h = 6.626 \times 10^{-34} \text{ J} \cdot \text{s}$ la costante di Planck, e $c = 3 \times 10^{10} \text{ cm/s}$ la velocità della luce.]

2.11 Cenni sulla fabbricazione dei circuiti integrati

- 2.40** Disegnare la sezione di un diodo pn, simile a quella riportata in Figura 2.17(h), assumendo che il processo di fabbricazione utilizzi un substrato p , invece del substrato n considerato in Figura 2.17.
- 2.41** Per migliorare le caratteristiche del contatto ohmico tra alluminio e regione di tipo n è possibile realizzare una regione n^+ in corrispondenza del contatto sulla regione n nel diodo di Figura 2.17(h), come mostrato in Figura P2.41. Dove si potrebbe inserire questo passo nel processo di Figura 2.17? Si disegni la maschera necessaria vista dall'alto e di lato.

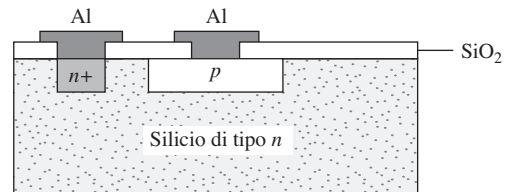


Figura P2.41

Capitolo 3

Riepilogo

- In questo capitolo abbiamo studiato il funzionamento del diodo a stato solido.
- Il diodo a giunzione è costituito da due regioni adiacenti di tipo p e di tipo n . A causa dei gradienti molto elevati in prossimità della giunzione, si stabiliscono delle correnti di diffusione molto elevate di elettroni e lacune.
- Inoltre, nell'intorno della giunzione si forma una regione di carica spaziale, a cui è associato un potenziale intrinseco. Poiché in assenza di polarizzazione la corrente del diodo deve essere nulla, le correnti di trasporto di elettroni e lacune generate dal campo elettrico bilanciano esattamente le corrispondenti componenti di diffusione.
- In presenza di una polarizzazione l'equilibrio delle correnti viene alterato, e una corrente fluisce nel diodo. Le caratteristiche i - v del diodo possono essere descritte accuratamente dalla relazione:

$$i_D = I_S \left[\exp\left(\frac{v_D}{nV_T}\right) - 1 \right]$$

dove I_S = corrente di saturazione inversa del diodo,
 n = fattore di idealità del diodo (tipicamente pari a 1),
 V_T = tensione termica (25 mV a temperatura ambiente).

- In condizioni di polarizzazione inversa la corrente del diodo è pari a $-I_S$, un valore molto piccolo.
- In polarizzazioni diretta, invece, la corrente del diodo può essere molto elevata. In queste condizioni, la tensione ai capi del diodo può essere approssimata a un valore quasi costante, pari a circa 0.6-0.7 V.
- A temperatura ambiente una variazione della corrente di un ordine di grandezza provoca una variazione della tensione inferiore a 60 mV. Il coefficiente di temperatura della tensione del diodo è pari a -1.8 mV/°C a temperatura ambiente.
- Occorre ricordare che i fenomeni di rottura non sono descritti dall'equazione del diodo. Applicando al diodo una tensione inversa di valore sufficientemente elevato, il diodo può entrare nella regione di rottura. Il fenomeno di rottura può essere causato dall'effetto Zener, oppure dalla moltiplicazione a valanga. Nella regione di rottura il diodo può essere ancora descritto con generatore di tensione costante, e, per evitare la rottura del dispositivo, la corrente deve essere limitata dal circuito esterno.
- I diodi Zener sono progettati in modo da funzionare nella regione di rottura, e possono essere utilizzati in semplici circuiti regolatori di tensione. La regolazione di linea e di carico descrive la variazione nella tensione di uscita prodotta rispettivamente da una variazione della tensione di ingresso oppure della corrente di uscita.
- Una variazione della tensione applicata al diodo determina una variazione della carica presente nel diodo. Questo fenomeno può essere descritto da una capacità, che deve essere aggiunta per completare il modello del diodo. In polarizzazione inversa la capacità varia secondo il reciproco della radice quadrata della tensione applicata. In polarizzazione diretta la capacità è proporzionale alla corrente che attraversa il diodo, e al tempo di transito. A causa di queste capacità l'accensione o lo spegnimento del diodo non avviene istantaneamente.
- A causa della non-linearità dell'equazione del diodo, nell'analisi dei circuiti a diodi sono spesso richieste tecniche numeriche iterative. Abbiamo presentato diversi metodi semplificati per l'analisi di tali circuiti, come il metodo grafico basato sul concetto di retta di carico, il modello di diodo ideale e il modello a caduta di tensione costante.
- Il programma di simulazione di circuiti SPICE è provvisto di un modello del diodo che tiene conto delle caratteristiche ideali e non-ideali, e consente di ottenere una comprensione dettagliata del funzionamento dei circuiti a diodi.
- Tra le applicazioni importanti dei diodi annoveriamo i raddrizzatori a semionda, a doppia semionda e a ponte a doppia semionda, utilizzati per convertire tensioni sinusoidali in tensioni continue negli alimentatori. Gli alimentatori più semplici utilizzano un filtro capacitivo, dal cui progetto dipendono la tensione di ondulazione e l'angolo di conduzione del diodo. I diodi utilizzati negli alimentatori devono essere in grado di sopportare elevati picchi di corrente che si presentano periodicamente, e correnti transitorie che si presentano all'accensione. La tensione inversa di rottura del diodo è detta specifica relativa alla tensione inversa di picco del diodo (PIV).

■ L'accensione o lo spegnimento di un diodo non possono avvenire istantaneamente in quanto le capacità interne del diodo devono essere caricate o scaricate. Mentre il tempo di accensione è di solito abbastanza ridotto, lo spegnimento può risultare molto più lento, in quanto occorre rimuovere la carica immagazzinata nel diodo. Tale effetto viene descritto dal tempo di im-

magazzinamento τ_s (storage time). Durante il tempo di immagazzinamento il diodo può essere attraversato da correnti significative.

■ Infine, abbiamo analizzato l'assorbimento e la generazione di fotoni in una giunzione pn, e abbiamo illustrato le caratteristiche fondamentali di fotodiodi, celle solari e diodi LED.

Problemi

3.1 Il diodo a giunzione pn

- 3.1** La regione p di un diodo presenta un drogaggio pari a $N_A = 10^{19}/\text{cm}^3$, mentre per la regione n risulta $N_D = 10^{18}/\text{cm}^3$. (a) Si valuti la larghezza della regione di svuotamento w_{do} ; (b) Si calcolino i valori di x_n e x_p ; (c) Si determini il potenziale intrinseco; (d) Qual è il valore di $EMAX$? Si faccia uso dell'Equazione (3.3) e della Figura 3.5.
- 3.2** La regione p di un diodo presenta un drogaggio pari a $N_A = 10^{18}/\text{cm}^3$, mentre per la regione n risulta $N_D = 10^{15}/\text{cm}^3$. (a) Si calcolino i valori di p_p , p_n , n_p e n_n . (b) Si valuti la larghezza della regione di svuotamento w_{do} e il potenziale intrinseco.
- 3.3** Si ripeta il Problema 3.2 assumendo $N_A = 10^{18}/\text{cm}^3$ e $N_D = 10^{18}/\text{cm}^3$.
- 3.4** Si ripeta il Problema 3.2 assumendo $N_A = 10^{18}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$.
- 3.5** Si ripeta il Problema 3.2 assumendo $N_A = 10^{16}/\text{cm}^3$ e $N_D = 10^{19}/\text{cm}^3$.
- 3.6** Un diodo è caratterizzato da $w_{do} = 0.4 \mu\text{m}$ e $\phi_j = 0.85 \text{ V}$. (a) Qual è la tensione inversa che occorre applicare affinché la larghezza della regione di svuotamento risulti raddoppiata? (b) Si calcoli la larghezza della regione di svuotamento per una tensione inversa di 5 V .
- 3.7** Un diodo è caratterizzato da $w_{do} = 1 \mu\text{m}$ e $\phi_j = 0.6 \text{ V}$. (a) Qual è la tensione inversa che occorre applicare affinché la larghezza della regione di svuotamento risulti triplicata? (b) Si calcoli la larghezza della regione di svuotamento per una tensione inversa di 10 V .
- 3.8** Si supponga che la densità della corrente di deriva che attraversa la regione neutra di tipo n di un diodo, caratterizzata da una resistività di $0.5 \Omega \cdot \text{cm}$, sia pari a $1 \text{ kA}/\text{cm}^2$. Si determini il campo elettrico nella regione neutra n .
- 3.9** Si supponga che la densità della corrente di deriva che attraversa la regione neutra di tipo p di un diodo, caratterizzata da una resistività di $2 \Omega \cdot \text{cm}$, sia pari a $5 \text{ kA}/\text{cm}^2$. Si determini il campo elettrico nella regione neutra p .
- 3.10** La massima velocità dei portatori nel silicio è pari a circa 10^7 cm/s . Qual è il massimo valore della corrente

di deriva che può fluire in una regione di tipo n con drogaggio pari a $4 \times 10^{15}/\text{cm}^3$?

- 3.11** La massima velocità dei portatori nel silicio è pari a circa 10^7 cm/s . Qual è il massimo valore della corrente di deriva che può fluire in una regione di tipo p con drogaggio pari a $5 \times 10^{17}/\text{cm}^3$?
- *3.12** Il drogaggio relativo a una regione di silicio compresa tra $x = 0$ e $x = 15 \mu\text{m}$ è descritto da una funzione esponenziale: $N_A(x) = N_0 \exp(-x/L)$, dove N_0 è una costante. Ricordando che j_p deve essere pari a zero in condizioni di equilibrio termodinamico, si dimostri che in tali condizioni deve essere necessariamente presente un campo elettrico. Si calcoli il valore del campo elettrico per $L = 1 \mu\text{m}$ e $N_0 = 10^{18}/\text{cm}^3$. Si assuma $p(x) = N_A(x)$.
- 3.13** Si determini il valore del gradiente della concentrazione di elettroni necessario affinché la densità di corrente di diffusione sia pari a $j_n = 1 \text{ kA}/\text{cm}^2$, assumendo $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$.
- 3.14** Si sviluppi una procedura numerica per determinare la soluzione dell'Equazione (3.24) per $I_S = 0.1 \text{ fA}$.
- 3.15** (a) Si utilizzi un foglio di calcolo per determinare la soluzione dell'Equazione (3.24) per $I_S = 100 \text{ fA}$.
- 3.16** (a) Si utilizzi MATLAB o Mathcad per determinare la soluzione dell'Equazione (3.24) per $I_S = 100 \text{ fA}$. (b) Si ripeta il calcolo per $I_S = 1 \text{ fA}$.

3.2-3.4 Caratteristica i - v del diodo – L'equazione del diodo: un modello matematico per il diodo – Diodo in polarizzazione inversa, nulla e diretta

- 3.17** Si determini il valore esatto della temperatura cui corrisponde una tensione termica $V_T = 25 \text{ mV}$.
- 3.18** Si calcoli il valore di V_T per un temperatura di -55°C , 0°C e $+85^\circ\text{C}$.
- 3.19** (a) Si tracci il grafico relativo all'equazione del diodo, simile a quello riportato in Figura 3.8, assumendo $I_S = 1 \text{ pA}$ e $n = 1$. (b) Si ripeta il punto (a) per il caso $n = 2$. (c) Si ripeta il punto (a) per il caso $I_S = 10 \text{ fA}$.
- 3.20** Un diodo è caratterizzato da $n = 1.04$ a $T = 300 \text{ K}$. Si calcoli il valore del prodotto $n \cdot V_T$. Qual è la temperatura cui corrisponde lo stesso valore di $n \cdot V_T$ per $n = 1.00$?

Le soluzioni si trovano sul sito web dedicato al libro



- *3.21** Si determinino i valori di I_S e n per il diodo descritto dal grafico in Figura P3.21. Si assuma $V_T = 25$ mV.

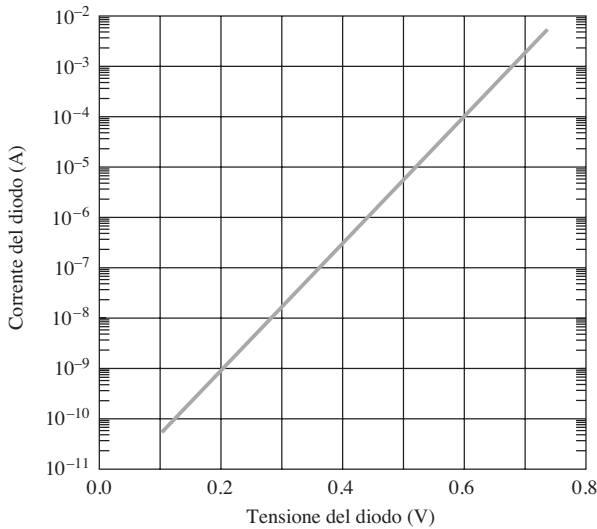


Figura P3.21

- 3.22** Un diodo è caratterizzato dai parametri $I_S = 1$ aA e $n = 1.05$. (a) Si calcoli la tensione ai capi del diodo in corrispondenza di una corrente di 70 μ A. (b) Qual è la tensione ai capi del diodo se la corrente è pari a 5 μ A? (c) Qual è la corrente che attraversa il diodo per $v_D = 0$ V? Qual è la corrente del diodo per $v_D = -75$ mV? Qual è la corrente del diodo per $v_D = -5$ V?
- 3.23** Un diodo è caratterizzato dai parametri $I_S = 10$ aA e $n = 1$. (a) Si calcoli la tensione ai capi del diodo in corrispondenza di una corrente di 100 μ A. (b) Qual è la tensione ai capi del diodo se la corrente è pari a 10 μ A? (c) Qual è la corrente che attraversa il diodo per $v_D = 0$ V? Qual è la corrente del diodo per $v_D = 60$ mV? Qual è la corrente del diodo per $v_D = -4$ V?
- 3.24** Un diodo è caratterizzato dai parametri $I_S = 10$ aA e $n = 1$. (a) Si calcoli la corrente del diodo se la tensione applicata è pari a 0.675 V. (b) Qual è la tensione del diodo se la corrente aumenta di un fattore 3?
- 3.25** Un diodo è caratterizzato dai parametri $I_S = 100$ pA e $n = 2$. (a) Si calcoli la tensione ai capi del diodo in corrispondenza di una corrente di 40 A. (b) Qual è la tensione ai capi del diodo se la corrente è pari a 100 A?
- 3.26** Un diodo è polarizzato con $i_D = 2$ mA e $v_D = 0.82$ V. (a) Qual è il valore di I_S se $n = 1$? (b) Qual è la corrente del diodo per $v_D = -5$ V?
- 3.27** Un diodo è polarizzato con $i_D = 300$ μ A e $v_D = 0.75$ V. (a) Qual è il valore di I_S se $n = 1$? (b) Qual è la corrente del diodo per $v_D = -3$ V?
- 3.28** La corrente di saturazione in diodi della stessa sigla di catalogo può presentare forti variazioni. Supponiamo che I_S sia compresa nell'intervallo a 10 fA $\leq I_S \leq 1$ pA. Si determini l'intervallo relativo alle variazioni della tensione ai capi del diodo in corrispondenza di una corrente $i_D = 1$ mA.

- **3.29** La caratteristica i - v di un diodo è stata misurata in condizioni in cui la temperatura è controllata con precisione ($T = 307$ K), e i risultati sono stati riportati nella Tabella P3.29. Si utilizzi un foglio di calcolo, oppure si scriva un programma, per determinare (per tentativi) i valori di I_S e n cui corrisponde la migliore interpolazione dei dati sperimentali con l'equazione del diodo secondo il criterio dei minimi quadrati, ovvero, si determinino i valori di I_S e n che minimizzano la funzione $M = \sum_{m=1}^n (i_D^m - I_{Dm})^2$, dove i_D è la corrente del diodo ottenuta dall'Equazione (3.1) e I_{Dm} rappresentano i dati sperimentali. In base ai valori ottenuti di I_S e n , si determini il valore minimo di M .

Tabella P3.29 Misure i - v per un diodo

Tensione del diodo (V)	Corrente del diodo (A)
0.500	6.591×10^{-7}
0.550	3.647×10^{-6}
0.600	2.158×10^{-5}
0.650	1.780×10^{-4}
0.675	3.601×10^{-4}
0.700	8.963×10^{-4}
0.725	2.335×10^{-3}
0.750	6.035×10^{-3}
0.775	1.316×10^{-2}

3.5 Coefficiente di temperatura del diodo

- 3.30** Si calcoli il valore di V_T per una temperatura di -50 °C, 0 °C e $+50$ °C.
- 3.31** Un diodo con $I_S = 0.25$ fA a 30 °C è polarizzato con una corrente di 1 mA.
(a) Qual è la tensione del diodo?
(b) Se il coefficiente di temperatura del diodo è pari a -1.8 mV/K, qual è la tensione del diodo a 50 °C?
- 3.32** Un diodo è caratterizzato da $I_S = 1$ fA e $n = 1$.
(a) Qual è la tensione del diodo se la corrente è pari a 100 μ A a $T = 25$ °C?
(b) Si ripeta il punto (a) per $T = 50$ °C.
(c) Si ripeta il punto (a) per $T = 0$ °C.
Si assuma un valore di -2 mV/K per il coefficiente di temperatura del diodo a 0 °C.
- 3.33** Un diodo è caratterizzato da $I_S = 1$ fA e $n = 1$.
(a) Qual è la tensione del diodo se la corrente è pari a 250 μ A a $T = 25$ °C?
(b) Si ripeta il punto (a) per $T = 85$ °C.
Si assuma un valore di -1.8 mV/K per il coefficiente di temperatura del diodo a 55 °C.
- *3.34** La dipendenza di I_S dalla temperatura è approssimativamente descritta dalla relazione:

$$I_S = CT^3 \exp\left(-\frac{E_G}{kT}\right)$$

Si determini il coefficiente di temperatura del diodo utilizzando la precedente equazione e l'Equazione (3.15), assumendo $E_G = 1.21$ eV, $V_D = 0.7$ V e $T = 300$ K.

- 3.35** La corrente di saturazione di un diodo di silicio è descritta dalla relazione riportata nel Problema 3.34.

Si determini la variazione di temperatura cui corrisponde: (a) un raddoppio di I_S , (b) un incremento di I_S secondo un fattore 10, (c) una riduzione di I_S secondo un fattore 100.

3.6 Il diodo in polarizzazione inversa

3.36 Un diodo presenta $w_{do} = 1 \mu\text{m}$ e $\phi_j = 0.8 \text{ V}$.

(a) Si calcoli l'ampiezza della regione di svuotamento per $V_R = 5 \text{ V}$. (b) Si ripeta il calcolo per $V_D = -10 \text{ V}$.

3.37 Un diodo presenta un drogaggio $N_D = 10^{15}/\text{cm}^3$ nella regione n e $N_A = 10^{16}/\text{cm}^3$ nella regione p . Si calcolino i valori di w_{do} e ϕ_j . Si calcoli l'ampiezza dello svuotamento per una tensione inversa di 10 V . Si ripeta il calcolo per una tensione inversa di 100 V .

3.38 Un diodo presenta un drogaggio $N_D = 10^{20}/\text{cm}^3$ nella regione n e $N_A = 10^{18}/\text{cm}^3$ nella regione p . Si calcolino i valori di w_{do} e ϕ_j . Si calcoli l'ampiezza dello svuotamento per una tensione inversa di 5 V . Si ripeta il calcolo per una tensione inversa di 25 V .

***3.39** Un diodo presenta $w_{do} = 1 \mu\text{m}$ e $\phi_j = 0.6 \text{ V}$. Si determini la tensione di rottura del diodo, assumendo che in condizioni di rottura il valore massimo del campo elettrico sia pari a 300 kV/cm .

3.40 La rottura nei dispositivi di silicio si verifica in corrispondenza di un campo elettrico pari a 300 kV/cm . Si calcoli la tensione di rottura per il diodo del Problema 3.2.

3.41 Si determini la tensione di rottura V_Z e la resistenza R_Z di Zener per il diodo di Figura P3.41.

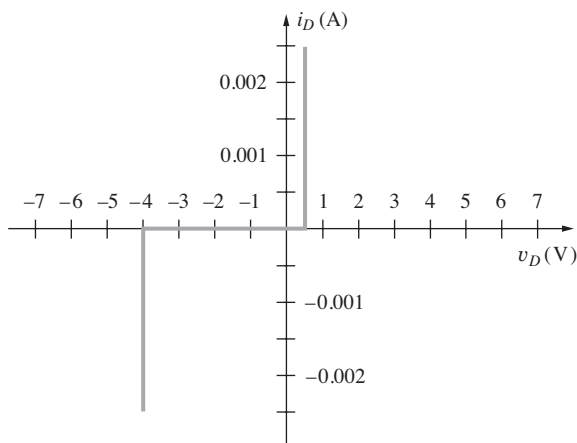


Figura P3.41

****3.42** Un diodo presenta un drogaggio accettore $N_A \gg N_D$. Si calcoli il valore di N_D necessario affinché la tensione di rottura sia pari a 1000 V , assumendo che la condizione di rottura venga raggiunta in corrispondenza di un campo elettrico di 300 kV/cm .

3.7 Capacità della giunzione pn

3.43 Si calcoli la capacità per unità di area (F/cm^2) a polarizzazione nulla per un diodo caratterizzato da $N_A = 10^{15}/\text{cm}^3$ e $N_D = 10^{20}/\text{cm}^3$. Si calcoli il valore della capacità per una tensione inversa di 5 V assumendo che l'area del diodo sia pari a 5 mm^2 .

3.44 Si calcoli la capacità per unità di area a polarizzazione nulla per un diodo caratterizzato da $N_A = 10^{18}/\text{cm}^3$ e $N_D = 10^{15}/\text{cm}^3$. Si calcoli il valore della capacità per una tensione inversa di 10 V assumendo che l'area del diodo sia pari a 2 mm^2 .

3.45 Un diodo è polarizzato con una corrente di $100 \mu\text{A}$. (a) Si determini la capacità di diffusione, assumendo che il tempo di transito sia pari a 100 ps . (b) Si calcoli la carica immagazzinata nel dispositivo. (c) Si ripeta il calcolo per $i_D = 5 \text{ mA}$.

3.46 Un diodo è polarizzato con una corrente di 1 A . (a) Si determini la capacità di diffusione, assumendo che il tempo di transito sia pari a 100 ns . (b) Si calcoli la carica immagazzinata nel dispositivo. (c) Si ripeta il calcolo per $i_D = 100 \text{ mA}$.

3.47 L'area della sezione di un diodo pn è pari a $10^4 \mu\text{m}^2$. La regione p del diodo presenta una concentrazione di atomi accettori di $10^{19}/\text{cm}^3$, mentre il drogaggio della regione n è pari a $10^{17}/\text{cm}^3$. Qual è il valore della capacità a polarizzazione nulla? Qual è il valore della capacità per una tensione inversa di 5 V ?

3.48 Un diodo pn ha sezione quadrata con lato pari a 5 mm . La regione p del diodo presenta una concentrazione di atomi accettori di $10^{19}/\text{cm}^3$, mentre il drogaggio della regione n è pari a $10^{16}/\text{cm}^3$. Qual è il valore della capacità a polarizzazione nulla? Qual è il valore della capacità per una tensione inversa di 3 V ?

3.49 Un diodo a capacità variabile, caratterizzato da $C_{j0} = 20 \text{ pF}$ e $\phi_j = 0.75 \text{ V}$, è utilizzato per sintonizzare il circuito risonante LC mostrato in Figura P3.49. L'impedenza del circuito RFC (*Radio Frequency Choke*) può essere considerata infinita. Quali sono le frequenze di risonanza ($f_o = \frac{1}{2\pi\sqrt{LC}}$) per $V_{DC} = 1 \text{ V}$ e $V_{DC} = 10 \text{ V}$?

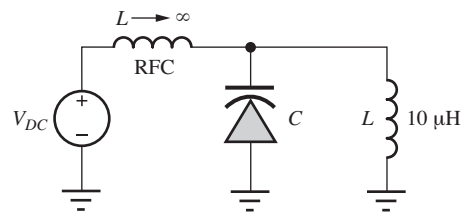


Figura P3.49

3.8 Diodo a barriera Schottky

3.50 Si supponga che un diodo Schottky possa essere descritto dall'equazione del diodo (3.11) con $I_S = 100 \text{ nA}$. (a) Qual è la tensione del diodo per una corrente di 50 A ? (b) Quale sarebbe la tensione in un diodo a giunzione pn caratterizzato da $I_S = 1 \text{ fA}$ per lo stesso valore di corrente?

3.51 Si supponga che un diodo Schottky possa essere descritto dall'equazione del diodo (3.11) con $I_S = 10 \text{ pA}$. (a) Qual è la tensione del diodo per una corrente di 4 mA ? (b) Quale sarebbe la tensione in un diodo a giunzione pn caratterizzato da $I_S = 10 \text{ fA}$ per lo stesso valore di corrente?

3.9 Modello SPICE e layout del diodo

- 3.52** Un diodo *pn* presenta una resistività pari a $2 \Omega \cdot \text{cm}$ nella regione *p* e di $10 \text{ m}\Omega \cdot \text{cm}$ nella regione *n*. Si calcoli la resistenza R_S se l'area della sezione del diodo è di 1 mm^2 e le lunghezze delle regioni *n* e *p* sono entrambe pari a $250 \mu\text{m}$.
- 3.53** Un diodo è caratterizzato da $I_S = 0.5 \text{ fA}$ e $R_S = 10 \Omega$. Si calcolino i valori di V_D e V'_D a temperatura ambiente per una corrente di 1 mA . (b) Si ripeta il calcolo per $R_S = 100 \Omega$.
- *3.54** Il processo di fabbricazione di un diodo è caratterizzato da una resistenza specifica di contatto di $10 \Omega \cdot \mu\text{m}^2$. Si calcolino le resistenze complessive relative all'anodo e al catodo del diodo di Figura 3.21(a) assumendo per ciascun contatto un'area di $1 \mu\text{m} \times 1 \mu\text{m}$.
- 3.55** (a) Si fornisca una stima per l'area del diodo di Figura 3.21(a) se le dimensioni dei contatti sono di $1 \mu\text{m} \times 1 \mu\text{m}$. (b) Si ripeta il calcolo nel caso in cui la dimensione dei contatti sia di $0.13 \mu\text{m} \times 0.13 \mu\text{m}$.

3.10 Analisi dei circuiti a diodi

Analisi grafica con la retta di carico

- 3.56** Si tracci la retta di carico e si determini il punto di lavoro per il circuito di Figura P3.56 per $V = 5 \text{ V}$ e $R = 10 \text{ k}\Omega$. Si faccia riferimento alle caratteristiche *i-v* di Figura P3.41. (b) Si ripeta l'analisi assumendo $V = -6 \text{ V}$ e $R = 3 \text{ k}\Omega$. (c) Si ripeta l'analisi assumendo $V = -3 \text{ V}$ e $R = 3 \text{ k}\Omega$.

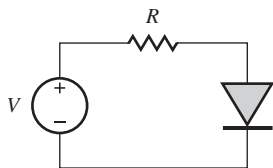


Figura P3.56

- 3.57** (a) Si tracci la retta di carico e si determini il punto di lavoro per il circuito di Figura P3.56 per $V = 10 \text{ V}$ e $R = 5 \text{ k}\Omega$. Si faccia riferimento alle caratteristiche *i-v* di Figura P3.41. (b) Si ripeta l'analisi assumendo $V = -10 \text{ V}$ e $R = 5 \text{ k}\Omega$. (c) Si ripeta l'analisi assumendo $V = -2 \text{ V}$ e $R = 2 \text{ k}\Omega$.
- 3.58** Si effettui la simulazione SPICE del circuito relativo al Problema 3.56, e si confrontino i risultati con quelli relativi al Problema 3.56. Si assuma $I_S = 1 \text{ fA}$.
- 3.59** (a) Si tracci la retta di carico e si determini il punto di lavoro per il circuito di Figura P3.56 per $V = -10 \text{ V}$ e $R = 5 \text{ k}\Omega$. Si faccia riferimento alle caratteristiche *i-v* di Figura P3.41. (b) Si ripeta l'analisi assumendo $V = 10 \text{ V}$ e $R = 10 \text{ k}\Omega$. (c) Si ripeta l'analisi assumendo $V = -2 \text{ V}$ e $R = 2 \text{ k}\Omega$.
- 3.60** Si considerino le caratteristiche *i-v* di Figura P3.41. (a) Si tracci la retta di carico e si determini il punto di lavoro per il circuito di Figura P3.56, assumendo $V = 6 \text{ V}$ e $R = 4 \text{ k}\Omega$. (b) Si ripeta il calcolo per $V = -6 \text{ V}$ e $R = 3 \text{ k}\Omega$. (c) Si ripeta il calcolo per $V = -3 \text{ V}$ e $R = 3 \text{ k}\Omega$. (d) Si ripeta il calcolo per

$V = 12 \text{ V}$ e $R = 8 \text{ k}\Omega$. (e) Si ripeta il calcolo per $V = -25 \text{ V}$ e $R = 10 \text{ k}\Omega$.

Analisi con il modello matematico del diodo

- 3.61** Si ripeta la procedura iterativa, basata sull'utilizzo di un foglio di calcolo, relativa alla Tabella 3.2, assumendo come valori iniziali di tentativo 0.7 V , 0.5 V e 0.2 V . Qual è il numero di iterazioni necessario per ciascun caso? Si è verificato qualche problema? In caso affermativo, qual è l'origine del problema?
- 3.62** Si determini la soluzione relativa al circuito di Figura 3.22 risolvendo l'Equazione (3.27) per tentativi.
- 3.63** Si utilizzi un foglio di calcolo, oppure si scriva un programma utilizzando un linguaggio ad alto livello, per determinare il punto di lavoro per il circuito di Figura 3.22, risolvendo l'equazione riportata nell'esercizio che precede l'Esempio 3.6.
- 3.64** Si utilizzi MATLAB oppure Mathcad per determinare il punto di lavoro per il circuito di Figura 3.22, risolvendo l'equazione nell'esercizio che precede l'Esempio 3.6.

Modello del diodo ideale e a caduta di tensione costante

- *3.65** Si determini il punto di lavoro del diodo per il circuito di Figura 3.22 usando i quattro metodi illustrati nel Paragrafo 3.10, se la tensione del generatore è pari a 1 V . Si confrontino i risultati in modo analogo a quanto riportato in Tabella 3.3.
- 3.66** Si determini il punto di lavoro per il diodo di Figura P3.66 utilizzando: (a) il modello di diodo ideale; (b) il modello di diodo a caduta di tensione costante con $V_{\text{on}} = 0.6 \text{ V}$. (c) Si analizzino i risultati. Qual è il risultato più preciso?

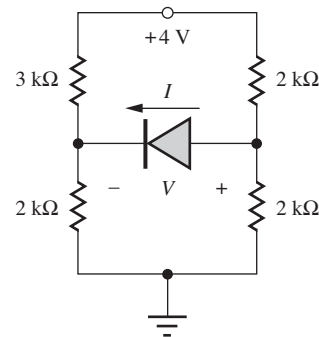


Figura P3.66

- 3.67** Si determinino i valori della corrente del diodo in Figura P3.66 per il caso peggiore usando il modello di diodo ideale, assumendo una tolleranza del 10% per le resistenze.
- 3.68** Si effettui la simulazione del circuito di Figura P3.66 e si determini il punto di lavoro. Si confrontino i risultati con quelli ottenuti nel Problema 3.66.
- 3.69** (a) Si calcolino i valori di I e V nei quattro circuiti in Figura P3.69 utilizzando il modello di diodo ideale. (b) Si ripeta il calcolo utilizzando il modello a caduta di tensione costante con $V_{\text{on}} = 0.7 \text{ V}$.

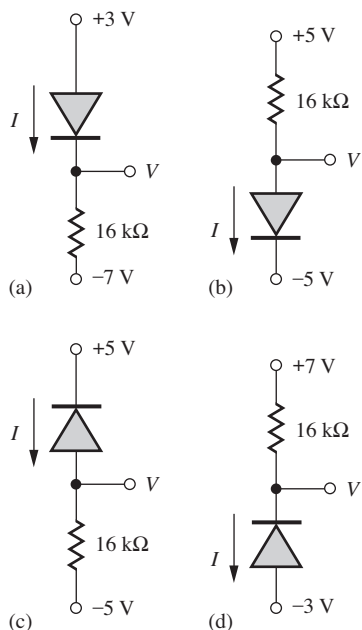


Figura P3.69

- 3.70** (a) Si calcolino i valori di I e V nei quattro circuiti in Figura P3.69 utilizzando il modello di diodo ideale se il valore delle resistenze è pari a $100\text{ k}\Omega$. (b) Si ripeta il calcolo utilizzando il modello a caduta di tensione costante con $V_{on} = 0.6\text{ V}$.

3.11 Circuiti a più diodi

- 3.71** Si determini il punto di lavoro per i diodi inseriti nei circuiti di Figura P3.71 utilizzando: (a) il modello del diodo ideale, (b) il modello a caduta di tensione costante con $V_{on} = 0.75\text{ V}$.

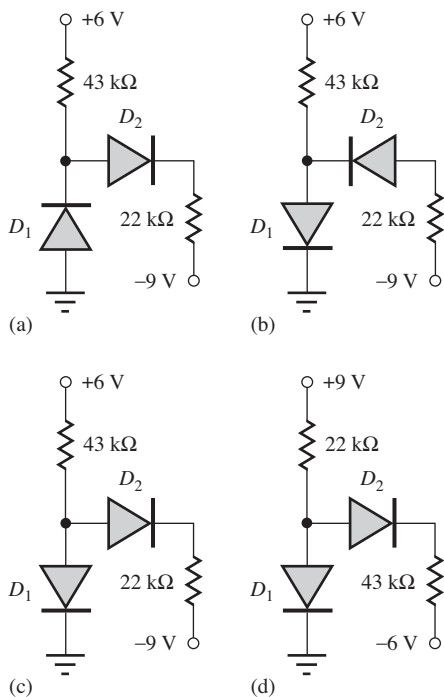


Figura P3.71

- 3.72** Si determini il punto di lavoro per i diodi inseriti nei circuiti di Figura P3.72 se il valore delle resistenze è pari a $15\text{ k}\Omega$ utilizzando: (a) il modello del diodo ideale, (b) il modello a caduta di tensione costante con $V_{on} = 0.75\text{ V}$.

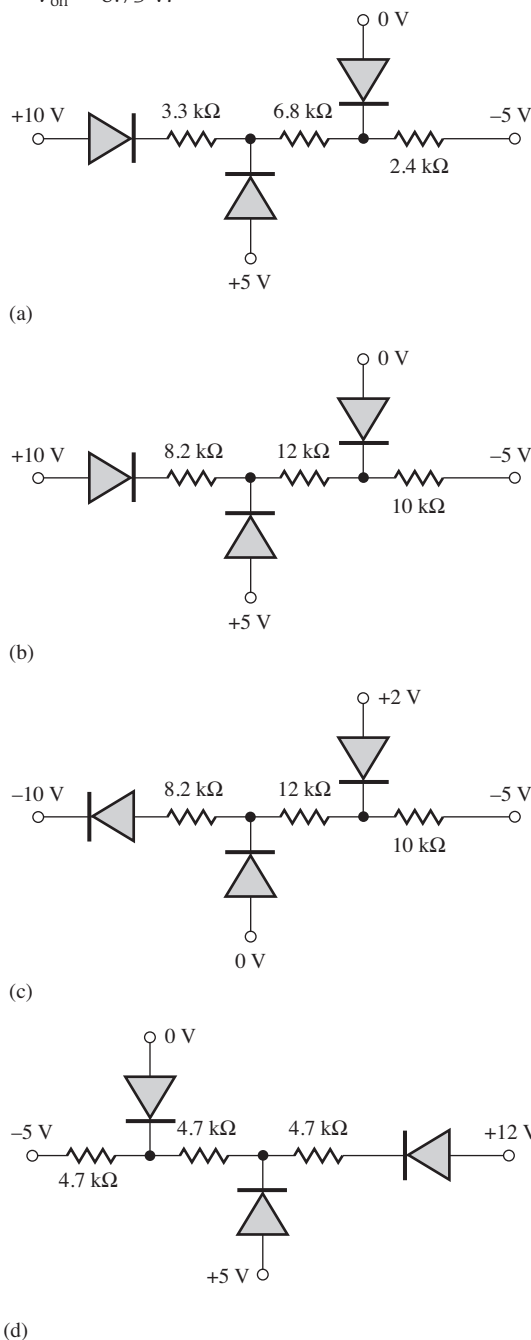


Figura P3.72

- 3.73** Si determini il punto di lavoro per i diodi inseriti nei circuiti di Figura P3.72 utilizzando il modello del diodo ideale.
- 3.74** Si determini il punto di lavoro per i diodi inseriti nei circuiti di Figura P3.72 utilizzando il modello a caduta di tensione costante con $V_{on} = 0.6\text{ V}$.
- 3.75** Si effettui la simulazione dei circuiti in Figura P3.72 e si confrontino i risultati con quelli ottenuti nel Problema 3.73.

3.76 Si verifichi la correttezza dei valori ottenuti nell'Esempio 3.8 con il modello di diodo ideale.

3.77 Si effettui la simulazione del circuito in Figura 3.34 e si confrontino i risultati con quelli ottenuti nell'Esempio 3.8.

3.12 Analisi di diodi polarizzati nella regione di rottura

3.78 Si determini il punto di lavoro per il diodo Zener di Figura P3.78.

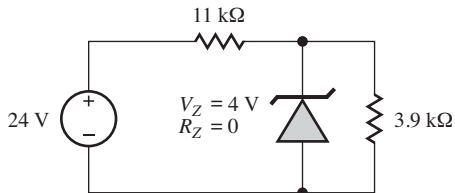


Figura P3.78

3.79 Si disegni la retta di carico relativa al circuito di Figura P3.78 nelle caratteristiche in Figura P3.41, e si determini il punto di lavoro.

3.80 Qual è il massimo valore della corrente di carico I_L che può essere assorbita dal regolatore di tensione Zener in Figura P3.80 se questo deve mantenere una tensione costante in uscita? Qual è il valore minimo di R_L per il quale la tensione di uscita può essere ancora regolata?

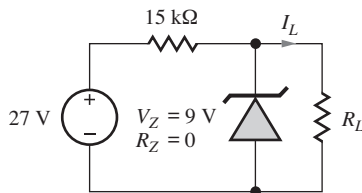


Figura P3.80

3.81 Qual è la dissipazione di potenza nel diodo Zener di Figura P3.80 per $R_L \rightarrow \infty$?

3.82 La resistenza di carico in Figura P3.80 è pari a 10 kΩ. Si calcoli il valore nominale e quello relativo al caso peggiore per la corrente del diodo Zener e la potenza dissipata se la tensione di alimentazione, la tensione di rottura e le resistenze presentano una tolleranza del 5%.

3.83 Qual è la dissipazione di potenza nel diodo Zener di Figura P3.83 per (a) $R_L = 100 \Omega$; (b) $R_L \rightarrow \infty$?

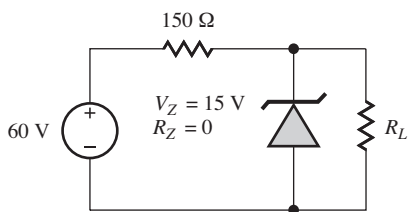


Figura P3.83

3.84 La resistenza di carico R_L in Figura P3.83 è di 100 Ω. Determinare il valore nominale e quelli relativi al caso peggiore per la corrente e la dissipazione di potenza

del diodo Zener, assumendo una tolleranza del 10% per la tensione di alimentazione, le resistenze e per la tensione di rottura del diodo Zener.

3.13 Raddrizzatore a semionda

****3.85** (a) Si utilizzi un foglio di calcolo, oppure MATLAB, oppure si scriva un programma apposito, per il calcolo dell'angolo di conduzione risolvendo numericamente l'Equazione (3.52), per un raddrizzatore a semionda che utilizza un condensatore di filtraggio da 100 mF. Il circuito è progettato in modo da fornire 5 V in corrispondenza di una corrente di 5 A. {Ovvero, si risolva $[(V_P - V_{on}) \exp(-t/RC) = V_P \cos(\omega t) - V_{on}]$. Si faccia attenzione! Vi sono infinite soluzioni di questa equazione. Si faccia in modo che l'algoritmo determini la soluzione corretta}. Si assuma $V_{on} = 1$ V e $f = 60$ Hz. (b) Si confronti il risultato con quello ottenuto dalla (3.56).

3.86 Un diodo di potenza presenta una corrente di saturazione inversa di 1 nA e $n = 2$. Qual è la caduta di tensione diretta in corrispondenza di una corrente di picco di 48.6 A, calcolata nell'esempio nel Paragrafo 3.13.5?

3.87 Un diodo di potenza presenta una corrente di saturazione inversa di 10 nA e $n = 1.6$. Qual è la caduta di tensione diretta in corrispondenza di una corrente di picco di 100 A? Si determini la dissipazione di potenza nel diodo in un raddrizzatore a semionda operante a 60 Hz se la resistenza serie è di 10 mΩ e l'intervallo di conduzione è di 1 ms.

3.88 Qual è il reale valore della componente continua della forma d'onda della tensione di uscita in Figura P3.88, se V_r è pari a 5% di $V_P - V_{on} = 18$ V?

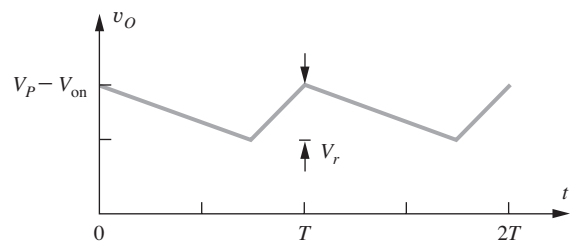


Figura P3.88

***3.89** Si ricavi l'Equazione (3.64) dalla (3.63).

3.90 Si riportino le forme d'onda di uscita, simili a quelle mostrate in Figura 3.54, per il raddrizzatore a tensione di uscita negativa in Figura 3.58(b).

3.91 Il raddrizzatore a semionda in Figura P3.91 opera alla frequenza di 60 Hz, e il valore quadratico medio (rms) della tensione di uscita del trasformatore è pari a 6.3 V. (a) Qual è il valore della componente continua della tensione di uscita V_O se la caduta ai capi del diodo è pari a 1 V? (b) Qual è il valore minimo di C necessario affinché la tensione di ondulazione sia inferiore a 0.25 V, se $R = 0.5 \Omega$? Qual è la specifica relativa alla tensione inversa di picco del diodo? (d) Qual è il picco di corrente iniziale che si presenta all'accensione? (e) Qual è l'ampiezza della corrente che periodicamente attraversa il diodo?

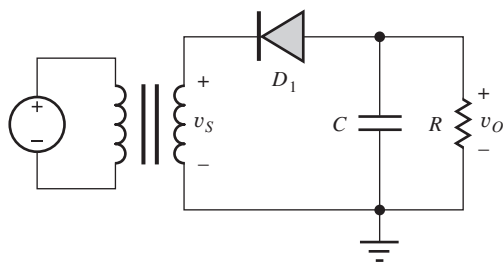


Figura P3.91

3.92 Il raddrizzatore a semionda in Figura P3.91 opera alla frequenza di 60 Hz, e il valore quadratico medio (rms) della tensione di uscita del trasformatore v_S è pari a $12.6 \pm 10\%$ V. Si determini il valore nominale e quello relativo al caso peggiore della componente continua della tensione di uscita V_O se la caduta ai capi del diodo è pari a 1 V.

3.93 Si effettui la simulazione del raddrizzatore a semionda in Figura P3.91 assumendo $R = 25 \text{ m}\Omega$, $C = 0.5 \text{ F}$ e $v_S = 10 \sin 120\pi t$ (si assumi inoltre $I_S = 100 \text{ P}$, $R_S = 0$ e $\text{RETOLE} = 1\text{E-}6$). Si confrontino i risultati della simulazione relativi alla componente continua della tensione di uscita, alla tensione di ondualazione e al valore di picco della corrente del diodo con quelli ottenuti dall'analisi manuale. Si ripeta la simulazione assumendo $R_S = 20 \text{ m}\Omega$.

3.94 (a) Si ripeta il Problema 3.91 per una frequenza di 400 Hz. (b) Si ripeta il Problema 3.91 per una frequenza di 100 kHz.

3.95 Per il regolatore di tensione Zener di Figura P3.95 il valore rms della tensione v_S è di 15 V, la frequenza di lavoro 60 Hz, $R = 100 \text{ }\Omega$, $C = 1 \text{ mF}$, la tensione sui diodi D_1 e D_2 è 0.75 V, e la tensione del diodo Zener D_3 di 15 V. (a) Qual è il tipo di raddrizzatore utilizzato? (b) Qual è il valore della tensione continua V_1 ? (c) Qual è il valore della tensione continua V_O ? (d) Qual è il valore della tensione di ondualazione di V_1 ? (e) Qual è il valore minimo relativo alla specifica PIV? (f) Si disegni una nuova versione del circuito che produca una tensione di uscita di -15 V .

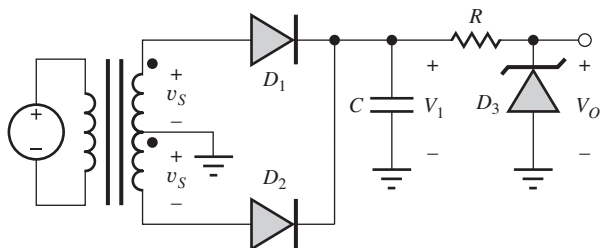


Figura P3.95

3.96 Si progetti un alimentatore di potenza da 3 kV e 1 A, con una tensione di ondualazione inferiore all'1%, utilizzando un raddrizzatore a semionda (60 Hz) con un condensatore di filtraggio. (a) Qual è il valore della capacità del condensatore? (b) Qual è il valore minimo relativo alla specifica PIV? (c) Qual è il valore rms relativo alla tensione di uscita del trasformatore? (d) Qual è il valore di picco della corrente del diodo? (e) Qual è il valore della corrente di spunto all'istante $t = 0^+$?

3.97 Si progetti un alimentatore di potenza da 3.3 V e 30 A, con una tensione di ondualazione inferiore al 2.5%, utilizzando un raddrizzatore a semionda (60 Hz) con un condensatore di filtraggio. (a) Qual è il valore della capacità del condensatore? (b) Qual è il valore minimo relativo alla specifica PIV? (c) Qual è il valore rms relativo alla tensione di uscita del trasformatore? (d) Qual è il valore di picco della corrente del diodo? (e) Qual è il valore della corrente di spunto all'istante $t = 0^+$?

***3.98** Si disegnano le forme d'onda ai nodi v_O e v_1 per almeno i primi due cicli del segnale sinusoidale di ingresso, per il circuito di Figura P3.98, il cui effetto è quello di raddoppiare la tensione. Qual è il valore della tensione continua in uscita se $V_P = 17 \text{ V}$?

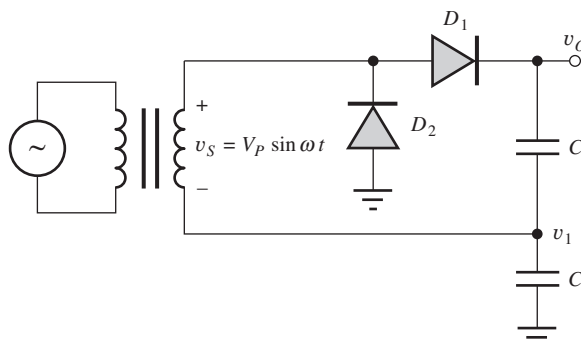


Figura P3.98

3.99 Si effettui la simulazione del circuito di Figura P3.98 per $C = 500 \text{ }\mu\text{F}$ e $v_S = 1.5 \text{ V} \sin(120\pi t)$ con l'aggiunta di una resistenza di carico $R_L = 3000 \text{ }\Omega$ posta tra v_O e ground. Si calcoli la tensione di ondualazione e si confronti il risultato con quello della simulazione.

3.14 Raddrizzatore a doppia semionda

3.100 Il raddrizzatore a doppia semionda in Figura P3.100 opera alla frequenza di 60 Hz e il valore quadratico medio (rms) della tensione di uscita del trasformatore è pari a 15 V. (a) Qual è il valore della componente continua della tensione di uscita se la caduta ai capi del diodo è pari a 1 V? (b) Qual è il valore minimo della capacità del condensatore necessario affinché la tensione di ondualazione risulti inferiore a 0.25 V se $R = 0.5 \text{ }\Omega$? (c) Qual è il valore della specifica PIV? (d) Qual è il valore di picco della corrente all'istante $t = 0^+$? (e) Qual è il valore di picco della corrente del diodo?

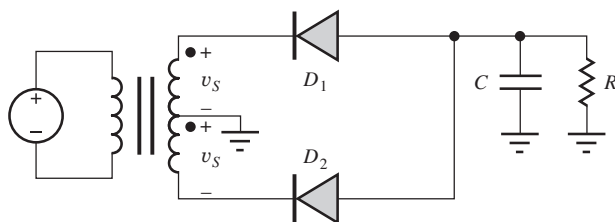


Figura P3.100

3.101 Si ripeta il Problema 3.100 assumendo un valore quadratico medio della tensione di uscita del trasformatore v_S pari a 9 V.

3.102 Si effettui la simulazione del raddrizzatore a doppia semionda in Figura P3.100 per $R = 3 \Omega$ e $C = 22 \text{ mF}$. Si assuma che il valore rms relativo a v_S sia pari a 10.0 V e che la frequenza sia pari a 400 Hz (utilizzare i valori: $IS = 100\text{P}$, $RS = 0$ e $RELTOL = 1\text{E-6}$). Si confrontino i valori della componente continua della tensione di uscita, della tensione di ondulazione e della corrente di picco del diodo ottenuti dalle simulazioni con quelli ottenuti con l'analisi manuale. Si ripeta la simulazione assumendo $R_S = 0.25 \Omega$.

3.103 Si ripeta il Problema 3.97 per un raddrizzatore a doppia semionda.

3.104 Si ripeta il Problema 3.96 per un raddrizzatore a doppia semionda.

3.105 Il raddrizzatore a doppia semionda di Figura P3.105(a) è stato progettato in modo tale che il valore massimo della tensione di ondulazione sia pari a circa 1 V, ma non funziona correttamente. Le forme d'onda misurate, relative ai tre nodi del circuito, sono mostrate in Figura P3.105(b). Qual è il problema in questo circuito?

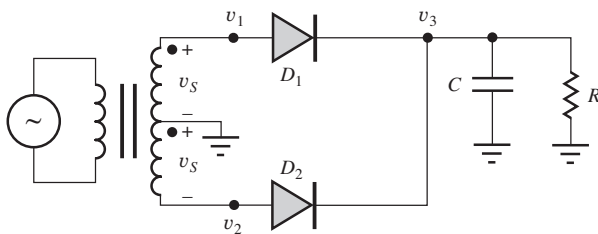


Figura P3.105(a)

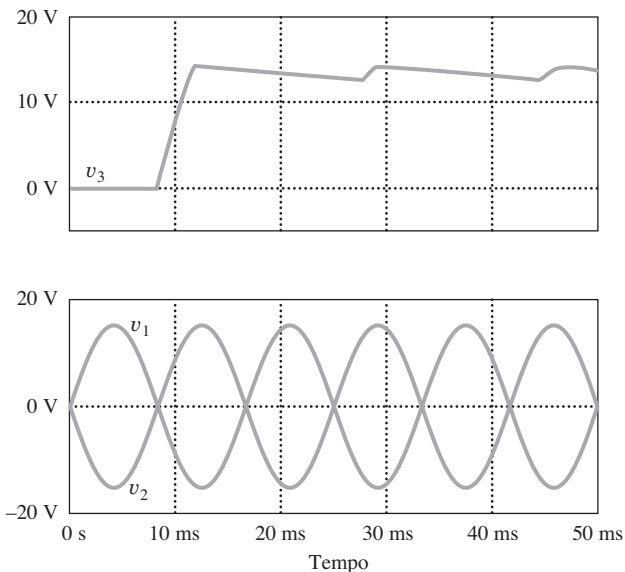


Figura P3.105(b)

Forme d'onda relative al circuito di Figura P3.105(a).

3.15 Raddrizzatore a ponte a doppia semionda

3.106 Si ripeta il Problema P3.100 per un raddrizzatore a ponte a doppia semionda.

3.107 Si ripeta il Problema P3.96 per un raddrizzatore a ponte a doppia semionda.

3.108 Si ripeta il Problema P3.97 per un raddrizzatore a ponte a doppia semionda.

***3.109** Quali sono i valori delle tensioni continue di uscita V_1 e V_2 per il circuito raddrizzatore in Figura P3.109 se $v_S = 50 \sin(377t)$ e $C = 10 \text{ mF}$?

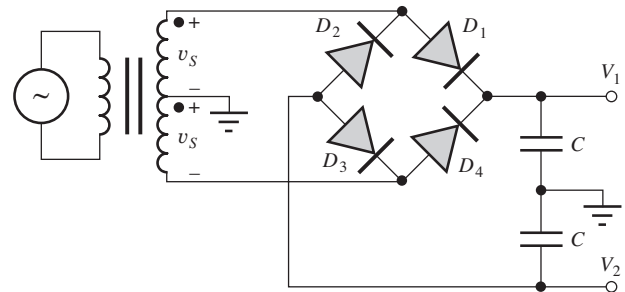


Figura P3.109

3.110 Si effettui la simulazione del circuito raddrizzatore in Figura P3.109 per $C = 100 \text{ mF}$ e $v_S = 35 \sin 2\pi(60)t$, con una resistenza di carico di 500Ω connessa tra entrambi i terminali di uscita e massa.

3.111 Si ripeta il Problema P3.100 se il circuito raddrizzatore a ponte a doppia semionda di Figura 3.64 è utilizzato al posto del raddrizzatore di Figura P3.100.

3.16 Confronto tra i raddrizzatori e criteri di progetto

3.112 Un alimentatore DC da 3.3 V e 15 A deve essere progettato in modo che la tensione di ondulazione non sia superiore a 10 mV. Si confrontino vantaggi e svantaggi relativi alle implementazioni con topologia a semionda, a doppia semionda e a ponte.

3.113 Un alimentatore DC da 200 V e 3 A deve essere progettato in modo che la tensione di ondulazione non sia superiore al 2%. Si confrontino vantaggi e svantaggi relativi alle implementazioni con topologia a semionda, a doppia semionda e a ponte.

3.114 Un alimentatore DC da 3 kV e 1 A deve essere progettato in modo che la tensione di ondulazione non sia superiore al 4%. Si confrontino vantaggi e svantaggi relativi alle implementazioni con topologia a semionda, a doppia semionda e a ponte.

3.17 Il diodo in commutazione

***3.115** (a) Si calcoli la corrente all'istante $t = 0^+$ nel circuito in Figura P3.115. (b) Si calcolino I_F , I_R e il tempo di immagazzinamento relativi allo spegnimento del diodo, assumendo $\tau_T = 7 \text{ ns}$.

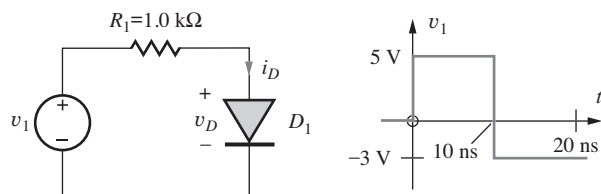


Figura P3.115

3.116 (a) Si effettui la simulazione della commutazione del circuito in Figura P3.115. (b) Si confrontino i risultati delle simulazioni con quelli ottenuti dall'analisi manuale relativa al Problema 3.115.

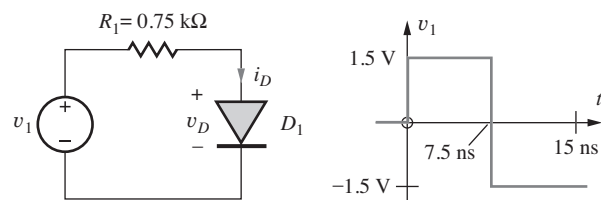


***3.117** (a) Si calcoli la corrente all'istante $t = 0^+$ nel circuito in Figura P3.115 assumendo $R_1 = 5\Omega$. (b) Si calcolino I_F , I_R e il tempo di immagazzinamento quando il diodo viene interdetto all'istante $t = 10\mu s$ assumendo $\tau_T = 250 ns$.

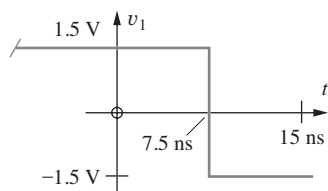
***3.118** I risultati delle simulazioni presentati in Figura 3.69 sono stati ottenuti assumendo per il diodo $\tau_T = 5 ns$.



(a) Si ripeta la simulazione del circuito di Figura P3.118(a) assumendo per il tempo di transito del diodo il valore $\tau_T = 50 ns$. La variazione del tempo di transito produce una variazione corrispondente del tempo di immagazzinamento? (b) Si ripeta la simulazione nel caso in cui la forma d'onda di tensione di ingresso sia quella riportata in Figura P3.118(b), in cui si assume che la tensione v_1 sia pari al valore di 1.5 V per un lungo intervallo di tempo prima della commutazione. Si confrontino i risultati della commutazione con quelli ottenuti al punto (a). Qual è la causa della differenza tra i risultati ottenuti ai punti (a) e (b)?



(a)



(b)

Figura P3.118

3.18 Fotodiodi, celle solari e diodi emettitori di luce

***3.119** La corrente di uscita di un diodo utilizzato come cella solare è data da

$$I_C = 1 - [\exp(V_C/V_T) - 1] \text{ fA}$$

A quale punto di lavoro corrisponde $P_{\max}$? Quali sono i valori di I_{SC} e V_{OC} ?

***3.120** Tre diodi sono connessi in serie per aumentare la tensione di uscita di una cella solare. Le uscite individuali dei tre diodi sono date da

$$I_{C1} = 1.05 - [\exp(V_{C1}/V_T) - 1] \text{ fA}$$

$$I_{C2} = 1.00 - [\exp(V_{C2}/V_T) - 1] \text{ fA}$$

$$I_{C3} = 0.95 - [\exp(V_{C3}/V_T) - 1] \text{ fA}$$

(a) Si calcolino i valori di I_{SC} e V_{OC} per la cella. (b) Qual è il valore di $P_{\max}$?

3.121 L'ampiezza della banda proibita per il silicio e per l'arseniuro di gallio è rispettivamente pari a 1.12 eV e 1.42 eV. Quali sono i valori della lunghezza d'onda della radiazione prodotta nei processi di ricombinazione diretta di elettroni e lacune? Quali sono i colori della luce corrispondenti alle lunghezze d'onda calcolate?

3.122 Ripetere il Problema 3.121 per Ge, GaN, InP, InAs, BN, SiC e CdSe.

Capitolo 4

Riepilogo

- Nel Capitolo 4 abbiamo analizzato le strutture e le caratteristiche i - v del FET metallo-ossido-semiconduttore (MOSFET).
- Il cuore della struttura del MOSFET è costituito da un condensatore MOS, formato da un elettrodo metallico che risulta isolato dalla regione di semiconduttore da uno strato di ossido. Il potenziale di gate controlla la concentrazione di portatori nella sottostante regione di semiconduttore. Sono state definite tre regioni di funzionamento del condensatore MOS: accumulazione, svuotamento e inversione.
- Il MOSFET viene realizzato formando due giunzioni pn nella regione di semiconduttore del condensatore MOS. Le giunzioni definiscono i terminali di source e drain. La regione di source rappresenta una sorgente di portatori mobili che vengono iniettati nel canale. Le giunzioni di source e drain devono essere polarizzate inversamente, in modo da isolare il canale dal substrato.
- I transistori MOS possono essere realizzati con regioni di canale di tipo n oppure p , e sono rispettivamente detti transistori NMOS e PMOS. Si possono, inoltre, realizzare MOSFET ad arricchimento e svuotamento.
- Nel caso dei dispositivi ad arricchimento occorre applicare una tensione gate-source maggiore della tensione di soglia per creare un canale conduttivo tra le regioni di source e drain.
- I dispositivi a svuotamento vengono invece realizzati con un canale che collega source e drain, cosicché occorre applicare all'elettrodo di gate una tensione in modo tale da ridurre il fenomeno di conduzione.
- Il MOSFET è un dispositivo simmetrico. I terminali di source e drain sono in pratica definiti dalle tensioni applicate al dispositivo. Per una data geometria e condizioni di polarizzazione i transistori a canale n mostrano una corrente due o tre volte maggiore rispetto ai dispositivi a canale p , a causa della differenza delle mobilità degli elettroni e delle lacune.
- Il MOSFET presenta tre regioni di funzionamento.
- Nella **regione di interdizione** il canale è assente, e le correnti ai terminali sono nulle.
- Nella **regione di triodo** la corrente di drain dipende sia dalla tensione gate-source che dalla tensione drain-source. Per piccoli valori della tensione drain-source la corrente di drain dipende linearmente dalla tensione drain-source. Nella regione di triodo il MOS può essere utilizzato come un resistore controllato dalla tensione gate-source. Questa circostanza ha dato origine al termine *transistor*, dalla contrazione di "transfer resistor".
- Per valori della tensione drain-source maggiori della tensione di saturazione la corrente del MOS diventa quasi indipendente dalla tensione drain-source. Questa regione di funzionamento viene detta di pinch off, **regione di saturazione**, oppure regione lineare. Nella regione di saturazione la corrente di drain dipende dalla tensione gate-source secondo una legge quadratica, mentre dipende debolmente dalla tensione drain-source a causa della modulazione della lunghezza del canale.
- Con la riduzione delle dimensioni del transistor, il campo elettrico nel canale può diventare molto alto e la velocità dei portatori satura.
- Abbiamo illustrato i modelli matematici che descrivono le caratteristiche i - v dei transistori NMOS e PMOS. Il MOSFET è un dispositivo a quattro terminali, e la tensione di soglia dipende dalla tensione source-body del transistor.
- I parametri più importanti del MOSFET sono i parametri di transconduttanza K_n (K_p), la tensione di soglia a polarizzazione source-body nulla V_{TO} , il parametro dell'effetto body γ , il parametro relativo alla modulazione della lunghezza del canale λ , e la larghezza e la lunghezza del canale W e L .
- Il *Modello Unificato* introduce il parametro V_{SAT} per descrivere la saturazione della velocità e definisce il parametro V_{MIN} , che sostituisce V_{DS} nel semplice modello matematico del transistor, $V_{MIN} = \min\{V_{GS} - V_{TN}, V_{DS}, V_{SAT}\}$.
- Abbiamo mostrato diversi esempi di circuiti di polarizzazione, in cui abbiamo utilizzato il modello matematico del dispositivo per trovare il punto di lavoro per diversi tipi di MOSFET. Il punto di lavoro è definito dai valori stazionari della corrente di drain e della tensione drain-source (I_D , V_{DS}).
- Le caratteristiche i - v sono spesso mostrate in forma grafica come caratteristiche di uscita (i_D in funzione di v_{DS}), o di trasferimento (i_D in funzione di v_{GS}). Abbiamo analizzato diversi esempi in cui il punto di funzionamento è stato determinato per via grafica sfruttando

tando il concetto di retta di carico, oppure per via numerica, ricorrendo a procedure iterative.

- La rete di polarizzazione più importante nei circuiti discreti è la rete a quattro resistori, che consente di ottenere un punto di lavoro ben stabilizzato.
- Abbiamo analizzato le capacità gate-source, gate-drain, source-body e gate-body, e abbiamo introdotto il modello di Meyer relativo alle capacità gate-source e gate-body. Tutte le capacità dipendono secondo leggi non lineari dalle tensioni ai terminali.
- I programmi di simulazione circuitale come SPICE contengono dei modelli complessi del MOSFET. Tali modelli sono basati su circuiti equivalenti contenenti un elevato numero di parametri. La complessità dei modelli è necessaria per ottenere una descrizione accurata dei dispositivi reali.
- Parte del lavoro di un progettista di circuiti integrati consiste nella definizione del layout del circuito sulla

base di un insieme di regole di progetto che specificano le dimensioni minime degli elementi del circuito e le distanze minime tra questi.

- Nelle regole di miniaturizzazione a campo costante la densità di potenza dissipata rimane costante all'aumentare della densità di integrazione. Il tempo di ritardo si riduce proporzionalmente al fattore di scala α , mentre il prodotto potenza-ritardo si riduce secondo il fattore α^3 .
- La frequenza di taglio f_T del transistor rappresenta la frequenza più alta per cui il transistor è in grado di fornire amplificazione di segnale. La frequenza di taglio aumenta proporzionalmente al fattore di scala.
- Il campo elettrico può diventare molto alto nei dispositivi miniaturizzati. Questo effetto induce la saturazione della velocità dei portatori, che si verifica per campi superiori a 10 kV/cm. Anche il fenomeno delle correnti di sottosoglia diventa sempre più critico con la riduzione delle dimensioni del MOSFET.

Problemi

Per i problemi si utilizzino i parametri riportati in Tabella P4.1, ove necessario.

Tabella P4.1 Parametri relativi a transistori MOS

	Transistori NMOS	Transistori PMOS
V_{TO}	+0.75 V	-0.75 V
γ	+0.75 $\sqrt{V}$	0.5 $\sqrt{V}$
$2\phi_F$	0.6 V	0.6 V
K'	100 $\mu\text{A}/\text{V}^2$	40 $\mu\text{A}/\text{V}^2$

$\epsilon_{ox} = 3.9\epsilon_0$ e $\epsilon_s = 11.7\epsilon_0$, dove $\epsilon_0 = 8.854 \times 10^{-14}$ F/cm.

4.1 Il condensatore MOS

- 4.1** (a) Il condensatore MOS di Figura 4.1 è caratterizzato da $V_{TN} = 1$ V. Si indichi la regione di funzionamento corrispondente alla polarizzazione $V_G = 2$ V. Si ripeta il calcolo per (b) $V_G = -3$ V e (c) $V_G = 0.5$ V.
- 4.2** Si calcoli la capacità di un condensatore MOS caratterizzato da uno spessore di ossido T_{ox} pari a (a) 50 nm, (b) 20 nm, (c) 10 nm, (d) 5 nm.
- 4.3** Il valore minimo della capacità della regione di svuotamento può essere stimato con un'espressione simile alla (3.18): $C_d = \epsilon_s/x_d$, in cui lo spessore della regione di svuotamento è dato da $x_d \approx [2\epsilon_s(0.75V)/qN_B]^{1/2}$, dove N_B è il drogaggio del substrato. Si calcoli C_d per $N_B = 10^{15}/\text{cm}^3$.

4.2 Mosfet a canale n (NMOS)

Regione di triodo del transistor NMOS

- 4.4** Si calcoli K'_n per un transistor NMOS con $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$, assumendo uno spessore dell'ossido pari a (a) 40 nm, (b) 20 nm, (c) 10 nm, (d) 5 nm.

Le soluzioni si trovano sul sito web dedicato al libro



- 4.5** Si determini la densità di carica (C/cm^2) nel canale assumendo (a) $T_{ox} = 25$ nm e $V_{GS} - V_{TN} = 1$ V; (b) $T_{ox} = 10$ nm e $V_{GS} - V_{TN} = 2$ V.
- 4.6** (a) Si calcoli la velocità di deriva degli elettroni nel canale assumendo un campo elettrico pari a 2000 V/cm e $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$. (b) Si ripeta il calcolo per un campo elettrico pari a 4000 V/cm e $\mu_n = 400 \text{ cm}^2/(\text{V} \cdot \text{s})$.
- 4.7** L'Equazione (4.2) mostra che la carica per unità di lunghezza nel canale di un transistor in saturazione decresce procedendo dal source al drain. Si è tuttavia assunto che la corrente al drain fosse uguale a quella che esce dal source. Come si può conciliare la presenza di una corrente costante nel canale con la variazione della carica?
- 4.8** Si calcoli la corrente di drain per un transistor NMOS per $V_{GS} = 0, 1$ V, 2 V e 3 V, con $V_{DS} = 0.25$ V, assumendo $W = 5 \mu\text{m}$, $L = 0.5 \mu\text{m}$, $V_{TN} = 0.8$ V e $K'_n = 200 \mu\text{A}/\text{V}^2$. Qual è il valore di K_n ?
- 4.9** Un NMOS presenta $K'_n = 200 \mu\text{A}/\text{V}^2$. Si calcoli il valore di K_n per $W = 60 \mu\text{m}$, $L = 3 \mu\text{m}$. Si ripeta il calcolo per $W = 3 \mu\text{m}$, $L = 0.15 \mu\text{m}$ e per $W = 10 \mu\text{m}$, $L = 0.25 \mu\text{m}$.
- 4.10** Si calcoli la corrente di drain per un transistor NMOS per $V_{GS} = 0, 1$ V, 2 V e 3 V, con $V_{DS} = 0.1$ V, assumendo $W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$, $V_{TN} = 1.0$ V e $K'_n = 250 \mu\text{A}/\text{V}^2$. Qual è il valore di K_n ?
- 4.11** Si identifichino i terminali di source, drain, gate e body, e si determini la corrente I nei transistori di Figura P4.11. Si assuma $V_{TN} = 0.70$ V.

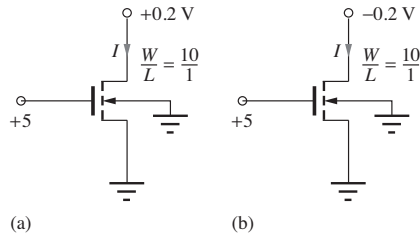


Figura P4.11

- 4.12** (a) Si determini la corrente di drain nel transistor di Figura P4.11(a) nel caso la tensione di drain sia pari a 0.5 V. Si assuma $V_{TN} = 0.75$ V. (b) Ripetere il calcolo per una tensione di gate di 3 V, e una tensione di drain ancora pari a 0.2 V.
- 4.13** (a) Si determini la corrente di drain nel transistor di Figura P4.11(b) nel caso la tensione al nodo superiore sia pari a -0.5 V. Si assuma $V_{TN} = 0.75$ V. (b) Si ripeta il calcolo per una tensione di gate di 3 V, e una tensione al nodo superiore pari a -1 V.
- 4.14** (a) Si progetti un transistor (ossia si definisca il valore di W) che presenti $K_n = 4$ mA/V² assumendo $L = 0.5$ μ m (si veda la Tabella P4.1). (b) Si ripeta l'analisi per $K_n = 800$ μ A/V².

Resistenza di conduzione

- 4.15** (a) Si determini la resistenza di conduzione per un transistor NMOS con $W/L = 100/1$, per $V_{GS} = 5$ V e $V_{TN} = 0.65$ V. (b) Si ripeta il calcolo per $V_{GS} = 3.3$ V e $V_{TN} = 0.5$ V (si veda la Tabella P4.1).
- 4.16** (a) Si determini il rapporto W/L per un transistor NMOS, necessario affinché la resistenza di conduzione sia pari a 500 k Ω per $V_{GS} = 5$ V e $V_{SB} = 0$. (b) Si ripeta il calcolo per $V_{GS} = 3.3$ V.
- 4.17** Si supponga che un transistor NMOS debba condurre una corrente $I_D = 5$ A con $V_{DS} \leq 0.1$ V. Si calcoli il valore massimo della resistenza di conduzione. Assumendo $V_{GS} = 5$ V e $V_{TN} = 2$ V, si calcoli il minimo valore di K_n necessario per ottenere il valore richiesto di R_{on} .

Regione di saturazione del transistor NMOS

- *4.18** Le caratteristiche di uscita di un transistor NMOS sono mostrate in Figura P4.18. Si calcoli il valore di K_n e V_{TN} , e si stabilisca se il transistor è ad arricchimento o a svuotamento. Si determini inoltre il rapporto W/L .

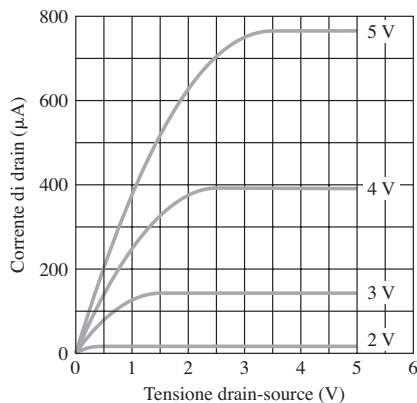


Figura P4.18

- 4.19** Si traccino le curve per $V_{GS} = 3.5$ V e $V_{GS} = 4.5$ V nelle caratteristiche di uscita di Figura P4.18, e si calcolino i corrispondenti valori di i_{DSAT} e v_{DSAT} .
- 4.20** Si calcoli la corrente di drain per un transistor NMOS per $V_{GS} = 0, 1, 2, 3$ V e $V_{DS} = 3.3$ V assumendo $W = 5$ μ m, $L = 0.5$ μ m, $V_{TN} = 1$ V e $K'_n = 375$ μ A/V². Si determini il valore di K_n . Si verifichi se il transistor si trova in saturazione.
- 4.21** Si calcoli la corrente di drain per un transistor NMOS per $V_{GS} = 0, 1, 2, 3$ V e $V_{DS} = 4$ V assumendo $W = 10$ μ m, $L = 1$ μ m, $V_{TN} = 1.5$ V e $K'_n = 200$ μ A/V². Si determini il valore di K_n . Si verifichi se il transistor si trova in saturazione.

Modello matematico della regione di saturazione

- 4.22** Si individui la regione di funzionamento e la corrente di drain per un transistor NMOS caratterizzato da $K'_n = 200$ μ A/V², $W/L = 10/1$, $V_{TN} = 0.75$ V e (a) $V_{GS} = 2$ V e $V_{DS} = 0.2$ V, (b) $V_{GS} = 2$ V e $V_{DS} = 2.5$ V, (c) $V_{GS} = 0$ V e $V_{DS} = 4$ V. (d) Si ripeta il calcolo per $K'_n = 300$ μ A/V².
- 4.23** Si identifichi la regione di funzionamento di un transistor NMOS caratterizzato da $K_n = 250$ μ A/V² e $V_{TN} = 1$ V per (a) $V_{GS} = 5$ V e $V_{DS} = 6$ V, (b) $V_{GS} = 0$ V e $V_{DS} = 6$ V, (c) $V_{GS} = 2$ V e $V_{DS} = 2$ V, (d) $V_{GS} = 1.5$ V e $V_{DS} = 0.5$ V, (e) $V_{GS} = 2$ V e $V_{DS} = -0.5$ V, (f) $V_{GS} = 3$ V e $V_{DS} = -6$ V.
- 4.24** Si identifichi la regione di funzionamento di un transistor NMOS caratterizzato da $K_n = 400$ μ A/V² e $V_{TN} = 0.7$ V per (a) $V_{GS} = 3.3$ V e $V_{DS} = 3.3$ V, (b) $V_{GS} = 0$ V e $V_{DS} = 3.3$ V, (c) $V_{GS} = 2$ V e $V_{DS} = 2$ V, (d) $V_{GS} = 1.5$ V e $V_{DS} = 0.5$ V, (e) $V_{GS} = 2$ V e $V_{DS} = -0.5$ V, (f) $V_{GS} = 3$ V e $V_{DS} = -3$ V.
- 4.25** (a) Si identifichino i terminali di source, drain, gate e body per il transistor di Figura P4.25. Si assuma $V_{DD} > 0$. (b) Si ripeta l'analisi per $V_{DD} < 0$. (c) Che problema si verifica se $V_{DD} < 0$?

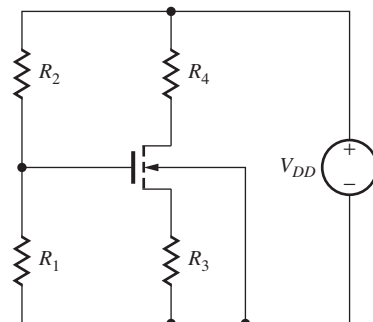


Figura P4.25

- 4.26** (a) Si identifichino i terminali di source, drain, gate e body per i transistori di Figura P4.26(a). Si assuma $V_{DD} > 0$. (b) Si ripeta l'esercizio per i transistori di Figura P4.26(b).

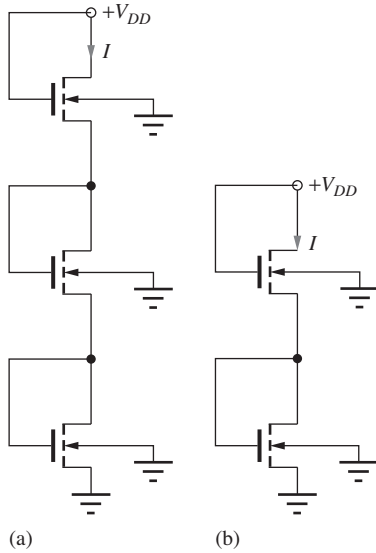


Figura P4.26

Transconduttanza

- 4.27** Si calcoli la transconduttanza per un transistor NMOS per $V_{GS} = 2\text{ V}$ e 3.3 V con $V_{DS} = 3.3\text{ V}$ assumendo $W = 20\text{ }\mu\text{m}$, $L = 1\text{ }\mu\text{m}$, $V_{TN} = 0.7\text{ V}$ e $K'_n = 250\text{ }\mu\text{A/V}^2$. Si verifichi se il transistor si trova in saturazione.
- 4.28** (a) Si stimi la transconduttanza per il transistor di Figura P4.18 per $V_{GS} = 4\text{ V}$ e $V_{DS} = 4\text{ V}$. (Suggerimento: $g_m \approx \Delta i_D / \Delta v_{GS}$.) (b) Si ripeta il calcolo per $V_{GS} = 3\text{ V}$ e $V_{DS} = 4.5\text{ V}$.

Modulazione della lunghezza di canale

- 4.29** (a) Si calcoli la corrente di drain per un transistor NMOS assumendo $K_n = 250\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.75\text{ V}$, $\lambda = 0.025\text{ V}^{-1}$, $V_{GS} = 5\text{ V}$ e $V_{DS} = 6\text{ V}$. (b) Si ripeta il calcolo per il caso $\lambda = 0$.
- 4.30** (a) Si calcoli la corrente di drain per un transistor NMOS assumendo $K_n = 500\text{ }\mu\text{A/V}^2$, $V_{TN} = 1\text{ V}$, $\lambda = 0.02\text{ V}^{-1}$, $V_{GS} = 4\text{ V}$ e $V_{DS} = 5\text{ V}$. (b) Si ripeta il calcolo per il caso $\lambda = 0$.
- 4.31** (a) Si calcoli la corrente di drain per il transistor NMOS di Figura P4.31 assumendo $\lambda = 0$. (b) Si ripeta il calcolo per il caso $\lambda = 0.025\text{ V}^{-1}$. (c) Si ripeta la parte (a) per $W/L = 25/1$.

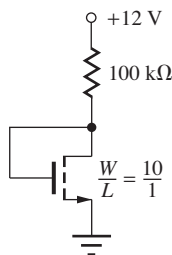


Figura P4.31

- 4.32** (a) Si calcoli la corrente di drain per il transistor NMOS di Figura P4.31 assumendo $\lambda = 0$ e $W/L = 20/1$. (b) Si ripeta il calcolo per il caso $\lambda = 0.02\text{ V}^{-1}$.
- 4.33** (a) Si calcoli la corrente I in Figura P4.33 assumendo $V_{DD} = 10\text{ V}$, $\lambda = 0$ e $W/L = 10/1$ per entrambi i transistori. (b) Si ripeta il calcolo per il caso $W/L = 20/1$. (c) Si ripeta la parte (a) per il caso $\lambda = 0.04\text{ V}^{-1}$.

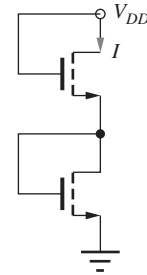


Figura P4.33

- 4.34** (a) Si calcolino le correnti I nei due transistori di Figura P4.33 assumendo $(W/L)_1 = 10/1$, $(W/L)_2 = 40/1$ e $\lambda = 0$ per entrambi i transistori. (b) Si ripeta il calcolo per $(W/L)_1 = 40/1$, $(W/L)_2 = 10/1$. (c) Si ripeta la parte (a) assumendo $\lambda = 0.05\text{ V}^{-1}$ per entrambi i transistori.
- 4.35** (a) Si calcolino le correnti I nei due transistori di Figura P4.33 assumendo $(W/L)_1 = 25/1$, $(W/L)_2 = 12.5/1$ e $\lambda = 0$ per entrambi i transistori. (b) Si ripeta la parte (a) assumendo $\lambda = 0.05\text{ V}^{-1}$ per entrambi i transistori.

Caratteristiche di trasferimento e transistori a svuotamento

- 4.36** (a) Si calcoli la corrente di drain per un transistor NMOS assumendo $K_n = 250\text{ }\mu\text{A/V}^2$, $V_{TN} = -2\text{ V}$, $\lambda = 0$, $V_{GS} = 5\text{ V}$ e $V_{DS} = 6\text{ V}$. (b) Si ripeta il calcolo per il caso $\lambda = 0.03\text{ V}^{-1}$.
- 4.37** Un transistor NMOS a svuotamento è polarizzato con una tensione $V_{DS} = V_{GS} > 0$. Qual è la regione di funzionamento di questo dispositivo?
- 4.38** (a) Si calcoli la corrente di drain per un transistor NMOS assumendo $K_n = 250\text{ }\mu\text{A/V}^2$, $V_{TN} = -3\text{ V}$, $\lambda = 0$, $V_{GS} = 0\text{ V}$ e $V_{DS} = 6\text{ V}$. (b) Si ripeta il calcolo per il caso $\lambda = 0.025\text{ V}^{-1}$.
- 4.39** (a) Si calcoli la corrente nei transistori di Figura P4.39(a) assumendo $V_{TN} = -2\text{ V}$. (b) Si ripeta il calcolo per $R = 50\text{ k}\Omega$ e $W/L = 20/1$. (c) Si ripetano i punti (a) e (b) per la Figura P4.39(b).

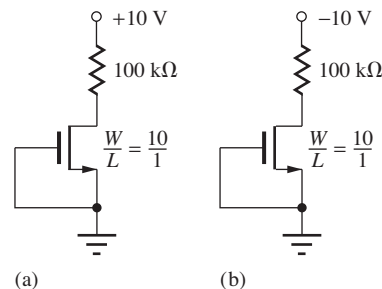


Figura P4.39

- 4.40** (a) Si determini il punto Q per il transistor di Figura P4.39(a) per $V_{TN} = -1$ V e $W/L = 20/1$. (b) Si ripeta l'analisi per la Figura P4.39(b).

Effetto body

- 4.41** Si ripeta il Problema 4.21 assumendo $V_{SB} = 1.5$ V utilizzando i valori riportati nella Tabella P4.1.
- 4.42** (a) Un transistor NMOS è caratterizzato da $W/L = 16.8/1$, $2\phi_F = 0.75$ V, $V_{TO} = 1.5$ V e $\gamma = 0.5 \sqrt{V}$. Si calcoli la corrente di drain quando il transistor è polarizzato con le tensioni $V_{SB} = 4$ V, $V_{GS} = 2$ V e $V_{DS} = 5$ V. (b) Si ripeta il calcolo per il caso $V_{DS} = 0.5$ V.
- 4.43** (a) Un transistor NMOS è caratterizzato da $W/L = 8/1$, $2\phi_F = 0.6$ V, $V_{TO} = 1$ V e $\gamma = 0.7 \sqrt{V}$. Si calcoli la corrente di drain quando il transistor è polarizzato con le tensioni $V_{SB} = 3$ V, $V_{GS} = 2.5$ V e $V_{DS} = 5$ V. (b) Si ripeta il calcolo per il caso $V_{DS} = 0.5$ V.
- 4.44** Un transistor NMOS a svuotamento è caratterizzato da $2\phi_F = 0.75$ V, $V_{TO} = -1.5$ V e $\gamma = 1.5 \sqrt{V}$. Si determini la tensione source-body necessaria affinché il transistor diventi un dispositivo ad arricchimento con una tensione di soglia di $+0.85$ V.
- *4.45** La Tabella P4.45 mostra i risultati sperimentali relativi all'effetto body. Quali sono i valori di $2\phi_F$, V_{TO} e γ che descrivono nel modo più accurato questi risultati secondo il metodo dei minimi quadrati (si veda il Problema 3.29)?

Tabella P4.45

V_{SB} (V)	V_{TN} (V)
0	0.710
0.5	0.912
1.0	1.092
1.5	1.232
2.0	1.377
2.5	1.506
3.0	1.604
3.5	1.724
4.0	1.822
4.5	1.904
5.0	2.005

4.3 MOSFET a canale P (PMOS)

- 4.46** Si calcoli K'_p per un transistor PMOS con $\mu_p = 200 \text{ cm}^2/(\text{V} \cdot \text{s})$, assumendo uno spessore dell'ossido pari a (a) 50 nm, (b) 20 nm, (c) 10 nm, (d) 5 nm.
- *4.47** La Figura P4.47 mostra le caratteristiche di uscita relative a un transistor PMOS. Si determinino i valori di K_p e V_{TP} . Si tratta di un dispositivo ad arricchimento oppure a svuotamento? Qual è il valore del rapporto W/L per questo dispositivo?
- 4.48** Si traccino le caratteristiche relative a $V_{GS} = -3.5$ V e $V_{GS} = -4.5$ V sul grafico di Figura P4.47 e si valuti il valore di v_{DSAT} e i_{DSAT} corrispondente.

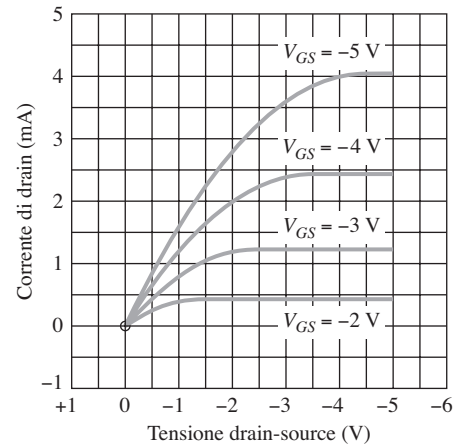


Figura P4.47

- 4.49** Si identifichi la regione di funzionamento e si determini la corrente di drain per un transistor PMOS caratterizzato da $W/L = 20/1$, $V_{BS} = 0$ V e (a) $V_{GS} = -1.1$ V, $V_{DS} = -0.2$ V, (b) $V_{GS} = -1.3$ V, $V_{DS} = -0.2$ V. (c) Si ripeta il calcolo relativo ai casi (a) e (b) assumendo $V_{BS} = 1$ V.
- 4.50** (a) Si determini il valore del rapporto W/L necessario affinché R_{on} sia pari a 1Ω per $V_{GS} = -5$ V e $V_{SB} = 0$. Si assuma $V_{TP} = -0.70$ V. (b) Si ripeta l'analisi per un transistor NMOS assumendo $V_{GS} = +5$ V, $V_{BS} = 0$ e $V_{TN} = 0.70$ V.
- 4.51** (a) Si determini il valore del rapporto W/L necessario affinché R_{on} sia pari a 2Ω per $V_{GS} = -5$ V e $V_{SB} = 0$. Si assuma $V_{TP} = -0.70$ V. (b) Si ripeta l'analisi per un transistor NMOS assumendo $V_{GS} = +5$ V, $V_{BS} = 0$ e $V_{TN} = 0.70$ V.
- 4.52** (a) Si calcoli il valore di R_{on} per un transistor PMOS caratterizzato da $W/L = 200/1$, assumendo $V_{GS} = -5$ V e $V_{TP} = -0.75$ V. (b) Si ripeta il calcolo per un transistor NMOS con identici parametri geometrici assumendo $V_{GS} = 5$ V e $V_{TN} = 0.75$ V. (c) Qual è il valore del rapporto W/L relativo al transistor PMOS necessario affinché il valore di R_{on} sia uguale a quello ottenuto per il transistor NMOS del punto (b)?
- 4.53** (a) Si identifichino i terminali di source, drain, gate e body per il transistor di Figura P4.53(a). Si assuma $V_{DD} = 10$ V. (b) Si ripeta l'analisi per la Figura P4.53(b).

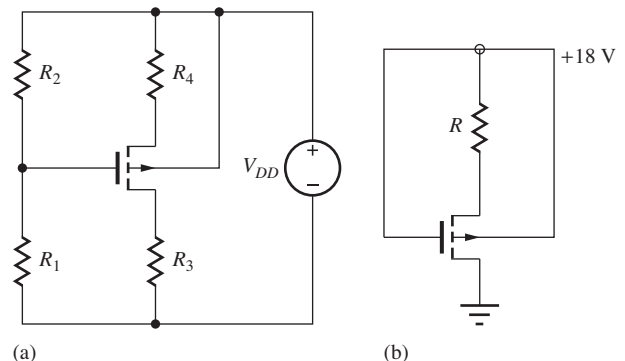


Figura P4.53

- 4.54** (a) Si determini il valore di R_{on} e della tensione V_O per i transistori NMOS ($W/L = 10/1$) e PMOS ($W/L = 25/1$) connessi in parallelo come mostrato in Figura P4.54, assumendo $V_{IN} = 0$ V. (b) Si ripeta il calcolo per $V_{IN} = 5$ V. Questo circuito è detto *porta di trasmissione*.

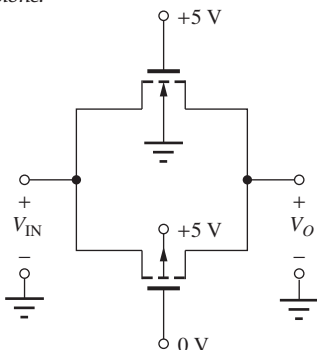


Figura P4.54

- 4.55** Supponiamo che un transistor PMOS debba condurre una corrente $I_D = 0.5$ A con $V_{SD} \leq 0.1$. Si determini il valore massimo della resistenza R_{on} . Assumendo che il transistor sia polarizzato in conduzione con $V_G = 0$ V, $V_S = 10$ V e $V_{TP} = -2$ V, si determini il minimo valore di K_p necessario a ottenere il valore richiesto per R_{on} .
- 4.56** Un transistor PMOS è polarizzato con $V_{BS} = 4$ V, $V_{GS} = -1.5$ V e $V_{DS} = -4$ V. Si identifichi la regione di funzionamento e si calcoli la corrente di drain assumendo $W/L = 25/1$.
- 4.57** Un transistor PMOS è polarizzato con $V_{BS} = 0$ V, $V_{GS} = -1.5$ V e $V_{DS} = -0.5$ V. Si identifichi la regione di funzionamento e si calcoli la corrente di drain assumendo $W/L = 40/1$.

4.4 Simboli circuitali del MOSFET

- 4.58** Il transistor PMOS di Figura P4.53(a) è in conduzione. Per questo transistor risulta $V_{TP} > 0$ oppure $V_{TP} < 0$? In base al valore di V_{TP} definire il tipo di transistor. Il simbolo che compare nel circuito è appropriato? In caso contrario qual è il simbolo corretto?
- 4.59** Il transistor PMOS di Figura P4.53(b) è in conduzione. Per questo transistor risulta $V_{TP} > 0$ oppure $V_{TP} < 0$? In base al valore di V_{TP} definire il tipo di transistor. Il simbolo che compare nel circuito è appropriato? In caso contrario qual è il simbolo corretto?
- 4.60** (a) Si ridisegni il circuito di Figura P4.53(a) con un PMOS a 3 terminali in cui il source è connesso al substrato. (b) Si ripeta l'esercizio per il circuito di Figura P4.53(b).
- 4.61** Si ridisegni il circuito di Figura 4.27(a) con un NMOS a 4 terminali in cui il body sia connesso a -3 V.
- 4.62** Si ridisegni il circuito di Figura 4.28 con un NMOS a 4 terminali in cui il body sia connesso a -5 V.

4.5 Capacità del MOSFET

- 4.63** Si calcolino C''_{ox} e C_{GC} per un transistor MOS con $W = 20$ μm , $L = 2$ μm e uno spessore di ossido pari a (a) 50 nm, (b) 20 nm, (c) 10 nm e (d) 5 nm.

- 4.64** Si calcolino C''_{ox} e C_{GC} per un transistor MOS con $W = 5$ μm , $L = 0.5$ μm e uno spessore di ossido pari a (a) 25 nm, (b) 10 nm e (c) 3 nm.
- 4.65** In alcuni MOSFET il valore di C'_{OL} può essere calcolato assumendo una distanza di sovrapposizione efficace di 0.5 μm . Si calcoli il valore di C'_{OL} per uno spessore di ossido pari a 10 nm.
- 4.66** Si calcoli il valore di C_{GS} e C_{GD} per un transistor con $C''_{ox} = 1.4 \times 10^{-3}$ F/m², $C'_{OL} = 4 \times 10^{-9}$ F/m, $W = 10$ μm , $L = 1$ μm e polarizzato (a) nella regione di triodo, (b) nella regione di saturazione, (c) nella regione di interdizione.
- 4.67** Un MOSFET di potenza presenta un'area effettiva di gate di 50×10^6 μm^2 . Si calcoli C_{GC} assumendo $T_{ox} = 100$ nm.
- 4.68** Si calcoli il valore di C_{GS} e C_{GD} per il transistor di Figura 4.24 assumendo $\Lambda = 0.5$ μm , $T_{ox} = 150$ nm, $C_{GSO} = C_{GDO} = 20$ pF/m, e polarizzato (a) nella regione di triodo, (b) nella regione di saturazione, (c) nella regione di interdizione.
- 4.69** Con riferimento al transistor di Figura 4.24, si ripeta il Problema 4.68 assumendo $L = 1$ μm e (a) $W/L = 10/1$, (b) $W/L = 100/1$.
- 4.70** Si calcoli il valore di C_{SB} e C_{DB} per il transistor di Figura 4.24 assumendo $\Lambda = 0.5$ μm , un drogaggio di substrato di $10^{16}/\text{cm}^3$, un drogaggio di source e drain di $10^{20}/\text{cm}^3$ e $C_{jSW} = C_{jX}(5 \times 10^{-4}$ cm).

4.6 Modello SPICE del MOSFET

- 4.71** Si determinino i parametri SPICE KP, LAMBDA, VTO, PHI, W e L per un transistor con $V_{TN} = 0.7$ V, $K_n = 175$ $\mu\text{A}/\text{V}^2$, $W = 5$ μm , $L = 0.25$ μm , $\lambda = 0.02$ V⁻¹ e $2\phi_F = 0.8$ V.
- 4.72** (a) Si determinino i parametri SPICE VTO, PHI e GAMMA per il transistor di Figura 4.13. (b) Si ripeta il calcolo per il transistor del Problema 4.42.
- 4.73** Si determinino i parametri SPICE KP, LAMBDA, VTO, PHI, W e L per il transistor in Figura 4.7 assumendo $K'_n = 50$ $\mu\text{A}/\text{V}^2$ e $L = 0.5$ μm .
- 4.74** Si determinino i parametri SPICE KP, LAMBDA, VTO, PHI, W e L per il transistor in Figura 4.8 assumendo $K'_n = 10$ $\mu\text{A}/\text{V}^2$ e $L = 0.6$ μm .
- 4.75** Si determinino i parametri SPICE KP, LAMBDA, VTO, PHI, W e L per il transistor in Figura 4.14 assumendo $K'_p = 10$ $\mu\text{A}/\text{V}^2$ e $L = 0.5$ μm .
- 4.76** Si determinino i parametri SPICE KP, LAMBDA, VTO, PHI, W e L per il transistor in Figura 4.20 assumendo $K'_n = 25$ $\mu\text{A}/\text{V}^2$ e $L = 0.6$ μm .

4.7 Riduzione delle dimensioni del transistor MOS

- 4.77** (a) Un transistor presenta $T_{ox} = 40$ nm, $V_{TN} = 1$ V, $\mu_n = 500$ cm²/(V · s), $L = 2$ μm e $W = 20$ μm . Si calcolino il valore di K_n e i_{DSAT} per $V_{GS} = 4$ V. (b) Si determinino i valori di T_{ox} , W , L , V_{TN} , K_n e i_{DSAT} se la tecnologia viene miniaturizzata di un fattore 2.

- 4.78** (a) Un transistor presenta $T_{ox} = 20 \text{ nm}$, $L = 1 \mu\text{m}$ e $W = 20 \mu\text{m}$. Si calcoli il valore di C_{GC} .
 (b) Si determinino i valori di T_{ox} , W , L e C_{GC} se la tecnologia viene miniaturizzata di un fattore 2.
- 4.79** Si mostri che la frequenza di transizione di un transistor PMOS è data da $f_T = \frac{1}{2\pi} \frac{\mu_p}{L^2} |V_{GS} - V_{TP}|$.
- 4.80** (a) Un transistor NMOS presenta $\mu_n = 400 \text{ cm}^2/(\text{V} \cdot \text{s})$. Si calcoli f_T assumendo $L = 1 \mu\text{m}$ e $V_{GS} - V_{TN} = 1 \text{ V}$. Quale sarebbe il valore di f_T per un transistor PMOS con simili caratteristiche e $\mu_p = 0.4\mu_n$? (b) Si ripeta il calcolo per $L = 0.1 \mu\text{m}$.
- 4.81** Un transistor presenta $T_{ox} = 80 \text{ nm}$, $\mu_n = 400 \text{ cm}^2/(\text{V} \cdot \text{s})$, $L = 0.1 \mu\text{m}$, $W = 2 \mu\text{m}$ e $V_{GS} - V_{TN} = 2 \text{ V}$. Si calcoli il valore di i_D nella regione di saturazione utilizzando (a) l'Equazione (4.17), e (b) l'Equazione (4.49) assumendo $v_{SAT} = 10^7 \text{ cm/s}$.

- 4.82** Il transistor NMOS di Figura 4.21 è polarizzato con $V_{GS} = 0 \text{ V}$. (a) Si calcoli la corrente di drain. (b) Si calcoli la corrente di drain se la tensione di soglia è ridotta a 0.5 V .

4.8 Fabbricazione del transistor MOS e regole di progetto

- 4.83** Con riferimento alla Figura 4.24, si disegni il layout di un transistor con $W/L = 10/1$. Quale percentuale dell'area complessiva risulta occupata dal canale?
- 4.84** Con riferimento alla Figura 4.24, si disegni il layout di un transistor con $W/L = 5/1$, assumendo $T = F = 2\Lambda$. Quale percentuale dell'area complessiva risulta occupata dal canale?
- 4.85** Con riferimento alla Figura 4.24, si disegni il layout di un transistor con $W/L = 5/1$, cambiando l'allineamento in modo che la terza maschera sia allineata alla prima. Quale percentuale dell'area complessiva risulta occupata dal canale?
- 4.86** Con riferimento alla Figura 4.32, si disegni il layout di un transistor con $W/L = 5/1$, cambiando l'allineamento in modo che le maschere 2, 3 e 4 siano allineate alla prima. Quale percentuale dell'area complessiva risulta occupata dal canale?

4.9 Polarizzazione del MOSFET

Analisi basata sul metodo della retta di carico

- 4.87** Si disegni la retta di carico per il circuito di Figura P4.87 sulle caratteristiche di uscita in Figura P4.18 e si definisca il punto di lavoro. Si assuma $V_{DD} = 4 \text{ V}$. Qual è la regione di funzionamento del transistor?
- 4.88** Si disegni la retta di carico per il circuito di Figura P4.87 sulle caratteristiche di uscita in Figura P4.18 e si definisca il punto di lavoro. Si assuma $V_{DD} = 5 \text{ V}$. Qual è la regione di funzionamento del transistor?

- 4.89** Si disegni la retta di carico per il circuito di Figura P4.89 sulle caratteristiche di uscita in Figura P4.18 e si definisca il punto di lavoro. Si assuma $V_{DD} = 6 \text{ V}$. Qual è la regione di funzionamento del transistor?

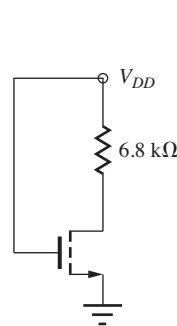


Figura P4.87

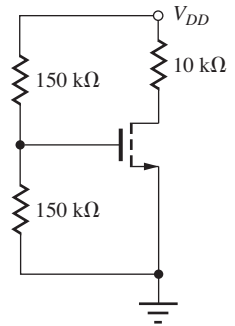


Figura P4.89

- 4.90** Si disegni la retta di carico per il circuito di Figura P4.89 sulle caratteristiche di uscita in Figura P4.18 e definisca il punto di lavoro. Si assuma $V_{DD} = 8 \text{ V}$. Qual è la regione di funzionamento del transistor?

Polarizzazione con rete a 4 resistori

- 4.91** (a) Si determini il punto di lavoro per il transistor in Figura P4.91 assumendo $R_1 = 100 \text{ k}\Omega$, $R_2 = 220 \text{ k}\Omega$, $R_3 = 24 \text{ k}\Omega$, $R_4 = 12 \text{ k}\Omega$ e $V_{DD} = 12 \text{ V}$. Si assuma inoltre $V_{TO} = 1 \text{ V}$, $\gamma = 0$ e $W/L = 5/1$. (b) Si ripeta l'esercizio assumendo $W/L = 10/1$.

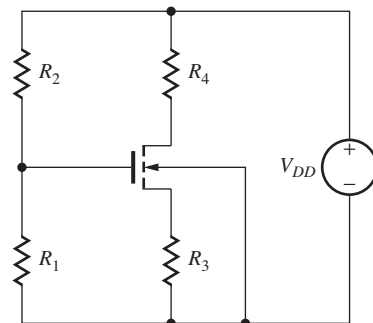


Figura P4.91

- 4.92** Si ripeta il Problema 4.91(a) nel caso in cui le resistenze siano ridotte di un fattore 10 e inoltre $W/L = 20/1$.
- 4.93** Si ripeta il Problema 4.91(a) nel caso in cui le resistenze siano aumentate di un fattore 10.
- 4.94** Si ripeta il Problema 4.91 assumendo $V_{DD} = 15 \text{ V}$.
- 4.95** (a) Si determini il punto di lavoro per il transistor in Figura P4.91 assumendo $R_1 = 200 \text{ k}\Omega$, $R_2 = 430 \text{ k}\Omega$, $R_3 = 47 \text{ k}\Omega$, $R_4 = 24 \text{ k}\Omega$ e $V_{DD} = 12 \text{ V}$. Si assuma inoltre $V_{TO} = 1 \text{ V}$, $\gamma = 0$ e $W/L = 5/1$. (b) Si ripeta l'esercizio assumendo $W/L = 15/1$.
- 4.96** Si effettui la simulazione del circuito del Problema 4.91 e si confrontino i risultati della simulazione con l'analisi manuale.

4.97 Si effettui la simulazione del circuito del Problema 4.94 e si confrontino i risultati della simulazione con l'analisi manuale.



4.98 Si effettui la simulazione del circuito del Problema 4.95 e si confrontino i risultati della simulazione con l'analisi manuale.



4.99 L'analisi relativa al circuito di Figura 4.27 ha mostrato che la corrente di drain è pari a 50 μA . La rete di polarizzazione di gate potrebbe essere progettata con diverse combinazioni dei resistori R_1 e R_2 . Alcune possibili scelte per (R_1 , R_2) sono (3 k Ω , 7 k Ω), (12 k Ω , 28 k Ω), (300 k Ω , 700 k Ω) e (1.2 M Ω , 2.8 M Ω). Si identifichi la scelta migliore motivandola.



***4.100** Si supponga che il progetto relativo all'Esempio 4.1 venga realizzato con $V_{EQ} = 4\text{ V}$, $R_S = 1.7\text{ k}\Omega$, $R_D = 38.3\text{ k}\Omega$. (a) Si determini il punto di lavoro assumendo $K_n = 35\text{ }\mu\text{A/V}^2$. (b) Si ripeta il calcolo per $K_n = 25\text{ }\mu\text{A/V}^2$ e $V_{TN} = 0.75\text{ V}$.

4.101 (a) Si effettui la simulazione del circuito dell'Esempio 4.1 e si confrontino i risultati con i calcoli. (b) Si ripeta l'analisi per il circuito dell'Esempio 4.2.



4.102 Si progetti una rete di polarizzazione a quattro resistori per un transistor NMOS in modo che il punto di lavoro risulti (100 μA , 4 V) con $V_{DD} = 12\text{ V}$ e $R_{EQ} \approx 250\text{ k}\Omega$. Si utilizzino i parametri della Tabella P4.1.



4.103 Si progetti una rete di polarizzazione a quattro resistori per un transistor NMOS in modo che il punto di lavoro risulti (250 μA , 3 V) con $V_{DD} = 9\text{ V}$ e $R_{EQ} \approx 250\text{ k}\Omega$. Si utilizzino i parametri della Tabella P4.1.



4.104 Si progetti una rete di polarizzazione a quattro resistori per un transistor NMOS in modo che il punto di lavoro risulti (500 μA , 5 V) con $V_{DD} = 15\text{ V}$ e $R_{EQ} \approx 600\text{ k}\Omega$. Si utilizzino i parametri della Tabella P4.1.



Transistori a svuotamento

4.105 Si determini il punto di lavoro per il transistor in Figura P4.91 assumendo $R_1 = 1\text{ M}\Omega$, $R_2 \rightarrow \infty$, $R_3 = 10\text{ k}\Omega$, $R_4 = 5\text{ k}\Omega$ e $V_{DD} = 15\text{ V}$. Si assuma inoltre $V_{TN} = -5\text{ V}$, $K_n = 1\text{ mA/V}^2$.

4.106 Si determini il punto di lavoro per il transistor in Figura P4.91 assumendo $R_1 = 470\text{ k}\Omega$, $R_2 \rightarrow \infty$, $R_3 = 27\text{ k}\Omega$, $R_4 = 51\text{ k}\Omega$ e $V_{DD} = 12\text{ V}$. Si assuma inoltre $V_{TN} = -4\text{ V}$, $K_n = 600\text{ }\mu\text{A/V}^2$.

4.107 Si progetti una rete di polarizzazione per un transistor NMOS a svuotamento in modo che il punto di lavoro risulti (250 μA , 5 V) con $V_{DD} = 15\text{ V}$, $V_{TN} = -5\text{ V}$ e $K_n = 1\text{ mA/V}^2$.



4.108 Si progetti una rete di polarizzazione per un transistor NMOS a svuotamento in modo che il punto di lavoro risulti (2 mA, 5 V) con $V_{DD} = 15\text{ V}$, $V_{TN} = -2\text{ V}$ e $K_n = 250\text{ }\mu\text{A/V}^2$.



Rete di polarizzazione con due resistori

4.109 (a) Si determini il punto di lavoro per il transistor nel circuito di Figura P4.109(a) assumendo $V_{DD} = +12\text{ V}$. (b) Si ripeta il calcolo per il circuito di Figura P4.109(b).

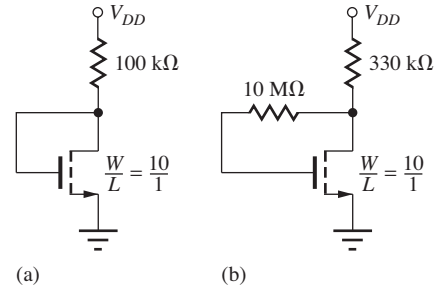


Figura P4.109

4.110 (a) Si determini il punto di lavoro per il transistor nel circuito di Figura P4.109(a) assumendo $V_{DD} = +12\text{ V}$ e $W/L = 20/1$. (b) Si ripeta il calcolo per il circuito di Figura P4.109(b).

4.111 (a) Si determini il punto di lavoro per il transistor nel circuito di Figura P4.109(b) assumendo $V_{DD} = +15\text{ V}$. (b) Si ripeta il calcolo assumendo $W/L = 25/1$.

4.112 (a) Si determini il punto di lavoro per il transistor nel circuito di Figura P4.109(b) assumendo $V_{DD} = +12\text{ V}$ e con una resistenza di 470 k Ω al posto di quella di 330 k Ω . (b) Si ripeta l'esercizio con una resistenza di 2 M Ω al posto di quella di 10 M Ω .

Effetto body

4.113 (a) Si trovi la soluzione delle Equazioni (4.64) utilizzando MATLAB oppure un foglio di calcolo. (b) Si ripeta il calcolo per $\gamma = 0.75\sqrt{V}$.

4.114 (a) Si trovi la soluzione delle Equazioni (4.64) utilizzando un foglio di calcolo assumendo $\gamma = 0.75\sqrt{V}$. (b) Si ripeta il calcolo per $\gamma = 1.25\sqrt{V}$.

4.115 Si determini il punto di lavoro per il transistor in Figura P4.91 assumendo $R_1 = 100\text{ k}\Omega$, $R_2 = 220\text{ k}\Omega$, $R_3 = 24\text{ k}\Omega$, $R_4 = 12\text{ k}\Omega$ e $V_{DD} = 12\text{ V}$. Si assuma inoltre $V_{TO} = 1\text{ V}$, $\gamma = 0.6\sqrt{V}$ e $W/L = 5/1$.

***4.116** Si ripeta il Problema 4.115 per (a) $\gamma = 0.75\sqrt{V}$, (b) $R_4 = 24\text{ k}\Omega$.

4.117 Si effettui la simulazione SPICE dei circuiti relativi ai problemi: (a) 4.115, (b) 4.116 (a), (c) 4.116 (b).

4.118 Si effettui la simulazione SPICE del circuito del Problema 4.91 assumendo (a) $\gamma = 0$ e (b) $\gamma = 0.5\sqrt{V}$ e $2\phi_F = 0.6\text{ V}$. Si confrontino i risultati ottenuti. L'ipotesi di effetto body trascurabile assunta nell'analisi manuale risulta giustificata?

4.119 Si effettui la simulazione SPICE del circuito del Problema 4.92 assumendo (a) $\gamma = 0$ e (b) $\gamma = 0.5\sqrt{V}$ e $2\phi_F = 0.6\text{ V}$. Si confrontino i risultati ottenuti. L'ipotesi di effetto body trascurabile assunta nell'analisi manuale risulta giustificata?



4.120 Si effettui la simulazione SPICE del circuito del Problema 4.93 assumendo (a) $\gamma = 0$ e (b) $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6 \text{ V}$. Si confrontino i risultati ottenuti. L'ipotesi di effetto body trascurabile assunta nell'analisi manuale risulta giustificata?

4.121 Si effettui la simulazione SPICE del circuito del Problema 4.95 assumendo (a) $\gamma = 0$ e (b) $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6 \text{ V}$. Si confrontino i risultati ottenuti. L'ipotesi di effetto body trascurabile assunta nell'analisi manuale risulta giustificata?

Problemi relativi alla polarizzazione

4.122 (a) Si calcoli la corrente I in Figura P4.122 per $V_{DD} = 5 \text{ V}$, ed assumendo $V_{TO} = 1 \text{ V}$, $\gamma = 0$ e $W/L = 20/1$ per entrambi i transistori. (b) Si ripeta il calcolo per $V_{DD} = 10 \text{ V}$. (c) Si ripeta il punto (a) con $\gamma = 0.5 \sqrt{V}$.

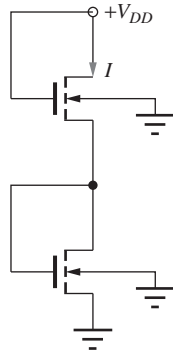


Figura P4.122

4.123 Si determini il punto di lavoro per il transistore in Figura P4.123 assumendo $R = 20 \text{ k}\Omega$, $V_{TO} = 1 \text{ V}$ e $W/L = 2/1$.

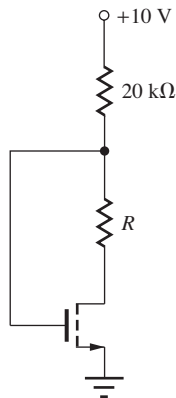


Figura P4.123

4.124 Si determini il punto di lavoro per il transistore in Figura P4.123 assumendo $R = 10 \text{ k}\Omega$, $V_{TO} = 1 \text{ V}$ e $W/L = 4/1$.

4.125 (a) Si determini la corrente I in Figura P4.125 assumendo $\gamma = 0$ e $W/L = 20/1$ per tutti i transistori. (b) Si ripeta il punto (a) assumendo $W/L = 50/1$. (c) Si ripeta il punto (a) assumendo $\gamma = 0.5 \sqrt{V}$.

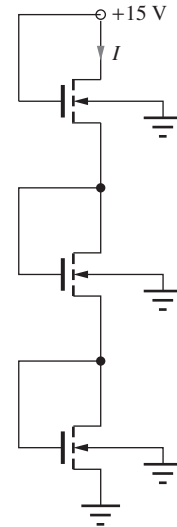


Figura P4.125

4.126 (a) Si effettui la simulazione SPICE del circuito in Figura P4.125 e si confrontino i risultati con quelli ottenuti nel Problema 4.125(a). (b) Si ripeta l'esercizio per il Problema 4.125(b). (c) Si ripeta l'esercizio per il Problema 4.125(c).

4.127 Si determini il valore del rapporto W/L necessario affinché $V_{DS} = 0.5 \text{ V}$ nel circuito di Figura P4.127, se $V = 5 \text{ V}$ e $R = 82 \text{ k}\Omega$.

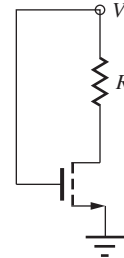


Figura P4.127

4.128 Si determini il valore del rapporto W/L necessario affinché $V_{DS} = 0.25 \text{ V}$ nel circuito di Figura P4.127, se $V = 3.3 \text{ V}$ e $R = 180 \text{ k}\Omega$.

4.10 Polarizzazione dei transistori PMOS

4.129 (a) Si determini il punto di lavoro per il transistore in Figura P4.129(a) assumendo $V_{DD} = -15 \text{ V}$, $R = 75 \text{ k}\Omega$, $W/L = 1/1$. (b) Si determini il punto di lavoro per il transistore in Figura P4.129(b) assumendo $V_{DD} = -15 \text{ V}$, $R = 75 \text{ k}\Omega$, $W/L = 1/1$.

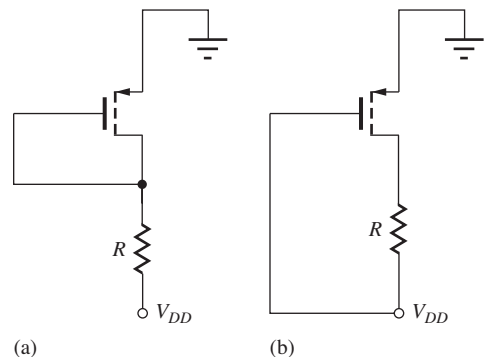


Figura P4.129

4.130 Si effettui la simulazione dei circuiti relativi al  Problema 4.129 con $V_{DD} = -15$ V, e si confrontino i risultati con quelli ottenuti dall'analisi manuale.

***4.131** (a) Si determini la corrente I e la tensione V_O in Figura P4.131 assumendo $W/L = 20/1$ per entrambi i transistori, e $V_{DD} = 10$ V. (b) Si ripeta l'analisi per $W/L = 80/1$.

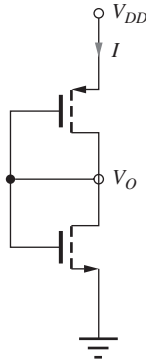


Figura P4.131

****4.132** (a) Si determini la corrente I in Figura P4.132 assumendo $\gamma = 0$ e $W/L = 40/1$ per tutti i transistori. (b) Si ripeta il punto (a) per $W/L = 75/1$. (c) Si ripeta il punto (a) per $\gamma = 0.5 \sqrt{V}$.

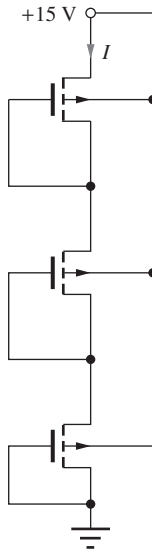


Figura P4.132

4.133 (a) Si effettui la simulazione del circuito relativo al  Problema 4.132(a) e si confrontino i risultati con quelli ottenuti nel Problema 4.132(a). (b) Si ripeta l'esercizio con riferimento al Problema 4.132(b). (c) Si ripeta l'esercizio con riferimento al Problema 4.132(c).

4.134 Si riporti la retta di carico per il circuito di Figura P4.134 sulle caratteristiche di uscita in Figura P4.47, e si determini il punto di lavoro. Qual è la regione di funzionamento del transistore?

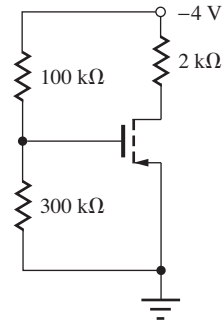


Figura P4.134

4.135 (a) Si determini il punto di lavoro per il transistore di Figura P4.135 per $R = 50$ k Ω . Si assuma $\gamma = 0$ e $W/L = 20/1$. (b) Qual è l'intervallo di valori di R che garantisce la polarizzazione del transistore in regione di saturazione?

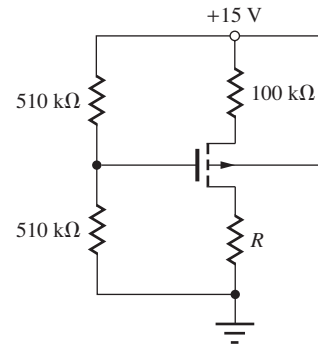


Figura P4.135

4.136 Si effettui la simulazione del circuito relativo al  Problema 4.135(a). Si determini il punto Q e si confrontino i risultati con quelli dell'analisi manuale.

***4.137** (a) Si determini il punto di lavoro per il transistore in Figura P4.135 per $R = 43$ k Ω . Si assuma $\gamma = 0.5 \sqrt{V}$ e $W/L = 20/1$. (b) Qual è l'intervallo di valori di R che garantisce la polarizzazione del transistore in regione di saturazione?

4.138 Si effettui la simulazione del circuito relativo al  Problema 4.137(a). Si determini il punto Q e si confrontino i risultati con quelli dell'analisi manuale.

4.139 (a) Si determini il punto di lavoro per il transistore in Figura P4.139 assumendo $V_{DD} = 12$ V, $R = 100$ k Ω , $W/L = 10/1$ e $\gamma = 0$. (b) Si ripeta il calcolo per $\gamma = 1 \sqrt{V}$.

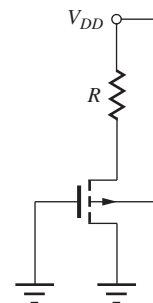


Figura P4.139

4.140 Si determini il punto di lavoro per il transistor in Figura P4.135 nel caso in cui tutte le resistenze siano dimezzate. Si assuma che il transistor operi in saturazione. Qual è il valore di R necessario affinché $V_{DS} = -5$ V? Si assuma $\gamma = 0$ e $W/L = 40/1$.

4.141 Si ripeta il Problema 4.140 assumendo $\gamma = 0.5 \sqrt{V}$ e $W/L = 40/1$.

4.142 (a) Si determini il punto di lavoro per il transistor in Figura P4.135 nel caso in cui la resistenza in alto da 510 k Ω sia sostituita da una resistenza da 270 k Ω . Si assuma che il transistor operi in saturazione, con $W/L = 20/1$ e $\gamma = 0$. (b) Qual è l'intervallo di valori di R che garantisce la polarizzazione del transistor in regione di saturazione?

4.143 Si ripeta il Problema 4.142 assumendo $\gamma = 0.5 \sqrt{V}$.

4.144 (a) Si progetti una rete di polarizzazione a quattro resistori per un transistor PMOS in modo che il punto di lavoro risulti (1 mA, -5 V) con $V_{DD} = -15$ V e $R_{EQ} \geq 100$ k Ω . Si utilizzino i parametri della Tabella P4.1. (b) Si ripetano i calcoli per un transistor NMOS con $V_{DS} = +6$ V e $V_{DD} = +15$ V.

4.145 (a) Si progetti una rete di polarizzazione a quattro resistori per un transistor PMOS in modo che il punto di lavoro risulti (500 μ A, -3 V) con $V_{DD} = -9$ V e $R_{EQ} \geq 1$ M Ω . Si utilizzino i parametri della Tabella P4.1. (b) Si ripetano i calcoli per un transistor NMOS con $V_{DS} = +3$ V e $V_{DD} = +9$ V.

4.146 Si determini il punto di lavoro per il transistor di Figura P4.146 se $\gamma = 0$, $V_{TO} = +4$ V e $W/L = 10/1$.

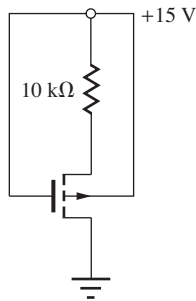


Figura P4.146

4.147 Si determini il punto di lavoro per il transistor di Figura P4.146 se $V_{TO} = +4$ V, $\gamma = 0.25 \sqrt{V}$ e $W/L = 10/1$.

4.148 Si determini il punto di lavoro per il transistor di Figura P4.148 se $V_{TO} = -1$ V e $W/L = 10/1$.

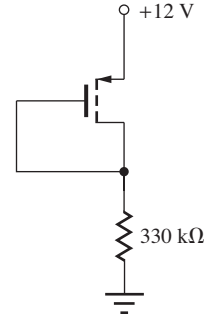


Figura P4.148

4.149 Si determini il punto di lavoro per il transistor di Figura P4.148 se $V_{TO} = -3$ V e $W/L = 30/1$.

4.150 Si determini il punto di lavoro per i transistori in Figura P4.150.

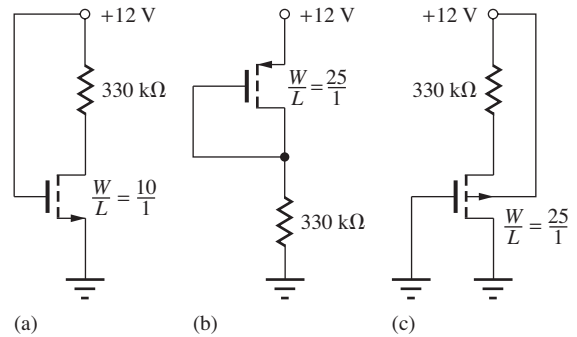


Figura P4.150

Capitolo 5

Riepilogo

- Il transistor bipolare a giunzione (BJT) fu inventato nei laboratori Bell verso la fine degli anni '40 da Bardeen, Brattain e Shockley, e divenne il primo dispositivo a stato solido a tre terminali a ottenere un vasto successo commerciale.
- Benché la tecnologia MOSFET sia divenuta la tecnologia dominante nella moderna microelettronica, i transistori bipolari sono ancora molto utilizzati sia in circuiti discreti che integrati. In particolare, il BJT è il transistor preferito nelle applicazioni che richiedono elevata velocità e/o elevata precisione, come per esempio gli amplificatori operazionali, i convertitori A/D e D/A, e i dispositivi per comunicazioni wireless.
- La struttura fisica del transistor è composta da una successione di tre regioni di materiale semiconduttore di tipo *p* e *n*. Sono realizzati dispositivi di tipo *npn* oppure *pnp*.
- L'emettitore del transistor inietta portatori nella base. La maggior parte dei portatori iniettati attraversa la regione di base e viene raccolta dal collettore. I portatori iniettati nella base che non raggiungono il terminale di collettore danno luogo a una piccola corrente al terminale di base.
- Le caratteristiche *i-v* del transistor bipolare sono descritte da un modello matematico detto modello del trasporto (una versione semplificata del modello di Gummel-Poon). Nel modello del trasporto sono necessari tre parametri per descrivere completamente un particolare dispositivo: la corrente di saturazione I_S e i guadagni di corrente diretto e inverso β_F e β_R .
- Il guadagno di corrente diretto β_F assume valori relativamente elevati, compresi tra 20 e 500, e descrive le caratteristiche di amplificazione di corrente del transistor. Limitazioni connesse al processo di realizzazione del BJT sono responsabili della struttura asimmetrica del dispositivo; a causa dell'asimmetria della struttura il valore di β_R risulta così molto inferiore a β_F , tipicamente tra 0 e 2.
- Il programma di simulazione circuitale SPICE dispone di un modello del transistor bipolare che può essere considerato una versione estesa del modello del trasporto.
- In funzione delle tensioni applicate alle giunzioni base-emettitore e base-collettore sono state identificate quattro regioni di funzionamento: regione di interdizione, di saturazione, regione attiva diretta e inversa. Il modello del trasporto può essere semplificato per ciascuna regione.
- Le regioni di interdizione e saturazione sono tipicamente utilizzate nei circuiti digitali, operanti in regime di commutazione. Il BJT può essere assimilato a un interruttore aperto in interdizione, e a un interruttore chiuso se polarizzato in saturazione. Tuttavia, a differenza del MOSFET, la tensione collettore-emettitore assume un valore V_{CESAT} piccolo ma diverso da zero quando il dispositivo è polarizzato in saturazione ma la corrente di collettore è nulla.
- Nella regione attiva il transistor presenta un elevato guadagno di corrente e tensione, caratteristica importante per l'amplificazione di segnali analogici. La regione attiva inversa è utilizzata in poche applicazioni dell'elettronica analogica e digitale.
- Le caratteristiche *i-v* sono presentate in forma grafica attraverso le caratteristiche di uscita (i_C in funzione di v_{CE} oppure v_{CB}) e le caratteristiche di trasferimento (i_C in funzione di v_{BE} o v_{EB}).
- Nella regione attiva diretta la corrente di collettore aumenta debolmente se la tensione collettore-emettitore viene aumentata. L'origine di questo effetto è la modulazione dello spessore di base, detto anche effetto Early, e può essere incluso nel modello del transistor in regione attiva diretta attraverso un parametro aggiuntivo detto tensione di Early V_A .
- La corrente di collettore del transistor bipolare è dovuta al processo di diffusione dei portatori minoritari attraverso la base del transistor. Sono state ricavate le espressioni che esprimono la corrente di saturazione del transistor e il tempo di transito in base in funzione dei parametri fisici del transistor. Il tempo di transito in base e le prestazioni dinamiche del transistor dipendono dallo spessore della base.
- Durante il funzionamento del transistor si verifica un immagazzinamento della carica associata ai portatori minoritari. La variazione della carica immagazzinata prodotta da una variazione della tensione base-emettitore può essere descritta da una capacità di diffusione associata alla giunzione base-emettitore. Il valore della capacità di diffusione è proporzionale alla corrente di collettore I_C .

- A causa della presenza di capacità, il guadagno del transistor bipolare risulta dipendente dalla frequenza. In corrispondenza della frequenza di taglio f_β il guadagno di corrente risulta inferiore del 71% rispetto al valore a bassa frequenza, mentre assume un valore unitario in corrispondenza della frequenza di transizione f_T .
- La transconduttanza g_m del transistor bipolare descrive la variazione della corrente di collettore dovuta a una variazione della tensione base-emettitore, e risulta proporzionale alla componente continua della corrente di collettore I_C .
- Nel Capitolo 5 è stato determinato il punto di lavoro in diversi circuiti di polarizzazione del transistor. Particolare attenzione è stata dedicata alla rete di polarizzazione a quattro resistori, che garantisce un controllo stabile del punto di lavoro e rappresenta la rete di polarizzazione più importante nei circuiti discreti.

- L'analisi del caso peggiore e il metodo Monte Carlo sono tecniche per lo studio dell'effetto delle tolleranze dei parametri sul funzionamento del circuito. Nell'analisi del caso peggiore si considerano i valori estremi per ciascun parametro, e i risultati sono in genere eccessivamente pessimistici. Il metodo Monte Carlo è basato sull'analisi di un elevato numero di versioni del circuito scelte in modo casuale, in modo da determinare la distribuzione statistica delle grandezze che caratterizzano il funzionamento del circuito. Generatori di numeri casuali in fogli di calcolo, MATLAB, o altri programmi possono essere utilizzati per scegliere in modo casuale il valore dei parametri impiegati nell'analisi Monte Carlo. Alcuni programmi di simulazione circuitale come SPICE offrono la possibilità di effettuare l'analisi Monte Carlo.

Problemi

Si assuma: $I_S = 1 \text{ fA}$, $V_A = 50 \text{ V}$, $\beta_F = 100$, $\beta_R = 1$ e $V_{BE} = 0.70 \text{ V}$, se non diversamente specificato.

5.1 Struttura del transistor bipolare a giunzione

- 5.1** La Figura P5.1 mostra la sezione di un transistor simile a quello considerato in Figura 5.1. Si indichi la lettera (da A a G) che identifica il contatto di base, il contatto di collettore, il contatto di emettitore, la regione di emettitore di tipo n , la regione di collettore di tipo n e la regione attiva (o intrinseca) del transistor.

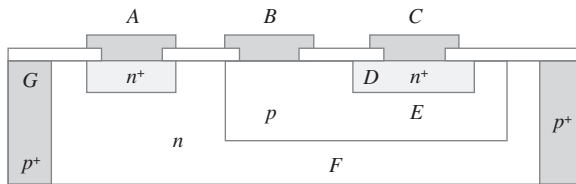


Figura P5.1

5.2 Il modello del trasporto del transistor npn

- 5.2** (a) Si individuino i terminali di collettore, base, ed emettitore del transistor di Figura P5.2. (b) Si individuino le tensioni base-emettitore V_{BE} e base-collettore V_{BC} . (c) Se $V = 0.640 \text{ V}$, $I_C = 275 \text{ }\mu\text{A}$ e $I_B = 5 \text{ }\mu\text{A}$, si determinino i valori di I_S , β_F e β_R , assumendo $\alpha_R = 0.5$.

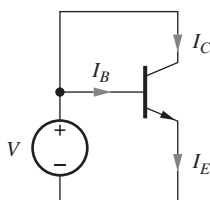


Figura P5.2

Le soluzioni si trovano sul sito web dedicato al libro

- 5.3** (a) Si individuino i terminali di collettore, base ed emettitore del transistor di Figura P5.3. (b) Si individuino le tensioni base-emettitore V_{BE} e base-collettore V_{BC} , e indicare i versi convenzionalmente assunti per I_E , I_B e I_C . (c) Se $V = 0.630 \text{ V}$, $I_E = -275 \text{ }\mu\text{A}$ e $I_B = 125 \text{ }\mu\text{A}$, si determinino i valori di I_S , β_F e β_R , assumendo $\alpha_R = 0.975$.

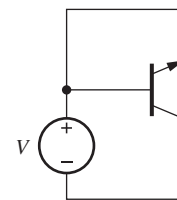


Figura P5.3

- 5.4** Si completi la Tabella 5.P1 riempiendo le caselle vuote.

Tabella 5.P1

α	β
0.440	0.200
0.7500	
0.980	10.0
	200
0.9998	1000

- 5.5** (a) Si determini la corrente I_{CBS} in Figura P5.5(a) (si utilizzino i parametri specificati all'inizio della sezione dei problemi). (b) Si determini la corrente I_{CBO} e la tensione V_{BE} in Figura P5.5(b).

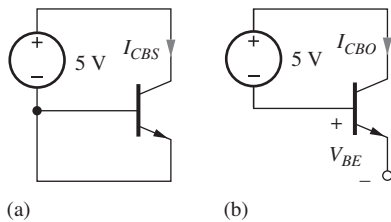


Figura P5.5

- 5.6** Per il transistor in Figura P5.6 si ha $I_S = 2 \text{ fA}$, $\beta_F = 100$ e $\beta_R = 0.25$. (a) Si individuino i terminali di collettore, base ed emettitore. (b) Si identifichi il tipo di transistor. (c) Si identifichino le tensioni base-emettitore V_{BE} , base-collettore V_{BC} e si indichino i versi convenzionalmente assunti per I_E , I_B e I_C . (d) Qual è la relazione tra V_{BE} e V_{BC} ? (e) Si scriva la forma semplificata delle equazioni del modello del trasporto per la configurazione circuitale di figura. Si scriva l'espressione per il rapporto I_E/I_B . (f) Si trovi il valore di I_E , I_C , I_B , V_{BE} e V_{BC} .

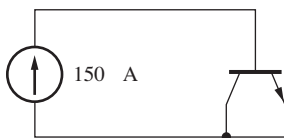


Figura P5.6

- 5.7** Per il transistor in Figura P5.7 si ha $I_S = 2 \text{ fA}$, $\beta_F = 100$ e $\beta_R = 0.25$. (a) Si individuino i terminali di collettore, base ed emettitore. (b) Si identifichi il tipo di transistor. (c) Si identifichino le tensioni base-emettitore V_{BE} e base-collettore V_{BC} , e si indichino i versi convenzionalmente assunti per I_E , I_B e I_C . (d) Si trovi il valore di I_E , I_C , I_B , V_{BE} e V_{BC} se $I = 175 \mu\text{A}$.

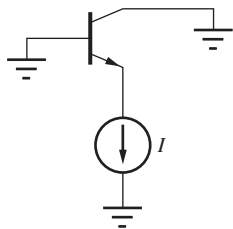


Figura P5.7

- 5.8** Per il transistor in Figura P5.8 si ha $I_S = 2 \text{ fA}$, $\beta_F = 100$ e $\beta_R = 0.25$. (a) Si individuino i terminali di collettore, base ed emettitore. (b) Si identifichi il tipo di transistor. (c) Si identifichino le tensioni base-emettitore V_{BE} e base-collettore V_{BC} , e si indichino i versi convenzionalmente assunti per I_E , I_B e I_C . (d) Si trovi il valore di I_E , I_C , I_B , V_{BE} e V_{BC} se $I = 175 \mu\text{A}$.

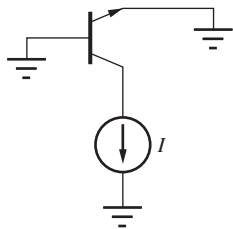


Figura P5.8

- 5.9** In Figura P5.9(a) un transistor *npn* è connesso in una configurazione a diodo. Si utilizzino le equazioni del modello del trasporto per mostrare che le caratteristiche $i-v$ del circuito di figura sono simili a quelle di un diodo, descritte dall'Equazione (3.11). Si determini la corrente di saturazione inversa del diodo così realizzato, assumendo $I_S = 2 \text{ fA}$, $\beta_F = 100$ e $\beta_R = 0.25$.

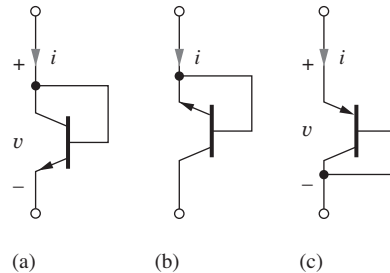


Figura P5.9

- 5.10** La Figura P5.9(b) mostra un'altra possibile connessione a diodo per un transistor *npn*. Si utilizzino le equazioni del modello del trasporto per mostrare che le caratteristiche $i-v$ del circuito di figura sono simili a quelle di un diodo, descritte dall'Equazione (3.11). Si determini la corrente di saturazione inversa del diodo così realizzato, assumendo $I_S = 5 \text{ fA}$, $\beta_F = 60$ e $\beta_R = 3$.
- 5.11** Si calcoli i_T per un transistor *npn* con $I_S = 100 \text{ aA}$, per: (a) $V_{BE} = 0.75 \text{ V}$ e $V_{BC} = -3 \text{ V}$, e (b) $V_{BC} = 0.75 \text{ V}$ e $V_{BE} = -3 \text{ V}$.
- 5.12** Si calcoli i_T per un transistor *npn* con $I_S = 1 \text{ fA}$, per: (a) $V_{BE} = 0.70 \text{ V}$ e $V_{BC} = -3 \text{ V}$, e (b) $V_{BC} = 0.70 \text{ V}$ e $V_{BE} = -3 \text{ V}$.

5.3 Il transistor *pnp*

- 5.13** La Figura P5.13 mostra la sezione di un transistor bipolare *pnp* simile a quella del transistor *npn* di Figura 5.1. Si indichi la lettera (da A a G) che definisce il contatto di base, di collettore, di emettitore, l'emettitore di tipo *p*, la regione di collettore di tipo *p*, e la regione attiva (o intrinseca) del transistor.

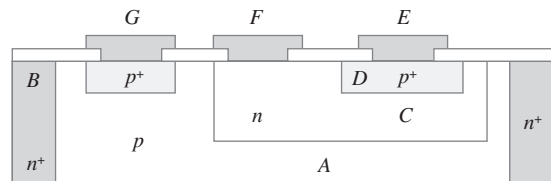


Figura P5.13

- 5.14** Per il transistor di Figura P5.14(a) si assuma $I_S = 1 \text{ fA}$, $\alpha_F = 0.985$ e $\alpha_R = 0.25$. (a) Si identifichi il tipo del transistor. (b) Si identifichino i terminali di collettore, base ed emettitore del transistor. (c) Si indichino le tensioni V_{EB} e V_{CB} , e i versi convenzionali per le correnti I_E , I_C e I_B . (d) Si scriva la forma semplificata delle equazioni del modello del trasporto per la configurazione circuitale di figura. Si scriva l'espressione per i rapporti I_E/I_C e I_E/I_B . (e) Si trovi il valore di I_E , I_C , I_B , β_F , β_R , V_{EB} e V_{CB} .

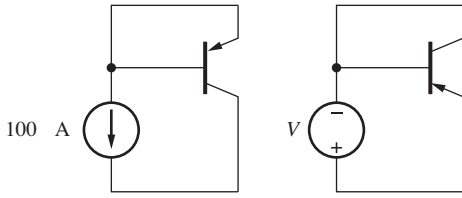


Figura P5.14

- 5.15 (a) Per il transistor di Figura P5.14(b) si identifichino i terminali di collettore, base ed emettitore del transistor. (b) Si indichino le tensioni V_{EB} e V_{CB} , e i versi convenzionali per le correnti I_E , I_C e I_B . (c) Se $V = 0.640$ V, $I_C = 300$ μ A e $I_B = 4$ μ A si determinino i valori di I_S , β_F e β_R , assumendo $\alpha_R = 0.2$.
- 5.16 Si ripeta il Problema 5.9 per la connessione a diodo del transistor *pnp* di Figura P5.9(c).
- 5.17 Per il transistor di Figura P5.17 si ha $I_S = 2$ fA, $\beta_F = 75$ e $\beta_R = 4$. (a) Si identifichino i terminali di collettore, base ed emettitore del transistor. (b) Si identifichi il tipo di transistor. (c) Si identifichino le tensioni emettitore-base e collettore-base, e si indichi il verso convenzionalmente assunto positivo per le correnti I_E , I_C , I_B . (d) Si scriva la forma semplificata delle equazioni del modello del trasporto per la configurazione circuitale di figura. Si scriva l'espressione di I_E/I_B . Si scriva l'espressione di I_E/I_C . (e) Si trovino i valori di I_E , I_C , I_B , V_{CB} e V_{EB} .

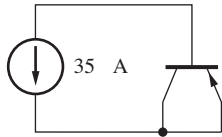


Figura P5.17

- 5.18 Per il transistor di Figura P5.18(a) si ha $I_S = 4$ fA, $\beta_F = 100$ e $\beta_R = 5$. (a) Si identifichino i terminali di collettore, base ed emettitore del transistor. (b) Si identifichi il tipo di transistor. (c) Si identifichino le tensioni emettitore-base e collettore-base, e si indichi il verso convenzionalmente assunto positivo per le correnti I_E , I_C , I_B . (d) Si trovino i valori di I_E , I_C , I_B , V_{CB} e V_{EB} se $I = 300$ μ A.

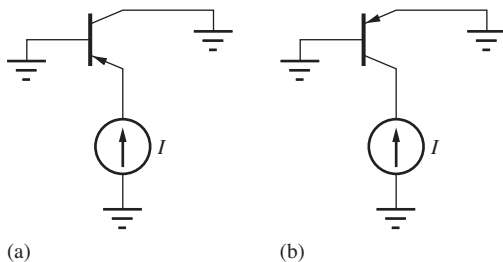


Figura P5.18

- 5.19 Per il transistor di Figura P5.18(b) si ha $I_S = 5$ fA, $\beta_F = 75$ e $\beta_R = 1$. (a) Si identifichino i terminali di collettore, base ed emettitore del transistor. (b) Si identifichi il tipo di transistor. (c) Si identifichino le tensioni emettitore-base e collettore-base, e si indichi il verso convenzionalmente assunto positivo per le

correnti I_E , I_C , I_B . (d) Trovare i valori di I_E , I_C , I_B , V_{CB} e V_{EB} se $I = 300$ μ A.

- 5.20 Si calcoli i_T per un transistor *pnp* con $I_S = 500$ aA, per: (a) $V_{EB} = 0.70$ V e $V_{CB} = -3$ V, e (b) $V_{CB} = 0.70$ V e $V_{EB} = -3$ V.

5.4 Rappresentazioni circuitali del modello del trasporto

- 5.21 Si calcoli il valore di i_T e delle correnti dei due diodi nel circuito equivalente di Figura 5.8(a) per un transistor *nnp* con $I_S = 4$ fA, $\beta_F = 80$ e $\beta_R = 2$ per (a) $V_{BE} = 0.73$ V e $V_{BC} = -3$ V e (b) $V_{BC} = 0.73$ V e $V_{BE} = -3$ V.

5.5 Il modello di Ebers-Moll

Transistore *nnp*

- 5.22 Quali sono i valori di α_F , α_R , I_{ES} e I_{ER} per un transistor *nnp* con $I_S = 2$ fA, $\beta_F = 100$ e $\beta_R = 0.5$? Si mostri che $\alpha_F I_{ES} = \alpha_R I_{CS}$.
- 5.23 (a) Si determinino I_E , I_C e I_B per un transistor *nnp* con $I_{ES} = 1$ fA, $\alpha_F = 0.98$ e $\alpha_R = 0.4$, assumendo $V_{BE} = 0.65$ V e $V_{BC} = -5$ V. (b) Si ripeta il calcolo per $V_{BE} = -5$ V e $V_{BC} = 0.65$ V.
- 5.24 Si mostri che le espressioni per I_E e I_C in un transistor *nnp* date dalle (5.13) possono essere trasformate nelle equazioni del modello di Ebers-Moll date dalla (5.24). [Suggerimento: nelle (5.13) aggiungere e sottrarre 1 dai primi termini in entrambe le equazioni.]

Transistore *pnp*

- 5.25 (a) Si determinino I_E , I_C e I_B per un transistor *pnp* con $I_{ES} = 5$ fA, $\alpha_F = 0.95$ e $\alpha_R = 0.5$. Se $V_{EB} = 0.65$ V e $V_{CB} = -5$ V. (b) Si ripeta il calcolo per $V_{EB} = -5$ V e $V_{CB} = 0.65$ V.

5.6 Caratteristiche *i-v* del transistor bipolare

- *5.26 Le caratteristiche di uscita a emettitore comune per un transistor *nnp* sono riportate in Figura P5.26. Si calcoli il valore di β_F per (a) $I_C = 5$ mA e $V_{CE} = 5$ V; (b) $I_C = 7$ mA e $V_{CE} = 7.5$ V; (c) $I_C = 10$ mA e $V_{CE} = 14$ V.

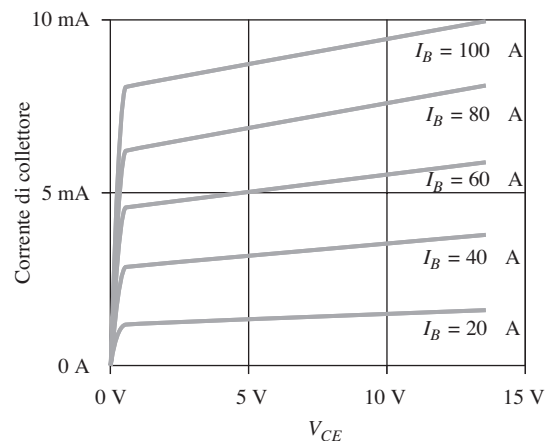


Figura P5.26

5.27 Si traccino le caratteristiche di uscita a emettitore comune di un transistor *npn* con $I_S = 1 \text{ fA}$, $\beta_{FO} = 75$ e $V_A = 50 \text{ V}$ per 6 valori della corrente ottenuti per incrementi costanti da 0 a $200 \mu\text{A}$, e per valori di V_{CE} compresi tra 0 e 10 V .

5.28 Si ripeta il Problema 5.27 utilizzando SPICE.

5.29 Si utilizzi SPICE per tracciare le caratteristiche di uscita a base comune di un transistor *npn* con $I_S = 1 \text{ fA}$, $\beta_{FO} = 75$ e $V_A = 50 \text{ V}$ per 6 valori della corrente di emettitore ottenuti per incrementi costanti da 0 a 2 mA , e per valori di V_{CB} compresi tra 0 e 10 V .

5.30 Si traccino le caratteristiche di uscita a emettitore comune di un transistor *pnp* con $I_S = 1 \text{ fA}$, $\beta_{FO} = 75$ e $V_A = 50 \text{ V}$ per 6 valori della corrente di base ottenuti per incrementi costanti da 0 a $250 \mu\text{A}$, e per valori di V_{EC} compresi tra 0 e 10 V .

5.31 Si ripeta il Problema 5.30 utilizzando SPICE.

5.32 Si utilizzi SPICE per tracciare le caratteristiche di uscita a base comune di un transistor *pnp* con $I_S = 1 \text{ fA}$, $\beta_{FO} = 75$ e $V_A = 50 \text{ V}$ per 6 valori della corrente di emettitore ottenuti per incrementi costanti da 0 a 2 mA , e per valori di V_{BC} compresi tra 0 e 10 V .

5.33 Si determini il reciproco della pendenza (in millivolt per decade) per la caratteristica di un trasferimento in scala logaritmica per un transistor *npn* in regione attiva diretta a una temperatura di (a) 200 K , (b) 250 K , (c) 300 K , (d) 350 K .

Tensioni di rottura

***5.34** Nei circuiti mostrati in Figura P5.9 le tensioni di rottura delle giunzioni collettore-base ed emettitore-base del transistor *npn* sono rispettivamente pari a 50 V e 6 V . Si calcoli la tensione di rottura per le tre connessioni a diodo.

5.35 Nei circuiti mostrati in Figura P5.35 le tensioni di rottura delle giunzioni collettore-base ed emettitore-base del transistor *npn* sono rispettivamente pari a 75 V e 6.3 V . Si calcoli la corrente che fluisce nei resistori. (Suggerimento: i circuiti equivalenti relativi alle equazioni del modello del trasporto possono agevolare l'analisi del circuito.)

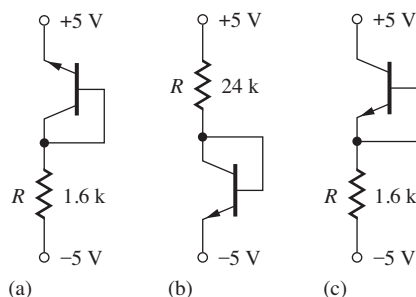


Figura P5.35

5.36 Un transistor *npn* è polarizzato come riportato in Figura P5.9(a). Si determini il massimo valore di V_{CE} che può essere applicato in modo da evitare la rottura del transistor, se le tensioni di rottura delle giunzioni collettore-base ed emettitore-base sono rispettivamente pari a 65 V e 6 V .

***5.37** (a) Si determini il massimo valore della corrente I nel circuito di Figura P5.37 assumendo $I_S = 1 \text{ fA}$, $\beta_F = 50$ e $\beta_R = 0.5$. (b) Assumendo $I = 1 \text{ mA}$, cosa succede nel circuito? (Suggerimento: i circuiti equivalenti relativi alle equazioni del modello del trasporto possono agevolare l'analisi del circuito.)

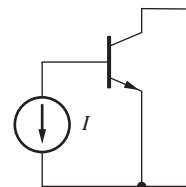


Figura P5.37

5.7 Regioni di funzionamento del transistor bipolare

5.38 Si indichino le regioni di funzionamento per un transistor *npn* in corrispondenza delle tensioni di polarizzazione riportate in tabella.

Tensione emettitore-base	Tensione collettore-base	
	0.7 V	-5.0 V
-5.0 V		
0.7 V		

5.39 Si identifichi la regione di funzionamento per i transistori di figura (a) P5.9, (b) P5.46(a), (c) P5.49, (d) P5.62.

5.40 Si identifichi la regione di funzionamento per i transistori di Figura (a) P5.5(a), (b) P5.5(b).

5.41 Si identifichi la regione di funzionamento per i transistori di Figura (a) P5.6, (b) P5.7, (c) P5.8.

5.42 Si indichino le regioni di funzionamento per un transistor *pnp* in corrispondenza delle tensioni di polarizzazione riportate in tabella.

Tensione emettitore-base	Tensione collettore-base	
	0.7 V	-0.65 V
0.7 V		
-0.65 V		

5.43 Si identifichi la regione di funzionamento per i transistori di Figura (a) P5.2, (b) P5.3.

5.44 Si identifichi la regione di funzionamento per i transistori di Figura (a) P5.14(a), (b) P5.14(b).

5.45 Si identifichi la regione di funzionamento per i transistori di Figura (a) P5.17, (b) P5.18(a), (c) P5.18(b).

5.8 Forme semplificate del modello del trasporto

Regione di interdizione

- 5.46** (a) Si determinino le correnti ai terminali I_E , I_B e I_C nel transistor di Figura P5.46(a), assumendo $I_S = 1$ fA, $\beta_F = 75$ e $\beta_R = 4$. (b) Si ripeta il calcolo per il circuito di Figura P5.46(b).

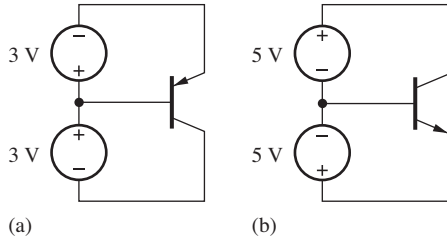


Figura P5.46

- **5.47** Un transistor bipolare con $I_S = 100$ aA, $\alpha_F = 0.95$ e $\alpha_R = 0.5$ è polarizzato dalle tensioni $V_{BE} = 0.3$ V e $V_{BC} = -5$ V. Questo transistor non è propriamente polarizzato nella regione detta di interdizione, ma nondimeno viene considerato "spento" (off). Perché? Si utilizzino le equazioni del modello del trasporto per giustificare la risposta. In base alle nostre definizioni, in quale regione di funzionamento si trova in realtà il transistor?

Regione attiva diretta

- 5.48** Si determinino i valori di β_F e I_S per il transistor di Figura P5.48.

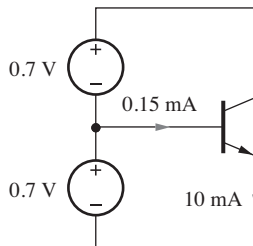


Figura P5.48

- 5.49** Si determinino i valori di β_F e I_S per il transistor di Figura P5.49.

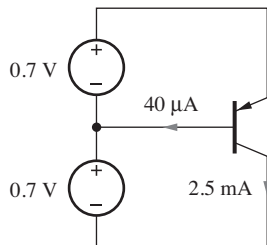


Figura P5.49

- 5.50** Si calcolino le correnti di emettitore, base e collettore nel circuito in Figura 5.19 assumendo $V_{EE} = 3.3$ V, $R = 47$ kΩ, $\beta_F = 90$.

- **5.51** Un transistor presenta $f_T = 500$ MHz e $\beta_F = 80$. (a) Si valuti la frequenza di taglio f_β . (b) Si utilizzi l'Equazione (5.50) per determinare la dipendenza dalla

frequenza di α_F , ovvero la funzione $\alpha_F(f)$. [Suggerimento: Scrivere l'espressione di $\beta_F(f)$.] Si determini la frequenza di taglio per il guadagno α .

- *5.52** (a) Utilizzando le equazioni del modello del trasporto (5.17), si determini la versione semplificata delle equazioni del modello del trasporto relativamente a un transistor *pn*p polarizzato in regione attiva diretta [in modo analogo alle Equazioni (5.31)]. (b) Si disegni il modello circuitale semplificato per il transistor *pn*p, in modo simile al corrispondente circuito per il transistor *npn* di Figura 5.22(c).

Regione attiva inversa

- 5.53** Quali sono i valori di β_R e I_S per il transistor di Figura P5.53?

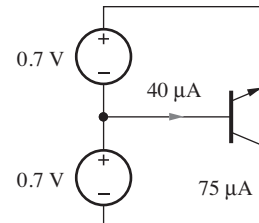


Figura P5.53

- 5.54** Quali sono i valori di β_R e I_S per il transistor di Figura P5.54?

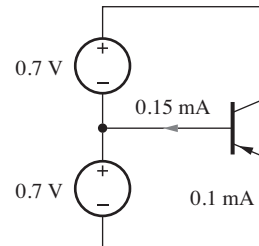


Figura P5.54

- 5.55** Si calcolino le correnti di emettitore, base e collettore nel circuito di Figura 5.19 assumendo un valore negativo per la tensione di alimentazione V_{CC} e V_{EE} pari a di -3.3 V e inoltre $R = 56$ kΩ, $\beta_R = 0.75$.

Regione di saturazione

- 5.56** Si calcoli la tensione di saturazione per un transistor *npn* polarizzato con $I_C = 1$ mA e $I_B = 1$ mA, assumendo $\beta_F = 50$ e $\beta_R = 2$. Calcolare il valore del β forzato. Si calcoli il valore di V_{BE} assumendo $I_S = 1$ fA.

- 5.57** Si ricavi l'espressione della tensione di saturazione per un transistor *pn*p in modo simile all'Equazione (5.38).

- 5.58** (a) Si calcoli la tensione collettore-emettitore per il transistor di Figura P5.58(a), assumendo $I_S = 7$ fA, $\alpha_F = 0.99$ e $\alpha_R = 0.5$. (b) Si calcoli la tensione emettitore-collettore per il transistor di Figura P5.58(b) assumendo lo stesso valore dei parametri.

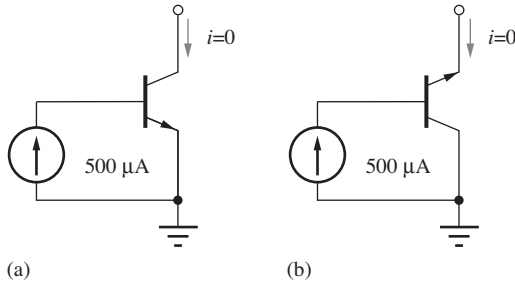


Figura P5.58

5.59 Si ripeta il Problema 5.58 assumendo $\alpha_F = 0.95$ e $\alpha_R = 0.33$.

5.60 (a) Si calcoli la corrente di base necessaria per ottenere una tensione di saturazione di $V_{CESAT} = 0.1$ V per un transistor *nnp* di potenza polarizzato con una corrente di collettore di 20 A, assumendo $\beta_F = 15$ e $\beta_R = 0.9$. Qual è il β forzato del transistor? (b) Si ripeta il calcolo per $V_{CESAT} = 0.04$ V.

5.61 Un transistor bipolare *nnp* caratterizzato da $I_S = 100$ aA, $\alpha_F = 0.975$ e $\alpha_R = 0.5$ è polarizzato dalle tensioni $V_{BE} = 0.70$ V e $V_{BC} = 0.50$ V. Per definizione il transistor si trova in saturazione. Nella discussione relativa alla Figura 5.20 si è tuttavia notato che il transistor si comporta in realtà come se fosse ancora nella regione attiva diretta, benché si abbia $V_{BC} > 0$. Perché? Si utilizzino le equazioni del modello del trasporto per giustificare la risposta.

5.62 (a) La corrente I nei due circuiti di Figura P5.62 è pari a 175 μ A. Si calcoli il valore di V_{BE} in entrambi i circuiti assumendo $I_S = 100$ aA, $\beta_F = 50$ e $\beta_R = 0.5$. (b) Qual è il valore V_{CESAT} in Figura P5.62(b)?

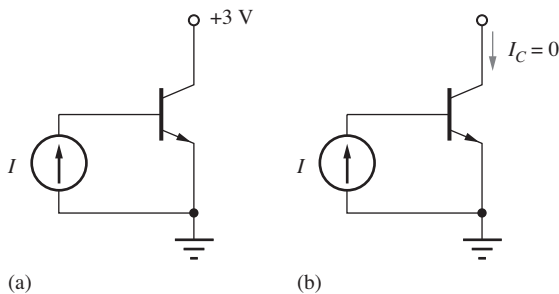


Figura P5.62

Diodi nei circuiti integrati

5.63 Si ricavi l'Equazione (5.34) applicando le equazioni del trasporto al circuito in esame.

5.64 Si calcoli la corrente di saturazione inversa per il diodo mostrato in Figura 5.21. Si assuma per il transistor $I_S = 1$ fA, $\alpha_R = 0.2$ e $\alpha_F = 0.98$.

5.65 I due transistori di Figura P5.65 sono identici. Si calcoli la corrente di collettore di Q_2 se $I = 25$ μ A e $\beta_F = 25$.

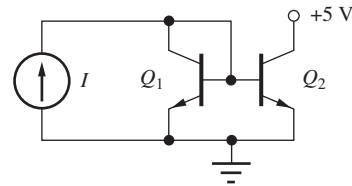


Figura P5.65

5.9 Effetti non ideali nel transistor bipolare

5.66 Si calcoli la capacità di diffusione di un transistor bipolare con un tempo di transito $\tau_F = 50$ ps in corrispondenza di una corrente di collettore pari a (a) 2 μ A, (b) 200 μ A, (c) 20 mA.

5.67 (a) Si calcoli il tempo di transito diretto τ_F per un transistor *nnp* con spessore di base pari a $W_B = 1$ μ m e un drogaggio di base di 10^{18} /cm³. (b) Si ripeta il calcolo per un transistor *pnp*.

5.68 Un transistor è caratterizzato da guadagno di corrente pari a 200 in continua e pari a 10 a 75 MHz. Si determinino la frequenza di transizione e la frequenza di taglio.

5.69 Un transistor è caratterizzato da $f_T = 900$ MHz e $f_\beta = 5$ MHz. Si calcoli il guadagno di corrente in continua e a 50 MHz.

5.70 Si determini la corrente di saturazione per un transistor con un drogaggio di base pari a 6×10^{18} /cm³, uno spessore di base di 0.5 μ m e area della sezione di 25 μ m².

5.71 Occorre realizzare un transistor *nnp* in grado di funzionare a frequenze almeno pari a 5 GHz. Si determini lo spessore di base richiesto, assumendo un drogaggio di base pari a 5×10^{18} /cm³.

Effetto Early

5.72 Un transistor *nnp* è polarizzato in regione attiva diretta con $I_B = 3$ μ A. Inoltre per $V_{CE} = 5$ V si ha $I_C = 240$ μ A, mentre per $V_{CE} = 10$ V risulta $I_C = 265$ μ A. Si calcolino i valori di β_{FO} e V_A del transistor.

5.73 Un transistor *nnp* con $I_S = 100$ aA, $\beta_F = 100$ e $V_A = 65$ V è polarizzato nella regione attiva diretta con $V_{BE} = 0.72$ V e $V_{CE} = 10$ V. (a) Si calcoli I_C . (b) Si calcoli I_C per il caso $V_A \rightarrow \infty$. (c) Si calcoli il rapporto dei valori di I_C precedentemente calcolati.

5.74 Le caratteristiche a emettitore comune di un transistor *nnp* sono mostrate in Figura P5.26. Si determinino i valori di β_{FO} e V_A .

5.75 (a) Si ripeta il calcolo delle correnti del transistor di Figura 5.17 assumendo $I_S = 5$ fA, $\beta_{FO} = 19$ e $V_A = 50$ V. Qual è il valore di V_{BE} ? (b) Quale sarebbe il valore di V_{BE} per $V_A \rightarrow \infty$?

5.76 Si ripeta il calcolo delle correnti del transistor di Figura 5.19 assumendo $\beta_{FO} = 50$ e $V_A = 50$ V.

5.10 Transconduttanza

- 5.77** Si calcoli la transconduttanza per un transistor *nnp* a 300 K per una corrente di collettore pari a: (a) 10 μA , (b) 100 μA , (c) 1 mA, e (d) 10 mA. (e) Si ripeta l'esercizio per un transistor *npn*.
- 5.78** (a) Quanto deve valere la corrente di collettore affinché un transistor *nnp* abbia una transconduttanza di 25 mS alla temperatura di 320 K? (b) Ripetere il calcolo per un transistor *npn*. (c) Ripetere i calcoli dei punti (a) e (b) per una transconduttanza di 40 mS.

5.11 Tecnologia bipolare e modello SPICE del BJT

- 5.79** (a) Si identifichi il valore di default nella versione di SPICE a vostra disposizione dei seguenti parametri IS, BF, BR, VAF, VAR, TF, TR, NF, NR, RB, RC, RE, ISE, ISC, ISS, IKF, IKR, CJE, CJC, relativamente a un transistor *nnp* generico. (Osservazione: i valori trovati possono differire da quelli riportati nella Tabella 5.3.) (b) Si ripeta l'esercizio per un transistor *npn*.

- 5.80** Il modello SPICE di un transistor bipolare presenta $IKF = 10 \text{ mA}$ e $NK = 0.5$. Si determini la riduzione della corrente di collettore dovuta al termine KBQ se il transistor è polarizzato in regione attiva diretta con una corrente I_F di (a) 1 mA, (b) 10 mA, e (c) 50 mA.

- 5.81** Si tracci un grafico di KBQ in funzione di i_F per un transistor *nnp* con $IKF = 40 \text{ mA}$ e $NK = 0.5$. Si assuma una polarizzazione in regione attiva diretta con $VAF \rightarrow \infty$.

5.12 Polarizzazione del BJT Polarizzazione a quattro resistori

- 5.82** (a) Si determini il punto di lavoro del circuito di Figura P5.82(a). Si assuma $\beta_F = 50$ e $V_{BE} = 0.7 \text{ V}$. (b) Si ripeta il calcolo riducendo il valore di tutte le resistenze di un fattore pari a 5. (c) Si ripeta il punto (a) per il circuito di Figura P5.82(b).

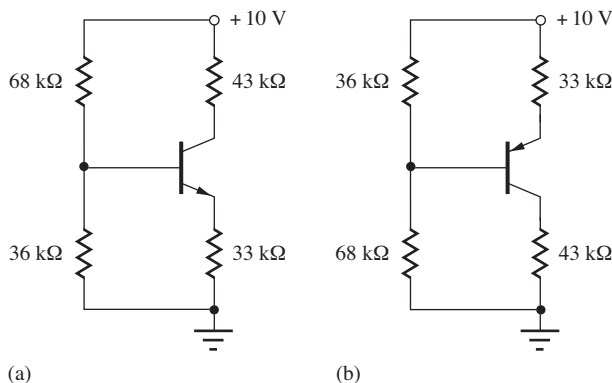


Figura P5.82

- 5.83** (a) Si trovi il punto di lavoro per il circuito di Figura P5.82(a), nel caso in cui il resistore da 33 k Ω sia sostituito da un resistore da 22 k Ω . Si assuma $\beta_F = 75$. (b) Si ripeta il punto (a) per il circuito di Figura P5.82(b).

- 5.84** (a) Si effettui la simulazione dei circuiti di Figura P5.82 e confrontare i risultati delle simulazioni SPICE con quelli dell'analisi manuale. Si assuma $I_S = 0.1 \text{ fA}$, $\beta_F = 50$, $\beta_R = 0.25$ e $V_A = \infty$. (b) Si ripeta l'analisi assumendo $V_A = 60 \text{ V}$. (c) Si ripeta il punto (a) per il circuito di Figura 5.35(c). (d) Si ripeta il punto (b) per il circuito di Figura 5.35(c).

- 5.85** Si determini il punto di lavoro nel circuito in Figura 5.35 assumendo $R_1 = 6.2 \text{ k}\Omega$, $R_2 = 12 \text{ k}\Omega$, $R_C = 5.1 \text{ k}\Omega$, $R_E = 7.5 \text{ k}\Omega$ e una tensione di alimentazione positiva di 10 V ($\beta_F = 100$).

- 5.86** Si determini il punto di lavoro nel circuito di Figura 5.35 assumendo $R_1 = 120 \text{ k}\Omega$, $R_2 = 240 \text{ k}\Omega$, $R_C = 150 \text{ k}\Omega$, $R_E = 100 \text{ k}\Omega$ e una tensione di alimentazione positiva di 10 V ($\beta_F = 100$).

- 5.87** (a) Si progetti una rete di polarizzazione a quattro resistori per un transistor *nnp* in modo tale da ottenere $I_C = 1 \text{ mA}$, $V_{CE} = 5 \text{ V}$ e $V_E = 2 \text{ V}$, assumendo $V_{CC} = 12 \text{ V}$ e $\beta_F = 100$. (b) Si sostituiscano i valori esatti delle resistenze con i valori standard più vicini ottenuti dalla tabella in Appendice A e si determini il corrispondente punto di lavoro.

- 5.88** (a) Si progetti la rete di polarizzazione a quattro resistori per un transistor *nnp* in modo tale da ottenere $I_C = 10 \mu\text{A}$, $V_{CE} = 6 \text{ V}$, assumendo $V_{CC} = 18 \text{ V}$ e $\beta_F = 75$. (b) Si sostituiscano i valori esatti delle resistenze con i valori standard più vicini ottenuti dalla tabella in Appendice A e si determini il corrispondente punto di lavoro.

- 5.89** (a) Si progetti una rete di polarizzazione a quattro resistori per un transistor *npn* in modo tale da ottenere $I_C = 850 \mu\text{A}$, $V_{EC} = 2 \text{ V}$ e $V_E = 1 \text{ V}$, assumendo $V_{RE} = 1 \text{ V}$, $V_{CC} = 5 \text{ V}$ e $\beta_F = 60$. (b) Si sostituiscano i valori esatti delle resistenze con i valori standard più vicini ottenuti dalla tabella in Appendice A e si determini il corrispondente punto di lavoro.

- 5.90** (a) Si progetti una rete di polarizzazione a quattro resistori per un transistor *npn* in modo tale da ottenere $I_C = 11 \text{ mA}$, $V_{EC} = 5 \text{ V}$, assumendo $v_{RE} = 1 \text{ V}$, $V_{CC} = -15 \text{ V}$ e $\beta_F = 50$. (b) Si sostituiscano i valori esatti delle resistenze con i valori standard più vicini ottenuti dalla tabella in Appendice A e si determini il corrispondente punto di lavoro.

Analisi con retta di carico

- *5.91** Si determini il punto di lavoro del circuito di Figura P5.91 utilizzando il metodo grafico della retta di carico. Si utilizzino le caratteristiche di Figura P5.26.

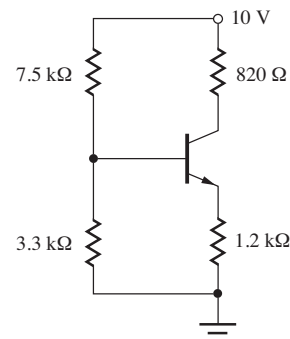


Figura P5.91

- *5.92 Si determini il punto di lavoro del circuito di Figura P5.92 utilizzando il metodo grafico della retta di carico. Si utilizzino le caratteristiche di Figura P5.26, assumendo che queste si riferiscano al grafico di i_C in funzione di v_{CE} , anziché i_C in funzione di v_{CE} .

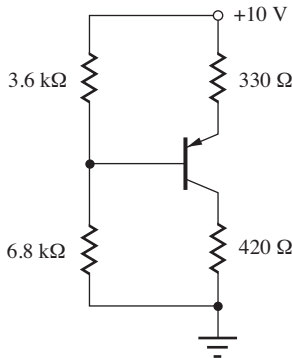


Figura P5.92

Polarizzazione a due resistori

- 5.93 Si determini il punto di lavoro del circuito di Figura P5.93 per (a) $\beta_F = 30$, (b) $\beta_F = 100$, (c) $\beta_F = 250$, (d) $\beta_F \rightarrow \infty$.

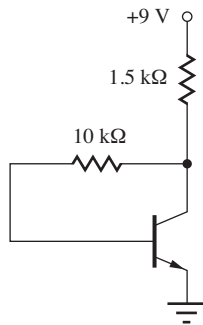


Figura P5.93

- *5.94 Si scriva l'espressione della retta di carico per il circuito di Figura P5.93. Si riporti la retta di carico sulle caratteristiche in Figura P5.26. Si determini il punto di lavoro disegnando una curva relativa a I_B in funzione di V_{CE} .

- 5.95 Si progetti il circuito di polarizzazione di Figura P5.95 in modo da ottenere un punto di lavoro $I_C = 10$ mA e $V_{EC} = 3$ V se il guadagno del transistor risulta $\beta_F = 60$. Quale sarebbe il punto di lavoro se il guadagno del transistor fosse in realtà pari a 40?

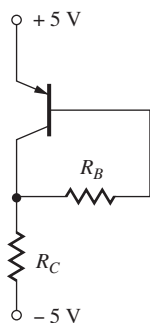


Figura P5.95

- 5.96 Si progetti il circuito di polarizzazione di Figura P5.96 in modo da ottenere un punto di lavoro $I_C = 20$ μ A e $V_{CE} = 0.90$ V se il guadagno del transistor risulta $\beta_F = 50$ e inoltre $V_{BE} = 0.65$ V. Quale sarebbe il punto di lavoro se il guadagno del transistor fosse in realtà pari a 125?

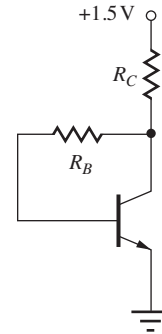


Figura P5.96

- *5.97 Si determini il punto di lavoro del circuito di Figura P5.97 se il diodo Zener presenta $V_Z = 7$ V, e inoltre $R_C = 500$ Ω , $\beta_F = 100$.

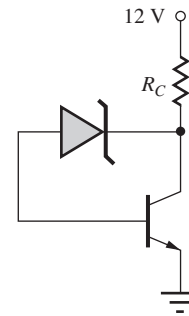


Figura P5.97

Applicazioni dei circuiti di polarizzazione

- 5.98 Per il diodo Zener di Figura P5.98 si ha $V_Z = 6$ V e $R_Z = 100$ Ω . Si calcoli la tensione di uscita assumendo $I_L = 20$ mA. Si assuma inoltre $I_S = 0.1$ aA, $\beta_F = 50$ e $\beta_R = 0.5$ per ottenere una risposta precisa.

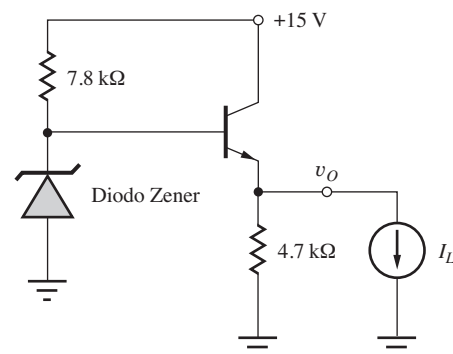


Figura P5.98

- *5.99 Si definisca un modello per il diodo Zener e simulare il circuito del Problema 5.98. Si confrontino i risultati delle simulazioni SPICE con quelli dell'analisi manuale. Si assuma $I_S = 0.1$ aA, $\beta_F = 50$ e $\beta_R = 0.5$.

- **5.100** Per il circuito in Figura P5.100 risulta $V_{EQ} = 7\text{ V}$ e $R_{EQ} = 100\ \Omega$. Si calcoli la resistenza di uscita R_O del circuito per $i_L = 20\text{ mA}$, avendo definito R_O come $R_O = -dv_O/di_L$. Si assuma $\beta_F = 50$.

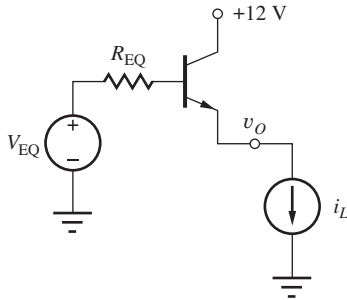


Figura P5.100

- 5.101** Si calcoli la tensione di uscita in Figura P5.101 assumendo l'amplificatore operazionale ideale. Si calcoli la corrente di emettitore e la corrente totale fornita dal generatore di 15 V. Si assuma $\beta_F = 60$.

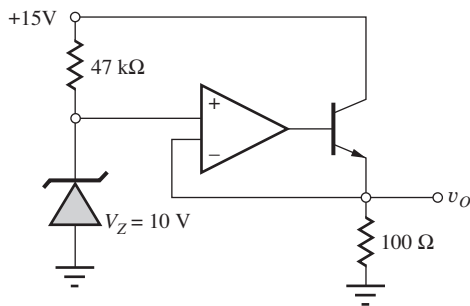


Figura P5.101

- 5.102** Si calcoli la tensione di uscita in Figura P5.101 assumendo l'amplificatore operazionale ideale. Si calcoli la corrente di emettitore e la corrente totale fornita dal generatore di 15 V. Si assuma $\beta_F = 40$.

5.13 Tolleranze nei circuiti di polarizzazione

- 5.103** Si determinino i valori per il caso peggiore della corrente di collettore e della tensione collettore-emettitore per il circuito di Figura 5.37, se le tolleranze relative al resistore e alla tensione di alimentazione sono pari a 5%.

- *5.104** Si effettui un'analisi Monte Carlo del circuito di Figura 5.37, assumendo che le tolleranze relative al resistore e alla tensione di alimentazione siano pari a 5%.
- *5.105** (a) Si effettui l'analisi per il caso peggiore del circuito in Figura 5.36, assumendo che la tolleranza dei resistori sia pari al 5%, e inoltre $\beta_F = 100 \pm 50\%$. (b) Si effettui l'analisi Monte Carlo dello stesso circuito per 100 casi, e confrontare i risultati con quelli ottenuti al punto (a).
- *5.106** Si ripeta l'analisi Monte Carlo del circuito di Figura 5.36, assumendo che la tolleranza dei resistori sia pari al 5%.
- **5.107** La corrente di collettore del circuito descritto dagli istogrammi di Figura 5.42(a) deve essere $210\ \mu\text{A} \pm 40\ \mu\text{A}$. (a) Quale percentuale dei circuiti deve essere scartata o rifatta, non rispettando queste specifiche? Si valuti in modo approssimato la percentuale dei circuiti che non soddisfano la specifica $V_{CE} = 4.0\text{ V} \pm 20\%$.
- **5.108** Si scelgano le tolleranze dei resistori del circuito in Figura 5.35 in modo che il 99% dei circuiti verifichi la specifica $I_C = 210\ \mu\text{A} \pm 5\%$. Si dimostri la correttezza dei risultati utilizzando l'analisi Monte Carlo. Si assuma che i resistori presentino la stessa tolleranza. Non si modifichi la tolleranza di β_F e V_{CC} .
- *5.109** Si effettui l'analisi per il caso peggiore del circuito di Figura 5.36, assumendo $\beta_F = 100 \pm 50\%$, una tolleranza del 20% per le resistenze, e una tolleranza del 5% per la tensione V_{CC} .
- **5.110** (a) Si effettui l'analisi Monte Carlo del circuito di Figura 5.36, assumendo $\beta_{FO} = 100 \pm 50\%$, $V_A = 75 \pm 33\%$, una tolleranza del 20% per i resistori, e del 5% per la tensione V_{CC} . (b) Si confrontino i risultati con l'analisi del caso peggiore relativa al Problema 5.109.

Capitolo 6

Riepilogo

- Nel Capitolo 6 abbiamo introdotto molti concetti e definizioni fondamentali per capire e progettare le porte logiche. Circuiti basati sulla tecnologia NMOS sono stati utilizzati per esplorare i dettagli della progettazione dei circuiti logici. La geometria del dispositivo di carico, $(W/L)_L$, è progettata al fine di limitare il consumo di corrente e la dissipazione di potenza di una porta logica; la geometria del dispositivo di commutazione, $(W/L)_S$, è scelta per fornire il valore desiderato di V_L . I transistori sono generalmente progettati per avere W o L pari alla minima dimensione consentita da una data tecnologia.
- **Algebra booleana.** L'algebra booleana, sviluppata da G. Boole a metà del 1800, è uno strumento matematico molto potente usato a manipolare espressioni logiche binarie. Le porte logiche fondamentali forniscono combinazioni delle funzioni logiche NOT, AND, OR, NAND e NOR. Una famiglia logica completa deve fornire necessariamente almeno la funzione NOT e una tra le funzioni AND e OR.
- **Stati logici binari.** Gli stati logici binari utilizzano due livelli di tensione per rappresentare le variabili logiche "1" e "0". Nella convenzione logica positiva, utilizzata in questo libro, il valore di tensione più alto rappresenta l'1 logico mentre quello più basso rappresenta lo 0 logico. L'uscita di una porta logica ideale dovrebbe assumere solo due livelli di tensione, ossia V_H (corrispondente allo stato logico 1) e V_L (corrispondente allo stato logico 0).
- **Transizioni tra stati logici.** La tensione di uscita di una porta logica ideale dovrebbe commutare istantaneamente appena l'ingresso attraversa una fissata tensione di riferimento V_{REF} . Tuttavia, nei dispositivi reali tale transizione non è istantanea e le porte logiche realizzate con circuiti elettronici possono solo approssimare questo comportamento ideale. La transizione tra stati al variare della tensione di ingresso è molto più graduale e non è possibile definire una tensione di riferimento precisa. Le soglie V_{IL} e V_{IH} sono definite come le tensioni di ingresso alle quali la derivata della caratteristica di trasferimento assume il valore -1 : queste tensioni definiscono i confini della regione di transizione tra i livelli logici 1 e 0.
- **Margini di rumore.** I margini di rumore sono molto importanti nelle porte logiche e indicano l'insensibilità della porta rispetto a segnali indesiderati. I margini di rumore allo stato alto e allo stato basso sono definiti rispettivamente da $NM_H = V_{OH} - V_{IH}$ e $NM_L = V_{IL} - V_{OL}$. Le tensioni V_{OL} e V_{OH} rappresentano la tensione di uscita della porta al punto in cui la derivata della caratteristica di trasferimento vale -1 , cui corrispondono livelli di ingresso V_{IH} e V_{IL} , rispettivamente. I segnali indesiderati possono essere tensioni e correnti accoppiate nel circuito da porte logiche adiacenti, da fluttuazioni della tensione di rete o da radiazioni elettromagnetiche. I margini di rumore devono anche tenere in considerazione variazioni delle tolleranze dei processi produttivi e variazioni della tensione di alimentazione.
- **Progetto di porte logiche.** Quando si progettano porte logiche è opportuno tenere in mente i seguenti obiettivi:
 - 1) la porta logica dovrebbe trasformare un segnale di ingresso in due livelli discreti in uscita e minimizzare l'ampiezza dell'intervallo di tensioni per cui il valore dell'uscita non è definito in modo univoco;
 - 2) i margini di rumore devono essere i più ampi possibili;
 - 3) la porta logica deve essere unidirezionale;
 - 4) il passaggio attraverso la porta deve rigenerare i livelli logici;
 - 5) le porte logiche devono garantire fan-in e fan-out ragionevoli;
 - 6) al fine di rispettare i requisiti sulla massima velocità di operazione del circuito logico, occorre minimizzare la potenza dissipata e l'area del circuito.
- **Ritardi delle porte logiche.** La transizione tra i diversi stati logici non può essere istantanea. Nei circuiti reali, infatti, capacità indesiderate rallentano la transizione e degradano i segnali logici. Il tempo di salita t_r caratterizza il tempo richiesto da un certo segnale per passare dallo stato 0 allo stato 1; il tempo di discesa t_f caratterizza la transizione opposta. Il ritardo di propagazione medio τ_P è una misura del tempo richiesto all'uscita di una certa porta per rispondere ai cambiamenti agli ingressi. I ritardi di propagazione della transizione 1-0 (τ_{PHL}) e 0-1 (τ_{PLH}) non sono generalmente uguali e τ_P è pari alla media di questi due valori.
- **Prodotto ritardo-potenza.** Il prodotto ritardo-potenza (PDP), espresso in picojoule o femtojoule è una importante cifra di merito delle famiglie logiche. A bassi livelli di potenza, il prodotto ritardo-potenza è costante e il

ritardo di propagazione di una certa famiglia logica diminuisce all'aumentare della potenza. Per livelli di potenza intermedi, il ritardo di propagazione diventa indipendente dal livello di potenza. Ad alti livelli di potenza, il ritardo di propagazione può peggiorare aumentando la potenza.

- **Invertitore NMOS con carico resistivo.** Il circuito invertitore fondamentale è stato introdotto considerando il comportamento statico di un invertitore costituito da un transistor a commutazione NMOS e da un carico resistivo. Benché il circuito sia concettualmente semplice, non è in realtà impiegato in forma integrata in quanto il resistore occupa una superficie eccessiva.
- **Invertitori per circuiti integrati.** Nei circuiti integrati, il resistore di carico nella porta logica è sostituito da un secondo transistor MOS. Sono state analizzate quattro configurazioni: il dispositivo con carico in saturazione, il dispositivo con carico lineare, il dispositivo con carico a svuotamento e l'invertitore pseudo NMOS.
 - **Carico in saturazione.** Il dispositivo con carico in saturazione rappresenta la configurazione più economica in quanto non richiede modifiche al processo produttivo MOS.
 - **Carico lineare.** Il dispositivo con carico lineare offre prestazioni migliori, ma richiede una tensione aggiuntiva di alimentazione che, oltre ad aumentare il costo di fabbricazione, complica la gestione dei collegamenti elettrici nel circuito integrato.
 - **Carico a svuotamento.** Il dispositivo con carico a svuotamento richiede una variazione dei processi produttivi per creare un MOS con un diverso valore della tensione di soglia. Tuttavia, permette di ottenere miglioramenti sostanziali nelle prestazioni e la tecnologia NMOS a svuotamento è stata per molti anni utilizzata abbondantemente dall'industria dei microprocessori.
 - **Invertitore pseudo NMOS.** Questa famiglia logica usa un transistor PMOS come dispositivo di carico; essa costituisce una forma ad alte prestazioni della logica NMOS, ma consuma troppa potenza per essere utilizzata su larga scala.
- **Porte logiche NOR e NAND.** Porte NOR e NAND con più di due ingressi possono essere facilmente realizzate in logica MOS. La porta NOR è formata collocando transistori aggiuntivi in parallelo con il transistor di commutazione dell'invertitore base, mentre la porta NAND è formata da vari dispositivi di commutazione collegati in serie.
- **Porte logiche complesse.** Uno dei vantaggi della logica MOS è la possibilità di realizzare funzioni logiche complesse in una singola porta logica quali la somma di prodotti o il prodotto di somme, utilizzando collegamenti in serie e parallelo di transistori di commutazione. Ogni

porta logica richiede un solo dispositivo di carico e ogni ingresso logico richiede un solo transistor di commutazione.

- **Progetto basato sull'invertitore di riferimento.** Una volta progettato l'invertitore di riferimento per una famiglia logica, le porte NAND e NOR e le funzioni complesse derivate possono essere progettate utilizzando semplici regole di scalamento della geometria dell'invertitore di riferimento.
- **Effetto body.** L'effetto body gioca un ruolo importante nel progetto di porte logiche NMOS e PMOS. Tale effetto riduce il valore di V_H nelle porte logiche con carico in saturazione e porta ad un peggioramento della capacità del MOSFET di fornire corrente in tutte le configurazioni di carico, con un conseguente aumento dei ritardi. Ha anche un effetto, seppure minore, sul progetto del rapporto W/L del transistor di commutazione in porte logiche complesse.
- **Tempo di salita, tempo di discesa e ritardo di propagazione.** Sono state presentate delle formule per il calcolo del tempo di salita, del tempo di discesa e del ritardo di propagazione dei vari tipi di porte logiche NMOS. I ritardi dei circuiti logici MOS sono direttamente proporzionali alla capacità equivalente totale collegata all'uscita della porta. Questa capacità equivalente è una funzione complicata che dipende dal punto di operazione ed è dovuta alla capacità delle interconnessioni tra le porte e alle capacità dei dispositivi MOS (capacità gate-source C_{GS} , capacità gate-drain C_{GD} , capacità drain-bulk C_{DB} e capacità source-bulk C_{SB}).
- **Dissipazione di potenza statica e dinamica.** La dissipazione di potenza in una porta logica ha una componente statica e una dinamica. La componente dinamica è proporzionale alla frequenza di commutazione della porta logica, alla capacità totale e al quadrato dell'intervallo di tensioni. Per basse frequenze di commutazione, la componente statica è quella principale, mentre quella dinamica diventa dominante ad alte frequenze di commutazione. Per una certa capacità di carico, la potenza dissipata e la velocità di una porta logica possono essere entrambe modificate scalando in maniera proporzionale la geometria del dispositivo di carico del transistor di commutazione. Per esempio, raddoppiando il rapporto W/L di tutti i dispositivi si raddoppia la potenza della porta senza modificare i livelli di tensione per cui la porta è stata progettata.
- **Porte logiche PMOS.** Le porte logiche PMOS sono rappresentazioni speculari delle corrispondenti porte NMOS. Al fine di ottenere le stesse prestazioni delle versioni NMOS, occorre aumentare la dimensione dei transistori, per via della minore mobilità delle lacune rispetto a quella degli elettroni.

Problemi

Le soluzioni si trovano sul sito web dedicato al libro



Salvo diversa indicazione utilizzare i valori seguenti: $K'_n = 100 \mu\text{A}/\text{V}^2$, $K'_p = 40 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.6 \text{ V}$ e $V_{TP} = -0.6 \text{ V}$.

Introduzione generale

- 6.1** I circuiti integrati incapsulati in contenitore plastico possono dissipare tipicamente solo 1 W per chip. Supponiamo di aver sviluppato il progetto di un circuito composto da 100 000 porte logiche che deve essere integrato in un singolo chip. (a) Qual è la potenza media che può essere dissipata da ogni porta logica sul chip? (b) Se la tensione di alimentazione è 2.5 V, quanta corrente è necessaria per alimentare una singola porta logica?
- 6.2** Un microprocessore di elevate prestazioni è composto da 1 miliardo di porte logiche, ed è incapsulato in un contenitore in grado di dissipare 100 W. (a) Qual è la potenza media che può essere dissipata da ogni porta logica sul chip? (b) Se la tensione di alimentazione è 1.8 V, quanta corrente è necessaria per alimentare una singola porta logica? Si assuma un duty cycle del 25%. (c) Qual è la corrente totale richiesta dal circuito integrato?

6.1-6.2 Porte logiche ideali, definizione dei livelli logici e margini di rumore

- 6.3** (a) L'invertitore ideale di Figura 6.2(b) ha $R = 100 \text{ k}\Omega$ e $V_+ = 2.5 \text{ V}$. Quanto valgono V_H e V_L ? Qual è la dissipazione di potenza della porta per $v_O = V_H$ e per $v_O = V_L$? (b) Ripetere l'esercizio per $V_+ = 3.3 \text{ V}$.
- 6.4** Disegnare il grafico della caratteristica di trasferimento per un invertitore ideale con $V_+ = 2.5 \text{ V}$, $V_- = 0 \text{ V}$ e $V_{REF} = 0.8 \text{ V}$. Assumere $V_H = V_+$ e $V_L = V_-$.
- 6.5** (a) Disegnare il grafico della caratteristica di trasferimento complessiva di due invertitori ideali in cascata. Ognuno dei due invertitori ha una caratteristica di trasferimento come quella definita nel Problema 6.4. (b) Qual è la funzione logica complessiva $Z = f(A)$ per i due invertitori in cascata?
- 6.6** Disegnare il grafico del guadagno di tensione A_v dell'invertitore ideale di Figura 6.1 in funzione della tensione di ingresso v_I . ($A_v = dv_O/dv_I$)
- 6.7** In Figura P6.7 è mostrata la caratteristica di trasferimento per un invertitore. Quanto valgono V_H , V_L , V_{IH} e V_{IL} e il guadagno di tensione A_v dell'invertitore nella regione di transizione? ($A_v = dv_O/dv_I$)
- 6.8** (a) Disegnare il grafico della caratteristica di trasferimento complessiva per due invertitori in cascata. Ognuno dei due invertitori ha la caratteristica di trasferimento mostrata in Figura P6.7. (b) Ripetere l'esercizio considerando 10 invertitori.

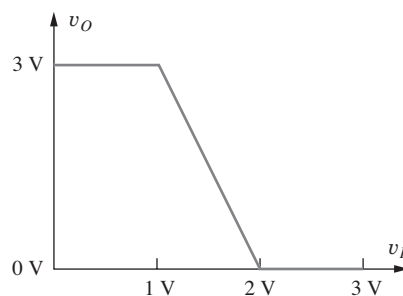


Figura P6.7

- 6.9** Supponiamo che per la porta logica ideale di Figura 6.1 sia $V_H = 3.3 \text{ V}$, $V_L = 0 \text{ V}$ e $V_{REF} = 2.0 \text{ V}$. Quali sono i valori di V_{IH} , V_{IL} , V_{OH} , V_{OL} , NM_H e NM_L ?
- 6.10** Supponiamo che per la porta logica ideale di Figura 6.1 sia $V_H = 3.3 \text{ V}$ e $V_L = 0 \text{ V}$. Considerando i margini di rumore, quale sarebbe la scelta migliore per V_{REF} ?
- 6.11** In Figura P6.11 è mostrata la caratteristica di trasferimento per un invertitore CMOS. Quanto valgono V_H , V_L , V_{OH} , V_{OL} , V_{IH} , V_{IL} , NM_H e NM_L ?

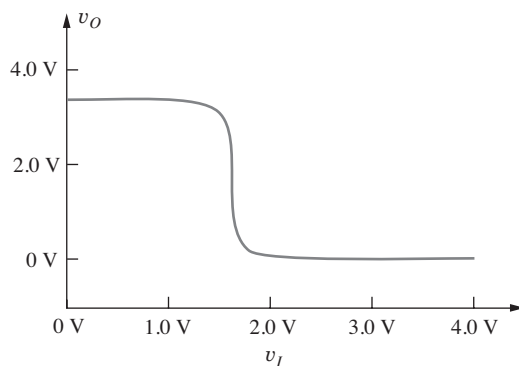


Figura P6.11

- 6.12** La Figura P6.12 mostra i risultati di una simulazione SPICE di un invertitore. Quanto valgono V_H e V_L per questa porta logica?

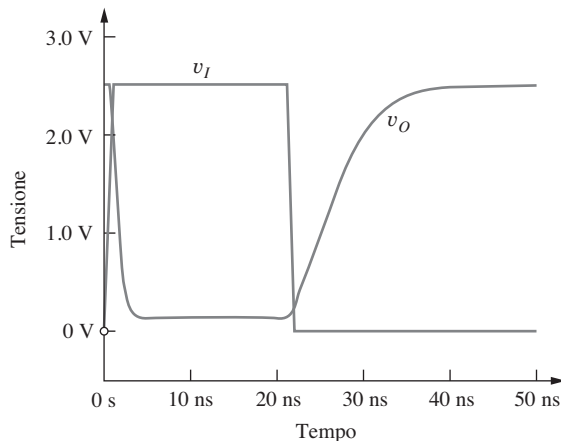


Figura P6.12

- 6.13** Il grafico in Figura P6.13 mostra i risultati di una simulazione SPICE di un invertitore. Quanto valgono V_H e V_L per questa porta logica?

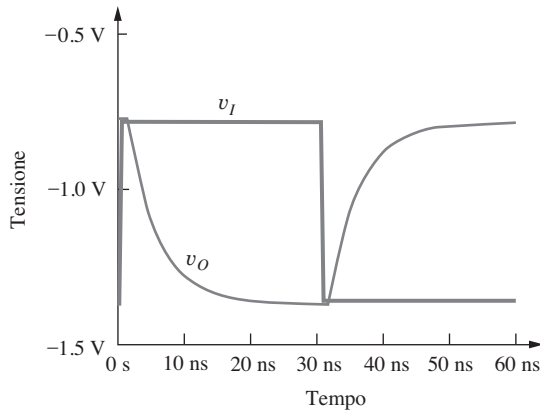


Figura P6.13

- 6.14** Una porta ECL ha le seguenti caratteristiche: $V_{OH} = -0.8$ V, $V_{OL} = -2$ V, $NM_H = NM_L = 0.5$ V. Quali sono i valori di V_{IH} e di V_{IL} ?

6.3 Risposta dinamica di una porta logica

- 6.15** Una famiglia logica ha un prodotto ritardo-potenza di 100 fJ. Se una porta logica consuma una potenza di 100 μ W, qual è il suo ritardo di propagazione?
- 6.16** Disegnare il grafico del prodotto ritardo-potenza in funzione della potenza per una porta logica avente il prodotto ritardo-potenza mostrato in Figura 6.6.
- 6.17** Un processore che lavora a una frequenza di clock di 1 GHz contiene 1 miliardo di porte logiche che hanno un ritardo di propagazione medio di 150 ps. Se il contenitore può dissipare 50 W, qual è la potenza media per porta logica considerando un duty cycle del 20%? Quanto vale il prodotto ritardo-potenza?
- 6.18** I circuiti integrati incapsulati in contenitore plastico possono dissipare tipicamente solo 1 W per chip. Supponiamo di aver progettato un circuito composto da 500 000 porte logiche che deve essere integrato in un singolo chip. (a) Qual è la potenza media che può essere dissipata da ogni porta logica sul chip? (b) Se la tensione di alimentazione è 2.5 V, quanta corrente può essere usata per alimentare ogni porta logica? Si assuma un duty cycle del 50%. (c) Se il ritardo medio per ogni porta logica deve essere di 2 ns, qual è il prodotto ritardo-potenza richiesto per le porte logiche di questo circuito?
- 6.19** Un microprocessore di elevate prestazioni è composto da 200 milioni di porte logiche, ed è incapsulato in un contenitore in grado di dissipare 100 W. (a) Qual è la potenza media che può essere dissipata da ogni porta logica sul chip? (b) Se la tensione di alimentazione è 1.8 V, quanta corrente può essere usata per alimentare ogni porta logica? Si assuma un duty cycle del 33%. (c) Se il ritardo medio per ogni porta logica deve essere di 1 ns, qual è il prodotto ritardo-potenza richiesto per le porte logiche di questo chip?

- *6.20** (a) Derivare un'espressione per il tempo di salita del circuito in Figura P6.20(a) in termini della costante di tempo del circuito. Assumere che $v(t)$ sia una funzione a gradino di ampiezza pari a 1 V, che commuta all'istante $t = 0$. (b) Derivare un'espressione simile per il tempo di discesa della tensione sul condensatore in Figura P6.20(b), assumendo che il condensatore abbia una tensione iniziale di 1 V al tempo $t = 0$.

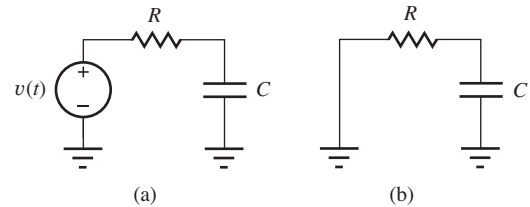


Figura P6.20

- 6.21** Il grafico in Figura P6.12 mostra i risultati di una simulazione SPICE di un invertitore. (a) Quanto valgono V_H e V_L per questa porta logica? (b) Quali sono i tempi di salita e di discesa per v_I e per v_O ? (c) Quali sono i valori di τ_{PHL} e di τ_{PLH} ? (d) Qual è il ritardo medio di propagazione per questa porta?
- 6.22** Il grafico in Figura P6.13 mostra i risultati di una simulazione SPICE di un invertitore. (a) Quanto valgono V_H e V_L per questa porta logica? (b) Quali sono i tempi di salita e di discesa per v_I e per v_O ? (c) Quali sono i valori di τ_{PHL} e di τ_{PLH} ? (d) Qual è il ritardo medio di propagazione per questa porta?

6.4 Richiami di algebra booleana

- 6.23** Utilizzare i risultati in Tabella 6.2 per dimostrare che $(A + B)(A + C) = A + BC$.
- 6.24** Utilizzare i risultati in Tabella 6.2 per semplificare l'espressione logica $z = ABC + ABC + \overline{ABC}$.
- 6.25** Scrivere la tabella di verità per l'espressione logica utilizzata nel Problema 6.24.
- 6.26** Utilizzare i risultati in Tabella 6.2 per semplificare l'espressione logica $z = \overline{ABC} + ABC + \overline{ABC} + \overline{ABC}$.
- 6.27** Scrivere la tabella di verità per l'espressione logica utilizzata nel Problema 6.26.
- 6.28** Scrivere la tabella di verità e una espressione logica per la funzione implementata in Figura P6.28.

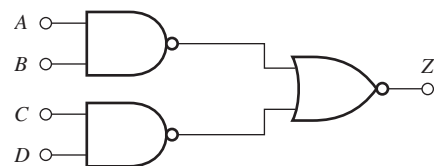


Figura P6.28

- 6.29** Scrivere la tabella di verità e una espressione logica per la funzione implementata in Figura P6.29.

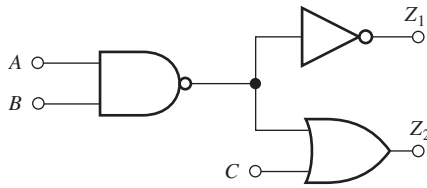


Figura P6.29

- 6.30** (a) Qual è il fan-out della porta NAND in Figura P6.28
(b) Qual è il fan-out di ognuna delle porte NAND in Figura P6.29?

Problemi generali

- 6.31** Un microprocessore veloce deve pilotare un bus dati a 64 bit, in cui ogni linea ha un carico capacitivo C di 50 pF, con una escursione logica di 2.5 V. Il circuito che pilota il bus deve scaricare la capacità di carico da 2.5 V a 0 V in 0.8 ns, come mostrato in Figura P6.31. Disegnare la forma d'onda della corrente erogata dal circuito di pilotaggio in funzione del tempo, assumendo che la forma d'onda di uscita sia quella riportata in figura. Quanto vale la corrente di picco assorbita dal microprocessore se tutti i 64 circuiti di pilotaggio commutano simultaneamente?

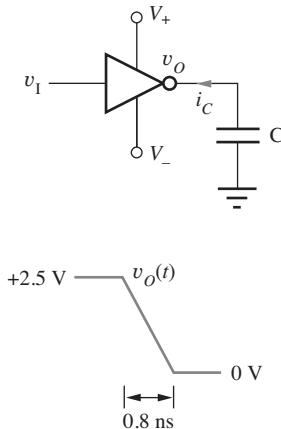


Figura P6.31

- 6.32** Ripetere il Problema 6.31 per un processore con clock a 1 GHz. Assumere un tempo di discesa di 0.1 ns, invece di 1 ns come mostrato in Figura P6.31.
- *6.33** Una particolare interconnessione fra due porte logiche su di un circuito integrato deve percorrere 7.5 mm, la metà della lunghezza di un chip. La linea di interconnessione è isolata dal substrato da biossido di silicio. Se la linea è larga $1.5 \mu\text{m}$ e lo spessore dell'ossido è di $1 \mu\text{m}$, quanto vale la capacità totale della interconnessione, assumendo che essa sia tre volte quella predetta dalla formula relativa a un condensatore a facce piane e parallele? Assumere che la regione di silicio al di sotto dell'ossido rappresenti un piano conduttore a potenziale di massa. Assumere inoltre $\epsilon_{\text{ox}} = 3.9\epsilon_0$ e $\epsilon_0 = 88.5 \text{ fF/cm}$.

- **6.34** Il progressivo miglioramento della tecnologia costruttiva, consente di ridurre sempre di più le dimensioni dei dispositivi MOS (*scaling*). Nello scaling ideale a campo elettrico costante, vengono ridotte tutte le dimensioni orizzontali e verticali del dispositivo di uno stesso fattore α , così come vengono ridotte dello stesso fattore la tensione di soglia del MOS e la tensione di alimentazione del circuito. Assumiamo che il ritardo ΔT di un circuito MOS possa essere stimato tramite la formula seguente:

$$\Delta T = C \frac{\Delta V}{I}$$

in cui la capacità C è proporzionale alla capacità totale di gate del MOS: $C = C''_{\text{ox}} WL$, ΔV è l'escursione logica e I è la corrente del dispositivo MOS in saturazione. Si mostri che lo scaling a campo costante comporta una riduzione del ritardo di un fattore α e una riduzione della potenza dissipata di un fattore α^2 , in modo che il prodotto ritardo-potenza viene ridotto di un fattore α^3 . Mostrare che la densità di potenza rimane invariata a seguito dello scaling a campo costante.

- **6.35** Per molti anni, le dimensioni dei dispositivi MOS sono state ridotte sempre di più a seguito del progressivo miglioramento della tecnologia costruttiva, senza modificare la tensione di alimentazione dei circuiti logici. Supponiamo che la larghezza W , la lunghezza L e lo spessore dell'ossido t_{ox} di un transistor MOS siano tutti ridotti di un fattore 2. Assumiamo inoltre che V_{TH} , v_{GS} e v_{DS} restino invariati. (a) Calcolare il rapporto fra la corrente di drain del dispositivo così modificato e quella del transistor originale (b) Di quanto si è modificata la dissipazione di potenza? (c) Di quanto si è modificata la capacità totale di gate? (d) Di quanto si è modificato il ritardo ΔT del circuito? (Per il calcolo del ritardo utilizzare la formula del Problema 6.34)

6.5 Progetto di circuiti logici NMOS

Invertitore NMOS con carico resistivo

- 6.36** Si progetti un invertitore con carico resistivo in grado di operare con tensione di alimentazione di 1.8 V dissipando un potenza di $50 \mu\text{W}$.
- 6.37** (a) Calcolare V_H , V_L e la dissipazione di potenza (per $v_O = V_{OL}$) per l'invertitore con carico resistivo mostrato in Figura P6.37(a). (b) Ripetere i calcoli per il circuito in Figura P6.37(b).

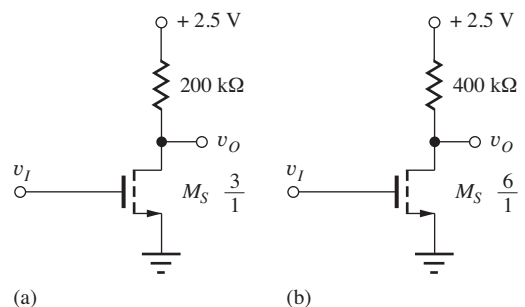


Figura P6.37

- 6.38** (a) Quale valore del parametro W/L dovrebbe avere il transistor in Figura P6.37(b) per avere lo stesso valore V_L dell'invertitore di Figura P6.37(a)? (b) Quale valore del parametro W/L dovrebbe avere il transistor in Figura P6.37(a) per avere lo stesso valore V_L dell'invertitore di Figura P6.37(b)?
- 6.39** (a) Quale valore dovrebbe avere il parametro W/L del transistor in Figura P6.37(a) affinché V_L rimanga invariata quando la resistenza di carico è ridotta a 100 k Ω ? (b) In tal caso, quale è il nuovo valore di V_H ? (c) Il valore della resistenza di carico in Figura P6.37(b) sia ora pari a 200 k Ω . Quale valore deve assumere il parametro W/L per mantenere immutata la tensione V_L ?
- 6.40** A causa di un errore in fase di fabbricazione, V_{TN} dell'invertitore di Figura P6.37(a) vale 0.8 V invece di 0.6 V. (a) Quanto valgono V_H , V_L e la potenza dissipata? (b) Si ripeta il calcolo per $V_{TN} = 0.4$ V.
- 6.41** Quali sono i margini di rumore per i circuiti in Figura P6.37(a) e Figura P6.37(b)?
- 6.42** (a) Calcolare V_H , V_L e la potenza dissipata (per $v_O = V_L$) per l'invertitore con carico resistivo in Figura 15.63(b). (b) Un problema in fase di fabbricazione porta a $V_{TN} = 0.5$ V invece di 0.6 V. Quali sono i nuovi valori di V_H , V_L ? quanto vale la potenza dissipata? (c) Ripetere il calcolo per $V_{TN} = 0.7$ V.
- 6.43** (a) Qual è il minimo valore di $K_n R$ necessario affinché entrambi i margini di rumore dell'invertitore del Problema 6.4 siano positivi? (b) Quanto vale V_L per tale valore di $K_n R$? (c) A quale valore W/L corrisponde il valore $K_n R$ calcolato al punto (a)? (d) Quanto vale R_{on} del transistor?
- 6.44** (a) Quali sono i margini di rumore per il circuito in Figura 15.63(b)? (b) Per quale valore di W/L si ha $NM_L = 0$ per l'invertitore con carico resistivo in Figura 15.63(b)?
- 6.45** Disegnare i margini di rumore dell'invertitore dell'Esempio 6.4 in funzione del parametro W/L del transistor.
- 6.46** Calcolare i valori nominali e quelli *worst case* dei margini di rumore dell'invertitore dell'Esercizio 6.4 nel caso la tensione di soglia abbia una tolleranza del 10%, la tensione di alimentazione abbia tolleranza del 5% e K_n e R abbiano entrambi tolleranze del 30%.
- 6.47** (a) Eseguire 1000 simulazioni Monte Carlo per stimare il margine di rumore dell'invertitore dell'Esempio 6.4 assumendo che la tensione di soglia abbia tolleranza del 10%, la tensione di alimentazione abbia tolleranza del 5% e K_n e R abbiano entrambi tolleranze del 30%. Quali sono i valori nominali, minimi e massimi di NM_L e NM_H ? (b) Confrontare i risultati con quelli del Problema 6.48.
- 6.48** L'invertitore con carico resistivo di Figura 6.12 deve essere riprogettato in modo da avere $V_L = 0.5$ V (a) Quali sono i valori di R e di $(W/L)_S$, assumendo che la dissipazione di potenza debba rimanere invariata? (b) Quali sono i valori di NM_L e di NM_H ?

- 6.49** (a) Riprogettare l'invertitore con carico resistivo di Figura 6.12 in modo che operi a un livello di potenza di 0.30 mW con $V_{DD} = 3.3$ V. Assumere $V_{TO} = 0.7$ V, mantenendo gli altri parametri di progetto invariati. Quali sono le nuove dimensioni di M_S e il nuovo valore di R ? (b) Quali sono i valori di NM_L e di NM_H ?
- 6.50** (a) Progettare un invertitore con carico resistivo per $V_{DD} = 2.0$ V e $V_L = 0.15$ V. Assumere $I_{DD} = 10$ μ A, $K'_n = 75$ μ A/V² e $V_{TN} = 0.6$ V. (b) Confermare la correttezza del progetto con SPICE.
- 6.51** (a) Progettare un invertitore con carico resistivo per $V_{DD} = 3$ V e $V_L = 0.30$ V. Assumere $I_D = 33$ μ A, $K'_n = 60$ μ A/V² e $V_{TN} = 0.75$ V. (b) Confermare la correttezza del progetto con SPICE.

6.6 Alternative al carico resistivo basate su transistor

- 6.52** (a) Calcolare la resistenza on di un transistor NMOS con $W/L = 10/1$ per $V_{GS} = 5$ V, $V_{SB} = 0$, $V_{TO} = 1$ V e $V_{DS} = 0$ V. (b) Calcolare la resistenza ON di un transistor PMOS con $W/L = 10/1$ per $V_{SG} = 5$ V, $V_{SB} = 0$, $V_{TO} = -1$ V e $V_{SD} = 0$ V (c) Cosa significa dire che un transistor è "on" anche se I_D e V_{DS} sono zero? (d) Quali devono essere i rapporti W/L dei dispositivi NMOS e PMOS se essi devono avere la stessa resistenza on calcolata ai punti (a) e (b) con $|V_{GS}| = 3.0$ V?

Invertitore NMOS con dispositivo di carico in saturazione

- 6.53** Calcolare V_H per una porta logica NMOS con carico in saturazione assumendo $V_{TO} = 0.6$ V, $\gamma = 0.6 \sqrt{V}$, $2\phi_F = 0.6$ V e $V_{DD} = 3.3$ V.
- 6.54** Calcolare V_H per una porta logica NMOS con carico in saturazione assumendo $V_{TO} = 0.75$ V, $\gamma = 0.75 \sqrt{V}$, $2\phi_F = 0.7$ V e $V_{DD} = 3$ V.
- 6.55** Calcolare V_H per una porta logica NMOS con carico in saturazione assumendo $V_{TO} = 0.5$ V, $\gamma = 0.85 \sqrt{V}$, $2\phi_F = 0.6$ V e $V_{DD} = 2.5$ V.
- 6.56** (a) Calcolare V_H , V_L e la dissipazione di potenza (per $v_O = V_L$) per l'invertitore con carico in saturazione mostrato in Figura P6.56. Si assuma $\gamma = 0$. (b) Ripetere il calcolo assumendo $\gamma = 0.6$.

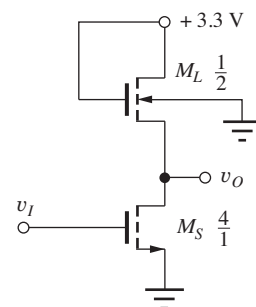


Figura P6.56

- 6.57** Ipotizzare una tolleranza del 30% per K'_n nell'invertitore in Figura P6.56. Quali sono i valori della potenza dissipata, V_H e V_L nel caso peggiore? Si ipotizzi che i due transistori siano identici (ossia, che abbiano lo stesso valore di K'_n).
- 6.58** A causa di variazioni nel processo di fabbricazione, l'invertitore di Figura P6.56 presenta $V_{TN} = 0.8$ V invece di 0.6 V. (a) Quali sono i nuovi valori di V_H , V_L e potenza dissipata? (b) Ripetere il calcolo per $V_{TN} = 0.4$ V.
- *6.59** Quali sono i margini di rumore per il circuito di  Figura P6.56?
- 6.60** (a) Calcolare V_H , V_L e la potenza dissipata (per $v_O = V_L$) per l'invertitore con carico in saturazione in Figura P6.56 nel caso in cui le dimensioni dei transistori siano $(W/L)_S = 8/1$ e $(W/L)_L = 1/1$. (b) Quali sono i margini di rumore per questo circuito? (c) A causa di variazioni nel processo di fabbricazione, $V_{TN} = 0.7$ V invece di 0.6 V. Quanto valgono V_H , V_L e la potenza dissipata?
- 6.61**  Riprogettare la porta logica NMOS con carico in saturazione di Figura 6.21 per avere $V_L = 0.3$ V e $P = 0.5$ mW per $v_O = V_L$.
- 6.62**  (a) Riprogettare l'invertitore con carico in saturazione di Figura 6.21 in modo da avere una dissipazione di potenza di 0.25 mW con $V_{DD} = 3.0$ V. Assumere $V_{TO} = 0.7$ V. Mantenere invariati gli altri parametri di progetto. Quali sono le nuove dimensioni di M_L e di M_S ? (b) Quali sono i nuovi valori di NM_H e di NM_L ?
- 6.63**  (a) Progettare un invertitore con carico in saturazione simile a quello di Figura 6.17(c) con $V_{DD} = 1.8$ V e $V_L = 0.2$ V. Si assuma $I_{DD} = 75$ μ A. (b) Ricalcolare i valori di W/L includendo l'effetto body come in Figura 6.21.
- 6.64**  (a) Progettare un invertitore con carico in saturazione simile a quello di Figura 6.17(c) con $V_{DD} = 2.0$ V e $V_L = 0.15$ V. Si assumano $I_{DD} = 25$ μ A e $V_{TN} = 0.6$ V. (b) Ricalcolare i valori di W/L includendo l'effetto body, come mostrato in Figura 6.21, con $V_{TO} = 0.6$ V, $\gamma = 0.6 \sqrt{V}$ e $2\phi_F = 0.6$ V. (c) Utilizzare SPICE per verificare la correttezza del progetto.
- 6.65** L'ingresso dell'invertitore con carico in saturazione di Figura 6.21 è collegato a +2.5 V. Qual è il valore di v_O per questa tensione di ingresso? (Questo problema potrebbe richiedere una soluzione iterativa.)
- 6.66** L'invertitore con carico in saturazione di Figura 6.24(b) è stato progettato utilizzando $K'_n = 100$ μ A/V², ma a causa di variazioni durante il processo di fabbricazione il valore effettivo è $K'_n = 125$ μ A/V². Quali saranno i nuovi valori di V_H , V_L , e della dissipazione di potenza per questo nuovo valore di K'_n ? Ripetere i calcoli con $K'_n = 75$ μ A/V².

Invertitore NMOS con dispositivo di carico in regione lineare

- 6.67** Calcolare il rapporto W/L per il dispositivo di carico in linearità, utilizzando i parametri di cui al Paragrafo 6.6 e mostrare che i valori presentati in Figura 6.22 sono corretti.

- 6.68** Qual è il valore minimo di V_{GG} necessario per ottenere un funzionamento in regione lineare del transistor M_L in Figura 6.24(c) se $V_{TO} = 0.8$ V, $\gamma = 0.55 \sqrt{V}$ e $2\phi_F = 0.6$ V?
- 6.69** Calcolare V_H , V_L e la dissipazione di potenza (per $v_O = V_L$) per l'invertitore con carico in linearità di Figura P6.69.

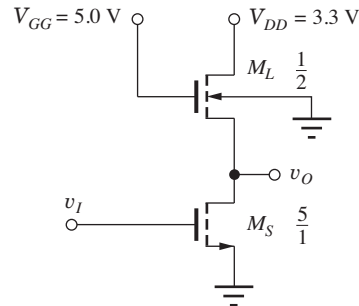


Figura P6.69

Invertitore NMOS con dispositivo di carico a svuotamento

- 6.70** Sappiamo che l'effetto body peggiora le caratteristiche delle porte logiche NMOS con carico a svuotamento. Consideriamo un invertitore alimentato a $V_{DD} = 2.5$ V e con un dispositivo di carico a svuotamento avente $V_{TO} = -1$ V. Qual è il valore massimo del parametro γ dell'effetto body che consente ancora di avere $V_{OH} = V_{DD}$? Assumere $2\phi_F = 0.6$ V.
- 6.71** L'invertitore con carico a svuotamento di Figura 6.24(d) è stato progettato utilizzando $K'_n = 125$ μ A/V², ma a causa di variazioni durante il processo di fabbricazione, il valore effettivo è $K'_n = 75$ μ A/V². (a) Quali saranno i nuovi valori di V_H , V_L , e della dissipazione di potenza per questo nuovo valore di K'_n ? (b) Ripetere il calcolo per $K'_n = 120$ μ A/V².
- 6.72**  (a) Riprogettare l'invertitore con carico a svuotamento di Figura 6.24(d) per una tensione di alimentazione $V_{DD} = 3.3$ V. Assumere $V_{TO} = 0.6$ V per il transistor di commutazione e $V_{TO} = -1$ V, $\gamma = 0.5 \sqrt{V}$ e $2\phi_F = 0.6$ V per il carico a svuotamento. Mantenere invariati gli altri parametri di progetto. (b) Quali sono i nuovi valori di NM_H e di NM_L ?
- 6.73** Progettare un invertitore con dispositivo di carico a svuotamento che operi con $V_{DD} = 2.0$ V, $V_L = 0.20$ V e $P = 250$ μ W. Assumere $V_{TO} = -2$ V, $\gamma = 0.5 \sqrt{V}$, $2\phi_F = 0.6$ V per il transistor di carico e $V_{TO} = 0.6$ V per M_S . (b) Verificare il progetto usando SPICE.

Invertitore pseudo NMOS

- 6.74** Verificare che i rapporti W/L dell'invertitore pseudo NMOS di Figura 6.24(e) siano corretti.
- 6.75** (a) A causa di variazioni del processo produttivo, il valore di K'_n per il transistor NMOS di Figura 6.24(e) vale $K'_n = 120$ μ A/V² invece di 100 μ A/V². Quali sono ora i valori di V_L e I_{DD} ? (b) Quali sono i valori dei margini di rumore? (c) Ripetere i calcoli per $K'_n = 80$ μ A/V².

- 6.76** (a) Progettare un invertitore pseudo NMOS in grado di operare con $V_{DD} = 1.8 \text{ V}$ con $V_L = 0.2 \text{ V}$ e una potenza di $100 \mu\text{W}$, assumendo $V_{TN} = 0.5 \text{ V}$ e $V_{TP} = -0.5 \text{ V}$. (b) Trovare i margini di rumore dell'invertitore progettato al punto (a).

6.8 Impatto della saturazione della velocità sul progetto statico

- 6.77** Quali sono i nuovi rapporti W/L per le porte logiche in Figura 6.24 se $V_{SAT} = 1.0 \text{ V}$?
- 6.78** Riprogettare l'invertitore con carico resistivo del Problema 6.50 assumendo $V_{SAT} = 1.0 \text{ V}$.
- 6.79** Riprogettare l'invertitore con carico in saturazione del Problema 6.63 assumendo $V_{SAT} = 0.85 \text{ V}$.
- 6.80** Riprogettare l'invertitore con carico a svuotamento del Problema 6.73 assumendo $V_{SAT} = 0.85 \text{ V}$.

6.9 Porte logiche NMOS, NAND e NOR

- 6.81** (a) Qual è il valore di V_L per la porta NOR a due ingressi di Figura 6.25(a) quando entrambi gli ingressi A e B sono a livello logico alto? (b) Qual è la corrente che fluisce nel circuito per questo valore degli ingressi?
- 6.82** Calcolare i rapporti W/L per i dispositivi di commutazione nella porta NAND di Figura 6.27(b) e verificare la correttezza dei valori calcolati.
- **6.83** La porta NAND a due ingressi di Figura 6.27 è stata progettata con eguali valori di R_{on} per i due dispositivi di commutazione connessi in serie, in modo da avere all'incirca la stessa caduta di tensione sui due transistori. Questa è solo una delle infinite possibili scelte che garantisce un dato valore di V_L . Mostrare che il progetto con valori uguali di R_{on} richiede la minima area totale di gate per i due transistori di commutazione.
- 6.84** Disegnare lo schema di una porta NOR a quattro ingressi con carico in saturazione. Quali sono i rapporti W/L di tutti i transistori, basandosi sull'invertitore di riferimento di Figura 6.24(b)?
- 6.85** Disegnare lo schema di una porta NAND a quattro ingressi con carico in saturazione. Quali sono i rapporti W/L di tutti i transistori, basandosi sull'invertitore di riferimento di Figura 6.27?

6.10 Porte logiche NMOS complesse.

- 6.86** (a) Qual è la funzione logica realizzata dal circuito di Figura P6.86? (b) Quali debbono essere i rapporti W/L dei transistori, basandosi sull'invertitore di riferimento di Figura 6.24(e)?

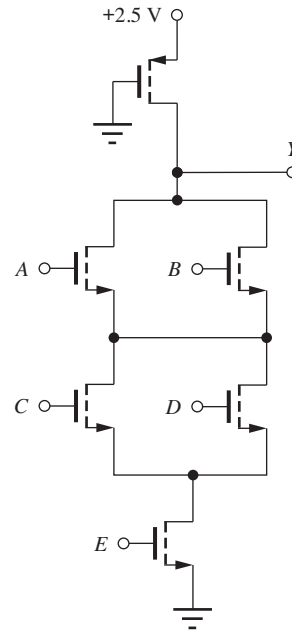


Figura P6.86

- 6.87** (a) Qual è la funzione logica realizzata dal circuito di Figura P6.87? (b) Quali devono essere i rapporti (W/L) dei transistori, basandosi sull'invertitore di riferimento di Figura 6.24(d)?

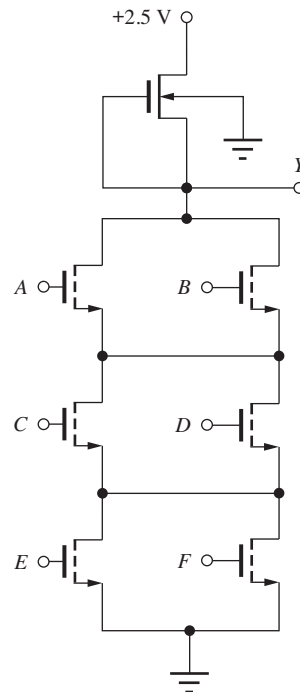


Figura P6.87

- 6.88** (a) Qual è la funzione logica realizzata dal circuito di Figura P6.88? (b) Quali debbono essere i rapporti W/L dei transistori se la porta deve dissipare il triplo rispetto all'invertitore di riferimento di Figura 6.24(e)?

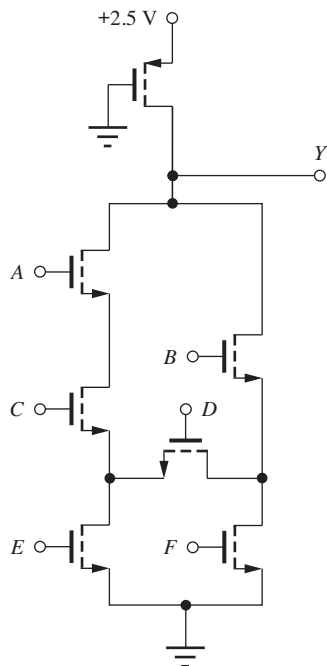


Figura P6.88

6.89 Progettare una porta logica con carico a svuotamento che realizzi la funzione $Y = A[B + C(D + E)]$, basandosi sull'invertitore di riferimento di Figura 6.24(d).

6.90 Progettare una porta logica con carico a svuotamento che realizzi la funzione $Y = \overline{A(BC + DE)}$ e consumi la metà della potenza dell'invertitore di riferimento di Figura 6.24(d).

6.91 Progettare una porta logica con carico in saturazione che realizzi la funzione $Y = \overline{A(BC + DE)}$, basandosi sull'invertitore di riferimento di Figura 6.24(b).

6.92 Progettare una porta logica con invertitore pseudo NMOS che realizzi la funzione $Y = \overline{A(B + CD) + E}$, basandosi sull'invertitore di riferimento di Figura 6.24(e).

6.93 Qual è la funzione logica realizzata dal circuito di Figura P6.93? (b) Quali debbono essere i rapporti W/L dei transistori se la porta deve dissipare il doppio rispetto all'invertitore di riferimento di Figura 6.24(d)?

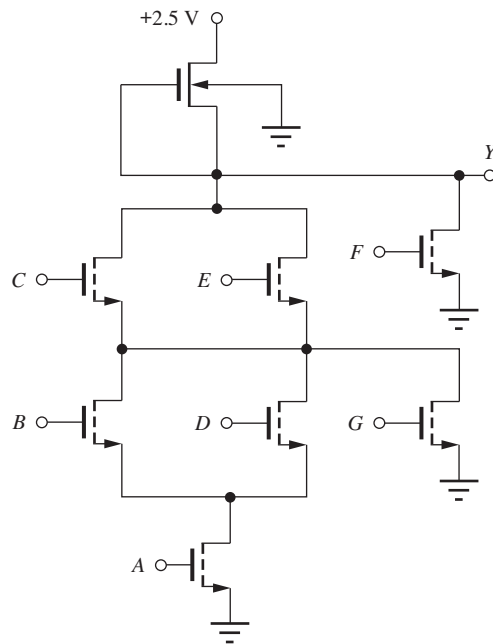


Figura P6.93

6.94 (a) Progettare una porta logica con carico a svuotamento che realizzi la funzione $Y = \overline{A(B + CD) + E}$, basandosi sull'invertitore di riferimento di Figura 6.24(d). (b) Riprogettare i rapporti W/L dei dispositivi della porta logica, portando in conto l'effetto body e le differenze nei valori di V_{DS} per i vari transistori.

6.95 Ricalcolare i rapporti W/L dei transistori della porta logica di Figura 6.29, portando in conto l'effetto body e le differenze nei valori di V_{DS} per i vari dispositivi.

***6.96** Ricalcolare i rapporti W/L dei transistori della porta logica di Figura 6.30(a), portando in conto l'effetto body e le differenze nei valori di V_{DS} per i vari dispositivi.

6.97 (a) Stimare il valore di V_L in Figura 6.31 se tutti e cinque i transistori di commutazione sono on calcolando la resistenza equivalente R_{on} dell'albero. (b) Confrontare i calcoli con i risultati delle simulazioni SPICE.

***6.98** Ricalcolare i rapporti W/L dei transistori della porta logica di Figura 6.31, portando in conto l'effetto body e le differenze nei valori di V_{DS} per i vari dispositivi.

***6.99** Un nuovo tipo di porta logica è presentata in Figura P6.99. Calcolare V_H e V_L (Suggerimento: Per il calcolo di V_L , si noti che le correnti di drain di M_S e di M_L devono essere uguali, un dispositivo funzionerà in regione lineare e uno in regione di saturazione).

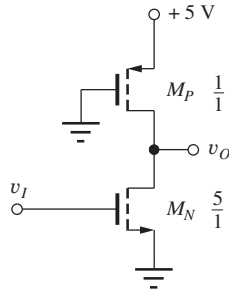


Figura P6.99

- **6.100** (a) Qual è la tabella di verità per la funzione logica realizzata dal circuito di Figura P6.100? (b) Scrivere un'espressione per la funzione logica $Y = F(A, B)$. (c) Quali debbono essere le dimensioni dei transistori M_S e M_P in modo da avere $V_{OL} \leq 0.20$ V? (d) Descrivere qualitativamente come dovrebbero cambiare le dimensioni di M_S e di M_P calcolate precedentemente, se si tiene in conto l'effetto body. (e) Qual è il nome di questa funzione logica?

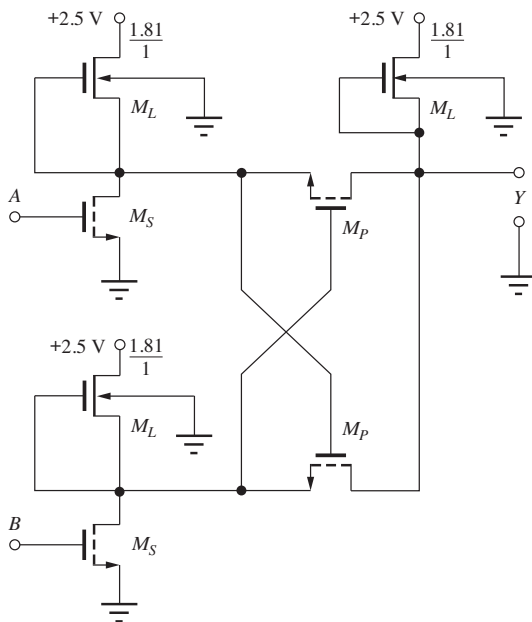


Figura P6.100

6.11 Dissipazione di potenza

- 6.101** Modificare i valori dei resistori e le dimensioni dei transistori nei cinque invertitori di Figura 6.24 per ottenere una dissipazione di potenza di 2 mW.
- 6.102** Quali debbono essere i rapporti W/L dei transistori nel circuito di Figura P6.93, se la porta deve dissipare quattro volte la potenza dell'invertitore di riferimento di Figura 6.24(d)?
- 6.103** Quali debbono essere i rapporti W/L dei transistori nel circuito di Figura P6.87, se la porta deve dissipare un quarto della potenza dell'invertitore di riferimento di Figura 6.24(d)?

- **6.104** Per molti anni, grazie allo sviluppo delle tecnologie costruttive, le dimensioni dei dispositivi MOS sono state ridotte sempre di più, senza peraltro modificare

la tensione di alimentazione dei circuiti logici. Supponiamo che la larghezza W , la lunghezza L e lo spessore dell'ossido t_{ox} vengano tutti ridotti di un fattore due. Assumiamo inoltre che V_{TN} , v_{GS} e v_{DS} rimangano invariati. Calcolare il rapporto fra la corrente di drain del dispositivo prima e dopo la riduzione delle dimensioni. Come è cambiata la dissipazione di potenza?

6.12 Comportamento dinamico di porte NMOS

- **6.105** Al crescere delle dimensioni dei dispositivi, il carico capacitivo di ogni porta logica è determinato essenzialmente dalla capacità di gate delle porte logiche a valle. Assumendo che W sia molto grande, mostrare che τ_{PHL} e τ_{PLH} diventano indipendenti da W e sono entrambi proporzionali a (L^2/μ) , dove L è la lunghezza del canale. Questo risultato mostra l'importanza di avere una lunghezza di canale quanto più piccola possibile.

- 6.106** Una famiglia logica ha un prodotto ritardo-potenza di 100 fJ. Se una porta logica dissipa una potenza di 100 μ W, qual è il valore atteso del ritardo di propagazione?

- 6.107** Un microprocessore NMOS ad alta velocità ha un bus di indirizzi a 64 bit ed effettua un accesso in memoria ogni 50 ns. Assumiamo che tutti i bit di indirizzo cambino durante ogni accesso in memoria, e che ogni linea del bus rappresenti un carico capacitivo di 10 pF. (a) Quanta potenza viene dissipata dai circuiti che pilotano questi segnali, se la tensione di alimentazione è di 2.5 V? (b) 3.3 V?

- 6.108** Il grafico in Figura P6.108 mostra i risultati di una simulazione SPICE di un invertitore. (a) Quali sono i tempi di salita e di discesa per v_I e per v_O ? (b) Qual è il ritardo medio di propagazione per questa porta?

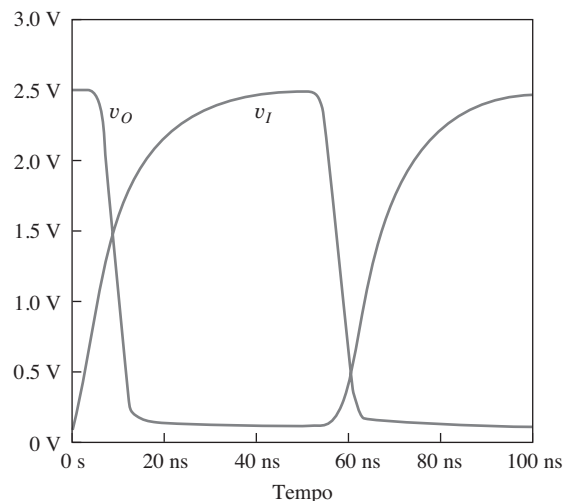


Figura P6.108

- 6.109** (a) La capacità di ingresso di una porta logica può essere scritta come $C_{in} = k_1 C_{GS} + k_2 C_{GD}$. Usare SPICE per ricavare k_1 e k_2 per una porta logica NMOS con carico resistivo. (b) Ripetere il calcolo per un circuito con carico a svuotamento.

Carico resistivo

6.110 Quali sono i tempi di salita, di discesa e il tempo medio di propagazione della porta NMOS di Figura 6.12(b) se la capacità di carico connessa all'uscita della porta è di 0.5 pF?

6.111 Quali sono i tempi di salita, di discesa e il ritardo medio di propagazione della porta NMOS di Figura 6.12(b) se la capacità di carico connessa all'uscita della porta è di 0.4 pF e la tensione di alimentazione è ridotta a 3.3 V?

Carico in saturazione

6.112 (a) Quali sono i tempi di salita, di discesa e il ritardo medio di propagazione della porta NMOS di Figura P6.112 se $C = 0.5$ pF e $V_{DD} = 2.5$ V?
(b) Ripetere il calcolo con $C = 0.3$ pF e $V_{DD} = 3.3$ V.

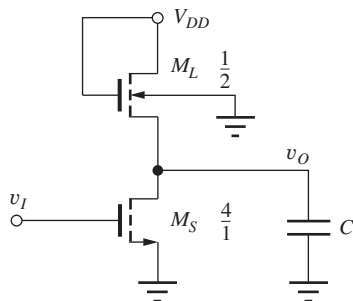


Figura P6.112

6.113 Progettare un invertitore NMOS con carico in saturazione ($V_{DD} = 2.5$ V, $V_L = 0.25$ V) che presenti un ritardo medio di propagazione di 2 ns con un carico capacitivo di 1 pF. Quanto vale la potenza statica dissipata dal dispositivo?

Carico in regione lineare

6.114 Quali sono i tempi di salita, di discesa e il tempo medio di propagazione della porta NMOS di Figura 6.24(c) se la capacità di carico connessa all'uscita della porta è di 0.7 pF?

6.115 Utilizzare SPICE per simulare il comportamento dell'invertitore NMOS con dispositivo di carico in regione lineare presentato in Figura 6.24(c). (a) Simulare la caratteristica di trasferimento. Stimare i tempi di salita i tempi di discesa e il ritardo medio di propagazione dell'invertitore usando un segnale di ingresso a onda quadra e $C = 0.15$ pF.

Carico a svuotamento

6.116 Quali devono essere le dimensioni dei dispositivi di un invertitore NMOS con carico a svuotamento, se deve pilotare una capacità di 1 pF con un ritardo medio di propagazione di 3 ns? Assumere $V_{DD} = 3.0$ V e $V_L = 0.25$ V. Quali sono i tempi di salita e di discesa per l'invertitore? Utilizzare $V_{TNL} = -3$ V ($\gamma = 0$).

6.117 Progettare un invertitore NMOS con carico a svuotamento ($V_{DD} = 3.3$ V, $V_L = 0.20$ V, $T_{NS} = 0.75$ V, $V_{TNL} = -2$ V, $\gamma = 0$) che presenti un ritardo medio di propagazione di 1 ns con un carico capacitivo di 0.2 pF. Quanto vale la potenza statica dissipata dal dispositivo?

Confronto dei dispositivi di carico

6.118 In Figura 6.42, i rapporti W/L dei dispositivi sono stati scelti in maniera da ottenere una corrente di $80 \mu\text{A}$ quando $v_O = V_L = 0.20$ V. Calcolare i valori del rapporto W/L dei dispositivi di carico utilizzati nei casi (a)-(h) mostrati in Figura 6.42, sapendo che il carico resistivo ha un valore di 28.8 k Ω .

Impatto della velocità di saturazione

6.119 (a) Ricalcolare i ritardi in Tabella 6.15 per l'invertitore NMOS con carico resistivo con $V_{SAT} = 1.0$ V. (b) Ripetere il calcolo per $V_{SAT} = 0.8$ V. [Suggerimento: Usare un foglio di calcolo o altro software per calcolare $v_C(t + \Delta t) = v_C(t) + i_C(t)\Delta t/C$ usando un passo temporale sufficientemente piccolo, ad esempio $\Delta t = 0.01$ ns, partendo dall'istante $t = 0$.]

6.120 (a) Ricalcolare i ritardi in Tabella 6.15 per l'invertitore NMOS con carico in saturazione con $V_{SAT} = 1.0$ V. (b) Ripetere il calcolo per $V_{SAT} = 0.8$ V. [Vedere il suggerimento del Problema 6.119]

6.121 (a) Ricalcolare i ritardi in Tabella 6.15 per l'invertitore pseudo NMOS con $V_{SAT} = 1.0$ V. (b) Ripetere il calcolo per $V_{SAT} = 0.8$ V. [Vedere il suggerimento del Problema 6.119]

6.13 Logica PMOS

6.122 Progettare cinque porte logiche PMOS simili a quelle in Figura 6.24, riscalandi i rapporti W/L in figura assumendo che $K'_p = 40 \mu\text{A}/\text{V}^2$.

6.123 Progettare i transistori dell'invertitore in Figura P6.123 in maniera tale che $V_H = -0.33$ V e che la potenza dissipata sia 0.1 mW. Usare i valori della Tabella 6.5.

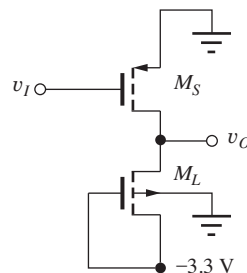


Figura P6.123

6.124 Quanto valgono V_H e V_L per l'invertitore di Figura P6.124? Si usino i valori della Tabella 6.5.

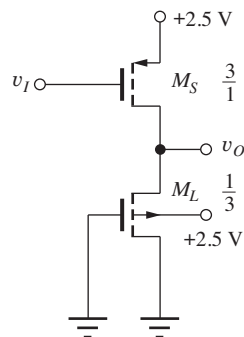


Figura P6.124

6.125 Quale funzione logica è vista alla porta Y del circuito in Figura P6.125.

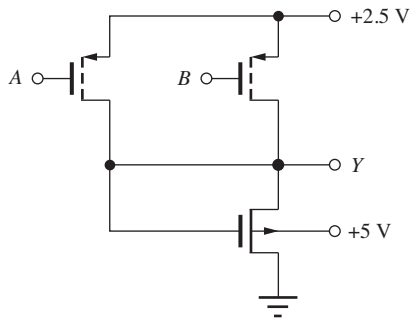


Figura P6.125

6.126 Quale funzione logica è vista alla porta Y del circuito in Figura P6.126.

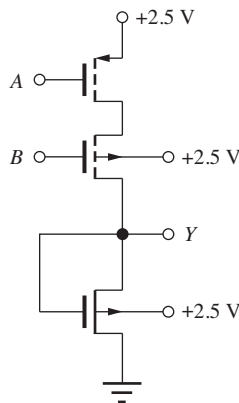


Figura P6.126

6.127 Quando valgono V_L e V_H per l'invertitore di Figura P6.127?

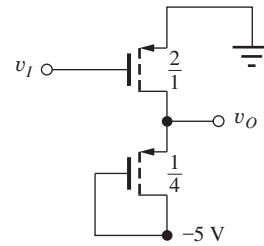


Figura P6.127

6.128 Simulare la caratteristica di trasferimento per la porta logica PMOS di Figura P6.123 e confrontare i risultati con quelli del ottenuti per il Problema 6.123.

6.129 Simulare la caratteristica di trasferimento per la porta logica PMOS di Figura P6.127 e confrontare i risultati con quelli del ottenuti per il Problema 6.127.

6.130 Simulare il ritardo della porta logica PMOS di Figura P6.123 quando l'uscita è collegata ad una capacità $C = 1$ pF e ricavare i tempi di salita, di discesa e i ritardi di propagazione.

6.131 Simulare il ritardo della porta logica PMOS di Figura P6.126 quando l'uscita è collegata ad una capacità $C = 1$ pF e ricavare i tempi di salita, di discesa e i ritardi di propagazione.

Capitolo 7

Riepilogo

- **Invertitore CMOS.** In questo capitolo abbiamo discusso il progetto di circuiti logici in tecnologia CMOS, iniziando con il progetto dell'invertitore di riferimento. La caratteristica di trasferimento dell'invertitore CMOS è quasi indipendente dalla tensione di alimentazione e i margini di rumore di un invertitore simmetrico si avvicinano a metà della tensione di alimentazione. Il progetto dei rapporti W/L dei transistori in una porta CMOS è determinato principalmente dai parametri K'_n, V_{TN}, K'_p e V_{TP} , oltre che dalla capacità totale di carico C .
- **Porte logiche CMOS.** Nella logica CMOS, ogni porta contiene sia un interruttore NMOS sia un interruttore PMOS, e ogni ingresso logico è collegato almeno a un transistor NMOS e a un transistor PMOS. Le porte NAND, NOR e i circuiti logici più complessi possono essere tutti costruiti a partire dall'invertitore di riferimento, seguendo un procedimento simile a quello introdotto nel Capitolo 6. Come nel caso dei circuiti NMOS, circuiti logici complessi possono implementare funzioni logiche espresse come somma di prodotti. Al contrario della logica NMOS, che presentava tempi di salita e di discesa fortemente asimmetrici, è facile progettare invertitori simmetrici, per i quali i tempi t_f e t_r sono uguali; in questo caso è tuttavia necessario pagare una penalità in termini di area occupata dal circuito. Nel capitolo sono stati presentati esempi di circuiti logici basati sull'invertitore CMOS.
- **Effetto body.** L'effetto body ha una influenza minore nei circuiti CMOS rispetto ai circuiti NMOS, in quanto in una porta CMOS le tensioni source-bulk di tutti i transistori sono nulle in condizioni stazionarie. Tuttavia, le tensioni source-bulk non sono nulle durante la commutazione e l'effetto body porta a un peggioramento del tempo di salita, del tempo di discesa e del ritardo di propagazione.
- **Dissipazione di potenza dinamica e prodotto ritardo-potenza.** Trascurando le applicazioni a bassissimo consumo, la dissipazione di potenza di circuiti CMOS è determinata dall'energia necessaria per caricare e scaricare la capacità equivalente del carico alla frequenza di operazione richiesta. È stata presentata una semplice formula per il calcolo del prodotto ritardo-potenza di un circuito CMOS. Per una certa capacità del carico, la potenza e il ritardo di una porta CMOS possono essere aumentati o ridotti semplicemente modificando i rapporti W/L dei transistori NMOS e PMOS.
- **Dissipazione di potenza statica.** Per applicazione a basso consumo, in particolare quando la durata della batteria è importante, la corrente di perdita (*leakage*) può rappresentare un importante contributo alla dissipazione di potenza del circuito. I consumi legati a questa corrente rappresentano il valore minimo del consumo in potenza di un circuito CMOS.
- **Corrente di corto-circuito.** Durante la commutazione di una porta logica CMOS, un passaggio impulsivo di corrente si verifica tra i terminali di alimentazione. Questa corrente contribuisce alla potenza dissipata da una porta CMOS e può rappresentare tra il 20% e il 30% della potenza dissipata caricando e scaricando la capacità di carico.
- **Circuiti di buffer.** I circuiti di buffer sono utilizzati per minimizzare i ritardi di propagazione che si avrebbero pilotando carichi capacitivi molto grandi. Sono molto utilizzati, per esempio, nei driver delle wordline e quando è necessario collegare lunghe linee d'interconnessione in un bus dati all'interno di un microprocessore.
- **Registri.** Sono stati introdotti elementi di memoria bistabili, basati sul collegamento incrociato di due invertitori. I flip-flop utilizzano i due stati stabili per memorizzare un dato binario; sono stati discussi i flip-flop RS, i flip-flop D latch e i flip-flop master-slave.
- **Porta di trasmissione CMOS.** La porta di trasmissione CMOS rappresenta un collegamento resistivo bidirezionale che utilizza una connessione in parallelo di un transistor NMOS e di un transistor PMOS. In conduzione, la porta fornisce un collegamento a bassa resistenza tra i terminali di ingresso e uscita sull'intero intervallo di tensioni considerato. Questo circuito, ampiamente usato anche nei multiplexer analogici, sarà usato nell'implementazione del flip-flop D latch e del flip-flop master-slave.
- **Latchup.** Il latchup è un fenomeno potenzialmente distruttivo che può verificarsi nei CMOS ed è causato dall'esistenza nella struttura CMOS di transistori bipolari parassiti *npn* e *pnp*. È stato presentato un modello per questo effetto, che è stato usato per simulare il latchup in un invertitore CMOS. Substrati speciali e tecniche di progetto *ad hoc* sono utilizzate nelle moderne tecnologie CMOS per minimizzare la possibilità che questo fenomeno si verifichi.

Problemi

Salvo diversa indicazione utilizzare i valori seguenti: $K'_n = 100 \mu\text{A}/\text{V}^2$, $K'_p = 40 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.6 \text{ V}$ e $V_{TP} = -0.6 \text{ V}$.

Per le simulazioni usare i valori in Appendice B.

7.1 Tecnologia dell'invertitore CMOS

- 7.1** Calcolare i valori di K'_n e di K'_p per transistori NMOS e PMOS con uno spessore di ossido di gate di 10 nm e 5 nm. Assumere $\mu_n = 500 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\mu_p = 200 \text{ cm}^2/(\text{V} \cdot \text{s})$. La permittività relativa dell'ossido di gate è 3.9 ($\epsilon_0 = 88.5 \text{ fF}/\text{cm}$).
- 7.2** Disegnare una sezione simile a quella di Figura 7.1 per un processo CMOS che utilizza una tecnologia *p*-well, invece che *n*-well. Mostrare le interconnessioni necessarie per realizzare un invertitore CMOS, e disegnare lo schema del circuito elettrico corrispondente. [Suggerimento: Iniziare con un substrato di tipo *n* e scambiare fra di loro i drogaggi di tutte le regioni *n* e *p*.]
- *7.3** (a) La *n*-well in un processo CMOS ricopre un'area di $1 \text{ cm} \times 0.5 \text{ cm}$, e la densità di corrente di saturazione inversa è $500 \text{ pA}/\text{cm}^2$. Qual è la corrente totale (*leakage*) che fluisce attraverso la giunzione inversamente polarizzata fra well e substrato? (b) Supponiamo che le aree relative alle regioni di source e di drain dei transistori NMOS e PMOS siano pari a $2 \mu\text{m} \times 5 \mu\text{m}$, e che la densità di corrente di saturazione inversa delle giunzioni fra drain/source e body sia $100 \text{ pA}/\text{cm}^2$. Se il chip è composto da 20 milioni di invertitori, qual è la corrente totale di leakage dovuta alle giunzioni inversamente polarizzate, per $v_O = 2.5 \text{ V}$? Assumere $V_{DD} = 2.5 \text{ V}$. (c) Qual è la corrente totale di leakage dovuta alle giunzioni inversamente polarizzate, per $v_O = 0 \text{ V}$?
- *7.4** Una specifica interconnessione tra due porte logiche in un circuito integrato si estende per metà della lunghezza del chip, la quale è pari a 10 mm. Se la linea è larga $1 \mu\text{m}$ e l'ossido ($\epsilon_r = 3.9$, $\epsilon_0 = 8.854 \times 10^{-14} \text{ F}/\text{cm}$) sotto la linea è spesso $1 \mu\text{m}$, quando vale la capacità totale della linea, assumendo che la capacità sia tre volte quella prevista dalla formula del condensatore a piatti piani e paralleli? Si assuma che il silicio sotto l'ossido costituisca un piano conduttivo verso ground.
- 7.5** L'invertitore CMOS in Figura P7.5 ha $V_{DD} = 2.5 \text{ V}$ e $V_{SS} = 0 \text{ V}$. (a) Quanto valgono V_H e V_L ? (b) Si ripeta il calcolo per $V_{DD} = 1.8 \text{ V}$. (c) Si ripeta il calcolo per $V_{DD} = 1 \text{ V}$ e $-V_{SS} = -1 \text{ V}$.
- 7.6** L'invertitore CMOS in Figura P7.5 ha $V_{DD} = 3.3 \text{ V}$, $V_{SS} = 0 \text{ V}$, $(W/L)_N = 4/1$ e $(W/L)_P = 10/1$. (a) Quanto valgono V_H e V_L ? (b) Si ripeta il calcolo per $(W/L)_N = 6/1$ e $(W/L)_P = 15/1$.

Le soluzioni si trovano sul sito web dedicato al libro

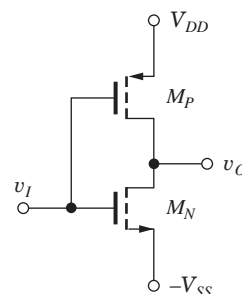


Figura P7.5

- 7.7** L'invertitore CMOS in Figura P7.5 ha $V_{DD} = 2.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $(W/L)_N = 4/1$ e $(W/L)_P = 10/1$. (a) Quanto valgono V_H e V_L ? (b) Si ripeta il calcolo per $(W/L)_N = 4/1$ e $(W/L)_P = 4/1$.
- 7.8** L'invertitore CMOS in Figura P7.5 ha $V_{DD} = 1.8 \text{ V}$ e $V_{SS} = 0 \text{ V}$. Se $V_{TN} = 0.45 \text{ V}$ e $V_{TP} = -0.45 \text{ V}$, quali sono le regioni di operazione del transistorore se (a) $V_I = V_L$? (b) $V_I = V_H$? (c) $V_I = V_O = 1.65 \text{ V}$?
- 7.9** L'invertitore CMOS in Figura P7.5 ha $V_{DD} = 2.5 \text{ V}$ e $V_{SS} = 0 \text{ V}$. Se $V_{TN} = 0.60 \text{ V}$ e $V_{TP} = -0.60 \text{ V}$, quali sono le regioni di operazione del transistorore se (a) $V_I = V_L$? (b) $V_I = V_H$? (c) $V_I = V_O = 1.25 \text{ V}$?
- 7.10** (a) Calcolare la tensione per cui $v_O = v_I$ per un invertitore CMOS con $K_n = K_p$. [Suggerimento: si ricordi sempre che $i_{DN} = i_{DP}$]. Assumere $V_{DD} = 2.5 \text{ V}$, $V_{TN} = 0.6 \text{ V}$, $V_{TP} = -0.6 \text{ V}$. (b) Quanto vale la corrente I_{DD} assorbita dall'alimentazione quando $v_O = V_I$ se $(W/L)_N = 2/1$? (c) Ripetere il calcolo del punto (a) per un invertitore CMOS con $K_n = 2.5K_p$. (d) Quanto vale la corrente I_{DD} assorbita dall'alimentazione quando $v_O = V_I$ se $(W/L)_N = 2/1$?
- 7.11** (a) Si ripeta il Problema 7.10 assumendo $V_{DD} = 3.3 \text{ V}$, $V_{TN} = 0.75 \text{ V}$ e $V_{TP} = -0.75 \text{ V}$. (b) Si ripeta il Problema 7.10 assumendo $V_{DD} = 2.5 \text{ V}$, $V_{TN} = 0.60 \text{ V}$ e $V_{TP} = -0.50 \text{ V}$.
- 7.12** (a) Si ripeta il Problema 7.10 assumendo $V_{DD} = 1.8 \text{ V}$, $V_{TN} = 0.45 \text{ V}$ e $V_{TP} = -0.45 \text{ V}$. (b) Si ripeta il Problema 7.10 assumendo $V_{DD} = 2.5 \text{ V}$, $V_{TN} = 0.75 \text{ V}$ e $V_{TP} = -0.65 \text{ V}$. (c) Si ripeta il Problema 7.10 assumendo $V_{DD} = 2.5 \text{ V}$, $V_{TN} = 0.65 \text{ V}$ e $V_{TP} = -0.75 \text{ V}$.

7.2 Caratteristiche statiche dell'invertitore CMOS

- 7.13** Simulare la caratteristica di trasferimento per un invertitore CMOS con $K_n = 2.5K_p$. Trovare il valore della tensione di ingresso per cui $v_O = v_I$, e confrontare il risultato con il valore calcolato teoricamente.



- 7.14** La porta logica in Figura P7.148 viene chiamata pseudo-NMOS. Calcolare i valori di V_H e di V_L .

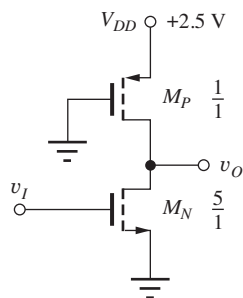


Figura P7.14

- 7.15** Quanto vale la soglia di commutazione (dove $v_I = v_O$) di un invertitore di dimensione minima in cui entrambi i rapporti W/L valgono $2/1$ quando $V_{DD} = 2.5$ V e $V_{TN} = -V_{TP} = 0.6$ V?
- 7.16** Quanto vale la soglia di commutazione (dove $v_I = v_O$) di un invertitore di dimensione minima in cui entrambi i rapporti W/L valgono $2/1$ quando $V_{DD} = 1.8$ V e $V_{TN} = -V_{TP} = 0.45$ V?
- 7.17** Quali sono i margini di rumore per un invertitore CMOS con dispositivi a dimensione minima, in cui i rapporti W/L per entrambi i transistori sono $2/1$? Assumere $V_{DD} = 2.5$ V, $V_{TN} = -V_{TP} = 0.6$ V.
- 7.18** (a) Quali sono i margini di rumore per un invertitore CMOS simmetrico, per $V_{DD} = 3.3$ V, $V_{TN} = -V_{TP} = 0.75$ V? (b) Quali sono i margini di rumore per un invertitore CMOS caratterizzato da $(W/L)_N = (W/L)_P$, per $V_{DD} = 3.3$ V, $V_{TN} = -V_{TP} = 0.75$ V?
- 7.19** Le uscite di due invertitori CMOS vengono accidentalmente poste in cortocircuito fra loro, come mostrato in Figura P7.19. Qual è la tensione al nodo comune di uscita se i transistori NMOS e PMOS hanno rapporti W/L di $20/1$ e di $40/1$, rispettivamente? Qual è la corrente assorbita dal circuito?

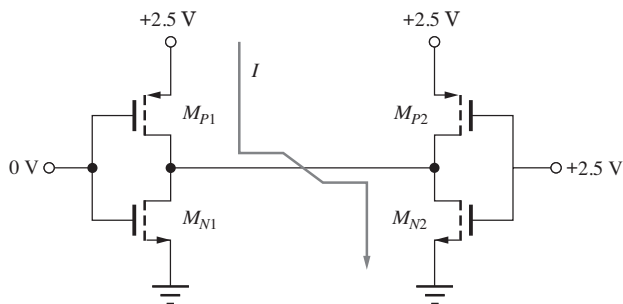


Figura P7.19

- **7.20** Un invertitore CMOS deve essere progettato in modo tale da poter pilotare un singolo invertitore TTL (che sarà studiato in un prossimo capitolo). Per $v_O = V_L$, l'invertitore CMOS deve assorbire una corrente di 1.5 mA, garantendo una V_L di 0.6 V. Per $v_O = V_H$, l'invertitore CMOS deve erogare una corrente di 60 μ A, garantendo $V_H = 2.4$ V. Quali sono i valori minimi di W/L dei transistori NMOS e PMOS tali da soddisfare le specifiche assegnate? Assumere $V_{DD} = 5$ V.

7.3 Comportamento dinamico dell'invertitore CMOS

- 7.21** Quali sono i tempi di salita, di discesa e il ritardo di propagazione per un invertitore CMOS con dispositivi a dimensione minima, in cui i rapporti W/L per entrambi i transistori sono pari a $2/1$? Assumere una capacità di carico di 0.5 pF e $V_{DD} = 2.5$ V.
- 7.22** Quali devono essere le dimensioni dei transistori in un invertitore CMOS che deve pilotare una capacità di 1 pF con un ritardo medio di propagazione di 3 ns? Progettare l'invertitore con tempi di salita e di discesa uguali. Assumere $V_{DD} = 2.5$ V, $V_{TN} = -V_{TP} = 0.6$ V.
- 7.23** Progettare un invertitore CMOS simmetrico, che presenti un ritardo di 1 ns nel pilotare un carico di 10 pF. (a) Assumere $V_{DD} = 2.5$ V. (b) Assumere $V_{DD} = 1.8$ V, $V_{TN} = -V_{TP} = 0.45$ V.
- *7.24** Utilizzare SPICE per determinare le caratteristiche dell'invertitore CMOS di Figura 7.12, con $C = 100$ fF. (a) Simulare la caratteristica di trasferimento. (b) Determinare t_r , t_f , τ_{PHL} e τ_{PLH} per un ingresso a onda quadra. Utilizzando le formule teoriche riportate nel testo, qual è la capacità di carico equivalente?
- **7.25** Utilizzare SPICE per simulare il comportamento di cinque invertitori CMOS, come quelli di Figura 7.13(b), collegati in cascata. L'ingresso al primo invertitore è un'onda quadra con tempi di salita e di discesa di 0.1 ns e un periodo di 100 ns. Si ipotizzi $C_L = 100$ fF. (a) Determinare t_r , t_f , τ_{PHL} e τ_{PLH} utilizzando le forme d'onda di ingresso e di uscita del primo invertitore, e confrontare i risultati numerici con le formule sviluppate nel testo. (b) Determinare t_r , t_f , τ_{PHL} e τ_{PLH} utilizzando le forme d'onda di ingresso e di uscita del quarto invertitore, e confrontare i risultati numerici con le formule sviluppate nel testo. (c) Discutere le differenze fra i risultati ottenuti ai punti (a) e (b).

Effetto della saturazione della velocità

- 7.26** (a) Aggiungere delle righe nella Tabella 7.3 per $V_{SAT} = 1.25$ V e 0.75 V. [Suggerimento: usare un foglio di calcolo o altro software per risolvere l'equazione differenziale che descrive la scarica del condensatore in Figura 7.10.] (b) Ridimensionare i transistori nell'invertitore nei due casi in (a) per mantenere lo stesso ritardo dell'invertitore con $V_{SAT} \rightarrow \infty$.
- 7.27** Ridimensionare i transistori in Figura 7.20 in base al caso con velocità di saturazione di 1 V in Tabella 7.3 per ottenere lo stesso ritardo di propagazione del caso non saturato.
- 7.28** Ridimensionare i transistori in Figura 7.22 in base al caso con velocità di saturazione di 1 V in Tabella 7.3 per ottenere lo stesso ritardo di propagazione del caso non saturato.
- 7.29** Ridimensionare i transistori in Figura 7.27 in base al caso con velocità di saturazione di 1 V in Tabella 7.3 per un ritardo di propagazione del pari ad un terzo di quello che si ha nel caso non saturato con $C = 0.3$ pF.

7.4 Dissipazione di potenza statica e dinamica in logiche CMOS. Prodotto ritardo-potenza

- 7.30** Un circuito integrato CMOS, opportunamente incapsulato, può dissipare una potenza massima di 5 W. Supponiamo di aver sviluppato il progetto di un circuito che deve essere integrato in un singolo chip ed è composto da dieci milioni di porte logiche. Qual è la potenza media che può essere dissipata da ogni porta logica sul chip? Se ogni porta logica deve commutare a una frequenza di 100 MHz, qual è la il massimo carico capacitivo per ogni porta logica, assumendo $V_{DD} = 5$ V? Qual è il massimo carico capacitivo per $V_{DD} = 3.3$ V, 2.5 V e 1.8 V?
- 7.31** Il progetto di un microprocessore CMOS di elevate prestazioni richiede 500 milioni di porte logiche. Il chip verrà incapsulato in un contenitore in grado di dissipare 100 W. (a) Qual è la potenza media che può essere dissipata da ogni porta logica sul chip? (b) Se la tensione di alimentazione è 1.8 V, qual è la corrente media assorbita dal chip?
- 7.32** Un microprocessore CMOS ad alta velocità contiene un bus di indirizzi a 64 bit ed effettua un accesso in memoria ogni 2 ns. Assumiamo che tutti i bit di indirizzo cambino durante ogni accesso in memoria, e che ogni linea del bus rappresenti un carico capacitivo di 25 pF. (a) Quanta potenza viene dissipata dai circuiti che pilotano questi segnali, se la tensione di alimentazione è di 2.5 V? (b) Ripetere il calcolo per 3.3 V di alimentazione.
- *7.33** (a) Un invertitore CMOS presenta $(W/L)_N = 15/1$, $(W/L)_P = 15/1$ e $V_{DD} = 3.3$ V. Qual è la corrente di picco che può fluire nella porta logica? Per quale valore di tensione di ingresso si ha il passaggio della massima corrente? (b) Ripetere i calcoli per $V_{DD} = 2.5$ V.
- *7.34** (a) Un invertitore CMOS ha $(W/L)_N = 2/1$, $(W/L)_P = 5/1$ e $V_{DD} = 3.3$ V. Assumere $V_{TN} = -V_{TP} = 0.8$ V. Qual è la corrente di picco che può fluire nella porta logica? Per quale valore di tensione di ingresso si ha il passaggio della massima corrente? (b) Ripetere i calcoli per $V_{DD} = 2.0$ V e $V_{TN} = -V_{TP} = 0.5$ V.
- 7.35** Riportare in un grafico la caratteristica ritardo-potenza, per una famiglia CMOS basata su di un invertitore progettato con $(W/L)_N = (W/L)_P$. Assumere una capacità di carico $C = 0.2$ pF. Utilizzare $V_{DD} = 2.5$ V e variare la potenza cambiando i rapporti W/L .
- **7.36** Il progressivo miglioramento dei processi di fabbricazione consente di ridurre sempre di più le dimensioni dei dispositivi MOS (*scaling*). Nello *scaling* ideale a campo elettrico costante, vengono ridotte tutte le dimensioni orizzontali e verticali dei dispositivi di uno stesso fattore α , così come vengono ridotte dello stesso fattore le tensioni di soglia dei transistori MOS e la tensione di alimentazione del circuito. Assumendo che la capacità C nell'Equazione (7.28) sia proporzionale alla capacità totale di gate del transistor MOS: $C = C'_{ox} WL$, si mostri che lo *scaling* a campo costante determina una riduzione di un fattore α^3 del prodotto ritardo-potenza.
- **7.37** Per molti anni, le dimensioni dei dispositivi MOS sono state ridotte sempre di più a seguito del progressivo miglioramento della tecnologia costruttiva, senza modificare la tensione di alimentazione dei circuiti logici. Assumendo che la capacità C nell'Equazione (7.28) sia proporzionale alla capacità totale di gate del transistor MOS: $C = C'_{ox} WL$, si mostri che questo *scaling* geometrico determina una riduzione di un fattore α del prodotto ritardo-potenza.
- **7.38** Utilizzare SPICE per simulare il comportamento di una cascata di cinque invertitori CMOS, simili a quello riportato in Figura 7.12, con $C = 0.25$ pF. L'ingresso del primo invertitore è un'onda quadra con tempi di salita e di discesa di 0.1 ns e un periodo di 30 ns. (a) Determinare t_r , t_f , τ_{PHL} e τ_{PLH} utilizzando le forme d'onda di ingresso e di uscita del primo invertitore, e confrontare i risultati numerici con le formule sviluppate nel testo. (b) Determinare t_r , t_f , τ_{PHL} e τ_{PLH} utilizzando le forme d'onda di ingresso e di uscita del quarto invertitore, e confrontare i risultati numerici con le formule sviluppate nel testo. (c) Discutere le differenze fra i risultati ottenuti ai punti (a) e (b).
- **7.39** Utilizzare SPICE per simulare il comportamento di una cascata di cinque invertitori CMOS, simili a quello riportato in Figura 7.12, con $C = 1$ pF. L'ingresso del primo invertitore è un'onda quadra con tempi di salita e di discesa di 0.1 ns e un periodo di 40 ns. (a) t_r , t_f , τ_{PHL} e τ_{PLH} utilizzando le forme d'onda di ingresso e di uscita del quarto invertitore, e confrontare i risultati numerici con le formule sviluppate nel testo. (b) Ripetere la simulazione per $(W/L)_P = (W/L)_N = 2/1$ e confrontare i risultati con quelli ottenuti al punto (a).

7.5 Porte NOR e NAND CMOS

- 7.40** Disegnare lo schema di una porta NOR a quattro ingressi. Quali sono i rapporti W/L di tutti i transistori, basandosi sull'invertitore di riferimento di Figura 7.12? Quali devono essere i rapporti W/L se la porta NOR deve pilotare una capacità di carico doppia, con lo stesso tempo di ritardo dell'invertitore di riferimento?
- 7.41** (a) Disegnare lo schema di una porta NAND a quattro ingressi. Quali sono i rapporti W/L di tutti i transistori, basandosi sull'invertitore di riferimento di Figura 7.25? Quali devono essere i rapporti W/L se la porta NAND deve pilotare una capacità di carico doppia, con lo stesso tempo di ritardo dell'invertitore di riferimento?
- **7.42** Utilizzare SPICE per determinare le caratteristiche della porta NOR CMOS a due ingressi mostrata in Figura 7.21, con una capacità di carico di 1 pF. Assumere $\gamma = 0$ per tutti i transistori. (a) Simulare la caratteristica di trasferimento, variando la tensione all'ingresso A con una tensione fissa di 0 V all'ingresso B. (b) Ripetere la simulazione del punto (a), variando questa volta la tensione all'ingresso B, con una tensione fissa di 0 V all'ingresso A. Riportare in un grafico i risultati delle due simulazioni e confrontarli

fra loro. (c) Valutare t_r , t_f , τ_{PHL} e τ_{PLH} applicando un segnale a onda quadra all'ingresso A, mantenendo la tensione all'ingresso B fissa a 0 V. (d) Valutare t_r , t_f , τ_{PHL} e τ_{PLH} applicando un segnale a onda quadra all'ingresso B, mantenendo la tensione all'ingresso A fissa a 0 V. (e) Confrontare i risultati ottenuti ai punti (c) e (d). (f) Valutare t_r , t_f , τ_{PHL} e τ_{PLH} applicando uno stesso segnale a onda quadra a entrambi gli ingressi A e B. Confrontare i risultati con quelli ottenuti in (c) e in (d).

****7.43** Ripetere i punti (a) e (b) del Problema 7.42, utilizzando per il parametro γ il valore, diverso da zero, riportato in Appendice B.

****7.44** Utilizzare SPICE per determinare le caratteristiche della porta NAND CMOS a due ingressi mostrata in Figura 7.24, con una capacità di carico di 1 pF. Assumere $\gamma = 0$ per tutti i transistori. (a) Simulare la caratteristica di trasferimento, variando la tensione all'ingresso A con una tensione fissa di 2.5 V all'ingresso B. (b) Ripetere la simulazione del punto (a), variando questa volta la tensione all'ingresso B, con una tensione fissa di 2.5 V all'ingresso A. Riportare in un grafico i risultati delle due simulazioni e confrontarli fra loro. (c) Valutare t_r , t_f , τ_{PHL} e τ_{PLH} applicando un segnale a onda quadra all'ingresso A, mantenendo la tensione all'ingresso B fissa a 2.5 V. (d) Valutare t_r , t_f , τ_{PHL} e τ_{PLH} applicando un segnale a onda quadra all'ingresso B, mantenendo la tensione all'ingresso A fissa a 5 V. (e) Confrontare i risultati ottenuti ai punti (c) e (d). (f) Valutare t_r , t_f , τ_{PHL} e τ_{PLH} applicando uno stesso segnale a onda quadra a entrambi gli ingressi A e B. Confrontare i risultati con quelli ottenuti in (c) e in (d).

****7.45** Ripetere i punti (a) e (b) del Problema 7.44, utilizzando per il parametro γ il valore, diverso da zero, riportato in Appendice B.

7.6 Porte logiche CMOS complesse

7.46 Quali sono i tempi di salita e di discesa e il ritardo di propagazione, nel caso peggiore, per la porta CMOS in Figura 7.29, per una capacità di carico di 1.25 pF?

****7.47** (a) Quanti dispositivi sono necessari per implementare in logica NMOS con carico a svuotamento la porta mostrata in Figura 7.32? (b) Confrontare l'area totale di gate delle realizzazioni in logica CMOS e NMOS, ipotizzando che i due circuiti devono essere in grado di pilotare una capacità di carico di 1 pF con un ritardo medio di propagazione di 10 ns.

7.48 (a) Qual è la funzione logica realizzata dal circuito di Figura P7.48? (b) Progettare la rete di transistori PMOS. Definire le dimensioni di tutti i dispositivi, sia NMOS che PMOS, in modo da ottenere un ritardo uguale a quello dell'invertitore CMOS di riferimento. C rimane lo stesso. (c) Quanto vale il rapporto W/L equivalente per la rete di transistori NMOS quando tutti i transistori NMOS sono on? (d) Ripetere i calcoli per la rete PMOS.

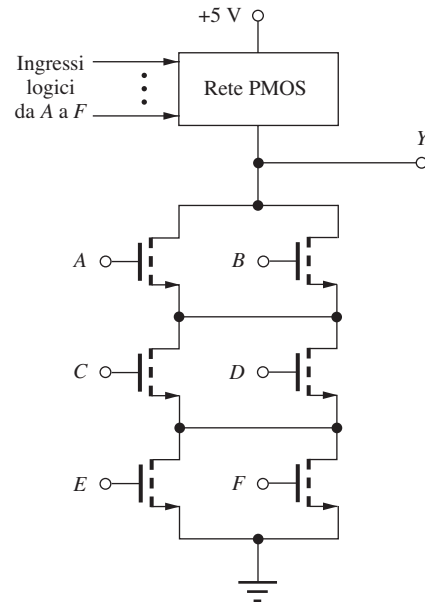


Figura P7.48

7.49 (a) Qual è la funzione logica realizzata dal circuito di Figura P7.49? (b) Progettare la rete di transistori PMOS. Definire le dimensioni di tutti i dispositivi, sia NMOS che PMOS, in modo da ottenere un ritardo uguale a metà di quello dell'invertitore CMOS di riferimento. C rimane lo stesso. (c) Quanto vale il rapporto W/L equivalente per la rete di transistori NMOS quando tutti i transistori NMOS sono on? (d) Ripetere i calcoli per la rete PMOS.

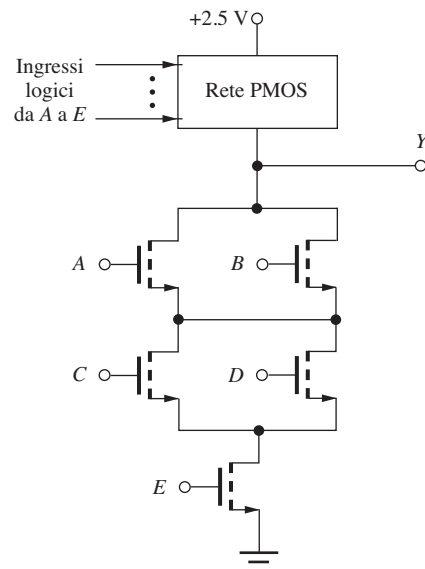


Figura P7.49

7.50 (a) Qual è la funzione logica realizzata dal circuito di Figura P7.50? (b) Progettare la rete di transistori PMOS. Definire le dimensioni di tutti i dispositivi, sia NMOS che PMOS, in modo da ottenere un ritardo pari alla metà di quello dell'invertitore CMOS di riferimento. C rimane lo stesso. (c) Quanto vale il rapporto W/L equivalente per la rete di transistori NMOS quando tutti i transistori NMOS sono on? (d) Ripetere i calcoli per la rete PMOS.

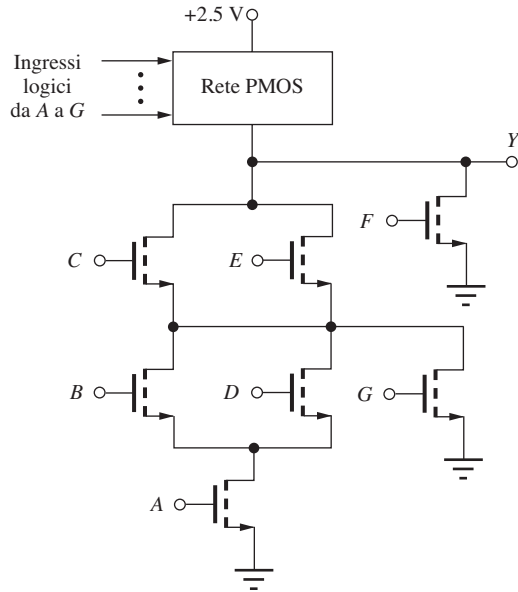


Figura P7.50

- 7.51** (a) Qual è la funzione logica realizzata dal circuito di Figura P7.51? (b) Progettare la rete di transistori NMOS. Definire le dimensioni di tutti i dispositivi, sia NMOS che PMOS, in modo da ottenere un ritardo uguale a quello dell'invertitore CMOS di riferimento. C rimane lo stesso. (c) Quanto vale il rapporto W/L equivalente per la rete di transistori PMOS quando tutti i transistori PMOS sono on? (d) Ripetere i calcoli per la rete NMOS.

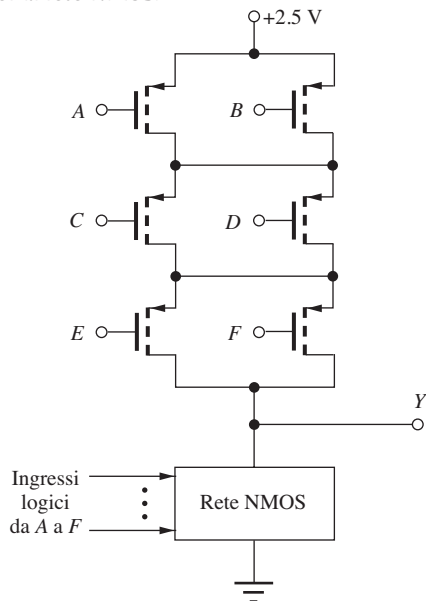


Figura P7.51

- 7.52** (a) Qual è la funzione logica implementata dal circuito di Figura P7.52? (b) Progettare la rete di transistori NMOS. Definire le dimensioni di tutti i dispositivi, sia NMOS che PMOS, in modo da ottenere un ritardo pari a un terzo di quello dell'invertitore CMOS di riferimento. C rimane lo stesso. (c) Quanto vale il rapporto W/L equivalente per la rete di transistori PMOS quando tutti i transistori PMOS sono on? (d) Ripetere i calcoli per la rete NMOS.

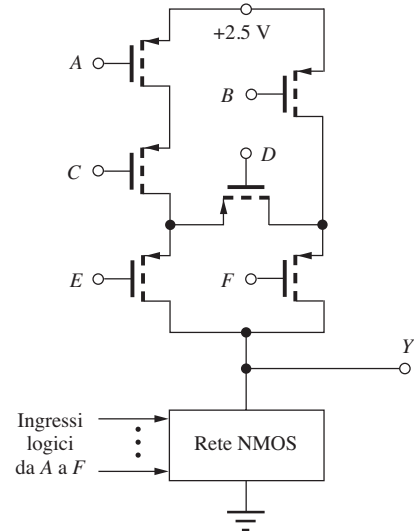


Figura P7.52

- 7.53** Disegnare il diagramma logico e l'implementazione con transistori della porta AOI (2-3-1). Utilizzare un approccio grafico per progettare la rete PMOS. Scegliere le dimensioni dei transistori in base all'invertitore di riferimento in Figura 7.12.
- 7.54** Disegnare il diagramma logico e l'implementazione con transistori della porta AOI (3-2-3-1). Utilizzare un approccio grafico per progettare la rete PMOS. Scegliere le dimensioni dei transistori in base all'invertitore di riferimento in Figura 7.12.
- 7.55** Progettare una porta logica CMOS che realizzi la funzione $Y = ABC + DE$, basandosi sull'invertitore CMOS di riferimento. Definire le dimensioni di tutti i transistori, in modo da ottenere lo stesso ritardo dell'invertitore CMOS di riferimento, a parità di capacità di carico.
- 7.56** Progettare una porta logica CMOS che realizzi la funzione $Y = \overline{A(B + C(D + E))}$, basandosi sull'invertitore CMOS di riferimento. Definire le dimensioni di tutti i transistori, in modo da ottenere lo stesso ritardo dell'invertitore CMOS di riferimento, a parità di capacità di carico.
- 7.57** Progettare una porta logica CMOS che realizzi la funzione $Y = \overline{A(BC + DE)}$. Definire le dimensioni di tutti i transistori, in modo da avere, con una capacità di carico doppia, un ritardo pari alla metà di quello dell'invertitore CMOS di riferimento.
- 7.58** Progettare una porta logica CMOS che realizzi la funzione $Y = \overline{A(B + CD)} + E$. Definire le dimensioni di tutti i transistori, in modo da ottenere, con una capacità di carico quattro volte maggiore, lo stesso ritardo dell'invertitore CMOS di riferimento.

7.7 Progetto e prestazioni di porte logiche ad area minima

- 7.59** La porta NOR a tre ingressi di Figura 7.23 è realizzata con transistori aventi $W/L = 2/1$. Qual è il ritardo di propagazione con una capacità di carico $C = 400$ fF? Assumere $V_{DD} = 2.5$ V. Qual è il ritardo dell'invertitore di riferimento per $C = 400$ fF?

7.60 La porta NAND a cinque ingressi di Figura 7.26 è realizzata con transistori aventi $W/L = 2/1$. Qual è il ritardo di propagazione con una capacità di carico $C = 180$ fF? Assumere $V_{DD} = 2.5$ V. Qual è il ritardo dell'invertitore di riferimento per $C = 180$ fF?

7.61 Quali sono i valori, nel caso peggiore, di τ_{PHL} e di τ_{PLH} per la porta logica di Figura 7.31, se il circuito è realizzato con dispositivi aventi $W/L = 2/1$, e con una capacità di carico di 500 nF? Assumere $V_{DD} = 2.5$ V.

7.62 Qual è il valore, nel caso peggiore, di τ_{PHL} per la porta logica di Figura P7.37, se il circuito è realizzato con dispositivi aventi $W/L = 2/1$, e con una capacità di carico di 500 nF? Assumere $V_{DD} = 2.5$ V.

7.63 (a) Si valuti il ritardo medio di propagazione per una cascata di 10 invertitori ad area minima (tutti i dispositivi hanno $W/L = 2/1$), effettuando una simulazione in regime transitorio con SPICE. Assumere per ogni invertitore un carico capacitivo di 200 fF e $V_{DD} = 2.5$ V. (b) Ripetere la simulazione per una cascata di 10 invertitori di riferimento simmetrici (vedi Figura 7.12). Confrontare i risultati con quelli ottenuti al punto (a).

7.8 Circuiti di buffer

7.64 Progettare un circuito di buffer ottimizzato per pilotare una capacità di 5000 C_o . (a) Qual è il numero ottimo di stadi? Quali sono le dimensioni relative di ogni invertitore che forma il buffer (Figura 7.34)? Qual è il ritardo del buffer in termini di τ_o ?

****7.65** Assumiamo che l'area di ognuno degli invertitori di un circuito di buffer sia proporzionale al fattore β , e che l'invertitore di riferimento abbia un'area A_o . Scrivere l'espressione per l'area totale di un buffer formato da N invertitori. Nell'esempio di Figura 7.34, i due buffer con $N = 6$ e con $N = 7$ mostrano approssimativamente lo stesso ritardo. Confrontare l'area occupata dai due buffer, utilizzando la formula appena ottenuta.

7.9 La porta di trasmissione CMOS

7.66 (a) Calcolare la resistenza on di un transistor NMOS con $W/L = 20/1$ per $V_{GS} = 2.5$ V, $V_{SB} = 0$ V e $V_{DS} = 0$ V. (b) Calcolare la resistenza on di un transistor PMOS con $W/L = 20/1$ per $V_{SG} = 2.5$ V, $V_{SB} = 0$ V e $V_{SD} = 0$ V. (c) Cosa significa dire che un transistor è on, anche se I_{DS} e V_{DS} sono pari a zero?

7.67 Calcolare il valore massimo e minimo della resistenza on equivalente della porta di trasmissione in Figura 7.34.

7.68 Un'applicazione in un multiplexer analogico richiede che la resistenza on equivalente di una porta di trasmissione R_{EQ} sia sempre inferiore a 250 Ω . Quali sono le dimensioni minime dei rapporti W/L dei dispositivi NMOS e PMOS se $V_{TON} = 0.75$ V, $V_{TOP} = -0.75$ V, $\gamma = 0.5\sqrt{V}$, $2\phi_F = 0.6$ V, $K'_p = 10 \mu A/V^2$ e $K'_n = 25 \mu A/V^2$?

7.69 (a) Quali sono le tensioni dei nodi del circuito di Figura P7.69? Per gli NMOS assumere: $V_{TO} = 0.7$ V, $\gamma = 0.6\sqrt{V}$ e $2\phi_F = 0.6$ V. Per i PMOS assumere: $V_{TO} = -0.70$ V e $\gamma = 0.5\sqrt{V}$. (b) Quali sarebbero state le tensioni se si fossero adoperate delle porte di trasmissione CMOS, invece di singoli transistori?

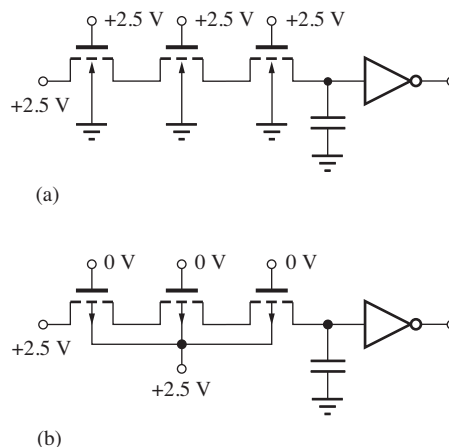


Figura P7.69

7.10 Circuiti bistabili

7.70 Qual è la funzione logica degli ingressi 1 e 2 nel flip-flop di Figura P7.70?

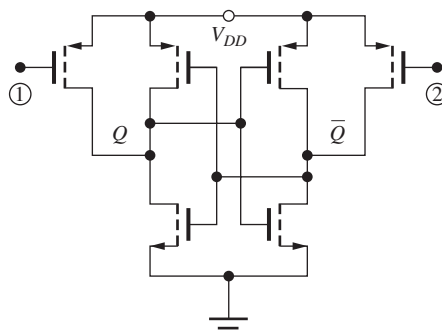


Figura P7.70

7.71 Quale deve essere la dimensione minima dei transistori collegati agli ingressi R e S in Figura P7.71, in modo da assicurare che il latch possa essere forzato nello stato desiderato? (Non considerare le questioni relative alla velocità del latch.)

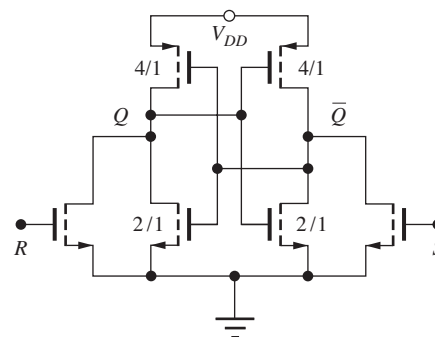


Figura P7.71

- 7.72** Simulare il ritardo di propagazione alle uscite Q e $\bar{Q}$ del latch di tipo D di Figura 7.41. Assumere che D sia stabile e che il segnale di clock sia un'onda quadra. Tutti i transistori hanno $W/L = 2/1$ e la tensione di alimentazione è pari a $V_{DD} = 2.5$ V.
- 7.73** Simulare il funzionamento del flip-flop D master-slave, con il segnale di clock mostrato in Figura P7.73, caratterizzato da tempi di salita e di discesa molto lunghi ($T = 20$ μ s). Si assuma per tutti i transistori $W/L = 2/1$.

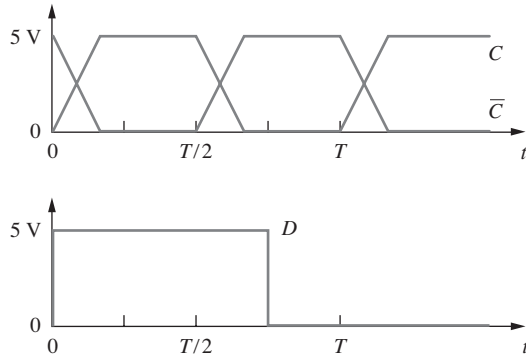


Figura P7.73

7.11 Latchup nei circuiti CMOS

- 7.74** Simulare il fenomeno del latchup utilizzando il circuito in Figura 7.44(b), riportando in un grafico le

tensioni dei nodi 2, 3, 4 e la corrente erogata dall'alimentazione. Analizzare il comportamento del circuito, identificando sul grafico i livelli di tensione più significativi, i livelli di corrente e le pendenze.

- 7.75** Ripetere il Problema 7.74, assumendo che i valori delle resistenze R_n e R_p siano ridotti di un fattore 10.
- 7.76** In analogia alla Figura 7.44, disegnare la sezione di un invertitore CMOS realizzato in tecnologia p -well. Disegnare il circuito equivalente con i transistori bipolari parassiti.

Problemi supplementari

- 7.77** (a) Verificare l'Equazione 7.9. (b) Verificare l'Equazione (7.13).
- **7.78** (a) Calcolare la sensibilità $S_{K_n}^{\tau_p} = (k_n/\tau_p)(d\tau_p/dk_n)$ del ritardo di propagazione τ_p nell'Equazione (7.19) rispetto ai cambiamenti di K_n . Se a causa delle inevitabili tolleranze nella realizzazione di un circuito integrato, in un particolare chip K_n risulta inferiore del 25% rispetto al valore nominale, quale sarà la variazione percentuale di τ_p ? (b) Calcolare la sensibilità $S_{V_{TN}}^{\tau_p} = (V_{TN}/\tau_p)(d\tau_p/dV_{TN})$ del ritardo di propagazione τ_p nell'Equazione (7.19) rispetto ai cambiamenti di V_{TN} . Se a causa delle inevitabili tolleranze nella realizzazione di un circuito integrato in un particolare chip V_{TN} risulta pari a 0.85 V invece del valore nominale di 0.75 V, quale sarà la variazione percentuale di τ_p ?

Capitolo 8

Riepilogo

- **Organizzazione della memoria.** In questo capitolo abbiamo analizzato i principali circuiti di memoria MOS, incluse le memorie ad accesso casuale (RAM) e le memorie a sola lettura (ROM o ROS). Abbiamo analizzato l'organizzazione interna delle memorie a circuito integrato e fornito esempi relativi ai componenti costitutivi dei chip di memoria, inclusi il decodificatore di indirizzo, l'amplificatore di lettura e i buffer di uscita.
- **Celle RAM statiche.** Una cella a sei transistori è generalmente utilizzata come elemento di memorizzazione nelle SRAM; l'integrità dei dati memorizzati è assicurata fintanto che il circuito è alimentato.
- **Celle RAM dinamiche.** Le celle a un transistor sono utilizzate nei circuiti di memoria RAM dinamica (DRAM) ad alta densità. In questi circuiti le informazioni sono memorizzate in maniera temporanea come carica di un condensatore. Il dato deve essere periodicamente rinfrescato per evitare la perdita di informazioni. Le operazioni di lettura distruggono il dato della cella e quindi prevedono anche una fase di riscrittura. Le memorie dinamiche possono anche essere basate su celle di memoria dinamiche a quattro transistori.
- **Progetto del decodificatore.** Gruppi di porte NAND e NOR statiche sono spesso utilizzate nei circuiti decodificatori di indirizzo. Circuiti basati su tecnologia CMOS possono essere utilizzati al fine di ridurre i consumi di potenza.
- **Pass transistor.** La logica a pass transistor è stata introdotta per semplificare il design dei decodificatori di colonna nei circuiti delle RAM.
- **ROM.** La struttura delle memorie a sola lettura (ROM) è molto simile a quella delle memorie RAM ma il dato è memorizzato nel design fisico del circuito.
- **Amplificatore di lettura.** Il latch bistabile forma il cuore di molti circuiti usati come amplificatori di lettura e il punto di equilibrio instabile del latch gioca un ruolo fondamentale nel progetto dei circuiti di lettura ad alta velocità. Amplificatori di lettura statici e dinamici possono essere entrambi utilizzati nel progetto delle memorie.
- **EEPROM.** Il numero sempre crescente di dispositivi portatili a basso consumo ha dato una spinta fondamentale per lo sviluppo di un'ampia gamma di memorie flash non volatili in grado di conservare l'informazione anche in mancanza di alimentazione esterna, ma che possono essere scritte e lette quando alimentate. Queste memorie sono generalmente note come EEPROM o E²PROM e utilizzano una tecnologia MOSFET particolare, caratterizzata da un secondo gate flottante tra il gate di controllo e il canale.

Problemi

Salvo diversa indicazione utilizzare i valori seguenti: $K'_n = 100 \mu\text{A}/\text{V}^2$, $K'_p = 40 \mu\text{A}/\text{V}^2$, $V_{TON} = 0.7 \text{ V}$, $V_{TOP} = -0.7 \text{ V}$, $\gamma = 0.5\sqrt{\text{V}}$, $2\phi_F = 0.6 \text{ V}$.
Per le simulazioni usare i valori in Appendice B.

8.1 Memorie ad accesso casuale (RAM)

- 8.1 (a) Quanti bit di memoria sono effettivamente contenuti in un chip da 1 Mb? E in un chip da 4 Gb? (b) Quanti blocchi da 128 Kb devono essere replicati per realizzare la memoria da 256 Mb di Figura 8.1?
- 8.2 Un chip di memoria CMOS statica da 256 Mb utilizza la cella standard CMOS 6-T. (a) Qual è la massima corrente di leakage ammissibile per ogni cella di memoria, se la corrente totale assorbita dalla memoria

Le soluzioni si trovano sul sito web dedicato al libro 

deve essere minore di 1 mA in condizioni statiche?
(b) Ripetere il calcolo per una memoria da 4 Gb.

- 8.3 Consideriamo un chip di memoria con un bus esterno di 128 bit. (a) Calcolare la dissipazione di potenza necessaria per pilotare il bus a un data-rate di 1 GHz, assumendo che ogni linea del bus abbia una capacità di 10 pF e che la tensione di alimentazione sia 2.5 V. (b) Ripetere il calcolo per 3 GHz e 1.8 V.

8.2 Celle di memoria statiche

- 8.4 Calcolare la tensione corrispondente a D e a $\bar{D}$ in una cella di memoria NMOS con carico resistivo, se:
 $R = 10 \text{ G}\Omega$, $V_{DD} = 3 \text{ V}$ e $W/L = 2/1$. Utilizzare i seguenti valori: $V_{TO} = 0.75 \text{ V}$, $\gamma = 0.5\sqrt{\text{V}}$, $\phi_F = 0.6 \text{ V}$.
- *8.5 Simulare la risposta in transitorio della cella 6-T di Figura 8.5 a partire da una condizione iniziale di



$D_1 = 1.55 \text{ V}$ e $D_2 = 1.45 \text{ V}$, con i transistori di accesso interdetti. Qual è l'intervallo di tempo necessario affinché le tensioni dei vari nodi della cella raggiungano il 90% del loro valore finale? Utilizzare $V_{DD} = 3 \text{ V}$ e un progetto simmetrico per la cella di memoria, con W/L del transistore NMOS pari a 2/1. Utilizzare i modelli SPICE riportati in Appendice B.

8.6

Assumiamo che nel circuito di Figura 8.5 e 8.6 il potenziale delle due bitline sia fissato a 1.5 V e che sia stata raggiunta una condizione stazionaria, con la tensione della wordline pari a 3 V . Assumiamo inoltre che tutti i transistori che compongono gli invertitori presentino $W/L = 1/1$, $V_{TN} = 0.7 \text{ V}$, $V_{TP} = -0.7 \text{ V}$ e $\gamma = 0$. Qual è il massimo valore di W/L per M_{A1} e M_{A2} che assicura una tensione al nodo D_1 minore di 0.7 V e una tensione al nodo D_2 maggiore di 2.3 V ? (assumere che M_{A1} e M_{A2} abbiano lo stesso W/L).

8.7

Simulare e riportare in un grafico il transitorio che si verifica quando si scrive uno 0 in una cella che già contiene uno 0, come mostrato in Figura 8.10. Discutere i risultati ottenuti.

8.3 Celle di memoria dinamiche

8.8 La cella 1-T di Figura P8.8 utilizza una tensione di bitline di 2.5 V e una tensione di wordline di 2.5 V . (a) Qual è la tensione sulla capacità C_C quando si immagazzina un 1 e uno 0, se $V_{TO} = 0.6 \text{ V}$, $\gamma = 0.5\sqrt{V}$ e $2\phi_F = 0.6 \text{ V}$? (b) Qual è la tensione minima sulla wordline affinché la tensione sulla capacità raggiunga 2.5 V quando si immagazzina un 1?

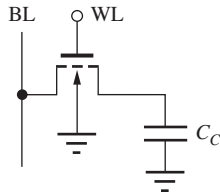


Figura P8.8

8.9 Le correnti di perdita generalmente tendono a distruggere uno solo dei due possibili stati in una cella 1-T. Per il circuito di Figura P8.8, quale livello è più sensibile alle correnti di perdita e perché?

8.10 Le capacità gate-source e drain-source del MOSFET di Figura P8.8 sono entrambe pari a 100 fF e inoltre $C_C = 75 \text{ fF}$. Supponiamo che le tensioni della bitline e della wordline siano rimaste stabilmente a 2.5 V per lungo tempo. In seguito, il segnale sulla wordline evolve come mostrato in Figura P8.10. Qual è la tensione immagazzinata su C_C al tempo $t = 0$? Stimare la riduzione di tensione su C_C dovuta all'accoppiamento con il segnale sulla wordline dovuto alla capacità gate-source. Utilizzare i seguenti valori: $V_{TO} = 0.7 \text{ V}$, $\gamma = 0.5\sqrt{V}$ e $2\phi_F = 0.6 \text{ V}$.

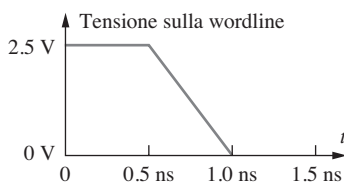


Figura P8.10

8.11 Una cella 1-T ha $C_C = 50 \text{ fF}$ e $C_{BL} = 7.5 \text{ pF}$. (a) Se le bitline sono precaricate a 2.5 V e la tensione della cella è di 0 V , qual è la variazione ΔV della tensione della bitline dopo un accesso alla cella di memoria? Qual è il valore finale di tensione sulla cella?

8.12 Una cella di memoria 1-T può essere fabbricata utilizzando transistori PMOS, come mostrato in Figura P8.12. (a) Quali sono le tensioni immagazzinate sulla capacità, in corrispondenza dei valori logici 0 e 1, per $V_{DD} = 3.3 \text{ V}$? (b) Ripetere i calcoli per $V_{DD} = 2.5 \text{ V}$. (c) Ripetere i calcoli per $V_{DD} = 1.8 \text{ V}$.

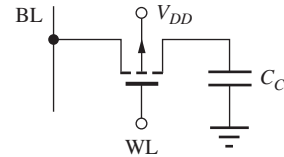


Figura P8.12

8.13 (a) Si consideri la cella di memoria 1-T di Figura 8.22; calcolare la tensione di cella nel caso in cui la tensione sulla wordline sia portata a 2.5 V , e mostrare che i valori riportati nel testo sono corretti. (b) Verificare che il valore di corrente che entra nell'amplificatore di lettura attraverso il transistore di accesso, immediatamente dopo l'attivazione della wordline è pari a $216 \mu\text{A}$.

8.14 L'elettrodo inferiore della capacità di memoria nella cella 1-T è spesso collegato a una tensione V_{PP} invece che a massa, come mostrato in Figura P8.14. Supponiamo che $V_{PP} = 5 \text{ V}$. (a) Quali sono le tensioni immagazzinate nella cella al nodo V_C se il livello logico 0 corrisponde a 0 V sulla bitline e il livello logico 1 a 3 V sulla bitline? Assumere che la wordline possa essere pilotata a 3 V . (b) Quale livello verrà deteriorato a causa del leakage?

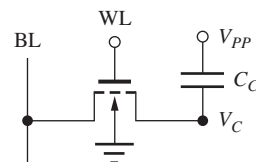


Figura P8.14

8.15 La cella 1-T di Figura P8.15 utilizza tensioni di bitline e di wordline di 0 V e di 3.3 V . (a) Quali sono le tensioni immagazzinate su C_C per i due livelli logici se $V_{TO} = -0.80 \text{ V}$, $\gamma = 0.65\sqrt{V}$ e $2\phi_F = 0.6 \text{ V}$? (b) Quale dovrebbe essere la minima tensione sulla wordline in modo da garantire che la tensione sulla cella di memoria possa raggiungere 0 V ?

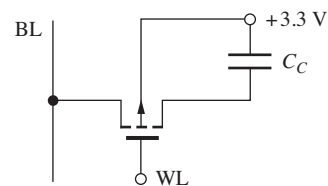


Figura P8.15

8.16 Nel testo, a proposito della cella 1-T, si afferma che è possibile ottenere un miglioramento di un fattore 15 per la corrente erogabile dalla cella utilizzando una tensione più elevata sulla wordline, rispetto alla cella normale. Quale frazione del fattore 15 è attribuibile all'aumento della V_{DS} del transistor e quale frazione è invece attribuibile all'incremento della tensione di gate?

8.17 Simulare l'operazione di refresh per la cella dinamica 4-T di Figura P8.17. Come condizioni iniziali, assumere che il potenziale al nodo D sia di 1 V, mentre quello al nodo $\bar{D}$ sia di 0 V. Utilizzare $\overline{BL} = 3$ V, $W/L = 2/1$ per tutti i transistori e assumere una capacità di bitline di 500 fF.

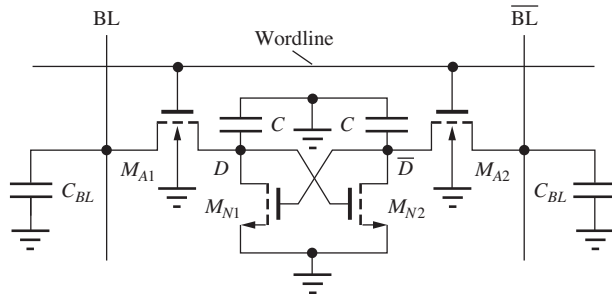


Figura P8.17

****8.18** Simulare l'operazione di lettura per la cella 4-T di Figura P8.18, e analizzare le forme d'onda ottenute. Qual è il tempo di accesso della cella, calcolato come l'intervallo di tempo fra l'attivazione della wordline e la comparsa di un dato valido all'uscita dell'amplificatore di lettura? Utilizzare $W/L = 2/1$ per tutti i dispositivi e assumere $C_{BL} = 1$ pF, con $V_{DD} = 3$ V.

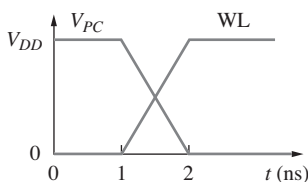
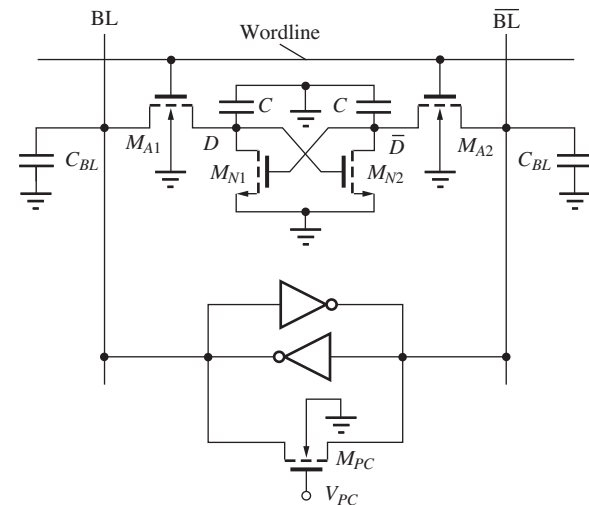


Figura P8.18

8.4 Amplificatori di lettura

8.19 La Figura P8.19 mostra un semplice amplificatore di lettura CMOS. Supponiamo che $V_{DD} = 2.5$ V e che i rapporti W/L di tutti i dispositivi NMOS e PMOS siano rispettivamente 5/1 e 10/1. Qual è la corrente totale assorbita dall'amplificatore di lettura, quando il transistor di precarica è in conduzione? Quale sarebbe il consumo di potenza se 1024 amplificatori di lettura operassero simultaneamente?

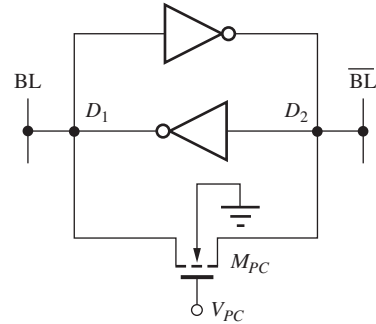


Figura P8.19

8.20 Nelle forme d'onda delle due bitline, mostrate in Figura 8.23 si può notare una caduta di tensione, dovuta all'accoppiamento capacitivo con il segnale di precarica, attraverso la capacità di gate del transistor M_{PC} . Calcolare la variazione di tensione ΔV sulle bitline dovuta a questo fenomeno di accoppiamento, e confrontare i risultati teorici con la simulazione di Figura 8.23. Le capacità di entrambe le bitline sono di 500 fF. I modelli per i transistori sono riportati in Appendice B.

****8.21** Le tensioni delle due bitline in Figura 8.27 superano il valore di V_{DD} , a causa dell'accoppiamento capacitivo con il segnale di precarica. Calcolare la variazione di tensione ΔV sulle bitline dovuta a questo fenomeno di accoppiamento, e confrontare i risultati teorici con la simulazione di Figura 8.27. (b) Qual è il valore massimo possibile per ΔV ? I modelli per i transistori sono riportati in Appendice B; si assuma $C_{BL} = 500$ fF.

****8.22** La Figura P8.22 mostra lo schema di principio di un amplificatore a trasferimento di carica, che può essere utilizzato per amplificare l'uscita di una cella 1-T. Supponiamo che l'interruttore si chiuda all'istante $t = 0$, che la capacità C_C sia inizialmente scarica e che C_L sia inizialmente carica a +3 V. Supponiamo inoltre che la redistribuzione di carica fra C_C e C_{BL} avvenga istantaneamente. Quando il circuito ritorna in condizioni stazionarie, dopo la chiusura dell'interruttore, la tensione di uscita v_O sarà variata di una quantità Δv_O rispetto al suo valore iniziale. Calcolare Δv_O , assumendo $C_C = 50$ fF, $C_{BL} = 1$ pF, $C_L = 100$ fF e $W/L = 50/1$. [Suggerimento: il MOSFET riporterà il potenziale della bitline al valore originario, e la carica totale che fluisce dal source del MOSFET deve essere fornita dal drain.]

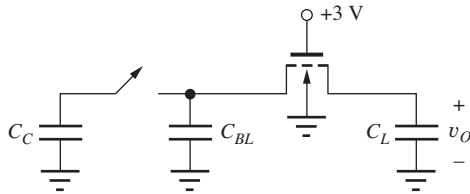


Figura P8.22

8.23 Simulare il circuito di Figura P8.22 utilizzando un MOSFET ($W/L = 4/1$) come interruttore e confrontare i risultati della simulazione con i calcoli analitici.

****8.24** Sappiamo che in un latch che si trova a lavorare in prossimità del punto di instabilità, ogni sbilanciamento di tensione viene a essere rinforzato. Per verificare questo comportamento, simuliamo il latch CMOS di Figura P8.24, utilizzando le seguenti condizioni iniziali: (a) $D_1 = 1.45$ V e $D_2 = 1.55$ V. (b) $D_1 = 1$ V e $D_2 = 1.25$ V. (c) $D_1 = 2.75$ V e $D_2 = 2.70$ V. Assumere che tutti i rapporti W/L siano pari a $2/1$, che V_{DD} sia pari a 3.3 V e che le capacità delle bitline siano 1 pF.

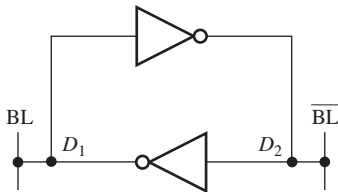


Figura P8.24

8.25 Negli invertitori CMOS di Figura P8.25 i rapporti W/L dei transistori NMOS e PMOS sono $2/1$ e $4/1$, rispettivamente. Le capacità delle bitline sono 400 fF, W/L di M_{PC} è di $10/1$ e $V_{DD} = 3$ V. (a) Simulare il comportamento in transitorio del latch simmetrico di Figura P8.25, e spiegare il comportamento delle tensioni ai nodi D_1 e D_2 (b) Supponiamo ora che a causa di un errore di progetto il rapporto W/L di M_{N2} sia di $2.2/1$ invece di $2/1$. Simulare di nuovo il latch e giustificare ogni cambiamento nel comportamento delle tensioni ai nodi D_1 e D_2 .

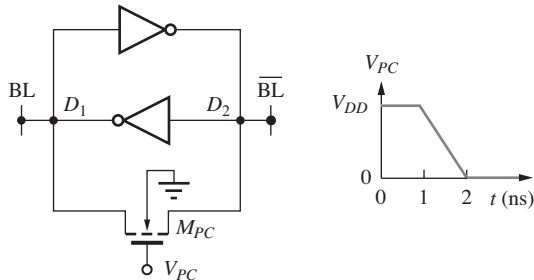


Figura P8.25

***8.26** Simulare la risposta dell'amplificatore di lettura di Figura P8.26, per $V_{DD} = 3$ V. Quali sono i valori finali di tensione sulle due bitline? Qual è l'intervallo di tempo necessario affinché l'amplificatore di lettura sviluppi una differenza di tensione di 1.5 V tra le due

bitline? Assumere che tutti i segnali di clock abbiano ampiezza pari a V_{DD} e tempi di salita e di discesa di 1 ns. Assumere inoltre che i tre segnali siano ritardati fra loro di 0.5 ns, in modo simile a quanto mostrato in Figura 8.27.

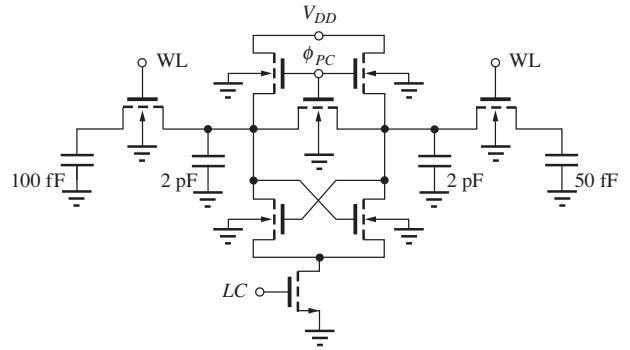


Figura P8.26

8.27 Ripetere il Problema 8.26 per $V_{DD} = 5$ V.

8.28 Simulare la funzione di trasferimento di due invertitori CMOS in cascata e trovare i tre punti di equilibrio. Assumere che tutti i dispositivi abbiano $W/L = 2/1$ e $V_{DD} = 3$ V.

8.5 Decodificatori di indirizzo

8.29 Quanti transistori sono necessari per realizzare un decodificatore NOR a 12 bit, simile a quello mostrato in Figura 8.28? Quanti transistori sono necessari per realizzare un decodificatore NAND a 12 bit, simile a quello mostrato in Figura 8.29?

8.30 Calcolare il numero di transistori necessari per realizzare un decodificatore di colonna a 8 bit utilizzando (a) una logica a pass-transistor NMOS e (b) una logica basata su porte NOR.

8.31 Quali sono le tensioni ai nodi della rete di pass-transistor in Figura P8.31? Per i transistori NMOS assumere: $V_{TO} = 0.8$ V, $\gamma = 0.6\sqrt{V}$, $2\phi_F = 0.6$ V; per i transistori PMOS assumere: $V_{TO} = -0.8$ V e $\gamma = 0.6\sqrt{V}$.

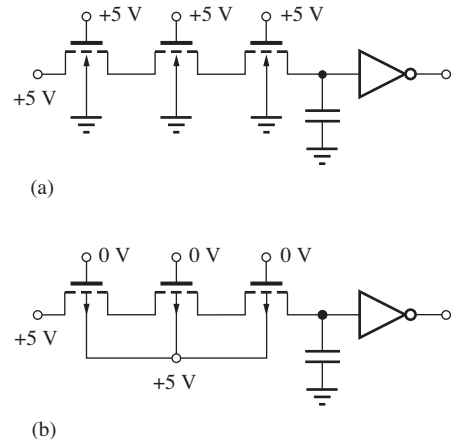


Figura P8.31

8.6 Memorie a sola lettura (ROM)

8.32 Quali sono le otto parole di uscita per la ROM di Figura P8.32?

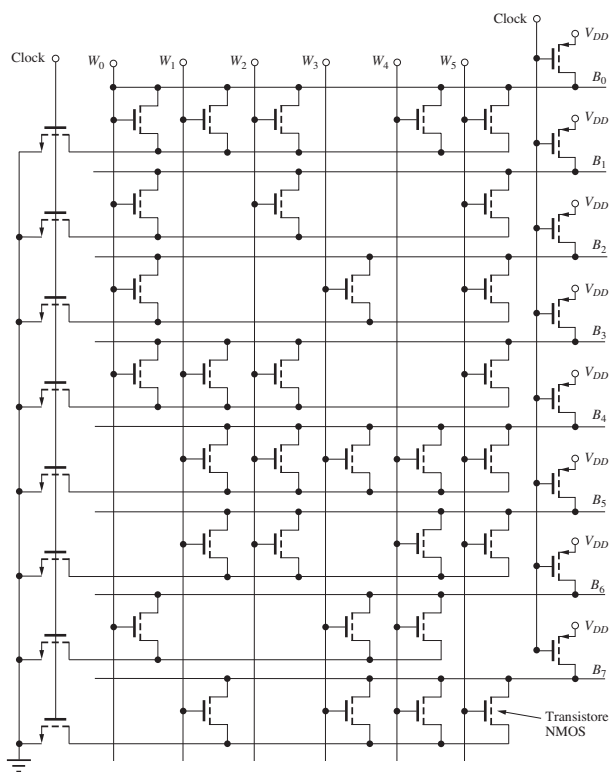


Figura P8.32

8.33 Identificare e simulare il cammino cui corrisponde il massimo ritardo nella ROM di Figura P8.32.

8.34 Qual è il contenuto della ROM di Figura P8.34? (Tutti i dispositivi sono NMOS.)

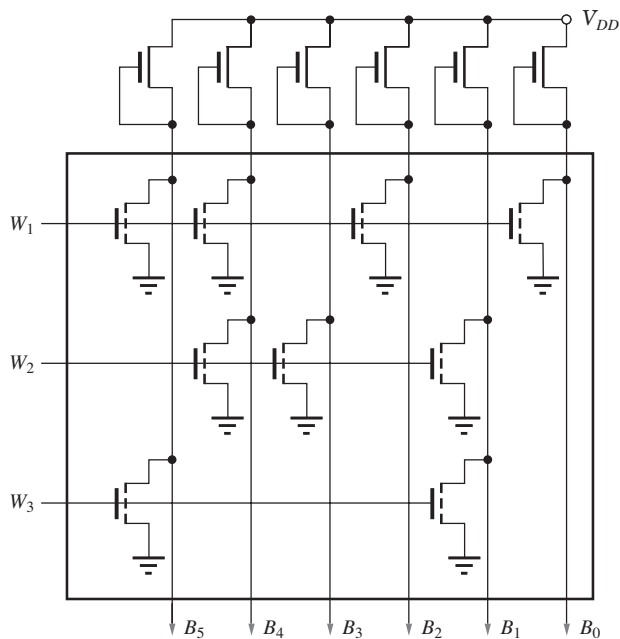


Figura P8.34

8.35 Qual è il contenuto della ROM di Figura P8.35? (Tutti i dispositivi sono NMOS.)

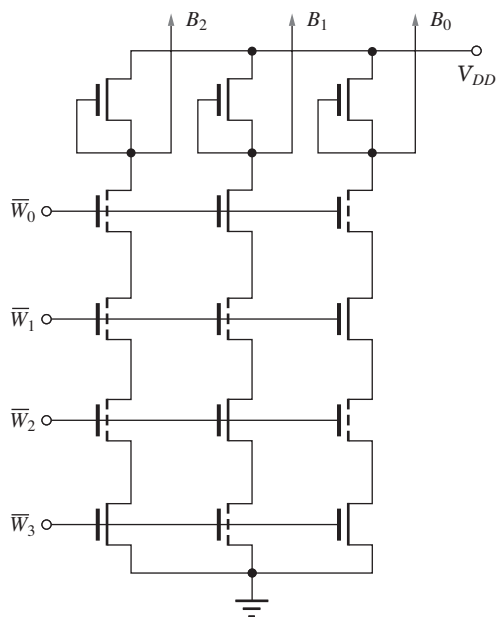


Figura P8.35

Capitolo 9

Riepilogo

- Le due famiglie logiche più importanti dal punto di vista commerciale sono la famiglia ECL e la famiglia TTL (o T²L). In questo capitolo abbiamo esaminato nel dettaglio circuiti con porte logiche ECL, TTL, CML e BiCMOS.
- **Famiglia ECL.** Le porte logiche ad accoppiamento di emettitore (ECL, *Emitter-Coupled Logic*) sono tradizionalmente impiegate con alimentazione negativa, generalmente -5.2 V , per cui sia V_H sia V_L sono negative. La caratteristica di trasferimento della porta ECL è stata analizzata nel dettaglio. La dinamica logica ΔV della porta ECL è relativamente piccola, compresa tra 0.2 V e 0.8 V , e presenta un margine di rumore prossimo a $\Delta V/2$. La porta ECL ha portato all'introduzione di due nuove soluzioni circuitali, ossia la coppia differenziale e l'inseguitore di emettitore; inoltre essa necessita di un circuito per la tensione di riferimento. Le porte ECL generano contemporaneamente l'uscita e la sua negazione logica; la porta ECL di base fornisce le funzioni logiche OR-NOR. Le famiglie logiche ECL standard forniscono ritardi compresi tra 250 ps e 5 ns con un prodotto ritardo-potenza di circa 50 pJ .
- **Coppia differenziale.** La coppia differenziale è formata da due transistori identici e da un generatore di corrente. Questo circuito commuta rapidamente la corrente di polarizzazione tra i due transistori, in base al confronto del segnale logico in ingresso con un riferimento di tensione. Nella porta ECL, i transistori commutano tra due punti di funzionamento della regione attiva diretta: questo è il primo motivo per cui la ECL è la più veloce tra le porte logiche bipolari. Il secondo motivo è la ridotta escursione dinamica, generalmente compresa tra 0.4 V e 0.8 V . La ridotta escursione logica delle porte ECL comporta margini di rumore di poche decine di volt. La famiglia ECL è in un certo senso insolita se confrontata alle altre famiglie logiche analizzate: opera generalmente con una singola tensione negativa, storicamente -5.2 V , e sia V_H sia V_L sono tensioni negative.
- **Inseguitore di emettitore.** Nel circuito inseguitore di emettitore, il segnale in uscita replica il segnale in ingresso, a meno di una caduta di tensione pari alla tensione di polarizzazione diretta del diodo giunzione base-emettitore, pari a circa 0.7 V . Nella famiglia ECL, questo livello costante di tensione è utilizzato per fornire la traslazione di tensione necessaria per garantire che i livelli logici all'ingresso e all'uscita della porta siano gli stessi. Gli inseguitori di emettitore permettono inoltre una riduzione dei consumi di potenza grazie all'uso della tecnica "OR cablato" (*wired-OR*).
- **Famiglia CML.** I circuiti logici in corrente (CML, *Current Mode Logic*) utilizzano due o più livelli di coppie differenziali impilate per creare circuiti ad alta velocità e con prodotti ritardo-potenza compatibili con integrazione ad alta densità. Le porte CML generano contemporaneamente l'uscita e la sua negazione logica; implementano direttamente la funzione NOR/OR e NAND/AND, così come altre funzioni logiche più complesse. Impilare le coppie differenziali porta a un riutilizzo della corrente e a una riduzione della potenza dissipata. La tensione di alimentazione dipende dal numero di livelli logici impiegati nel progetto ed è compresa tra 2.0 V e 3.3 V . Le porte CML possono anche essere realizzate con transistori MOS (SCFL).
- **Famiglia TTL.** Le porte logiche transistor-transistore (TTL, *Transistor-Transistor Logic*) classiche operano con una singola alimentazione a 5 V e forniscono una dinamica logica di circa 3.5 V con un margine di rumore di oltre 1 V . Durante il funzionamento, il transistor commuta tra interdizione e saturazione. Le porte TTL fondamentali realizzano funzioni NAND multi-ingresso; tuttavia porte più complicate possono essere costruite per implementare praticamente qualunque funzione logica desiderata. Le famiglie TTL standard forniscono ritardi compresi tra 3 ns e 30 ns con un prodotto ritardo-potenza di circa 50 pJ . Diodi Schottky sono utilizzati per evitare la saturazione del BJT e aumentare la velocità delle porte TTL.
- **BJT in saturazione.** La tensione tra collettore ed emettitore del BJT in saturazione è controllata dal valore del beta forzato, definito come $\beta_{\text{FOR}} = i_C/i_B$. Il transistor entra in saturazione se la corrente di base è troppo alta per la corrente che può arrivare al collettore (ossia, se $i_B > i_C/\beta_F$, da cui $\beta_{\text{FOR}} < \beta_F$). Un effetto indesiderato della saturazione è la conservazione di cariche in eccesso nella regione di base del transistor. Il tempo richiesto per rimuovere queste cariche in eccesso può causare un rallentamento dell'ingresso in interdizione del transistor: tale tempo è caratterizzato dal tempo di accumulo t_S ed è proporzionale alla costante di tempo di storage τ_S , che determina la quantità di carica in eccesso conservata nella base durante la saturazione.

- **Transistore Schottky.** Il transistor Schottky unisce un transistor bipolare con un diodo Schottky; è stato sviluppato per evitare che il transistor entri in saturazione. Il diodo Schottky trasferisce la corrente di base in eccesso attorno al diodo base-collettore del BJT ed evita che il dispositivo entri in forte saturazione. I dispositivi TTL Schottky offrono in questo modo significativi miglioramenti in termini di velocità rispetto alla TTL standard a parità di potenza dissipata.
- **Fan-out.** La porta TTL assorbe in ingresso una corrente relativamente alta. La corrente in ingresso è positiva quando l'ingresso è al livello logico alto, negativa nel caso opposto. Questa corrente di ingresso limita il numero di porte collegabili all'uscita di una porta logica (*fan-out*). All'uscita della porta TTL è collocato un inseguitore di emettitore che fornisce l'alta corrente necessaria per permettere un elevato *fan-out* e per variare rapidamente la tensione di l'uscita.
- **Componenti TTL.** Le porte TTL sono disponibili in molte versioni diverse, tra cui standard, basso consumo, alta potenza, Schottky, Schottky basso consumo, Schottky avanzato e Schottky avanzato a basso consumo. La famiglia TTL standard è stata di fatto rimpiazzata dalla TTL Schottky a basso consumo (54LS/74LS), che fornisce ritardi simili ma con potenza dissipata inferiore. La TTL Schottky (54S/74S) fornisce una alternativa ad alta velocità per circuiti che devono operare con segnali digitali ad alta frequenza di clock.

- **Prodotto ritardo Potenza.** Le porte ECL e TTL standard hanno un prodotto ritardo-potenza relativamente alto (da 20 nJ a 100 pJ), per cui non sono adatte alla realizzazione di circuiti integrati ad alta densità (VLSI) che richiedono prodotti ritardo-potenza inferiori al picojoule. Sono state sviluppate versioni delle porte TTL e ECL che richiedono tensioni di alimentazione inferiori, ma queste famiglie logiche sono state quasi totalmente rimpiazzate nei circuiti integrati da soluzioni CMOS.
- **Famiglia BiCMOS.** La tecnologia BiCMOS è una tecnologia circuitale molto complessa, che unisce i vantaggi dei transistori bipolari e dei MOS. Le tecnologie BiCMOS forniscono transistori NMOS, PMOS, npn e pnp, permettendo al progettista la massima flessibilità e consentendo di scegliere il miglior dispositivo in ogni punto del circuito. Nelle porte logiche BiCMOS, i transistori MOS sono generalmente usati per fornire ingressi ad alta impedenza, con la semplicità delle implementazioni MOS delle porte NAND, delle porte NOR e delle porte più complesse. Transistori bipolari sono utilizzati per fornire alte correnti in uscita, adatte per pilotare carichi capacitivi di grande valore. I componenti BiCMOS sono anche utilizzati in circuiti che trattano segnali "misti", sia analogici sia digitali. Versioni semplificate delle tecnologie BiCMOS aggiungono un transistor *nnp* al processo produttivo CMOS; i circuiti risultanti sono spesso indicati come BiNMOS invece che come BiCMOS.

Problemi

Salvo diversa indicazione utilizzare i valori in Tabella 9.3.
Per le simulazioni usare i valori in Appendice B.

9.1 La coppia differenziale

- 9.1** (a) Qual è il valore di v_I necessario, in Figura P9.1, per commutare il 99.5% della corrente I_{EE} nel transistor Q_1 , se $V_{REF} = -1.25$ V? Quale valore di v_I commuterà il 99.5% di I_{EE} nel transistor Q_2 ? (b) Ripetere il punto (a) per $V_{REF} = -2$ V.

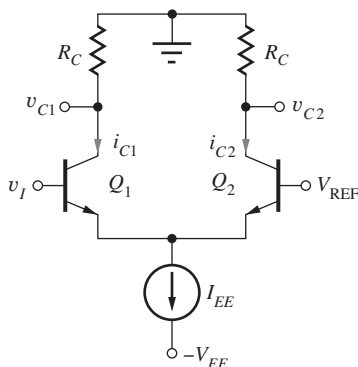


Figura P9.1

Le soluzioni si trovano sul sito web dedicato al libro



- 9.2** (a) Quali sono le tensioni v_{C1} e v_{C2} nel circuito di Figura P9.1 per $v_I = -1.6$ V, $I_{EE} = 2.0$ mA, $R_C = 350 \Omega$ e $V_{REF} = -1.25$ V? (b) Riprogettare I_{EE} e R_C del punto (a) affinché il circuito operi con le stesse tensioni ma dissipando un decimo della potenza.
- 9.3** (a) Quali sono le tensioni v_{C1} e v_{C2} nel circuito di Figura P9.1 per $v_I = -1.6$ V, $I_{EE} = 5.0$ mA, $R_C = 350 \Omega$ e $V_{REF} = -2$ V? (b) Riprogettare I_{EE} e R_C del punto (a) affinché il circuito operi con le stesse tensioni ma dissipando un quinto della potenza.
- 9.4** Quali sono le tensioni v_{C1} e v_{C2} nel circuito di Figura P9.4 per $v_I = -1.7$ V, $I_{EE} = 0.3$ mA, $R_1 = 3.33$ k Ω , $R_C = 2$ k Ω e $V_{REF} = -2$ V?

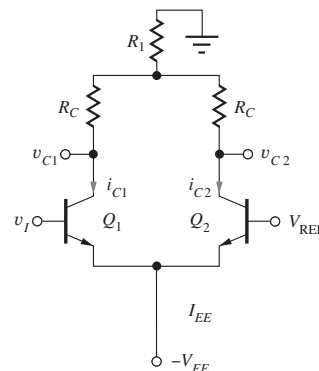


Figura P9.4

- 9.5 Un transistor bipolare opera con $v_{BE} = +0.7$ V e $v_{BC} = +0.3$ V. Secondo le definizioni date nel capitolo relativo ai transistori bipolari, questo dispositivo opera in regione di saturazione. Utilizzare le equazioni del trasporto per dimostrare che in realtà il dispositivo si comporta come se operasse ancora in regione attiva diretta. Discutere i risultati. (Assumere $I_S = 1$ fA, $\alpha_F = 0.98$ e $\alpha_R = 0.2$).

- **9.6 La Figura P9.6 mostra un circuito differenziale a bassa tensione di alimentazione. (a) Quali sono i livelli di tensione corrispondenti a V_H , V_L all'uscita v_{O2} ? (b) Questi livelli di tensione sono compatibili con quelli necessari all'ingresso v_I ? Perché? (c) Qual è il valore di R ? (d) Utilizzando per v_I il valore di V_H calcolato nel punto (a), quali sono le regioni di funzionamento dei transistori Q_1 e Q_2 ? (e) Utilizzando per v_I il valore di V_L calcolato nel punto (a), quali sono le regioni di funzionamento dei transistori Q_1 e Q_2 ? (f) Le risposte ai punti (c) e (d) dovrebbero aver coinvolto altre regioni di funzionamento, oltre a quella attiva diretta. Discutere se questo rappresenta un problema per il circuito in questione.

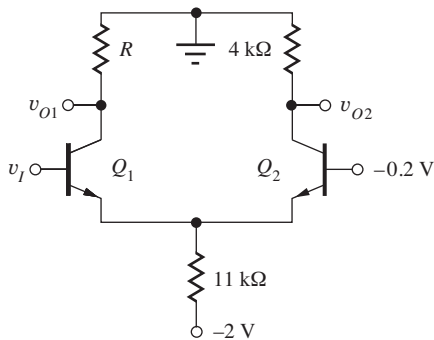


Figura P9.6

9.2 La logica ad accoppiamento di emettitore (ECL)

- 9.7 I valori di I_{EE} e di R_C in Figura 9.6 sono portati a 5 mA e a 200 Ω , rispettivamente. Quali sono i nuovi valori di V_H , V_L , V_{REF} e ΔV ?
- 9.8 Riprogettare i valori dei resistori e dei generatori di corrente nel circuito di Figura 9.6 in modo da aumentare la dissipazione di potenza di un fattore 3, a parità di V_H e di V_L .
- 9.9 Riprogettare il circuito di Figura 9.6 in modo da avere una escursione logica di 0.8 V, a parità di potenza dissipata. (a) Quali sono i valori di V_H , V_L , V_{REF} e dei resistori? (b) Quali sono i valori dei margini di rumore? (c) Qual è il valore minimo di v_{CB} per Q_1 e Q_2 ? I valori di v_{CB} rappresentano un problema per il funzionamento del circuito?
- 9.10 Alle uscite del circuito di Figura P9.4 vengono aggiunti degli inseguitori di emettitore, in modo simile al circuito di Figura 9.6. (a) Disegnare il nuovo circuito. (b) Se $I_{EE} = 0.3$ mA, $R_1 = 3.33$ k Ω , $R_C = 2$ k Ω e $V_{REF} = -2$ V, quali sono i valori di V_H , V_L e lo swing logico ΔV ? (c) I livelli di ingresso e di uscita di questa porta sono compatibili fra loro?

- 9.11 Alle uscite del circuito di Figura P9.4 vengono aggiunti degli inseguitori di emettitore, in modo simile al circuito di Figura 9.6. (a) Disegnare il nuovo circuito. (b) Quali sono i valori di R_C , V_H , V_L e V_{REF} se $I_{EE} = 1.5$ mA, $R_1 = 800$ Ω e $\Delta V = 0.4$ V?
- **9.12 Calcolare il fan-out dell'invertitore ECL di Figura 9.6 a temperatura ambiente assumendo $\beta_F = 35$. Definire il fan-out N come il numero massimo di invertitori collegabili in uscita, per cui il valore di V_H si deteriora di meno di 1 V_T. [Suggerimento: All'uscita v_{O2} , $\Delta V_H = \Delta v_{BE4} + \Delta i_{B4} R_{C4}$.] È necessario considerare il caso per $v_O = V_L$? Perché?

9.3-9.4 Margini di rumore per la porta ECL e realizzazione dei generatori di corrente

- 9.13 Riprogettare i valori dei resistori e dei generatori di corrente nel circuito di Figura 9.10 in modo da aumentare la dissipazione di potenza di un fattore 5, a parità di V_H e di V_L .
- 9.14 Quali sono i valori di V_H , V_L , V_{REF} , ΔV , i margini di rumore e la potenza media dissipata per il circuito di Figura P9.14?
- 9.15 Qual è il valore minimo dell'escursione logica ΔV necessario per garantire a una porta ECL un margine di rumore di 0.1 V a temperatura ambiente?
- **9.16 Supponiamo che i valori di tutti i resistori in Figura 9.8 aumentino del 20%. (a) In che modo cambiano i valori di V_H , V_L e i margini di rumore? (b) Ripetere la parte (a) per il circuito di Figura 9.10.

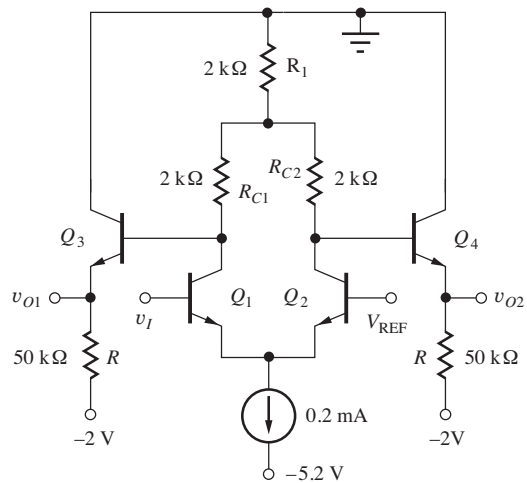


Figura P9.14

- 9.17 Riprogettare il circuito di Figura 9.10 in modo da avere uno swing logico di 0.8 V, a parità di potenza dissipata. (a) Quali sono i valori di V_H , V_L , V_{REF} e dei resistori? (b) Quali sono i valori dei margini di rumore? (c) Qual è il valore minimo di v_{CB} per Q_1 e Q_2 ? I valori di v_{CB} rappresentano un problema per il funzionamento del circuito?
- **9.18 Supponiamo che una porta ECL debba essere progettata in modo da garantire il funzionamento da -55 $^{\circ}$ C a $+75$ $^{\circ}$ C, assicurando un margine di rumore minimo di 0.1 V. Quale deve essere il valore della escursione logica di questa porta ECL a temperatura ambiente?

9.19 Sostituire il generatore di corrente in Figura P9.14 con un resistore. Assumere $V_{REF} = -1.3$ V. È necessario modificare qualcuno dei tre resistori di collettore? Se la risposta è sì, quali sono i nuovi valori?

9.20 Il generatore di corrente che alimenta una coppia differenziale è realizzato con un transistor e tre resistori, come mostrato in Figura P9.20. Quanto vale la corrente I_{EE} ? Qual è il valore minimo di V_{REF} che garantisce un funzionamento in regione attiva diretta del transistor Q_5 ? Ipotizzare che β_F sia molto grande.

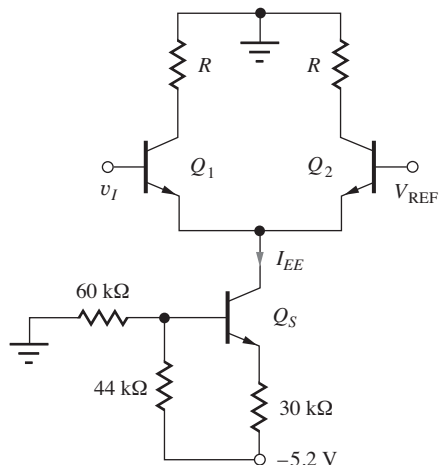


Figura P9.20

9.21 Simulare la caratteristica di trasferimento dell'invertitore ECL di Figura 9.10 a $T = -55^\circ\text{C}$, 25°C e 85°C . Utilizzare un generatore di tensione costante per V_{REF} . Quali sono i valori di V_H , V_L e i margini di rumore alle tre temperature?

9.5 La porta ECL OR-NOR

9.22 Disegnare lo schema di una porta OR ECL a cinque ingressi.

9.23 Disegnare lo schema di una porta NOR ECL a quattro ingressi.

9.24 Nella porta ECL di Figura P9.24 $V_{CC} = +1$ V e $V_{EE} = -2.5$ V. (a) Calcolare V_H e V_L all'emettitore di Q_5 (b) Qual è il valore di R necessario per ottenere gli stessi livelli di tensione all'emettitore di Q_1 ?

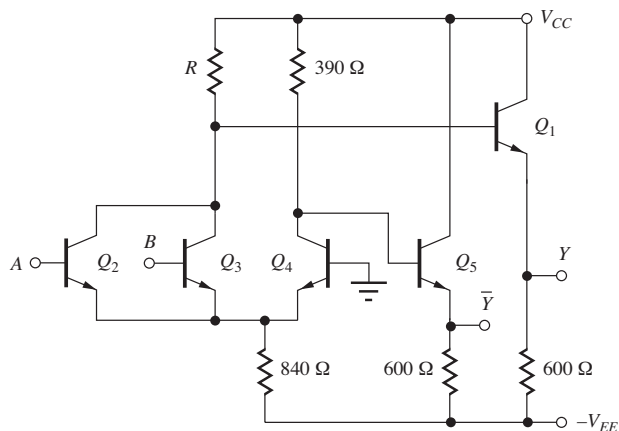


Figura P9.24

9.6 L'inseguitore di emettitore

9.25 Nel circuito di Figura P9.25, $\beta_F = 50$, $V_{CC} = +7.5$ V, $-V_{EE} = -7.5$ V, $I_{EE} = 2.5$ mA e $R_L = 1.2$ kΩ. Qual è la tensione minima all'uscita v_O ? Quali sono le correnti di emettitore, base e collettore se $v_I = +6$ V?

9.26 La tensione di ingresso v_I per il circuito di Figura P9.25 è un segnale triangolare simmetrico, con frequenza di 1 kHz, variabile fra -3 V e $+3$ V. (a) Diagrammare l'andamento della tensione di uscita v_O , assumendo: $\beta_F = 40$, $V_{CC} = +4$ V, $-V_{EE} = -4$ V, $I_{EE} = 4$ mA e $R_L = 1$ kΩ. (b) Ripetere per $I_{EE} = 2$ mA. (c) Qual è il minimo valore di I_{EE} necessario per assicurare che la tensione di uscita sia una replica non distorta della tensione di ingresso?

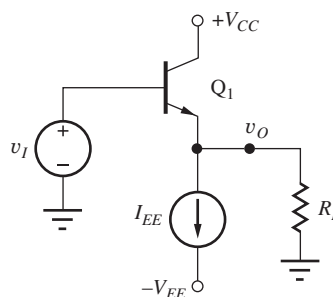


Figura P9.25

9.27 Simulare con SPICE il circuito del Problema 9.26.



9.28 La tensione di ingresso v_I per il circuito di Figura P9.25 è: $v_I = -1 + \sin(2000\pi t)$ V. (a) Scrivere un'espressione per la tensione di uscita v_O , assumendo: $\beta_F = 40$, $V_{CC} = 0$ V, $-V_{EE} = -3$ V, $I_{EE} = 0.2$ mA e $R_L = 20$ kΩ. (b) Qual è il minimo valore di I_{EE} necessario per assicurare che la tensione di uscita sia una replica non distorta della tensione di ingresso?

9.29 Simulare con SPICE il circuito del Problema 9.28.



9.30 Nel circuito di Figura P9.25: $\beta_F = 40$, $V_{CC} = +1.5$ V, $-V_{EE} = -1.5$ V, $I_{EE} = 0.5$ mA e $R_L = 1$ kΩ. (a) Qual è il campo di valori permesso per v_I se Q_1 deve operare sempre in regione attiva diretta? (b) Qual è il minimo valore di I_{EE} necessario per assicurare che il circuito funzioni correttamente per -1.5 V = $v_I = +1.5$ V?

9.31 Nel circuito di Figura P9.25: $\beta_F = 40$, $V_{CC} = 0$ V, $-V_{EE} = -15$ V e $R_L = 1$ kΩ. Qual è il minimo valore di I_{EE} necessario per assicurare che il circuito funzioni correttamente per -10 V = $v_I = 0$ V?

9.32 Nel circuito di Figura P9.32, $R_L = 2$ kΩ, $V_{CC} = +15$ V e $-V_{EE} = -15$ V. (a) Qual è il massimo valore di R_E che può essere utilizzato se v_O deve raggiungere -12.5 V? (b) Quanto vale la corrente di emettitore di Q_1 quando $v_O = +12.5$ V?

9.33 Nel circuito di Figura P9.32: $\beta_F = 100$, $V_{CC} = 0$ V, $-V_{EE} = -15$ V e $R_L = 4.7$ kΩ. (a) Qual è il massimo valore di R_E che può essere utilizzato in modo che il circuito operi correttamente per -10 V = $v_I = 0$ V? (b) Qual è la corrente di emettitore di Q_1 quando $v_I = 0$ V? (c) Qual è la corrente di emettitore di Q_1 quando $v_I = -10$ V?

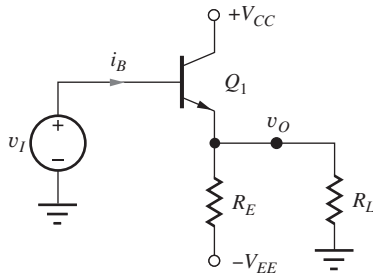


Figura P9.32

- 9.34** Nel circuito di Figura P9.32: $\beta_F = 100$, $V_{CC} = 0$ V, $-V_{EE} = -6$ V, $R_E = 1.3$ k Ω , $R_L = 4.7$ k Ω e $v_I = -1.5 + 1.5 \sin(2000\pi t)$ V. (a) Diagrammare l'andamento della tensione di uscita v_O in funzione del tempo. (b) Scrivere l'espressione della tensione di uscita. (c) Qual è il massimo valore della corrente di emettitore e per quale valore di v_I viene raggiunto? (d) Qual è il minimo valore della corrente di emettitore e per quale valore di v_I viene raggiunto? (e) Qual è il massimo valore di R_E che può essere utilizzato in modo che la tensione di uscita del circuito sia una replica non distorta del segnale di ingresso?
- 9.35** Simulare con SPICE il circuito del Problema 9.34, per $0 \leq t \leq 3$ ms. (b) Ripetere la simulazione per $R_E = 4.7$ k Ω .

9.7 Logica OR cablata o "wired OR"

- 9.36** Le due uscite dell'invertitore di Figura 9.6 sono accidentalmente collegate fra loro. Quale sarà la tensione di uscita per $v_I = -0.7$ V? e per $v_I = -1.3$ V? Quali saranno le correnti nei transistori Q_1 e Q_4 in entrambi i casi?
- 9.37** Quali sono le funzioni logiche Y e Z in Figura P9.37?

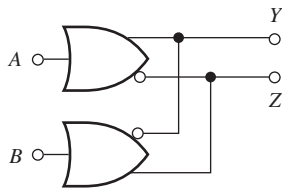


Figura P9.37

- 9.38** Disegnare lo schema di un circuito che realizzi in logica ECL la funzione: $Y = A + B + (C + D)$ utilizzando una connessione wired-or di due porte ECL.

9.10 Caratteristiche ritardo-potenza della porta ECL

- 9.39** Supponiamo che l'invertitore ECL delle Figure 9.32 e 9.34 operi a una potenza di 20 μ W, scalando opportunamente i generatori di corrente. Le capacità e i livelli di tensione rimangono invariati. Quale sarà il nuovo ritardo di propagazione dell'invertitore?
- 9.40** Lo swing logico dell'invertitore di Figura 9.32 viene ridotto di un fattore 2 riducendo il valore di R_C e cambiando la V_{REF} . Qual è il nuovo valore di V_{REF} ? Qual è il nuovo valore del prodotto ritardo-potenza?

- 9.41** Lo swing logico dell'invertitore di Figura 9.32 viene ridotto di un fattore 2 riducendo il valore di tutti i generatori di corrente di un fattore 2 e cambiando la V_{REF} . Qual è il nuovo valore di V_{REF} ? Qual è il nuovo valore del prodotto ritardo-potenza?

- *9.42** (a) Il circuito di Figura P9.42 rappresenta una forma alternativa di porta ECL. Se $V_{EE} = -3.3$ V, $V_{REF} = -1.0$ V, $R_B = 3.2$ k Ω e $R_E = 1.6$ k Ω , calcolare i valori di V_L , V_H e la dissipazione di potenza della porta. Quali sono i valori di R_{C1} e di R_{C2} ? (b) Quali sono le funzioni logiche corrispondenti alle due uscite? (c) Confrontare il numero di transistori in questa porta con una porta ECL standard che realizza la stessa funzione logica.

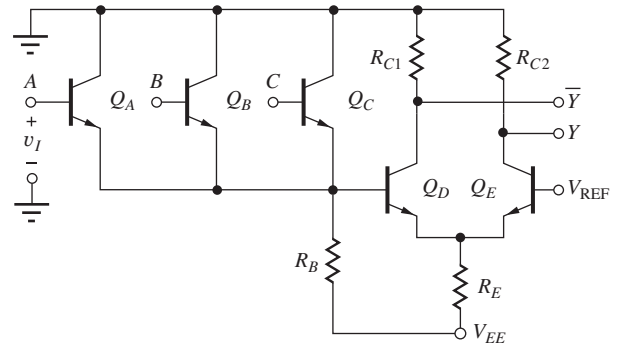


Figura P9.42

- **9.43** Supponiamo che siano necessari 0.6 V ai capi di R_E per poter stabilizzare la corrente nella porta ECL modificata di Figura P9.42. Progettare i resistori del circuito in modo da ottenere uno swing logico di 0.4 V e una corrente media di 1 mA attraverso R_B e R_E . Quali sono i valori minimi di V_{EE} e il valore di V_{REF} ?
- 9.44** Utilizzare SPICE e i valori dati nel Problema 9.42 per ottenere il ritardo di propagazione della porta di Figura P9.42.
- 9.45** Riprogettare l'invertitore ECL di Figura 9.29 in modo da avere una potenza media dissipata di 1 mW. Modificare dello stesso fattore la corrente della coppia differenziale e dell'inseguitore di emettitore.
- 9.46** La tensione di alimentazione $-V_{EE}$ in Figura 9.30 è portata a -2 V. Quali sono i nuovi valori di R_{EE} e di R_{C1} necessari per mantenere invariati i livelli logici e lo swing logico? Qual è la nuova dissipazione di potenza della porta?
- 9.47** Che tipo di porta logica è realizzata dal circuito di Figura P9.47? Quale funzione logica è fornita all'uscita Y?
- 9.48** Progettare il circuito di Figura P9.47 in modo da avere uno swing logico di 0.6 V con una tensione di alimentazione di $+3$ V. La dissipazione di potenza media deve essere di 1 mW, con il 90% della potenza dissipata da Q_D e Q_E .
- 9.49** (a) Utilizzare SPICE per ottenere il ritardo di propagazione della porta logica del Problema 9.47. (b) Ripetere il punto (a) per la porta logica del Problema 9.4. (c) Ripetere il punto (a) per la porta logica di Figura P9.14.

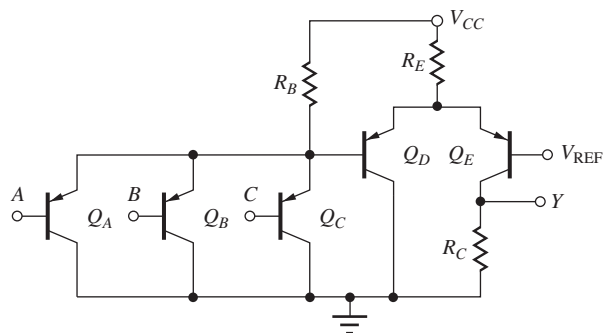


Figura P9.47

9.11 Positive ECL

- 9.50** (a) La porta PECL in Figura 9.37 opera con $V_{CC} = 3.3$ V, $R_{C1} = 330 \Omega$, $R_{C2} = 300 \Omega$ e $R_{EE} = 1.3$ k Ω . Quanto valgono V_{OH} , V_{OL} e V_{REF} ? (b) Ripetere il calcolo con $V_{CC} = 2.5$ V. (c) Ripetere il calcolo con $V_{CC} = 1.8$ V.

- 9.51** Stimare il valore minimo di V_{CC} necessario per il funzionamento della porta PECL in Figura P9.51. Quanto valgono V_{OH} , V_{OL} e V_{REF} per la tensione V_{CC} trovata?

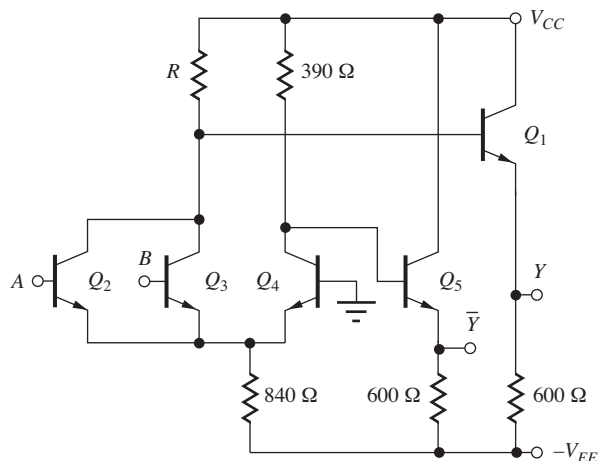


Figura P9.51

- 9.52** Si consideri la porta PECL in Figura P9.51, con $V_{CC} = +1.3$ V e $V_{EE} = -3.2$ V. (a) Quanto valgono V_H e V_L all'emettitore di Q_5 ? (b) Quale valore di R permette di avere gli stessi valori anche all'emettitore di Q_1 ?
- 9.53** Si ridisegni il circuito in Figura P9.51, rimuovendo i componenti non necessari, nell'ipotesi che sia necessaria (a) solo la porta OR e (b) solo la porta NOR. Si assuma $V_{CC} = +1.3$ V e $V_{EE} = -3.2$ V.

9.12 Porte logiche CML

- 9.54** Trovare la tavola di verità e la funzione logica per l'uscita Y nella porta logica in Figura 9.38; dimostrare che si tratta di una porta EX-OR. Qual è la funzione di $\bar{Y}$?
- 9.55** Il transistor BJT di una porta logica CML ha una corrente di saturazione di 0.1 fA con $\alpha_F = 0.98$ e $\alpha_R = 0.2$. (a) Calcolare le correnti di emettitore,

collettore e base del transistor assumendo $V_{BE} = 0.7$ V e $V_{BC} = 0.4$ V. (b) Quanto valgono le correnti se $V_{BC} = 0$?

- 9.56** Si consideri una porta CML con un HBT SiGe con corrente di saturazione di 1 aA, $\alpha_F = 0.98$ e $\alpha_R = 0.2$. (a) Calcolare le correnti di emettitore, collettore e base del transistor assumendo $V_{BE} = 0.85$ V e $V_{BC} = 0.2$ V. (b) Quanto valgono le correnti se $V_{BC} = 0$?
- 9.57** I circuiti integrati ad alta densità in SiGe utilizzano transistori con aree di emettitore estremamente piccole e raggiungono frequenze di taglio oltre i 250 GHz. Le tensioni base-emettitore valgono circa 0.9 V quando la corrente di polarizzazione vale 400 μ A. Quanto valgono i livelli logici associati con le porte di ingresso e uscita in Figura 9.40 se $V_L = -0.2$ V? Quanto vale il valore minimo di V_{EE} se la tensione sul generatore di corrente vale 0.4 V?
- 9.58** Quale funzione logica è implementata dal circuito in Figura P9.58?

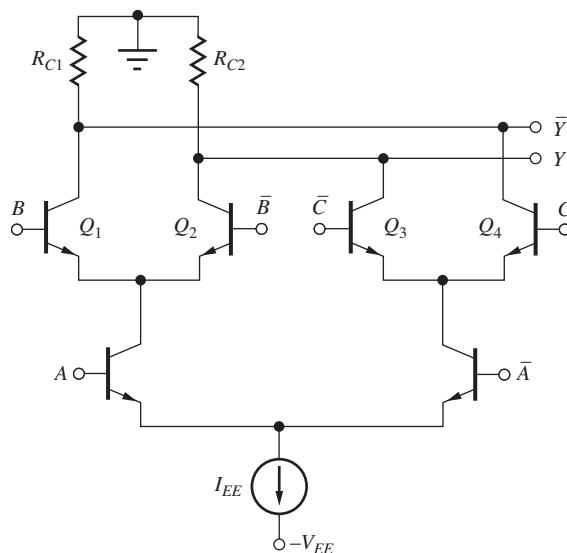


Figura P9.58

- 9.59** Disegnare lo schema circuitale della porta logica XOR della famiglia CML.
- 9.60** Quale funzione logica è implementata dal circuito in Figura P9.58 se gli ingressi verso i transistori Q_3 e Q_4 sono scambiati?
- 9.61** Disegnare una porta logica CML che implementi la funzione logica (a) $Y = B(\bar{A} + C)$ e (b) $Y = AC + B$.
- 9.62** Disegnare lo schema circuitale della porta EX-OR SCFL a due ingressi.

9.13 Porte logiche bipolari saturate

- 9.63** Calcolare le correnti di base e di collettore in un transistor bipolare che opera con $v_{BE} = 0.25$ V e $v_{BC} = -4.8$ V. Utilizzare per il BJT i parametri di Tabella 9.3.
- 9.64** Calcolare il valore di V_{CESAT} del transistor Q_1 in Figura 9.50, utilizzando l'Equazione (9.58) e i parametri riportati in Tabella 9.3.

- 9.65 (a) Qual è il rapporto i_C/i_E in Figura P9.65 per $v_I = 0.8$ V? (b) Ripetere il punto (a) per $v_I = 0.6$ V. (c) Ripetere il punto (a) per $v_I = 1.0$ V. (d) Qual è il valore della tensione di ingresso v_I richiesta per avere $i_C/i_E = -1$?
- 9.66 Calcolare il tempo di storage per l'invertitore di Figura 9.47, se $I_{BF} = 2.5$ mA, $I_{BR} = -0.5$ mA, $\tau_F = 0.4$ ns e $\tau_R = 12$ ns.

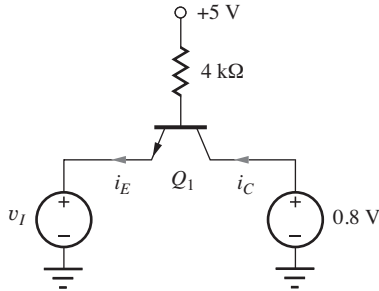


Figura P9.65

- 9.67 (a) Qual è la tensione base-emettitore nel circuito di Figura P9.67? Utilizzare l'equazione del trasporto e i parametri di Tabella 9.3. (b) Qual è la tensione base-emettitore se $\beta_F = 80$? (c) Qual è la V_{BE} se I_B viene portata a 1 mA e $\beta_F = 40$?

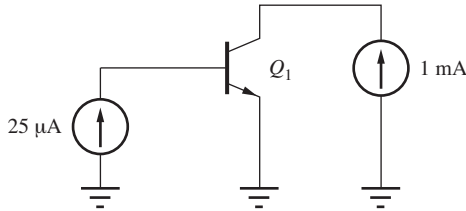


Figura P9.67

- 9.68 Calcolare il valore di v_{CE} nei due circuiti di Figura P9.68.

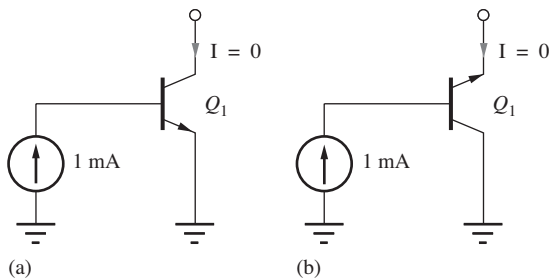


Figura P9.68

9.14 La porta logica transistore-transistore (TTL) elementare

- 9.69 Si ipotizzi che l'uscita del circuito in Figura P9.69 sia accidentalmente collegata a ground. (a) Si calcoli la corrente di emettitore nel circuito se $R_S = 0$ e $\beta_F = 100$. (b) Si ripeta il calcolo per $R_S = 130 \Omega$.
- 9.70 Si calcoli la potenza dissipata dal circuito in entrambe le parti (a) e (b) del Problema 9.69.
- 9.71 Si usi SPICE per disegnare v_O in funzione di i_L nel circuito di Figura P9.69.

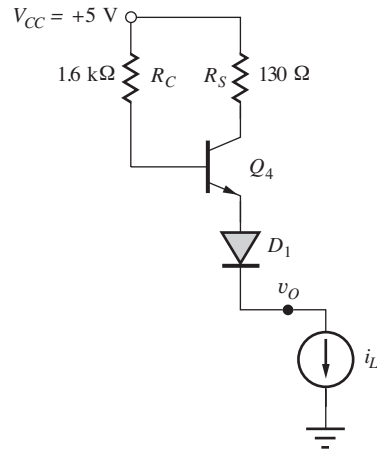


Figura P9.69

- 9.72 Si usi SPICE per simulare la caratteristica di trasferimento per la porta TTL modificata di Figura P9.72 e si spieghi il risultato ottenuto.

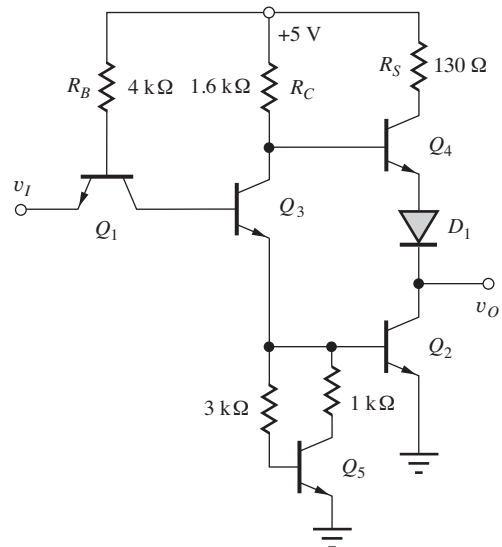


Figura P9.72

- 9.73 Quanto vale la potenza dissipata minima e massima, nel caso peggiore, per l'invertitore TTL standard se i resistori hanno tutti tolleranze pari a $\pm 20\%$?
- 9.74 (a) Si simuli la caratteristica di trasferimento della porta logica TTL a basso consumo del Problema 9.72 quando $T = -25^\circ\text{C}$. (b) Si ripeta l'analisi per $T = +55^\circ\text{C}$. (c) $T = +85^\circ\text{C}$.
- 9.75 La Figura P9.75 mostra una porta TTL a basso consumo. Calcolare V_{OH} , V_{OL} , V_{IH} , V_{IL} e i margini di rumore del circuito.

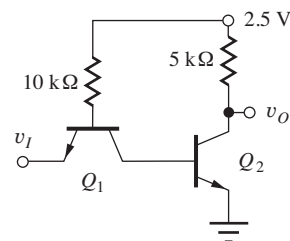


Figura P9.75

9.76 Si simuli la risposta dinamica del circuito in Figura P9.75 e si ricavino i ritardi di propagazione.

9.77 Un progetto VLSI necessita di una porta TTL a basso consumo simile a quella in Figura P9.75. Sono disponibili alimentazioni pari a 0.5 V, 1.0 V, 1.5 V, 2.0 V, 2.5 V. Quale di queste tensioni è quella minima per permettere al circuito di funzionare correttamente e per quale motivo?

Limitazioni al fan-out nella TTL standard

***9.78** Calcolare il fan-out per $v_O = V_H$, per la porta TTL standard di Figura 9.72. Assumere che la V_H non possa scendere al di sotto di 2.4 V.

***9.79** Calcolare il fan-out per la porta TTL standard di Figura 9.72, se $R_B = 5 \text{ k}\Omega$, $R_C = 2 \text{ k}\Omega$, $R_E = 1.25 \text{ k}\Omega$, $\beta_R = 0.05$ e $\beta_F = 20$. Assumere che la V_H non possa scendere al di sotto di 2.4 V.

***9.80** Riportare in un grafico il fan-out della porta TTL standard di Figura 9.72, in funzione di β_R , con β_F compreso fra 0 e 5.

***9.81** (a) Calcolare V_H e V_L per l'invertitore di Figura P9.81. (b) Quali sono le correnti di ingresso nei due stati logici? (c) Qual è il massimo fan-out per questa porta logica?

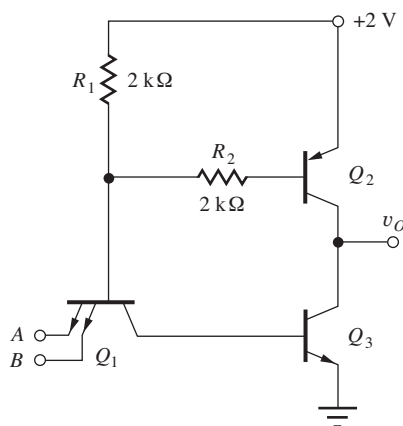


Figura P9.81

9.16 Funzioni logiche in TTL

***9.82** Il circuito in Figura P9.82 appartiene alla famiglia logica diodo-transistore (DTL). (a) Qual è la funzione logica realizzata dal circuito? (b) Calcolare V_H e V_L . (c) Quanto valgono le correnti di ingresso nei due stati logici? (d) Disegnare la caratteristica di trasferimento del circuito e confrontarla a quella di un circuito TTL standard.

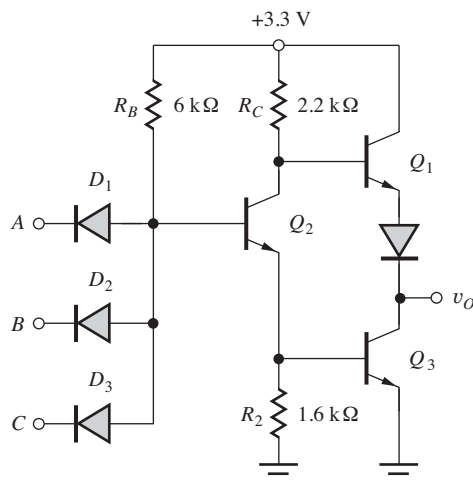


Figura P9.82

9.83 Per il circuito in Figura P9.83, $R_1 = 4 \text{ k}\Omega$, $R_2 = 4 \text{ k}\Omega$, $R_3 = 4.3 \text{ k}\Omega$, $R_4 = 10 \text{ k}\Omega$, $R_5 = 5 \text{ k}\Omega$ e $R_6 = 5 \text{ k}\Omega$. (a) Qual è la funzione logica realizzata dal circuito? (b) Quali sono i valori di V_H e V_L ? (c) Quanto valgono le correnti di ingresso nei due stati logici?

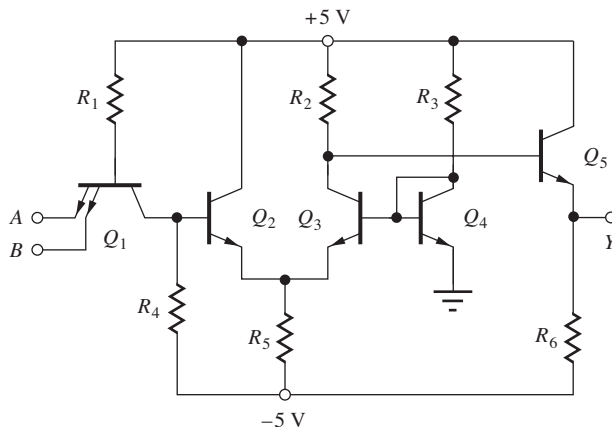


Figura P9.83

9.17 La TTL Schottky

9.84 (a) Calcolare V_H e V_L per la porta DTL Schottky in Figura P9.84. (b) Quanto valgono le correnti di ingresso nei due stati logici? (c) Qual è il fan-out della porta?

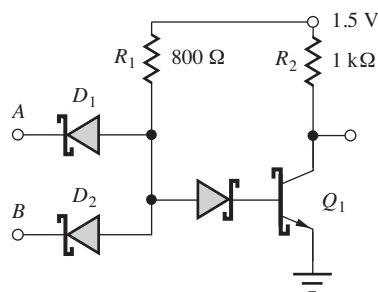


Figura P9.84

- 9.85** Prima della disponibilità di diodi Schottky venivano utilizzate particolari tecniche circuitali per prevenire la saturazione dei transistori bipolari, come il "Baker clamp" di Figura P9.85. Qual è la tensione collettore-emettitore del transistor assumendo che $i_B > i_C/\beta_F$? Quanto valgono i_{D1} , i_{D2} e i_C se $i_B = 250 \mu\text{A}$, $i_{CC} = 1 \text{ mA}$, $\beta_F = 20$ e $\beta_R = 2$?

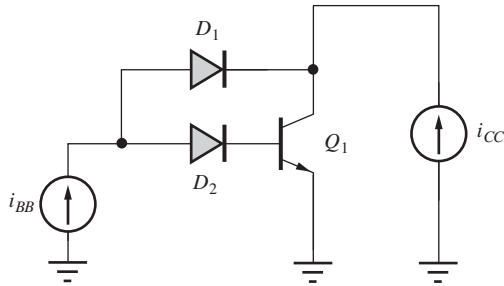


Figura P9.85

- *9.86** Calcolare le correnti nei transistori da Q_1 a Q_6 nella porta TTL Schottky low-power di Figura 9.81 quando (a) tutti gli ingressi sono a V_H e (b) tutti gli ingressi sono a V_L .
- *9.87** Simulare la caratteristica di trasferimento e il ritardo di propagazione per la porta TTL Schottky di Figura 9.81.
- 9.88** Qual è la funzione logica realizzata dal circuito di Figura P9.88? Calcolare V_H , V_L e V_{REF} per questo circuito, assumendo $V_{EE} = -3 \text{ V}$, $R_C = 3.3 \text{ k}\Omega$ e $R_E = 2.4 \text{ k}\Omega$. Assumere $V_{BE} = 0.7 \text{ V}$ e $V_D = 0.4 \text{ V}$ per il diodo Schottky.

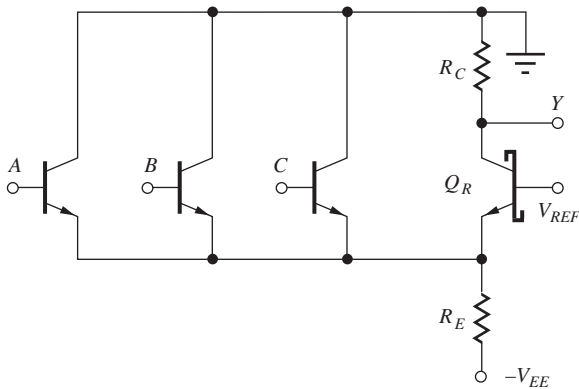


Figura P9.88

- 9.89** Stimare i_B e i_C per il transistor Schottky di Figura P9.89 nell'ipotesi che il terminale di collettore esterno sia aperto. Assumere che la caduta di tensione sul diodo Schottky sia 0.45 V .

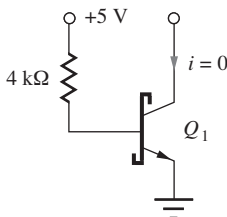


Figura P9.89

9.18 Confronto del prodotto ritardo-potenza dissipata fra porte ECL e TTL

- 9.90** Una porta ECL a bassa dissipazione di potenza ha: $\text{PDP} = 0.5 \text{ pJ}$. (a) Quale sarà il ritardo di propagazione per una porta operante a un livello di potenza di 0.3 mW ? (b) Quale potenza è richiesta a una porta logica per ottenere un ritardo di 1 ns ?
- 9.91** La porta ECL-100K, caratterizzata dal prodotto ritardo-potenza di Figura 9.84, è riprogettata per operare ad una potenza di 10 mW . (a) Quale sarà il nuovo ritardo della porta, assumendo che il PDP rimanga costante? (b) Qual è il livello di potenza richiesto per ottenere un ritardo di 0.2 ns ?
- 9.92** La porta TTL 74LS, caratterizzata dal prodotto ritardo-potenza di Figura 9.84, è riprogettata per operare a una potenza di 5 mW . (a) Quale sarà il nuovo ritardo della porta, assumendo che il PDP rimanga costante? (b) Qual è il livello di potenza richiesto per ottenere un ritardo di 0.3 ns ?

9.19 Logica BiCMOS

- 9.93** (a) Simulare la caratteristica di trasferimento del buffer BiNMOS di Figura 9.91 assumendo che i rapporti W/L di tutti i MOS siano $10/1$. (b) Utilizzare SPICE per ottenere il ritardo di propagazione per $C = 2 \text{ pF}$. Per i BJT utilizzare gli stessi parametri adottati per la simulazione di Figura 9.34.
- 9.94** Aggiungere dei transistori MOS al circuito di Figura 9.90 per creare una porta NAND BiCMOS a due ingressi.
- 9.95** Aggiungere dei transistori MOS al circuito di Figura 9.91 per creare una porta NAND BiNMOS a due ingressi.
- 9.96** (a) Simulare la caratteristica di trasferimento per il buffer BiNMOS di Figura 9.94 assumendo che i rapporti W/L di tutti i MOS siano $10/1$. (b) Utilizzare SPICE per ottenere il ritardo di propagazione per $C = 2 \text{ pF}$. Per i BJT utilizzare gli stessi parametri adottati per la simulazione di Figura 9.34.

Capitolo 10

Riepilogo

- **Amplificatori analogici.** In questo capitolo è stato introdotto il concetto di amplificazione. Abbiamo anche definito le caratteristiche più importanti di un amplificatore: il guadagno di tensione, di corrente e di potenza, la resistenza di ingresso e la resistenza di uscita. Abbiamo ricavato l'espressione relativa ai diversi guadagni utilizzando il concetto di funzione di trasferimento, ottenuta dalla trasformata di Laplace. Il modulo del guadagno è spesso espresso in decibel.
- **Polarizzazione.** Abbiamo mostrato che occorre polarizzare l'amplificatore in modo che questo funzioni nella regione lineare. La scelta del punto di lavoro può influenzare sia il valore dell'amplificazione sia l'intervallo di variazione del segnale di ingresso che assicura un funzionamento lineare. Una scelta errata del punto di lavoro può determinare un comportamento non lineare dell'amplificatore, e quindi la distorsione del segnale.
- **Rappresentazione degli amplificatori come doppi bipoli.** Gli amplificatori lineari possono essere efficacemente descritti utilizzando la rappresentazione a doppio bipolo. In questo testo facciamo riferimento alla rappresentazione a parametri g . Nella maggior parte dei casi il parametro 1-2 (per esempio g_{12}) può essere trascurato. Il circuito equivalente di un amplificatore in cui il parametro 1-2 è trascurabile può essere definito in termini dei parametri: resistenza di ingresso R_{in} , resistenza di uscita R_{out} , guadagno di tensione a circuito aperto A . Un amplificatore di tensione ideale presenta $R_{in} \rightarrow \infty$ e $R_{out} = 0$.
- **Risposta in frequenza.** Gli amplificatori lineari possono essere utilizzati per modificare opportunamente l'ampiezza o la fase (o entrambe) di un segnale sinusoidale, e sono classificati in base alla risposta in frequenza. Abbiamo analizzato le caratteristiche degli amplificatori bassa-basso, passa-alto, passa-banda, a reiezione di banda e passa-tutto. Le caratteristiche di questi amplificatori sono rappresentate in forma grafica attraverso i diagrammi di Bode, in cui il guadagno (in dB) e la fase (in gradi) vengono riportati in funzione del logaritmo della frequenza. Questi grafici possono essere facilmente tracciati utilizzando MATLAB.
- Il guadagno a centro banda A_{mid} rappresenta il valore massimo del guadagno di un amplificatore. In corrispondenza delle frequenze di taglio inferiore f_L e superiore f_H il guadagno è pari a $A_{mid}/\sqrt{2}$, ed è quindi inferiore di 3 dB rispetto al valore a centro banda ($20 \log|A_{mid}|$). La larghezza di banda corrisponde all'intervallo di frequenze comprese tra f_L e f_H , ed è definita da $BW = f_H - f_L$. Gli amplificatori a banda stretta sono caratterizzati dal fattore $Q = f_o/BW$, in cui f_o è la frequenza centrale.
- Abbiamo iniziato lo studio degli amplificatori operazionali introducendo il concetto di amplificatore operazionale ideale e abbiamo poi analizzato il funzionamento di circuiti contenenti amplificatori operazionali ideali. Gli aspetti più importanti sono riassunti di seguito.
 - Gli amplificatori operazionali ideali presentano un guadagno infinito e corrente di ingresso nulla. I circuiti contenenti amplificatori operazionali ideali possono essere studiati utilizzando due ipotesi fondamentali:
 1. la tensione differenziale di ingresso è nulla: $v_{id} = 0$ (v_- insegue v_+);
 2. le correnti di ingresso sono nulle: $i_+ = 0$ e $i_- = 0$.
 - Le ipotesi 1 e 2, unite alle leggi di Kirchhoff, sono state utilizzate per studiare il funzionamento ideale dei circuiti fondamentali contenenti amplificatori operazionali. La retroazione realizzata con partitori di tensione a elementi resistivi è utilizzata per le configurazioni invertente e non invertente, nell'inseguitore di tensione, nell'amplificatore differenziale, nel sommatore e nell'amplificatore per strumentazione, mentre la retroazione realizzata con elementi reattivi è utilizzata nel filtro passa-basso, nell'integratore e nel circuito derivatore.
 - Le ipotesi 1 e 2 derivano dalle caratteristiche degli amplificatori operazionali ideali di guadagno e resistenza di ingresso di valore infinito. Altre proprietà degli amplificatori operazionali ideali non sempre evidenziate sono:
 - reiezione del modo comune infinita;
 - reiezione delle variazioni delle tensioni di alimentazione infinita;
 - intervallo di variazione della tensione di uscita infinito;
 - corrente erogabile all'uscita infinita;
 - larghezza di banda ad anello aperto infinita;

- slew rate infinito;
- resistenza di uscita nulla;
- corrente di polarizzazione di ingresso pari a zero;
- tensione di offset all'ingresso pari a zero

- Il prodotto banda guadagno è un'importante figura di merito dell'amplificatore; è dato dal prodotto tra il guadagno di tensione a centro banda e la larghezza di banda.

Problemi

Le soluzioni si trovano sul sito web dedicato al libro 

10.1 Un esempio di sistema elettronico analogico

- 10.1** Oltre a quelle ricordate nell'introduzione, si elenchino 15 variabili fisiche che possono essere rappresentate come segnali analogici continui.

10.2 Amplificazione

- 10.2** Si effettui la conversione in decibel per le seguenti grandezze: (a) guadagno di tensione pari a 125, -50, 50 000, -100 000, 0.85; (b) guadagno di corrente pari a 600, 3000, -10⁶, 200 000, 0.95; (c) guadagno di potenza pari a 2 × 10⁹, 4 × 10⁵, 6 × 10⁸, 10¹⁰.

- 10.3** Si supponga che le tensioni ingresso e uscita di un  amplificatore di tensione risultino

$$v_s = 1 \sin(1000\pi t) + 0.333 \sin(3000\pi t) + 0.200 \sin(5000\pi t) \text{ V}$$

e

$$v_o = 2 \sin\left(1000\pi t + \frac{\pi}{6}\right) + \sin\left(3000\pi t + \frac{\pi}{6}\right) + \sin\left(5000\pi t + \frac{\pi}{6}\right) \text{ V}$$

(a) Si tracci il grafico delle tensioni di ingresso e uscita per $0 \leq t \leq 4 \text{ ms}$. (b) Si individuino l'ampiezza, la frequenza e la fase per ciascuna componente di v_s . (c) Si individuino l'ampiezza, la frequenza e la fase per ciascuna componente di v_o . (d) Si determini il valore del guadagno di tensione per le tre frequenze. (e) L'amplificatore è lineare?

- 10.4** Si determini il valore del guadagno di tensione, di corrente e di potenza per l'amplificatore di Figura 10.3 in modo tale che per $V_s = 2.5 \text{ mV}$ la potenza in uscita sia pari a 40 W.

- 10.5** Si calcolino il guadagno di tensione, di corrente e di potenza dell'amplificatore di Figura 10.3 se la potenza di uscita è pari a 20 mW e $V_s = 10 \text{ mV}$, $R_s = 2 \text{ k}\Omega$.

- 10.6** L'uscita di una scheda audio per PC è stata stabilita con MATLAB come un'onda sinusoidale di ampiezza 1 V e frequenza 1 kHz. Le uscite sono monitorate con un oscilloscopio e un voltmetro AC. (a) Per il canale di sinistra il valore RMS della tensione a 1 kHz misurato a circuito aperto è pari a 0.768 V, e si riduce a 0.721 V se un resistore di carico di 430 Ω viene collegato. Si determini il circuito equivalente secondo Thévenin per il canale sinistro di uscita (ovvero si calcolino v_{th} e R_{th}). (b) Per il canale di

destra il valore RMS della tensione a 1 kHz misurato a circuito aperto è pari a 0.760 V, e si riduce a 0.740 V se un resistore di carico di 1040 Ω viene collegato. Si determini il circuito equivalente per il canale destro di uscita. (c) Quali sono i valori delle due tensioni di uscita misurate a circuito aperto? Si calcoli l'errore in percentuale osservato tra la tensione misurata e la tensione desiderata stabilita con MATLAB.

- 10.7** Misurate nel laboratorio la tensione e la resistenza del circuito equivalente secondo Thévenin della scheda audio del vostro computer portatile oppure del computer del laboratorio.

- 10.8** Si supponga che ciascuno dei canali di uscita della scheda audio di un computer possa essere rappresentato da una tensione AC di 1 V e da una resistenza serie di 32 Ω . Ciascun canale dell'amplificatore connesso agli altoparlanti esterni presenta una resistenza di ingresso di 20 k Ω e deve fornire una potenza di 20 W a un altoparlante di 8 Ω . (a) Si calcolino il guadagno di tensione, corrente e di potenza richiesti all'amplificatore. (b) Quale sarebbe un valore ragionevole per la tensione di alimentazione in continua per l'amplificatore?

- 10.9** L'amplificatore di un dispositivo portatile alimentato a batteria deve essere progettato in modo da fornire una potenza di 0.1 W alle cuffie. L'impedenza delle cuffie può essere scelta tra 8 Ω , 24 Ω o 1000 Ω . Per ciascun valore della resistenza si calcolino i valori richiesti per la tensione e la corrente in modo che la potenza fornita sia di 0.1 W. Quale sembra la scelta più appropriata per un dispositivo portatile?

10.3 Modelli a doppio bipolo degli amplificatori

- 10.10** Si calcolino i parametri g per il circuito di Figura P10.10.

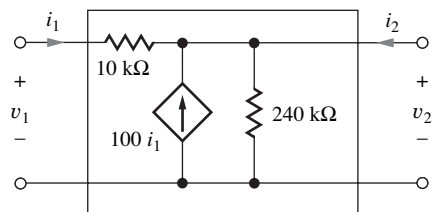


Figura P10.10

- 10.11**  Si impieghi l'analisi della funzione di trasferimento disponibile in SPICE per trovare la rappresentazione a parametri g per il circuito di Figura P10.10.

- 10.12** Si calcolino i parametri g per il circuito di Figura P10.12.

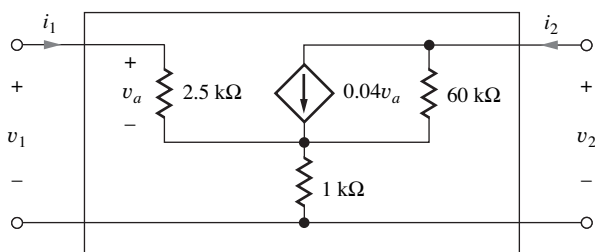


Figura P10.12

- 10.13** Si calcolino i parametri g per il circuito di Figura P10.13.

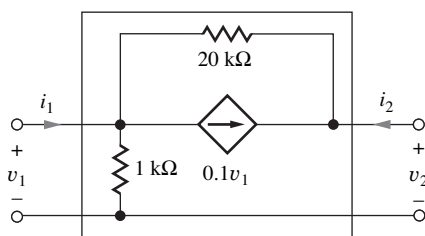


Figura P10.13

- 10.14** Si impieghi l'analisi della funzione di trasferimento disponibile in SPICE per trovare la rappresentazione a parametri g per il circuito di Figura P10.13.

10.4 Disadattamento delle impedenze di generatore e di carico

- 10.15** L'amplificatore inserito nel circuito di Figura P10.15 è caratterizzato dai parametri di seguito riportati. Si assuma inoltre per il circuito: $R_S = 1 \text{ k}\Omega$ e $R_L = 16 \Omega$. (a) Si determinino il guadagno di tensione complessivo A_v , il guadagno di corrente A_i e il guadagno di potenza A_p esprimendo il valore in dB. (b) Si determini l'ampiezza V_S relativa al segnale sinusoidale di ingresso v_S necessaria affinché la potenza fornita al resistore di carico da 16Ω sia pari a 1 W. (c) Si determini la potenza dissipata nell'amplificatore quando la potenza dissipata nel carico è pari a 1 W.

Resistenza di ingresso $R_{in} = 1 \text{ M}\Omega$

Resistenza di uscita $R_{out} = 0.5 \Omega$

$A = 54 \text{ dB}$

$v_S = V_S \sin \omega t$

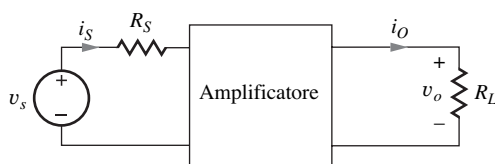


Figura P10.15

- 10.16** Si supponga che l'amplificatore di Figura P10.15 sia stato progettato in modo tale che le resistenze risultino adattate rispetto a quelle relative al generatore e al carico, con i parametri di seguito riportati. (a) Si determini l'ampiezza del segnale di

ingresso v_S necessaria affinché la potenza fornita alla resistenza di carico da 16Ω sia pari a 1 W. (b) Si determini la potenza dissipata nell'amplificatore quando la potenza dissipata nel carico è pari a 1 W.

Resistenza di ingresso $R_{in} = 1 \text{ k}\Omega$

Resistenza di uscita $R_{out} = 16 \Omega$

$A = 54 \text{ dB}$

- 10.17** Un amplificatore per cuffie in un dispositivo portatile presenta una resistenza di uscita di 28Ω , e deve fornire una potenza di 0.1 W alle cuffie. Assumendo una resistenza di 24Ω per le cuffie, si calcolino la tensione e la corrente relative al generatore dipendente (A_v nel nostro modello) necessaria affinché la potenza fornita alle cuffie sia di 0.1 W. Quanta potenza viene erogata dal generatore dipendente? Quanta potenza viene persa sulla resistenza di uscita?
- 10.18** Si ripeta il Problema 10.17 nel caso in cui le cuffie presentino una resistenza di 1000Ω .
- 10.19** Per il circuito di Figura 10.9 si assuma $R_S = 1 \text{ k}\Omega$, $R_L = 16 \Omega$ e $A = -2000$. Si determinino i valori di R_{in} e R_{out} tali da massimizzare la potenza dissipata sulla resistenza di carico R_L . Si determini il valore massimo della potenza dissipata su R_L assumendo che il segnale sinusoidale di ingresso v_S sia caratterizzato da un'ampiezza pari a 10 mV. Si determini il guadagno di potenza dell'amplificatore.
- 10.20** Per il circuito di Figura 10.9 si assuma $R_S = 1 \text{ k}\Omega$, $R_{in} = 20 \text{ k}\Omega$, $R_{out} = 100 \Omega$ e $R_L = 2 \text{ k}\Omega$. Si determini il valore di A necessario affinché il guadagno di tensione sia pari a 77 dB, assumendo che l'amplificatore sia di tipo invertente ($\theta = 180^\circ$).
- 10.21** Il circuito di Figura P10.21 rappresenta il modello a doppio bipolo di amplificatore di corrente. Si scrivano l'espressione per la corrente di ingresso i_1 , la corrente di uscita i_o e per il guadagno di corrente $A_i = I_o/I_S$. Per quali valori di R_{in} e R_{out} si ottiene il valore massimo di A_i ?

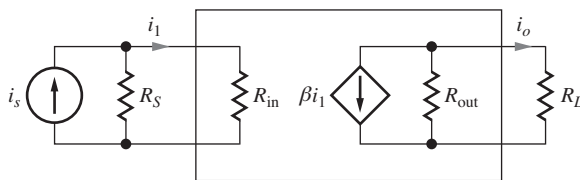


Figura P10.21

- 10.22** Per il circuito di Figura P10.21 si assuma $R_S = 200 \text{ k}\Omega$, $R_{in} = 10 \text{ k}\Omega$, $R_{out} = 300 \text{ k}\Omega$ e $R_L = 47 \text{ k}\Omega$. Si determini il valore di β necessario affinché il guadagno in corrente sia pari a 200.
- 10.23** Per il circuito di Figura P10.21 si assuma $R_S = 100 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$ e $\beta = 5000$. Si determinino i valori di R_{in} e R_{out} tali da massimizzare la potenza dissipata sulla resistenza di carico. Si determini il valore massimo della potenza dissipata su R_L assumendo che il segnale sinusoidale di ingresso i_S sia caratterizzato da un'ampiezza pari a $1 \mu\text{A}$. Si determini il guadagno di potenza dell'amplificatore.

- 10.24** Nel circuito di Figura P10.24 due amplificatori sono connessi in serie. Assumendo $R_S = 1 \text{ k}\Omega$, $R_{in} = 5 \text{ k}\Omega$, $R_{out} = 500 \Omega$, $R_L = 100 \Omega$ e $A = -1200$, si determinino il guadagno di tensione, di corrente e di potenza dell'amplificatore complessivo.

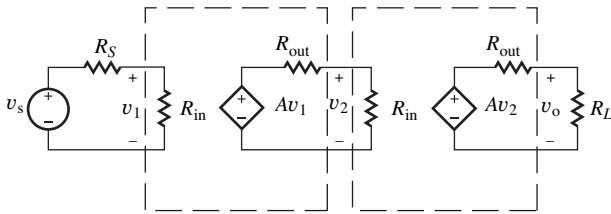


Figura P10.24

- *10.25** Per il circuito di Figura 10.9 si mostri che

$$A_{PdB} = A_{vdB} - 10 \log \left(\frac{R_L}{R_S + R_{in}} \right)$$

e

$$A_{PdB} = A_{idB} + 10 \log \left(\frac{R_L}{R_S + R_{in}} \right)$$

10.5 Introduzione all'amplificatore operazionale

- 10.26** Il circuito racchiuso nella scatola in Figura P10.26 contiene solo resistori e diodi. Il terminale V_O è collegato a qualche punto del circuito contenuto nella scatola. (a) Il massimo valore possibile di V_O è più prossimo a 0 V, a -6 V, a +6 V o a +15 V? Si motivi la risposta. (b) Il minimo valore di V_O è più prossimo a 0 V, a -9 V, a +6 V o a +15 V? Si motivi la risposta.

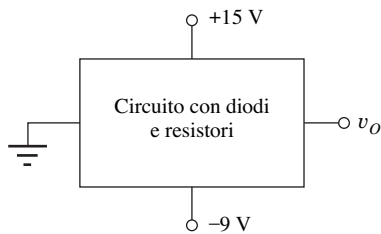


Figura P10.26

- 10.27** (a) La tensione di ingresso applicata all'amplificatore di Figura P10.27 è $v_I = V_B + V_M \sin 1000\pi t$. Si determini il guadagno di tensione per piccoli valori di V_M assumendo $V_B = 0.6 \text{ V}$. Si determini il massimo valore di V_M che garantisce un funzionamento lineare. (b) Si scriva un'espressione per $v_I(t)$ e $v_O(t)$.
- 10.28** Si ripeta il Problema 10.27 per (a) $V_B = 0.5 \text{ V}$, (b) $V_B = 1.1 \text{ V}$.
- 10.29** Si ripeta il Problema 10.27 per (a) $V_B = 0.8 \text{ V}$, (b) $V_B = 0.2 \text{ V}$.
- 10.30** La tensione di ingresso applicata all'amplificatore di Figura P10.27 è $v_I = (0.6 + 0.1 \sin 1000\pi t) \text{ V}$. (a) Si ricavi l'espressione della tensione di uscita. (b) Si tracci il grafico della tensione di uscita per due periodi. (c) Si calcolino le prime 5 componenti dello spettro del segnale di uscita. Si utilizzi MATLAB o un altro programma.

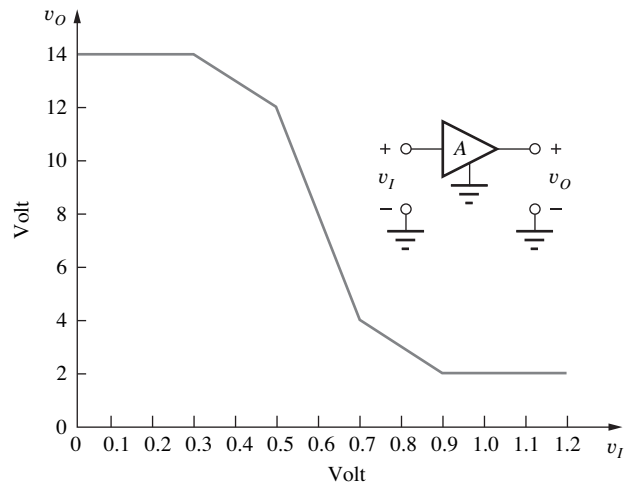


Figura P10.27

- *10.31** La tensione di ingresso applicata all'amplificatore di Figura P10.27 è $v_I = (0.5 + 0.1 \sin 1000\pi t) \text{ V}$. (a) Si ricavi l'espressione della tensione di uscita. (b) Si tracci il grafico della tensione di uscita per due periodi. (c) Si calcolino le prime 5 componenti dello spettro del segnale di uscita. Si utilizzi MATLAB o un altro programma.

10.6 Distorsione negli amplificatori

- 10.32** Il segnale di ingresso di un amplificatore audio è dato da una sinusoide con ampiezza pari a 4 mV e frequenza 1 kHz, mentre il segnale di uscita risulta $v_O = (5 \sin 2000\pi t + 0.25 \sin 6000\pi t + 0.10 \sin 10000\pi t) \text{ V}$. Si determini il guadagno di tensione dell'amplificatore. Si individuino le armoniche presenti nel segnale e la distorsione armonica totale.
- 10.33** Il segnale di ingresso di un amplificatore audio è dato da $v_S = (0.5 + 0.25 \sin 1200\pi t) \text{ V}$, mentre il segnale di uscita risulta $v_O = (2 + 4 \sin 1200\pi t + 0.4 \sin 2400\pi t + 0.2 \sin 3600\pi t) \text{ V}$. Si determini il guadagno di tensione dell'amplificatore. Si individuino le armoniche presenti nel segnale e la distorsione armonica totale del segnale di uscita.
- 10.34** (a) Si impieghi l'analisi FFT disponibile in MATLAB per determinare la rappresentazione in serie di Fourier del segnale $v_{O2}(t)$ in Figura 10.15. (b) Si impieghi MATLAB per determinare i coefficienti dei primi tre termini della serie di Fourier di $v_{O2}(t)$ calcolando l'espressione integrale per i coefficienti.
- 10.35** MATLAB limita un segnale audio a 1 V. Valori superiori a 1 V sono cimiti (cioè posti pari a 1 V). (a) Si usi MATLAB per tracciare la seguente forma d'onda: $y = \max(-1, \min(1, 1.5 \sin(1400\pi t)))$. (b) Si usi MATLAB per determinare la distorsione armonica totale di y . (c) Usate l'uscita audio del vostro computer per ascoltare e confrontare i seguenti segnali: $y = 1 \sin(1400\pi t)$, $y = 1.5 \sin(1400\pi t)$, e $y = \max(-1, \min(1, 1.5 \sin(1400\pi t)))$.

10.7 L'amplificatore differenziale

- 10.36** Un amplificatore operazionale connesso al circuito in Figura P10.36 è caratterizzato dai parametri di seguito specificati; inoltre $R_S = 5\text{ k}\Omega$, $R_L = 1\text{ k}\Omega$.
 (a) Si calcolino il guadagno di tensione complessivo A_v , il guadagno di corrente A_i e il guadagno di potenza A_p dell'amplificatore, e si esprimano i risultati in dB. (b) Si determini l'ampiezza V_S del segnale sinusoidale di ingresso necessario affinché la tensione v_O presenti un'ampiezza picco-picco di 10 V.

$$\begin{aligned} \text{Resistenza di ingresso } R_{id} &= 1\text{ M}\Omega \\ \text{Resistenza di uscita } R_o &= 0.5\Omega \\ A &= 60\text{ dB} \\ v_S &= V_S \sin \omega t \end{aligned}$$

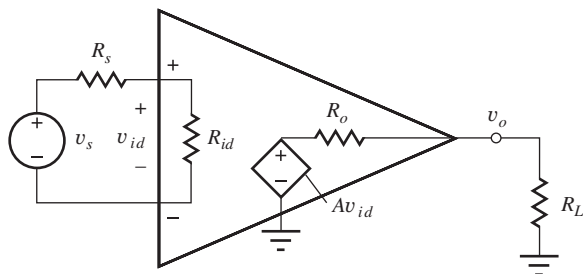


Figura P10.36

- 10.37** Si supponga che l'amplificatore di Figura P10.36 sia adattato rispetto alle resistenze di ingresso e uscita specificate nel Problema 10.36, con i parametri di seguito riportati. (a) Si determini l'ampiezza del segnale di ingresso v_S necessaria affinché l'ampiezza picco-picco del segnale di uscita v_O sia pari a 20 V. (b) Si calcoli la potenza dissipata dall'amplificatore se la potenza dissipata sulla resistenza di carico risulta pari a 0.5 W.

$$\begin{aligned} \text{Resistenza di ingresso } R_{id} &= 5\text{ k}\Omega \\ \text{Resistenza di uscita } R_o &= 1\text{ k}\Omega \\ A &= 30\text{ dB} \end{aligned}$$

- 10.38** L'ingresso di un amplificatore proviene da un trasduttore che può essere rappresentato da un generatore di tensione da 1 mV, in serie con una resistenza di 50 Ω . Si calcoli la resistenza di ingresso necessaria affinché si abbia $v_{id} \geq 0.99\text{ mV}$.
10.39 L'uscita di un amplificatore è un segnale sinusoidale, e la potenza fornita a una resistenza di carico di 50 Ω è pari a 100 W. Qual è il valore di R_o necessario affinché la potenza dissipata sulla resistenza di uscita dell'amplificatore sia $\leq 5\text{ W}$?

10.8 L'amplificatore operazionale ideale

- 10.40** Un amplificatore operazionale quasi ideale presenta una tensione di uscita a circuito aperto pari a $v_o = 10\text{ V}$, e un guadagno pari ad $A = 100\text{ dB}$. Quanto vale la tensione di ingresso v_{id} ? Quanto vale il guadagno di tensione necessario affinché si abbia $v_{id} \leq 1\text{ }\mu\text{V}$?
10.41 Si supponga che un amplificatore differenziale presenti un guadagno pari ad $A = 120\text{ dB}$, e che sia inserito in un circuito con una tensione di uscita a

circuito aperto di $v_o = 15\text{ V}$. Quanto vale la tensione di ingresso v_{id} ? Quanto vale il guadagno di tensione necessario affinché si abbia $v_{id} \leq 1\text{ }\mu\text{V}$? Quanto vale la corrente d'ingresso i_+ se $R_{id} = 1\text{ M}\Omega$?

10.9 Circuiti con amplificatori operazionali ideali

Amplificatore invertente

- 10.42** (a) Si calcolino il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore di Figura P10.42 se $R_1 = 4.7\text{ k}\Omega$ e $R_2 = 220\text{ k}\Omega$. Si esprima il guadagno in dB. (b) Si ripeta il calcolo per $R_1 = 47\text{ k}\Omega$ e $R_2 = 2.2\text{ M}\Omega$.

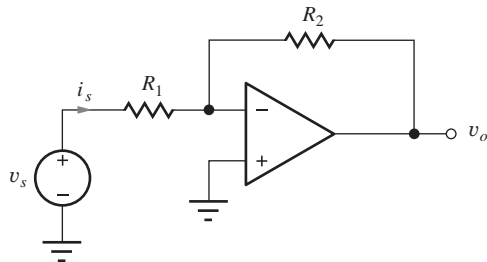


Figura P10.42

- 10.43** (a) Si calcolino il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore di Figura P10.42 se $R_1 = 12\text{ k}\Omega$ e $R_2 = 120\text{ k}\Omega$. (b) Si ripeta il calcolo per $R_1 = 140\text{ k}\Omega$ e $R_2 = 330\text{ k}\Omega$. (c) Si ripeta il calcolo per $R_1 = 4.3\text{ k}\Omega$ e $R_2 = 270\text{ k}\Omega$.
10.44 Si scriva un'espressione per la tensione di uscita $v_o(t)$ del circuito in Figura P10.42 assumendo $R_1 = 750\text{ }\Omega$, $R_2 = 8.2\text{ k}\Omega$ e $v_s(t) = (0.05 \sin 4638t)\text{ V}$. Si scriva un'espressione per la corrente $i_S(t)$.
10.45 Per il circuito di Figura P10.42 si assuma $R_1 = 22\text{ }\Omega$ e $R_2 = 110\text{ k}\Omega$. (a) Si calcoli la tensione di uscita v_o se $v_s = 0$. (b) Qual è la tensione di uscita se una tensione continua $V_S = 0.22\text{ V}$ è applicata al circuito? (c) Qual è la tensione di uscita $v_o(t)$ se una tensione AC $v_s(t) = 0.15 \sin(2500\pi t)\text{ V}$ è applicata all'ingresso? (d) Qual è la tensione di uscita $v_o(t)$ se una tensione $v_s(t) = 0.22 - 0.15 \sin(2500\pi t)\text{ V}$ è applicata all'ingresso? (e) Si calcoli la corrente i_S per i punti (b), (c) e (d). (f) Si calcoli la corrente di uscita i_O dell'operazionale per i punti (b), (c) e (d). (g) Si calcoli la tensione al nodo invertente dell'operazionale per il punto (d).
10.46 Si progetti un amplificatore invertente con resistenza di ingresso di 1.5 k Ω e un guadagno di 40 dB. Si scelgano i valori delle resistenze tra quelli riportati in Appendice A con tolleranza di 1%.
10.47 Si progetti un amplificatore invertente con resistenza di ingresso di 30 k Ω e un guadagno di 26 dB. Si scelgano i valori delle resistenze tra quelli riportati in Appendice A con tolleranza di 1%.
10.48 Si progetti un amplificatore invertente con resistenza di ingresso di 100 k Ω e un guadagno di 12 dB. Si scelgano i valori delle resistenze tra quelli riportati in Appendice A con tolleranza di 1%.

Amplificatore di transresistenza

- 10.49** Si scriva un'espressione per la tensione di uscita $v_o(t)$ del circuito in Figura P10.49.

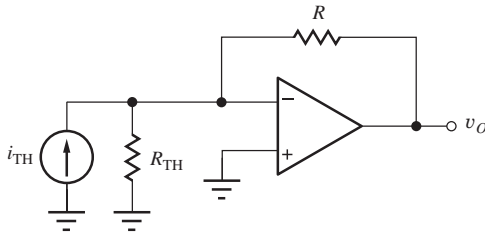


Figura P10.49

Amplificatore non invertente

- 10.50** Si calcolino il guadagno di tensione, la resistenza d'ingresso e di uscita dell'amplificatore in Figura P10.50 se $R_1 = 8.2 \text{ k}\Omega$ e $R_2 = 750 \text{ k}\Omega$. Si esprima il guadagno in dB.

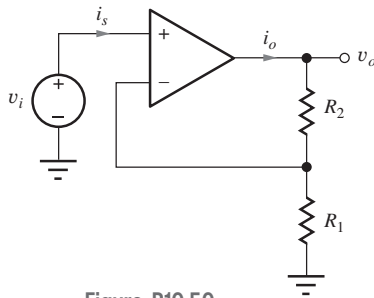


Figura P10.50

- 10.51** Si calcolino il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore in Figura P10.50 per (a) $R_1 = 24 \text{ k}\Omega$ e $R_2 = 120 \text{ k}\Omega$. (a) $R_1 = 15 \text{ k}\Omega$ e $R_2 = 300 \text{ k}\Omega$. (c) $R_1 = 4.3 \text{ k}\Omega$ e $R_2 = 360 \text{ k}\Omega$.
- 10.52** Si scriva un'espressione per la tensione di uscita $v_o(t)$ del circuito in Figura P10.50 assumendo $R_1 = 910 \Omega$, $R_2 = 8.2 \text{ k}\Omega$ e $v_s(t) = (50 \sin 9125\pi t) \text{ mV}$.
- 10.53** Per il circuito di Figura P10.50 si assuma $R_1 = 22 \text{ k}\Omega$ e $R_2 = 110 \text{ k}\Omega$. (a) Si calcoli la tensione di uscita v_o se $v_s = 0$. (b) Qual è la tensione di uscita se una tensione continua $V_s = 0.33 \text{ V}$ è applicata all'ingresso? (c) Qual è la tensione di uscita $v_o(t)$ se una tensione AC $v_s(t) = 0.18 \sin(3250\pi t) \text{ V}$ è applicata all'ingresso? (d) Qual è la tensione di uscita $v_o(t)$ se una tensione $v_s(t) = 0.33 - 0.18 \sin(3250\pi t) \text{ V}$ è applicata all'ingresso? (e) Si calcoli la corrente i_s per i punti (b), (c) e (d). (f) Si calcoli la corrente di uscita i_o dell'operazionale per i punti (b), (c) e (d). (g) Si calcoli la tensione al nodo invertente dell'operazionale per il punto (d).

- *10.54** (a) Si calcolino il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore in Figura P10.54, assumendo $R_1 = 180 \Omega$ e $R_2 = 47 \text{ k}\Omega$. Si esprima il guadagno in dB. (b) Assumendo una tolleranza del 10% per le resistenze, si calcolino i valori relativi al caso peggiore (il valore minimo e quello massimo) che il guadagno può assumere. (c) Quali sono i corrispondenti valori estremi (il valore negativo e quello positivo) della tolleranza relativa al guadagno di tensione rispetto al

valore ideale? (d) Qual è il rapporto tra il valore massimo e quello minimo del guadagno di tensione? (e) Si effettui un'analisi Monte Carlo del circuito con 500 casi. Quale percentuale dei circuiti presenta un guadagno che differisce rispetto al valore nominale di una quantità inferiore al $\pm 5\%$?

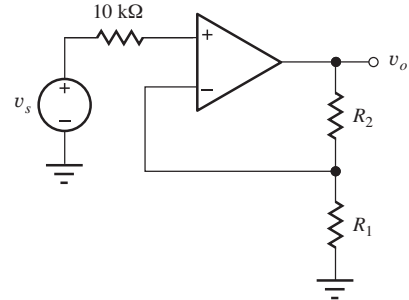
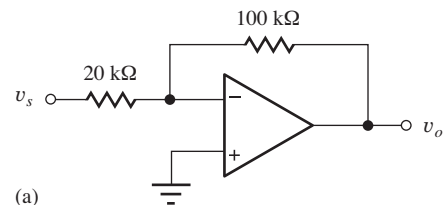
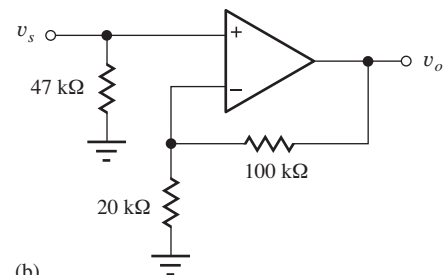


Figura P10.54

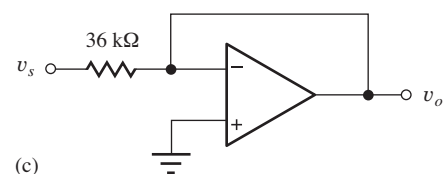
- 10.55** Si progetti un amplificatore non invertente con un guadagno di 32 dB. Si scelgano i valori delle resistenze tra quelli riportati in Appendice A con tolleranza di 1%, con valore non inferiore a 2 kΩ.
- 10.56** Si progetti un amplificatore non invertente con un guadagno di 26 dB. Si scelgano i valori delle resistenze tra quelli riportati in Appendice A con tolleranza di 1%, con valore non inferiore a 1 kΩ.
- 10.57** Si progetti un amplificatore non invertente con resistenza di ingresso di 100 kΩ e un guadagno di 6 dB. Si scelgano i valori delle resistenze tra quelli riportati in Appendice A con tolleranza di 1%, con valore non inferiore a 2 kΩ.
- 10.58** Si calcolino il valore del guadagno, della resistenza di ingresso e della resistenza di uscita per i circuiti di Figura P10.58.



(a)



(b)



(c)

Figura P10.58

Amplificatore sommatore

- 10.59** Si scriva un'espressione per la tensione di uscita $v_o(t)$ del circuito di Figura P10.59 assumendo $R_1 = 1 \text{ k}\Omega$ e $R_2 = 2 \text{ k}\Omega$, $R_3 = 51 \text{ k}\Omega$, $v_1(t) = 0.01 \sin(3770\pi t) \text{ V}$ e $v_2(t) = 40 \sin(10000\pi t) \text{ mV}$. Si scriva un'espressione per la tensione v_o .

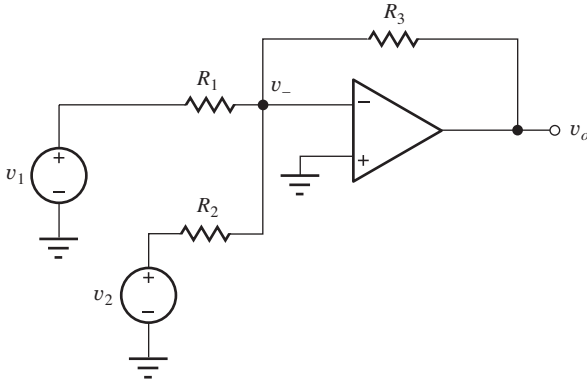


Figura P10.59

- 10.60** Il circuito sommatore può essere utilizzato per realizzare un semplice circuito di controllo digitale del volume, come mostrato in Figura P10.60. I bit che compongono la parola binaria (word) di ingresso ($b_1 b_2 b_3 b_4$) sono utilizzati per controllare la posizione degli interruttori: le resistenze sono collegate a massa ($= 0 \text{ V}$) se $b_i = 0$, mentre sono connesse alla tensione v_s se $b_i = 1$. (a) Si determini la tensione di uscita del convertitore in Figura P10.60 in corrispondenza dell'ingresso (0110) se $v_s(t) = 1 \sin(4000\pi t) \text{ V}$. (b) Si supponga che l'ingresso cambi, e assuma il valore (1011). Quale sarà il nuovo valore della tensione di uscita? (c) Si costruisca una tabella della tensione di uscita per le 16 possibili combinazioni dei dati di ingresso.

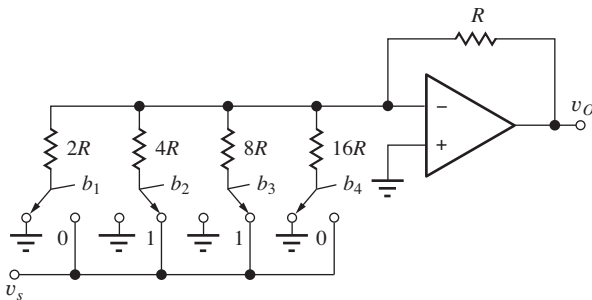


Figura P10.60

- 10.61** Gli interruttori di Figura P10.60 siano realizzati con MOSFET, come mostrato in Figura P10.61. Si determini il valore del rapporto W/L dei transistori se la resistenza in conduzione deve essere inferiore all'1% della resistenza $2R = 10 \text{ k}\Omega$. Si assuma $V_{\text{REF}} = 3.0 \text{ V}$. Si assuma che la tensione applicata al gate del MOSFET sia 5 V per $b_i = 1$ e 0 V per $b_i = 0$. Per il MOSFET si assuma $V_{TO} = 1 \text{ V}$, $K'_n = 50 \mu\text{A/V}^2$, $2\phi_F = 0.6 \text{ V}$ e $\gamma = 0.5 \sqrt{V}$.

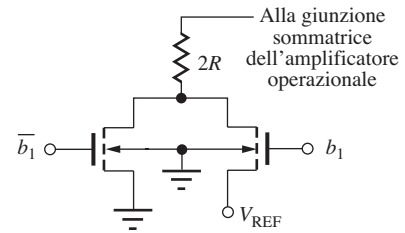


Figura P10.61

Amplificatore sottrattore

- 10.62** (a) Si calcoli il guadagno del circuito di Figura P10.62 se $A_v = v_o/(v_1 - v_2)$, e $R = 10 \text{ k}\Omega$. (b) Si calcoli la resistenza di ingresso "vista" dal segnale v_2 . (c) Si calcoli la resistenza di ingresso "vista" dal segnale v_1 . (d) Si calcoli la tensione di uscita per $v_1 = 3 \text{ V}$ e $v_2(t) = 1.5 \cos(8300\pi t) \text{ V}$. (e) Si calcoli la tensione di uscita per $v_1(t) = 3 - 1.5 \cos(8300\pi t) \text{ V}$ e $v_2(t) = 1.5 \sin(8300\pi t) \text{ V}$.

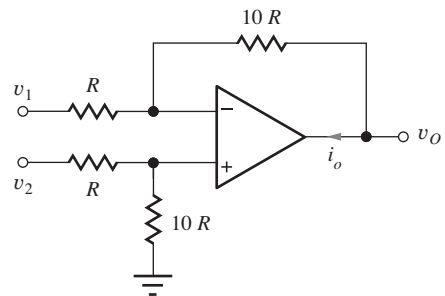


Figura P10.62

- 10.63** (a) Si calcoli il valore delle tensioni ai nodi dell'amplificatore sottrattore in Figura P10.62, assumendo $V_1 = 3.2 \text{ V}$, $V_2 = 3.1 \text{ V}$ e $R = 100 \text{ k}\Omega$. (b) Si calcoli la corrente di uscita dell'amplificatore I_o . (c) Si calcoli la corrente che entra ai nodi v_1 e v_2 .

10.10 Funzione di trasferimento e risposta in frequenza

- 10.64** Si determinino i poli e gli zeri per le seguenti funzioni di trasferimento:

(a) $A_i(s)$

$$= -\frac{3 \times 10^9 s^2}{(s^2 + 51s + 50)(s^2 + 13000s + 3 \times 10^7)}$$

(b) $A_v(s)$

$$= -\frac{10^5 (s^2 + 51s + 50)}{s^5 + 1000s^4 + 50000s^3 + 20000s^2 + 13000s + 3 \times 10^7}$$

- 10.65** Si determini il guadagno a centro banda (in dB) e la frequenza di taglio superiore per il filtro passa-basso dell'Esempio 10.8 assumendo $R_1 = 1 \text{ k}\Omega$, $R_2 = 1.5 \text{ k}\Omega$ e $C = 10 \text{ nF}$.

- 10.66** Si determini il guadagno a centro banda (in dB) e la frequenza di taglio superiore per il filtro passa-basso dell'Esempio 10.8 assumendo $R_1 = 10 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$ e $C = 10 \text{ nF}$.

- 10.67** (a) Si progetti un filtro passa-basso usando il circuito dell'Esempio 10.8 in modo da ottenere una perdita non superiore a 0.5 dB a basse frequenze, e una frequenza di taglio di 20 kHz. Si assuma $R_1 = 560 \Omega$. (b) Si usino i valori standard riportati nell'Appendice A.

- 10.68** Si determini il guadagno a centro banda (in dB) e la frequenza di taglio per il filtro passa-alto dell'Esempio 10.9 assumendo $R_1 = 8.2 \text{ k}\Omega$, $R_2 = 20 \text{ k}\Omega$ e $C = 10 \text{ nF}$.

- 10.69** Si determini il guadagno a centro banda (in dB) e la frequenza di taglio per il filtro passa-alto dell'Esempio 10.9 assumendo $R_1 = 10 \text{ k}\Omega$, $R_2 = 78 \text{ k}\Omega$ e $C = 10 \text{ nF}$.

- 10.70** (a) Si progetti un filtro passa-alto utilizzando il circuito dell'Esempio 10.9 in modo da ottenere una perdita non superiore a 0.5 dB ad alte frequenze, e una frequenza di taglio di 20 kHz. Si assuma $R_1 = 330 \Omega$. (b) Si usino i valori standard riportati nell'Appendice A.

- 10.71** Si determini A_{mid} (in dB), f_H , f_L e BW (in Hz) per un amplificatore caratterizzato da:

$$A_v(s) = \frac{2\pi \times 10^7 s}{(s + 20\pi)(s + 2\pi \times 10^4)}$$

Si identifichi il tipo di amplificatore.

- 10.72** Si determini A_{mid} (in dB), f_H , f_L e BW (in Hz) per un amplificatore caratterizzato da:

$$A_v(s) = \frac{10^4 s}{s + 200\pi}$$

Si identifichi il tipo di amplificatore.

- 10.73** Si determini A_{mid} (in dB), f_H , f_L e BW (in Hz) per un amplificatore caratterizzato da:

$$A_v(s) = \frac{2\pi \times 10^6}{s + 200\pi}$$

Si identifichi il tipo di amplificatore.

- 10.74** Si determini A_{mid} (in dB), f_H , f_L e BW (in Hz), e Q per un amplificatore caratterizzato da:

$$A_v(s) = -\frac{10^7 s}{s^2 + 10^5 s + 10^{14}}$$

Si identifichi il tipo di amplificatore.

- 10.75** Si determini A_{mid} (in dB), f_H , f_L e BW (in Hz) per un amplificatore caratterizzato da:

$$A_v(s) = -20 \frac{s^2 + 10^{12}}{s^2 + 10^4 s + 10^{12}}$$

Si identifichi il tipo di amplificatore.

- *10.76** Si determini A_{mid} (in dB), f_H , f_L e BW (in Hz) per un amplificatore caratterizzato da:

$$A_v(s) = \frac{4\pi^2 \times 10^{14} s^2}{(s + 20\pi)(s + 50\pi)(s + 2\pi \times 10^5)(s + 2\pi \times 10^6)}$$

Si identifichi il tipo di amplificatore.

- 10.77** Si tracci il diagramma di Bode relativo al modulo e alla fase della funzione di trasferimento del Problema 10.71. Si utilizzi MATLAB oppure un foglio di calcolo o un altro programma.

- 10.78** Si tracci il diagramma di Bode relativo al modulo e alla fase della funzione di trasferimento del Problema 10.72. Si utilizzi MATLAB oppure un foglio di calcolo o un altro programma.

- 10.79** Si tracci il diagramma di Bode relativo al modulo e alla fase della funzione di trasferimento del Problema 10.73. Si utilizzi MATLAB oppure un foglio di calcolo o un altro programma.

- 10.80** Si tracci il diagramma di Bode relativo al modulo e alla fase della funzione di trasferimento del Problema 10.74. Si utilizzi MATLAB oppure un foglio di calcolo o un altro programma.

- 10.81** Si tracci il diagramma di Bode relativo al modulo e alla fase della funzione di trasferimento del Problema 10.75. Si utilizzi MATLAB oppure un foglio di calcolo o un altro programma.

- 10.82** Si tracci il diagramma di Bode relativo al modulo e alla fase della funzione di trasferimento del Problema 10.76. Si utilizzi MATLAB oppure un foglio di calcolo o un altro programma.

- 10.83** Un amplificatore è descritto dalla funzione di trasferimento del Problema 10.71. Assumendo che il segnale di ingresso sia $v_s = 2 \sin \omega t \text{ mV}$, si ricavi l'espressione della tensione di uscita alle frequenze (a) 5 Hz, (b) 500 Hz, (c) 50 kHz.

- 10.84** Un amplificatore è descritto dalla funzione di trasferimento del Problema 10.72. Assumendo che il segnale di ingresso sia $v_s = 0.3 \sin \omega t \text{ mV}$, si ricavi l'espressione della tensione di uscita alle frequenze (a) 1 Hz, (b) 50 Hz, (c) 5 kHz.

- 10.85** Un amplificatore è descritto dalla funzione di trasferimento del Problema 10.73. Assumendo che il segnale di ingresso sia $v_s = 10 \sin \omega t \mu\text{V}$, si ricavi l'espressione della tensione di uscita alle frequenze (a) 2 Hz, (b) 2 kHz, (c) 200 kHz.

- 10.86** Un amplificatore è descritto dalla funzione di trasferimento del Problema 10.74. Assumendo che il segnale di ingresso sia $v_s = 4 \sin \omega t \text{ mV}$, si ricavi l'espressione della tensione di uscita alle frequenze (a) 1.59 MHz, (b) 1 MHz, (c) 5 MHz.

- 10.87** Un amplificatore è descritto dalla funzione di trasferimento del Problema 10.75. Assumendo che il segnale di ingresso sia $v_s = 0.25 \sin \omega t \text{ V}$, si ricavi l'espressione della tensione di uscita alle frequenze (a) 159 kHz, (b) 50 kHz, (c) 200 kHz.

- 10.88** Un amplificatore è descritto dalla funzione di trasferimento del Problema 10.76. Assumendo che il segnale di ingresso sia $v_s = 2 \sin \omega t \text{ mV}$, si ricavi l'espressione della tensione di uscita alle frequenze (a) 5 Hz, (b) 500 Hz, (c) 50 kHz.

10.89 (a) Si ricavi l'espressione della funzione di trasferimento di un amplificatore di tensione passa-basso caratterizzato da un guadagno pari a 26 dB e $f_H = 5$ MHz. (b) Si ripeta il calcolo nel caso in cui l'amplificatore presenti una variazione di fase di 180° per $f = 0$.

10.90 (a) Si ricavi l'espressione della funzione di trasferimento di un amplificatore di tensione caratterizzato da un guadagno pari a 40 dB, $f_L = 200$ Hz e $f_H = 100$ kHz. (b) Si ripeta il calcolo nel caso in cui l'amplificatore presenti una variazione di fase di 180° per $f = 0$.

10.91 Si tracci il diagramma di Bode per la funzione di trasferimento in Equazione (10.102) assumendo $A_o = -1000$ e $\omega_1 = 50\,000\pi$. Si determinino A_{mid} e ω_H . Qual è la pendenza del grafico del modulo del guadagno per $\omega \gg \omega_H$?

10.92 (a) Si determini la larghezza di banda dell'amplificatore passa-basso descritto da

$$A_v(s) = A_o \left(\frac{\omega_1}{s + \omega_1} \right)^3$$

assumendo $A_o = -2000$ e $\omega_1 = 50\,000\pi$. (b) Si tracci il diagramma di Bode. Qual è la pendenza del grafico del modulo del guadagno per $\omega \gg \omega_H$?

***10.93** Il segnale di ingresso di un amplificatore passa-tutto con guadagno pari a 10 dB è:

$$v_S = 1 \sin(1000\pi t) + 0.333 \sin(3000\pi t) + 0.200 \sin(5000\pi t) \text{ V}$$

(a) Assumendo che la variazione di fase a 500 Hz sia pari a 10° , si determini la variazione di fase alle altre due frequenze necessaria affinché la forma del segnale di uscita sia uguale a quella del segnale di ingresso. Si ricavi l'espressione del segnale di uscita. (b) Si utilizzi il calcolatore per verificare la risposta tracciando il grafico dei segnali di ingresso e uscita.

Filtro passa-basso

10.94 (a) Si calcolino il guadagno di tensione a bassa frequenza (espresso in dB) e la frequenza di taglio f_H per l'amplificatore in Figura 10.36, se $R_1 = 2$ k Ω , $R_2 = 10$ k Ω e $C = 1$ nF. (b) Si ripeta il calcolo per $R_1 = 2.7$ k Ω , $R_2 = 56$ k Ω e $C = 100$ pF.

10.95 (a) Si progetti un amplificatore passa-basso (ovvero si determinino i valori di R_1 , R_2 e C) caratterizzato da una resistenza d'ingresso a bassa frequenza pari a 110 k Ω , un guadagno a centro banda di 20 dB e un'ampiezza di banda di 20 kHz. (b) Si scelga il valore degli elementi dalla tabella riportata in Appendice A.

Filtro passa-alto

10.96 Si calcoli il guadagno a centro banda e la frequenza di taglio superiore per il filtro passa-alto dell'Esempio 10.9 se $R_1 = 10$ k Ω , $R_2 = 82$ k Ω e $C = 10$ nF.

10.97 Si calcoli il guadagno a centro banda e la frequenza di taglio superiore per il filtro passa-alto dell'Esempio 10.9 se $R_1 = 8.2$ k Ω , $R_2 = 20$ k Ω e $C = 20$ nF.

10.98 (a) Progettare un filtro passa-alto basati sul circuito dell'Esempio 10.9, che presenti perdite inferiori a 0.5 dB alle alte frequenze e una frequenza di taglio di 20 kHz quando $R_1 = 390$ Ω . (b) Si utilizzino per il progetto valori dalle serie standard in Appendice A.

10.99 (a) Quanto valgono il guadagno di tensione ad alte frequenze (in decibel) e la frequenza di taglio inferiore f_L per l'amplificatore in Figura 10.37 se $R_1 = 4.2$ k Ω , $R_2 = 20$ k Ω e $C = 560$ pF? (b) Ripetere il calcolo per $R_1 = 2.7$ k Ω , $R_2 = 56$ k Ω e $C = 2$ nF?

10.100 (a) Progettare un filtro passa-alto (dimensionare R_1 , R_2 e C) con resistenza di ingresso alle alte frequenze pari a 20 kHz, un guadagno di 20 dB e una frequenza di taglio inferiore di 1 kHz. (b) Si utilizzino per il progetto valori dalle serie standard in Appendice A.

10.101 Quanto valgono A_{mid} (in dB), f_H , f_L e la banda (in Hz) dell'amplificatore descritto dalla funzione di trasferimento $A_v(s) = \frac{5 \times 10^3 s}{s + 200\pi}$? Di che tipo di amplificatore si tratta?

Integratore

10.102 La tensione in ingresso al circuito integratore di Figura 10.38 è data da $v_S = 0.1 \sin 2000\pi t$ V. Qual è la tensione di uscita se $R = 10$ k Ω , $C = 5$ nF e $v_o(0) = 0$?

10.103 La tensione in ingresso al circuito integratore di Figura 10.38 è un impulso rettangolare con ampiezza pari a 5 V e durata di 1 ms. Si tracci la forma d'onda all'uscita dell'integratore se l'impulso incomincia a $t = 0$. Si assuma $R = 10$ k Ω , $C = 0.1$ μ F e $v_o = 0$ per $t \leq 0$.

Derivatore

10.104 Si determini la funzione di trasferimento $T(s) = V_O(s)/V_S(s)$ per il circuito derivatore in Figura 10.39.

10.105 Si determini la tensione di uscita del circuito derivatore in Figura 10.39 assumendo $v_S(t) = 2 \cos 3000\pi t$ V con $C = 20$ nF e $R = 100$ k Ω .

10.106 Si trovi un'espressione per la funzione di trasferimento $A_v(s) = V_O(s)/V_S(s)$ nel circuito di Figura P10.106.

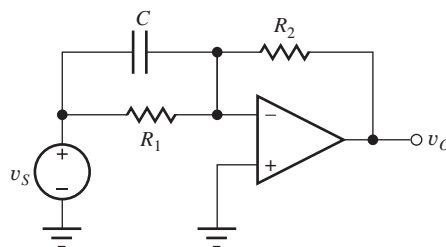
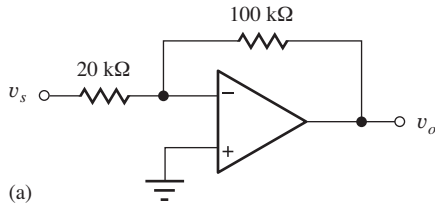


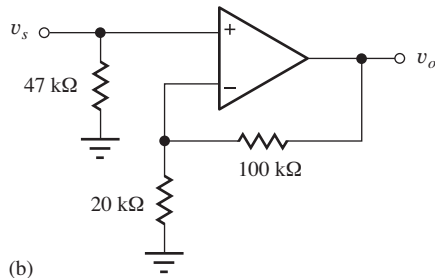
Figura P10.106

Amplificatore operazionale ideale

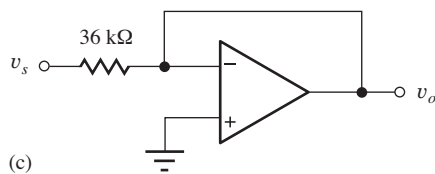
10.107 Si trovi un'espressione per il guadagno e per la resistenza di ingresso dei circuiti in Figura P10.107.



(a)



(b)



(c)

Figura P10.107

10.108 Si trovi un'espressione per il guadagno e per le resistenze di ingresso e di uscita del circuito in Figura P10.108.

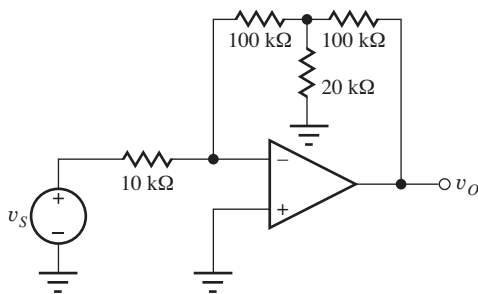


Figura P10.108

***10.109** (a) Si calcoli la corrente di uscita I_O nel circuito di Figura P10.109 se $-V_{EE} = -10$ V e $R = 10 \Omega$. Si assuma che il MOSFET si trovi in saturazione. (b) Qual è il valore minimo della tensione V_{DD} necessario affinché il MOSFET si trovi in saturazione se $V_{TN} = 2.5$ V e $K_n = 0.25$ A/V²? (c) Quali devono essere le specifiche relative alla dissipazione di potenza relative alla resistenza R ?

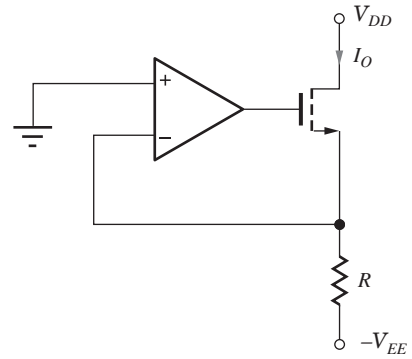


Figura P10.109

***10.110** (a) Si calcoli la corrente di uscita I_O nel circuito di Figura P10.110 se $-V_{EE} = -15$ V e $R = 30 \Omega$. Si assuma che il BJT sia polarizzato nella regione attiva diretta e che $\beta_F = 30$. (b) Si calcoli la tensione di uscita dell'amplificatore operazionale se la corrente di saturazione I_s del transistor è pari a 100 fA. (c) Qual è il valore minimo della tensione V_{CC} necessario affinché BJT sia polarizzato nella regione attiva diretta? (d) Quali devono essere le specifiche relative alla dissipazione di potenza relative alla resistenza R ? Si calcoli la potenza dissipata sul transistor se $V_{CC} = 15$ V.

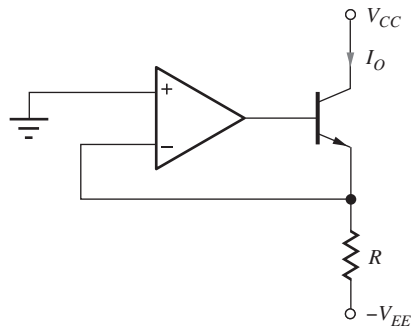


Figura P10.110

****10.111** (a) Si determini la funzione di trasferimento $V_o(s)/V_s(s)$ per l'integratore in Figura 10.38. (b) Si determini la funzione di trasferimento per il circuito di Figura P10.111.

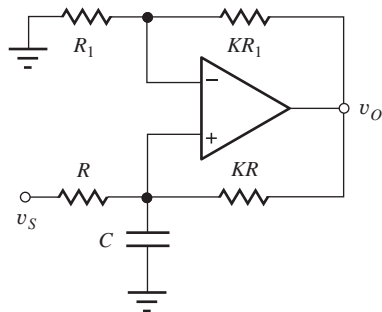


Figura P10.111

10.112 Le resistenze del circuito in Figura P10.111 differiscono dai valori ideali a causa delle tolleranze. Si calcoli la funzione di trasferimento del circuito se $KR = 10R$ e $KR_1 = 9R_1$.

10.113 Il circuito in Figura P10.113 rappresenta un generatore di corrente che forza una corrente attraverso un'impedenza di carico Z_L . (a) Si trovi un'espressione per la corrente di uscita i_O in termini delle tensioni di ingresso v_1 e v_2 . (b) Qual è l'impedenza di uscita del generatore di corrente "vista" ai capi di Z_L ?

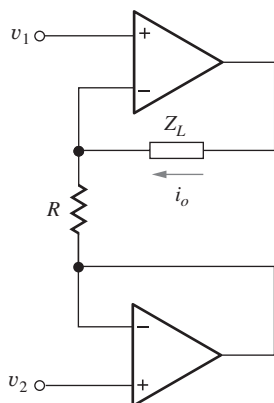


Figura P10.113

***10.114** Il circuito in Figura P10.114 rappresenta un generatore di corrente con un'impedenza di carico Z_L collegata a massa. (a) Si trovi un'espressione per la corrente di uscita i_O in termini delle tensioni di ingresso v_1 e v_2 se $R_1 = R_2 = R_3 = R_4$. (b) Qual è l'impedenza di uscita del generatore di corrente "vista" ai capi di Z_L se $R_1 = R_2 = R_3 = R_4$?

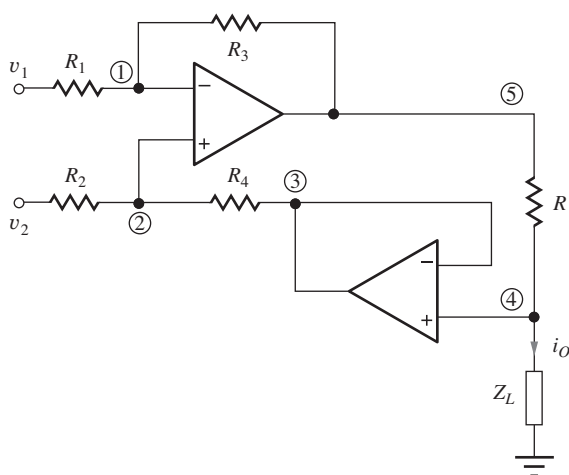


Figura P10.114

***10.115** Si determinino le 5 tensioni ai nodi e la corrente di uscita per il circuito generatore di corrente in Figura P10.114 se $v_1 = 4$ V, $v_2 = 6$ V, $R = 10$ k Ω , $R_1 = 5$ k Ω , $R_2 = 5$ k Ω , $R_3 = 5.01$ k Ω , $R_4 = 4.99$ k Ω e $Z_L = 10$ k Ω . (b) Si calcoli la resistenza di uscita del generatore di corrente.

10.116 Si ricavi un'espressione della corrente I_L in termini di I_S , R_1 e R_2 per il circuito di Figura P10.116. Si determinino le resistenze di ingresso e uscita di

questo circuito, assumendo che l'amplificatore operazionale sia ideale.

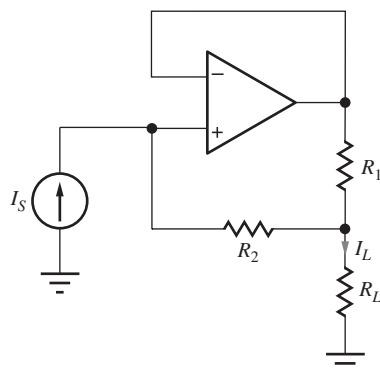


Figura P10.116

10.117 Si calcolino le resistenze di ingresso e uscita del circuito in Figura P10.116 con $R_1 = 10$ k Ω , $R_2 = 1$ k Ω e $Z_L = 3.6$ k Ω .

10.118 Si ricavi l'espressione delle tensioni v_{o1} e v_{o2} in termini di v_s , R_1 , R_2 e R_3 per il circuito di Figura P10.118. Si assumano amplificatori operazionali ideali.

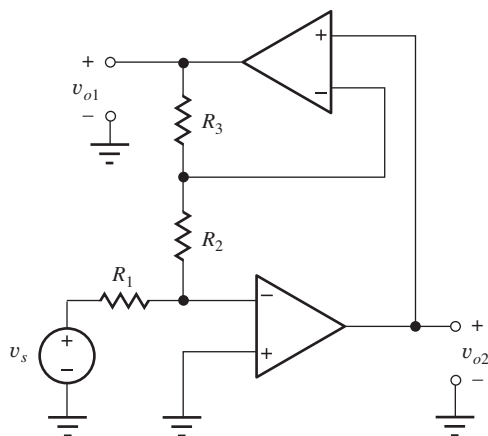


Figura P10.118

10.119 Si determini la resistenza di ingresso vista dal generatore di tensione v_s nel circuito di Figura P10.119.

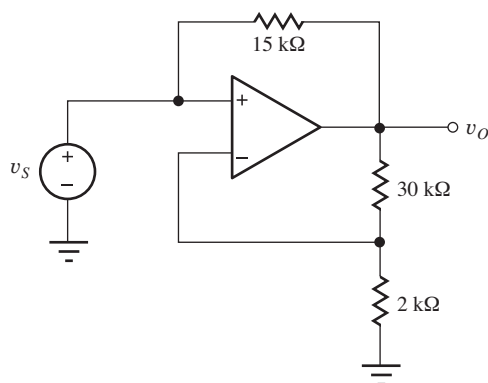


Figura P10.119

Capitolo 11

Riepilogo

- L'amplificatore operazionale ideale è stato introdotto nel capitolo precedente. In questo capitolo sono state rimosse le ipotesi di idealità e sono stati quantificati gli effetti e le limitazioni causati dal comportamento non ideale dell'amplificatore operazionale. Il comportamento non ideale include:
 - guadagno finito ad anello aperto;
 - resistenza di ingresso di modo differenziale finita;
 - resistenza di uscita non nulla;
 - tensione di offset;
 - correnti in ingresso di polarizzazione e di offset;
 - campo di variazione del segnale di uscita limitato;
 - corrente di uscita limitata;
 - rapporto di reiezione di modo comune finito;
 - resistenza di ingresso di modo comune finita;
 - reiezione finita alle variazioni della tensione di alimentazione;
 - larghezza di banda limitata;
 - slew-rate limitato.
- È stato analizzato in dettaglio l'effetto della rimozione delle diverse assunzioni di idealità dell'amplificatore operazionale. Sono state ricavate espressioni per il guadagno, per l'errore di guadagno, per la resistenza di ingresso e per la resistenza di uscita degli amplificatori a ciclo chiuso in configurazione invertente e non invertente. Si è visto che il guadagno di anello $T = A\beta$ gioca un ruolo importante nella determinazione dei valori dei parametri di questi amplificatori a ciclo chiuso.
- Il guadagno di anello $T(s)$ assume un ruolo importante nella determinazione delle caratteristiche degli amplificatori retroazionati. Nei calcoli teorici, è possibile determinare il guadagno di anello interrompendo il ciclo di retroazione in un punto arbitrario e calcolando la tensione di ritorno. Tuttavia, entrambi i lati dell'anello devono essere chiusi su un'opportuna impedenza prima di procedere al calcolo del guadagno.
- Utilizzando SPICE, o quando si effettuano misure in laboratorio, è spesso impossibile aprire l'anello di retroazione. In tal caso si ricorre al metodo dell'iniezione successiva di tensione e corrente per determinare il guadagno di anello senza aprire il ciclo di retroazione.
- Ogni volta che un amplificatore viene retroazionato, si pone il problema della sua stabilità. Nella maggior parte dei casi si desidera una retroazione negativa. È possibile analizzare la stabilità studiando le caratteristiche del guadagno di anello $T(s) = A(s)\beta(s)$ al variare della frequenza. Esistono anche criteri di stabilità relativi ai diagrammi di Nyquist e ai diagrammi di Bode.
- Nel caso dei diagrammi di Nyquist, la stabilità è garantita se il diagramma di $T(j\omega)$ non circonda il punto $T = 1$.
- Sui diagrammi di Bode, invece, gli asintoti del diagramma del modulo di $A(j\omega)$ e di $\beta(j\omega)$ non si devono intersecare con una pendenza superiore a 20 dB/decade.
- I margini di fase e di guadagno, entrambi calcolabili dai diagrammi di Nyquist o di Bode, sono importanti indicatori della stabilità.
- Tutte le fonti di errore in DC, incluse la tensione di offset, la corrente di polarizzazione e la corrente di offset, limitano l'accuratezza in DC dei circuiti con amplificatori operazionali. Gli amplificatori operazionali reali presentano un campo di variazione limitato sia per la tensione di uscita sia per la corrente di uscita così come una velocità di variazione finita della tensione di uscita denominata "slew-rate". Il progetto di circuiti con operazionali è vincolato a queste limitazioni.
- Nella simulazione di circuiti contenenti operazionali si fa spesso uso di macromodelli semplificati. Sono stati presentati semplici macromodelli SPICE realizzati mediante generatori controllati. Molte delle librerie SPICE contengono macromodelli di amplificatori operazionali commerciali.

Problemi

Le soluzioni si trovano sul sito web dedicato al libro



11.1 Sistema retroazionato classico

- 11.1.1** Un amplificatore retroazionato classico riportato in Figura 11.1 presenta $\beta = 0.2$. Quanto valgono il

guadagno di anello T , il guadagno ad anello chiuso A_v e l'errore frazionale di guadagno FGE se: (a) $A \rightarrow \infty$? (b) $A = 80$ dB? (c) $A = 10$?

- 11.2** L'amplificatore con retroazione della Figura P11.2(a) presenta $R_1 = 1 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_I = 0$ e $R_L = 10 \text{ k}\Omega$. (a) Quanto vale β ? (b) Se $A = 80 \text{ dB}$, quanto valgono il guadagno di anello T e il guadagno ad anello chiuso A_v ?

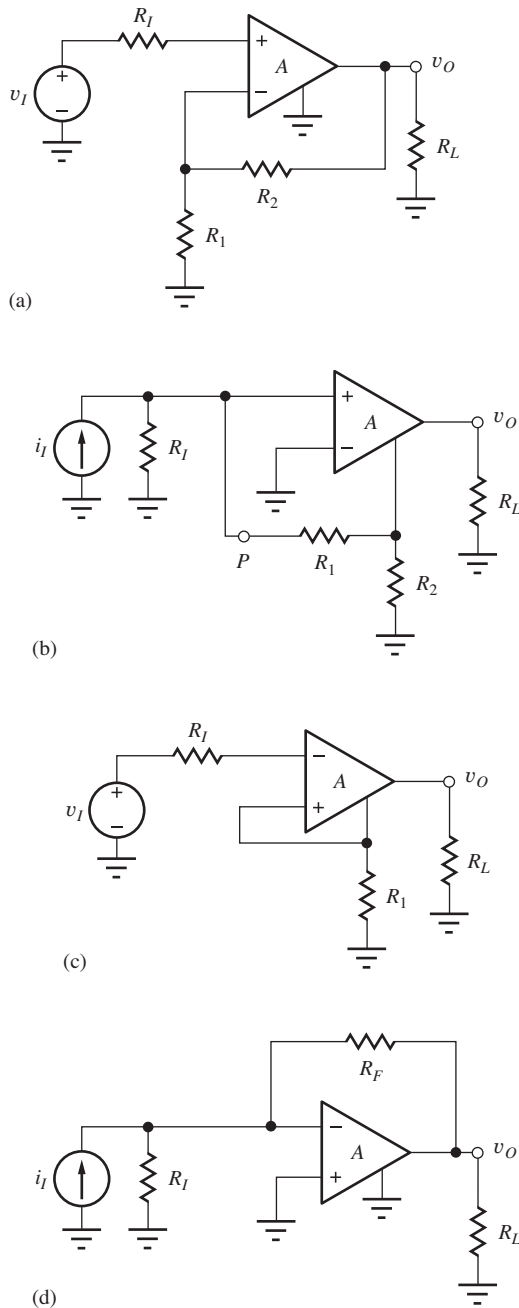


Figura P11.2

Per ciascun amplificatore A : $A_o = 5000$, $R_{id} = 15 \text{ k}\Omega$, $R_o = 1 \text{ k}\Omega$.

- 11.3** L'amplificatore invertente in Figura 10.18 è implementato con un operazionale con guadagno finito di $A = 80 \text{ dB}$. Se $R_1 = 1 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, quanto valgono $\beta(s)$, $T(s)$ e $A_v(s)$?
- 11.4** L'integratore in Figura 10.38 è implementato con un operazionale con guadagno finito di $A = 80 \text{ dB}$. Se $R = 20 \text{ k}\Omega$, $C = 10 \text{ }\mu\text{F}$, quanto valgono $\beta(s)$, $T(s)$ e $A_v(s)$?

- 11.5** Il guadagno di tensione ad anello chiuso A_v di un amplificatore è descritto dall'Equazione (11.4). Qual è il valore minimo del guadagno ad anello aperto richiesto affinché l'errore sul guadagno sia meno dello 0.01% per un inseguitore di tensione ($A_{CL} \approx 1$ con $\beta = 1$)?

- 11.6** Si usi SPICE per simulare e confrontare le caratteristiche di trasferimento dei due stadi di uscita in classe B di Figura P11.6 se l'amplificatore operazionale è descritto da $A_o = 1000$, $R_{id} = 100 \text{ k}\Omega$ e $R_o = 100 \Omega$. Si assuma $V_I = 0$.

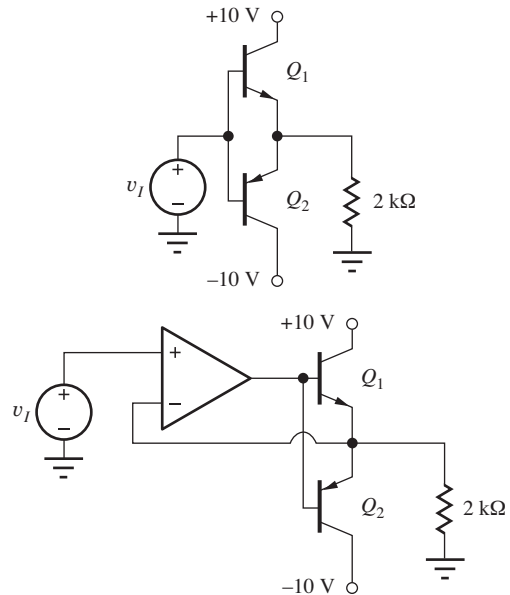


Figura P11.6

- 11.7** Il guadagno di tensione ad anello chiuso A_v di un amplificatore è descritto dall'Equazione (11.4). Qual è il valore minimo del guadagno ad anello aperto richiesto affinché l'errore sul guadagno sia inferiore a 0.2% per un guadagno ideale di 200?
- 11.8** (a) Si calcoli la sensibilità del guadagno ad anello chiuso A_v rispetto alle variazioni del guadagno ad anello aperto A , utilizzando la definizione di sensibilità riportata di seguito:

$$S_A^{A_v} = \frac{A}{A_v} \frac{\partial A_v}{\partial A}$$

- (b) Si utilizzi questa formula per stimare la percentuale di variazione del guadagno ad anello chiuso se il guadagno ad anello aperto cambia del 10% per un amplificatore con $A = 100 \text{ dB}$ e $\beta = 0.01$.

11.2 Analisi di circuiti con amplificatori operazionali non ideali

- 11.9** Un amplificatore non invertente è realizzato con $R_1 = 12 \text{ k}\Omega$, $R_2 = 150 \text{ k}\Omega$ e con un operazionale caratterizzato da un guadagno ad anello aperto di 86 dB. Si determini l'errore percentuale relativo al guadagno. (b) Si ripeta il calcolo per $R_1 = 1.2 \text{ k}\Omega$.

- 11.10** Un amplificatore invertente è realizzato con $R_1 = 22 \text{ k}\Omega$, $R_2 = 220 \text{ k}\Omega$ e con un operazionale caratterizzato da un guadagno ad anello aperto di 92 dB. Si determini l'errore percentuale relativo al guadagno. (b) Si ripeta il calcolo per $R_1 = 1.1 \text{ k}\Omega$.
- 11.11** Un inseguitore di tensione, realizzato utilizzando un amplificatore operazionale, deve presentare un errore inferiore al 0.01%. Qual è la specifica relativa al valore minimo del guadagno ad anello aperto dell'operazionale?
- 11.12** Un amplificatore operazionale presenta $R_{id} = 500 \text{ k}\Omega$, $R_o = 35 \Omega$ e $A = 5 \times 10^4$. Si stabilisca se un amplificatore a singolo stadio realizzato con questo operazionale sia in grado di soddisfare le specifiche di seguito riportate. (a) Quale configurazione (invertente oppure non invertente) occorre utilizzare e perché? (b) Assumendo che la specifica relativa al guadagno debba essere soddisfatta, si mostri se le rimanenti specifiche possano essere soddisfatte.

$$|A_v| = 200 \quad R_{in} \geq 200 \text{ M}\Omega \quad R_{out} \leq 0.2 \Omega$$

- 11.13** Un amplificatore operazionale presenta $R_{id} = 1 \text{ M}\Omega$, $R_o = 100 \Omega$ e $A = 1 \times 10^4$. Si stabilisca se un amplificatore a singolo stadio realizzato con questo operazionale è in grado di soddisfare le specifiche di seguito riportate. Si mostri quali specifiche possono essere soddisfatte

$$|A_v| = 200 \quad R_{in} \geq 100 \text{ M}\Omega \quad R_{out} \leq 0.2 \Omega$$

- 11.14** Il circuito in Figura P11.14 è una rete a due terminali. Si assuma $R_1 = 6.8 \text{ k}\Omega$ e $R_2 = 110 \text{ k}\Omega$. Si determini il circuito equivalente secondo Thévenin se l'amplificatore operazionale presenta $R_{id} = 1 \text{ M}\Omega$, $R_o = 250 \Omega$ e $A = 5 \times 10^4$.

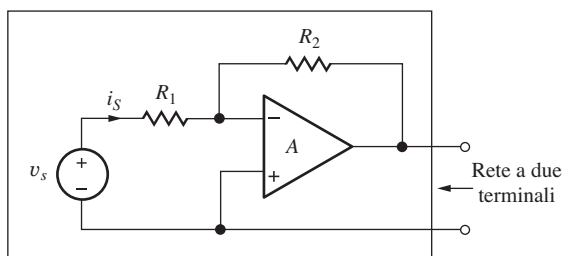


Figura P11.14

- 11.15** Il circuito in Figura P11.15 è una rete a due terminali. Si assuma $R_1 = 390 \Omega$ e $R_2 = 56 \text{ k}\Omega$. Si determini il circuito equivalente secondo Thévenin se l'amplificatore operazionale presenta $R_{id} = 100 \text{ k}\Omega$, $R_o = 200 \Omega$ e $A = 1 \times 10^4$.

- *11.16** Un amplificatore invertente deve essere progettato in modo che il guadagno ad anello chiuso sia pari a 60 dB. Il solo amplificatore operazionale disponibile presenta un guadagno ad anello aperto pari a 106 dB. Qual è la tolleranza delle resistenze necessaria affinché l'errore relativo al guadagno complessivo sia $\leq 1\%$? Si assuma che tutti i resistori presentino la stessa tolleranza.

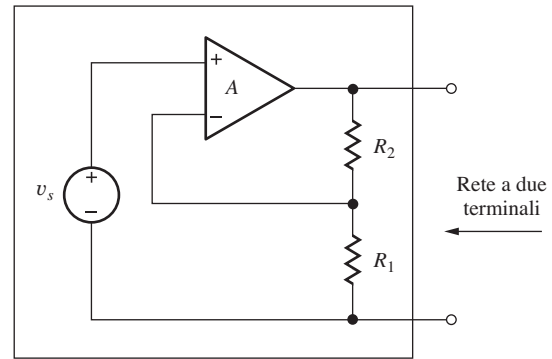


Figura P11.15

- *11.17** Un amplificatore non invertente deve essere progettato in modo che il guadagno ad anello chiuso sia pari a 54 dB. Il solo amplificatore operazionale disponibile presenta un guadagno ad anello aperto pari a 40 000. Qual è la tolleranza delle resistenze necessaria affinché l'errore relativo al guadagno complessivo sia $\leq 2\%$? Si assuma che tutti i resistori presentino la stessa tolleranza.

11.3-11.4 Progetto dell'amplificatore retroazionato

- 11.18** Si identifichi il tipo di retroazione negativa da usare per ottenere i seguenti obiettivi: (a) elevata resistenza di ingresso ed elevata resistenza di uscita; (b) bassa resistenza di ingresso e alta resistenza di uscita; (c) bassa resistenza di ingresso e bassa resistenza di uscita; (d) alta resistenza di ingresso e bassa resistenza di uscita.
- 11.19** Si identifichi il tipo di retroazione usata nei quattro circuiti di Figura P11.2.
- 11.20** Dei quattro circuiti in Figura P11.2, quale presenta la resistenza di uscita maggiore? (b) Quale esibisce una resistenza di uscita relativamente bassa?
- 11.21** Dei quattro circuiti in Figura P11.2, quale presenta la resistenza di ingresso maggiore? (b) Quale esibisce una resistenza di ingresso relativamente bassa?
- 11.22** Un amplificatore presenta un guadagno di tensione ad anello aperto di 90 dB, $R_{id} = 40 \text{ k}\Omega$ e $R_o = 1000 \Omega$. L'amplificatore viene retroazionato con una rete di retroazione resistiva. (a) Qual è il massimo guadagno di corrente ottenibile? (b) Qual è la massima transconduttanza ottenibile?
- 11.23** Un amplificatore presenta un guadagno di tensione ad anello aperto di 86 dB, $R_{id} = 40 \text{ k}\Omega$ e $R_o = 1000 \Omega$. L'amplificatore viene retroazionato con una rete di retroazione resistiva. (a) Qual è il massimo valore della resistenza di ingresso ottenibile? (b) Qual è il minimo valore della resistenza di ingresso ottenibile? (c) Qual è il massimo valore della resistenza di uscita ottenibile? (d) Qual è il minimo valore della resistenza di uscita ottenibile?

11.5 Amplificatori di tensione – retroazione serie-parallelo

- 11.24** Calcolare il guadagno di anello del circuito di Figura P11.2(a) se $R_L = 5.6 \text{ k}\Omega$, $R_1 = 4.3 \text{ k}\Omega$, $R_2 = 39 \text{ k}\Omega$ e $R_f = 1 \text{ k}\Omega$.
- 11.25** Per il circuito in Figura P11.2(a), calcolare l'amplificazione di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore. Assumere $R_L = 5 \text{ k}\Omega$, $R_1 = 5 \text{ k}\Omega$ e $R_2 = 45 \text{ k}\Omega$.
- 11.26** Un amplificatore non invertente con retroazione basato su amplificatore operazionale ha $R_1 = 15 \text{ k}\Omega$, $R_2 = 30 \text{ k}\Omega$ e $R_L = 20 \text{ k}\Omega$. L'amplificatore operazionale ha un guadagno ad anello aperto di 94 dB, una resistenza di ingresso di 30 kΩ e una resistenza di uscita di 5 kΩ. Calcolare il guadagno di anello, l'amplificazione di tensione ideale e l'amplificazione di tensione reale dell'amplificatore.
- 11.27** Calcolare la resistenza di ingresso e la resistenza di uscita dell'amplificatore con retroazione del Problema 11.26.
- 11.28** Calcolare il guadagno di anello, l'amplificazione di tensione ideale, l'amplificazione di tensione reale, la resistenza di ingresso e la resistenza di uscita dell'amplificatore con retroazione dell'Esempio 11.5 quando una resistenza di 4 kΩ è collegata all'uscita.
- 11.29** (a) Si calcoli la sensibilità della resistenza di ingresso ad anello chiuso dell'amplificatore con retroazione serie-parallelo rispetto alle variazioni del guadagno ad anello aperto A:

$$S_A^{R_{in}} = \frac{A}{R_{in}} \frac{\partial R_{in}}{\partial A}$$

(b) Si utilizzi questa formula per stimare la percentuale di variazione della resistenza di ingresso ad anello chiuso se il guadagno ad anello aperto cambia del 10% per un amplificatore con $A = 100 \text{ dB}$ e $\beta = 0.01$. (c) Si calcoli la sensibilità della resistenza di uscita ad anello chiuso dell'amplificatore con retroazione serie-parallelo rispetto alle variazioni del guadagno ad anello aperto A:

$$S_A^{R_{out}} = \frac{A}{R_{out}} \frac{\partial R_{out}}{\partial A}$$

(d) Si utilizzi questa formula per stimare la percentuale di variazione della resistenza di uscita ad anello chiuso se il guadagno ad anello aperto cambia del 10% per un amplificatore con $A = 100 \text{ dB}$ e $\beta = 0.01$.

11.6 Amplificatori di transresistenza – retroazione parallelo-parallelo

- 11.30** Calcolare il guadagno di anello, la transresistenza ideale, la transresistenza reale, la resistenza d'ingresso e la resistenza di uscita dell'amplificatore con retroazione in Figura P11.2(d) quando $R_f = 100 \text{ k}\Omega$, $R_L = 15 \text{ k}\Omega$ e $R_F = 10 \text{ k}\Omega$.
- 11.31** Simulare usando SPICE l'amplificatore del Problema 11.30 e confrontare i risultati con quelli ottenuti dal calcolo manuale.

- 11.32** Calcolare il guadagno di anello, la transresistenza ideale, la transresistenza reale, la resistenza d'ingresso e la resistenza di uscita dell'amplificatore con retroazione in Figura P11.2(d) quando $R_f = 100 \text{ k}\Omega$, $R_L = 5 \text{ k}\Omega$ e $R_F = 24 \text{ k}\Omega$.
- 11.33** Simulare usando SPICE l'amplificatore del Problema 11.32 e confrontare i risultati con quelli ottenuti dal calcolo manuale.
- 11.34** Un amplificatore invertente con retroazione basato su amplificatore operazionale ha $R_1 = 15 \text{ k}\Omega$, $R_2 = 30 \text{ k}\Omega$ e $R_L = 20 \text{ k}\Omega$. L'amplificatore operazionale ha un guadagno ad anello aperto di 92 dB, una resistenza di ingresso di 30 kΩ e una resistenza di uscita di 5 kΩ. Calcolare il guadagno di anello, l'amplificazione di tensione ideale, l'amplificazione di tensione reale, la resistenza di ingresso e la resistenza di uscita dell'amplificatore.
- 11.35** Trovare una formula per il guadagno di anello del filtro passa-basso di Figura 10.36, assumendo per l'amplificatore un guadagno A_o finito. Mostrare che la formula per il guadagno che compare nell'Equazione (10.109) può essere scritta nella forma

$$A_v = A_v^{\text{ideale}} \frac{T}{1 + T}$$

- 11.36** Il circuito integratore di Figura 10.38 è realizzato con un amplificatore operazionale con guadagno finito $A = 86 \text{ dB}$. Calcolare $T(s)$ e $A_v(s)$ assumendo $R = 24 \text{ k}\Omega$ e $C = 10 \text{ nF}$.
- 11.37** Il circuito derivatore di Figura 10.39 è realizzato con un amplificatore operazionale con guadagno finito $A = 80 \text{ dB}$. Calcolare $T(s)$ e $A_v(s)$ assumendo $R = 20 \text{ k}\Omega$ e $C = 10 \text{ nF}$.
- 11.38** (a) Trovare una formula per il guadagno di anello del circuito integratore di Figura 10.38, assumendo per l'amplificatore un guadagno A_o finito. (b) Trovare una formula per il guadagno di anello del filtro passa-alto di Figura 10.37, assumendo per l'amplificatore un guadagno A_o finito. (c) Mostrare che i guadagni in tensione dell'integratore e del filtro passa-alto possono essere entrambi scritti nella forma

$$A_v = A_v^{\text{ideale}} \frac{T}{1 + T}$$

11.7 Amplificatori di transconduttanza – retroazione serie-serie

- 11.39** Calcolare il guadagno di anello, la transconduttanza ideale, la transconduttanza reale, la resistenza d'ingresso e la resistenza di uscita dell'amplificatore con retroazione in Figura P11.2(c) quando $R_f = 15 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$ e $R_1 = 3 \text{ k}\Omega$.
- 11.40** Simulare usando SPICE l'amplificatore del Problema 11.39 e confrontare i risultati con quelli ottenuti dal calcolo manuale.
- 11.41** Calcolare il guadagno di anello, la transconduttanza ideale, la transconduttanza reale, la resistenza d'ingresso e la resistenza di uscita dell'amplificatore con retroazione in Figura P11.2(c) quando $R_f = 15 \text{ k}\Omega$, $R_L = 20 \text{ k}\Omega$ e $R_1 = 6 \text{ k}\Omega$.

- 11.42** Simulare usando SPICE l'amplificatore del Problema 11.41 e confrontare i risultati con quelli ottenuti dal calcolo manuale.

11.8 Amplificatori di corrente – retroazione parallelo-serie

- 11.43** Calcolare il guadagno di anello, il guadagno di corrente ideale, il guadagno di corrente reale, la resistenza d'ingresso e la resistenza di uscita dell'amplificatore con retroazione in Figura P11.2(b) quando $R_I = 100\text{ k}\Omega$, $R_L = 10\text{ k}\Omega$, $R_1 = 20\text{ k}\Omega$ e $R_2 = 2\text{ k}\Omega$.
- 11.44** Simulare usando SPICE l'amplificatore del Problema 11.43 e confrontare i risultati con quelli ottenuti dal calcolo manuale.
- 11.45** Calcolare il guadagno di anello, il guadagno di corrente ideale, il guadagno di corrente reale, la resistenza d'ingresso e la resistenza di uscita dell'amplificatore con retroazione in Figura P11.2(b) quando $R_I = 150\text{ k}\Omega$, $R_L = 5\text{ k}\Omega$, $R_1 = 10\text{ k}\Omega$ e $R_2 = 1\text{ k}\Omega$.

11.10 Riduzione della distorsione

- 11.46** La caratteristica di trasferimento di tensione (VTC) di un amplificatore può essere espressa come $v_o = 15 \tanh(1000v_i)$ V. Usare MATLAB per trovare la distorsione armonica totale se (a) $v_i = 0.001 \sin(2000\pi t)$ V e (b) $v_i = 0.002 \sin(2000\pi t)$ V.
- 11.47** La caratteristica di trasferimento di tensione (VTC) dell'amplificatore operazionale in Figura 11.30 può essere espressa come $v_o = 15 \tanh(1000v_i)$ V e il guadagno di anello chiuso vale 10. (a) Usare MATLAB per trovare la distorsione armonica totale se $v_i = 1 \sin(2000\pi t)$ V. (b) Ripetere il calcolo per un guadagno di anello chiuso pari a 50 e $v_i = 0.2 \sin(2000\pi t)$ V.

11.11 Errori in continua e limitazioni della tensione di uscita

- 11.48** Si calcoli la tensione di uscita relativa al caso peggiore nel circuito in Figura P11.48, se $V_{OS} = 1\text{ mV}$, $I_{B1} = 100\text{ nA}$ e $I_{B2} = 95\text{ nA}$. Quale sarebbe il valore ideale della tensione di uscita? Qual è l'errore complessivo in questo circuito? Esiste una scelta migliore per la resistenza R_1 ? In caso affermativo, se ne specifichi il valore.

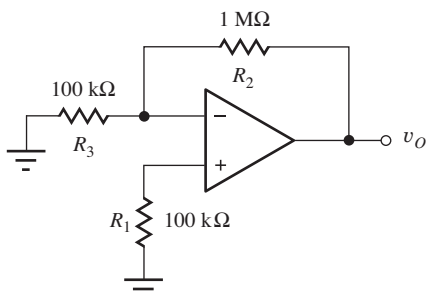


Figura P11.48

- 11.49** La Figura P11.49 mostra la caratteristica di trasferimento di tensione di un amplificatore operazionale. Quali sono i valori del guadagno e della tensione di offset dell'amplificatore?

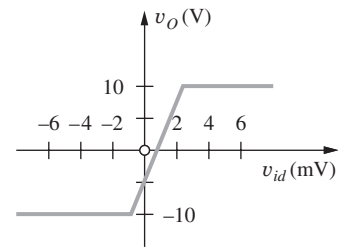


Figura P11.49

- 11.50** Si riporti il grafico del guadagno A in funzione della tensione v_{id} corrispondente alla caratteristica di trasferimento di tensione in Figura P11.49.
- 11.51** Si utilizzi il metodo della sovrapposizione degli effetti per ricavare il risultato espresso dalla (11.100).
- 11.52** L'amplificatore in Figura P11.52 deve essere progettato in modo da presentare un guadagno di 40 dB. Si determini il valore delle resistenze R_1 e R_2 necessario affinché la specifica relativa al guadagno sia soddisfatta, e gli effetti delle correnti di polarizzazione siano minimizzati.

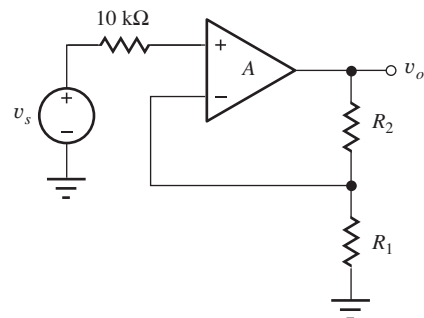


Figura P11.52

- *11.53** L'amplificatore operazionale del circuito di Figura P11.53 presenta un guadagno ad anello aperto pari a 10 000, una tensione di offset di 1 mV, e una corrente di polarizzazione all'ingresso di 100 nA. (a) Si calcoli il valore della tensione di uscita nel caso ideale. (b) Si calcoli il valore effettivo della tensione di uscita, considerando il caso peggiore per il segno della tensione di offset. (c) Qual è l'errore percentuale relativo alla tensione di uscita rispetto al valore ideale?

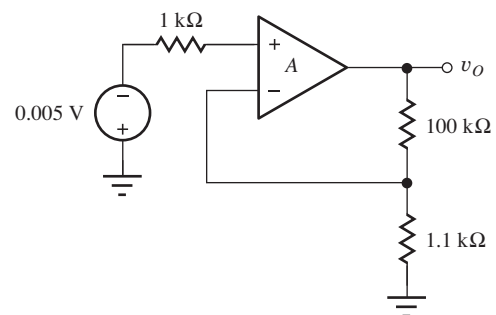


Figura P11.53

Limitazioni relative alla tensione e alla corrente di uscita

11.54 L'intervallo di valori relativo alla tensione di uscita dell'amplificatore operazionale in Figura P11.54 è definito dalle tensioni di alimentazione. Quali sono i valori di V_O e V_- per l'amplificatore se la tensione continua all'ingresso V_I è pari a (a) 1 V e (b) -2 V?

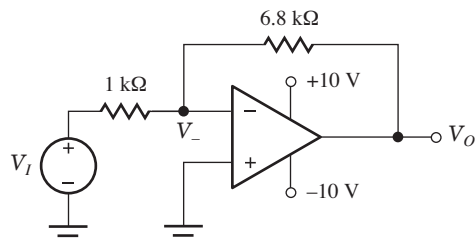


Figura P11.54

11.55 Si calcolino le tensioni V_O e V_{id} nel circuito in Figura P11.55 nel caso in cui la tensione continua all'ingresso sia pari a (a) $V_S = 250$ mV e (b) $V_I = 500$ mV, assumendo che l'intervallo di valori relativo alla tensione di uscita dell'amplificatore operazionale sia definito dalle tensioni di alimentazione.

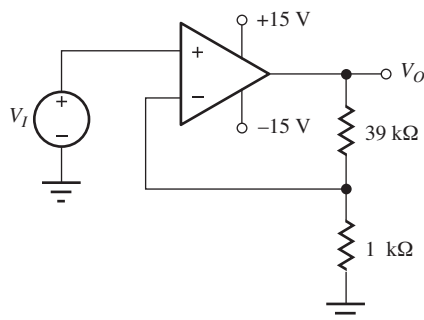


Figura P11.55

11.56 Si progetti un amplificatore non invertente con $A_v = 40$ dB, in grado di fornire un segnale di ± 10 V a una resistenza di carico di 10 k Ω . L'amplificatore può erogare solo una corrente di uscita di 1.5 mA. Si utilizzino valori standard per le resistenze con tolleranza del 5%.

11.57 Si progetti un amplificatore invertente con $A_v = 46$ dB, in grado di fornire un segnale di ± 15 V a una resistenza di carico di 5 k Ω . L'amplificatore può erogare solo una corrente di uscita di 4 mA. Si utilizzino valori standard per le resistenze con tolleranza del 5%.

11.58 Si determini il valore minimo della resistenza R nel circuito in Figura P11.58 se il valore massimo della corrente di uscita dell'amplificatore operazionale è pari a 5 mA, e il guadagno del transistore $\beta_F \geq 50$.

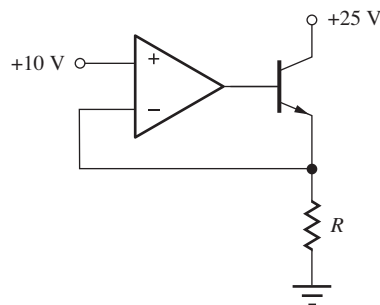


Figura P11.58

****11.59** (a) Si progetti un amplificatore invertente a un solo stadio con un guadagno di 46 dB, utilizzando un amplificatore operazionale. La resistenza di ingresso dovrebbe essere quanto più piccola possibile. L'amplificatore deve essere in grado di produrre un segnale di uscita $v_o = (10 \sin 1000t)$ V, quando una resistenza di carico $R_L \geq 5$ k Ω è connessa in uscita. Si dispone di un amplificatore operazionale in grado di fornire una tensione di uscita di ± 10 V con una resistenza di carico pari a 4 k Ω . Per le rimanenti caratteristiche si assuma che l'amplificatore sia ideale. (b) Se il segnale di ingresso è $v_i = V \sin 1000t$, si determini il massimo valore possibile per l'ampiezza V . (c) Qual è la resistenza di ingresso dell'amplificatore?

11.12 Rapporto di reiezione di modo comune e resistenza di ingresso

11.60 Il rapporto di reiezione del modo comune dell'amplificatore operazionale in Figura P11.60 è spesso limitato dalle differenze relative alle coppie di resistenze e non dal valore del CMRR dell'amplificatore operazionale. Si assuma che il valore nominale di R sia di 10 k Ω e che la tolleranza sia del 0.05%. Qual è il valore del CMRR (in dB) nel caso peggiore?

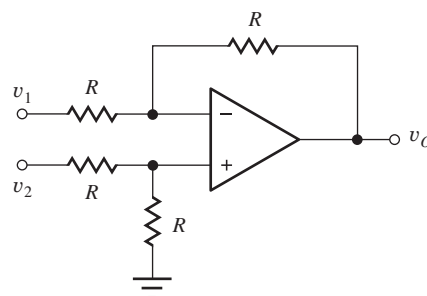


Figura P11.60

11.61 Il multimetro in Figura P11.61 presenta una specifica relativa al rapporto di reiezione del modo comune di 80 dB. Qual è l'intervallo dei possibili valori di tensione che possono essere indicati dal multimetro?

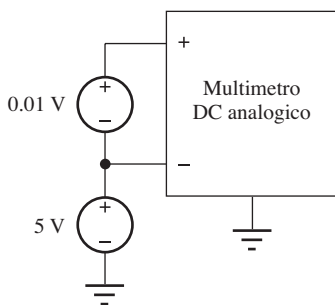


Figura P11.61

- *11.62** L'amplificatore operazionale nel circuito amplificatore in Figura P11.62 è ideale, e

$$v_1 = (10 \sin 120\pi t + 0.25 \sin 5000\pi t) \text{ V}$$

$$v_2 = (10 \sin 120\pi t - 0.25 \sin 5000\pi t) \text{ V}$$

(a) Quali sono le tensioni di ingresso differenziale e di modo comune dell'amplificatore? (b) Quali sono i valori del guadagno di modo differenziale e di modo comune dell'amplificatore? (c) Qual è il rapporto di reiezione del modo comune dell'amplificatore? (d) Si determini la tensione di uscita v_o .

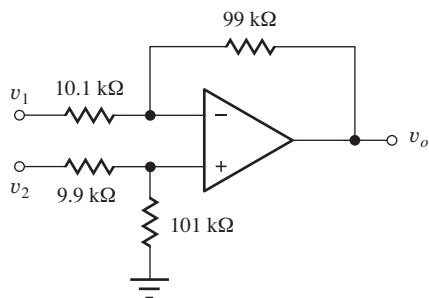


Figura P11.62

11.13 Risposta in frequenza e larghezza di banda degli amplificatori operazionali

- 11.63** (a) Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto di 100 dB e una frequenza a guadagno unitario di 2 MHz. Quanto vale la larghezza di banda ad anello aperto dell'amplificatore? (b) Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto pari a 100 dB e una larghezza di banda ad anello aperto pari a 20 Hz. Quanto vale la frequenza a guadagno unitario dell'amplificatore? (c) Un amplificatore operazionale a singolo polo ha una frequenza a guadagno unitario pari a 30 MHz e una larghezza di banda ad anello aperto di 200 Hz. Quanto vale il guadagno ad anello aperto dell'amplificatore?
- 11.64** Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto di 100 dB e una frequenza a guadagno unitario di 5 MHz. Quanto vale la larghezza di banda ad anello aperto dell'amplificatore? (a) Tale amplificatore operazionale è usato come inseguitore di tensione. Quanto vale la larghezza di banda ad anello aperto? (b) Ripetere il calcolo nel caso di un amplificatore invertente a guadagno unitario.
- 11.65** Ripetere il Problema 11.64 con $f_T = 10 \text{ MHz}$.
- Uso della retroazione per controllare la risposta in frequenza**
- 11.66** Si ricavi un'espressione per l'impedenza di uscita $Z_{out}(s)$ degli amplificatori invertente e non invertente, assumendo che l'amplificatore operazionale presenti la funzione di trasferimento descritta dall'Equazione (11.119) e abbia resistenza di uscita R_o .
- 11.67** Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto di 97 dB e una frequenza a guadagno unitario di 2 MHz. Ricavare l'espressione della funzione di trasferimento del filtro passa-basso in Figura 10.36 quando $R_1 = 5.1 \text{ k}\Omega$, $R_2 = 51 \text{ k}\Omega$ e $C = 1.6 \text{ nF}$. Confrontare il diagramma di Bode della funzione di trasferimento ideale e di quella effettiva.
- 11.68** Si ricavi un'espressione per l'impedenza di ingresso $Z_{in}(s)$ dell'amplificatore non invertente, assumendo che l'amplificatore operazionale presenti la funzione di trasferimento descritta dall'Equazione (11.119) e abbia resistenza di uscita R_{id} .
- 11.69** Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto di 94 dB e una frequenza a guadagno unitario di 1 MHz. Ricavare l'espressione della funzione di trasferimento del filtro passa-alto in Figura 10.37 quando $R_1 = 18 \text{ k}\Omega$, $R_2 = 180 \text{ k}\Omega$ e $C = 1.8 \text{ nF}$. Confrontare il diagramma di Bode della funzione di trasferimento ideale e di quella effettiva.
- 11.70** Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto di 100 dB e una frequenza a guadagno unitario di 5 MHz. Ricavare l'espressione della funzione di trasferimento dell'integratore in Figura 10.38 quando $R = 10 \text{ k}\Omega$, e $C = 50 \text{ nF}$. Confrontare il diagramma di Bode della funzione di trasferimento ideale e di quella effettiva.
- 11.71** Un amplificatore operazionale a singolo polo ha un guadagno ad anello aperto di 86 dB, una frequenza a guadagno unitario di 2.5 MHz e una resistenza d'ingresso di $100 \text{ k}\Omega$. L'amplificatore operazionale è usato in un amplificatore non invertente con guadagno ideale pari a 20. (a) Ricavare l'espressione dell'impedenza di ingresso dell'amplificatore. (b) Disegnare il diagramma di Bode dell'impedenza di ingresso in funzione della frequenza.
- 11.72** Utilizzare SPICE per rappresentare il diagramma di Bode della resistenza di uscita dell'amplificatore del Problema 11.71.
- 11.73** Si calcolino il guadagno e la larghezza di banda dell'amplificatore in Figura P11.73 in corrispondenza dei valori nominali e quelli relativi al caso peggiore per le resistenze di retroazione, assumendo $A = 50\,000$ e $f_T = 1 \text{ MHz}$.

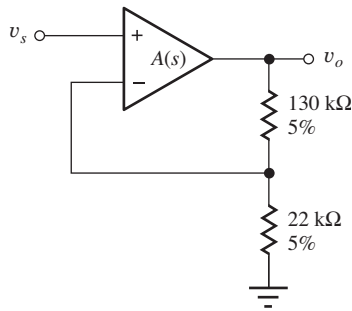


Figura P11.73

- *11.74 Si effettui l'analisi Monte Carlo del circuito in Figura P11.73. (a) Quali sono i limiti (a 3σ) relativi al guadagno e alla larghezza di banda dell'amplificatore se $A_o = 50\,000$ e $f_T = 1\text{ MHz}$? (b) Si ripeta l'analisi nel caso A_o sia uniformemente distribuito nell'intervallo $[5 \times 10^4, 1.5 \times 10^5]$ e f_T è uniformemente distribuita nell'intervallo $[10^6, 3 \times 10^6]$.

- 11.75 Il guadagno di tensione di un amplificatore è descritto da:

$$A(s) = \frac{2\pi \times 10^{10}s}{(s + 2000\pi)(s + 2\pi \times 10^6)}$$

(a) Quanto valgono il guadagno ad anello aperto e le frequenze di taglio superiore e inferiore di questo amplificatore? (b) Se l'amplificatore è collegato in retroazione con un guadagno ad anello chiuso di 100, quanto valgono le frequenze di taglio superiore e inferiore dell'amplificatore ad anello chiuso? (c) Si ripeta per un guadagno a ciclo chiuso di 40.

- 11.76 Si ripeta il Problema 13.59 se il guadagno di tensione è dato da:

$$A(s) = \frac{2 \times 10^{14}\pi^2}{(s + 2\pi \times 10^3)(s + 2\pi \times 10^5)}$$

- 11.77 Si ripeta il Problema 13.59 se il guadagno di tensione è dato da:

$$A(s) = \frac{4\pi^2 \times 10^{18}s^2}{(s + 200\pi)(s + 2000\pi)(s + 2\pi \times 10^6)(s + 2\pi \times 10^7)}$$

Funzionamento ad ampi segnali - slew rate e larghezza di banda a piena potenza

- 11.78 (a) Un amplificatore audio deve essere progettato in modo da fornire un segnale sinusoidale con ampiezza picco-picco di 50 V a una frequenza di 20 kHz. Quale deve essere la specifica relativa allo slew rate dell'amplificatore? (b) Ripetere il calcolo per una frequenza di 20 Hz.
- 11.79 Un amplificatore presenta uno slew rate di 10 V/μs. Qual è la larghezza di banda a piena potenza relativa a segnali di ampiezza 8 V?
- 11.80 Un amplificatore deve fornire la forma d'onda di uscita riportata in Figura P11.80. Si valuti lo slew rate dell'amplificatore.

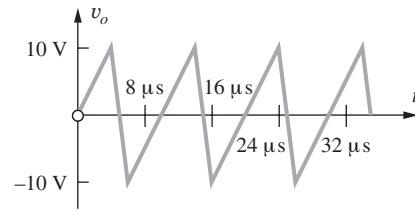


Figura P11.80

Macromodello per la risposta in frequenza dell'amplificatore operazionale

- 11.81 Un amplificatore a singolo polo è caratterizzato dalle seguenti specifiche:

$$A_o = 80\,000 \quad f_T = 5\text{ MHz}$$

$$R_{id} = 250\text{ k}\Omega \quad R_o = 50\text{ }\Omega$$

(a) Si disegni il circuito relativo al macromodello dell'amplificatore operazionale. (b) Si disegni il circuito del macromodello nel caso l'amplificatore presenti anche una resistenza $R_{ic} = 500\text{ M}\Omega$.

- 11.82 Si disegni il macromodello per l'amplificatore del Problema P11.81, includendo gli elementi necessari per includere i seguenti parametri: $R_{ic} = 100\text{ M}\Omega$, $I_{B1} = 105\text{ nA}$, $I_{B2} = 95\text{ nA}$ e $V_{OS} = 1\text{ mV}$.

- *11.83 Un amplificatore operazionale a due poli può essere descritto dalla funzione di trasferimento:

$$A(s) = \frac{A_o\omega_1\omega_2}{(s + \omega_1)(s + \omega_2)}$$

dove

$$A_o = 80,000$$

$$f_1 = 1\text{ kHz}$$

$$f_2 = 100\text{ kHz}$$

$$R_{id} = 400\text{ k}\Omega$$

$$R_o = 75\text{ }\Omega$$

Si sviluppi un macromodello per l'amplificatore [Suggerimento: si utilizzino due maglie fittizie.]

- 11.84 Si effettui la simulazione della risposta in frequenza relativa al progetto nominale dell'amplificatore a sei stadi. Si utilizzi il macromodello riportato in Figura 11.51 per descrivere l'amplificatore operazionale.

- *11.85 Si utilizzi l'analisi Monte Carlo disponibile nel programma SPICE per simulare 1000 casi relativi al funzionamento dell'amplificatore a sei stadi. Si assuma una tolleranza del 5% per tutti i resistori e condensatori, e del 50% per la larghezza di banda e per il guadagno ad anello aperto degli amplificatori operazionali. Si utilizzino distribuzioni statistiche uniformi. Quali sono i valori minimo e massimo ottenuti per il guadagno e la larghezza di banda?

Amplificatori operazionali per applicazioni generali

- 11.86 Qual è il valore degli elementi del macromodello di Figura 11.51 per l'amplificatore AD745? Si assuma $R = 1\text{ k}\Omega$ e i valori nominali.

- 11.87** Per l'amplificatore AD745 si determinino i valori per il caso peggiore (quello minimo oppure quello massimo a seconda del caso), dei seguenti parametri: guadagno ad anello aperto, CMRR, PSRR, V_{OS} , I_{B1} , I_{B2} , I_{OS} , R_{ID} , slew rate, prodotto guadagno-banda e tensione di alimentazione.

11.14 Stabilità degli amplificatori retroazionati

- 11.88** Quanto valgono i margini di fase e guadagno per l'amplificatore del Problema 11.75?
- 11.89** Quanto valgono i margini di fase e guadagno per l'amplificatore del Problema 11.76?
- 11.90** Quanto valgono i margini di fase e guadagno per l'amplificatore del Problema 11.77?
- 11.91** Il guadagno di tensione di un amplificatore è descritto da:

$$A(s) = \frac{4 \times 10^{19} \pi^3}{(s + 2\pi \times 10^4)(s + 2\pi \times 10^5)^2}$$

- (a) Se si utilizza una rete di retroazione resistiva, trovare la frequenza alla quale il guadagno di anello ha una fase di 180° . (b) Per quale valore del guadagno di anello chiuso l'amplificatore comincia a oscillare? (c) L'amplificatore è stabile per valori maggiori o minori del guadagno ad anello chiuso?

- *11.92** Qual è la massima capacità di carico C_L collegabile all'uscita dell'inseguitore di tensione di Figura P11.92 se il margine di fase dell'amplificatore deve essere pari a 60° ? Si assuma che il guadagno di tensione dell'amplificatore sia descritto dalla seguente funzione di trasferimento e che esso presenti una resistenza di uscita di 500Ω :

$$A(s) = \frac{10^7}{(s + 50)}$$

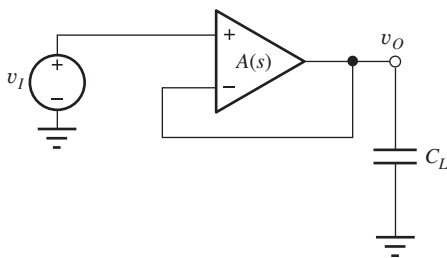


Figura P11.92

- 11.93** Il guadagno di tensione di un amplificatore è descritto da:

$$A(s) = \frac{2 \times 10^{13} \pi^2}{(s + 2\pi \times 10^3)(s + 2\pi \times 10^4)}$$

- (a) È stabile l'amplificatore per un guadagno ad anello chiuso di 5? (b) In caso affermativo qual è il margine di fase?

- 11.94** Il guadagno di tensione di un amplificatore è descritto da:

$$A(s) = \frac{2 \times 10^{14} \pi^2}{(s + 2\pi \times 10^3)(s + 2\pi \times 10^5)}$$

- (a) È stabile l'amplificatore per un guadagno ad anello chiuso di 5? (b) In caso affermativo qual è il margine di fase?

- 11.95** (a) Si usi MATLAB per disegnare i diagrammi di Bode dell'amplificatore del Problema 11.94 per un guadagno ad anello chiuso di 5. È stabile l'amplificatore? Qual è il margine di fase? (b) Si ripetano i calcoli nel caso di guadagno unitario.

- 11.96** Si trovi il guadagno di anello di un integratore realizzato mediante un amplificatore operazionale a singolo polo con $A_o = 100 \text{ dB}$ e $f_T = 1 \text{ MHz}$. Si assuma per la rete di retroazione dell'integratore $R = 100 \text{ k}\Omega$ e $C = 10 \text{ nF}$. Qual è il margine di fase?

- *11.97** Si trovi la funzione di trasferimento ad anello chiuso di un integratore realizzato con un amplificatore operazionale a due poli caratterizzato da $A_o = 100 \text{ dB}$, $f_{P1} = 1 \text{ kHz}$, $f_{P2} = 100 \text{ kHz}$. Si assuma per la rete di retroazione dell'integratore $R = 100 \text{ k}\Omega$ e $C = 10 \text{ nF}$. Qual è il margine di fase?

- *11.98** (a) Si scriva un'espressione per il guadagno di anello $T(s)$ dell'amplificatore di Figura P11.98 se $R_1 = 1 \text{ k}\Omega$, $R_2 = 20 \text{ k}\Omega$, $C_c = 0$ e l'amplificatore operazionale ha la seguente funzione di trasferimento:

$$A(s) = \frac{2 \times 10^{11} \pi^2}{(s + 2\pi \times 10^2)(s + 2\pi \times 10^4)}$$

- (b) Si utilizzi MATLAB per disegnare il diagramma di Bode di $T(s)$. Qual è il margine di fase? (c) È possibile aggiungere un condensatore di compensazione C_c per ottenere un margine di fase di 45° ? Se la risposta è affermativa che valore deve avere C_c ?

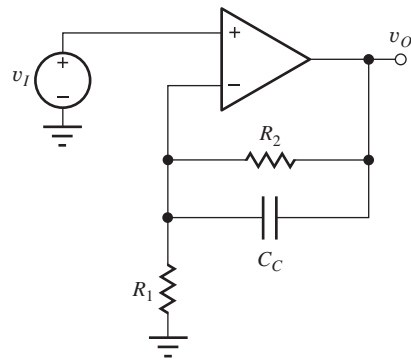


Figura P11.98

- 11.99** (a) Si usi MATLAB per disegnare i diagrammi di Bode dell'amplificatore del Problema 11.98. Si trovi la frequenza per cui il ritardo di fase è 180° . (b) Per quale valore del guadagno ad anello chiuso l'amplificatore comincia a oscillare?

- 11.100** Si ripeta il Problema 11.99 per l'amplificatore del Problema 11.75.

- 11.101** Si ripeta il Problema 11.99 per l'amplificatore del Problema 11.76.

- 11.102** Si ripeta il Problema 13.99 per l'amplificatore del Problema 11.77.

11.103 Si usi MATLAB per disegnare i diagrammi di Bode dell'amplificatore del Problema 11.98 per un guadagno ad anello chiuso di 100. È stabile l'amplificatore? Qual è il margine di fase?

11.104 L'amplificatore non invertente di Figura P11.104 ha $R_1 = 47 \text{ k}\Omega$, $R_2 = 390 \text{ k}\Omega$ e $C_S = 45 \text{ pF}$. Qual è il margine di fase dell'amplificatore se il guadagno di tensione è descritto dalla seguente funzione di trasferimento:

$$A(s) = \frac{10^7}{(s + 50)}$$

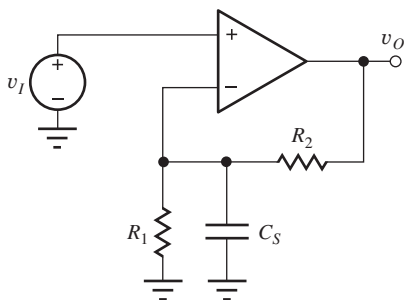


Figura P11.104

11.105 Si supponga che l'amplificatore operazionale dell'Esempio 11.5 abbia $f_T = 1 \text{ MHz}$. Quanto vale il margine di fase dell'amplificatore?

11.106 Si supponga che l'amplificatore operazionale dell'Esempio 11.6 abbia $f_T = 3 \text{ MHz}$. Quanto vale il margine di fase dell'amplificatore?

11.107 Si supponga che l'amplificatore operazionale dell'Esempio 11.7 abbia $f_T = 0.5 \text{ MHz}$. Quanto vale il margine di fase dell'amplificatore?

11.108 Si supponga che l'amplificatore operazionale dell'Esempio 11.8 abbia $f_T = 2 \text{ MHz}$. Quanto vale il margine di fase dell'amplificatore?

11.109 Calcolare il margine di fase e il coefficiente di smorzamento che corrispondono ad una sovraelongazione di (a) 0.5%, (b) 5%, (c) 25%.

11.110 Un amplificatore operazionale ha un guadagno ad anello aperto di 100 dB e due poli a 500 Hz e 1 MHz. Disegnare il diagramma di Bode del modulo del guadagno dell'amplificatore. Quanto vale la frequenza a guadagno unitario? (a) Se l'amplificatore è impiegato per realizzare un inseguitore di tensione, quanto valgono larghezza di banda, margine di fase e sovraelongazione? (b) Ripetere i calcoli considerando un amplificatore invertente con guadagno pari a 0 dB.

11.111 Usare SPICE per simulare i comportamenti degli
S amplificatori del Problema 11.110.

Capitolo 12

Riepilogo

- In questo capitolo sono state discusse molte applicazioni degli amplificatori operazionali.
- Siccome è spesso impossibile soddisfare un insieme di specifiche utilizzando un singolo stadio di amplificazione, è sovente necessario ricorrere alla cascata di più stadi al fine di ottenere i risultati desiderati.
- L'amplificatore complessivo può essere rappresentato in maniera semplificata ricorrendo al modello a due porte dei singoli amplificatori.
- È stato presentato un esaustivo esempio di progetto di amplificatore multistadio, avvalendosi di un foglio elettronico per analizzare l'influenza delle tolleranze dei componenti, in particolare dei resistori.
- La banda di un amplificatore multistadio è inferiore alla banda di ciascuno dei singoli amplificatori considerato da solo. È stata ricavata un'espressione per la banda di N amplificatori identici in cascata e scritta in termini di fattore di riduzione della banda.
- L'amplificatore da strumentazione è un circuito a elevate prestazioni spesso usato nei sistemi di acquisizione dati.
- Abbiamo poi studiato il funzionamento dei filtri attivi RC , come il filtro passa-basso, passa-alto e passa-banda. In questi circuiti sono utilizzate reti RC di retroazione e amplificatori operazionali, al posto degli induttori, tipicamente molto ingombranti, che vengono utilizzati nei filtri RLC normalmente impiegati per applicazioni a frequenze audio. I filtri attivi contenenti un solo amplificatore operazionale sfruttano sia la retroazione positiva sia quella negativa per realizzare funzioni di trasferimento del secondo ordine di tipo passa-basso, passa-alto e passa-banda.
- Abbiamo definito la sensibilità delle caratteristiche di un filtro nei confronti di variazioni delle caratteristiche dei componenti passivi e dell'amplificatore operazionale. I filtri realizzati con più amplificatori operazionali offrono vantaggi in termini di bassa sensibilità e semplicità di progetto, rispetto a quelli realizzati con un solo amplificatore. Si può utilizzare la variazione del valore dei parametri delle impedenze e della frequenza secondo un fattore di scala, allo scopo di modificare il valore dell'impedenza o della frequenza ω_0 e senza alterare il parametro Q .
- I circuiti a capacità commutate usano una combinazione di capacità e interruttori per rimpiazzare i resistori nel progetto dei filtri nei circuiti integrati. Questi filtri rappresentano la versione tempo-discreta dei corrispondenti filtri RC tempo-continuo e sono completamente compatibili con la tecnologia MOS. Integratori invertenti e non invertenti possono essere realizzati con capacità commutate.
- Sono stati studiati i convertitori analogico-digitale e digitale-analogico, presentando diversi schemi realizzativi basati su amplificatori operazionali.
- Nei circuiti oscillatori, si utilizza la retroazione positiva in modo da avere un segnale di uscita anche se non è presente un segnale di ingresso. Il criterio di Barkhausen stabilisce che, alla frequenza di oscillazione, il ritardo di fase lungo l'anello deve essere un multiplo di 360° e che il guadagno d'anello deve essere uguale a 1.
- Gli oscillatori utilizzano opportune reti di retroazione selettive in frequenza per fissare la frequenza di oscillazione; è possibile usare a tale scopo reti RC , LC o cristalli di quarzo.
- L'oscillatore a ponte di Wien e gli oscillatori a sfasamento utilizzano reti RC per fissare la frequenza di oscillazione.
- Per ottenere oscillazioni puramente sinusoidali, i poli dell'oscillatore devono essere posizionati esattamente sull'asse $j\omega$ del piano s . In caso contrario si ha distorsione. Usualmente, per ottenere oscillazioni sinusoidali, è richiesta una tecnica di stabilizzazione dell'ampiezza. Tale stabilizzazione si può ottenere semplicemente sfruttando le non linearità intrinseche dei transistori, oppure ricorrendo a un opportuno circuito di controllo del guadagno.
- I comparatori sono circuiti in cui una tensione di ingresso incognita viene confrontata con una tensione di riferimento definita con precisione. Il comparatore può essere riguardato come un amplificatore operazionale a elevato guadagno ed elevata velocità che viene progettato per funzionare senza rete di retroazione.
- Abbiamo anche introdotto alcune applicazioni non lineari degli amplificatori operazionali, tra cui i circuiti raddrizzatori di precisione.
- Abbiamo analizzato il funzionamento di circuiti multivibratori, come il circuito trigger di Schmitt, che spesso sostituisce il comparatore quando il livello di rumore del segnale di ingresso è molto elevato, il multivibratore monostabile, utilizzato per generare un singolo impulso di durata assegnata, e il multivibratore astabile, che non presenta uno stato stabile, ma oscilla continuamente, generando un'onda quadra in uscita.

Problemi

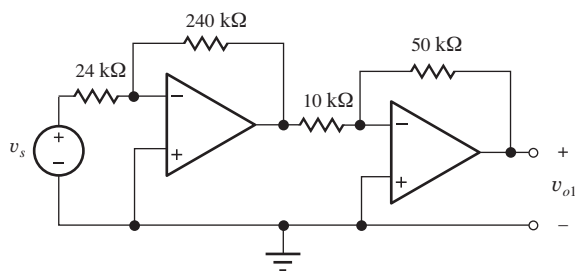
Le soluzioni si trovano sul sito web dedicato al libro



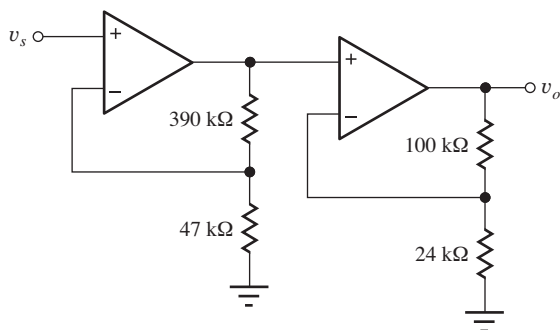
12.1 Connessione in cascata di amplificatori

12.1 In Figura 12.1 sono stati identificati 7 amplificatori. Si individuino altre due possibilità.

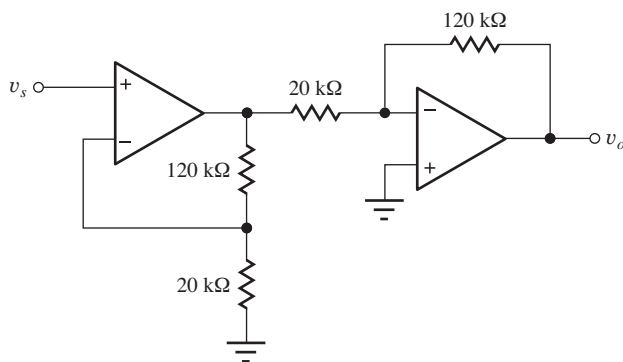
12.2 Un amplificatore viene realizzato disponendo in cascata due amplificatori operazionali, come mostrato in Figura P12.2(a). (a) Si sostituisca a ciascuno stadio la corrispondente rappresentazione a doppio bipolo. (b) Si utilizzi il modello del circuito ottenuto al punto (a) per determinare il modello a doppio bipolo (A_v , R_{in} , R_{out}) per l'amplificatore complessivo a due stadi. (c) Si disegni il circuito relativo al modello a doppio bipolo dell'amplificatore a due stadi.



(a)



(b)



(c)

Figura P12.2

12.3 Un amplificatore viene realizzato disponendo in cascata due amplificatori invertenti, come mostrato in Figura P12.2(a). Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore complessivo a due stadi.

12.4 Un amplificatore viene realizzato disponendo in cascata due amplificatori non invertenti, come mostrato in Figura P12.2(b). Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore complessivo a due stadi.

12.5 Un amplificatore viene realizzato disponendo in cascata due stadi con operazionali, come mostrato in Figura P12.2(c). (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore complessivo a due stadi. (b) Si ripeta il calcolo di A_v , R_{in} e R_{out} se gli stadi vengono invertiti di posto.

12.6 Un amplificatore viene realizzato disponendo in cascata tre amplificatori operazionali, come mostrato in Figura P12.6. (a) Si sostituisca a ciascuno stadio la corrispondente rappresentazione a doppio bipolo. (b) Si utilizzi il modello del circuito ottenuto al punto (a) per determinare il modello a doppio bipolo (A_v , R_{in} , R_{out}) per l'amplificatore complessivo a tre stadi. (c) Si disegni il circuito relativo al modello a doppio bipolo dell'amplificatore a tre stadi.

12.7 Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore complessivo a tre stadi in Figura P12.6 se le resistenze da 2 kΩ sono sostituite con resistenze da 3.9 kΩ.

12.8 Nel circuito in Figura P12.6 le resistenze da 2 kΩ devono essere sostituite con resistenze tali che il guadagno complessivo sia pari a 40 dB. Qual è il nuovo valore delle resistenze? Si calcoli il nuovo valore di R_{in} .

12.9 Nel circuito in Figura P12.9 gli operazionali sono ideali. (a) Si calcolino il guadagno di tensione e le resistenze di ingresso e uscita per l'amplificatore complessivo. (b) Si calcolino le tensioni agli 8 nodi del circuito assumendo $v_I = 10$ mV.

12.10 Nel circuito in Figura P12.9 gli operazionali sono ideali. Si calcolino il valore nominale, il valore minimo e quello massimo per il guadagno di tensione e per le resistenze di ingresso e uscita relativi all'amplificatore complessivo. Si assuma una tolleranza del 5% per tutte le resistenze.

12.11 Nel circuito in Figura P12.11 gli operazionali sono ideali. (a) Si calcolino il guadagno di tensione e le resistenze di ingresso e uscita per l'amplificatore complessivo. (b) Si calcolino le tensioni agli 8 nodi del circuito assumendo $v_I = 2$ mV.

12.12 Si ripeta il problema precedente se le resistenze da 1 kΩ sono sostituite con resistenze da 3 kΩ, e la resistenza da 1 MΩ è sostituita con una resistenza da 2 MΩ.

12.13 Nel circuito in Figura P12.11 gli operazionali sono ideali. Si calcolino il valore nominale, il valore minimo e quello massimo per il guadagno di tensione e per le resistenze di ingresso e uscita relativi all'amplificatore complessivo. Si assuma una tolleranza del 2% per tutte le resistenze.

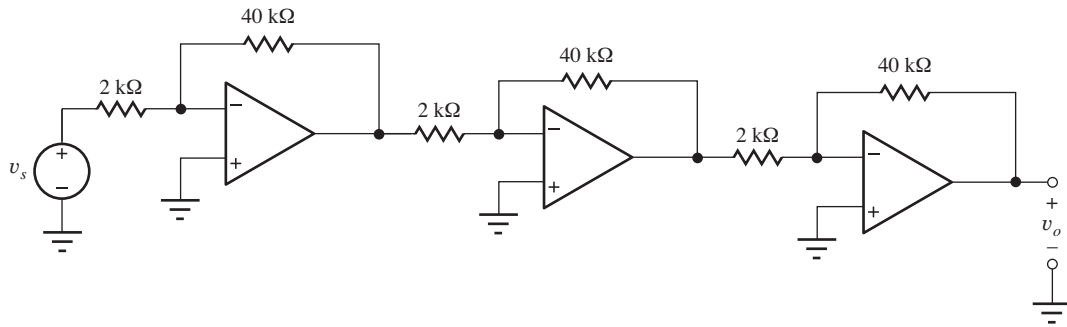


Figura P12.6

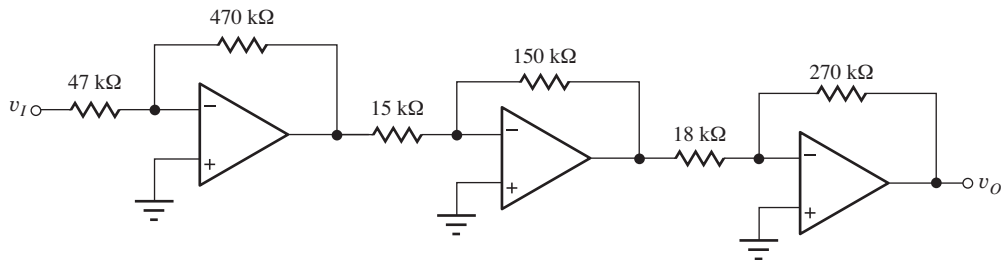


Figura P12.9

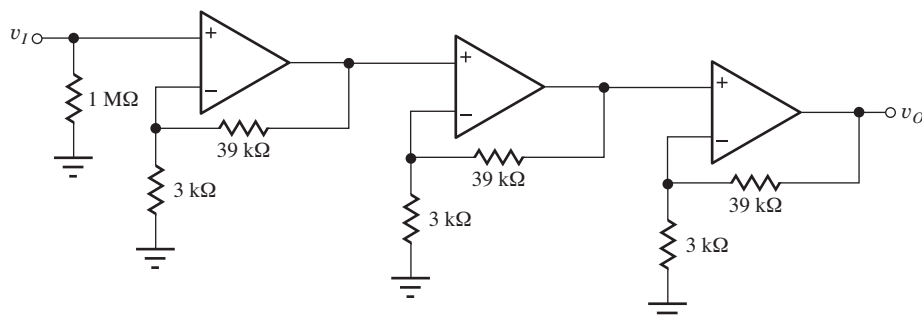


Figura P12.11

12.14 Nel circuito in Figura P12.14 gli operazionali sono ideali. (a) Si calcolino il guadagno di tensione e le resistenze di ingresso e uscita per l'amplificatore complessivo. (b) Si calcolino le tensioni agli 8 nodi del circuito assumendo $v_I = 5$ mV.

12.15 Nel circuito in Figura P12.14 gli operazionali sono ideali. Si calcolino il valore nominale, il valore minimo e quello massimo per il guadagno di tensione e per le resistenze di ingresso e uscita relativi all'amplificatore complessivo. Si assuma una tolleranza dell'1% per tutte le resistenze.

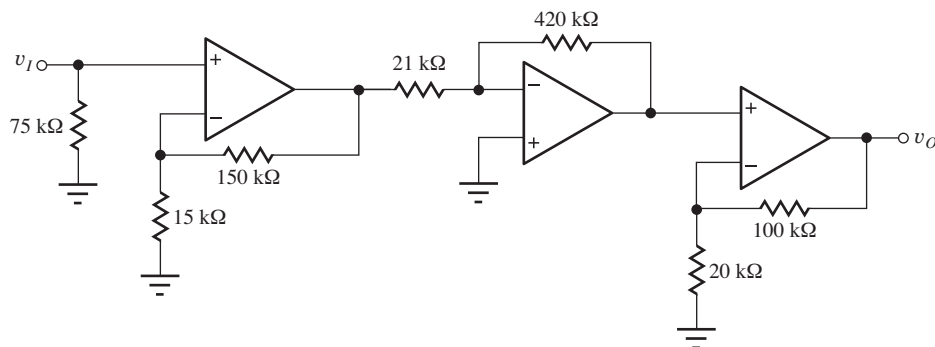


Figura P12.14

- 12.16** Un amplificatore è formato dalla connessione in cascata di due amplificatori operazionali, come mostrato in Figura P12.16. Gli amplificatori operazionali presentano: $A = 10^5$, $R_{id} = 500 \text{ k}\Omega$ e $R_o = 100 \Omega$. Quali sono i valori del guadagno ad anello chiuso, della resistenza di ingresso e della resistenza di uscita?

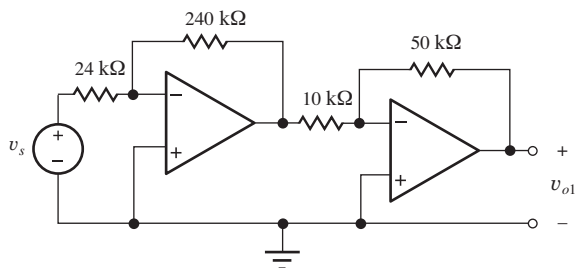


Figura P12.16

- 12.17** Quali sono i valori del guadagno ad anello chiuso, della resistenza di ingresso e della resistenza di uscita per l'amplificatore di Figura P12.17 se esso presenta un guadagno ad anello aperto di 90 dB, una resistenza di ingresso di 500 kΩ e una resistenza di uscita di 300 Ω?

- **12.18** Un amplificatore deve essere progettato in modo da soddisfare le seguenti specifiche:

$$A_v = 5000 \quad R_{in} \geq 10 \text{ M}\Omega \quad R_{out} \leq 0.1 \Omega$$

Si determini il numero di stadi che occorre utilizzare, assumendo per gli amplificatori operazionali le caratteristiche di seguito specificate. A causa delle limitazioni relative alla larghezza di banda, si assuma che il guadagno di ciascuno stadio non possa essere

maggiore di 50. Specifiche relative agli amplificatori operazionali:

$$A_o = 85 \text{ dB}$$

$$R_{id} = 1 \text{ M}\Omega$$

$$R_o = 100 \Omega$$

$$R_{ic} \geq 1 \text{ G}\Omega$$

- 12.19** (a) Si determini il guadagno e la larghezza di banda per gli stadi individuali in Figura P12.19 se gli operazionali sono caratterizzati da $A_o = 10^5$ e $f_T = 3 \text{ MHz}$. (b) Si determinino il guadagno complessivo e la larghezza di banda dell'amplificatore a tre stadi.

- **12.20** Si progetti un amplificatore a più stadi che soddisfi le seguenti specifiche, utilizzando degli amplificatori operazionali caratterizzati dai parametri di seguito riportati:

$$A_v = 86 \text{ dB} \pm 1 \text{ dB} \quad R_{in} \geq 10 \text{ k}\Omega$$

$$R_{out} \leq 0.01 \Omega \quad f_H \geq 75 \text{ kHz}$$

L'amplificatore deve utilizzare il numero minimo di stadi che consenta di soddisfare le specifiche assegnate (è consigliabile utilizzare un foglio di calcolo oppure un altro programma per effettuare i conti). Specifiche relative agli amplificatori operazionali:

$$A_o = 10^5 \quad R_{id} = 10^9 \Omega$$

$$R_o = 50 \Omega \quad \text{GBW} = 1 \text{ MHz}$$

- **12.21** (a) Si progetti l'amplificatore descritto nel Problema 12.20 includendo i valori dei resistori di retroazione in ciascuno stadio. (b) Qual è la larghezza di banda se gli amplificatori operazionali sono caratterizzati da $f_T = 5 \text{ MHz}$?

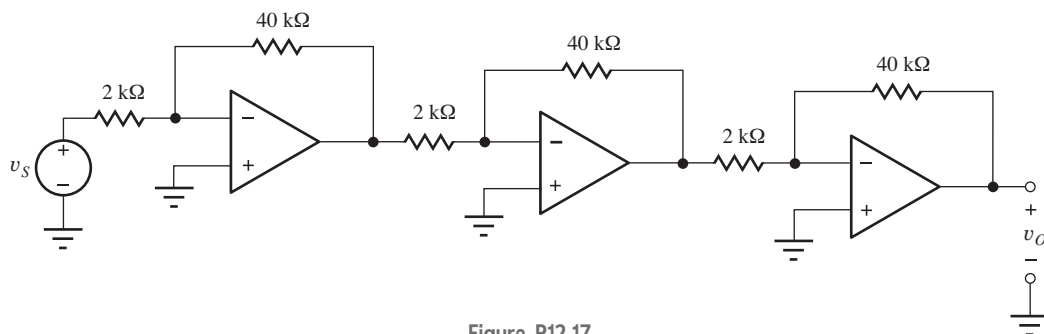


Figura P12.17

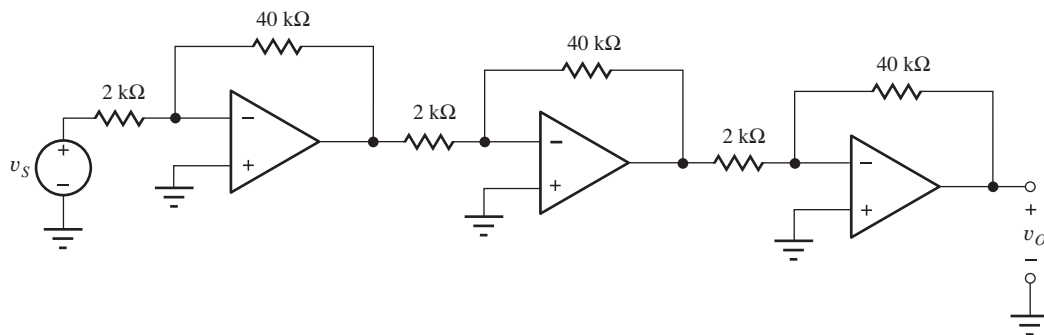


Figura P12.19

- 12.22** Un amplificatore a più stadi deve soddisfare le seguenti specifiche:

$$A_v = 60 \text{ dB} \pm 1 \text{ dB} \quad R_{in} = 27 \text{ k}\Omega$$

$$R_{out} \leq 0.1 \Omega \quad \text{larghezza di banda} = 20 \text{ kHz}$$

Si determini il numero di stadi che occorre utilizzare, assumendo che gli amplificatori operazionali siano descritti dalle seguenti caratteristiche:

$$A_o = 85 \text{ dB} \quad f_T = 5 \text{ MHz} \quad R_o = 100 \Omega$$

$$R_{id} = 1 \text{ M}\Omega \quad R_{ic} \geq 1 \text{ G}\Omega$$

- 12.23** Si progetti l'amplificatore del Problema 12.22, includendo il valore dei resistori di retroazione in ciascuno stadio.

- 12.24** (a) Si effettui l'analisi Monte Carlo dell'amplificatore in cascata a sei stadi, relativo ai risultati riportati nelle Tabelle 12.4 e 12.5, e si determini la frazione degli amplificatori che non verifica la specifica relativa al guadagno oppure alla larghezza di banda. Si assuma che le resistenze siano uniformemente distribuite tra i corrispondenti valori limite.

$$A_v \geq 100 \text{ dB} \quad f_H \geq 50 \text{ kHz}$$

- (b) Qual è la tolleranza necessaria affinché la frazione degli amplificatori che non soddisfa entrambe le specifiche sia inferiore allo 0.1%?

L'equazione di seguito riportata può essere utilizzata per stimare la frequenza di taglio per una funzione di trasferimento a N poli in cui i poli sono vicini uno all'altro, dove $\overline{f_{H1}}$ rappresenta il valor medio delle frequenze di taglio relative agli N stadi dell'amplificatore, e f_{H1}^i è la frequenza di taglio dell' i -esimo stadio.

$$f_H = \overline{f_{H1}} \sqrt{2^{1/N} - 1}$$

$$\text{dove } \overline{f_{H1}} = \frac{1}{N} \sum_{i=1}^N f_{H1}^i$$

- *12.25** (a) Si mostri che il numero di stadi che ottimizza la larghezza di banda di una cascata di amplificatori non invertenti identici con guadagno complessivo G , è dato da:

$$N = \frac{\ln 2}{\ln \left[\frac{\ln G}{\ln G - \ln \sqrt{2}} \right]}$$

- (b) Si calcoli N per l'amplificatore dell'Esempio 12.3.

12.2 Amplificatori per strumentazione

- 12.26** Si calcoli il guadagno di tensione per l'amplificatore per strumentazione in Figura 12.4 assumendo $R_1 = 2 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$ e $R_4 = 10 \text{ k}\Omega$. Si ricavi un'espressione per la tensione di uscita se $v_1 = (2 + 0.1 \sin 2000\pi t) \text{ V}$ e $v_2 = 2.1 \text{ V}$.

- 12.27** Si calcoli il guadagno di tensione per l'amplificatore per strumentazione in Figura 12.4 assumendo $R_1 = 20 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$ e $R_4 = 20 \text{ k}\Omega$. Si ricavi un'espressione per la tensione di uscita se $v_1 = (4 - 0.1 \sin 4000\pi t) \text{ V}$ e $v_2 = 3.5 \text{ V}$.

- 12.28** Quali sono i valori effettivi delle due resistenze di ingresso R_{in1} e R_{in2} e della resistenza di uscita R_{out} dell'amplificatore per strumentazione in Figura P12.28 se questo viene realizzato utilizzando amplificatori operazionali con: $A = 7.5 \times 10^4$, $R_{id} = 1 \text{ M}\Omega$, $R_{ic} = 500 \text{ M}\Omega$ e $R_o = 100 \Omega$? Si assuma $R_1 = 1 \text{ k}\Omega$, $R_2 = 24 \text{ k}\Omega$ e $R_3 = R_4 = 10 \text{ k}\Omega$.

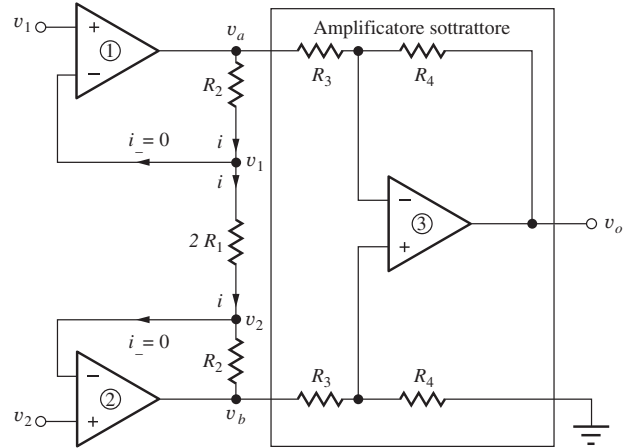


Figura P12.28

- 12.29** Nell'amplificatore per strumentazione mostrato in Figura P12.29 si ha $v_a = 4.99 \text{ V}$ e $v_b = 5.01 \text{ V}$. Si calcolino le tensioni ai nodi $v_1, v_2, v_3, v_4, v_5, v_6, v_o$ e le correnti i_1, i_2 e i_3 . Quali sono i valori del guadagno di modo comune, del guadagno di modo differenziale, e il CMRR dell'amplificatore? Gli amplificatori operazionali sono ideali.

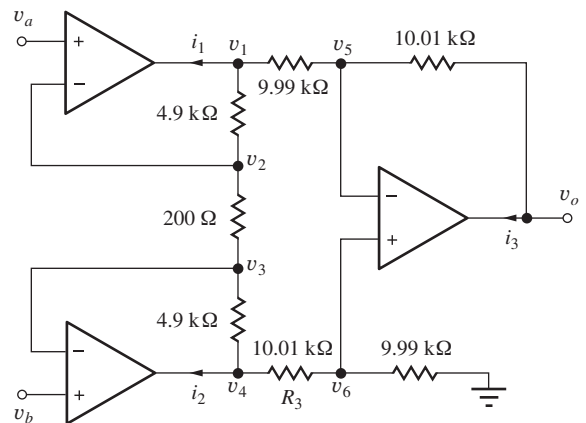


Figura P12.29

12.3 Filtri attivi

- 12.30** (a) Si ripeta l'esempio di progetto dell'Esempio 12.6 del filtro passa-basso del secondo ordine a risposta piatta con $f_o = 20 \text{ kHz}$ utilizzando il circuito di Figura 12.5. Si assuma $C = 5 \text{ nF}$. Qual è la banda del filtro? (b) Si porti la frequenza di taglio a 40 kHz utilizzando la tecnica della moltiplicazione per un fattore di scala.

- 12.31** (a) Si utilizzi MATLAB oppure un altro programma per disegnare il diagramma di Bode della risposta del filtro del Problema 12.30 assumendo che l'operazionale sia ideale. (b) Si utilizzi SPICE per simulare le caratteristiche del filtro del Problema 12.40 utilizzando un operazionale 741. (c) Si discutano le differenze tra i risultati di SPICE e quelli relativi al caso ideale.

12.32 Si ricavi un'espressione per l'impedenza di ingresso del filtro riportato in Figura 12.5.

12.33 Si utilizzi MATLAB oppure un altro programma per disegnare il grafico dell'impedenza di ingresso del filtro passa-basso di Figura 12.5 in funzione della frequenza se $R_1 = R_2 = 2.26 \text{ k}\Omega$, $C_1 = 29 \text{ nF}$ e $C_2 = 10 \text{ nF}$.

12.34 (a) Qual è la funzione di trasferimento del filtro passa-basso di Figura P12.34? (b) Quanto vale S_K^Q per questo filtro se $R_1 = R_2$ e $C_1 = C_2$?

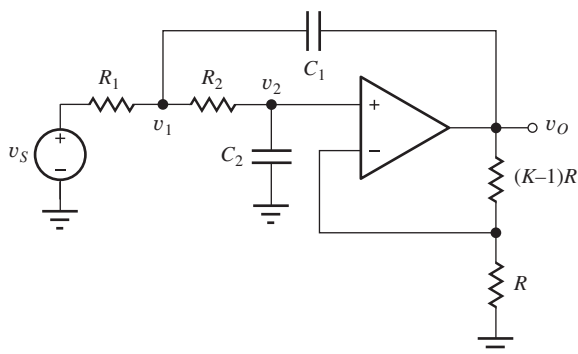


Figura P12.34

12.35 Quali sono le espressioni di $S_{R_1}^{\omega_o}$ e $S_{C_1}^{\omega_o}$ per il filtro passa-alto di Figura 12.7?

12.36 Si determini $S_Q^{\omega_o}$ per il filtro passa-banda di Figura 12.9 per $C_1 = C_2$. Qual è il valore per $f_o = 10 \text{ kHz}$ e $Q = 10$?

12.37 Si progetti un filtro passa-basso del secondo ordine con risposta piatta e banda di 1 kHz utilizzando il circuito in Figura 12.5.

12.38 Si progetti un filtro passa-alto con frequenza di taglio di 20 kHz e $Q = 1$ utilizzando il circuito in Figura 12.7.

12.39 (a) Si calcolino f_o , Q e la larghezza di banda del filtro passa-banda di Figura 12.9 se $R_{th} = 1 \text{ k}\Omega$, $R_2 = 200 \text{ k}\Omega$ e $C_1 = C_2 = 220 \text{ pF}$. (b) Si variino le impedenze secondo un fattore di scala in modo da ottenere $R_{th} = 3.3 \text{ k}\Omega$. (c) Si raddoppi la frequenza f_o del filtro di cui al punto (a) utilizzando il metodo della moltiplicazione secondo un fattore di scala.

12.40 (a) Si progetti un filtro passa-banda con frequenza centrale di 1 kHz e $Q = 5$ utilizzando il circuito della Figura 12.9 con $R_3 \rightarrow \infty$. Qual è la banda del filtro? (b) Utilizzando il metodo della moltiplicazione secondo un fattore di scala si porti la frequenza centrale a 2.25 kHz .

***12.41** (a) Si utilizzi MATLAB oppure un altro programma per disegnare il grafico della risposta del filtro del Problema 12.40(a) assumendo un operazionale ideale. (b) Si utilizzi SPICE per simulare la risposta del filtro del Problema 12.40(a) utilizzando un operazionale 741. (c) Si commentino le differenze tra i risultati SPICE e il caso ideale.

12.42 (a) Due filtri passa-banda identici con $\omega_o = 1$ e $Q = 3$ vengono progettati mediante il circuito di Figura 12.9 con $C_1 = C_2$ e $R_3 \rightarrow \infty$. Se i filtri sono posti in cascata, quanto valgono la frequenza centrale, Q e la banda passante del filtro complessivo? (b) Si scriva la funzione di trasferimento del filtro complessivo.

12.43 Si utilizzi MATLAB oppure un altro programma per disegnare il grafico della risposta del filtro del Problema 12.52.

***12.44** Il primo stadio di un filtro a due stadi è costituito da un filtro passa-banda con $f_o = 5 \text{ kHz}$ e $Q = 5$. Il secondo stadio è ancora un filtro passa-banda ma presenta $f_o = 6 \text{ kHz}$ e $Q = 5$. Se i filtri sono realizzati mediante lo schema di Figura 12.9 $C_1 = C_2$ e $R_3 \rightarrow \infty$, quanto valgono la frequenza centrale, Q e la banda passante del filtro complessivo?

12.45 Si utilizzi MATLAB oppure un altro programma per disegnare il grafico della risposta del filtro del Problema 12.44.

12.46 Si progetti un filtro passa-banda con guadagno di 20 dB , $f_o = 600 \text{ Hz}$, $Q = 5$ e $R_{in} = 10 \text{ k}\Omega$ utilizzando lo schema Tow-Thomas di Figura 12.11.

12.47 Si calcoli S_C^Q per il filtro Tow-Thomas di Figura 12.11.

12.4 Capacità commutate

12.48 Disegnare il grafico della tensione di uscita del circuito a capacità commutate in Figura 12.13 per cinque periodi del clock, assumendo $C_1 = 4C_2$, $v_I = 1 \text{ V}$ e $v_O(0) = 0$.

12.49 (a) Quanto vale la tensione di uscita alla fine di un periodo del clock nell'integratore a capacità commutate di Figura 12.11 se $C_1 = 1 \text{ pF}$, $C_2 = 0.2 \text{ pF}$, $v_I = 1 \text{ V}$, nel caso in cui siano presenti capacità parassite $C_S = 0.1 \text{ pF}$ tra i terminali di C_1 e il riferimento di tensione? Quanto vale il guadagno in questo circuito? (b) Ripetere i calcoli per l'integratore di Figura 12.15.

12.50 Simulare due periodi di clock dell'integratore del Problema 49(a) usando transistori NMOS con $W/L = 2/1$ e un segnale di clock alla frequenza di 100 kHz con tempi di salita e discesa pari a $5 \mu\text{s}$.

12.51 Disegnare il circuito corrispondente alla realizzazione con capacità commutate del filtro passa-basso di Figura 12.5.

12.5 Conversione digitale-analogica

12.52 Si disegni la caratteristica di trasferimento, del tipo di quella di Figura 12.21, per un DAC con $V_{os} = 0.5 \text{ LSB}$ senza errore di guadagno.

- 12.53** (a) Qual è la tensione di uscita del DAC a 4 bit di Figura P12.53 con codice di ingresso pari a 0110 e $V_{REF} = 2.56$ V? (b) Se il codice di ingresso diventa 1001, quale sarà la nuova tensione di uscita? (c) Si costruisca una tabella delle tensioni di uscita corrispondenti a tutte le 16 combinazioni possibili del codice di ingresso.

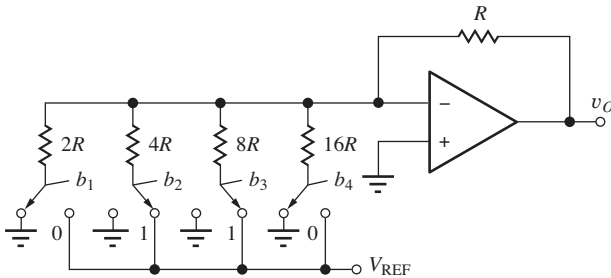


Figura P12.53

- 12.54** L'amplificatore operazionale di Figura P12.53 presenta una tensione di offset di +5 mV e la resistenza di retroazione vale $1.05 R$ invece di R . Quali sono gli errori di offset e di guadagno del DAC?
- 12.55** Si riempiano le caselle mancanti della tabella seguente con i valori dell'ampiezza dello step, dell'errore di linearità differenziale e dell'errore di linearità integrale.

Ingresso binario	Tensione di uscita del DAC	Ampiezza dello step (LSB)	Errore di linearità differenziale (LSB)	Errore di linearità integrale (LSB)
000	0.0000			0.00
001	0.1000			
010	0.3000			
011	0.3500			
100	0.4750			
101	0.6300			
110	0.7250			
111	0.8750			0.00

- 12.56** Un DAC a 3 bit a resistori scalati, simile a quello riportato in Figura 12.24, viene realizzato utilizzando resistori con tolleranza del 5% e valori: $R = 1.2$ k Ω , $2R = 2.4$ k Ω , $4R = 4.8$ k Ω e $8R = 9.1$ k Ω . (a) Si riportino in una tabella i valori nominali dell'uscita del convertitore. Quali sono i valori degli errori di linearità differenziale e integrale assumendo per i resistori i valori nominali? (b) Qual è il massimo errore di linearità che si può avere considerando i resistori con tolleranza del 5%? (Nota: questo convertitore presenta un errore di guadagno; bisogna, pertanto, ricalcolare l'ampiezza dello step che risulterà diversa da 0.1250 V.)
- 12.57** Si esegua un'analisi Monte Carlo su 200 casi per il DAC del Problema 12.53 e si determinino i valori massimi degli errori di linearità differenziale e integrale. Si utilizzino resistori con tolleranza del 5%.
- 12.58** Gli interruttori di Figura P12.53 possono essere realizzati mediante MOSFET, come indicato nella Figura P12.58. Quanto devono valere i rapporti W/L dei transistori se la resistenza non deve essere meno

dell'1% del resistore $2R = 10$ k Ω ? Si assuma $V_{REF} = 3$ V e si ponga la tensione di gate del MOSFET pari a 5 V quando $b_1 = 1$ e 0 V quando $b_1 = 0$. Si considerino per il MOSFET i seguenti parametri: $V_{TN} = 1$ V, $K'_n = 50$ μ A/V², $2\phi_F = 0.6$ V e $\gamma = 0.5 \sqrt{V}$.

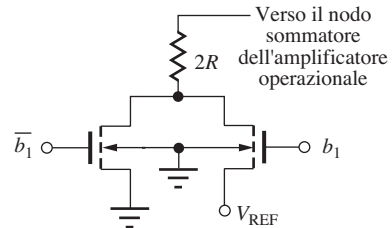


Figura P12.58

- 12.59** La tensione di uscita di un DAC a 3 bit a resistori scalati deve presentare un errore non superiore al 5% di V_{REF} per ogni combinazione di ingresso. Che tolleranza devono avere i resistori R , $2R$, $4R$ e $8R$ se ciascuno di essi contribuisce allo stesso modo all'errore sulla tensione di uscita?
- 12.60** Quanti resistori occorrono per realizzare un DAC a 10 bit a resistori scalati? Qual è il rapporto tra il più grande e il più piccolo di tali resistori?
- 12.61** Si utilizzi il circuito equivalente di Thévenin sulla rete R-2R di Figura P12.61 per calcolare la tensione di uscita corrispondente alle quattro seguenti combinazioni di ingressi: 0001, 0010, 0100 e 1000 se $V_{REF} = 2.5$ V.

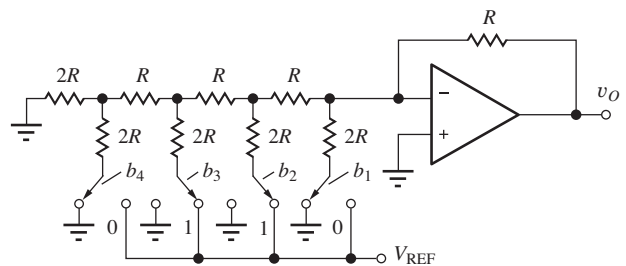


Figura P12.61

- 12.62** Si tabellino le tensioni di uscita per le 8 combinazioni di ingressi del DAC a 3 bit di Figura P12.62 e si determinino gli errori di linearità differenziale e integrale se $V_{REF} = 5.00$ V, $R_{REF} = 250$ Ω e $R = 1.2188$ k Ω .

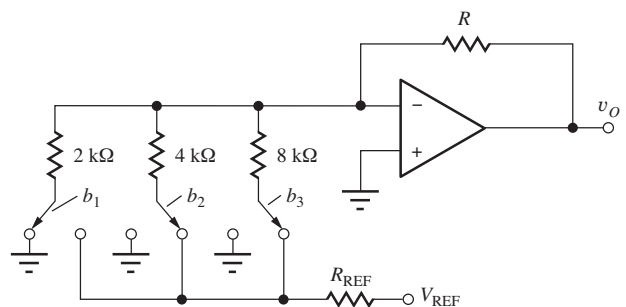


Figura P12.62

12.63 Gli interruttori del DAC di Figura P12.62 presentano una resistenza on di $200\ \Omega$. (a) Che valore di R è necessario per avere un errore di guadagno nullo? (b) Si calcolino gli errori di linearità differenziale e integrale se $V_{REF} = 5.00\text{ V}$, $R_{REF} = 0\ \Omega$. (c) Si ripeta il calcolo per $R_{REF} = 250\ \Omega$.

12.64 Si esegua un'analisi Monte Carlo su 200 casi per il DAC del Problema P12.62 e si determinino i valori massimi degli errori di linearità differenziale e integrale. Si utilizzino resistori con tolleranza del 5%.

12.65 Disegnare un convertitore D/A a 2 bit con uscita intrinsecamente monotona. Quanti resistori e interruttori sono necessari?

12.66 (a) Si trovi un'espressione per la capacità totale in un DAC a n bit a condensatori scalati. (b) Si trovi un'espressione per la capacità totale in un DAC a n -bit C-2C.

12.67 Si esegua una simulazione in transitorio del DAC C-2C di Figura 12.27(b) quando b_3 passa da 0 a 1 e poi nuovamente a 0. Si assuma $C = 0.5\text{ pF}$ e $V_{REF} = 5\text{ V}$ e si considerino gli interruttori realizzati mediante transistori NMOS con $W/L = 10/1$ come in Figura P12.68.

12.68 Un DAC a 4 bit a correnti scalate con $I_{FS} = 2\text{ mA}$ è collegato al nodo sommatore dell'amplificatore operazionale di Figura P12.68. (a) Si costruisca una tabella delle tensioni di uscita in funzione dei codici di ingresso utilizzando $R = 5\text{ k}\Omega$, $R_O = 1\text{ k}\Omega$ e $V_{REF} = 1\text{ V}$. (b) Qual è la corrente di offset equivalente se l'amplificatore operazionale presenta una tensione di offset di $+5\text{ mV}$?

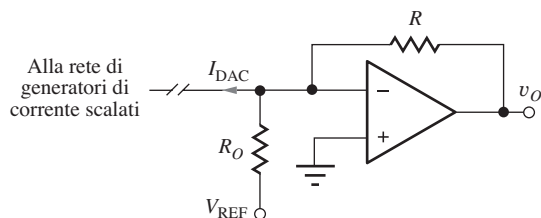


Figura P12.68

12.69 Una rete R-2R a 3 bit inversa con $R = 2.5\text{ k}\Omega$ e $V_{BB} = -2.5\text{ V}$ è collegata all'ingresso dell'amplificatore operazionale di Figura P12.69. Si disegni lo schema del DAC completo. Si costruisca una tabella delle tensioni di uscita in funzione dei codici di ingresso se $R_1 = 5\text{ k}\Omega$.

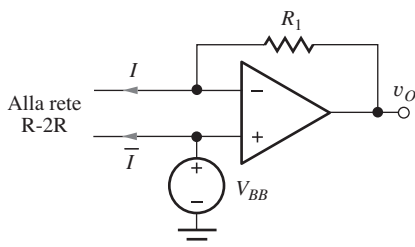


Figura P12.69

12.70 Un DAC a 10 bit viene realizzato mediante il circuito intrinsecamente monotono di Figura 12.26. (a) Se il materiale utilizzato per i resistori presenta una resistenza di strato di $50\ \Omega/\text{quadro}$ e $R = 500\ \Omega$, si stimi il numero di quadri necessario per realizzare la stringa di resistori. (b) Se la minima larghezza di un resistore è $2.5\ \mu\text{m}$, qual è la lunghezza totale della stringa? Si converta la lunghezza in pollici.

12.6 Conversione analogico-digitale

12.71 Un ADC a 14 bit con $V_{FS} = 5.12\text{ V}$ presenta il seguente codice in uscita: 1010101010010. Qual è l'intervallo ammissibile di tensioni di ingresso?

12.72 Un ADC a 20 bit ha una tensione di fondo scala $V_{FS} = 2\text{ V}$. (a) Quanto vale 1 LSB? (b) Qual è il codice di uscita corrispondente a un ingresso di 1.630500 V ? (c) Qual è il codice di uscita per una tensione di ingresso pari a 0.997030 V ?

12.73 Si disegni la caratteristica di trasferimento e l'errore di quantizzazione per un ADC ideale a 3 bit che non presenti l'offset di 0.5 LSB mostrato in Figura 12.30. (La prima transizione avviene per $v_x = V_{FS}/8$). Perché si preferisce utilizzare lo schema di Figura 12.30?

12.74 Un convertitore a 12 bit a contatore con $V_{FS} = 10\text{ V}$ e $f_c = 1\text{ MHz}$ ha una tensione di ingresso di 3.760 V . (a) Qual è il codice di uscita? Qual è il tempo di conversione per questo valore di tensione di ingresso? (b) Si ripeta l'esercizio per una tensione di ingresso di 4.333 V .

12.75 Un convertitore a 10 bit a contatore con $V_{FS} = 5.12\text{ V}$ utilizza una frequenza di clock pari a 1 MHz e una tensione di ingresso $v_x = 5 \cos(5000\pi t)\text{ V}$. Qual è il codice di uscita? Qual è il tempo di conversione per questa tensione di ingresso?

12.76 (a) Un ADC a 12 bit ad approssimazioni successive con $V_{FS} = 3.3\text{ V}$ viene realizzato mediante il circuito di Figura 12.34. Qual è la massima tensione di offset del comparatore tollerabile se l'errore di offset deve mantenersi minore di 0.1 LSB ? (b) Si ripeta l'esercizio per un ADC a 20 bit.

12.77 Un ADC a 16 bit ad approssimazioni successive è progettato per lavorare alla velocità di $50\,000$ conversioni/secondo. Qual è la frequenza di clock? Con che rapidità devono cambiare stato gli interruttori che commutano tra la tensione di ingresso e quella di riferimento se l'incertezza temporale deve portare a un errore minore di 0.1 LSB ?

12.78 La Figura P12.78 mostra il generatore di rampa utilizzato in un convertitore integratore. (a) Se la tensione di offset dell'amplificatore operazionale è di 10 mV e $V = 3\text{ V}$, qual è l'effettiva tensione di riferimento del convertitore? (b) L'integratore viene utilizzato in un convertitore a doppia rampa con un tempo di integrazione di $1/30\text{ s}$ e una tensione di fondo scala di 5.12 V . Qual è la costante di tempo RC ? Se $R = 50\text{ k}\Omega$, qual è il valore di C ?

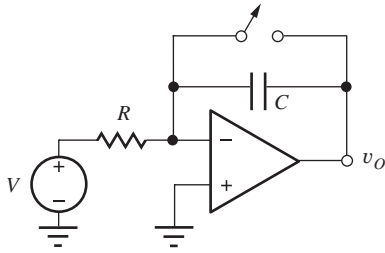


Figura P12.78

- 12.79** Un generatore di rampa viene realizzato mediante un amplificatore operazionale con un guadagno ad anello aperto $A_O = 4 \times 10^4$ e al suo ingresso viene applicato un gradino di ampiezza pari a 5 V al tempo $t = 0$. Si scriva l'espressione della tensione di uscita dell'integratore nel dominio del tempo. Qual è il minimo valore della costante di tempo RC se la rampa di uscita deve presentare un errore inferiore a 1 mV alla fine di un intervallo di integrazione di 200 ms?
- 12.80** Un convertitore a doppia rampa a 20 bit ha un intervallo di integrazione di 0.2 s. Con che rapidità devono cambiare stato gli interruttori che commutano tra la tensione di ingresso e quella di riferimento se l'incertezza temporale deve portare a un errore minore di 0.1 LSB?
- 12.81** Si derivi la funzione di trasferimento dell'integratore di un convertitore a doppia rampa e si mostri che essa presenta una forma funzionale del tipo $|\sin(x)/x|$.
- 12.82** Si scrivano le relazioni che forniscono il numero di resistori e comparatori necessari a realizzare un convertitore parallelo a n bit.

12.7 Oscillatori

Reti RC selettive in frequenza

- 12.83** Il circuito di Figura P12.83 è detto oscillatore in quadratura. Si ricavi la frequenza di oscillazione. Che valore di R_F è necessario per avere oscillazioni sinusoidali?

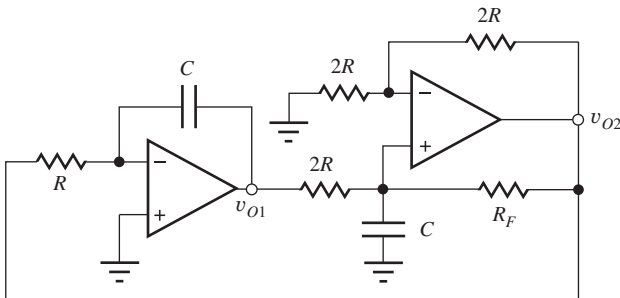


Figura P12.83

- 12.84** Si ricavi la frequenza di oscillazione dell'oscillatore a sfasamento a tre stadi di Figura P12.84. Che rapporto R_1/R_2 è richiesto (in termini di R) affinché il circuito oscilli?

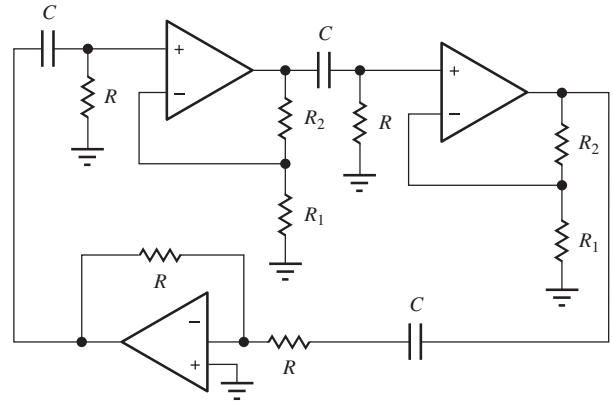


Figura P12.84

- 12.85** Si determinino la frequenza e l'ampiezza delle oscillazioni per l'oscillatore a ponte di Wien di Figura 12.49 se $R = 5 \text{ k}\Omega$, $C = 500 \text{ pF}$, $R_1 = 10 \text{ k}\Omega$, $R_2 = 15 \text{ k}\Omega$, $R_3 = 6.2 \text{ k}\Omega$ e $R_4 = 10 \text{ k}\Omega$.
- 12.86** Si utilizzi una simulazione SPICE in transitorio per determinare la frequenza e l'ampiezza delle oscillazioni dell'oscillatore del Problema 12.85. Si assuma che inizialmente il condensatore C sia carico alla tensione di 1 V.
- 12.87** Si determinino la frequenza e l'ampiezza delle oscillazioni per l'oscillatore a sfasamento di Figura 12.51 se $R = 5 \text{ k}\Omega$, $C = 1000 \text{ pF}$, $R_2 = 47 \text{ k}\Omega$, $R_3 = 15 \text{ k}\Omega$, $R_4 = 68 \text{ k}\Omega$.
- 12.88** Si utilizzi una simulazione SPICE in transitorio per determinare la frequenza e l'ampiezza delle oscillazioni dell'oscillatore del Problema 12.84. Si inizi la simulazione con il condensatore connesso all'ingresso invertente dell'amplificatore carico alla tensione di 1 V.

12.8 Applicazioni non lineari

- 12.89** Si tracci la tensione di uscita del circuito in Figura P12.89 per l'ingresso triangolare mostrato in figura.
- 12.90** Il segnale v_s della Figura P12.89 è utilizzato come ingresso per il circuito in Figura 12.55. Quale sarà la componente continua della tensione v_o se $R_1 = 2.7 \text{ k}\Omega$, $R_2 = 8.2 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$, $R_4 = 10 \text{ k}\Omega$, $C = 220 \text{ nF}$ e $T = 1 \text{ ms}$?
- *12.91** Quale deve essere la frequenza di taglio del filtro passa-basso di Figura 12.55 se il valor quadratico medio della componente alternata della tensione di uscita deve essere minore dell'1% della tensione continua? Si assuma $R_1 = R_2$ e $v_s = -5 \sin 120\pi t \text{ V}$.
- 12.92** La forma d'onda triangolare della Figura P12.89 viene applicata al circuito in Figura P12.92. Si disegni la corrispondente forma d'onda di uscita, assumendo $R_3 = R_2$.
- 12.93** La forma d'onda triangolare della Figura P12.89 viene applicata al circuito in Figura P12.93. Si disegni la corrispondente forma d'onda di uscita.
- 12.94** Simulare il circuito del Problema 12.93 utilizzando $R_1 = 10 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$, $R_4 = 10 \text{ k}\Omega$ e un operazionale con $A_o = 100 \text{ dB}$.

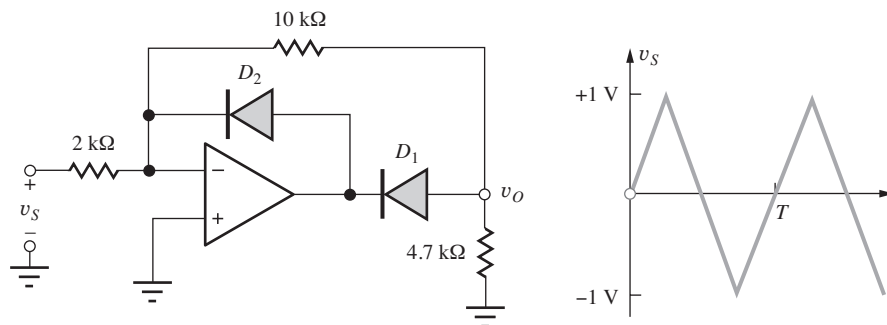


Figura P12.89

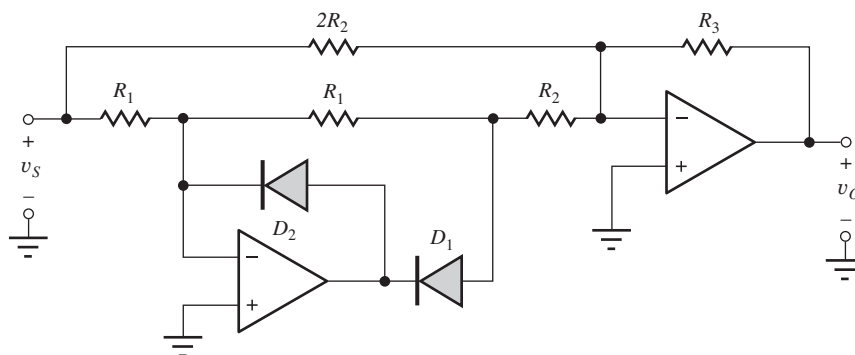


Figura P12.92

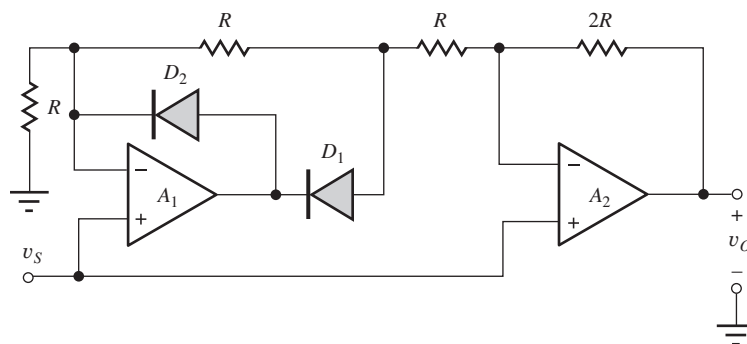


Figura P12.93

12.95 Si simuli il circuito del Problema 12.94 utilizzando $R = 10 \text{ k}\Omega$ e un operazionale con $A_o = 100 \text{ dB}$.



***12.96** Si scriva un'espressione della tensione di uscita in funzione della tensione di ingresso per il circuito in Figura P12.96. Il diodo D è costituito da un transistor connesso a diodo e tutti e tre i transistori sono identici.

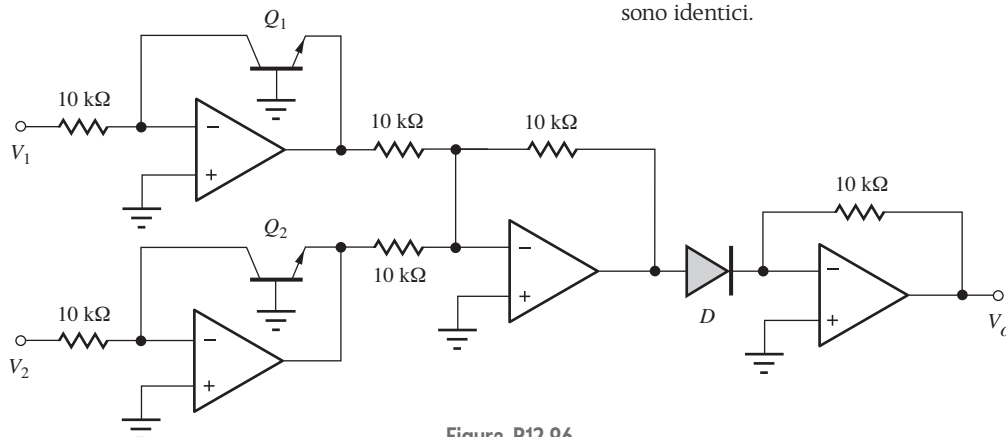


Figura P12.96

12.9 Circuiti con retroazione positiva

- 12.97** Quanto valgono le soglie di commutazione e l'ampiezza del ciclo di isteresi del trigger di Schmitt riportato in Figura P12.97?

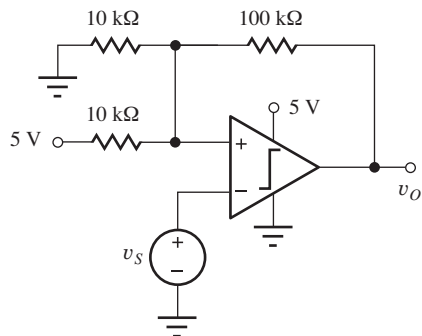


Figura P12.97

- 12.98** Quanto valgono le soglie di commutazione e l'ampiezza del ciclo di isteresi del trigger di Schmitt riportato in Figura P12.98?

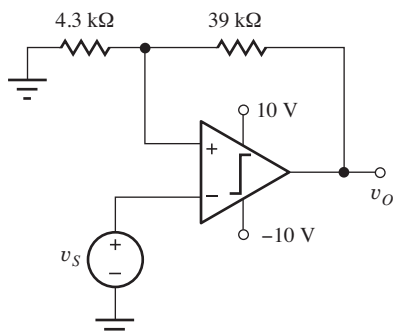


Figura P12.98

- 12.99** Quanto valgono le soglie di commutazione e l'ampiezza del ciclo di isteresi del trigger di Schmitt riportato in Figura P12.99?

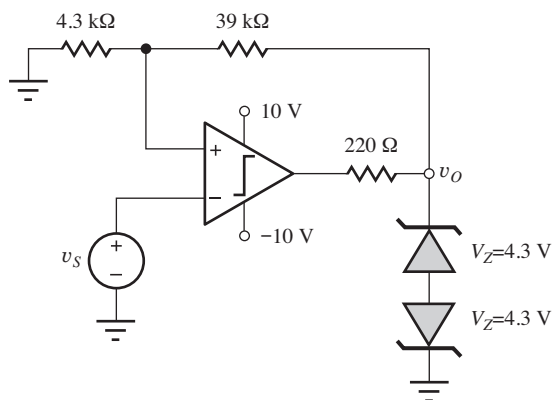


Figura P12.99

- 12.100** Si progetti un trigger di Schmitt che presenti le soglie di commutazione centrate intorno alla tensione di 1 V con un'isteresi di ± 50 mV, mediante il circuito riportato in Figura P12.97.
- 12.101** Qual è la frequenza di oscillazione del multivibratore astabile della Figura P12.101?

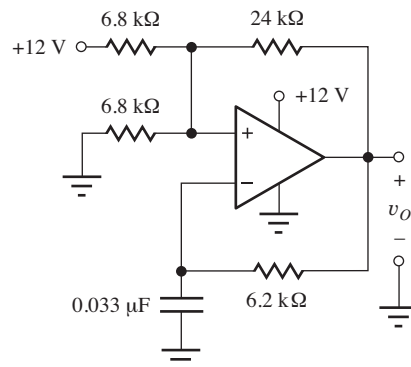


Figura P12.101

- **12.102** Si disegnino le forme d'onda caratteristiche del multivibratore astabile della Figura P12.102. Qual è la sua frequenza di oscillazione? (Attenzione: riflettete bene prima di procedere!)

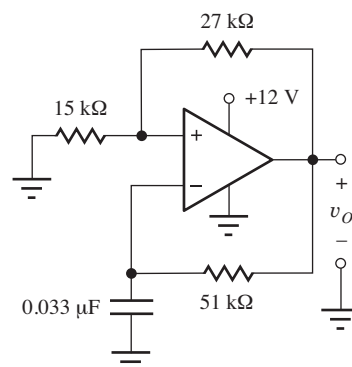


Figura P12.102

- 12.103** (a) Si progetti un multivibratore astabile che oscilli alla frequenza di 1 kHz. Si utilizzi il circuito in Figura 12.62 con alimentazioni simmetriche di ± 5 V. Si assuma che la corrente totale proveniente dall'uscita dall'operazionale non deve eccedere 1 mA. (b) Se i resistori hanno tolleranza di $\pm 5\%$ e i condensatori di $\pm 10\%$, quali sono i casi peggiori per la frequenza di oscillazione? (c) Se le alimentazioni sono in realtà $+4.75$ V e -5.25 V, qual è la frequenza di oscillazione considerando i valori nominali dei resistori e dei condensatori?

- 12.104** Il circuito relativo al box "Elettronica in azione" sui generatori di funzioni analogici è stato progettato per generare una tensione di uscita sinusoidale con ampiezza di 5 V e frequenza di 1 kHz. Il filtro passa-basso è stato progettato con una frequenza di taglio di 1.5 kHz e guadagno a bassa frequenza -1 . Quanto valgono le ampiezze delle componenti indesiderate dell'uscita alle frequenze di 2 kHz, 3 kHz e 5 kHz?

- 12.105** Al circuito di Figura P12.102 vengono aggiunti due diodi per convertirlo in un multivibratore monostabile simile a quello della Figura 12.65 e le alimentazioni sono portate a ± 10 V. Quanto valgono la durata dell'impulso e il tempo di recupero?

- 12.106** Si progetti un multivibratore monostabile che presenti una durata dell'impulso pari a 10 μ s e un tempo di recupero di 5 μ s. Si utilizzi il circuito in Figura 12.65 con alimentazione di ± 5 V.

Capitolo 13

Riepilogo

■ Nel Capitolo 13 abbiamo iniziato lo studio dei circuiti amplificatori base utilizzati per il progetto di componenti e sistemi analogici più complessi, come gli amplificatori operazionali, gli amplificatori audio e gli apparati per comunicazione RF. Il capitolo inizia con un'introduzione all'uso del transistor come amplificatore, e passa successivamente ad analizzare in dettaglio il funzionamento degli amplificatori bipolari a emettitore comune (C-E) e amplificatori a MOS a source comune (C-S). Sono state sviluppate espressioni per il guadagno di tensione e per le resistenze di ingresso e di uscita di questi amplificatori. Alla fine del capitolo sono stati inclusi molti esempi di analisi completa di amplificatori a emettitore comune o a source comune; sono anche state sviluppate le relazioni tra la scelta del punto Q di lavoro e le caratteristiche per piccolo segnale dell'amplificatore.

Punti da ricordare

- L'amplificatore BJT a emettitore comune può presentare un elevato guadagno di tensione ma avrà una resistenza di ingresso non troppo elevata.
- Al contrario, la versione a MOSFET può avere una resistenza di ingresso molto alta ma tipicamente presenta un guadagno di tensione relativamente basso.
- La resistenza di uscita, sia per gli amplificatori C-E che C-S, è determinata essenzialmente dalle resistenze della rete di polarizzazione ed è simile nei due casi per punti di lavoro comparabili.
- Per semplificare l'analisi e il progetto degli amplificatori viene utilizzato un approccio a due passi. I circuiti sono divisi in due parti: un circuito equivalente per le componenti continue viene utilizzato per definire il punto di lavoro del transistor, e un secondo circuito equivalente per le componenti AC viene utilizzato per ricavare la risposta del circuito ai segnali di ingresso. Il progettista spesso deve soddisfare richieste contrastanti nel progetto delle componenti DC e AC dell'amplificatore, e vengono inseriti condensatori di accoppiamento, condensatori di bypass e induttori per modificare le topologie dei circuiti AC e DC.
- Le analisi AC sviluppate si basano sui modelli linearizzati per piccoli segnali dei transistori. Sono stati analizzati in dettaglio i modelli per piccolo segnale del diodo, del transistor bipolare e del MOSFET. Le espressioni che legano il punto Q di lavoro ai valori di trasconduttanza g_m , di resistenza di uscita r_o e di resistenza di ingresso r_π sono state ricavate derivando le equazioni relative ai modelli per ampi segnali presentate nei capitoli precedenti.
- Il modello per piccoli segnali del diodo è semplicemente una resistenza che ha il valore $r_d = V_T/I_D$.
- I risultati della Tabella 13.3 per i dispositivi a tre terminali sono molto importanti. La struttura dei modelli è simile per i diversi dispositivi. La trasconduttanza dei BJT è direttamente proporzionale alla corrente, mentre quella del MOSFET è proporzionale alla radice quadrata della corrente. Le resistenze r_π e r_o sono inversamente proporzionali alla corrente del punto di lavoro. La resistenza r_π di un MOSFET è infinita, e non compare nel modello per piccoli segnali. Infine ogni coppia di dispositivi complementari, come i BJT *npn* e *pnp*, e i MOSFET NMOS e PMOS, è descritta dallo stesso modello per piccoli segnali.
- Il guadagno di corrente per piccoli segnali del BJT è stato definito come $\beta_o = g_m r_\pi$. Il suo valore è generalmente diverso da quello del guadagno di corrente per ampi segnali β_F . Nel caso del MOSFET, poiché il guadagno di corrente per ampi segnali è infinito, anche il guadagno di corrente per piccoli segnali a bassa frequenza sarà infinito.
- Il guadagno di tensione intrinseco, detto anche fattore di amplificazione del transistor, è definito come $\mu_f = g_m r_o$ e rappresenta il massimo guadagno di tensione ottenibile dal transistor negli amplificatori C-E o C-S. Sono state riportate le espressioni del guadagno intrinseco del BJT e del MOSFET: questo parametro è indipendente dal punto di lavoro per il BJT, mentre per il MOSFET esso decresce al crescere della corrente del punto di lavoro. Per i tipici punti di lavoro, il valore di μ_f per il BJT è di parecchie migliaia, mentre per il MOSFET è compreso tra dieci e cento.
- La definizione di piccolo segnale dipende dal tipo di dispositivo. Per il diodo, il segnale di tensione v_d ai capi del dispositivo deve essere minore di 5 mV per soddisfare alla condizione di piccolo segnale; analogamente, per il BJT il segnale di tensione tra base ed emettitore deve essere minore di 5 mV per un funzionamento per piccoli segnali. Invece il MOSFET può accettare segnali più ampi pur rimanendo nel caso di piccoli segnali; per esempio un segnale v_{gs} tale che $v_{gs} = 0.2(V_{GS} - V_{TN})$

definisce un limite superiore per il funzionamento per piccoli segnali del MOS, e questo limite può variare da 100 mV a più di 1 V.

- Gli amplificatori a emettitore comune e source comune sono stati analizzati in dettaglio. La Tabella 13.4 riassume le caratteristiche complessive di questi due tipi di amplificatori; le regole di stima riportate nella tabella possono servire per una rapida stima del guadagno di tensione degli stadi C-E o C-S.
- Il capitolo termina con una discussione delle relazioni che legano la scelta del punto di lavoro alla dissipazione di potenza e alla massima ampiezza di segnale in uscita degli amplificatori. L'ampiezza del segnale di

uscita è limitata dal più piccolo tra i valori della tensione collettore-base o drain-gate del punto di lavoro, e dalla tensione ai capi dei resistori di carico R_C o R_D .

- È importante comprendere le differenze tra l'analisi AC e quella in transitorio effettuabili con SPICE. Nell'analisi AC si assume lineare il circuito e vengono utilizzati i modelli per piccolo segnale per i transistori e i diodi; poiché il circuito è lineare, può essere assunta qualsiasi ampiezza di segnale per gli ingressi; una scelta comune consiste nell'usare sorgenti di 1 V e 1 A. Invece, nell'analisi in transitorio, se si vuol ottenere un funzionamento lineare del circuito, tutti i segnali debbono soddisfare le condizioni di piccolo segnale.

Problemi

I circuiti mostrati nelle Figure dalla P13.3 alla P13.13 sono utilizzati in alcuni dei problemi seguenti. A meno che non sia esplicitamente indicato un valore differente, si assuma che tutti i condensatori e gli induttori abbiano valore infinito e che i transistori bipolari abbiano $V_{BE} = 0.7$ V e $\beta_F = \beta_0$.

13.1 Il transistore come amplificatore

- 13.1** (a) Si supponga che nell'amplificatore bipolare di Figura 13.1 sia: $v_{be}(t) = 5 \sin 2000\pi t$ mV. Si scrivano le espressioni per $v_{BE}(t)$, $v_{ce}(t)$ e $v_{CE}(t)$.
 (b) Qual è il massimo valore di I_C che consente il funzionamento del dispositivo in regione attiva diretta?
- 13.2** (a) Si supponga che nell'amplificatore MOS di Figura 13.2 sia: $v_{gs}(t) = 0.25 \sin 2000\pi t$ V. Si scrivano le espressioni per $v_{GS}(t)$, $v_{ds}(t)$ e $v_{DS}(t)$.
 (b) Qual è il massimo valore di I_{DS} che consente il funzionamento del dispositivo in regione di saturazione?

13.2 Condensatori di accoppiamento e di bypass

- 13.3** (a) Qual è la funzione dei condensatori C_1 , C_2 e C_3 nel circuito di Figura P13.3? (b) Qual è la componente di segnale della tensione ai capi del condensatore C_3 ?

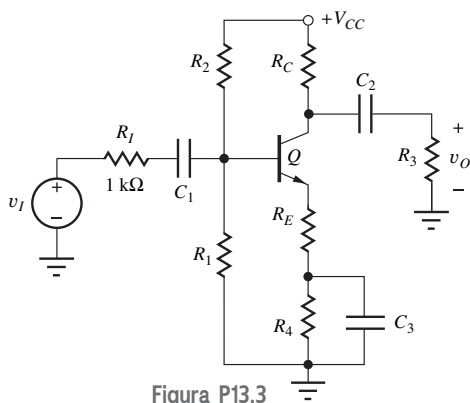


Figura P13.3

Le soluzioni si trovano sul sito web dedicato al libro

- 13.4** (a) Qual è la funzione dei condensatori C_1 , C_2 e C_3 nel circuito di Figura P13.4? (b) Qual è la componente di segnale della tensione al morsetto di base di Q_1 ?

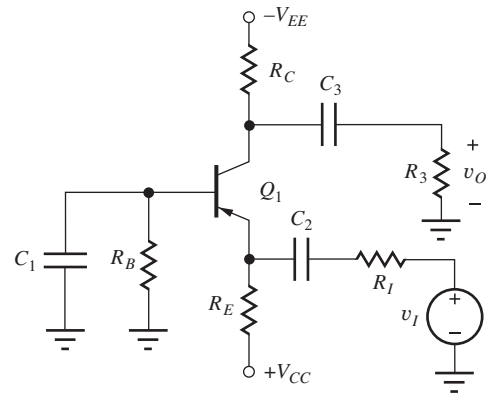


Figura P13.4

- 13.5** (a) Qual è la funzione dei condensatori C_1 , C_2 e C_3 nel circuito di Figura P13.5? (b) Qual è la componente di segnale della tensione al morsetto di emettitore di Q_1 ?

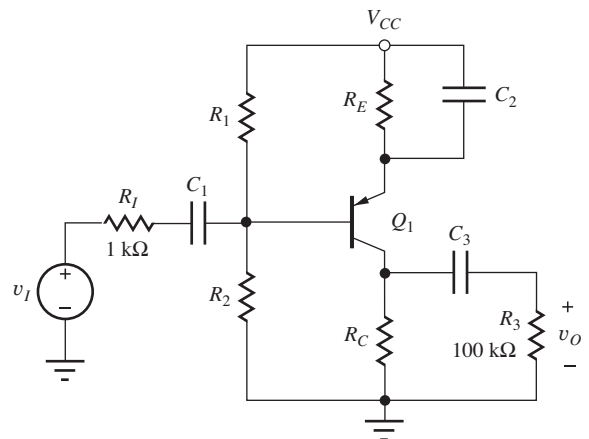


Figura P13.5

- 13.6** (a) Qual è la funzione dei condensatori C_1 , C_2 e C_3 nel circuito di Figura P13.6? (b) Qual è la componente di segnale della tensione al morsetto di source di M_1 ?

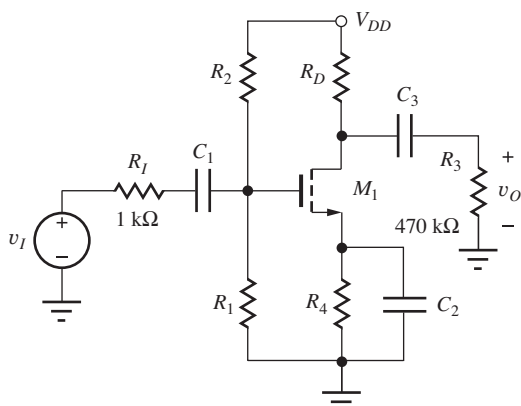


Figura P13.6

- 13.7** Qual è la funzione dei condensatori C_1 e C_2 nel circuito di Figura P13.7?

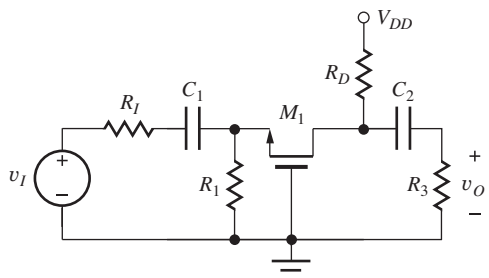


Figura P13.7

- 13.8** (a) Qual è la funzione dei condensatori C_1 , C_2 e C_3 nel circuito di Figura P13.8? (b) Qual è la componente di segnale della tensione al morsetto di source di M_1 ?

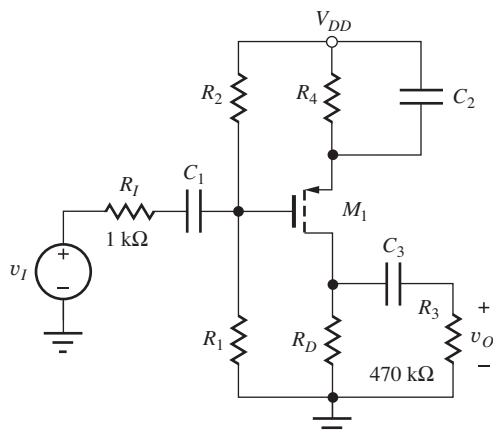


Figura P13.8

- 13.9** (a) Qual è la funzione dei condensatori C_1 , C_2 e C_3 nel circuito di Figura P13.9? (b) Qual è la componente di segnale della tensione al morsetto di emettitore di Q_1 ?

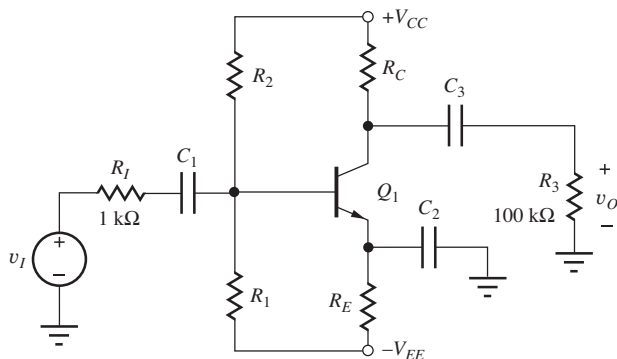


Figura P13.9

- 13.10** Qual è la funzione dei condensatori C_1 , C_2 e C_3 in Figura P13.10? Qual è la componente di segnale della tensione al collettore di Q_1 ?

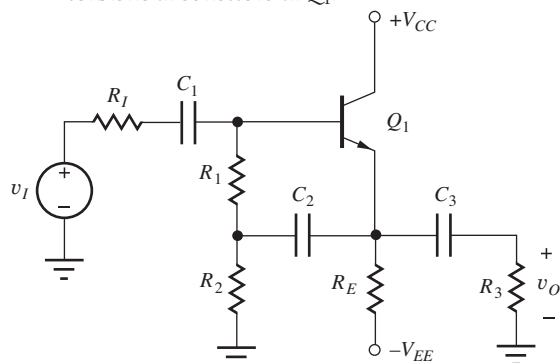


Figura P13.10

- 13.11** Qual è la funzione dei condensatori C_1 , C_2 e C_3 in Figura P13.11? Qual è la componente di segnale della tensione ai capi di C_2 ?

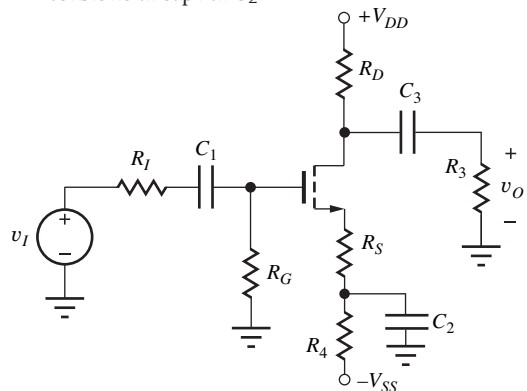


Figura P13.11

- 13.12** Qual è la funzione dei condensatori C_1 e C_2 in Figura P13.12?

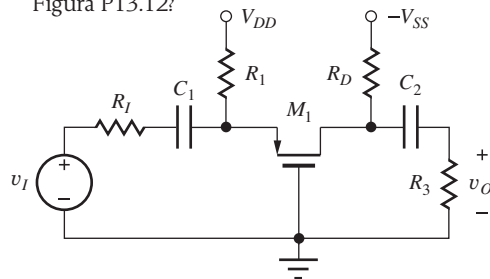


Figura P13.12

- 13.13** Qual è la funzione dei condensatori C_1 e C_2 in Figura P13.13?

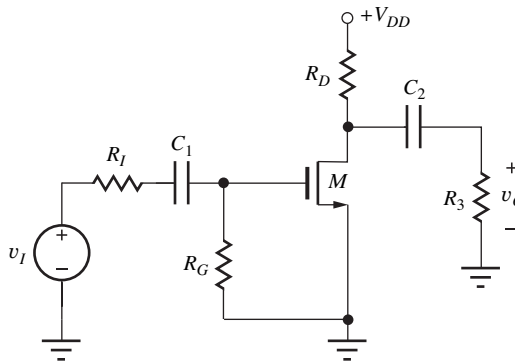


Figura P13.13

- 13.14** La frase "i generatori di tensione DC rappresentano dei cortocircuiti per le componenti AC" viene utilizzata diverse volte nel testo. Si descriva con parole proprie il significato di quest'affermazione.

13.3 Utilizzo dei circuiti equivalenti DC e AC

- 13.15** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.13. Si assuma $\beta_F = 90$, $V_{CC} = 18$ V, $R_I = 2$ k Ω , $R_1 = 360$ k Ω , $R_2 = 750$ k Ω , $R_C = 270$ k Ω , $R_E = 8.2$ k Ω , $R_4 = 220$ k Ω e $R_3 = 910$ k Ω .

- 13.16** (a) Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente. Si assuma $V_A \rightarrow \infty$ e $I_S = 5$ fA. (b) Si ripeta per $V_A = 80$ V e $I_S = 5$ fA.

- 13.17** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.9. Si assuma $\beta_F = 75$, $V_{CC} = 12$ V, $-V_{EE} = -12$ V, $R_I = 1$ k Ω , $R_1 = 5$ k Ω , $R_2 = 10$ k Ω , $R_3 = 24$ k Ω , $R_E = 4$ k Ω e $R_C = 6$ k Ω .

- 13.18** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.19** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.4. Si assuma $\beta_F = 75$, $-V_{EE} = -7.5$ V, $R_I = 0.47$ k Ω , $R_B = 3$ k Ω , $R_C = 33$ k Ω , $R_E = 68$ k Ω e $R_3 = 120$ k Ω .

- 13.20** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.21** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.5. Si assumi $\beta_F = 135$ e $V_{CC} = 9$ V, $R_1 = 20$ k Ω , $R_2 = 62$ k Ω , $R_C = 13$ k Ω e $R_E = 3.9$ k Ω .

- 13.22** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.23** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.6. Si assumi $K_n = 250$ μ A/V², $V_{TN} = 1$ V, $V_{DD} = 15$ V, $R_I = 1$ k Ω , $R_1 = 1$ M Ω , $R_2 = 2.7$ M Ω , $R_D = 82$ k Ω e $R_4 = 27$ k Ω .

- 13.24** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.25** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.7. Si assumi $K_n = 500$ μ A/V², $V_{TN} = -2$ V, $V_{DD} = 15$ V, $R_I = 1$ k Ω , $R_1 = 3.9$ k Ω , $R_D = 4.3$ k Ω e $R_3 = 51$ k Ω .

- 13.26** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.27** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.8. Si assumi $K_p = 400$ μ A/V², $V_{TP} = -1$ V, $V_{DD} = 18$ V, $R_1 = 3.3$ M Ω , $R_2 = 3.3$ M Ω , $R_D = 24$ k Ω e $R_4 = 22$ k Ω .

- 13.28** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.29** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.10. Si assumi $\beta_F = 100$, $V_{CC} = 9$ V, $-V_{EE} = -9$ V, $R_I = 1$ k Ω , $R_1 = 43$ k Ω , $R_2 = 43$ k Ω , $R_3 = 24$ k Ω e $R_E = 82$ k Ω .

- 13.30** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.31** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.12. Si assumi $K_p = 200$ μ A/V², $V_{TP} = +1$ V, $V_{DD} = 12$ V, $-V_{SS} = -12$ V, $R_1 = 33$ k Ω , $R_D = 22$ k Ω , $R_I = 500$ Ω e $R_3 = 100$ k Ω .

- 13.32** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.33** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.11. Si assumi $K_n = 400$ μ A/V², $V_{TN} = -5$ V, $V_{DD} = 18$ V, $R_G = 10$ M Ω , $R_D = 3.9$ k Ω , $R_I = 10$ k Ω , $R_1 = 2$ k Ω , $R_5 = 1$ k Ω , $R_4 = 1$ k Ω e $R_3 = 36$ k Ω .

- 13.34** Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

- 13.35** Si disegni il circuito equivalente in DC e si calcoli il punto di lavoro per l'amplificatore in Figura P13.13. Si assumi $V_{DD} = 15$ V, $K_n = 225$ μ A/V², $V_{TN} = -3$ V, $R_G = 2.2$ M Ω , $R_D = 7.5$ k Ω , $R_I = 10$ k Ω e $R_3 = 220$ k Ω .

13.36 Si utilizzi SPICE per valutare il punto di lavoro dell'amplificatore del problema precedente e si confrontino i risultati della simulazione con i calcoli manuali.

13.37 (a) Si disegni il circuito equivalente AC dell'amplificatore di Figura P13.3, utilizzando per il transistor il proprio simbolo circuitale e assumendo che tutti i condensatori abbiano valore infinito. (b) Si ridisegni il circuito equivalente in AC, sostituendo al transistor il modello per piccoli segnali. (c) Si definisca la funzione (bypass o accoppiamento) di tutti i condensatori presenti nel circuito.

13.38 (a) Si ripeta il Problema 13.37 per il circuito in Figura P13.4. (b) Si ripeta il Problema 13.37 per il circuito in Figura P13.5.

13.39 (a) Si ripeta il Problema 13.37 per il circuito in Figura P13.6. (b) Si ripeta il Problema 13.37 per il circuito in Figura P13.7.

13.40 (a) Si ripeta il Problema 13.37 per il circuito in Figura P13.8. (b) Si ripeta il Problema 13.37 per il circuito in Figura P13.9.

13.41 (a) Si ripeta il Problema 13.37 per il circuito in Figura P13.10. (b) Si ripeta il Problema 13.37 per il circuito in Figura P13.11.

13.42 (a) Si ripeta il Problema 13.37 per il circuito in Figura P13.12. (b) Si ripeta il Problema 13.37 per il circuito in Figura P13.13.

13.43 Si descriva la funzione di tutti i resistori presenti nel circuito di Figura P13.3.

13.44 Si descriva la funzione di tutti i resistori presenti nel circuito di Figura P13.6.

13.45 Si descriva la funzione di tutti i resistori presenti nel circuito di Figura P13.9.

13.4 Introduzione ai modelli per piccoli segnali del diodo

13.46 (a) Si calcoli r_d per un diodo caratterizzato da $I_S = 10$ fA, se $V_D = 0.6$ V. (b) Qual è il valore di r_d per $V_D = 0$ V? (c) Per quale valore di tensione la r_d è maggiore di 1 Ω ?

13.47 Si calcoli il valore della resistenza differenziale r_d di un diodo operante a una corrente DC di 1 mA alle temperature di (a) 75 K, (b) 100 K, (c) 200 K, (d) 300 K ed (e) 400 K.

13.48 (a) Si confronti il valore di $[\exp(v_d/V_T) - 1]$ a v_d/V_T , per $v_d = +5$ mV e per $v_d = -5$ mV. Qual è l'errore che si commette approssimando l'esponenziale con una funzione lineare? (b) Si ripeta il punto (a) per $v_d = \pm 10$ mV.

13.5 Modelli per piccoli segnali per i transistori bipolari a giunzione

13.49 (a) Per quale valore di corrente di collettore un transistor bipolare mostra una transconduttanza di 30 mS? (b) Di 250 μ S? (c) Di 50 μ S?

13.50 Si consideri un transistor bipolare caratterizzato da $\beta_0 = 75$; per quale valore di corrente di polarizzazione si avrà $r_\pi = 10$ k Ω ? Quali saranno i valori approssimati di g_m e di r_o se $V_A = 100$ V?

13.51 Si ripeta il Problema 13.50 per $r_\pi = 2$ M Ω con $\beta_0 = 125$ e $V_A = 75$ V.

13.52 Si ripeta il Problema 13.50 per $r_\pi = 250$ k Ω con $\beta_0 = 100$.

13.53 Si consideri un transistor bipolare caratterizzato da $\beta_0 = 75$; per quale valore di corrente di polarizzazione si avrà $r_\pi = 1$ M Ω ? Quali saranno i valori di g_m e di r_o se $V_A = 100$ V?

13.54 La tabella seguente riporta alcuni valori di parametri per piccoli segnali per un transistor bipolare. Quali sono i valori di β_F e di V_A ? Si completi la tabella, assumendo $V_{CE} = 10$ V.

Parametri per piccoli segnali di un transistor bipolare				
I_C (A)	g_m (S)	r_π (Ω)	r_o (Ω)	μ_f
0.002			40 000	
	0.12	500		
		480 000		

13.55 (a) Si confronti il valore di $[\exp(v_{be}/V_T) - 1]$ con v_{be}/V_T , per $v_{be} = +5$ mV e per $v_{be} = -5$ mV. Qual è l'errore che si commette approssimando l'esponenziale con una funzione lineare? (b) Si ripeta il punto (a) per $v_{be} = \pm 7.5$ mV. (c) Si ripeta il punto (a) per $v_{be} = \pm 2.5$ mV.

13.56 La Figura P13.143 mostra le caratteristiche di uscita di un transistor bipolare. (a) Quali sono i valori di β_F e β_0 per $I_B = 4$ μ A e $V_{CE} = 10$ V? (b) Quali sono i valori di β_F e β_0 per $I_B = 8$ μ A e $V_{CE} = 10$ V?

****13.57** (a) Si supponga che la corrente totale di collettore di un BJT sia pari a:

$$i_C(t) = 1 \exp\left(\frac{v_{be}(t)}{V_T}\right) \text{ mA}$$

e che $v_{be}(t) = V_M \sin 2000\pi t$, con $V_M = 5$ mV. Qual è il valore della corrente di collettore? Si realizzi un grafico della corrente di collettore mediante MATLAB. Si utilizzi la funzione FFT di MATLAB per ottenere le ampiezze delle componenti armoniche di i_C a 1 kHz, 2 kHz e 3 kHz. (b) Si ripeta il punto (a) per $V_M = 50$ mV.

13.58 (a) Si consideri il circuito di Figura P13.9, con i parametri specificati nel Problema 13.17. Si utilizzi SPICE per ottenere il punto di lavoro; dalle informazioni sul punto di lavoro si calcolino i valori dei parametri differenziali del transistor Q_1 e si confrontino i risultati dei calcoli con i valori forniti da SPICE. (b) Si ripeta il punto (a) per il circuito di Figura P13.5, con i parametri specificati nel Problema 13.21.

- *13.59** La Figura P13.59 mostra un altro modello per piccoli segnali del transistor bipolare, il modello a T, che risulta particolarmente vantaggioso nello studio di alcune configurazioni circuitali. Si mostri che questo modello è equivalente al modello a π -ibrido, se la resistenza di emettitore è pari a:
 $r_e = r_\pi / (\beta_o + 1) = \alpha_o / g_m = V_T / I_E$.
 [Suggerimento: Si calcoli l'ammettenza di ingresso y_{11} per entrambi i modelli, assumendo $\beta_F = \beta_o$.]

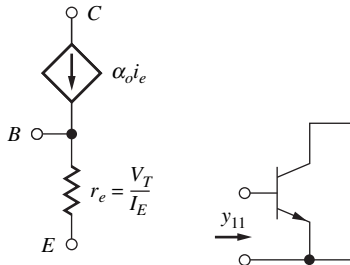


Figura P13.59

13.6 L'amplificatore a emettitore comune (C-E)

- 13.60** La Figura P13.60 mostra il circuito equivalente AC di un amplificatore. Tutti i condensatori hanno valore infinito, mentre $R_I = 750 \, \Omega$, $R_B = 100 \, \text{k}\Omega$, $R_C = 100 \, \text{k}\Omega$ ed $R_3 = 100 \, \text{k}\Omega$. Si calcoli il guadagno di tensione, assumendo che il punto di lavoro del BJT sia ($50 \, \mu\text{A}$, 10V) e che $\beta_o = 100$ e $V_A = 75 \, \text{V}$.

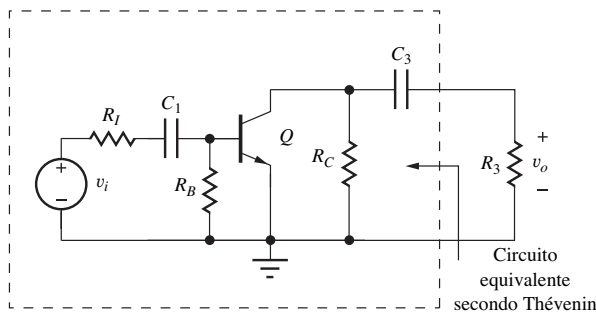


Figura P13.60

- 13.61** Quali sono i valori limite per il guadagno di tensione dell'amplificatore del problema precedente, se β_o può variare fra 60 e 100? Si assuma che il punto Q rimanga invariato.
- 13.62** La Figura P13.60 mostra il circuito equivalente AC di un amplificatore. Tutti i condensatori hanno valore infinito, mentre $R_I = 50 \, \Omega$, $R_B = 4.7 \, \text{k}\Omega$, $R_C = 4.3 \, \text{k}\Omega$ e $R_3 = 10 \, \text{k}\Omega$. Si calcoli il guadagno di tensione, assumendo che il punto di lavoro del BJT sia ($2.5 \, \text{mA}$, $7.5 \, \text{V}$) e che $\beta_o = 75$ e $V_A = 50 \, \text{V}$.
- 13.63** La Figura P13.63 mostra il circuito equivalente AC di un amplificatore. Tutti i condensatori hanno valore infinito, mentre $R_I = 10 \, \text{k}\Omega$, $R_B = 5 \, \text{M}\Omega$, $R_C = 1.5 \, \text{M}\Omega$ e $R_3 = 3.3 \, \text{M}\Omega$. Si calcoli il guadagno di tensione, assumendo che il punto di lavoro del BJT sia ($1 \, \mu\text{A}$, $1.5 \, \text{V}$) e che $\beta_o = 40$ e $V_A = 50 \, \text{V}$.

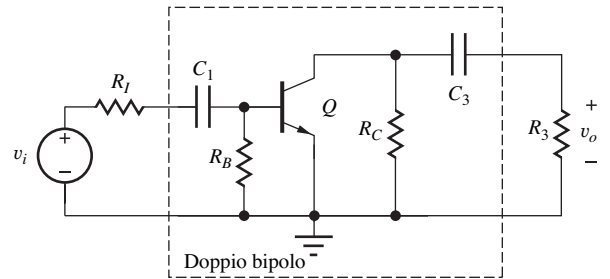


Figura P13.63

- 13.64** Si simuli con SPICE il comportamento dell'amplificatore a emettitore comune di Figura P13.18 e si confrontino i risultati con i calcoli dell'Esempio 13.3. Si utilizzino per i condensatori un valore di $100 \, \mu\text{F}$ e si realizzi l'analisi AC a una frequenza di $1 \, \text{kHz}$.
- 13.65** Si deve progettare un amplificatore con un guadagno di $25\,000$, costituito dalla cascata di diversi amplificatori C-E, alimentati a $9 \, \text{V}$. Si stimi il numero minimo di amplificatori richiesti per ottenere il guadagno complessivo.
- 13.66** (a) Si simuli con SPICE le caratteristiche DC e AC dell'amplificatore del Problema 13.21. Qual è il punto di funzionamento? Qual è il valore del guadagno per piccoli segnali? Si utilizzi per i condensatori un valore di $100 \, \mu\text{F}$ e si realizzi l'analisi AC a una frequenza di $1 \, \text{kHz}$. (b) Si confrontino i risultati della simulazione con l'analisi manuale del circuito.
- ### 13.7 Limiti importanti e semplificazioni dei modelli
- 13.67** Si effettui una stima approssimativa del guadagno di tensione di un amplificatore a emettitore comune, alimentato con una tensione di $12 \, \text{V}$.
- 13.68** Un amplificatore opera con tensioni di alimentazione simmetriche di $\pm 15 \, \text{V}$. Se ne stimi il guadagno di tensione.
- 13.69** Si deve progettare un amplificatore alimentato a batterie, con un guadagno di 50 . È possibile utilizzare un amplificatore a singolo stadio, se l'alimentazione è fornita da due batterie di $\pm 1.5 \, \text{V}$?
- 13.70** Un amplificatore a emettitore comune, alimentato a batteria, opera con una tensione di alimentazione di $1.5 \, \text{V}$. Si effettui una stima approssimativa del guadagno di tensione del circuito. Quale sarà il guadagno dell'amplificatore se la tensione di alimentazione scende a $1 \, \text{V}$?
- *13.71** L'amplificatore a emettitore comune di Figura P13.71 deve fornire un segnale di uscita sinusoidale di ampiezza picco-picco pari a $10 \, \text{V}$ ai capi del resistore di carico R_L del valore di $10 \, \text{k}\Omega$. (a) Qual è il valore minimo di corrente di collettore, I_C , che consente di ottenere il segnale di uscita richiesto, rispettando il vincolo di funzionamento per piccoli segnali per il dispositivo? (b) Qual è il valore minimo per la tensione di alimentazione V_{CC} ?

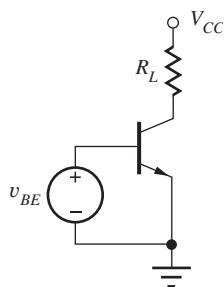


Figura P13.71

- *13.72** Un amplificatore a emettitore comune ha un guadagno di tensione di 40 dB. Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del dispositivo?
- 13.73** Un amplificatore a emettitore comune ha un guadagno di tensione di 50 dB e fornisce un segnale di uscita di 15 V picco-picco. L'amplificatore opera in regime di piccoli segnali? Se il segnale di ingresso è sinusoidale, ci si può aspettare che l'uscita sia distorta?
- 13.74** (a) Si calcoli l'amplificazione di tensione dell'amplificatore a emettitore comune di Figura P13.9. (b) Si calcoli l'amplificazione di tensione dell'amplificatore a emettitore comune di Figura P13.5. Si assuma: $\beta_F = 135$, $V_{CC} = V_{EE} = 9\text{ V}$, $R_1 = 20\text{ k}\Omega$, $R_2 = 62\text{ k}\Omega$, $R_C = 13\text{ k}\Omega$ e $R_E = 3.9\text{ k}\Omega$ per parte (a) e $V_{CC} = 18\text{ V}$ per parte (b).

13.8 Modello per piccoli segnali per i transistori a effetto di campo

- 13.75** La tabella seguente riporta alcuni valori di parametri per piccoli segnali per un transistor MOS. Quali sono i valori di K_n e di λ ? Si completi la Tabella, assumendo $V_{DS} = 6\text{ V}$ e $V_{TN} = 1\text{ V}$.

Parametri per piccoli segnali di un transistor MOS

I_{DS}	$g_m(\text{S})$	$r_o(\Omega)$	μ_f	Valore massimo di v_{gs}
0.8 mA		40 000		
50 μA	0.0002			
10 mA				

- 13.76** Si calcoli il valore di W/L richiesto per ottenere $\mu_f = 250$ in un MOSFET operante a una corrente di drain di 200 μA , assumendo $K'_n = 50\text{ }\mu\text{A}/\text{V}^2$ e $\lambda = 0.02\text{ V}^{-1}$. Qual è il valore di $V_{GS} - V_{TN}$?
- 13.77** Si consideri un transistor MOS a canale n caratterizzato da $K_n = 250\text{ }\mu\text{A}/\text{V}^2$, $V_{TN} = 1\text{ V}$ e $\lambda = 0.02\text{ V}^{-1}$. Per quale valore di corrente di drain il MOSFET non sarà più in grado di fornire un guadagno di tensione maggiore di uno (vale a dire, $\mu_f \leq 1$)?
- 13.78** È necessario progettare un MOSFET con $g_m = 5\text{ mS}$ a $V_{GS} - V_{TN} = 0.5\text{ V}$. Si calcoli il rapporto W/L , assumendo $K'_n = 40\text{ }\mu\text{A}/\text{V}^2$.

- 13.79** Si confronti il valore di $[1 + v_{gs}/(V_{GS} - V_{TN})]^2 - 1$ con $[2v_{gs}/(V_{GS} - V_{TN})]$ per $v_{gs} = 0.2(V_{GS} - V_{TN})$. Qual è l'errore che si commette approssimando l'espressione quadratica con una funzione lineare? (b) Si ripeta il punto (a) per $v_{gs} = 0.4(V_{GS} - V_{TN})$.

- 13.80** (a) Si consideri il circuito del Problema 13.23. Si utilizzi SPICE per ottenere il punto di lavoro. Dalle informazioni sul punto di lavoro si calcolino i valori dei parametri differenziali del transistor M_1 e si confrontino i risultati dei calcoli con i valori forniti da SPICE.

- 13.81** Si ripeta il Problema 13.80 per il circuito del Problema 13.27.

- 13.82** Con quale scelta del punto di lavoro è possibile ottenere una resistenza di uscita $R_{out} = 100\text{ k}\Omega$ in un amplificatore a source comune con un MOSFET caratterizzato da $\lambda = 0.02\text{ V}^{-1}$ e con una tensione di alimentazione di 18 V?

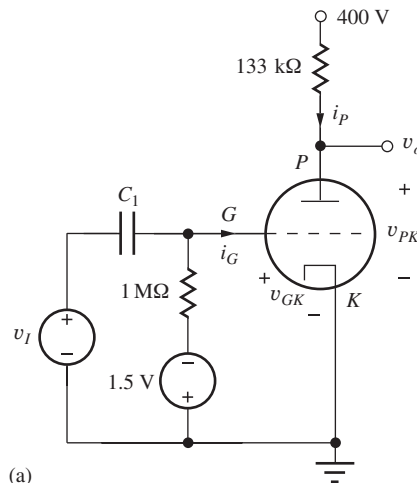
- *13.83** Si consideri un amplificatore a source comune alimentato con una tensione di 18 V e con un MOSFET caratterizzato da $K_n = 500\text{ }\mu\text{A}/\text{V}^2$, $V_{TN} = 1\text{ V}$ e $\lambda = 0.02\text{ V}^{-1}$. Con quale scelta del punto di lavoro è possibile ottenere una resistenza di ingresso pari a $R_{in} = 2\text{ M}\Omega$?

- **13.84** La Figura P13.84 mostra le caratteristiche di un "nuovo" dispositivo denominato triodo a vuoto; la figura mostra inoltre lo schema di un amplificatore che utilizza un triodo. (a) Si scriva l'equazione della retta di carico del circuito. (b) Qual è il punto di lavoro (I_P , V_{PK}), assumendo $i_G = 0$? (c) Utilizzando le seguenti definizioni, si ottengano i valori di g_m , r_o e μ_f .

$$g_m = \left. \frac{\Delta i_P}{\Delta v_{GK}} \right|_{\text{punto } Q}$$

$$r_o = \left(\left. \frac{\Delta i_P}{\Delta v_{PK}} \right|_{\text{punto } Q} \right)^{-1} \quad \mu_f = g_m r_o$$

- (d) Qual è il guadagno di tensione del circuito?



(a)

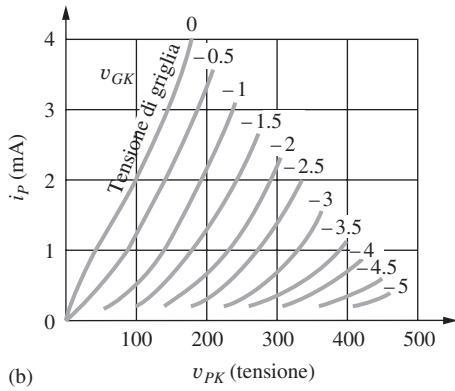


Figura P13.84 (a) Un "nuovo" dispositivo elettronico: il triodo a vuoto. (b) Caratteristiche di uscita del triodo: G = griglia, P = placca, K = catodo.

13.9 Confronto fra i modelli per piccoli segnali del BJT e del MOSFET

- 13.85** Il progetto di un circuito richiede l'utilizzo di un transistorore con una transconduttanza di 0.5 S . Potendo scegliere fra un transistorore bipolare con $\beta_F = 60$ e un MOSFET con $K_n = 25 \text{ mA/V}^2$, quale dispositivo è da preferirsi e per quale ragione?
- 13.86** Il progetto di un circuito richiede l'utilizzo di un transistorore polarizzato con una corrente di 10 mA , e una resistenza di ingresso non inferiore a $1 \text{ M}\Omega$. Potendo scegliere fra un transistorore bipolare e un MOS, quale dispositivo è da preferirsi e per quale ragione?
- 13.87** Si supponga che un BJT abbia $V_A = 25 \text{ V}$, mentre un MOSFET sia caratterizzato da $K_n = 25 \text{ mA/V}^2$ e $\lambda = 0.02 \text{ V}^{-1}$. Per quale valore di corrente di polarizzazione il fattore di amplificazione del MOSFET è uguale a quello del BJT, assumendo $V_{DS} = V_{CE} = 10 \text{ V}$? Qual è il valore di μ_f per il BJT?
- 13.88** Un BJT ha $V_A = 50 \text{ V}$, mentre un MOSFET ha: $\lambda = 0.02 \text{ V}^{-1}$ con $V_{GS} - V_{TN} = 0.5 \text{ V}$. Qual è il fattore di amplificazione dei due transistori? Qual è la transconduttanza se i dispositivi operano entrambi a una corrente di $200 \mu\text{A}$?
- 13.89** Si deve progettare un amplificatore con una resistenza di ingresso di 75Ω . Potendo scegliere fra un transistorore bipolare e un MOSFET, quale dispositivo è da preferirsi e per quale ragione?
- 13.90** (a) È necessario amplificare un segnale di 0.25 V di 26 dB . Per quest'applicazione è da preferirsi un amplificatore a BJT o uno a MOS? (b) Gli amplificatori RF devono essere in grado di amplificare segnali di pochi millivolts, in presenza di altri segnali interferenti, indesiderati, di ampiezza superiore a 100 mV . Per questa applicazione è da preferirsi un amplificatore a BJT o uno a MOSFET?

13.10 L'amplificatore a source comune (C-S)

- 13.91** Si effettui una stima approssimativa del guadagno di tensione di uno stadio a source comune, alimentato con una tensione di 12 V con $V_{GS} - V_{TN} = 1 \text{ V}$.
- 13.92** Un amplificatore a source comune ha un guadagno intrinseco di 15 dB e il segnale di uscita ha un'ampiezza di 15 V picco-picco. Queste condizioni sono compatibili con il funzionamento per piccoli segnali del dispositivo?
- 13.93** Un amplificatore a source comune è alimentato con una tensione di 9 V . Qual è il valore massimo di $V_{GS} - V_{TN}$ che può essere utilizzato, se l'amplificatore deve garantire un guadagno non inferiore a 30 ?
- 13.94** Un amplificatore a source comune è alimentato con una tensione di 15 V ed è realizzato con un MOSFET caratterizzato da $K_n = 1 \text{ mA/V}^2$. Qual è la corrente di polarizzazione necessaria per si ottengano un guadagno di tensione di 30 ?
- 13.95** Un amplificatore a source comune a MOSFET deve amplificare un segnale sinusoidale con un valore di picco pari a 0.1 V . Qual è il valore minimo di $V_{GS} - V_{TN}$ che può essere utilizzato? Qual è il valore minimo per la tensione di alimentazione del circuito, se l'amplificatore deve garantire un guadagno non inferiore a 35 dB ?
- 13.96** Un amplificatore a source comune a MOSFET deve amplificare un segnale sinusoidale con un valore di picco pari a 0.5 V . Qual è il valore minimo di $V_{GS} - V_{TN}$ che può essere utilizzato? Qual è il valore minimo per la tensione di alimentazione del circuito, se l'amplificatore deve garantire un guadagno non inferiore a 20 dB ?
- 13.97** Un amplificatore per cui è richiesto un guadagno di tensione di 1000 viene realizzato mediante una cascata di stadi a source comune, alimentati con una tensione di 10 V . Qual è il numero minimo di stadi necessari per si ottengano l'amplificazione richiesta?
- 13.98** Si calcoli il guadagno di tensione dell'amplificatore mostrato in Figura P13.98. Si assuma $K_n = 0.500 \text{ mA/V}^2$, $V_{TN} = 1 \text{ V}$ e $\lambda = 0.0133 \text{ V}^{-1}$.

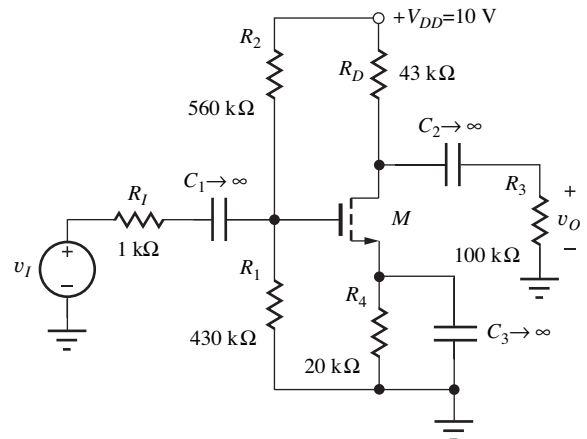


Figura P13.98

- 13.99** La Figura P13.99 mostra il circuito equivalente AC di un amplificatore. Si assuma che tutti i condensatori abbiano valore infinito e che $R_I = 100\text{ k}\Omega$, $R_G = 6.8\text{ M}\Omega$, $R_D = 50\text{ k}\Omega$ e $R_3 = 120\text{ k}\Omega$. Si calcoli il guadagno di tensione, assumendo che il punto di lavoro del MOSFET sia $(100\text{ }\mu\text{A}, 5\text{ V})$ e che inoltre $K_n = 500\text{ }\mu\text{A/V}^2$ e $\lambda = 0.02\text{ V}^{-1}$.

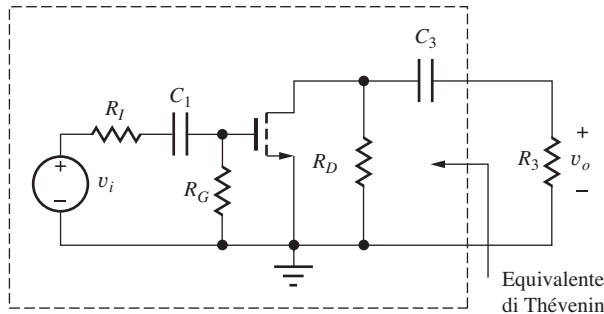


Figura P13.99

- 13.100** Qual è il valore minimo del guadagno per l'amplificatore del problema precedente, se K_n può variare fra $300\text{ }\mu\text{A/V}^2$ e $700\text{ }\mu\text{A/V}^2$? Si assuma che il punto di lavoro resti invariato.
- 13.101** La Figura P13.99 mostra il circuito equivalente AC di un amplificatore. Si assuma che tutti i condensatori abbiano valore infinito e che $R_I = 100\text{ k}\Omega$, $R_G = 10\text{ M}\Omega$, $R_D = 560\text{ k}\Omega$ e $R_3 = 2.2\text{ M}\Omega$. Si calcoli il guadagno di tensione, assumendo che il punto di lavoro del MOSFET sia $(10\text{ }\mu\text{A}, 5\text{ V})$ e che inoltre $K_n = 100\text{ }\mu\text{A/V}^2$ e $\lambda = 0.02\text{ V}^{-1}$.
- 13.102** La Figura P13.102 mostra il circuito equivalente AC di un amplificatore. Si assuma che tutti i condensatori abbiano valore infinito e che $R_I = 10\text{ k}\Omega$, $R_G = 1\text{ M}\Omega$, $R_D = 3.9\text{ k}\Omega$ e $R_3 = 270\text{ k}\Omega$. Si calcoli il guadagno di tensione, assumendo che il punto di lavoro del MOSFET sia $(2\text{ mA}, 7.5\text{ V})$ e che $K_n = 1\text{ mA/V}^2$ e $\lambda = 0.015\text{ V}^{-1}$.

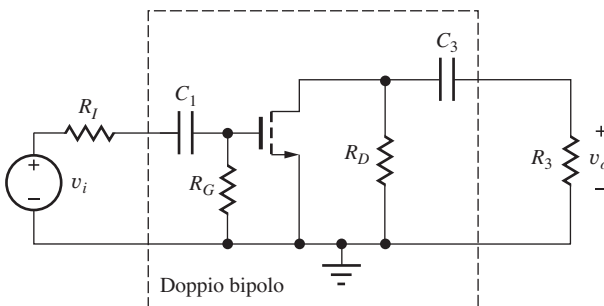


Figura P13.102

- 13.103** Si utilizzi SPICE per simulare le caratteristiche AC e DC dell'amplificatore del Problema 13.23; per i condensatori si assuma un valore di $100\text{ }\mu\text{F}$ e si realizzi l'analisi AC a una frequenza di 1 kHz . Qual è il punto di lavoro? Quali sono i valori del guadagno per piccoli segnali, della resistenza di ingresso e della resistenza di uscita dell'amplificatore?

- 13.104** Si utilizzi SPICE per simulare le caratteristiche AC e DC dell'amplificatore del Problema 13.27; per i condensatori si assuma un valore di $100\text{ }\mu\text{F}$ e si realizzi l'analisi AC a una frequenza di 1 kHz . Qual è il punto di lavoro? Quali sono i valori del guadagno per piccoli segnali, della resistenza di ingresso e della resistenza di uscita dell'amplificatore?

- 13.105** Si utilizzi SPICE per simulare le caratteristiche AC e DC dell'amplificatore del Problema 13.33; per i condensatori si assuma un valore di $100\text{ }\mu\text{F}$ e si realizzi l'analisi AC a una frequenza di 1 kHz . Qual è il punto di lavoro? Quali sono i valori del guadagno per piccoli segnali, della resistenza di ingresso e della resistenza di uscita dell'amplificatore?

- 13.106** Si utilizzi SPICE per simulare le caratteristiche AC e DC dell'amplificatore del Problema 13.35; per i condensatori si assuma un valore di $100\text{ }\mu\text{F}$ e si realizzi l'analisi AC a una frequenza di 1 kHz . Qual è il punto di lavoro? Quali sono i valori del guadagno per piccoli segnali, della resistenza di ingresso e della resistenza di uscita dell'amplificatore?

Resistenze di ingresso e di uscita degli amplificatori a C-E e a C-S

- 13.107** La Figura P13.60 mostra il circuito equivalente AC di un amplificatore. Si assuma che tutti i condensatori abbiano valore infinito e che $R_I = 750\text{ }\Omega$, $R_B = 100\text{ k}\Omega$, $R_C = 100\text{ k}\Omega$ e $R_3 = 100\text{ k}\Omega$. Si calcolino le resistenze di ingresso e di uscita dell'amplificatore, assumendo che il punto di lavoro del BJT sia $(50\text{ }\mu\text{A}, 10\text{ V})$ e che inoltre $\beta_o = 100$ e $V_A = 75\text{ V}$.
- 13.108** Quali sono i valori minimi e massimi delle resistenze di ingresso e di uscita per l'amplificatore del Problema 13.60, se β_o può variare fra 60 e 100? Si ipotizzi che il punto di lavoro resti invariato.
- 13.109** La Figura P13.63 mostra il circuito equivalente AC di un amplificatore. Si assuma che tutti i condensatori abbiano valore infinito e che $R_I = 10\text{ k}\Omega$, $R_B = 5\text{ M}\Omega$, $R_C = 1.5\text{ M}\Omega$ e $R_3 = 3.3\text{ M}\Omega$. Si calcolino le resistenze di ingresso e di uscita dell'amplificatore, assumendo che il punto di lavoro del BJT sia $(1\text{ }\mu\text{A}, 1.5\text{ V})$ e che $\beta_o = 40$ e $V_A = 50\text{ V}$.
- 13.110** La Figura P13.60 mostra il circuito equivalente AC di un amplificatore. Si assuma che tutti i condensatori abbiano valore infinito e che $R_I = 50\text{ }\Omega$, $R_B = 4.7\text{ k}\Omega$, $R_C = 4.3\text{ k}\Omega$ e $R_3 = 10\text{ k}\Omega$. Si calcolino le resistenze di ingresso e di uscita dell'amplificatore, assumendo che il punto di lavoro del BJT sia $(2.5\text{ mA}, 7.5\text{ V})$ e che inoltre $\beta_o = 75$ e $V_A = 50\text{ V}$.
- 13.111** Si calcolino le resistenze di ingresso e di uscita dell'amplificatore del Problema 13.98.
- 13.112** Si calcolino le resistenze di ingresso e di uscita dell'amplificatore del Problema 13.99.
- 13.113** Quali sono i valori estremi per le resistenze di ingresso e di uscita dell'amplificatore del Problema 13.99, se K_n può variare fra $300\text{ }\mu\text{A/V}^2$ e $700\text{ }\mu\text{A/V}^2$? Si assuma che il punto di lavoro sia fisso.

- 13.114** Si calcolino le resistenze di ingresso e di uscita dell'amplificatore del Problema 13.101.
- 13.115** Si calcolino le resistenze di ingresso e di uscita dell'amplificatore del Problema 13.102.
- 13.116** Si calcoli la rappresentazione equivalente di Thévenin per l'amplificatore del Problema 13.60.
- 13.117** Si calcoli la rappresentazione equivalente di Thévenin per l'amplificatore del Problema 13.62.
- 13.118** Si calcoli la rappresentazione equivalente di Thévenin per l'amplificatore del Problema 13.99.
- 13.119** Si calcoli la rappresentazione equivalente di Thévenin per l'amplificatore del Problema 13.101.

13.11 Esempi di amplificatori a emettitore comune e a source comune

- 13.120** Si simuli l'amplificatore a emettitore comune di Figura 13.36 e si confrontino i risultati della simulazione con i calcoli sviluppati nell'esempio. Si assuma per tutti i condensatori un valore di $100\ \mu\text{F}$ e si effettui l'analisi AC alla frequenza di $1\ \text{kHz}$.
- 13.121** L'amplificatore mostrato in Figura P13.121 è lo stesso stadio a emettitore comune di Figura 13.36, in cui i valori delle resistenze di polarizzazione sono stati modificati in modo da aumentare la corrente di riposo del dispositivo di un fattore circa 10. Assumendo $\beta_F = 65$ e $V_A = 50\ \text{V}$, quanto valgono il guadagno di tensione e le resistenze di ingresso e di uscita dell'amplificatore? Si confrontino i risultati ottenuti con quelli relativi al circuito di Figura 13.36.

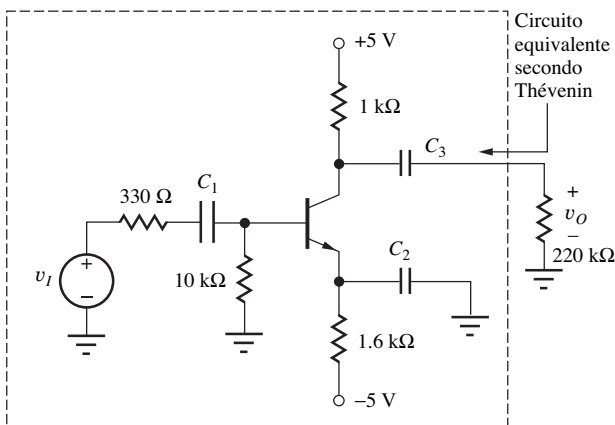


Figura P13.121

- 13.122** Si simuli l'amplificatore a emettitore comune del problema precedente e si confrontino i risultati della simulazione con quelli teorici. Si assuma per tutti i condensatori un valore di $100\ \mu\text{F}$ e si effettui l'analisi AC alla frequenza di $10\ \text{kHz}$.
- 13.123** L'amplificatore mostrato in Figura P13.123 è lo stesso stadio a emettitore comune di Figura 13.36, in cui i valori delle resistenze di polarizzazione sono stati modificati in modo da ridurre la corrente di riposo del dispositivo di un fattore circa 10. Quanto valgono il guadagno di tensione e le resistenze di

ingresso e di uscita dell'amplificatore? Si confrontino i risultati ottenuti con quelli relativi al circuito di Figura 13.36.

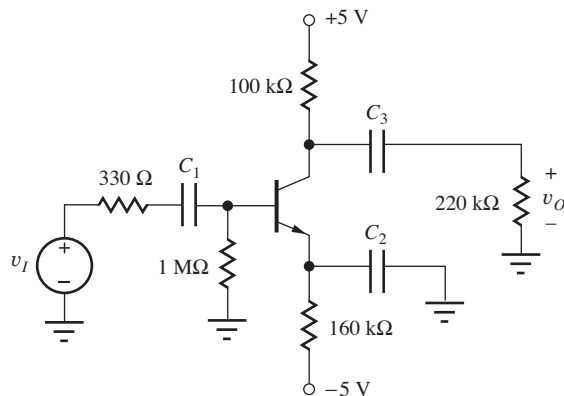


Figura P13.123

- 13.124** Si simuli l'amplificatore a emettitore comune del problema precedente e si confrontino i risultati della simulazione con quelli teorici. Si assuma per tutti i condensatori un valore di $100\ \mu\text{F}$ e si effettui l'analisi AC alla frequenza di $1\ \text{kHz}$.
- 13.125** Si simuli con SPICE l'amplificatore a source comune di Figura 13.39 e si confrontino i risultati della simulazione con quelli teorici. Si assuma per tutti i condensatori un valore di $100\ \mu\text{F}$ e si effettui l'analisi AC alla frequenza di $1\ \text{kHz}$.
- 13.126** Si simuli con SPICE l'amplificatore a source comune del Problema 13.98 e si valutino il guadagno di tensione e le resistenze di ingresso e di uscita; si assuma per tutti i condensatori un valore di $100\ \mu\text{F}$ e si effettui l'analisi AC alla frequenza di $1\ \text{kHz}$.

13.12 Dissipazione di potenza ed escursione del segnale

- 13.127** Si calcoli la dissipazione di potenza in ognuno degli elementi del circuito di Figura 13.42(a), assumendo $\beta_F = 65$. Si confrontino i risultati ottenuti con il valore totale di potenza erogato dalle alimentazioni.
- 13.128** Si calcoli la dissipazione di potenza in ognuno degli elementi del circuito di Figura 13.42(b) e si confrontino i risultati ottenuti con il valore totale di potenza erogato dalle alimentazioni.
- 13.129** Si calcoli la dissipazione di potenza in ognuno degli elementi del circuito del Problema 13.17 e si confrontino i risultati ottenuti con il valore totale di potenza erogato dalle alimentazioni.
- 13.130** Si ripeta il Problema 13.129 per il circuito del Problema 13.19.
- 13.131** Si ripeta il Problema 13.129 per il circuito del Problema 13.23.
- 13.132** Si ripeta il Problema 13.129 per il circuito del Problema 13.27.
- 13.133** Si ripeta il Problema 13.129 per il circuito del Problema 13.33.

- *13.134** La Figura P13.134 mostra un circuito a emettitore comune in cui il punto di lavoro è stato stabilito in modo da ripartire opportunamente la tensione di alimentazione V_{CC} fra le due resistenze R_E e R_C e la V_{CE} del transistor. Qual è l'ampiezza massima del segnale di uscita, normalizzata al valore di V_{CC} , compatibile con il funzionamento per piccoli segnali del transistor?

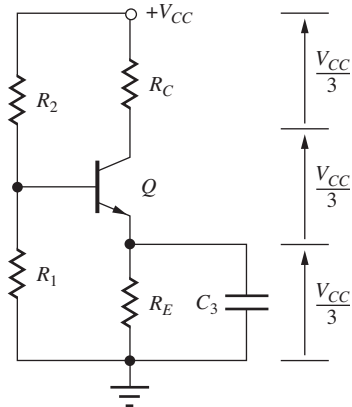


Figura P13.134

- *13.135** Il MOSFET in Figura P13.135 è caratterizzato da $K_n = 500 \mu\text{A}/\text{V}^2$ e $V_{TN} = -1.5 \text{ V}$. Assumendo $R_D = 15 \text{ k}\Omega$, qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor? Qual è il valore minimo di V_{DD} ?

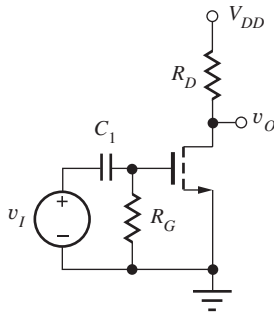


Figura P13.135

- *13.136** Il semplice amplificatore a emettitore comune di Figura P13.136 è polarizzato con $V_{CE} = V_{CC}/2$. Qual è l'ampiezza massima di un segnale sinusoidale che può apparire all'uscita del circuito, assumendo che il transistor abbia $V_{CESAT} = 0 \text{ V}$? Qual è la potenza del segnale di uscita P_{ac} dissipata nel resistore di carico R_L ? Qual è la potenza statica P_S dissipata dal circuito? Qual è l'efficienza ε dell'amplificatore, definita come: $\eta = 100\% \times P_{ac}/P_S$?

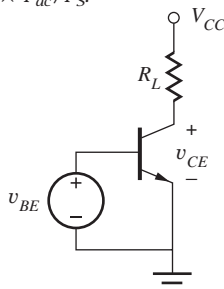


Figura P13.136

- *13.137** Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor, per il circuito di Figura P13.5? Si utilizzino i valori dei parametri riportati nel Problema 13.21.
- 13.138** Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor, per il circuito di Figura P13.6? Si utilizzino i valori dei parametri riportati nel Problema 13.23.
- 13.139** Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor, per il circuito di Figura P13.8? Si utilizzino i valori dei parametri riportati nel Problema 13.27.
- 13.140** Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor, per il circuito di Figura P13.9? Si utilizzino i valori dei parametri riportati nel Problema 13.17.
- 13.141** Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor, per il circuito di Figura P13.11? Si utilizzino i valori dei parametri riportati nel Problema 13.33.
- 13.142** Qual è l'ampiezza massima del segnale di uscita compatibile con il funzionamento per piccoli segnali del transistor, per il circuito di Figura P13.13? Si utilizzino i valori dei parametri riportati nel Problema 13.35.
- 13.143** Si disegni la retta di carico relativa al circuito di Figura 13.1 e la si sovrapponga alle caratteristiche di uscita mostrate in Figura P13.143, assumendo $V_{CC} = 20 \text{ V}$ e $R_C = 20 \text{ k}\Omega$. Si individui il punto di lavoro per $I_B = 2 \mu\text{A}$ e si stimi l'ampiezza massima del segnale all'uscita dell'amplificatore. Si ripeta l'analisi per $I_B = 5 \mu\text{A}$.

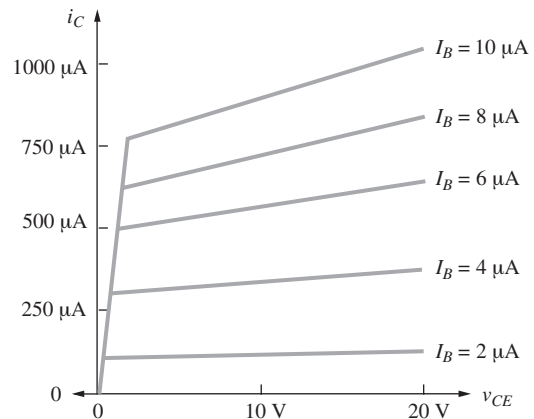


Figura P13.143

Capitolo 14

Riepilogo

In questo capitolo è stata eseguita una analisi approfondita delle caratteristiche degli amplificatori realizzati con un singolo transistor.

■ Dei tre terminali disponibili per ciascun dispositivo si è trovato che solo la base o l'emettitore, nel caso del BJT, e il source o il gate, nel caso del MOSFET, sono utilizzabili per l'applicazione del segnale di ingresso, mentre il collettore o l'emettitore e il drain o il source sono utilizzabili come terminali di uscita. Il collettore e il drain non sono usati come terminali di ingresso e la base e il gate non sono usati come terminali di uscita.

■ Vi sono tre configurazioni di base per gli amplificatori: gli amplificatori invertenti (amplificatori a emettitore comune e a source comune); gli inseguitori (amplificatori a collettore comune e a drain comune, anche noti come inseguitori di emettitore o di source); gli amplificatori non invertenti a base comune e a gate comune.

■ Per queste tre classi di amplificatori è stata eseguita un'analisi dettagliata utilizzando i modelli per piccolo segnale dei transistori. Questa analisi ha condotto a espressioni per il guadagno di tensione, il guadagno di corrente, la resistenza di ingresso, la resistenza di uscita e il campo di variazione del segnale di ingresso, espressioni che sono riassunte in un gruppo di tabelle:

Tabella 14.2 Riepilogo degli amplificatori C-E/C-S
pag. 452.

Tabella 14.5 Riepilogo degli amplificatori C-C/C-D
pag. 464.

Tabella 10.8 Riepilogo degli amplificatori C-B/C-G
pag. 472.

Tabella 14.10 Amplificatori a singolo transistor bipolare
pag. 473.

Tabella 14.12 Amplificatori a singolo MOSFET
pag. 475.

I risultati riportati in queste tabelle rappresentano gli strumenti di base del progettista di circuiti analogici. Una comprensione dettagliata di questi risultati è il prerequisite per il progetto e l'analisi di circuiti analogici più complessi.

■ Gli amplificatori invertenti (amplificatori C-E e C-S) possono fornire significativi valori di guadagno di tensione e di corrente così come elevati valori delle resistenze di ingresso e di uscita. Se viene inserito un resi-

store nell'emettitore o nel source del transistor, il guadagno di tensione viene ridotto, ma può essere reso relativamente indipendente dalle caratteristiche del singolo transistor; d'altra parte, questa riduzione di guadagno produce un aumento della resistenza di ingresso, della resistenza di uscita e del campo di variazione del segnale di ingresso. Il BJT può facilmente raggiungere valori di guadagno di tensione più elevati rispetto al MOSFET, a causa della sua più elevata transconduttanza, mentre la resistenza di ingresso infinita del MOSFET è vantaggiosa per ottenere amplificatori con alta resistenza di ingresso. Tipicamente il MOSFET presenta anche un più ampio campo di variazione del segnale di ingresso rispetto al BJT.

■ Nelle tecnologie MOS è possibile usare un transistor per sostituire il resistore di polarizzazione di drain negli amplificatori a source comune, che dà luogo a circuiti molto più compatti e adatti alla realizzazione integrata. Gli amplificatori a due transistori realizzati con questa tecnica sono simili (dimensionamento dei transistori a parte) agli invertitori logici a MOS usati in elettronica digitale. Circuiti simili verranno analizzati anche nei capitoli successivi.

■ Gli inseguitori di emettitore e di source (amplificatori C-C e C-D) forniscono un guadagno di tensione circa unitario, un'elevata resistenza di ingresso e una bassa resistenza di uscita. Gli inseguitori forniscono moderati valori di guadagno di corrente e presentano il più elevato campo di variazione del segnale di ingresso. Questi amplificatori C-C e C-D sono l'equivalente a singolo transistor degli inseguitori di tensione realizzati mediante amplificatori operazionali.

■ Gli amplificatori non invertenti (C-B e C-G) presentano un guadagno di tensione, un campo di variazione del segnale in ingresso e una resistenza di uscita molto simili a quelli degli amplificatori invertenti, ma hanno una resistenza di ingresso relativamente bassa e un guadagno di corrente minore di uno.

■ Tutte le classi di amplificatori presentano moderati livelli o del guadagno di tensione o del guadagno di corrente o di entrambi: sono quindi capaci, se progettati in maniera appropriata, di fornire un significativo guadagno di potenza.

- La Tabella E14.1 presenta un confronto tra le tre classi di amplificatori.
- Sono stati presentati degli esempi di progetto di amplificatori utilizzando le configurazioni invertente, non invertente e a inseguitore, e inoltre è stato incluso un esempio di analisi Monte Carlo per valutare gli effetti delle tolleranze dei vari elementi sulle prestazioni del circuito.
- I valori dei condensatori di accoppiamento e di bypass sono stati fissati imponendo che la loro reattanza fosse molto minore della resistenza equivalente di Thévenin

che appare ai loro terminali. La reattanza è stata valutata alla più bassa frequenza nella regione delle medie frequenze (centro banda) degli amplificatori. È stata determinata la frequenza di taglio inferiore f_L come quella frequenza alla quale la reattanza capacitiva eguaglia la resistenza equivalente ai capi dei condensatori. Negli amplificatori di questo capitolo ci sono due o tre poli che determinano la f_L e il fenomeno del restringimento della banda sposta la frequenza di taglio al di sopra di quella fissata dall'effetto dei singoli condensatori quando agiscono da soli.

Tabella E14.1 Confronto delle caratteristiche degli amplificatori a singolo transistor

	Amplificatori invertenti (C-E e C-S)	Inseguitori (C-C e C-D)	Amplificatori non invertenti (C-B e C-G)
Guadagno di tensione	moderato	basso (≈ 1)	moderato
Resistenza di ingresso	da moderata ad alta	alta	bassa
Resistenza di uscita	da moderata ad alta	bassa	alta
Campo di variazione del segnale di ingresso	da basso a moderato	alto	da basso a moderato
Guadagno di corrente	moderato	moderato	basso (≈ 1)

Problemi

Le soluzioni si trovano sul sito web dedicato al libro 

Si assuma che tutti i condensatori e gli induttori siano di valore infinito se non altrimenti specificato.

14.1 Classificazione degli amplificatori

- 14.1** Si disegnino i circuiti equivalenti AC e si classifichino (cioè come C-S, C-G, C-D, C-E, C-B, C-C oppure non utilizzabile) gli amplificatori delle Figure da P14.1(a) a P14.1(o).

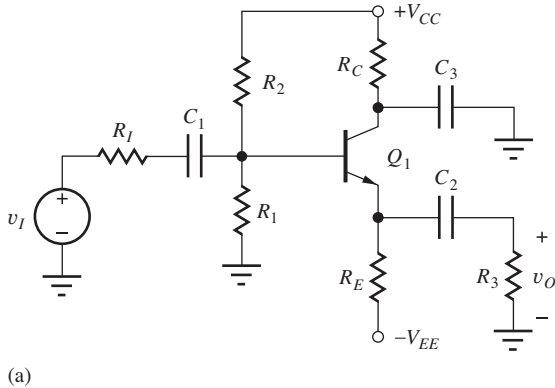
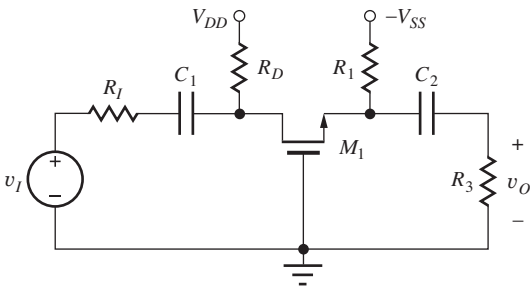
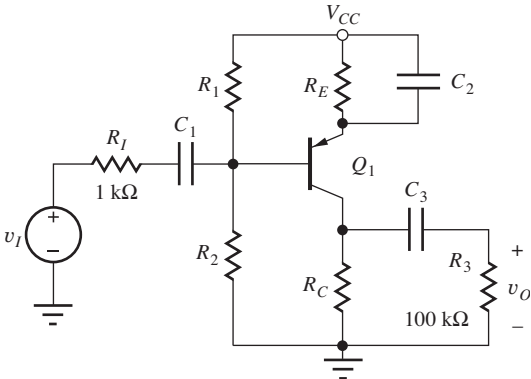


Figura P14.1(a).



(b)



(c)

Figura P14.1(b), (c).

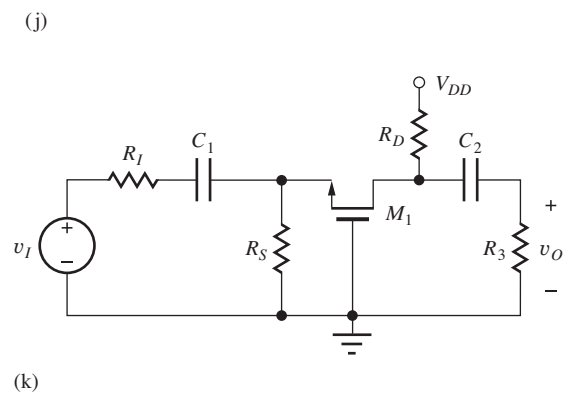
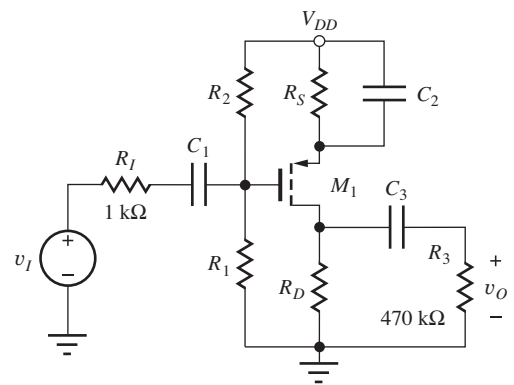
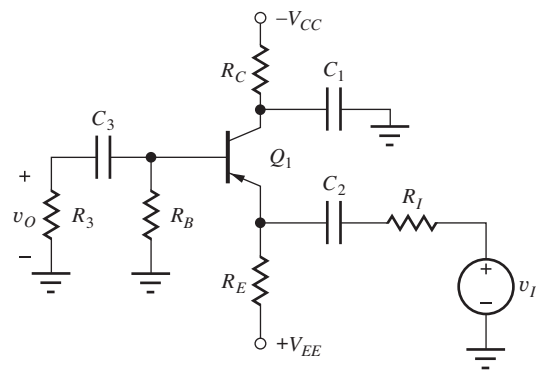
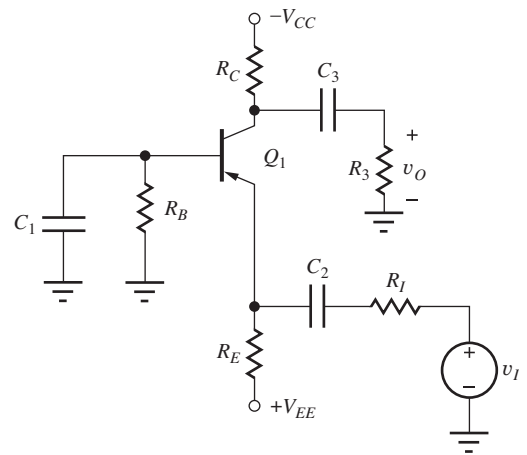
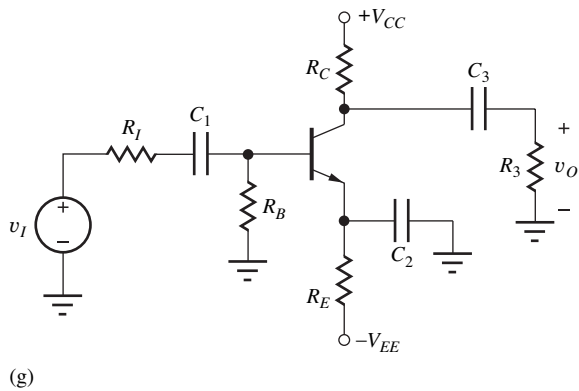
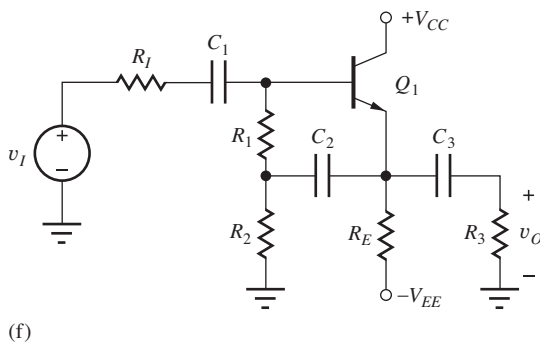
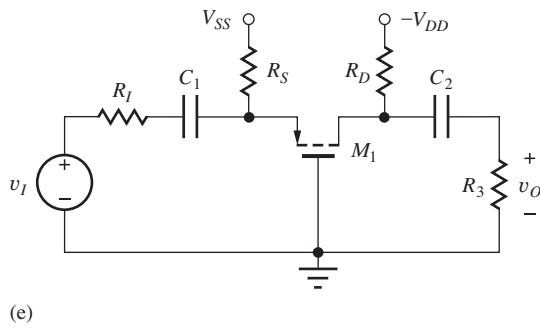
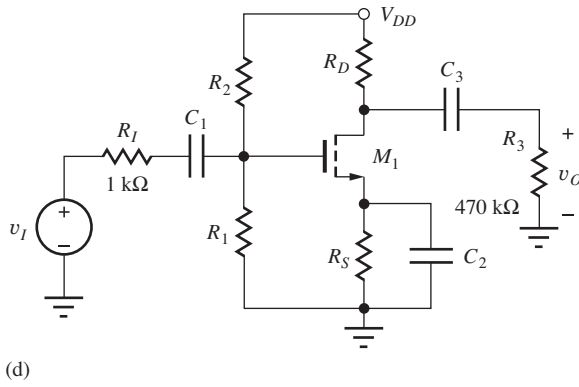
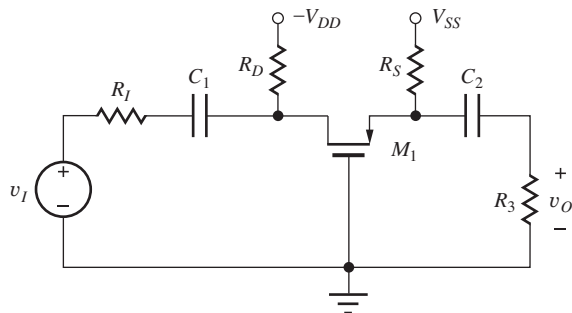
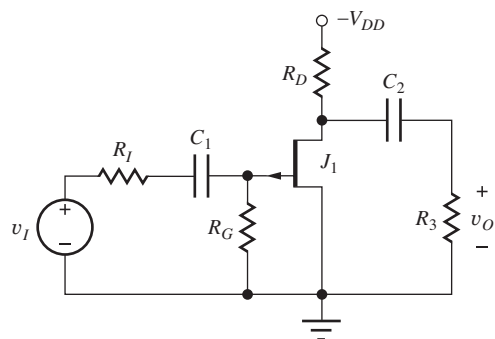


Figura P14.1 (d), (e), (f), (g).

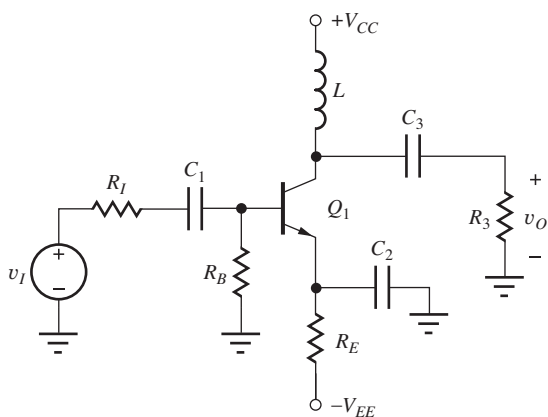
Figura P14.1 (h), (i), (j), (k).



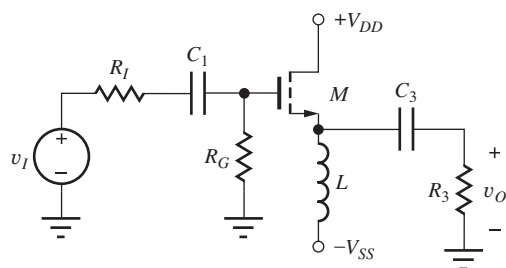
(l)



(m)



(n)



(o)

Figura P14.1 (l), (m), (n), (o).

14.2

Un transistor PMOS è polarizzato dal circuito di Figura P14.2. Utilizzando le configurazioni per la sorgente esterna e il carico riportato in figura, si aggiungano i condensatori di accoppiamento e di bypass per realizzare un amplificatore a gate comune.

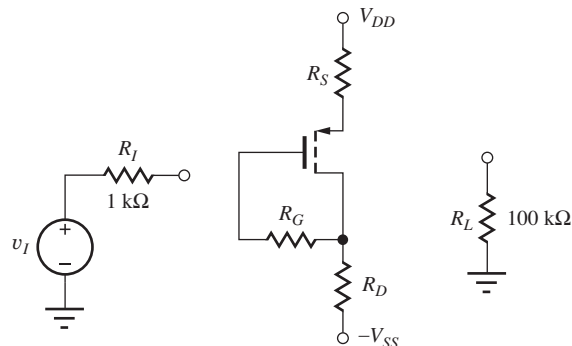


Figura P14.2

14.3

Si ripeta il Problema 14.2 trasformando l'amplificatore in uno a drain comune.

14.4

Si ripeta il Problema 14.2 trasformando l'amplificatore in uno a source comune.

14.5

Un transistor *n*pn viene polarizzato mediante il circuito in Figura P14.5. Utilizzando il generatore e il carico mostrati in figura, si aggiungano i condensatori di accoppiamento e di bypass per trasformare l'amplificatore in un emettitore comune.

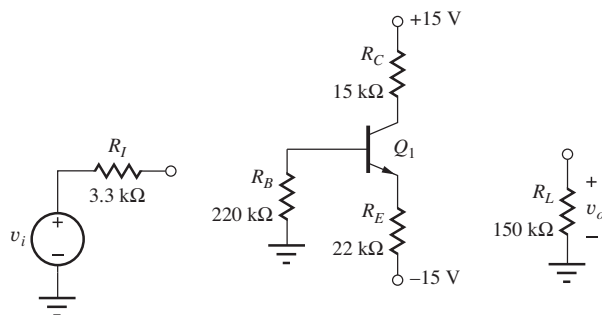


Figura P14.5

14.6

Si ripeta il Problema 14.5 trasformando l'amplificatore in uno a collettore comune.

14.7

Si ripeta il Problema 14.5 trasformando l'amplificatore in uno a base comune.

14.2 Amplificatori invertenti - Circuiti a emettitore comune e a source comune

14.8

Quali sono i valori di A_v , R_{in} , R_{out} e A_i per lo stadio a source comune di Figura P14.8 se $R_G = 1 \text{ M}\Omega$, $R_I = 75 \text{ k}\Omega$, $R_L = 2 \text{ k}\Omega$ e $R_S = 200 \Omega$? Si assuma $g_m = 5 \text{ mS}$ e $r_o = 10 \text{ k}\Omega$. Quali sono i valori di $A_{v_{th}}$, R_{in} , R_{out} e A_i se R_S è cortocircuitato da un condensatore?

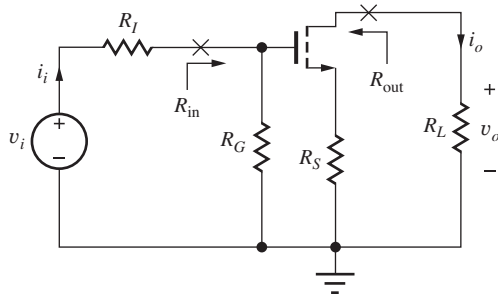


Figura P14.8

- 14.9** Quali sono i valori di A_v , R_{in} , R_{out} e A_{ih} per lo stadio a emettitore comune di Figura P14.9 se $g_m = 20 \text{ mS}$, $\beta_o = 75$, $r_o = 100 \text{ k}\Omega$, $R_I = 500 \Omega$, $R_B = 15 \text{ k}\Omega$, $R_L = 12 \text{ k}\Omega$ e $R_E = 300 \Omega$? (b) Quali sono i valori se R_E viene portato a 620Ω ?

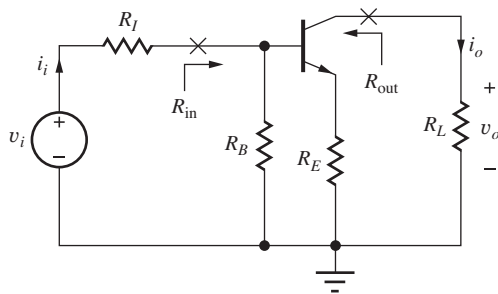


Figura P14.9

- 14.10** (a) Si stimi il guadagno di tensione dell'amplificatore invertente di Figura P14.10. (b) Si utilizzi un condensatore di bypass nel circuito per ottenere un guadagno di circa -10 . (c) Dove dovrebbe essere posto il condensatore di bypass per avere un guadagno di circa -20 ? (d) Dove dovrebbe essere inserito il condensatore di bypass per avere il massimo guadagno? (e) Si stimi questo guadagno.

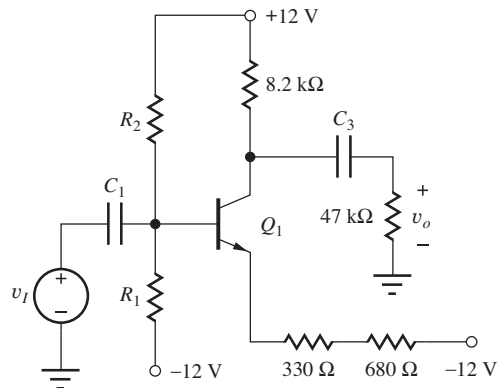


Figura P14.10

- 14.11** Quali valori di R_E e R_L sono necessari nel circuito equivalente AC di Figura P14.11 per ottenere $A_{vt} = -10$ e $R_{in} = 250 \text{ k}\Omega$? Si assuma $\beta_o = 75$.

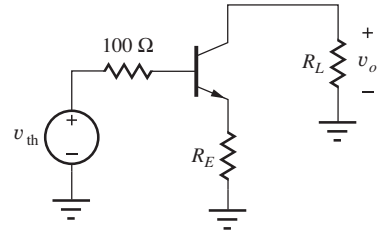


Figura P14.11

- 14.12** Si assuma $R_E = 0$ nella Figura P14.11. Che valori di R_L e I_C sono richiesti per avere $A_{vt} = -10$ e $R_{in} = 500 \text{ k}\Omega$? Si assuma $\beta_o = 75$.
- 14.13** Si usi l'analisi ai nodi per ricalcolare la resistenza di uscita del circuito a source comune di Figura P14.13 come espresso dalla Tabella 14.1.

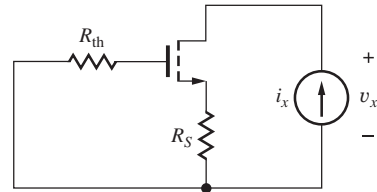


Figura P14.13

- **14.14** Quali sono i valori di A_v , A_i , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(g) se $R_1 = 500 \text{ k}\Omega$, $R_E = 100 \text{ k}\Omega$, $R_B = 1 \text{ M}\Omega$, $R_3 = 500 \text{ k}\Omega$, $R_C = 39 \text{ k}\Omega$ e $V_{DD} = 20 \text{ V}$? Usare $\beta_F = 100$.
- 14.15** Quali sono i valori di A_v , A_i , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(c) se $R_1 = 20 \text{ k}\Omega$, $R_2 = 62 \text{ k}\Omega$, $R_E = 3.9 \text{ k}\Omega$, $R_C = 8.2 \text{ k}\Omega$ e $V_{CC} = 9 \text{ V}$? Si usi $\beta_F = 75$. Si confronti A_v con la stima che si ottiene mediante la regola empirica e si discutano le ragioni delle eventuali discrepanze.
- 14.16** Quali sono i valori di A_v , A_i , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(d) se $R_1 = 500 \text{ k}\Omega$, $R_2 = 1.4 \text{ M}\Omega$, $R_S = 27 \text{ k}\Omega$, $R_D = 75 \text{ k}\Omega$ e $V_{DD} = 15 \text{ V}$? Si usino $K_n = 250 \mu\text{A/V}^2$ e $V_{TN} = 1 \text{ V}$. Si confronti A_v con la stima che si ottiene mediante la regola empirica e si discutano le ragioni delle eventuali discrepanze.
- 14.17** Quali sono i valori di A_v , A_i , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(j) se $R_1 = 2.2 \text{ M}\Omega$, $R_2 = 2.2 \text{ M}\Omega$, $R_S = 22 \text{ k}\Omega$, $R_D = 18 \text{ k}\Omega$ e $V_{DD} = 22 \text{ V}$? Si usino $K_p = 400 \mu\text{A/V}^2$ e $V_{TP} = -1 \text{ V}$.
- 14.18** Quali sono i valori di A_v , A_i , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(g) se $R_1 = 5 \text{ k}\Omega$, $R_G = 10 \text{ M}\Omega$, $R_3 = 36 \text{ k}\Omega$, $R_D = 1.8 \text{ k}\Omega$ e $V_{DD} = 16 \text{ V}$? Si usino $K_n = 0.4 \text{ mS/V}$ e $V_{TN} = -5 \text{ V}$.
- 14.19** Quali sono i valori di A_v , A_i , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(n) se $R_I = 250 \Omega$, $R_B = 20 \text{ k}\Omega$, $R_3 = 1 \text{ M}\Omega$, $R_E = 9.1 \text{ k}\Omega$ e $V_{CC} = 12 \text{ V}$, $V_{EE} = 10 \text{ V}$? Si usino $\beta_F = 80$ e $V_A = 100 \text{ V}$.

14.3 Circuiti inseguitori – Amplificatori a collettore comune e a drain comune

- 14.20** Quali sono i valori di $A_{v_{th}}$, R_{in} , R_{out} e A_i per l'amplificatore a collettore comune di Figura P14.20 se $R_I = 10\text{ k}\Omega$, $R_B = 47\text{ k}\Omega$, $R_L = 1\text{ k}\Omega$, $\beta_o = 80$ e $g_m = 0.4\text{ S}$?

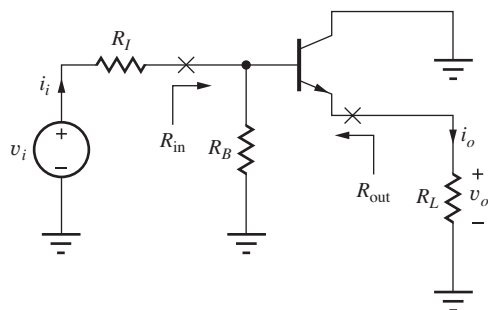


Figura P14.20

- 14.21** Quali sono i valori di A_v , R_{in} , R_{out} e A_i per l'amplificatore a drain comune di Figura P14.21 se $R_G = 2\text{ M}\Omega$, $R_I = 100\text{ k}\Omega$, $R_L = 2\text{ k}\Omega$ e $g_m = 10\text{ mS}$?

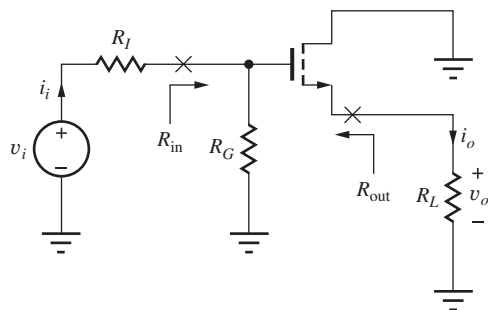


Figura P14.21

- *14.22** Il resistore di gate R_G di Figura P14.22 è posto in una configurazione detta di "bootstrap" a causa della presenza dell'inseguitore di source. (a) Si assuma che il MOSFET lavori con $g_m = 3.54\text{ mS}$ e r_o sia trascurabile. Si disegni il modello a piccolo segnale e si trovino A_v , R_{in} e R_{out} per l'amplificatore. (b) Quale sarebbe il valore di R_{in} se A_v fosse esattamente 1?

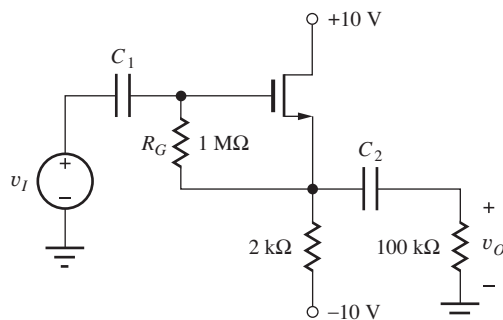


Figura P14.22

- 14.23** Quali sono i valori di A_v , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(a) se $R_I = 500\text{ }\Omega$, $R_1 = 100\text{ k}\Omega$, $R_2 = 100\text{ k}\Omega$, $R_3 = 24\text{ k}\Omega$, $R_E = 4.7\text{ k}\Omega$, $R_C = 2\text{ k}\Omega$, $V_{CC} = 12\text{ V}$, $V_{EE} = 12\text{ V}$? Si usino $\beta_F = 125$ e $V_A = 50\text{ V}$.

- 14.24** Quali sono i valori di A_v , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(o) se $R_I = 10\text{ k}\Omega$, $R_G = 1\text{ M}\Omega$, $R_3 = 100\text{ k}\Omega$, $V_{DD} = V_{SS} = 5\text{ V}$? Si usino $K_n = 500\text{ }\mu\text{A/V}^2$, $V_{TN} = 1.5\text{ V}$ e $\lambda = 0.02\text{ V}^{-1}$.

- 14.25** Quali sono i valori di A_v , R_{in} e R_{out} , e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(f) se $R_I = 500\text{ }\Omega$, $R_1 = 500\text{ k}\Omega$, $R_2 = 500\text{ k}\Omega$, $R_3 = 500\text{ k}\Omega$, $R_E = 430\text{ k}\Omega$, $V_{CC} = 9\text{ V}$, $V_{EE} = 9\text{ V}$? Si usino $\beta_F = 100$ e $V_A = 60\text{ V}$.

- *14.26** Si rielabori la formula del campo di variazione del segnale dell'amplificatore a collettore comune di Tabella 14.5 in funzione della tensione continua che si sviluppa ai capi del resistore di emettitore R_E di Figura 14.3 (a). Si assuma $R_3 \rightarrow \infty$.

- 14.27** Si ripeta il Problema 14.22(a) usando le formule del transistor bipolare e "immaginando" che R_G renda il MOS equivalente a un BJT con $r_\pi = R_G$.

- *14.28** L'ingresso di un amplificatore a collettore comune è un'onda triangolare con ampiezza picco-picco di 10 V . (a) Qual è il guadagno minimo richiesto all'amplificatore C-C per verificare la condizione di piccolo segnale? (b) Qual è la minima tensione continua ai capi del resistore di emettitore per verificare il limite in (a)?

- 14.29** Si progetti l'inseguitore di emettitore di Figura P14.29 in modo da soddisfare la condizione di piccolo segnale quando $v_o = 5 \sin(2000\pi t)\text{ V}$. Si assuma $C_1 = C_2 \rightarrow \infty$ e $\beta_F = 50$.

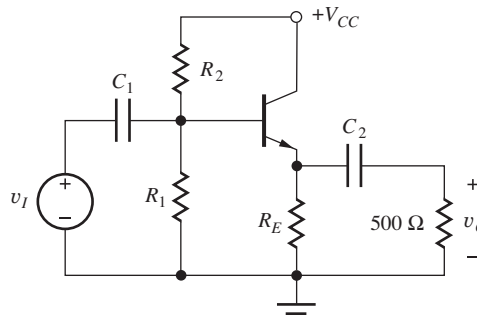


Figura P14.29

14.4 Amplificatori non invertenti – Circuiti a base comune e a gate comune

- 14.30** Quali sono i valori di A_v , R_{in} , R_{out} e A_i per l'amplificatore a gate comune di Figura P14.30 se $I_C = 12.5\text{ }\mu\text{A}$, $\beta_o = 100$, $V_A = 60\text{ V}$, $R_I = 50\text{ }\Omega$, $R_4 = 100\text{ k}\Omega$ e $R_L = 100\text{ k}\Omega$? Che cosa cambia se $R_I = 2.2\text{ k}\Omega$?

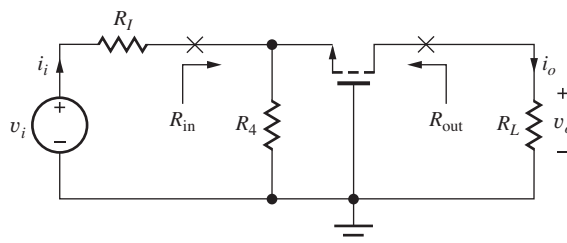


Figura P14.30

- 14.31** Quali sono i valori di A_v , R_{in} , R_{out} e A_i per l'amplificatore a gate comune di Figura P14.31 se $g_m = 0.5 \text{ mS}$, $R_I = 50 \Omega$, $R_4 = 3 \text{ k}\Omega$ e $R_L = 60 \text{ k}\Omega$? Che cosa cambia se $R_I = 5 \text{ k}\Omega$?

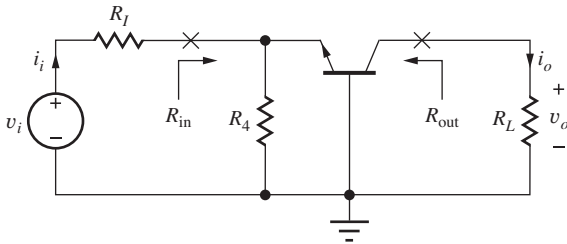


Figura P14.31

- 14.32** Si stimi il guadagno di tensione dell'amplificatore di Figura P14.32. Si giustifichi la risposta.

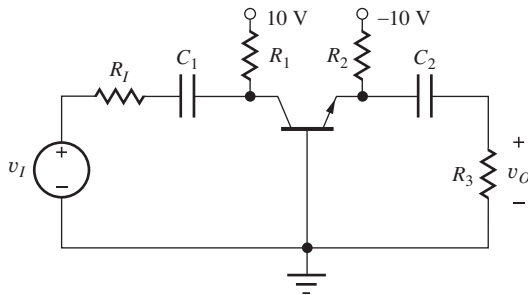


Figura P14.32

- 14.33** Quali sono i valori di A_v , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(h) se $R_I = 500 \Omega$, $R_B = 100 \text{ k}\Omega$, $R_3 = 100 \text{ k}\Omega$, $R_E = 82 \text{ k}\Omega$, $R_C = 39 \text{ k}\Omega$, $V_{DD} = V_{CC} = 12 \text{ V}$? Si usino $\beta_F = 50$, $V_A = 50 \text{ V}$.
- 14.34** Quali sono i valori di A_v , A_b , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(h) se $R_I = 50 \text{ k}\Omega$, $R_B = 1 \text{ M}\Omega$, $R_3 = 1 \text{ M}\Omega$, $R_E = 820 \text{ k}\Omega$, $R_C = 390 \text{ k}\Omega$, $V_{DD} = V_{CC} = 9 \text{ V}$? Si usino $\beta_F = 50$, $V_A = 50 \text{ V}$.
- 14.35** Quali sono i valori di A_v , A_b , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(k) se $R_I = 1 \text{ k}\Omega$, $R_S = 3.9 \text{ k}\Omega$, $R_3 = 51 \text{ k}\Omega$, $R_D = 20 \text{ k}\Omega$, $V_{DD} = 15 \text{ V}$? Si usino $K_n = 500 \mu\text{A/V}^2$, $V_{TN} = -2 \text{ V}$.
- 14.36** Quali sono i valori di A_v , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(e) se $R_I = 250 \Omega$, $R_S = 68 \text{ k}\Omega$, $R_3 = 200 \text{ k}\Omega$, $R_D = 43 \text{ k}\Omega$, $V_{DD} = V_{SS} = 15 \text{ V}$? Si usino $K_p = 200 \mu\text{A/V}^2$, $V_{TP} = -1 \text{ V}$.
- 14.37** Quali sono i valori di A_v , R_{in} e R_{out} e la massima ampiezza del segnale di ingresso per l'amplificatore di Figura P14.1(e) se $R_I = 500 \Omega$, $R_S = 33 \text{ k}\Omega$, $R_3 = 100 \text{ k}\Omega$, $R_D = 24 \text{ k}\Omega$, $V_{DD} = V_{SS} = 10 \text{ V}$? Si usino $K_p = 200 \mu\text{A/V}^2$, $V_{TP} = -1 \text{ V}$.
- 14.38** Il guadagno degli stadi a gate comune e a base comune può essere scritto come $A_v = R_L / [(1/g_m) + R_{th}]$. Quando $R_{th} \ll 1/g_m$ si dice che il circuito è "pilotato in tensione" e quando $R_{th} \gg 1/g_m$ si dice che il circuito è "pilotato in corrente". Quali sono le espressioni approssimate del

guadagno di tensione in queste due condizioni? Si discuta il motivo per cui si usano questi termini per descrivere i limiti dei due circuiti.

- 14.39** Qual è la resistenza di ingresso dello stadio a base comune di Figura P14.39 se $I_C = 1 \text{ mA}$ e $\beta_F = 75$?

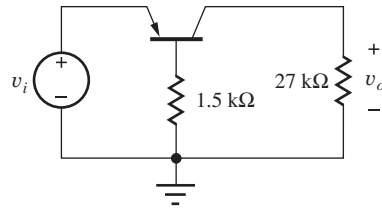


Figura P14.39

- 14.40** Qual è la resistenza di ingresso dello stadio a gate comune di Figura P14.40 se $I_D = 1 \text{ mA}$, $K_p = 1.25 \text{ mA/V}^2$ e $V_{TP} = -2 \text{ V}$?

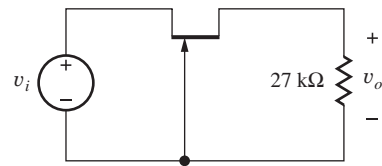


Figura P14.40

- 14.41** (a) Qual è la resistenza che si vede guardando nel collettore del transistor di Figura P14.41 se $R_E = 143 \text{ k}\Omega$ e $V_{EE} = 15 \text{ V}$, $V_A = 50 \text{ V}$, $\beta_F = 100$? (b) Qual è il minimo valore di V_{CC} che assicura il funzionamento di Q_1 in zona attiva diretta? (c) Si ripetano i punti (a) e (b) con $R_E = 15 \text{ k}\Omega$.

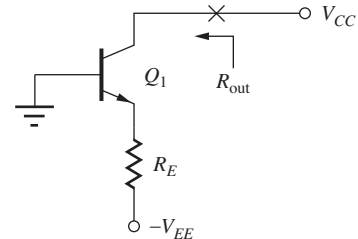


Figura P14.41

- *14.42** Qual è la resistenza che si vede guardando nel collettore nella Figura P14.42 se $I_E = 50 \mu\text{A}$, $\beta_o = 125$, $V_A = 50 \text{ V}$ e $V_{CC} = 10 \text{ V}$? [Suggerimento: occorre considerare r_o in questo circuito, altrimenti $R_{out} \rightarrow \infty$.]

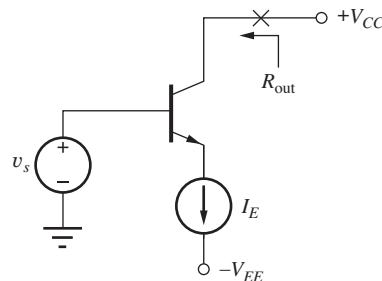


Figura P14.42

14.5 Rassegna e confronto degli amplificatori elementari

- 14.43** Si richiede un amplificatore a singolo transistoro con un guadagno di 43 dB e una resistenza di ingresso di 350 Ω . Qual è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.44** Si richiede un amplificatore a singolo transistoro con un guadagno di 46 dB e una resistenza di ingresso di 0.3 M Ω . Quale è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.45** Si richiede un amplificatore a singolo transistoro con un guadagno di 26 dB e una resistenza di ingresso di 10 M Ω . Qual è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.46** Si richiede un amplificatore a singolo transistoro con un guadagno di 58 dB e una resistenza di ingresso di 50 k Ω . Quale è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.47** Si richiede un amplificatore a singolo transistoro con un guadagno di -100 e una resistenza di ingresso di 5 Ω . Qual è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.48** Si richiede un amplificatore a singolo transistoro con un guadagno di circa +20 e una resistenza di ingresso di 5 k Ω . Quale è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.49** Si richiede un amplificatore a singolo transistoro con un guadagno di 0 dB, una resistenza di ingresso di 20 M Ω e una resistenza di carico di 20 k Ω . Qual è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.50** Si richiede un inseguitore con un guadagno di almeno 0.97 e una resistenza di ingresso di almeno 200 k Ω con una resistenza di carico di 5 k Ω . Qual è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.51** Si richiede un amplificatore a singolo transistoro con un guadagno di circa 66 dB e una resistenza di ingresso di 250 k Ω . Qual è la migliore configurazione? Si spieghino i motivi della scelta.
- 14.52** Si richiede un amplificatore invertente con una resistenza di uscita di almeno 1 G Ω . Quale è la migliore configurazione? Si spieghino i motivi della scelta. Si fornisca una stima della corrente nel punto di lavoro e delle resistenze di emettitore e di source necessarie a soddisfare le specifiche.
- 14.53** Un amplificatore a collettore comune è pilotato da una sorgente con resistenza interna di 250 Ω . Qual è la minima resistenza di uscita di questo amplificatore se il transistoro ha $\beta_o = 150$ e $V_A = 50$ V?

- **14.54** Si mostri che il resistore di emettitore R_E in Figura P14.54 può essere assorbito nel transistoro ridefinendo i parametri a piccolo segnale come:

$$g'_m \approx \frac{g_m}{1 + g_m R_E} \quad r'_\pi \approx r_\pi (1 + g_m R_E) \\ r'_o \approx r_o (1 + g_m R_E)$$

Qual è l'espressione del guadagno di corrente a piccolo segnale β'_o del nuovo transistoro? Qual è l'espressione del fattore di amplificazione μ'_f del nuovo transistoro?

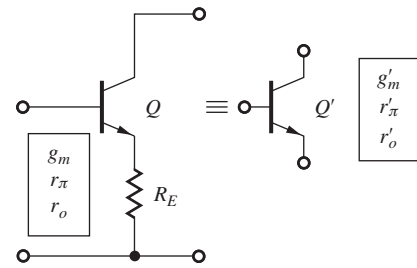


Figura P14.54

- *14.55** Si esegua una simulazione in transitorio del comportamento dell'amplificatore a emettitore comune di Figura P14.55 per tensioni di ingresso sinusoidali di 5 mV, 10 mV e 15 mV alla frequenza di 1 kHz. Si usi l'analisi di Fourier di SPICE per analizzare le forme d'onda di uscita. Si confrontino le ampiezze delle armoniche a 2 kHz e a 3 kHz con l'ampiezza del segnale desiderato a 1 kHz. Si assuma $\beta_F = 100$ e $V_A = 70$ V.

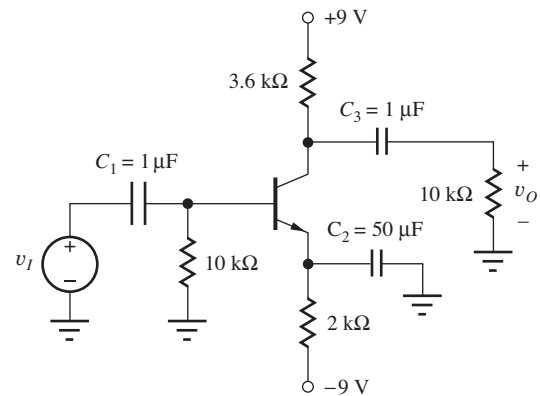


Figura P14.55

- 14.56** Nel circuito di Figura P14.56, $I_B = 10$ μ A. Si utilizzi SPICE per determinare le resistenze di uscita dei due circuiti facendo variare la tensione V_{CC} da 5 a 20 V. Si assuma $\beta_F = 60$ e $V_A = 20$ V. Si confrontino i risultati con i calcoli a mano eseguiti utilizzando i parametri del modello a piccolo segnale forniti da SPICE.

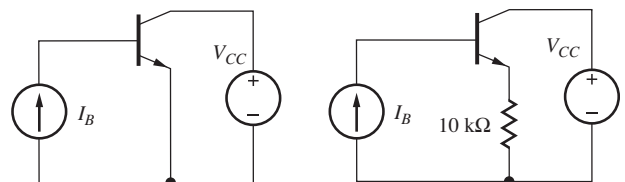


Figura P14.56

- 14.57** (a) Qual è la rappresentazione equivalente di Thévenin dell'amplificatore di Figura P14.57? (b) Quanto valgono v_{th} ed R_{th} se $R_I = 270$ Ω , $\beta_o = 100$, $g_m = 2$ mS e $r_o = 250$ k Ω ?

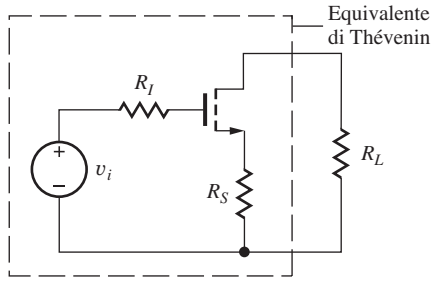


Figura P14.57

- 14.58** (a) Qual è la rappresentazione equivalente di Thévenin dell'amplificatore di Figura P14.58? (b) Quanto valgono v_{th} ed R_{th} se $R_I = 100 \text{ k}\Omega$, $R_S = 18 \text{ k}\Omega$, $g_m = 0.5 \text{ mS}$ e $r_o = 250 \text{ k}\Omega$?

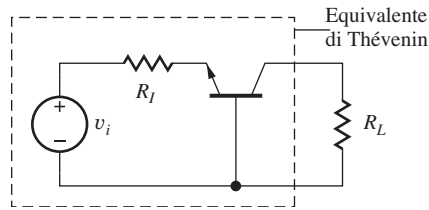


Figura P14.58

- 14.59** (a) Qual è la rappresentazione equivalente di Thévenin dell'amplificatore di Figura P14.59 se $R_I = 5 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$, $\beta_o = 100$, $g_m = 4 \text{ mS}$?

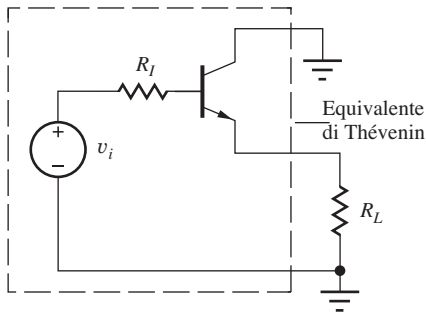


Figura P14.59

- 14.60** (a) L'inseguitore di emittore è disegnato come circuito a due porte in Figura P14.60. Si calcolino g_{21} e g_{12} in funzione dei parametri del modello a piccolo segnale. Si confrontino i risultati. (b) Quali sono i valori di g_{21} e g_{12} se $R_B = 150 \text{ k}\Omega$, $R_E = 2.4 \text{ k}\Omega$, $\beta_o = 100$, $g_m = 10 \text{ mS}$ e $r_o = 250 \text{ k}\Omega$?

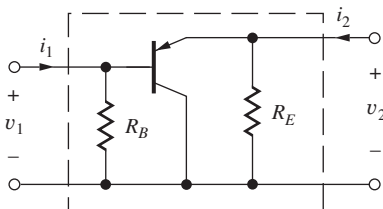


Figura P14.60

- 14.61** (a) L'inseguitore di source è disegnato come circuito a due porte in Figura P14.61. Si calcolino g_{12} e g_{21} in funzione dei parametri del modello a piccolo segnale. Si confrontino i risultati. (b) Quali sono i valori di g_{21} e g_{12} se $R_G = 1 \text{ M}\Omega$, $R_D = 50 \text{ k}\Omega$, $g_m = 400 \text{ }\mu\text{S}$ e $r_o = 450 \text{ k}\Omega$?

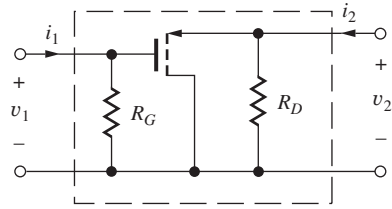


Figura P14.61

- 14.62** (a) L'amplificatore a base comune è disegnato come circuito a due porte in Figura P14.62. Si calcolino g_{12} e g_{21} in funzione dei parametri del modello a piccolo segnale. Si confrontino i risultati. (b) Quali sono i valori di g_{21} e g_{12} se $R_C = 18 \text{ k}\Omega$, $R_E = 3.9 \text{ k}\Omega$, $\beta_o = 100$, $g_m = 3 \text{ mS}$ e $r_o = 800 \text{ k}\Omega$?

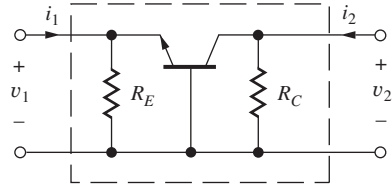


Figura P14.62

- 14.63** (a) L'amplificatore a gate comune è disegnato come circuito a due porte in Figura P14.63. Si calcolino g_{21} e g_{12} in funzione dei parametri del modello a piccolo segnale. Si confrontino i risultati. (b) Quali sono i valori di g_{21} e g_{12} se $R_S = 15 \text{ k}\Omega$, $R_D = 100 \text{ k}\Omega$, $g_m = 500 \text{ }\mu\text{S}$ e $r_o = 500 \text{ k}\Omega$?

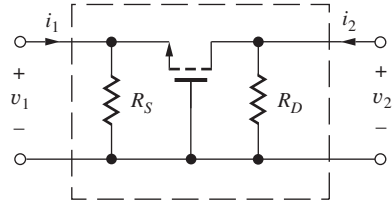


Figura P14.63

- 14.64** (a) L'amplificatore a emettitore comune è disegnato come circuito a due porte in Figura P14.64. Si calcolino g_{12} e g_{21} in funzione dei parametri del modello a piccolo segnale. Si confrontino i risultati. (b) Quali sono i valori di g_{21} e g_{12} se $R_B = 180 \text{ k}\Omega$, $R_E = 12 \text{ k}\Omega$, $R_C = 130 \text{ k}\Omega$, $\beta_o = 100$, $g_m = 2 \text{ }\mu\text{S}$ e $r_o = 1 \text{ M}\Omega$?

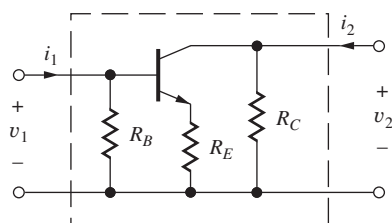


Figura P14.64

- 14.65** (a) L'amplificatore a source comune è disegnato come circuito a due porte in Figura P14.65. Si calcolino g_{21} e g_{12} in funzione dei parametri del modello a piccolo segnale. Si confrontino i risultati. (b) Quali sono i valori di g_{21} e g_{12} se $R_G = 1.5 \text{ M}\Omega$, $R_S = 12 \text{ k}\Omega$, $R_D = 130 \text{ k}\Omega$, $g_m = 0.75 \text{ mS}$ e $r_o = 330 \text{ k}\Omega$?

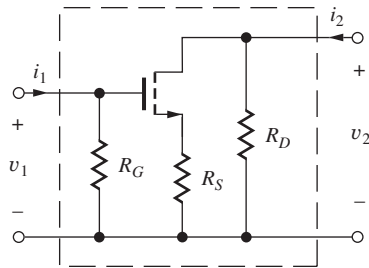


Figura P14.65

- 14.66** Nei nostri calcoli della resistenza di ingresso degli amplificatori a gate comune e a base comune abbiamo trascurato r_o . Si determini una stima migliore per R_{in} dello stadio a gate comune di Figura P14.66.

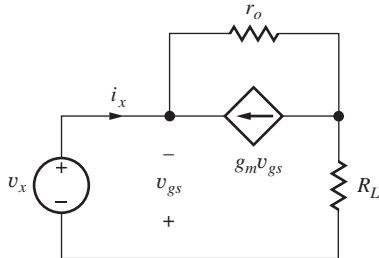


Figura P14.66

- 14.67** Il circuito di Figura P14.67 è chiamato invertitore di fase. Si calcolino i due guadagni $A_{v1} = v_{o1}/v_i$ e $A_{v2} = v_{o2}/v_i$. Qual è il massimo segnale AC che si può trovare all'uscita v_{o1} in questo particolare circuito? Si assuma $\beta_F = 100$.

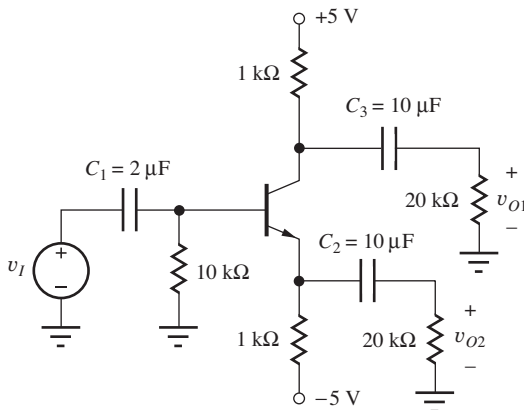


Figura P14.67

- 14.68** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(a) se $R_I = 500 \Omega$, $R_1 = 51 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_3 = 24 \text{ k}\Omega$, $R_E = 4.7 \text{ k}\Omega$, $R_C = 2 \text{ k}\Omega$ e $V_{CC} = V_{EE} = 18 \text{ V}$. Si usino $\beta_F = 125$ e $V_A = 50 \text{ V}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 10 \text{ kHz}$, $C_1 = 10 \mu\text{F}$, $C_2 = 47 \mu\text{F}$ e $C_3 = 10 \mu\text{F}$.

- 14.69** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(g) se $R_I = 500 \Omega$, $R_E = 68 \text{ k}\Omega$, $R_B = 1 \text{ M}\Omega$, $R_3 = 500 \text{ k}\Omega$, $R_C = 39 \text{ k}\Omega$ e $V_{EE} = -10 \text{ V}$, $V_{CC} = 10 \text{ V}$. Si usino $\beta_F = 80$ e $V_A = 75 \text{ V}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 4 \text{ kHz}$, $C_1 = 2.2 \mu\text{F}$, $C_2 = 47 \mu\text{F}$.

- 14.70** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(c) se $R_1 = 20 \text{ k}\Omega$, $R_2 = 62 \text{ k}\Omega$, $R_E = 6.8 \text{ k}\Omega$, $R_C = 16 \text{ k}\Omega$ e $V_{CC} = 12 \text{ V}$. Si usino $\beta_F = 75$ e $V_A = 60 \text{ V}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 5 \text{ kHz}$, $C_1 = 2.2 \mu\text{F}$, $C_2 = 47 \mu\text{F}$ e $C_3 = 10 \mu\text{F}$.

- 14.71** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(d) se $R_1 = 500 \text{ k}\Omega$, $R_2 = 1.4 \text{ M}\Omega$, $R_S = 27 \text{ k}\Omega$, $R_D = 75 \text{ k}\Omega$ e $V_{DD} = 18 \text{ V}$. Si usino $K_n = 500 \mu\text{A}/\text{V}^2$, $V_{TN} = 1 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 5 \text{ kHz}$, $C_1 = 2.2 \mu\text{F}$, $C_2 = 47 \mu\text{F}$, $C_3 = 10 \mu\text{F}$.

- 14.72** Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(e) se $R_I = 500 \Omega$, $R_S = 33 \text{ k}\Omega$, $R_3 = 100 \text{ k}\Omega$, $R_D = 24 \text{ k}\Omega$ e $V_{DD} = V_{SS} = 10 \text{ V}$. Si usino $K_p = 250 \mu\text{A}/\text{V}^2$, $V_{TP} = -1 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 50 \text{ kHz}$, $C_1 = 10 \mu\text{F}$, $C_2 = 47 \mu\text{F}$.

- 14.73** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(f) se $R_I = 500 \Omega$, $R_1 = 500 \text{ k}\Omega$, $R_2 = 500 \text{ k}\Omega$, $R_3 = 500 \text{ k}\Omega$, $R_E = 330 \text{ k}\Omega$ e $V_{CC} = V_{EE} = 5 \text{ V}$. Si usino $\beta_F = 100$ e $V_A = 60 \text{ V}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 10 \text{ kHz}$, $C_1 = 10 \mu\text{F}$, $C_2 = 47 \mu\text{F}$ e $C_3 = 10 \mu\text{F}$.

- 14.74** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(h) se $R_I = 500 \Omega$, $R_B = 100 \text{ k}\Omega$, $R_3 = 100 \text{ k}\Omega$, $R_E = 82 \text{ k}\Omega$, $R_C = 39 \text{ k}\Omega$ e $V_{EE} = V_{CC} = 12 \text{ V}$. Si usino $\beta_F = 50$ e $V_A = 50 \text{ V}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 12 \text{ kHz}$, $C_1 = 4.7 \mu\text{F}$, $C_2 = 47 \mu\text{F}$, $C_3 = 10 \mu\text{F}$.

- 14.75** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(j) se $R_1 = 2.2 \text{ M}\Omega$, $R_2 = 2.2 \text{ M}\Omega$, $R_S = 110 \text{ k}\Omega$, $R_D = 90 \text{ k}\Omega$ e $V_{DD} = 18 \text{ V}$. Si usino $K_p = 400 \mu\text{A}/\text{V}^2$, $V_{TN} = -1 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 7.5 \text{ kHz}$, $C_1 = 2.2 \mu\text{F}$, $C_2 = 47 \mu\text{F}$, $C_3 = 10 \mu\text{F}$.

- 14.76** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(k) se $R_I = 1 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$, $R_S = 51 \text{ k}\Omega$, $R_D = 20 \text{ k}\Omega$ e $V_{DD} = 15 \text{ V}$. Si usino $K_n = 500 \mu\text{A}/\text{V}^2$, $V_{TN} = -2 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 20 \text{ kHz}$, $C_1 = 2.2 \mu\text{F}$, $C_2 = 47 \mu\text{F}$, $C_3 = 10 \mu\text{F}$.

- 14.77** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(m) se $R_I = 5 \text{ k}\Omega$, $R_G = 10 \text{ M}\Omega$, $R_3 = 36 \text{ k}\Omega$, $R_D = 1.8 \text{ k}\Omega$ e $V_{DD} = 16 \text{ V}$. Si usino $K_n = 10 \text{ mA/V}^2$, $V_{TN} = -5 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 3 \text{ kHz}$, $C_1 = 2.2 \text{ }\mu\text{F}$, $C_2 = 10 \text{ }\mu\text{F}$.

- 14.78** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(n) se $R_I = 250 \text{ }\Omega$, $R_B = 33 \text{ k}\Omega$, $R_3 = 1 \text{ M}\Omega$, $R_E = 7.8 \text{ k}\Omega$, $V_{CC} = V_{EE} = 10 \text{ V}$. Si usino $\beta_F = 80$ e $V_A = 100 \text{ V}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 500 \text{ kHz}$, $C_1 = 4.7 \text{ }\mu\text{F}$, $C_2 = 100 \text{ }\mu\text{F}$ e $C_3 = 1 \text{ }\mu\text{F}$ e $L = 1 \text{ H}$.

- 14.79** (a) Si calcolino i valori di A_v , R_{in} e R_{out} per l'amplificatore di Figura P14.1(o) se $R_I = 10 \text{ k}\Omega$, $R_G = 1 \text{ M}\Omega$, $R_3 = 100 \text{ k}\Omega$ e $V_{DD} = V_{SS} = 6 \text{ V}$. Si usino $K_n = 400 \text{ }\mu\text{A/V}^2$, $V_{TN} = 1 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$. (b) Si usi SPICE per verificare i risultati dei calcoli manuali. Si assuma $f = 1 \text{ MHz}$, $C_1 = 2.2 \text{ }\mu\text{F}$, $C_3 = 4.7 \text{ }\mu\text{F}$ e $L = 100 \text{ mH}$.

14.7 Progetto dei condensatori di accoppiamento e di bypass

- 14.80** (a) L'amplificatore di Figura P14.1(d) presenta $R_1 = 500 \text{ k}\Omega$, $R_2 = 1.4 \text{ M}\Omega$, $R_S = 27 \text{ k}\Omega$, $R_D = 75 \text{ k}\Omega$ e $V_{DD} = 15 \text{ V}$. Si usino $K_n = 400 \text{ }\mu\text{A/V}^2$, $V_{TN} = 1 \text{ V}$ e $\lambda = 0.02 \text{ V}^{-1}$. Si scelgano i valori di C_1 , C_2 e C_3 in modo che essi possano essere trascurati alla frequenza di 400 Hz. (b) Si scelga C_2 in modo da fissare la frequenza di taglio inferiore a 4 kHz assumendo che C_1 e C_3 restino invariati.
- 14.81** (a) L'amplificatore di Figura P14.1(c) presenta $R_1 = 20 \text{ k}\Omega$, $R_2 = 62 \text{ k}\Omega$, $R_C = 8.2 \text{ k}\Omega$, $R_E = 3.9 \text{ k}\Omega$ e $V_{CC} = 12 \text{ V}$. Si usino $\beta_F = 75$ e $V_A = 60 \text{ V}$. Si scelgano i valori di C_1 , C_2 e C_3 in modo che essi possano essere trascurati alla frequenza di 100 Hz. (b) Si scelga C_2 in modo da fissare la frequenza di taglio inferiore a 1 kHz assumendo che C_1 e C_3 restino invariati.
- 14.82** Si calcoli la frequenza per la quale ciascuno dei condensatori in Figura P14.67 influisce in maniera trascurabile sul circuito.
- 14.83** (a) Si scelgano i valori di C_1 e C_2 in Figura P14.83 in modo che essi abbiano un effetto trascurabile alla frequenza di 50 kHz. (b) Si ripeta per una frequenza di 100 Hz.

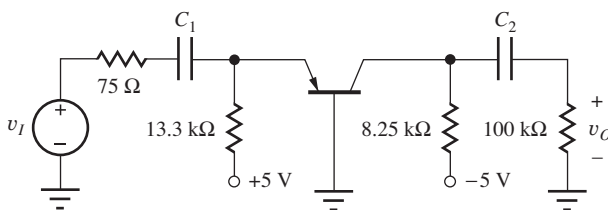


Figura P14.83

- 14.84** L'amplificatore di Figura P14.1(a) presenta $R_I = 500 \text{ }\Omega$, $R_1 = 51 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_3 = 24 \text{ k}\Omega$, $R_C = 0$, $R_E = 4.7 \text{ k}\Omega$ e $V_{CC} = V_{EE} = 15 \text{ V}$. Si usino

$\beta_F = 100$ e $V_A = 50 \text{ V}$. Si scelgano i valori di C_1 , C_2 in modo che essi possano essere trascurati alla frequenza di 50 Hz.

- 14.85** L'amplificatore di Figura P14.1(k) presenta $R_1 = 1 \text{ k}\Omega$, $R_S = 3.9 \text{ k}\Omega$, $R_3 = 100 \text{ k}\Omega$, $R_D = 20 \text{ k}\Omega$ e $V_{DD} = 15 \text{ V}$. Si usino $K_n = 500 \text{ }\mu\text{A/V}^2$, $V_{TN} = -2 \text{ V}$ e $\lambda = 0.02 \text{ V}^{-1}$. Si scelgano i valori di C_1 , C_2 e C_3 in modo che essi possano essere trascurati alla frequenza di 400 Hz.
- 14.86** (a) Si usi l'approccio a polo dominante per fissare la frequenza di taglio inferiore dell'amplificatore C-S dell'Esempio 14.5 a 1 kHz. Si scelgano i condensatori basandosi sui valori dell'esempio. (b) Si verifichi il progetto con SPICE.
- 14.87** (a) Si usi l'approccio a polo dominante per fissare la frequenza di taglio inferiore dell'amplificatore C-C dell'Esempio 14.6 a 2 kHz. Si scelgano i condensatori basandosi sui valori dell'esempio. (b) Si utilizzi l'approccio a polo dominante per fissare la frequenza di taglio inferiore dell'amplificatore C-G dell'Esempio 14.7 a 1 kHz. Si scelgano i condensatori basandosi sui valori dell'esempio. (c) Si verifichino i progetti con SPICE.

14.8 Esempi di progetto di amplificatori

- 14.88** Si ripeta il progetto dell'inseguitore di source dell'Esempio 14.4 per un MOSFET con $K_n = 30 \text{ mA/V}^2$ e $V_{TN} = 2 \text{ V}$. Si assuma $V_{GS} - V_{TN} = 0.5 \text{ V}$.
- 14.89** Nell'Esempio 14.9 è stato usato un amplificatore a base comune per l'accoppiamento adattato di una resistenza di ingresso di $75 \text{ }\Omega$. Si potrebbe in linea di principio adattare la resistenza di ingresso mediante uno stadio a emettitore comune (con $R_E = 0$). Quale corrente di collettore è richiesta per fissare $R_{in} = 75 \text{ }\Omega$ se il BJT ha $\beta_o = 100$?
- 14.90** Si ripeta l'Esempio 14.9 con una resistenza di ingresso di $50 \text{ }\Omega$.
- *14.91** Si riprogetti la rete di polarizzazione in modo che l'amplificatore a base comune di Figura 14.39 possa funzionare con una singola alimentazione a $+10 \text{ V}$.
- 14.92** Si riprogetti l'amplificatore a base comune di Figura 14.39 in modo che possa funzionare con due alimentazioni di $\pm 9 \text{ V}$ ottenendo le stesse specifiche.
- 14.93** Si vuole progettare un amplificatore a gate comune con resistenza di ingresso di $10 \text{ }\Omega$. Sono disponibili due MOSFET a canale n : uno con $K_n = 5 \text{ mA/V}^2$, l'altro con $K_n = 500 \text{ mA/V}^2$. Entrambi sono capaci di fornire il valore desiderato di R_{in} . Quale bisogna scegliere e perché? [Suggerimento: si trovi la corrente nel punto di funzionamento per ciascun transistor.]
- 14.94** In un progetto a base comune operante a $27 \text{ }^\circ\text{C}$, $1/g_m$ è fissato a $50 \text{ }\Omega$. Che valori di $1/g_m$ si ottengono a $-40 \text{ }^\circ\text{C}$ e a $+50 \text{ }^\circ\text{C}$?
- *14.95** (a) Si determini la stima, nel caso peggiore, del guadagno dell'amplificatore a base comune di Figura 14.39 se i resistori e le alimentazioni hanno

tutti una tolleranza del 5%. (b) Si confrontino le risposte con i risultati della simulazione Monte Carlo riportati in Tabella 14.17.

- **14.96**  Si usi SPICE per eseguire un'analisi Monte Carlo su un campione di 1000 casi per l'amplificatore a base comune di Figura 14.39 assumendo che i resistori e le alimentazioni abbiano una tolleranza del 5%. Si assuma che il guadagno di corrente β_F e V_A siano uniformemente distribuiti negli intervalli (60, 100) e (50, 70) rispettivamente. Quanto vale la media e il limite a 3σ del guadagno di tensione predetto da queste simulazioni? Si confrontino i valori a 3σ con il caso peggiore dei calcoli del Problema 14.95. Si confrontino le risposte con i risultati Monte Carlo riportati in Tabella 14.17. Si consideri $C_1 = 47 \mu\text{F}$, $C_2 = 4.7 \mu\text{F}$ e $f = 10 \text{ kHz}$.

- 14.97**  L'amplificatore a base comune di Figura P14.83 è l'implementazione del progetto dell'Esempio 14.9 utilizzando resistori disponibili commercialmente con tolleranza dell'1% i cui valori sono più prossimi a quelli calcolati. (a) Quali sono i valori del guadagno e della resistenza di ingresso, nel caso peggiore, se le alimentazioni hanno una tolleranza di $\pm 2\%$? (b) Si utilizzi un programma al computer o un foglio elettronico e si esegua un'analisi Monte Carlo su 1000 casi per trovare la media e i limiti a 3σ del guadagno e della resistenza di ingresso. Si confrontino questi risultati con la stima, nel caso peggiore, eseguita nella domanda (a).

- *14.98**  Si usi SPICE per eseguire un'analisi Monte Carlo su 1000 casi del circuito di Figura P14.83 assumendo che i resistori abbiano una tolleranza dell'1% e che le alimentazioni abbiano una tolleranza di $\pm 2\%$. Si trovi la media e i limiti a 3σ del guadagno e della resistenza di ingresso alla frequenza di 10 kHz. Si assuma che il guadagno di corrente β_F e V_A siano distribuiti uniformemente negli intervalli (60, 100) e (50, 70) rispettivamente. Si assuma $C_1 = 100 \mu\text{F}$, $C_2 = 1 \mu\text{F}$ e $f = 10 \text{ kHz}$.

- 14.99**  Si supponga di dimenticare il fattore 2 di attenuazione che si verifica all'ingresso dell'amplificatore a base comune dell'Esempio 14.9 e si scelga $V_{CC} = V_{EE} = 2.5 \text{ V}$. Si ripeta il progetto per verificare se le specifiche possono essere soddisfatte utilizzando questi valori di alimentazione.

- **14.100**  (a) Usare un foglio elettronico o un altro strumento di calcolo per eseguire l'analisi Monte Carlo del progetto di Figura 14.35. I resistori e le alimentazioni hanno il 5% di tolleranza. V_{TN} è distribuito uniformemente nell'intervallo [1 V, 2 V], e K_n è distribuito uniformemente nell'intervallo [10 mA/V², 30 mA/V²]. (b) Si utilizzi l'opzione Monte Carlo di SPICE per eseguire la stessa analisi alla frequenza di 10 kHz per $C_1 = 4.7 \mu\text{F}$ e $C_2 = 68 \mu\text{F}$. Si confrontino i risultati.

Ipotizzare $\beta_F = 100$, $V_A = 70 \text{ V}$, $K_p = K_n = 1 \text{ mA/V}^2$, $V_{TN} = -V_{TP} = 1 \text{ V}$ e $\lambda = 0.02 \text{ V}^{-1}$, se non specificato diversamente.

14.9 Amplificatori multistadio accoppiati in AC

- 14.101** Quanto valgono il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore di Figura 14.43 se si eliminano i condensatori di bypass C_2 e C_4 dal circuito?
- 14.102** La Figura P14.102 è una versione migliorata dell'amplificatore a tre stadi discusso nel Paragrafo 14.9. Si trovi il guadagno e il campo di variazione del segnale di ingresso di questo amplificatore. Sono realmente migliorate le prestazioni?
- 14.103**  Si utilizzi SPICE per simulare l'amplificatore di Figura P14.102 alla frequenza di 2 kHz e determinare il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita. Si assuma per tutti i condensatori un valore di 22 μF .
- 14.104** Si trovi la tensione a centro banda e la resistenza di ingresso dell'amplificatore in Figura P14.102 se i condensatori C_2 e C_4 sono eliminati dal circuito.
- 14.105**  Si utilizzi SPICE per determinare il guadagno dell'amplificatore di Figura P14.102 se si eliminano i condensatori C_2 e C_4 . Si assuma per tutti i condensatori un valore di 22 μF .

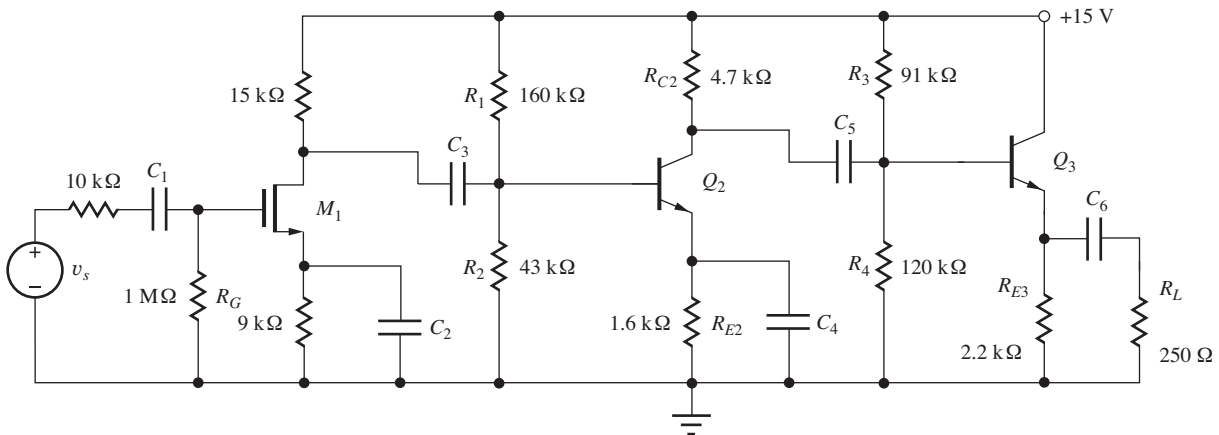


Figura P14.102

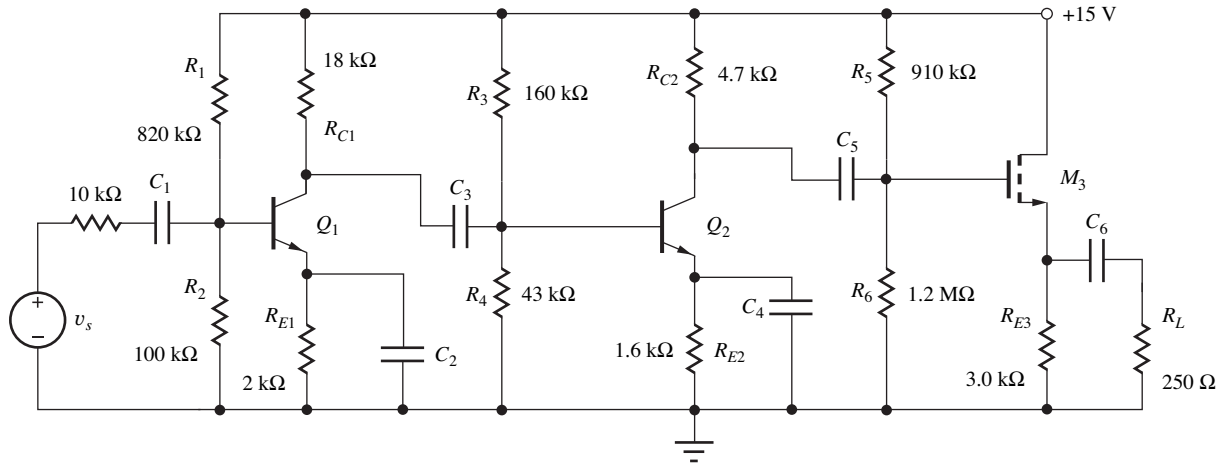


Figura P14.106

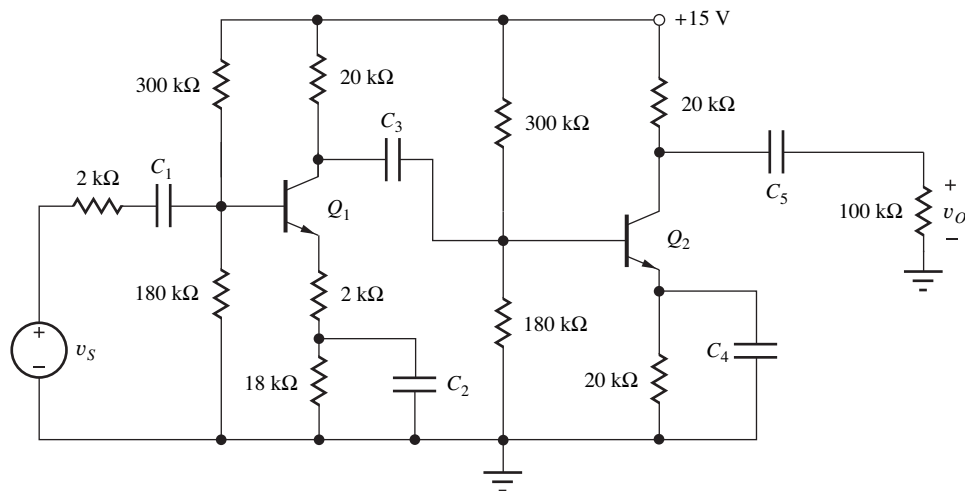


Figura P14.109

***14.106** La Figura P14.106 mostra un altro progetto migliorato dell'amplificatore a tre stadi discusso nel Paragrafo 14.9. Si trovi il guadagno e il campo di variazione del segnale di ingresso. Sono realmente migliorate le prestazioni?

14.107 Si utilizzi SPICE per simulare l'amplificatore di Figura P14.106 alla frequenza di 3 kHz e determinare il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita. Si assuma per tutti i condensatori un valore di 22 μF .

14.108 Qual è il guadagno dell'amplificatore di Figura P14.106 se si eliminano C_2 e C_4 ?

14.109 Quanto valgono il guadagno di tensione a centro banda, la resistenza di ingresso e la resistenza di uscita dell'amplificatore di Figura P14.109?

14.110 Quanto valgono il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita dell'amplificatore di Figura P14.109 se si eliminano i condensatori di bypass?

14.111 Si utilizzi SPICE per simulare l'amplificatore di Figura P14.109 alla frequenza di 5 kHz e si

determinino il guadagno di tensione, la resistenza di ingresso e la resistenza di uscita. Si assuma per tutti i condensatori un valore di 10 μF .

14.112 Si trovi il guadagno di centro banda e le resistenze di ingresso e di uscita dell'amplificatore in Figura P14.109 se il condensatore C_2 è connesso tra l'emettitore di Q_1 e la massa.

14.113 Quanto valgono il guadagno di tensione a centro banda, la resistenza di ingresso e la resistenza di uscita dell'amplificatore di Figura P14.113 se $K_n = 50 \text{ mA/V}^2$ e $V_{TN} = -2 \text{ V}$?

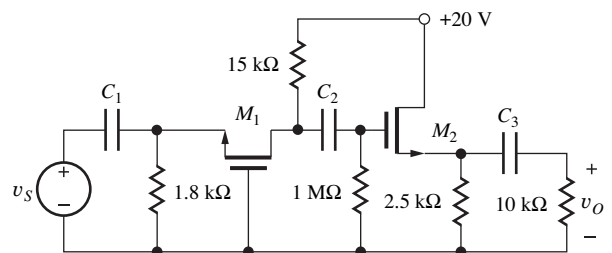


Figura P14.113

Stima della frequenza di taglio inferiore

- 14.114** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.68. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.115** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.69. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.116** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.70. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.117** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.71. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.118** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.72. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.119** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.74. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.120** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.76. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.121** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.77. Si confrontino i risultati con quelli di una simulazione SPICE.
- 14.122** Si utilizzi il metodo delle costanti di tempo in corto circuito per stimare la frequenza di taglio inferiore dell'amplificatore del Problema 14.113. Si confrontino i risultati con quelli di una simulazione SPICE.

Capitolo 15

Riepilogo

Nella maggior parte dei casi un circuito a singolo transistor non è in grado di soddisfare tutte le specifiche assegnate a un amplificatore (per esempio: guadagno di tensione elevato, elevata resistenza di ingresso e ridotta resistenza di uscita). Si rende pertanto necessario combinare più amplificatori a singolo stadio, in modo da ottenere le caratteristiche richieste.

- A seconda delle applicazioni, si utilizzano amplificatori multistadio accoppiati in AC oppure in DC (si parla, in questo secondo caso, di accoppiamento diretto). Negli amplificatori accoppiati in AC si può progettare indipendentemente il circuito di polarizzazione di ogni stadio; si possono inoltre utilizzare condensatori di bypass per eliminare elementi del circuito di polarizzazione dalla rete equivalente in AC dell'amplificatore. L'accoppiamento in DC può essere un approccio progettuale più efficace, in quanto consente di eliminare degli elementi circuitali (come i condensatori di accoppiamento e i resistori di polarizzazione); l'accoppiamento in DC, inoltre, consente di realizzare amplificatori in grado di fornire guadagno anche in continua e pertanto viene utilizzato all'interno degli amplificatori operazionali.
- Il più importante degli amplificatori accoppiati in DC è l'amplificatore differenziale simmetrico a due transistori (coppia differenziale). L'amplificatore differenziale rappresenta non solo il circuito base nel progetto degli amplificatori operazionali, ma è anche uno stadio fondamentale in tutti i circuiti integrati analogici. In questo capitolo abbiamo studiato in dettaglio gli amplificatori differenziali a BJT e a MOS. I parametri più importanti dell'amplificatore differenziale (i guadagni di modo differenziale e di modo comune, il rapporto di reiezione di modo comune CMRR, le resistenze di ingresso di modo differenziale e di modo comune e la resistenza di uscita) sono tutti legati ai parametri dei transistori e quindi al loro punto di lavoro.
- Un amplificatore differenziale è in grado di fornire sia un'uscita bilanciata (differenziale) che un'uscita singola, riferita a ground. L'uscita differenziale fornisce un guadagno di tensione doppio rispetto all'uscita singola e inoltre esibisce un CMRR molto maggiore (infinito nel caso ideale). Le caratteristiche a piccolo segnale della coppia differenziale possono essere efficacemente rappresentate con un modello a doppio bipolo.
- Una delle applicazioni più importanti dell'amplificatore differenziale è il suo utilizzo come stadio di ingresso negli amplificatori operazionali. Aggiungendo all'amplificatore differenziale un secondo stadio in grado di fornire ulteriore guadagno e uno stadio di uscita, si realizza un amplificatore operazionale elementare. Le caratteristiche degli amplificatori differenziali e operazionali possono essere migliorate drasticamente grazie all'utilizzo di generatori di corrente elettronici. Un amplificatore operazionale generalmente richiede più generatori di corrente che vengono realizzati a partire da una singola tensione di riferimento.
- Un generatore di corrente ideale è in grado di erogare una corrente costante, indipendente dalla tensione ai suoi capi: in altre parole deve essere caratterizzato da una resistenza di uscita infinita. I generatori di corrente elettronici consentono di ottenere resistenze di uscita estremamente elevate; in questo capitolo abbiamo studiato alcune topologie circuitali di base per realizzare generatori di corrente elettronici e le tecniche per aumentarne la resistenza di uscita.
- Il prodotto della corrente erogata per la resistenza di uscita è una tensione, V_{cs} , che rappresenta una figura di merito per un generatore di corrente. Utilizzando dispositivi bipolari si può realizzare un generatore di corrente a singolo transistor con una V_{cs} che può tendere al valore di $\beta_o V_A$; per un BJT con caratteristiche particolarmente buone, questo prodotto può raggiungere 10 kV. Nel caso di generatori di corrente MOS, V_{cs} può essere una frazione non trascurabile del fattore $\mu_f V_{SS}$, in cui V_{SS} è la tensione di alimentazione; in questo modo si possono raggiungere valori di V_{cs} ben maggiori di 1000 V.
- I generatori di corrente elettronici possono essere modellati in SPICE mediante un generatore di corrente DC in parallelo a un resistore, di valore pari alla resistenza di uscita del generatore.
- La coppia Darlington, formata da due transistori *pnp* o *nnp* presenta un guadagno di corrente molto maggiore di quello di un singolo transistor *pnp* o *nnp*.
- Gli amplificatori possono essere classificati come operanti in classe A, in classe B o in classe AB, a seconda del loro angolo di conduzione. Gli amplificatori in clas-

se A hanno un angolo di conduzione di 360° , in classe B l'angolo di conduzione è 180° , mentre per gli amplificatori in classe AB l'angolo di conduzione è compreso fra 180° e 360° . L'efficienza di un amplificatore in classe A non può superare il 25% per segnali sinusoidali, mentre l'amplificatore in classe AB ha un limite superiore per l'efficienza del 78.5%. Gli amplificatori in classe B sono caratterizzati dalla distorsione di attraversamento (cross-over), causata da una zona morta nella caratteristica di trasferimento.

- Negli amplificatori in classe AB la distorsione di attraversamento viene eliminata a spese di un piccolo aumento nella dissipazione di potenza in condizioni di quiescenza e quindi di una piccola riduzione di efficienza. Scegliendo opportunamente la corrente che attraversa l'amplificatore in condizioni di quiescenza, l'efficienza di un amplificatore in classe AB può tendere a quella di uno stadio in classe B. Le caratteristiche di un amplificatore operativo possono essere migliorate passando da uno stadio di uscita inseguitore, in classe A, a uno stadio in classe AB. In pratica gli stadi di uscita in classe AB sono utilizzati molto spesso negli ampli-

catori operazionali e includono, inoltre, circuiteria aggiuntiva per proteggere l'amplificatore da cortocircuiti in uscita.

- Gli stadi amplificatori possono talora utilizzare un accoppiamento a trasformatore; in questo caso si sfruttano le proprietà di trasformazione di impedenza del trasformatore per pilotare efficacemente carichi a bassa impedenza come, per esempio, degli altoparlanti.
- La tecnologia dei circuiti integrati consente di realizzare su di uno stesso chip un gran numero di transistori con caratteristiche pressoché identiche. Benché le tolleranze dei parametri dei dispositivi integrati, in valore assoluto, siano piuttosto elevate, le caratteristiche di due dispositivi realizzati nello stesso microcircuito sono molto simili fra loro, con differenze che possono essere inferiori all'1%. Ciò ha portato allo sviluppo di particolari tecniche circuitali che sfruttano al meglio la possibilità di disporre di dispositivi equivalenti e il cui funzionamento è legato al rapporto del valore di due parametri, più che al valore assoluto dei parametri stessi. Queste tecniche sono utilizzate diffusamente per il progetto di circuiti integrati analogici.

Problemi

Se non specificato diversamente, si usino $\beta_F = 100$, $V_A = 70 \text{ V}$, $K_p = K_n = 1 \text{ mA/V}^2$, $V_{TN} = -V_{TP} = 1 \text{ V}$ e $\lambda = 0.02 \text{ V}^{-1}$.

15.1 Amplificatori differenziali

- 15.1** (a) Quali sono i punti di lavoro dei transistori della Figura P15.1 se $V_{CC} = 12 \text{ V}$, $V_{EE} = 12 \text{ V}$, $R_{EE} = 270 \text{ k}\Omega$, $R_C = 330 \text{ k}\Omega$ e $\beta_F = 100$? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e uscita di modo differenziale? (c) Quanto valgono il guadagno di modo comune, il CMRR e la resistenza di ingresso per uscita riferita a massa?

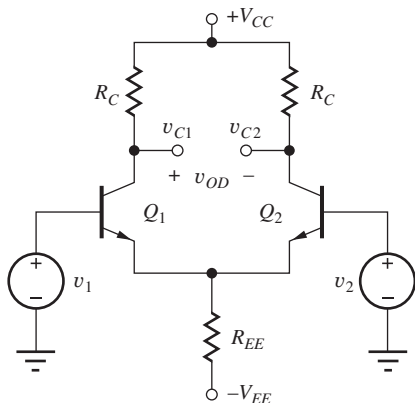


Figura P15.1

Le soluzioni si trovano sul sito web dedicato al libro



- 15.2** (a) Quali sono i punti di lavoro dei transistori della Figura P15.1 se $V_{CC} = 1.5 \text{ V}$, $V_{EE} = 1.5 \text{ V}$, $R_{EE} = 75 \text{ k}\Omega$, $R_C = 100 \text{ k}\Omega$ e $\beta_F = 60$? (b) Quanto valgono il guadagno di modo differenziale, quello di modo comune, le resistenze di ingresso e uscita di modo differenziale e comune e il CMRR?
- 15.3** S Si utilizzi SPICE per simulare l'amplificatore del Problema 15.1 alla frequenza di 1 kHz e si calcolino il guadagno di modo differenziale, quello di modo comune, le resistenze di ingresso di modo differenziale e comune e il CMRR. (b) Si applichi in ingresso un segnale sinusoidale di 25 mV e 1 kHz , si effettui un'analisi in transitorio e si visualizzino le forme d'onda di uscita. Si effettui un'analisi della distorsione con SPICE per valutare la distorsione armonica.
- 15.4** (a) Quali sono i punti di lavoro dei transistori della Figura P15.1 se $V_{CC} = 1.5 \text{ V}$, $V_{EE} = 1.5 \text{ V}$, $R_{EE} = 47 \text{ k}\Omega$, $R_C = 100 \text{ k}\Omega$ e $\beta_F = 100$? (b) Quanto valgono il guadagno di modo differenziale, quello di modo comune, le resistenze di ingresso e uscita di modo differenziale e comune e il CMRR?
- *15.5** (a) Si usi il guadagno di modo comune per trovare le tensioni v_{C1} , v_{C2} e v_{OD} per l'amplificatore differenziale di Figura P15.1 se $V_{CC} = 12 \text{ V}$, $V_{EE} = 12 \text{ V}$, $R_{EE} = 270 \text{ k}\Omega$, $R_C = 240 \text{ k}\Omega$, $v_1 = 5 \text{ V}$ e $v_2 = 5 \text{ V}$. (b) Si trovino i punti di lavoro dei transistori con V_{CM} applicata. Si ricalcolino v_{C1} e v_{C2} e si confrontino i risultati con quelli del punto (a). Qual è l'origine delle discrepanze?

15.6 Si progetti un amplificatore differenziale con un guadagno differenziale di 58 dB e $R_{ID} = 100 \text{ k}\Omega$ utilizzando il circuito di Figura P15.1 con $V_{CC} = V_{EE} = 9 \text{ V}$ e $\beta_F = 120$. (Ci si assicuri della fattibilità del progetto mediante le regole empiriche relative agli amplificatori a singolo stadio, prima di addentrarsi nei calcoli.)

15.7 Si progetti un amplificatore differenziale con un guadagno differenziale di 46 dB e $R_{ID} = 1 \text{ M}\Omega$ utilizzando il circuito di Figura P15.1 con $V_{CC} = V_{EE} = 12 \text{ V}$ e $\beta_F = 100$. (Ci si assicuri della fattibilità del progetto mediante le regole empiriche relative agli amplificatori a singolo stadio, prima di addentrarsi nei calcoli.)

***15.8** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.8 se $V_{CC} = 12 \text{ V}$, $V_{EE} = 12 \text{ V}$, $I_{EE} = 400 \text{ }\mu\text{A}$, $R_{EE} = 200 \text{ k}\Omega$, $R_C = 39 \text{ k}\Omega$ e $\beta_F = 100$, $V_A \rightarrow \infty$? (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso e uscita di modo differenziale e di modo comune? (c) Si ripeta il punto (b) per $V_A = 50 \text{ V}$.

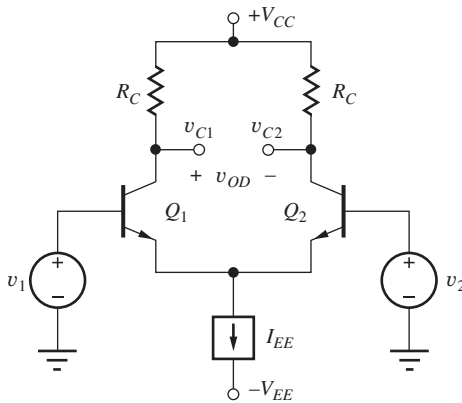


Figura P15.8

***15.9** Quali sono le tensioni v_{C1} , v_{C2} e v_{OV} per l'amplificatore differenziale della Figura P15.8 se $V_{CC} = 12 \text{ V}$, $V_{EE} = 12 \text{ V}$, $I_{EE} = 400 \text{ }\mu\text{A}$, $R_{EE} = 200 \text{ k}\Omega$, $R_C = 39 \text{ k}\Omega$ e $\beta_F = 75$, $v_1 = 2.005 \text{ V}$ e $v_2 = 1.995 \text{ V}$? Qual è il campo di variazione del segnale di ingresso di modo comune di questo amplificatore?

15.10 Qual è il valore della corrente I_{EE} necessario per ottenere $R_{ID} = 5 \text{ M}\Omega$ nel circuito di Figura P15.8 se $\beta_o = 100$? Che resistenza di uscita R_{EE} è richiesta per avere un CMRR di 100 dB?

15.11 Per l'amplificatore di Figura P15.11 $V_{CC} = 10 \text{ V}$, $V_{EE} = 10 \text{ V}$, $I_{EE} = 20 \text{ }\mu\text{A}$, $R_C = 910 \text{ k}\Omega$ e $\beta_F = 100$. (a) Quali sono le tensioni di uscita v_o e V_o per l'amplificatore se $v_s = 0 \text{ V}$ e $v_s = 2 \text{ mV}$? (b) Qual è il massimo valore di v_s ?

15.12 Per l'amplificatore di Figura P15.11 $V_{CC} = 12 \text{ V}$, $V_{EE} = 12 \text{ V}$, $I_{EE} = 200 \text{ }\mu\text{A}$, $R_C = 110 \text{ k}\Omega$ e $\beta_F = 120$. (a) Quali sono le tensioni di uscita v_o e V_o per l'amplificatore se $v_s = 0 \text{ V}$ e $v_s = 1 \text{ mV}$? (b) Qual è il massimo valore di v_s ?

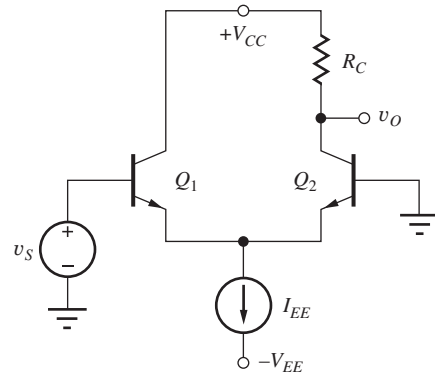


Figura P15.11

15.13 (a) Si utilizzi SPICE per simulare l'amplificatore del Problema 15.12 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune. (b) Si applichi un segnale sinusoidale di ampiezza 25 mV e frequenza 1 kHz e si usi SPICE per determinare la distorsione armonica.

15.14 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.14 se $V_{CC} = 15 \text{ V}$, $V_{EE} = 15 \text{ V}$, $R_{EE} = 150 \text{ k}\Omega$, $R_C = 200 \text{ k}\Omega$ e $\beta_F = 150$? (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

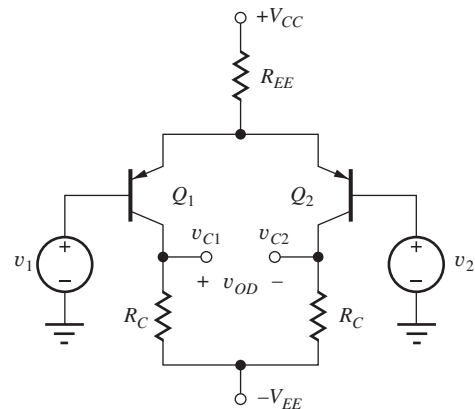


Figura P15.14

15.15 Quali sono le tensioni v_{C1} , v_{C2} e v_{OV} per l'amplificatore differenziale della Figura P15.14 se $V_{CC} = 10 \text{ V}$, $V_{EE} = 10 \text{ V}$, $R_{EE} = 430 \text{ k}\Omega$, $R_C = 560 \text{ k}\Omega$ e $\beta_F = 100$, $v_1 = 1 \text{ V}$ e $v_2 = 0.99 \text{ V}$?

15.16 Si utilizzi SPICE per simulare l'amplificatore del Problema 15.15 alla frequenza di 5 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune.

15.17 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.17 se $V_{CC} = 3 \text{ V}$, $V_{EE} = 3 \text{ V}$, $I_{EE} = 10 \text{ }\mu\text{A}$, $R_{EE} = 5 \text{ M}\Omega$, $R_C = 390 \text{ k}\Omega$ e $\beta_F = 80$? (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR,

le resistenze di ingresso di modo differenziale e di modo comune e il campo di variazione del segnale di ingresso di modo comune?

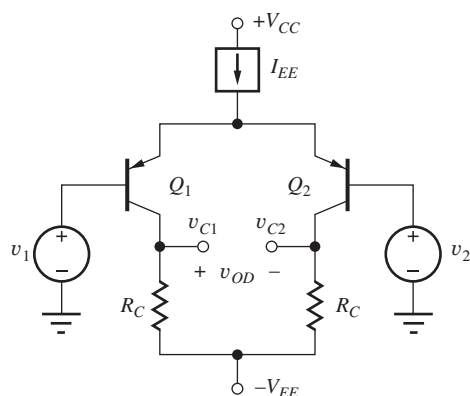


Figura P15.17

- 15.18** Quali sono le tensioni v_{C1} , v_{C2} e v_{OD} per l'amplificatore differenziale della Figura P15.17 se $V_{CC} = 22\text{ V}$, $V_{EE} = 22\text{ V}$, $I_{EE} = 1\text{ mA}$, $R_{EE} = 500\text{ k}\Omega$, $R_C = 15\text{ k}\Omega$ e $\beta_F = 120$, $v_1 = 0.01\text{ V}$ e $v_2 = 0\text{ V}$?

- ***15.19** L'amplificatore differenziale di Figura P15.19 presenta una differenza tra i valori dei resistori di collettore. Si calcolino A_{db} , A_{cd} e il CMRR se l'uscita è quella differenziale v_{OD} e $R = 100\text{ k}\Omega$, $\Delta R/R = 0.01$, $V_{CC} = V_{EE} = 15\text{ V}$ e $R_{EE} = 100\text{ k}\Omega$.

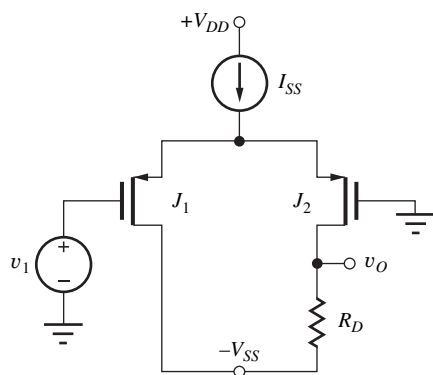


Figura P15.19

- 15.20** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.19 alla frequenza di 100 Hz e si determinino il guadagno di modo differenziale, il guadagno di modo comune e il CMRR.

- ***15.21** I transistori dell'amplificatore differenziale di Figura P15.21 presentano una differenza nei valori delle transconduttanze. Si calcolino A_{db} , A_{cd} e il CMRR se l'uscita è quella differenziale v_{OD} e $R = 100\text{ k}\Omega$, $g_m = 3\text{ mS}$, $\Delta g_m/g_m = 0.01$, $V_{CC} = V_{EE} = 15\text{ V}$ e $R_{EE} = 100\text{ k}\Omega$.

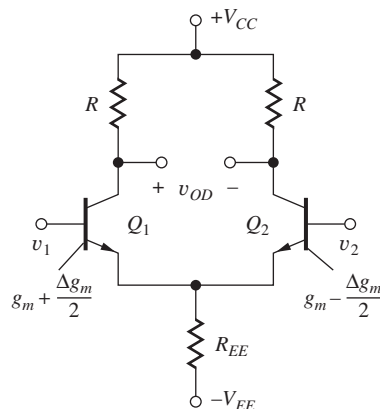


Figura P15.21

Amplificatori differenziali a MOSFET

- 15.22** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.22 se $V_{DD} = 12\text{ V}$, $V_{SS} = 12\text{ V}$, $R_{SS} = 220\text{ k}\Omega$, $R_D = 330\text{ k}\Omega$? Si assuma $K_n = 400\text{ }\mu\text{A/V}^2$ e $V_{TN} = 1\text{ V}$. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

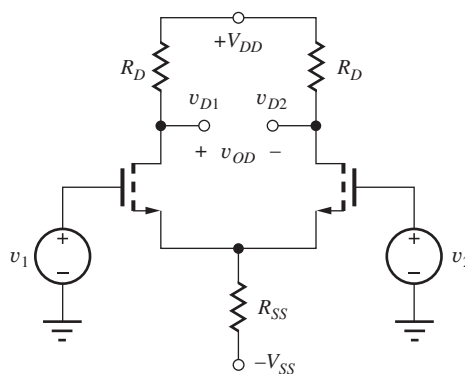


Figura P15.22

- 15.23** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.22 se $V_{DD} = 15\text{ V}$, $V_{SS} = 15\text{ V}$, $R_{SS} = 62\text{ k}\Omega$, $R_D = 62\text{ k}\Omega$? Si assuma $K_n = 400\text{ }\mu\text{A/V}^2$ e $V_{TN} = 1\text{ V}$. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?
- 15.24** (a) Si utilizzi SPICE per simulare l'amplificatore del Problema 15.22 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR e le resistenze di ingresso di modo differenziale e di modo comune. (b) Si applichi un segnale sinusoidale di ampiezza 250 mV e frequenza 1 kHz e si usi SPICE per determinare la distorsione armonica.

- 15.25** Si progetti un amplificatore differenziale con una resistenza di uscita di modo differenziale di $5\text{ k}\Omega$ e $A_{dm} = 20\text{ dB}$ utilizzando il circuito di Figura P15.22 con $V_{DD} = V_{SS} = 5\text{ V}$. Si assuma $V_{TN} = 1\text{ V}$ e $K_n = 25\text{ mA/V}^2$.

- *15.26** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.26 se $V_{DD} = 15$ V, $V_{SS} = 15$ V, $R_{SS} = 62$ k Ω , $R_D = 62$ k Ω ? Si assuma $K_n = 400$ $\mu\text{A}/\text{V}^2$, $\gamma = 0.75$ $\sqrt{\text{V}}$, $2\phi_F = 0.6$ V e $V_{TO} = 1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune? (c) Quale sarebbe il punto di lavoro per $\gamma = 0$?

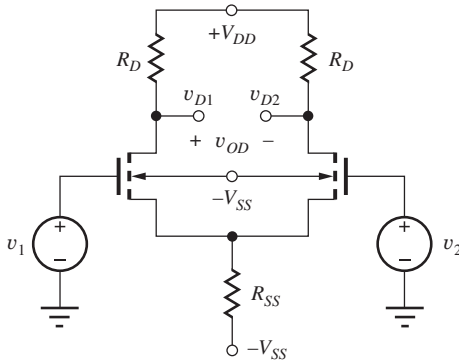


Figura P15.26

- 15.27** (a) Si utilizzi SPICE per simulare l'amplificatore del Problema 15.26 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR e le resistenze di ingresso di modo differenziale e di modo comune. (b) Si applichi un segnale sinusoidale di ampiezza 25 mV e frequenza 1 kHz e si usi SPICE per determinare la distorsione armonica dell'uscita.

- *15.28** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.26 se $V_{DD} = 12$ V, $V_{SS} = 12$ V, $R_{SS} = 220$ k Ω , $R_D = 330$ k Ω ? Si assuma $K_n = 400$ $\mu\text{A}/\text{V}^2$, $\gamma = 0.75$ $\sqrt{\text{V}}$, $2\phi_F = 0.6$ V e $V_{TO} = 1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

- 15.29** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.29 se $V_{DD} = 9$ V, $V_{SS} = 9$ V, $R_{SS} = 1.25$ M Ω , $R_D = 300$ k Ω , $I_{SS} = 40$ μA ? Si assuma $K_n = 400$ $\mu\text{A}/\text{V}^2$ e $V_{TN} = 1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

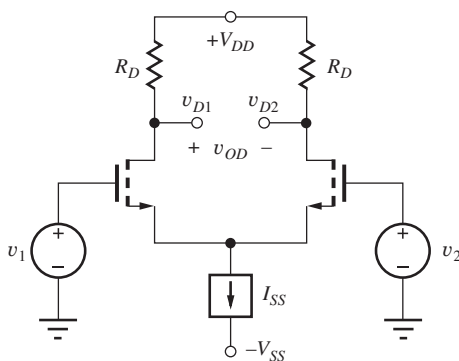


Figura P15.29

- 15.30** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.29 se $V_{DD} = 15$ V, $V_{SS} = 15$ V, $R_{SS} = 160$ k Ω , $R_D = 75$ k Ω , $I_{SS} = 300$ μA ? Si assuma $K_n = 400$ $\mu\text{A}/\text{V}^2$ e $V_{TN} = 1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

- 15.31** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.31 se $V_{DD} = 9$ V, $V_{SS} = 9$ V, $R_{SS} = 1.25$ M Ω , $R_D = 300$ k Ω , $I_{SS} = 40$ μA ? Si assuma $K_n = 400$ $\mu\text{A}/\text{V}^2$, $\gamma = 0.75$ $\sqrt{\text{V}}$, $2\phi_F = 0.6$ V e $V_{TO} = 1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

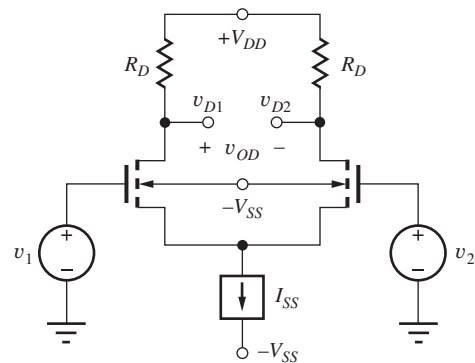


Figura P15.31

- *15.32** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.31 se $V_{DD} = 15$ V, $V_{SS} = 15$ V, $R_{SS} = 160$ k Ω , $R_D = 75$ k Ω , $I_{SS} = 300$ μA ? Si assuma $K_n = 400$ $\mu\text{A}/\text{V}^2$, $\gamma = 0.75$ $\sqrt{\text{V}}$, $2\phi_F = 0.6$ V e $V_{TO} = 1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

- 15.33** Si progetti un amplificatore differenziale con un guadagno di modo differenziale di 30 dB usando il circuito di Figura P15.31 con $V_{DD} = V_{SS} = 7.5$ V. Il circuito deve avere il massimo campo di variazione possibile del segnale di ingresso di modo comune. Si assuma $V_{TN} = 1$ V e $K_n = 5$ mA/V².

- 15.34** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.34 se $V_{DD} = 18$ V, $V_{SS} = 18$ V, $R_{SS} = 56$ k Ω , $R_D = 91$ k Ω ? Si assuma $K_p = 200$ $\mu\text{A}/\text{V}^2$ e $V_{TP} = -1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

- 15.35** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.34 alla frequenza di 3 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR e le resistenze di ingresso di modo differenziale e di modo comune.

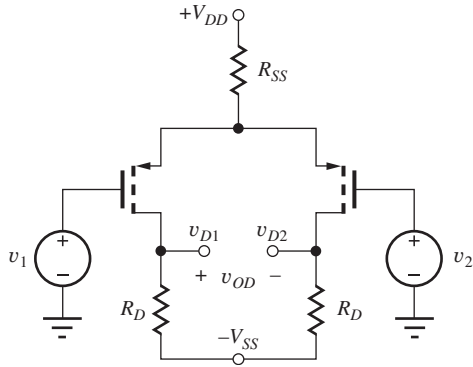


Figura P15.34

- *15.36** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.36 se $V_{DD} = 10$ V, $V_{SS} = 10$ V, $R_{SS} = 1.25$ M Ω , $R_D = 300$ k Ω , $I_{SS} = 40$ μ A. Si assuma $K_p = 200$ μ A/V², $\gamma = 0.6$ $\sqrt{V}$, $2\phi_F = 0.6$ V e $V_{TO} = -1$ V. (b) Quanto valgono il guadagno di modo differenziale, il guadagno di modo comune, il CMRR, le resistenze di ingresso di modo differenziale e di modo comune?

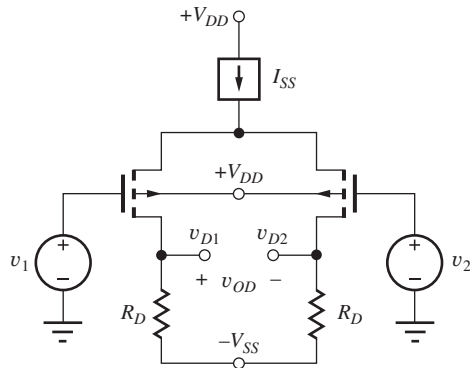


Figura P15.36

- 15.37** Per l'amplificatore della Figura P15.37, $V_{DD} = 12$ V, $V_{SS} = 12$ V, $I_{SS} = 20$ μ A e $R_D = 820$ k Ω . Si assuma $K_p = 1$ mA/V² e $V_{TP} = +1$ V. (a) Quanto vale la tensione di uscita $v_1 = 0$ V e $v_1 = 20$ mV? (b) Qual è il massimo valore possibile di v_1 ?

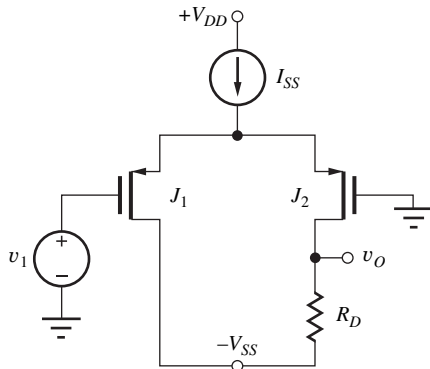


Figura P15.37

Analisi con mezzo circuito

- *15.38** (a) Si disegnano i mezzi circuiti di modo differenziale e di modo comune per l'amplificatore di Figura P15.38. (b) Si usino i mezzi circuiti per trovare i punti di lavoro, il guadagno di modo differenziale, il guadagno di modo comune e la resistenza di ingresso di modo differenziale se $\beta_o = 150$, $V_{CC} = 22$ V, $V_{EE} = 22$ V, $R_{EE} = 200$ k Ω , $R_1 = 2$ k Ω e $R_C = 200$ k Ω .

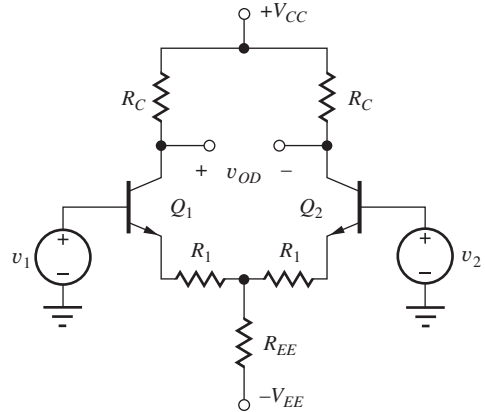


Figura P15.38

- 15.39** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.38 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune e la resistenza di ingresso di modo differenziale.
- *15.40** (a) Si disegnano i mezzi circuiti di modo differenziale e di modo comune per l'amplificatore di Figura P15.40. (b) Si usino i mezzi circuiti per trovare i punti di lavoro, il guadagno di modo differenziale, il guadagno di modo comune e la resistenza di ingresso di modo differenziale se $\beta_o = 100$, $V_{CC} = 20$ V, $V_{EE} = 20$ V, $I_{EE} = 100$ μ A, $R_{EE} = 600$ k Ω .

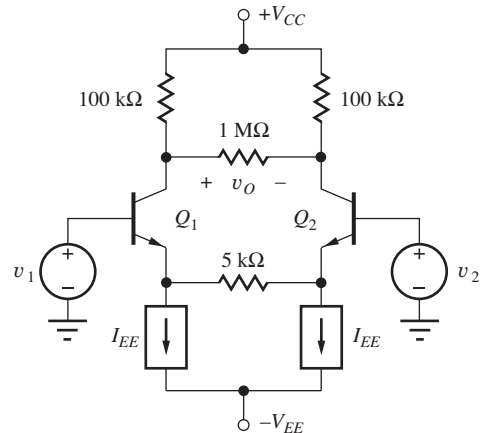


Figura P15.40

- 15.41** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.40 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune e la resistenza di ingresso di modo differenziale.

- *15.42** (a) Si disegnano i mezzi circuiti di modo differenziale e di modo comune per l'amplificatore di Figura P15.42. (b) Si usino i mezzi circuiti per trovare i punti di lavoro, il guadagno di modo differenziale, il guadagno di modo comune e la resistenza di ingresso di modo differenziale se $V_{CC} = 15\text{ V}$, $V_{EE} = 15\text{ V}$, $I_{EE} = 100\text{ }\mu\text{A}$, $R_D = 75\text{ k}\Omega$, $R_{EE} = 500\text{ k}\Omega$, $\beta_o = 100$, $K_n = 220\text{ }\mu\text{A/V}^2$ e $V_{TN} = -4\text{ V}$. (c) Si mostri che Q_1 e Q_2 sono in regione attiva.

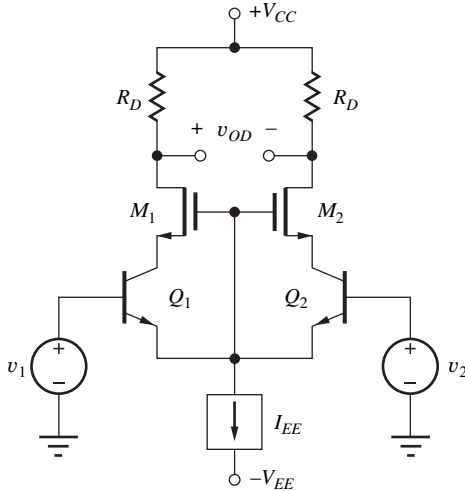


Figura P15.42

- **15.43** (a) Si disegnano i mezzi circuiti di modo differenziale e di modo comune per l'amplificatore di Figura P15.43. (b) Si usino i mezzi circuiti per trovare i punti di lavoro, il guadagno di modo differenziale, il guadagno di modo comune e la resistenza di ingresso di modo differenziale se $K_n = 1000\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.75\text{ V}$, $K_p = 500\text{ }\mu\text{A/V}^2$, $V_{TP} = -0.75\text{ V}$, $I_1 = 200\text{ }\mu\text{A}$, $I_2 = 100\text{ }\mu\text{A}$, $V_{DD} = 6\text{ V}$, $V_{SS} = 6\text{ V}$, $R_D = 30\text{ k}\Omega$.

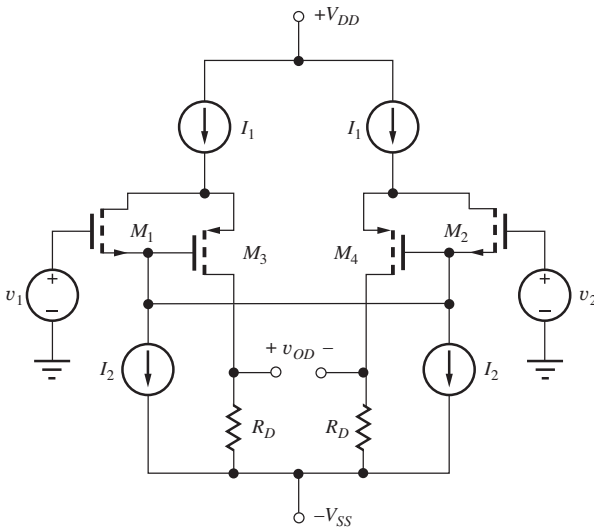


Figura P15.43

- 15.44** (a) Si ripeta il Problema 15.43 con $V_{DD} = 1.5\text{ V}$, $-V_{SS} = -1.5\text{ V}$ e $R_D = 10\text{ k}\Omega$. (b) Qual è il campo di variazione del segnale di modo comune in ingresso?

15.2 Gli amplificatori operazionali

- 15.45** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.45 se $V_{CC} = 12\text{ V}$, $V_{EE} = 12\text{ V}$, $I_1 = 50\text{ }\mu\text{A}$, $R = 24\text{ k}\Omega$, $\beta_o = 100$ e $V_A = 60\text{ V}$? (b) Quanto valgono il guadagno di modo differenziale e la resistenza di ingresso di modo differenziale? (c) Quanto vale la resistenza di uscita? (d) Quanto vale la resistenza di ingresso di modo comune? (e) Quale terminale è l'ingresso non invertente?

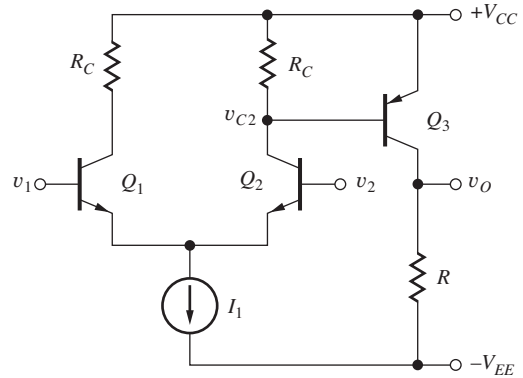


Figura P15.45

- 15.46** Qual è il campo di variazione del segnale di ingresso di modo comune per l'amplificatore del Problema 15.45 se il generatore I_1 viene sostituito da un generatore di corrente elettronico che presenta una caduta di tensione di 0.75 V ai suoi capi in condizioni normali di lavoro?
- 15.47** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.45 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR e le resistenze di modo differenziale di ingresso e di uscita.
- 15.48** Il circuito mostrato in Figura P15.48 viene denominato collegamento Darlington di due transistori.

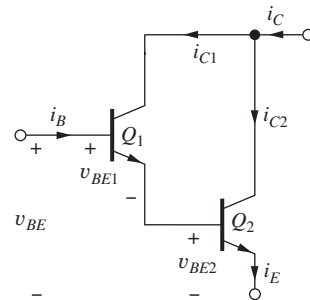


Figura P15.48

Assumendo che l'emettitore sia collegato a massa, si ricavano le espressioni seguenti:

$$\begin{aligned} I_{C1} &= \beta_{F1} I_B & I_{C2} &= \beta_{F2} (\beta_{F1} + 1) I_B \\ I_C &\approx \beta_{F1} \beta_{F2} I_B \\ g_{m2} &= \beta_{o1} g_{m1} & r_{\pi1} &= \beta_{o1} r_{\pi2} \\ r_{o1} &= \beta_{o1} r_{o2} \end{aligned}$$

$$\beta_o = \frac{i_c}{i_b} \approx \beta_{o1}\beta_{o2}$$

$$G_m = \frac{i_c}{v_{be}} = \frac{g_{m1}}{2} + \frac{g_{m2}}{2} \approx \frac{g_{m2}}{2}$$

$$R_{iB} = \frac{v_{be}}{i_b} = r_{\pi 1} + (\beta_{o1} + 1)r_{\pi 2} \approx 2\beta_{o1}r_{\pi 2}$$

$$R_{iC} = \frac{v_{ce2}}{i_c} \approx r_{o2} \parallel 2\frac{r_{o1}}{\beta_{o2}} \approx \frac{2}{3}r_{o2}$$

15.49 Il transistor Q_3 in Figura P15.45 è sostituito da un Darlington *npn*. Si disegni il nuovo amplificatore e si ripeta il Problema 15.45 (si vedano le Figure P15.48 e P15.81).

15.50 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.50 se $V_{CC} = 15$ V, $V_{EE} = 15$ V, $I_1 = 200$ μ A, $R_E = 2.4$ k Ω , $R = 50$ k Ω , $\beta_o = 80$ e $V_A = 70$ V? (b) Quanto valgono il guadagno di modo differenziale e la resistenza di ingresso di modo differenziale? (c) Quanto vale la resistenza di uscita? (d) Quanto vale la resistenza di ingresso di modo comune? (e) Quale terminale è l'ingresso non invertente?

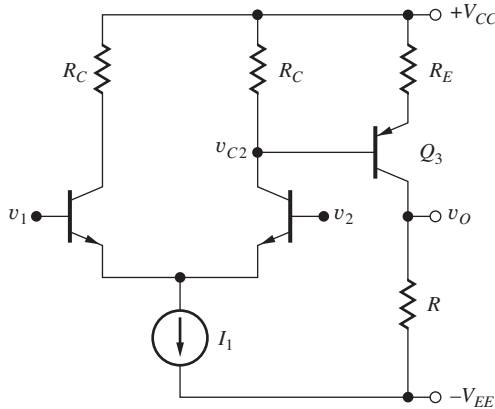


Figura P15.50

15.51 Qual è il campo di variazione del segnale di ingresso di modo comune per l'amplificatore del Problema 15.50 se il generatore I_1 viene sostituito da un generatore di corrente elettronico che presenta una caduta di tensione di 0.75 V ai suoi capi in condizioni normali di lavoro?

15.52 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.50 se $V_{CC} = 15$ V, $V_{EE} = 15$ V, $I_1 = 200$ μ A, $R_E = 0$, $R = 50$ k Ω , $\beta_o = 80$ e $V_A = 70$ V? (b) Quanto valgono il guadagno di modo differenziale e la resistenza di ingresso di modo differenziale? (c) Quanto vale la resistenza di ingresso di modo comune?

***15.53** Si disegni un grafico del guadagno di tensione di modo differenziale dell'amplificatore del Problema 15.52 in funzione di R_E (può essere utile adoperare il computer).

15.54 Si progetti un amplificatore con $R_{out} = 1$ k Ω e $A_{dm} = 2000$ usando il circuito di Figura P15.45. Si consideri $V_{CC} = V_{EE} = 9$ V.

15.55 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.55 se $V_{CC} = 15$ V, $V_{EE} = 15$ V, $I_1 = 200$ μ A, $I_2 = 300$ μ A, $R_E = 2.4$ k Ω , $\beta_o = 80$ e $V_A = 70$ V? (b) Quanto valgono il guadagno di modo differenziale e la resistenza di ingresso di modo differenziale?

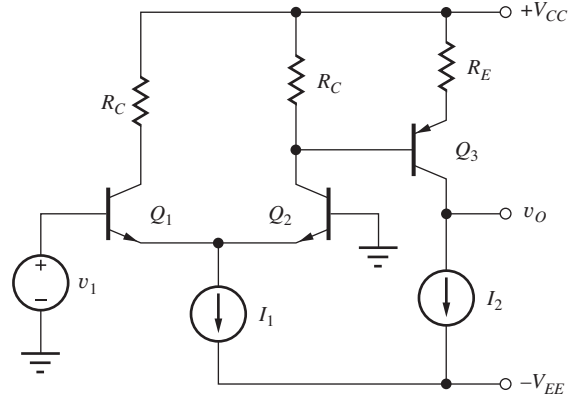


Figura P15.55

15.56 Si utilizzi SPICE per simulare l'amplificatore del Problema 15.55 e si confrontino i risultati con quelli dei calcoli manuali.

15.57 Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.55 se $V_{CC} = 15$ V, $V_{EE} = 15$ V, $I_1 = 200$ μ A, $I_2 = 300$ μ A, $R_E = 0$, $\beta_o = 100$ e $V_A = 70$ V?

***15.58** Si disegni un grafico del guadagno di tensione di modo differenziale dell'amplificatore del Problema 15.55 in funzione di R_E (può essere utile adoperare il computer).

15.59 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.59 se $V_{CC} = 15$ V, $V_{EE} = 15$ V, $I_1 = 500$ μ A, $I_2 = 500$ μ A, $R_1 = 2$ M Ω e $R_2 = 2$ M Ω ? Usare $\beta_o = 80$, $V_A = 75$ V, $K_p = 5$ mA/V² e $V_{TP} = -1$ V. (b) Quanto valgono il guadagno di modo differenziale, la resistenza di ingresso di modo differenziale e la resistenza di uscita? (c) Quale terminale è l'ingresso non invertente? (d) Quale terminale è l'ingresso invertente?

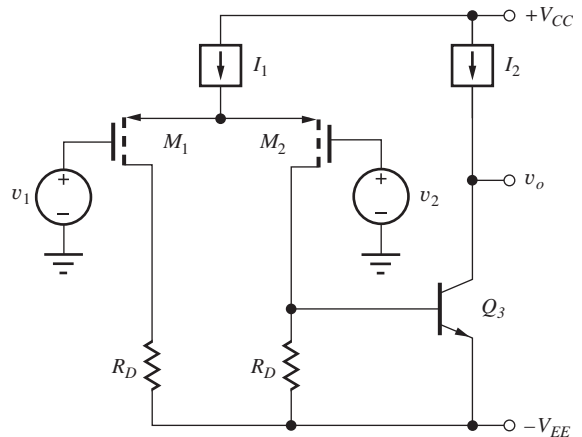


Figura P15.59

15.60 Si utilizzi SPICE per simulare l'amplificatore del Problema 15.59 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il guadagno di modo comune, il CMRR e le resistenze di modo differenziale di ingresso e di uscita.

15.61 Qual è il guadagno di tensione dell'amplificatore della Figura P15.59 se $V_{CC} = 5\text{ V}$, $V_{EE} = 5\text{ V}$, $I_1 = 500\text{ }\mu\text{A}$, $I_2 = 100\text{ }\mu\text{A}$, $R_1 = 20\text{ M}\Omega$, $R_2 = 10\text{ M}\Omega$, $\beta_o = 80$, $V_A = 75\text{ V}$, $K_p = 5\text{ mA/V}^2$ e $V_{TP} = -1\text{ V}$?

15.62 Qual è il campo di variazione del segnale di ingresso di modo comune per l'amplificatore del Problema 15.61 se il generatore I_1 viene sostituito da un generatore di corrente elettronico che presenta una caduta di tensione di 0.75 V ai suoi capi in condizioni normali di lavoro?

15.63 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.63 se $V_{CC} = 5\text{ V}$, $V_{EE} = 5\text{ V}$, $I_1 = 500\text{ }\mu\text{A}$, $I_2 = 500\text{ }\mu\text{A}$, $R_1 = 1\text{ M}\Omega$ e $R_2 = 1\text{ M}\Omega$? Si usino $\beta_o = 80$, $V_A = 75\text{ V}$, $K_p = 5\text{ mA/V}^2$ e $V_{TP} = -1\text{ V}$. (b) Quanto valgono il guadagno di modo differenziale, la resistenza di ingresso e la resistenza di uscita? (Si veda il Problema 15.48.)

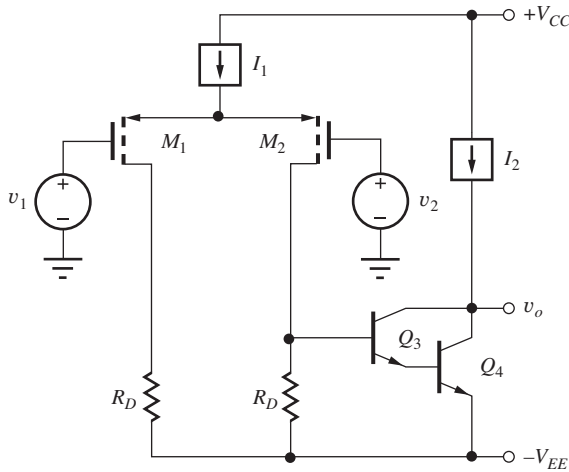


Figura P15.63

***15.64** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.63 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il CMRR e le resistenze di modo differenziale di ingresso e di uscita.

15.65 (a) Si ridisegni l'amplificatore operazionale di Figura 15.27(a) con Q_4 sostituito da un Darlington npn (si veda il Problema 15.48). (b) Quali sono i nuovi valori del guadagno di tensione, CMRR, resistenze di ingresso e uscita? Si utilizzino i dati dell'Esempio 15.4 per gli elementi circuitali e confrontare i risultati.

15.66 Si simuli con SPICE il circuito del Problema 15.65.

15.67 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.67 se $V_{CC} = 15\text{ V}$, $V_{EE} = 15\text{ V}$, $I_1 = 100\text{ }\mu\text{A}$, $I_2 = 350\text{ }\mu\text{A}$, $I_3 = 1\text{ mA}$,

$\beta_F = 100$, $V_A = 50\text{ V}$? (b) Quanto valgono il guadagno di modo differenziale, la resistenza di ingresso di modo differenziale? (c) Quanto vale la resistenza di uscita? (d) Qual è la resistenza di ingresso di modo comune? (e) Quale terminale è l'ingresso non invertente?

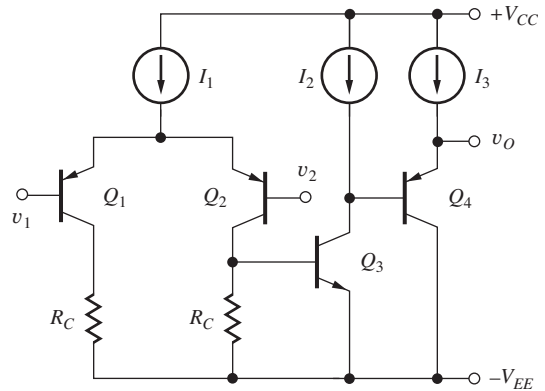


Figura P15.67

***15.68** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.67 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il CMRR e le resistenze di modo differenziale di ingresso e di uscita.

15.69 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.69 se $V_{DD} = 12\text{ V}$, $V_{SS} = 12\text{ V}$, $I_1 = 500\text{ }\mu\text{A}$, $I_2 = 2\text{ mA}$, $I_3 = 5\text{ mA}$, $K_n = 5\text{ mA/V}^2$, $V_{TN} = 0.75\text{ V}$, $\lambda_n = 0.02\text{ V}^{-1}$, $K_p = 2\text{ mA/V}^2$, $V_{TP} = -0.75\text{ V}$, $\lambda_p = 0.015\text{ V}^{-1}$? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita?

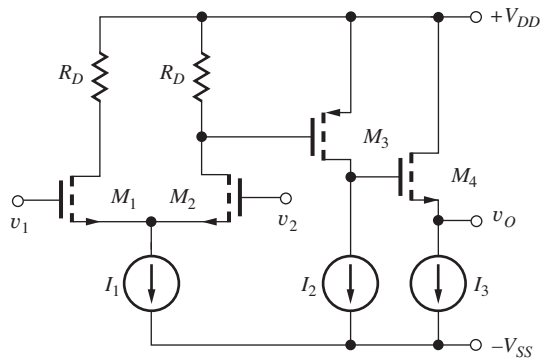


Figura P15.69

***15.70** Si utilizzi SPICE per simulare l'amplificatore del Problema 15.69 alla frequenza di 1 kHz e si determinino il guadagno di modo differenziale, il CMRR e le resistenze di modo differenziale di ingresso e di uscita.

15.71 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.71 se $V_{DD} = 5\text{ V}$, $V_{SS} = 5\text{ V}$, $I_1 = 600\text{ }\mu\text{A}$, $I_2 = 500\text{ }\mu\text{A}$, $I_3 = 2\text{ mA}$, $K_n = 5\text{ mA/V}^2$, $V_{TN} = 0.70\text{ V}$, $\lambda_n = 0.02\text{ V}^{-1}$, $K_p = 2\text{ mA/V}^2$, $V_{TP} = -0.70\text{ V}$, $\lambda_p = 0.015\text{ V}^{-1}$? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita?

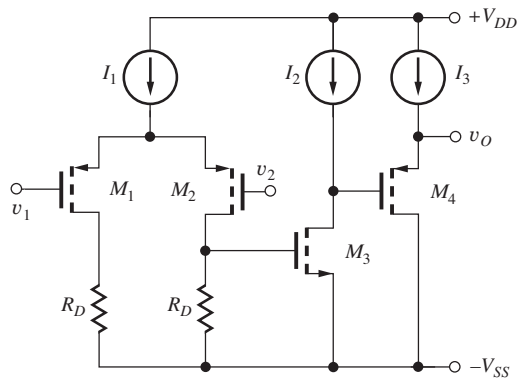


Figura P15.71

15.72 Si simuli con SPICE il circuito del Problema 15.71 e si confrontino i risultati con i calcoli manuali.

15.73 Il transistor M_3 della Figura P15.71 è sostituito da un BJT *nnp* con $\beta_o = 150$ e $V_A = 70$ V. Quali sono i valori del guadagno di modo differenziale e delle resistenze di ingresso e uscita del nuovo amplificatore? Si utilizzino i valori degli elementi di circuito del Problema 15.71.

15.74 Si simuli con SPICE il circuito del Problema 15.73 e si confrontino i risultati con i calcoli manuali.

15.75 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.75 se $V_{CC} = 5$ V, $V_{EE} = 5$ V, $I_1 = 200$ μ A, $I_2 = 500$ μ A, $I_3 = 2$ mA, $\beta_o = 100$, $R_L = 2$ k Ω , $V_A = 50$ V, $K_n = 5$ mA/V² e $V_{TN} = 0.70$ V? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita? (c) Si utilizzi SPICE per simulare l'amplificatore a una frequenza di 2 kHz e si determini il guadagno di modo differenziale, il CMRR, la resistenza di ingresso di modo differenziale e la resistenza di uscita.

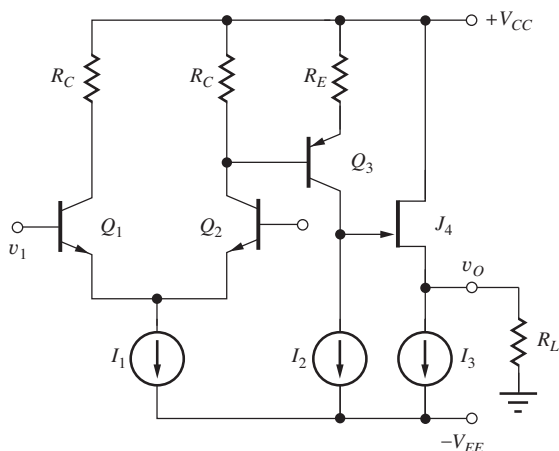


Figura P15.75

15.76 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.76 se $V_{CC} = 3$ V, $V_{EE} = 3$ V, $I_1 = 10$ μ A, $I_2 = 50$ μ A, $I_3 = 250$ μ A, $R_{C1} = 300$ k Ω , $R_{C2} = 78$ k Ω , $R_L = 5$ k Ω , $\beta_{on} = 100$, $V_{AN} = 50$ V, $\beta_{op} = 50$, $V_{AP} = 70$ V? (b) Quanto valgono il guadagno di modo differenziale e le

resistenze di ingresso e di uscita? (c) Qual è il terminale di ingresso non invertente? Qual è il terminale di ingresso invertente? (d) Qual è il guadagno predetto dalla nostra stima di prima approssimazione? Quali sono le ragioni delle discrepanze?

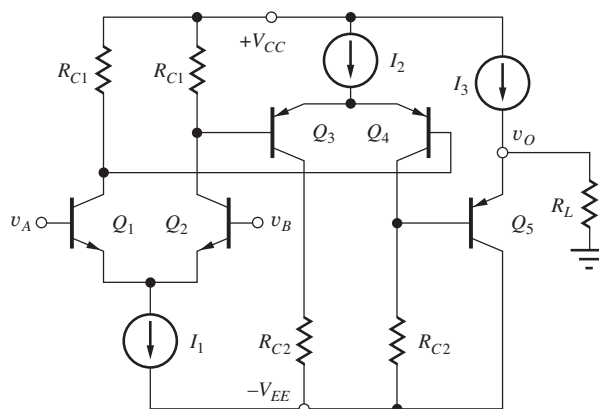


Figura P15.76

****15.77** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.76 se $V_{CC} = 18$ V, $V_{EE} = 18$ V, $I_1 = 100$ μ A, $I_2 = 200$ μ A, $I_3 = 750$ μ A, $R_{C1} = 120$ k Ω , $R_{C2} = 170$ k Ω , $R_L = 2$ k Ω , $\beta_{on} = 100$, $V_{AN} = 50$ V, $\beta_{op} = 50$, $V_{AP} = 70$ V? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita? (c) Qual è il campo di variazione del segnale di ingresso di modo comune? (d) Si stimi la tensione di offset dell'amplificatore.

15.78 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.78 se $V_{CC} = 12$ V, $V_{EE} = 12$ V, $I_1 = 200$ μ A, $R = 12$ k Ω , $\beta_F = 100$, $V_{AN} = 70$ V? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita?

***15.79** Si progetti un amplificatore utilizzando il circuito di Figura P15.78 con una resistenza di ingresso di 300 k Ω e una resistenza di uscita di 100 Ω . Si possono ottenere queste specifiche se $V_{CC} = V_{EE} = 12$ V, $\beta_{FO} = 100$ e $V_A = 60$ V? Se è possibile, quali sono i valori di I_1 , R_C , R e del guadagno di tensione dell'amplificatore? Se non è possibile, cosa bisogna cambiare?

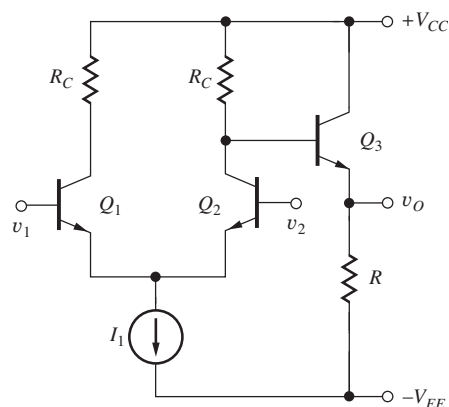


Figura P15.78

***15.80** Si progetti un amplificatore utilizzando il circuito di Figura P15.78 con una resistenza di ingresso di $1\text{ M}\Omega$ e una resistenza di uscita $\leq 2\ \Omega$. Si possono ottenere queste specifiche se $V_{CC} = V_{EE} = 9\text{ V}$, $\beta_{FO} = 100$ e $V_A = 60\text{ V}$? Se è possibile, quali sono i valori di I_1 , R_C , R e del guadagno di tensione dell'amplificatore? Se non è possibile, cosa bisogna cambiare?

15.81 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.81 se $V_{CC} = 18\text{ V}$, $V_{EE} = 18\text{ V}$, $I_1 = 50\ \mu\text{A}$, $I_2 = 500\ \mu\text{A}$, $I_3 = 5\text{ mA}$, $\beta_{on} = 100$, $V_{AN} = 50\text{ V}$, $\beta_{op} = 50$, $V_{AP} = 70\text{ V}$? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita?

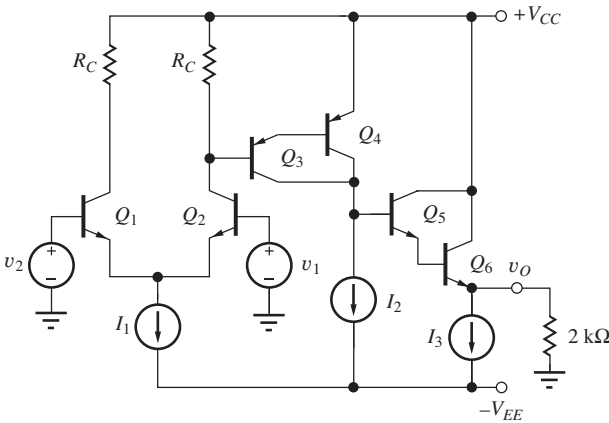


Figura P15.81

15.82 (a) Quali sono i punti di lavoro dei transistori dell'amplificatore della Figura P15.81 se $V_{CC} = 22\text{ V}$, $V_{EE} = 22\text{ V}$, $I_1 = 50\ \mu\text{A}$, $I_2 = 500\ \mu\text{A}$, $I_3 = 5\text{ mA}$, $\beta_{on} = 100$, $V_{AN} = 50\text{ V}$, $\beta_{op} = 50$, $V_{AP} = 70\text{ V}$? (b) Quanto valgono il guadagno di modo differenziale e le resistenze di ingresso e di uscita?

15.3 Stadi di uscita

15.83 Qual è la corrente di riposo dello stadio in classe AB di Figura P15.83 se $K_p = K_n = 600\ \mu\text{A}/\text{V}^2$ e $V_{TN} = -V_{TP} = 0.75\text{ V}$?

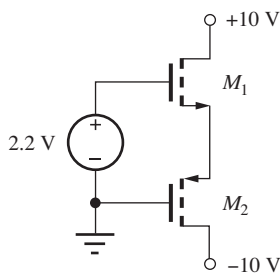


Figura P15.83

***15.84** Qual è la corrente di riposo dello stadio in classe AB di Figura P15.83 se $K_p = 400\ \mu\text{A}/\text{V}^2$, $K_n = 600\ \mu\text{A}/\text{V}^2$, $V_{TN} = 0.7\text{ V}$ e $V_{TP} = -0.8\text{ V}$?

15.85 Qual è la corrente di riposo dello stadio in classe AB di Figura P15.85 se entrambi i transistori hanno $I_S = 1\text{ fA}$?

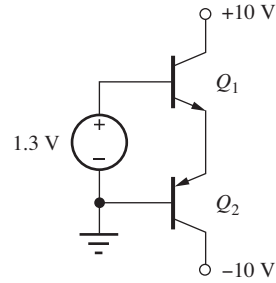


Figura P15.85

***15.86** Qual è la corrente di riposo dello stadio in classe AB di Figura P15.85 se $I_S = 1\text{ fA}$ per il transistore *pnp* e $I_S = 4\text{ fA}$ per il transistore *npn*?

15.87 Si disegni un diagramma della caratteristica di trasferimento in tensione del circuito di Figura P15.87. Si indichino i punti importanti sulla caratteristica.

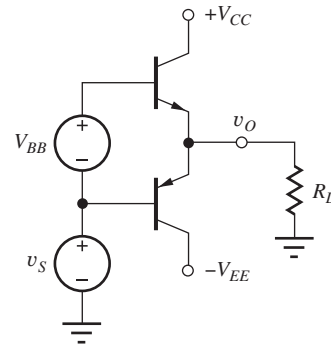


Figura P15.87

15.88 Si utilizzi SPICE per disegnare la caratteristica di trasferimento in tensione dello stadio di classe AB di Figura P15.87 se $I_S = 1\text{ fA}$ e $\beta_F = 50$ per il transistore *pnp* e $I_S = 1\text{ fA}$ e $\beta_F = 60$ per il transistore *npn*, $V_{BB} = 1.3\text{ V}$ e $R_L = 1\text{ k}\Omega$.

15.89 Qual è la corrente di riposo dello stadio in classe AB di Figura P15.89 se $I_S = 0.1\text{ fA}$ per il transistore *pnp* e $I_S = 1\text{ fA}$ per il transistore *npn*, $I_B = 250\ \mu\text{A}$ e $R_B = 5\text{ k}\Omega$? Si assuma $\beta_F \rightarrow \infty$ e $v_o = 0$.

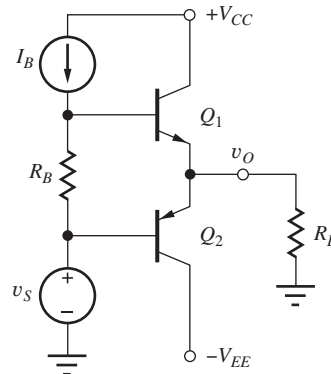


Figura P15.89

15.90 Qual è la corrente di riposo dello stadio in classe AB di Figura P15.90 se $V_{TN} = 0.75\text{ V}$, $V_{TP} = -0.75\text{ V}$, $K_n = 500\ \mu\text{A}/\text{V}^2$, $K_p = 200\ \mu\text{A}/\text{V}^2$, $I_G = 500\ \mu\text{A}$ e $R_G = 4\text{ k}\Omega$?

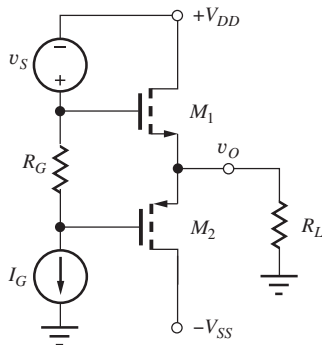


Figura P15.90

- 15.91** L'inseguitore di source di Figura 15.33 ha $V_{DD} = V_{SS} = 10\text{ V}$ e $R_L = 1\text{ k}\Omega$. Se l'amplificatore fornisce una uscita di $5 \sin(2000\pi t)\text{ V}$, qual è il minimo valore di I_{SS} ? Quali sono i valori massimi e minimi della corrente di source i_S durante l'escursione del segnale? Qual è il rendimento?
- 15.92** Uno stadio complementare ideale in classe B genera in uscita un'onda quadra su un carico di $5\text{ k}\Omega$ con valore di picco di 5 V con alimentazione di $\pm 10\text{ V}$. Qual è il rendimento dell'amplificatore?
- *15.93** Uno stadio di uscita complementare in classe B genera un'onda triangolare su un carico di $100\text{ k}\Omega$ con valore di picco di 10 V con alimentazione di $\pm 10\text{ V}$. Qual è il rendimento dell'amplificatore?
- **15.94** (a) Si utilizzi l'opzione "analisi di Fourier" di SPICE per trovare l'ampiezza della prima, della seconda, della terza, della quarta e della quinta armonica del segnale di ingresso introdotte dalla regione di attraversamento dell'amplificatore in classe B di Figura P15.87 se $V_{BB} = 0$, $V_{CC} = V_{EE} = 5\text{ V}$, $v_S = 4 \sin(2000\pi t)\text{ V}$ e $R_L = 2\text{ k}\Omega$.
(b) Si ripeta per $V_{BB} = 1.3\text{ V}$.

Protezione da cortocircuito

- 15.95** Quanto vale la corrente nel carico R_L , nel circuito di Figura 15.40, nel punto in cui comincia a intervenire la protezione ($V_{BE2} = 0.7\text{ V}$) se $R = 10\text{ }\Omega$, $R_1 = 1\text{ k}\Omega$ e $R_L = 250\text{ }\Omega$? Per quale valore di v_S comincia a intervenire la protezione?
- 15.96** Si utilizzi SPICE per simulare il circuito del Problema 15.95 e si confrontino i risultati con i calcoli eseguiti manualmente. Si discutano le ragioni delle discrepanze.
- 15.97** Quali sono le correnti in M_4 e M_5 nell'amplificatore di Figura 15.39(a) se $V_{DD} = V_{SS} = 15\text{ V}$, $I_2 = 250\text{ }\mu\text{A}$, $R_G = 7\text{ k}\Omega$, $R_L = 2\text{ k}\Omega$ e $V_{TN} = 0.75\text{ V}$, $V_{TP} = -0.75\text{ V}$, $K_n = 5\text{ mA/V}^2$ e $K_p = 2\text{ mA/V}^2$?
- 15.98** Quali sono le correnti in Q_4 e Q_5 nell'amplificatore di Figura 15.39(b) se $V_{CC} = V_{EE} = 15\text{ V}$, $I_2 = 500\text{ }\mu\text{A}$, $R_B = 2.4\text{ k}\Omega$, $R_L = 2\text{ k}\Omega$ e Q_3 è modellato da una tensione $V_{CESAT} = 0.2\text{ V}$ e una resistenza serie di $50\text{ }\Omega$ quando è in saturazione?

Accoppiamento con trasformatore

- 15.99** Si calcoli la resistenza di uscita del circuito inseguitore (vista da R_L) di Figura 15.42(a) se $n = 10$ e $I_S = 10\text{ mA}$.
- 15.100** Per il circuito di Figura P15.100, $v_S = \sin(2000\pi t)\text{ V}$, $V_{CC} = V_{EE} = 9\text{ V}$, $R_E = 82\text{ k}\Omega$, $R_B = 200\text{ k}\Omega$. Che valore di n occorre per trasferire la massima potenza a R_L se $R_L = 10\text{ }\Omega$? Qual è la potenza? Si assuma $C_1 = C_2 \rightarrow \infty$.

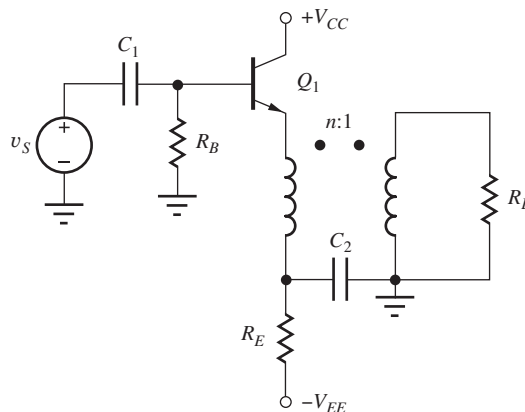


Figura P15.100

15.4 Generatori di corrente elettronici

- 15.101** Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.101(a) se $V_{EE} = 12\text{ V}$, $R_1 = 2\text{ M}\Omega$, $R_2 = 2\text{ M}\Omega$, $R_E = 220\text{ k}\Omega$, $\beta_o = 100$ e $V_A = 50\text{ V}$?
(b) Si ripeta per il circuito in Figura P15.101(b).

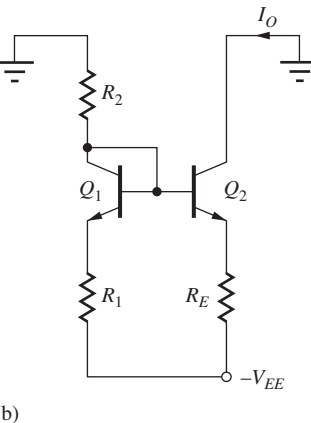
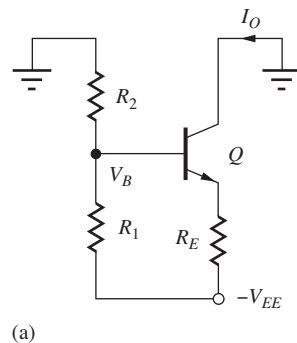


Figura P15.101

15.102 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente del Problema 15.101(a) se il nodo V_B è collegato a massa da un condensatore di bypass?

15.103 (a) Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.101(a) se $-V_{EE} = -9$ V, $R_1 = 270$ k Ω , $R_2 = 430$ k Ω , $R_E = 18$ k Ω , $\beta_o = 150$ e $V_A = 75$ V? (b) Si ripeta per il circuito in Figura P15.101(b).

15.104 (a) Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.101(a) se $-V_{EE} = -5$ V, $R_1 = 100$ k Ω , $R_2 = 200$ k Ω , $R_E = 15$ k Ω , $\beta_o = 100$ e $V_A = 75$ V? (b) Si ripeta per il circuito in Figura P15.101(b).

15.105 (a) Progettare un generatore di corrente per avere un'uscita di 1 mA utilizzando il circuito di Figura P15.101(a). Il generatore non deve consumare più di 1.2 mA e deve avere una resistenza di uscita di almeno 500 k Ω . Si assuma $V_{EE} = 12$ V. (b) Si ripeta per il circuito di Figura P15.101(b).

15.106 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.106 se $V_O = V_{DD} = 10$ V, $R_4 = 680$ k Ω , $R_3 = 330$ k Ω , $R_S = 30$ k Ω , $K_n = 500$ $\mu\text{A}/\text{V}^2$, $V_{TN} = 1$ V e $\lambda = 0.01$ V^{-1} ?

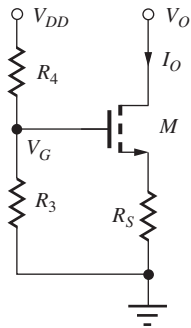


Figura P15.106

15.107 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.106 se $V_O = V_{DD} = 3$ V, $R_4 = 200$ k Ω , $R_3 = 68$ k Ω , $R_S = 47$ k Ω ? Si usino i parametri dei dispositivi del Problema 15.106.

15.108 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.106 se $V_O = V_{DD} = 6$ V, $R_4 = 200$ k Ω , $R_3 = 100$ k Ω , $R_S = 16$ k Ω ? Si usino i parametri dei dispositivi del Problema 15.106.

15.109 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.109 se $V_{CC} = 15$ V, $R_1 = 100$ k Ω , $R_2 = 200$ k Ω , $R_E = 43$ k Ω , $\beta_o = 75$ e $V_A = 50$ V?

15.110 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.109 se $V_{CC} = 5$ V, $R_1 = 10$ k Ω , $R_2 = 33$ k Ω , $R_E = 1.5$ k Ω , $\beta_o = 75$ e $V_A = 60$ V?

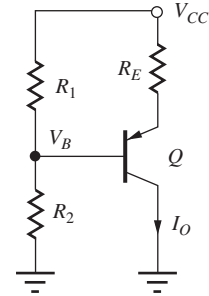


Figura P15.109

15.111 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.109 se $V_{CC} = 10$ V, $R_1 = 100$ k Ω , $R_2 = 300$ k Ω , $R_E = 18$ k Ω , $\beta_o = 90$ e $V_A = 75$ V?

15.112 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.112 se $V_{DD} = 6$ V, $R_4 = 200$ k Ω , $R_3 = 100$ k Ω , $R_S = 16$ k Ω ? Si utilizzino i parametri del Problema 15.113.

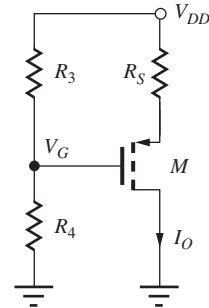


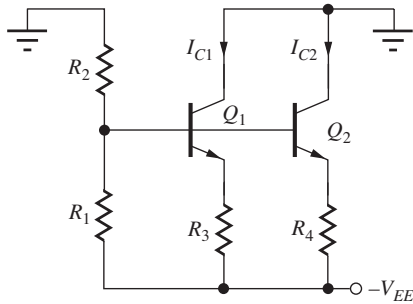
Figura P15.112

15.113 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.112 se $V_{DD} = 9$ V, $R_4 = 2$ M Ω , $R_3 = 1$ M Ω , $R_S = 120$ k Ω , $K_p = 750$ $\mu\text{A}/\text{V}^2$, $V_{TP} = -0.75$ V e $\lambda = 0.01$ V^{-1} ?

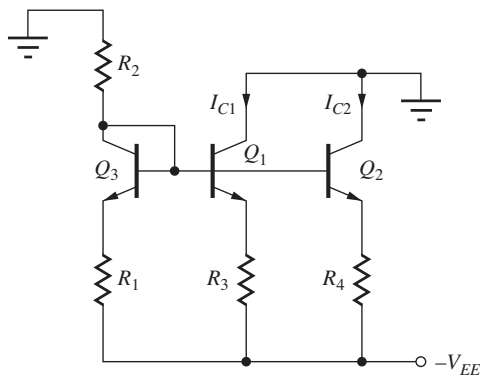
15.114 Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.112 se $V_{DD} = 4$ V, $R_4 = 200$ k Ω , $R_3 = 62$ k Ω , $R_S = 43$ k Ω , $K_p = 750$ $\mu\text{A}/\text{V}^2$, $V_{TP} = -0.75$ V e $\lambda = 0.01$ V^{-1} ?

15.115 Si progetti un generatore di corrente per avere un'uscita di 175 μA utilizzando la topologia di Figura P15.112. Il generatore non deve consumare più di 200 μA e deve avere una resistenza di uscita di almeno 2.5 M Ω . Si assuma $V_{DD} = 12$ V, $K_p = 200$ $\mu\text{A}/\text{V}^2$, $V_{TP} = -0.75$ V e $\lambda = 0.02$ V^{-1} .

- 15.116** (a) Quanto valgono la corrente di uscita e la resistenza di uscita del generatore di corrente di Figura P15.116(a) se $V_{EE} = 12\text{ V}$, $\beta_o = 125$, $V_A = 50\text{ V}$, $R_1 = 33\text{ k}\Omega$, $R_2 = 68\text{ k}\Omega$, $R_3 = 20\text{ k}\Omega$, $R_4 = 100\text{ k}\Omega$? (b) Si ripeta per il circuito in Figura P15.116(b).



(a)



(b)

Figura P15.116

- 15.117** Quali sono le tre correnti di uscita e le resistenze di uscita del generatore di corrente di Figura P15.117 se $V_{EE} = 15\text{ V}$, $\beta_o = 75$, $V_A = 60\text{ V}$?

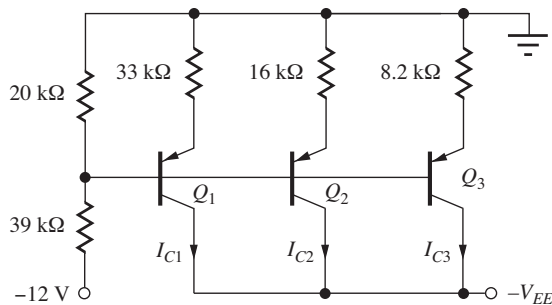


Figura P15.117

- 15.118** Quali sono le tre correnti di uscita e le resistenze di uscita del generatore di corrente di Figura P15.118 se $V_{DD} = 12\text{ V}$, $K_p = 250\text{ }\mu\text{A/V}^2$, $V_{TP} = -1\text{ V}$, $\lambda = 0.02\text{ V}^{-1}$, $R_1 = 100\text{ k}\Omega$, $R_2 = 470\text{ k}\Omega$, $R_3 = 2\text{ M}\Omega$, $R_4 = 2\text{ M}\Omega$?

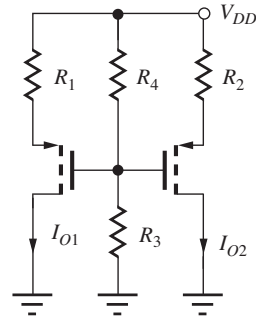


Figura P15.118

- 15.119** Si utilizzi SPICE per simulare la schiera di generatori di corrente del Problema 15.118 e si trovino le correnti di uscita e le resistenze di uscita. Si usi la funzione .TF per trovare le resistenze di uscita.

- *15.120** L'amplificatore operazionale di Figura P15.120 viene utilizzato per aumentare la resistenza di uscita complessiva del generatore di corrente. Se $V_{REF} = 5\text{ V}$, $V_{CC} = 0\text{ V}$, $V_{EE} = 15\text{ V}$, $R = 50\text{ k}\Omega$, $\beta_o = 120$, $V_A = 70\text{ V}$ e $A = 50\,000$, quanto valgono la corrente I_O e la resistenza di uscita? Riesce l'amplificatore operazionale ad aumentare la resistenza di uscita? Si spieghi perché sì o perché no.

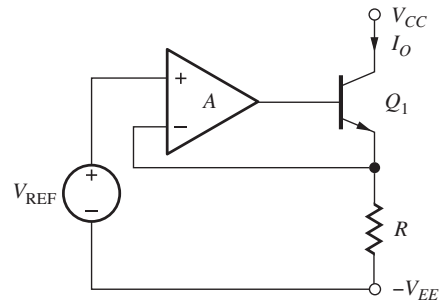


Figura P15.120

- **15.121** Come si può aumentare la resistenza di uscita del circuito di Figura P15.120 utilizzando un ulteriore transistor bipolare?

- 15.122** L'amplificatore operazionale di Figura P15.122 viene utilizzato per aumentare la resistenza di uscita complessiva del generatore di corrente M_1 . Se $V_{REF} = 5\text{ V}$, $V_{DD} = 0\text{ V}$, $V_{SS} = 15\text{ V}$, $R = 50\text{ k}\Omega$, $K_n = 800\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.8\text{ V}$, $\lambda = 0.02\text{ V}^{-1}$ e $A = 50\,000$, quanto valgono la corrente I_O e la resistenza di uscita?

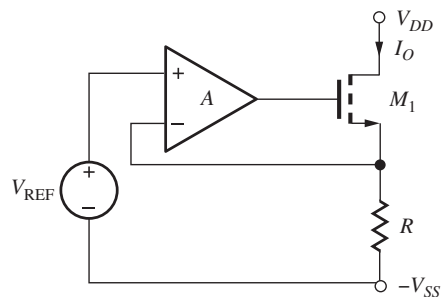


Figura P15.122

- 15.123** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore di Figura P15.123(a) se $\beta_o = 85$ e $V_A = 70$ V? (b) Qual è il CMRR dell'amplificatore? (c) Si ripeta per il circuito di Figura P15.123(b).

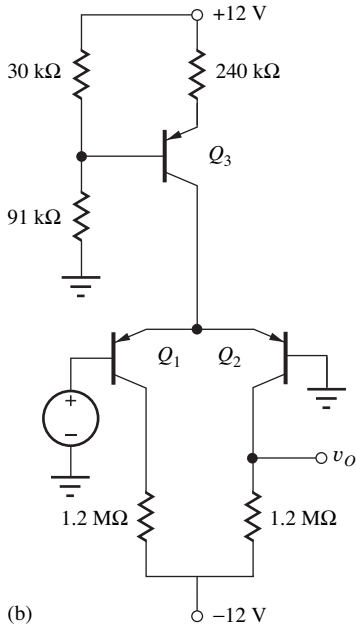
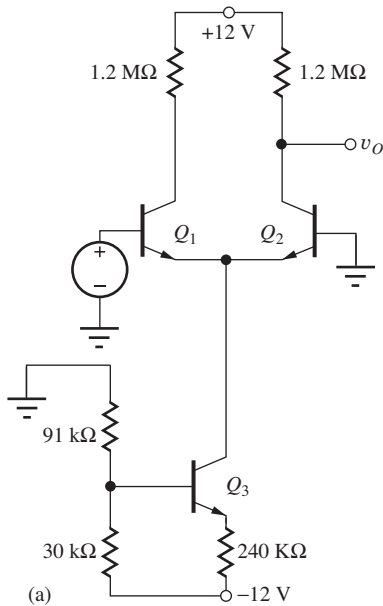


Figura P15.123

- 15.124** (a) Quali sono i punti di lavoro dei transistori dell'amplificatore di Figura P15.124 se $K_n = 400 \mu\text{A}/\text{V}^2$, $V_{TN} = -1$ V, $\lambda = 0.02 \text{ V}^{-1}$, $R_1 = 51 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_S = 7.5 \text{ k}\Omega$ e $R_D = 36 \text{ k}\Omega$? (b) Qual è il guadagno di modo differenziale e il CMRR dell'amplificatore?

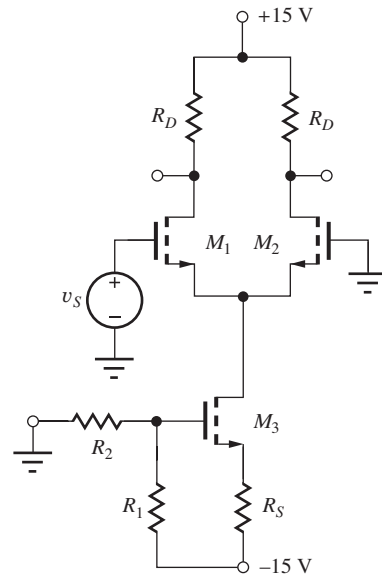


Figura P15.124

- 15.125** (a) Un generatore di corrente con $R_{\text{out}} = \beta_o r_o$ viene utilizzato per polarizzare un amplificatore differenziale bipolare. Qual è l'espressione del CMRR di questo amplificatore per uscita riferita a massa?

- 15.126** La resistenza di uscita del generatore di corrente MOS di Figura P15.124 è data da $R_{\text{out}} = \mu_f R_S$. Che tensione deve cadere ai capi di R_S per avere una resistenza di uscita di $5 \text{ M}\Omega$ alla corrente di $10 \mu\text{A}$ se $K_n = 500 \mu\text{A}/\text{V}^2$ e $\lambda = 0.02 \text{ V}^{-1}$?

- **15.127** Si utilizzi PSPICE per eseguire l'analisi Monte Carlo del circuito di Figura 15.51. Si assumano resistori e generatori di tensione con una tolleranza del 5%. Si trovino il valore nominale e i limiti a 3σ per I_O e R_{out} .

Capitolo 16

Riepilogo

La tecnologia dei circuiti integrati (IC) permette di realizzare un gran numero di transistori virtualmente identici. Benché le tolleranze di questi dispositivi siano scarse in termini assoluti, i parametri caratteristici dei dispositivi possono raggiungere tra loro tolleranze molto basse, dell'ordine dell'1%. La disponibilità di un gran numero di dispositivi molto simili ha permesso lo sviluppo di particolari tecniche circuitali che fanno affidamento su tale somiglianza per operare correttamente. Queste tecniche di progetto producono circuiti a elevate prestazioni che richiedono un numero molto limitato di transistori.

- Una delle configurazioni circuitali più comune all'interno dei circuiti integrati analogici è lo specchio di corrente, in cui la corrente di uscita è una replica della corrente d'ingresso. È possibile generare più copie della corrente d'ingresso e inoltre è possibile modificare il guadagno dello specchio di corrente scalando opportunamente le aree di emettitore dei transistori bipolari o i rapporti W/L dei MOS. Gli errori nei rapporti fra le correnti dipendono dal valore finito della resistenza di uscita dei dispositivi e, per i BJT, anche dal valore finito del guadagno di corrente.
- Negli specchi di corrente bipolari, il valore finito del guadagno di corrente genera un errore nel rapporto fra le correnti, che può essere minimizzato utilizzando uno specchio di corrente con buffer. Nei circuiti sia MOS che bipolari il perfetto bilanciamento dello specchio di corrente viene disturbato dalle asimmetrie fra le tensioni nelle sezioni d'ingresso e di uscita dello specchio di corrente. Il grado di asimmetria dipende dalla resistenza di uscita del generatore di corrente.
- La figura di merito V_{cs} per uno specchio di corrente è pari approssimativamente a V_A nel caso BJT e a $1/\lambda$ per la versione MOS. Il valore di V_{cs} può essere migliorato anche di due ordini di grandezza con l'utilizzo dei generatori di corrente cascode o di Wilson.
- Gli specchi di corrente possono essere anche utilizzati per produrre correnti indipendenti dalla tensione di alimentazione. Il riferimento basato sulla V_{BE} e il riferi-

mento di Widlar sono in grado di generare correnti che dipendono solo logaritmicamente dalla tensione di alimentazione. Combinando un generatore di Widlar con uno specchio di corrente si ottiene un generatore di corrente che mostra al primo ordine una indipendenza dal valore della tensione di alimentazione; le sole variazioni sono dovute al valore finito della resistenza di uscita dello specchio di corrente e del generatore di Widlar.

- Il generatore di Widlar produce una tensione che è proporzionale alla temperatura assoluta (PTAT), ed è utilizzato come sensore in gran parte dei termometri elettronici.
- Un'applicazione estremamente importante dello specchio di corrente è il suo utilizzo come elemento di carico negli amplificatori differenziali e operazionali. Questi circuiti con carico attivo possono migliorare sensibilmente il guadagno mantenendo al contempo il bilanciamento del punto di lavoro necessario per ottenere una bassa tensione di offset e una buona reiezione del modo comune. Un amplificatore a singolo stadio con carico attivo può raggiungere un guadagno prossimo al fattore di amplificazione del transistor. L'analisi del comportamento AC dei circuiti con specchio di corrente può essere spesso semplificato ricorrendo a un modello a doppio bipolo per lo specchio di corrente.
- Gli specchi di corrente sono spesso utilizzati per migliorare le prestazioni degli amplificatori operazionali sia MOS che bipolari. Il classico $\mu A741$, introdotto alla fine degli anni '60, è stato il primo amplificatore operazionale per uso generale con eccellente guadagno e con protezioni per le sovratensioni agli ingressi e per i cortocircuiti in uscita. L'utilizzo di carichi attivi consente in questo caso di ottenere un guadagno di 100 dB in un amplificatore con soli due stadi di guadagno. Il $\mu A741$ divenne immediatamente uno standard a livello industriale; molte delle tecniche circuitali adottate originariamente per questo amplificatore operazionale sono state utilizzate anche in molti altri circuiti integrati analogici.

Se non specificato diversamente, si usino $\beta_F = 100$,
 $V_A = 70 \text{ V}$, $K_p = K_n = 1 \text{ mA/V}^2$,
 $V_{TN} = -V_{TP} = 1 \text{ V}$ e $\lambda = 0.02 \text{ V}^{-1}$.

16.1 Dispositivi equivalenti

- 16.1** Un resistore integrato ha un valore nominale di 4.02 k Ω . In un particolare ciclo di produzione si sono ottenuti resistori il cui valore medio è maggiore del 15% rispetto al valore nominale, con una variazione fra un resistore e l'altro contenuta entro il 3%. Quali sono i valori massimi e minimi dei resistori realizzati in questo ciclo di produzione?
- 16.2** (a) Le aree di emettitore di due transistori bipolari sono uguali fra loro, con una tolleranza dell'8%. Si calcoli la differenza fra le tensioni base-emettitore dei due transistori, a parità di corrente di collettore, assumendo $V_A \rightarrow \infty$. (b) Si ripeta il punto (a) assumendo una tolleranza del 15%. (c) Qual è la tolleranza per i valori delle aree di emettitore dei due dispositivi, se è richiesta una differenza massima per le tensioni base-emettitore inferiore a 0.5 mV?
- 16.3** Si supponga che i dispositivi dell'amplificatore differenziale di Figura 15.1(a) non abbiano caratteristiche perfettamente identiche. (a) Quale sarà la tensione di offset se i guadagni di corrente dei due BJT differiscono del 5%? (b) Si ripeta il punto (a), ipotizzando che le correnti di saturazione dei dispositivi differiscano del 5%. (c) Si ripeta il punto (a), ipotizzando che le tensioni di Early dei dispositivi differiscano del 5%. (d) Si ripeta il punto (a), ipotizzando che i resistori di collettore differiscano del 5%. Si ricordi che la tensione di offset è la tensione di ingresso necessaria a forzare la tensione di uscita differenziale a zero.
- 16.4** Le correnti di collettore di due transistori bipolari sono uguali quando le tensioni base-emettitore dei due BJT differiscono di 2 mV. Si calcoli la tolleranza relativa $\Delta I_S/I_S$ per le correnti di saturazione dei due transistori, assumendo $I_{S1} = I_S + \Delta I_S/2$ e $I_{S2} = I_S - \Delta I_S/2$ e assumendo inoltre che le tensioni collettore-emettitore e le tensioni di Early dei due transistori siano uguali. Se $\Delta \beta_{FO}/\beta_{FO} = 5\%$, quali sono i valori di I_{B1} e di I_{B2} per i due transistori nel punto di lavoro (100 μ A, 10 V)? Si assuma $\beta_{FO} = 100$ e $V_A = 50$ V.
- 16.5** Si calcoli la tolleranza relativa $\Delta I_D/I_D$ per le correnti di drain di due MOSFET caratterizzati da $K_n = 225 \mu\text{A}/\text{V}^2 \pm 5\%$ e $V_{TN} = 0.7 \text{ V} \pm 25 \text{ mV}$ per (a) $V_{GS} = 2 \text{ V}$ e (b) $V_{GS} = 4 \text{ V}$. Si assuma $I_{D1} = I_D + \Delta I_D/2$ e $I_{D2} = I_D - \Delta I_D/2$.
- 16.6** (a) A causa di un errore nel tracciato di un circuito integrato, i rapporti W/L dei due MOSFET di un amplificatore differenziale differiscono del 10%. Si

Le soluzioni si trovano sul sito web dedicato al libro

calcoli la differenza fra le tensioni gate-source dei due transistori, a parità di corrente di drain. Si assuma che il valore nominale di $(V_{GS} - V_{TN})$ sia 0.5 V; si assuma inoltre $V_{TN} = 1$ V, $\lambda = 0$ e identici valori di K'_n per i due MOS. (b) Qual è la massima tolleranza per i rapporti W/L necessaria per garantire una differenza fra le tensioni gate-source inferiore a 3 mV? (c) Per 1 mV?

- 16.7** Si supponga che i MOS dell'amplificatore differenziale di Figura 15.1(b) non abbiano caratteristiche perfettamente identiche. Il valore nominale di $(V_{GS} - V_{TN}) = 0.75$ V. (a) Quale sarà la tensione di offset se i rapporti (W/L) dei due dispositivi differiscono del 5%? (b) Si ripeta il punto (a), ipotizzando che le tensioni di soglia dei dispositivi differiscano del 5%. (c) Si ripeta il punto (a), ipotizzando che i valori di λ dei dispositivi differiscano del 5%. (d) Si ripeta il punto (a), ipotizzando che i resistori di drain differiscano del 5%. Si ricordi che la tensione di offset è la tensione di ingresso necessaria a forzare la tensione di uscita differenziale a zero.

16.2 Specchi di corrente

- 16.8** Si calcolino le correnti di uscita e le resistenze di uscita per il circuito di Figura P16.8, assumendo $I_{\text{REF}} = 45 \mu\text{A}$, $K'_n = 25 \mu\text{A/V}^2$, $V_{TN} = 0.75 \text{ V}$ e $\lambda = 0.01 \text{ V}^{-1}$. (b) Quali sono le correnti se I_{REF} diviene $50 \mu\text{A}$? (c) Quali sarebbero i valori se $\lambda = 0$?

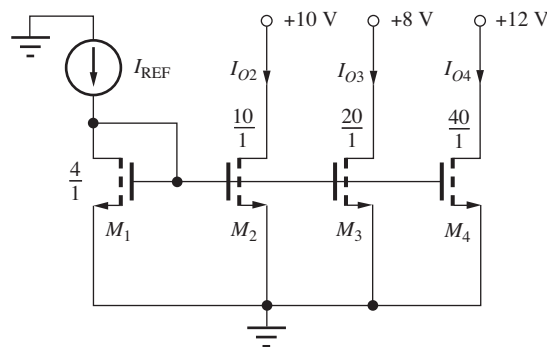


Figura P16.8

- 16.9** Si calcolino le correnti di uscita del circuito del Problema 16.8, se (a) il rapporto W/L di M_1 diviene $2.5/1$, (b) $I_{REF} = 20 \text{ 5A}$ e $(W/L)_1 = 5/1$
- 16.10** I generatori di corrente del Problema 16.8 potrebbero essere le correnti (proporzionali alle potenze di due) necessarie per un convertitore D/A a 3 bit. (a) Quali sono i valori ideali (per $\lambda = 0$) delle tre correnti di uscita? (b) Utilizzando i risultati del Problema 16.8, si esprimano le differenze delle correnti rispetto ai valori ideali in termini di LSB.
- 16.11**  Si simulino con SPICE i generatori di corrente di Figura P16.8 e si confrontino i risultati della simulazione con i calcoli manuali del Problema 16.8.

- 16.12** Si calcolino le correnti di uscita e le resistenze di uscita per il circuito di Figura P16.12, assumendo $R = 30 \text{ k}\Omega$, $K'_p = 15 \mu\text{A}/\text{V}^2$, $V_{TP} = -0.90 \text{ V}$ e $\lambda = 0.01 \text{ V}^{-1}$.

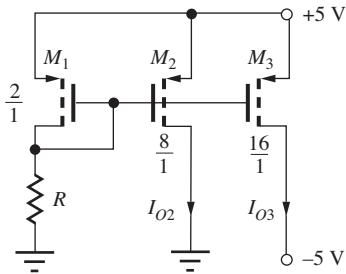


Figura P16.12

- 16.13** Quali saranno le correnti di uscita nel circuito del Problema 16.12 se (a) il rapporto W/L di M_1 diviene 3.3/1, (b) $R = 50 \text{ k}\Omega$ e $(W/L)_1 = 4/1$?
- 16.14** Si simuli il circuito di Figura P16.12 e si confrontino i risultati della simulazione con i calcoli svolti nel Problema 16.12.
- 16.15** Per il circuito di Figura P16.12, si calcoli il valore di R necessario per ottenere $I_{O2} = 35 \mu\text{A}$. Per i dispositivi, utilizzare i parametri del Problema 16.12.
- 16.16** (a) Si calcolino le correnti di uscita e le resistenze di uscita per il circuito di Figura P16.16(a), assumendo $R = 75 \text{ k}\Omega$, $\beta_{FO} = 50$ e $V_A = 60 \text{ V}$. (b) Si ripeta la parte (a) assumendo che le aree di emettitore di tutti i transistori siano raddoppiate. (c) Si ripeta l'analisi per il circuito di Figura P16.16(b).
- 16.17** (a) Si simuli il circuito di Figura P16.16(a) e confrontare i risultati della simulazione con i calcoli svolti nel Problema 16.16. (b) Si ripeta il punto (a) per il circuito di Figura P16.16(b).

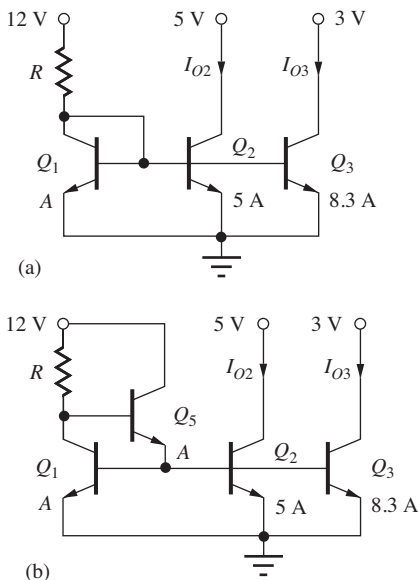


Figura P16.16

- 16.18** Per il circuito di Figura P16.16(b), si calcoli il valore di R necessario per ottenere $I_{O3} = 150 \mu\text{A}$. Qual è il valore di I_{O2} ? Si assuma $\beta_{FO} = 50$ e $V_A = 60 \text{ V}$. (b) Si ripeta per il circuito in Figura P16.16(b).

- 16.19** (a) Si calcolino le correnti di uscita del circuito di Figura P16.16(a), assumendo che l'area del transistorore Q_1 sia di 2 A e inoltre $R = 75 \text{ k}\Omega$. Si utilizzi $\beta_{FO} = 125$ e $V_A = 75 \text{ V}$. (b) Si ripeta i calcoli per il circuito di Figura P16.16(b).
- 16.20** Si calcolino le correnti di uscita del circuito di Figura P16.16(b), assumendo che l'area del transistorore Q_1 sia di 3 A e inoltre $R = 100 \text{ k}\Omega$. Si utilizzino $\beta_{FO} = 100$ e $V_A = 75 \text{ V}$.
- 16.21** (a) Si calcolino le correnti di uscita del circuito di Figura P16.16(a), assumendo $R = 140 \text{ k}\Omega$. Si utilizzino $\beta_{FO} = 125$ e $V_A = 75 \text{ V}$. (b) Qual è il valore di R necessario per ottenere la stessa corrente di uscita nel circuito di Figura P16.16(b)?
- 16.22** (a) Si calcolino le correnti di uscita del circuito di Figura P16.16(a), assumendo $R = 100 \text{ k}\Omega$. (b) Quali saranno le correnti di uscita se la tensione di alimentazione di 5 V viene portata a 6 V? (c) Quali saranno le correnti di uscita se la tensione di alimentazione a 12 V viene portata a 11 V? (d) Si dimostri che la variazione della corrente I_{O2} , calcolata nel punto (b), è pari a $g_{o2}\Delta V$.

- 16.23** Si calcolino le correnti di uscita e le resistenze di uscita per il circuito di Figura P16.23, assumendo $R = 60 \text{ k}\Omega$, $\beta_{FO} = 50$ e $V_A = 60 \text{ V}$.

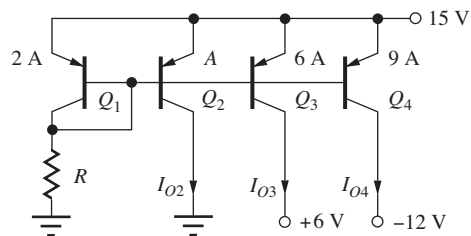


Figura P16.23

- 16.24** Si calcoli il valore di R richiesto nel circuito di Figura P16.23 per avere $I_{O3} = 65 \mu\text{A}$. Quali sono i valori di I_{O2} e I_{O4} ?
- *16.25** Si consideri il generatore di corrente di Figura P16.23. Si disegni lo schema di una versione del circuito che include uno specchio di corrente con buffer e calcolare il valore di R necessario per ottenere $I_{REF} = 25 \mu\text{A}$ per $\beta_{FO} = 50$ e $V_A = 60 \text{ V}$. Quali sono i valori delle tre correnti di uscita? Qual è la corrente di collettore del transistorore addizionale?
- 16.26** Nel circuito di Figura P16.26, $R_2 = 5R_3$. Si calcoli il valore di n necessario per soddisfare la condizione $I_{E3} = 5 I_{E2}$.
- *16.27** Si calcolino le correnti di uscita e le resistenze di uscita per il circuito di Figura P16.26, assumendo $R = R_1 = 10 \text{ k}\Omega$, $R_2 = 5 \text{ k}\Omega$, $R_3 = 2.5 \text{ k}\Omega$, $n = 4$, $\beta_{FO} = 75$ e $V_A = 60 \text{ V}$.

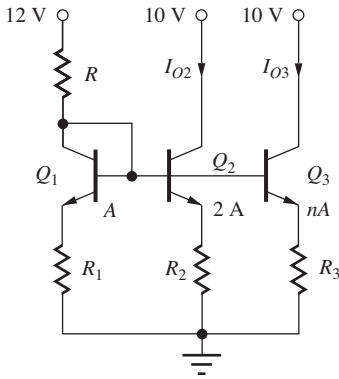


Figura P16.26

- *16.28** Si calcolino i valori di n e di R_3 necessari nel circuito del Problema 16.27 per avere $I_{O2} = 3 I_{O3}$.
- 16.29** Si ripeta il Problema 16.27, assumendo che l'area del transistor Q_1 sia $0.5A$ e che $R_1 = 20 \text{ k}\Omega$.
- 16.30** Si calcoli la corrente di uscita I_O e la resistenza di uscita del circuito di Figura P16.30, per:
 $-V_{EE} = -9 \text{ V}$, $n = 7.2$, $K_n = 50 \mu\text{A}/\text{V}^2$,
 $V_{TN} = 0.75 \text{ V}$, $I_{REF} = 18 \mu\text{A}$, $\beta_{FO} = 100$ e
 $V_A = 75 \text{ V}$.

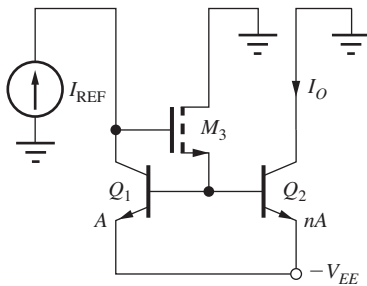


Figura P16.30

- 16.31** Si utilizzi SPICE per simulare il circuito del Problema 16.30, e si confrontino i risultati con i calcoli manuali.
- 16.32** (a) Si calcoli la resistenza di ingresso offerta alla sorgente I_{REF} nel circuito di Figura P16.30, per $n = 1$, assumendo per gli altri parametri i valori dati nel Problema 16.30. (b) Si utilizzi SPICE, simulando la caratteristica di trasferimento del circuito, per verificare la correttezza dei calcoli manuali.

Generatori di corrente di Widlar

- 16.33** (a) Si calcolino la corrente di uscita e la resistenza di uscita per il generatore di corrente di Widlar I_{O2} di Figura P16.33, assumendo $R = R_2 = 10 \text{ k}\Omega$ e $V_A = 60 \text{ V}$ (b) Si ripeta l'analisi per l'uscita I_{O3} , assumendo $R_3 = 5 \text{ k}\Omega$ e $n = 12$.
- 16.34** Nel circuito di Figura P16.33, qual è il valore di R necessario per avere $I_{REF} = 75 \mu\text{A}$? Assumendo $I_{REF} = 75 \mu\text{A}$, qual è il valore di R_2 necessario per avere $I_{O2} = 5 \mu\text{A}$? Assumendo $R_3 = 2 \text{ k}\Omega$, qual è il valore di n necessario per avere $I_{O3} = 10 \mu\text{A}$?

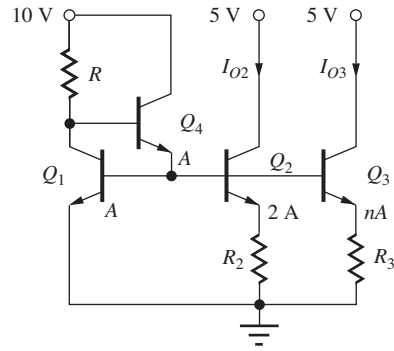


Figura P16.33

- 16.35** Si simuli il circuito del Problema 16.34 e si confrontino i risultati della simulazione con i calcoli manuali.
- 16.36** (a) Si calcolino la corrente di uscita e la resistenza di uscita per il generatore di corrente di Widlar I_{O2} di Figura P16.36, assumendo $R = 40 \text{ k}\Omega$ e $R_2 = 5 \text{ k}\Omega$. (b) Si ripeta l'analisi per l'uscita I_{O3} , assumendo $R_3 = 2.5 \text{ k}\Omega$ e $n = 20$.

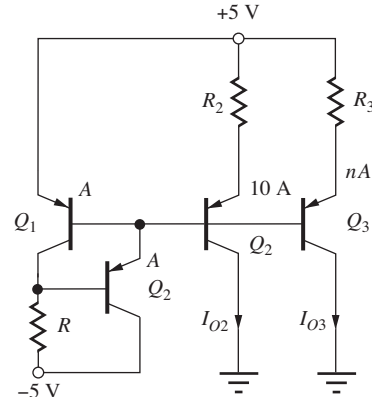


Figura P16.36

- 16.37** Nel circuito di Figura P16.36, qual è il valore di R necessario per avere $I_{REF} = 50 \mu\text{A}$? Assumendo $I_{REF} = 50 \mu\text{A}$, qual è il valore di R_2 necessario per avere $I_{O2} = 10 \mu\text{A}$? Assumendo $R_3 = 2 \text{ k}\Omega$, qual è il valore di n necessario per avere $I_{O3} = 10 \mu\text{A}$?

16.3 Specchio di corrente con buffer

Generatori di corrente di Wilson

- 16.38** Nel generatore di corrente di Wilson di Figura P16.38, $I_{REF} = 50 \mu\text{A}$, $\beta_{FO} = 125$ e $V_A = 40 \text{ V}$. (a) Si calcolino la corrente di uscita e la resistenza di uscita per $n = 1$. (b) Si ripeta il punto (a) per $n = 3$. (c) Qual è il valore di V_{CS} per il generatore di corrente del punto (b)? (d) Qual è il valore minimo di V_{EE} ?
- 16.39** Si ricavi un'espressione per la resistenza di uscita del generatore di corrente di Wilson BJT di Figura P16.38 per $n = 1$, e si mostri che può essere ricondotta al risultato approssimato riportato nell'Equazione (16.40). Quali ipotesi sono state effettuate per ottenere il risultato approssimato?

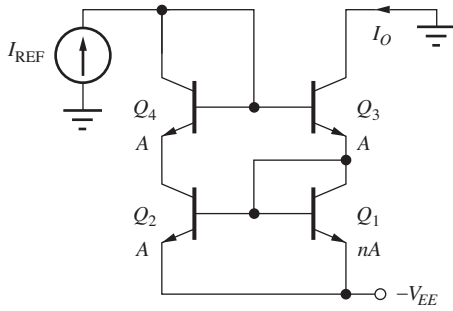


Figura P16.38

***16.40** Si ricavi un'espressione per la resistenza di uscita del generatore di corrente di Wilson di Figura P16.38, in funzione del fattore n .

16.41 Si calcoli il valore minimo di tensione che può essere applicato al collettore di Q_3 in Figura P16.38 mantenendo il transistor in regione attiva diretta, assumendo $I_{REF} = 15 \mu A$, $n = 5$, $\beta_{FO} = 125$ e $I_{SO} = 3 fA$.

16.42 Nel generatore di corrente di Wilson di Figura P16.42 $R = 30 k\Omega$. (a) Si calcoli la corrente di uscita, assumendo $(W/L)_1 = 5/1$, $(W/L)_2 = 20/1$, $(W/L)_3 = 20/1$, $K'_n = 25 \mu A/V^2$, $V_{TN} = 0.75 V$, $\lambda = 0 V^{-1}$ e $V_{SS} = -5 V$. Qual è il valore di $(W/L)_4$ necessario per bilanciare le correnti di drain di M_1 e di M_2 ? (b) Si ripeta il punto (a) assumendo $\lambda = 0.015 V^{-1}$. (c) Si confrontino i risultati dei calcoli con quelli di una simulazione SPICE.

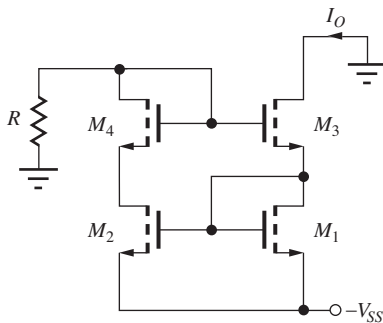


Figura P16.42

***16.43** Si ricavi un'espressione per la resistenza di uscita del generatore di corrente di Wilson di Figura P16.42, in funzione di $(W/L)_1$, $(W/L)_2$, $(W/L)_3$, $(W/L)_4$ e della corrente di riferimento I_{REF} . Assumere $R \rightarrow \infty$.

16.44 (a) Si ricavi un'espressione per la resistenza equivalente presentata ad I_{REF} nel generatore di Wilson di Figura 16.16(a). (b) Si ricavi un'espressione per la resistenza equivalente presentata ad I_{REF} nel generatore di Wilson di Figura 16.16(b).

16.45 Si calcoli il valore minimo di tensione che può essere applicato al drain di M_3 in Figura P16.42 mantenendo il transistor in regione di saturazione, assumendo $I_{REF} = 150 \mu A$, $(W/L)_1 = 5/1$, $(W/L)_2 = 20/1$, $(W/L)_3 = 20/1$, $K'_n = 25 \mu A/V^2$, $V_{TN} = 0.75 V$, $\lambda = 0 V^{-1}$ e $V_{SS} = -10 V$.

16.46 Nel generatore di corrente di Wilson di Figura P16.42 $I_{REF} = 50 \mu A$, $(W/L)_3 = 5/1$ e $(W/L)_4 = 5/1$. Si calcoli il valore di $(W/L)_2$ necessario per avere $R_{out} = 250 M\Omega$, assumendo $K'_n = 25 \mu A/V^2$, $V_{TN} = 0.75 V$ e $\lambda = 0.0125 V^{-1}$. Si assuma inoltre $(W/L)_2 = (W/L)_1$, $R \rightarrow \infty$ e $V_{SS} = 5 V$. Si trascuri V_{DS} .

****16.47** Si ridisegni il circuito equivalente utilizzato per calcolare la resistenza di uscita del generatore di corrente di Wilson MOS (si vedano le Figure 16.16(a) e 16.18), includendo la resistenza di uscita R_{REF} del generatore di corrente di riferimento. Dall'analisi del circuito equivalente, si calcoli il valore di R_{REF} necessario per non degradare la resistenza di uscita del generatore di Wilson. Quale generatore di corrente può essere utilizzato per erogare la corrente di riferimento e soddisfare la specifica su R_{REF} ?

Generatori di corrente cascode

16.48 (a) Si calcoli la corrente di uscita e la resistenza di uscita per il generatore di corrente cascode di Figura P16.48, assumendo $I_{REF} = 17.5 \mu A$, $V_{DD} = 5 V$, $K_n = 75 \mu A/V^2$, $V_{TN} = 0.75 V$ e $\lambda = 0.0125 V^{-1}$. (b) Si calcolino il valore di V_{CS} . (c) Qual è il valore minimo di V_{DD} per un corretto funzionamento del circuito?

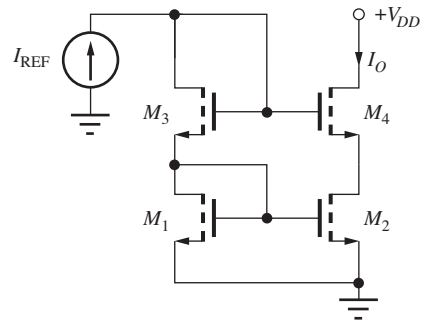


Figura P16.48

16.49 Si simuli con SPICE il circuito del Problema 16.48 e si confrontino i risultati della simulazione con i calcoli manuali.

16.50 Nel Problema 16.48 il rapporto W/L di M_2 sia maggiore del 5% rispetto a quello di M_1 , a causa di una imperfezione costruttiva. Qual è l'errore nel valore della corrente di uscita I_O ? (b) Si ripeta l'analisi, assumendo che $M_1 = M_2$ ma che M_4 abbia un W/L maggiore del 5% rispetto a M_3 .

16.51 Nel generatore di corrente di Figura P16.48 $I_{REF} = 50 \mu A$, $(W/L)_1 = (W/L)_2 = (W/L)_3 = 5/1$. Si calcolino il valore di $(W/L)_4$ necessario per avere $R_{out} = 250 M\Omega$, assumendo $K'_n = 25 \mu A/V^2$, $V_{TN} = 0.75 V$ e $\lambda = 0.0125 V^{-1}$.

16.52 (a) Si ripeta il Problema 16.48 assumendo $I_{REF} = 25 \mu A$. (b) Si ripeta il Problema 16.48 assumendo $I_{REF} = 50 \mu A$.

16.53 Si calcoli la resistenza equivalente presentata a I_{REF} nel generatore di corrente cascode del Problema 16.48.

- 16.54** (a) Si calcolino la corrente di uscita e la resistenza di uscita per il generatore di corrente cascode di Figura P16.54, assumendo $I_{REF} = 17.5 \mu A$, $\beta_{FO} = 110$ e $V_A = 50 V$. (b) Si calcoli il valore di V_{CS} . (c) Qual è il valore minimo di V_{CC} per un corretto funzionamento del circuito?

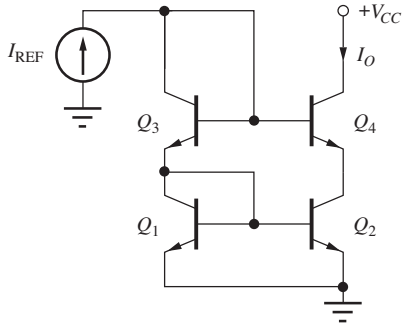


Figura P16.54

- 16.55** Si simuli con SPICE il circuito del Problema 16.54 e si confrontino i risultati della simulazione con i calcoli manuali.
- 16.56** Si calcoli la resistenza equivalente presentata a I_{REF} nel generatore di corrente cascode del Problema 16.54.

16.4-16-5 Generatore di corrente di riferimento

- 16.57** (a) Si calcolino la corrente di uscita e la resistenza di uscita per il generatore di Widlar di Figura P16.57, assumendo $I_{REF} = 80 \mu A$ e $R_2 = 500 \Omega$. (b) Qual è il nuovo valore della corrente di uscita se, a causa di un errore del layout, l'area di Q_2 è maggiore del 5% rispetto al valore desiderato? (c) Quali sono i nuovi valori della corrente e della resistenza di uscita se l'area di emettitore di Q_2 si riduce a 14A?

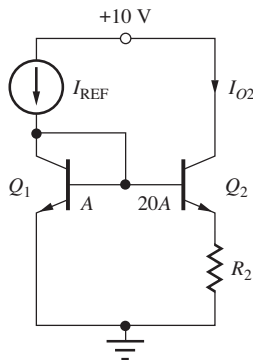


Figura P16.57

- 16.58** (a) Si calcolino la corrente di uscita e la resistenza di uscita per il generatore di Widlar di Figura P16.57, assumendo $I_{REF} = 35 \mu A$ e $R_2 = 935 \Omega$. (b) Quali sono i nuovi valori della corrente e della resistenza di uscita se l'area di emettitore di Q_1 aumenta a 2A?
- 16.59** Nel circuito di Figura P16.57 $I_{REF} = 73 \mu A$. (a) Qual è il valore di R_2 per ottenere $I_{O2} = 22 \mu A$? (b) Qual è il valore di R_2 per ottenere $I_{O2} = 5.7 \mu A$? (c) Qual è il valore di R_2 per ottenere $I_{O2} = 5.7 \mu A$ se l'area di Q_2 diviene 10A?

- 16.60** Nel circuito di Figura P16.57 $I_{REF} = 62 \mu A$. (a) Qual è il valore di R_2 per ottenere $I_{O2} = 12 \mu A$ se l'area di Q_2 diviene 2A? (b) Qual è il valore di R_2 per ottenere $I_{O2} = 12 \mu A$ se l'area di Q_2 diviene 10A?

- 16.61** Per il generatore di corrente di Widlar di Figura P16.57, si riporti in un grafico la variazione della corrente di uscita in funzione di I_{REF} per: $50 \mu A \leq I_{REF} \leq 5 mA$, assumendo $R_2 = 4 k\Omega$ e $\beta_{FO} = 100$.

- 16.62** (a) Si calcoli la corrente di uscita del generatore di riferimento basato sulla V_{BE} di Figura P16.62(a), assumendo $I_S = 1 fA$, $\beta_F \rightarrow \infty$, $R_1 = 10 k\Omega$, $R_2 = 2.2 k\Omega$ e $V_{EE} = 15 V$. (b) Si ripeta il punto (a) per $V_{EE} = 3.3 V$. (c) Si calcoli la corrente di uscita del generatore di riferimento basato sulla V_{BE} di Figura P16.62(b), assumendo $R_1 = R_2 = 10 k\Omega$ e $V_{CC} = 5 V$.

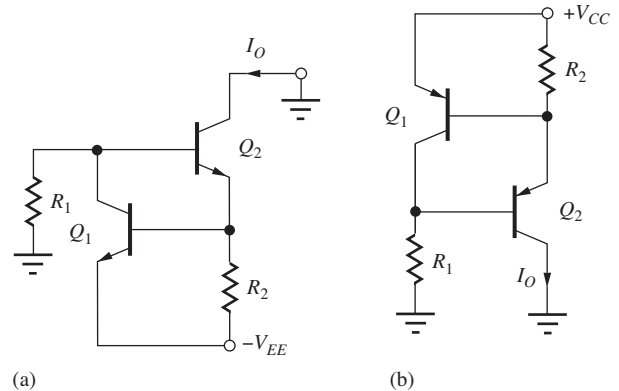


Figura P16.62

- 16.63** (a) Si progetti il generatore di riferimento di Figura P16.62(a), in modo da produrre una corrente di uscita $I_O = 30 \mu A$. Si assuma $-V_{EE} = -3.3 V$, $I_S = 0.1 fA$ e $\beta_{FO} = 130$ per entrambi i transistori. (b) Si ripeta il punto (a) per il circuito di Figura P16.62(b) con $V_{CC} = 3.3 V$.

- *16.64** Si ricavi un'espressione per la resistenza di uscita del generatore di corrente cascode di Figura 16.19.

- *16.65** Si calcoli la corrente di uscita del generatore di corrente di riferimento NMOS di Figura P16.65(a), assumendo $R_1 = 10 k\Omega$, $R_2 = 15 k\Omega$, $K_n = 250 \mu A/V^2$, $V_{TN} = 0.75 V$, $\lambda = 0.017 V^{-1}$ e $V_{DD} = 10 V$.

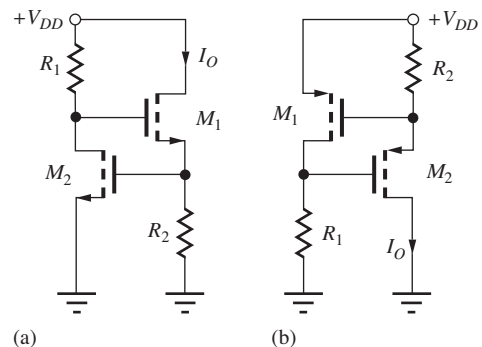


Figura P16.65

16.91 Si ripeta il Problema 16.89 con $I_{EE} = 50 \mu\text{A}$, $R_{EE} = 100 \text{ M}\Omega$ e $V_A = 75 \text{ V}$. (b) Si ripeta la parte (a) per $V_A = 100 \text{ V}$.

16.92 Si utilizzi SPICE per simulare l'amplificatore del Problema 16.91 e si confrontino i risultati della simulazione con i calcoli manuali. Si utilizzino tensioni di alimentazione simmetriche, di 3 V .

16.93 (a) Si calcolino i punti di lavoro dei transistori dell'amplificatore differenziale CMOS di Figura P16.93, assumendo $V_{DD} = V_{SS} = 10 \text{ V}$ e $I_{SS} = 200 \mu\text{A}$. Si assuma inoltre $K'_n = 25 \mu\text{A}/\text{V}^2$, $K'_p = 10 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.75 \text{ V}$, $V_{TP} = -0.75 \text{ V}$ e $\lambda = 0.017 \text{ V}^{-1}$ sia per gli NMOS che per i PMOS. (b) Qual è il guadagno di tensione A_{dd} dell'amplificatore? (c) Si confronti il risultato del punto (b) con il guadagno dell'amplificatore di Figura 16.32, assumendo che i punti di lavoro e i rapporti W/L dei transistori da M_1 a M_4 siano gli stessi.

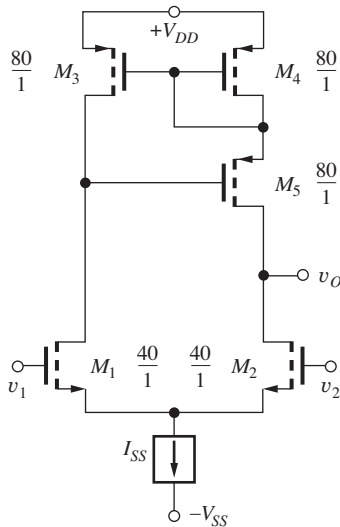


Figura P16.93

16.94 Si utilizzi SPICE per simulare l'amplificatore del Problema 16.93(a,b) e si confrontino i risultati della simulazione con i calcoli manuali.

16.95 Si calcolino i punti di lavoro dei transistori dell'amplificatore differenziale CMOS a cascode "ripiegato" (*folded-cascode*) di Figura P16.95, assumendo $V_{DD} = V_{SS} = 5 \text{ V}$, $I_1 = I_2 = 250 \mu\text{A}$, $(W/L) = 40/1$ per tutti i transistori, $K'_n = 25 \mu\text{A}/\text{V}^2$, $K'_p = 10 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.75 \text{ V}$, $V_{TP} = -0.75 \text{ V}$ e $\lambda = 0.017 \text{ V}^{-1}$ sia per gli NMOS che per i PMOS. Si disegni il mezzo circuito equivalente per il modo differenziale per i transistori da M_1 a M_4 e si mostri che il circuito è in effetti un amplificatore cascode. Qual è il guadagno di tensione di modo differenziale dell'amplificatore?

16.96 Si simuli con SPICE l'amplificatore differenziale del Problema 16.95 e si valutino guadagno di tensione, resistenza di uscita e CMRR. Si confrontino i risultati delle simulazioni con i calcoli manuali.

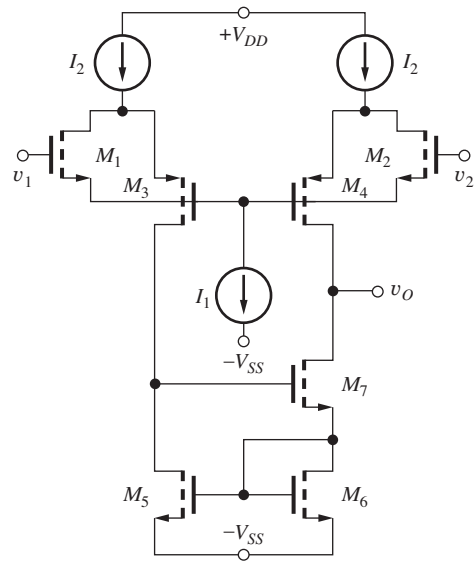


Figura P16.95

***16.97** Si progetti una rete di polarizzazione con specchi di corrente per alimentare l'amplificatore del Problema 16.95.

Stadi di uscita

16.98 Si calcolino le correnti di riposo nei transistori Q_3 e Q_4 per lo stadio di uscita in classe AB di Figura P16.98, assumendo $R_1 = R_2 = 20 \text{ k}\Omega$, $I_{S2} = I_{S3} = I_{S4} = 10 \text{ fA}$ e $\beta_F \rightarrow \infty$.

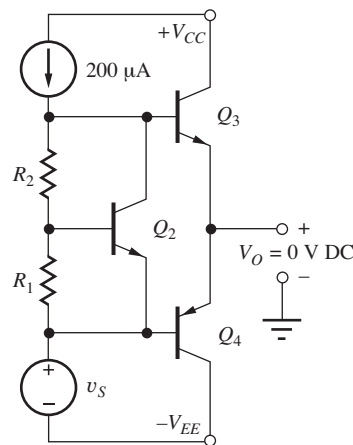


Figura P16.98

16.99 (a) Si dimostri che le correnti di riposo nei transistori Q_3 e Q_4 nello stadio di uscita in classe AB di Figura P16.99 sono pari a:

$$I_0 = I_2 \sqrt{(A_{E3}A_{E4})/(A_{E1}A_{E2})}.$$

(b) Si calcolino le correnti di riposo nei transistori Q_3 e Q_4 per il circuito di Figura P16.99, assumendo $A_{E1} = 3A_{E3}$, $A_{E2} = 3A_{E4}$, $I_2 = 300 \mu\text{A}$, $I_{SOpnp} = 4 \text{ fA}$ e $I_{SO npn} = 10 \text{ fA}$.

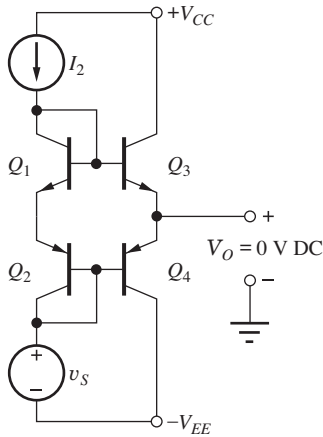


Figura P16.99

16.8 I carichi attivi negli amplificatori operazionali

16.100 (a) Si calcolino i punti di lavoro dei transistori che compongono l'amplificatore operazionale CMOS di Figura 16.43, assumendo $V_{DD} = V_{SS} = 5\text{ V}$, $I_{REF} = 250\text{ }\mu\text{A}$, $K'_n = 25\text{ }\mu\text{A/V}^2$, $K'_p = 10\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.75\text{ V}$, $V_{TP} = -0.75\text{ V}$. (b) Si calcoli il guadagno di modo differenziale dell'amplificatore, se $\lambda = 0.017\text{ V}^{-1}$ sia per gli NMOS che per i PMOS e assumendo che lo stadio di uscita abbia guadagno unitario. (c) Quanto vale il guadagno di tensione se I_{REF} è portata a $500\text{ }\mu\text{A}$?

16.101 Si consideri l'amplificatore operazionale dell'Esempio 16.7. Sulla base dei calcoli riportati nell'esempio e delle conoscenze delle caratteristiche dei MOSFET, quale sarebbe il guadagno dell'amplificatore operazionale se I_{REF} fosse: (a) $250\text{ }\mu\text{A}$ e (b) $20\text{ }\mu\text{A}$? [Nota: i calcoli sono molto semplici.]

16.102 Si calcoli il guadagno di modo differenziale dell'amplificatore in Figura P16.102, assumendo $V_{DD} = V_{SS} = 10\text{ V}$, $I_{REF} = 100\text{ }\mu\text{A}$, $K'_n = 25\text{ }\mu\text{A/V}^2$, $K'_p = 10\text{ }\mu\text{A/V}^2$, $V_{TON} = 0.75\text{ V}$, $V_{TOP} = -0.75\text{ V}$, $\gamma_n = \gamma_p = 0$ e infine $\lambda = 0.017\text{ V}^{-1}$ sia per gli NMOS che per i PMOS.

16.103 (a) Si utilizzi SPICE per ottenere i punti di lavoro dei transistori che compongono l'amplificatore del Problema 16.102. (b) Si ripeta la simulazione, assumendo $2\phi_F = 0.8\text{ V}$, $\gamma_n = 0.60\sqrt{V}$ e $\gamma_p = 0.75\sqrt{V}$ e si confrontino i risultati con quelli ottenuti nel punto (a).

16.104 Si calcolino i punti di lavoro dei transistori che compongono l'amplificatore di Figura P16.102, assumendo $V_{DD} = V_{SS} = 7.5\text{ V}$, $I_{REF} = 250\text{ }\mu\text{A}$, $K'_n = 25\text{ }\mu\text{A/V}^2$, $K'_p = 10\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.75\text{ V}$, $V_{TP} = -0.75\text{ V}$ e $(W/L)_{12} = 40/1$. Qual è il guadagno di modo differenziale dell'amplificatore, se $\lambda = 0.017\text{ V}^{-1}$ sia per gli NMOS che per i PMOS?

16.105 (a) Si effettui una stima dei valori minimi di V_{DD} e di V_{SS} necessari per un corretto funzionamento dell'amplificatore in Figura P16.102, assumendo

$K'_n = 25\text{ }\mu\text{A/V}^2$, $K'_p = 10\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.75\text{ V}$, $V_{TP} = -0.75\text{ V}$. (b) Si calcoli i valori minimi di V_{DD} e di V_{SS} necessari per avere un corretto funzionamento dell'amplificatore con segnali di ingresso di modo comune fino a $\pm 5\text{ V}$.

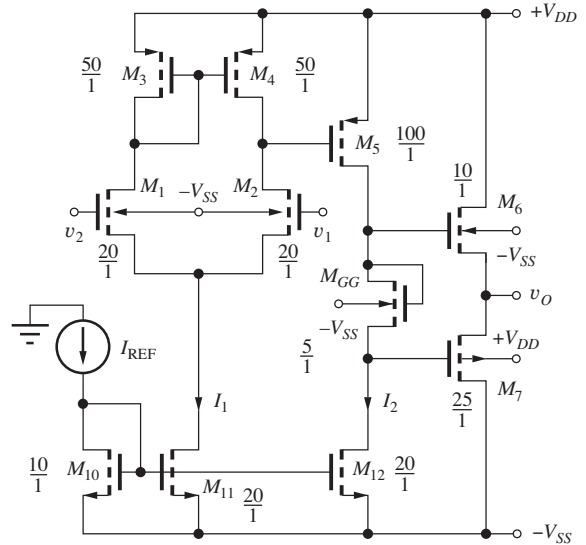


Figura P16.102

***16.106** (a) Si calcolino i punti di lavoro dei transistori nel circuito di Figura P16.106, assumendo $V_{DD} = V_{SS} = 10\text{ V}$, $I_{REF} = 250\text{ }\mu\text{A}$, $K'_n = 25\text{ }\mu\text{A/V}^2$, $K'_p = 10\text{ }\mu\text{A/V}^2$, $V_{TN} = 0.75\text{ V}$, $V_{TP} = -0.75\text{ V}$. (b) Si calcoli, in maniera approssimata, il valore del rapporto W/L di M_6 che consente di annullare la tensione di offset dell'amplificatore operazionale CMOS. (c) Si calcoli il guadagno di tensione di modo differenziale dell'amplificatore operazionale, assumendo $\lambda = 0.017\text{ V}^{-1}$ sia per gli NMOS che per i PMOS.

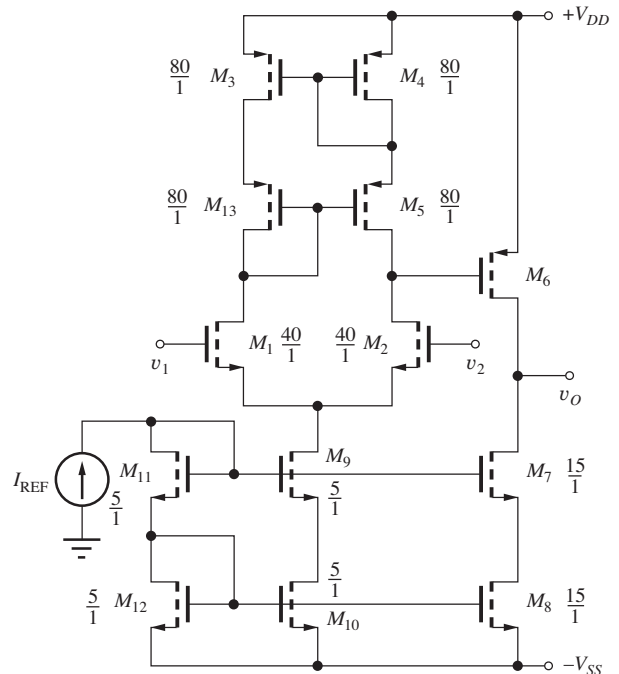


Figura P16.106

***16.107** (a) Si simuli con SPICE l'amplificatore del Problema 16.106 e si valuti il guadagno di tensione, confrontando i risultati delle simulazioni con i calcoli manuali. (b) Si utilizzi SPICE per valutare la tensione di offset e il CMRR dell'operazionale.

16.108 Si disegni lo schema dell'amplificatore ottenuto dal circuito di Figura 16.43 scambiando fra loro i transistori NMOS e PMOS. Si determinino i rapporti (W/L) dei transistori in modo tale che il nuovo amplificatore abbia lo stesso guadagno del circuito di Figura 16.43. Si mantenga per ogni dispositivo la stessa corrente di riposo. Per i parametri dei MOSFET, si utilizzino i valori riportati nell'Esempio 16.7.

16.109 Si disegni lo schema dell'amplificatore ottenuto dal circuito di Figura 16.45 scambiando fra loro i transistori *nnp* e *pnp*. Se $\beta_{on} = 150$, $\beta_{op} = 60$ e $V_{AN} = V_{AP} = 60$ V quale dei due amplificatori avrà il guadagno di tensione più alto? Per quale motivo?

***16.110** Si calcoli, in maniera approssimata, il valore dell'area di emettitore di Q_{16} che consente di annullare la tensione di offset dell'amplificatore operazionale di Figura P16.110, assumendo $I_B = 250$ μ A e $V_{CC} = V_{EE} = 5$ V. Qual è il valore di R_{BB} necessario per ottenere una corrente di riposo dello stadio di uscita dell'operazionale di 75 μ A? Quali sono i valori del guadagno di tensione e della resistenza di ingresso dell'amplificatore? Si assuma $\beta_{on} = 150$, $\beta_{op} = 60$ e $V_{AN} = V_{AP} = 60$ V e $I_{SONpn} = I_{SOPnp} = 15$ fA.

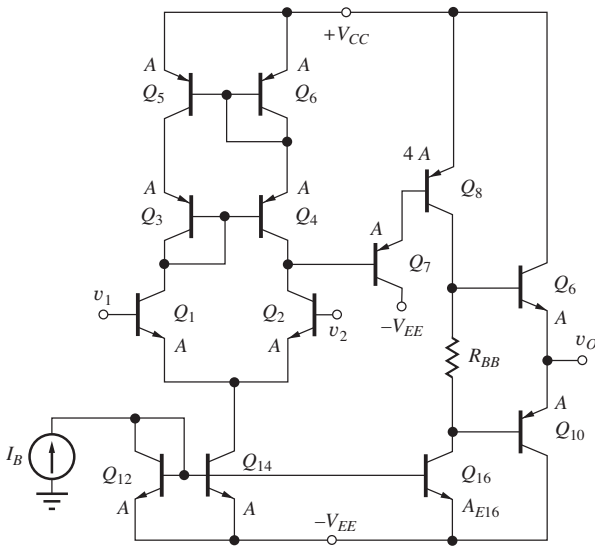


Figura P16.110

16.111 Si simuli con SPICE le caratteristiche dell'amplificatore del Problema 16.110 e si valutino tensione di offset, guadagno di tensione, resistenza di ingresso, resistenza di uscita e CMRR del circuito.

16.112 (a) Si effettui una stima dei valori minimi di V_{CC} e di V_{EE} necessari per un corretto funzionamento dell'amplificatore in Figura P16.110. (b) Si calcolino i valori minimi di V_{CC} e di V_{EE} necessari per avere un corretto funzionamento dell'amplificatore con segnali di ingresso di modo comune fino a ± 1 V.

16.9 L'amplificatore operazionale μ A741

16.113 (a) Quali sono i valori delle tre correnti di polarizzazione nel generatore di Figura P16.113 se $R_1 = 100$ k Ω , $R_2 = 4$ k Ω e $V_{CC} = V_{EE} = 3$ V? (b) Si ripeta il problema per $V_{CC} = V_{EE} = 22$ V. (c) Perché è importante che nel μ A741 la corrente I_1 sia indipendente dalla tensione di alimentazione mentre non è molto importante che lo siano I_2 e I_3 ?

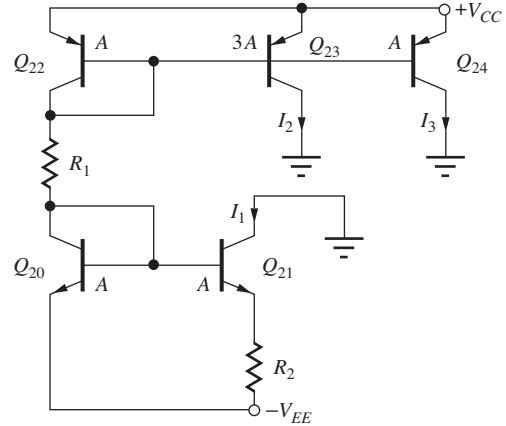


Figura P16.113

16.114 Con riferimento alla Figura P16.113, si scelgano i valori di R_1 e R_2 in modo da fissare $I_2 = 250$ μ A e $I_1 = 50$ μ A con $V_{CC} = V_{EE} = 12$ V. Quanto vale I_3 ?

16.115 Con riferimento alla Figura P16.113, si scelgano i valori di R_1 e R_2 in modo da fissare $I_1 = 75$ μ A e $I_3 = 300$ μ A con $V_{CC} = V_{EE} = 15$ V. Quanto vale I_2 ?

***16.116** (a) Con riferimento allo schema di Figura 16.47, quali sono i valori minimi di V_{CC} e V_{EE} necessari affinché l'amplificatore μ A741 lavori correttamente? (b) Quali sono i valori minimi di V_{CC} e V_{EE} necessari ad avere almeno ± 1 V di intervallo di variazione del segnale di modo comune?

16.117 Quali sono i valori degli elementi del circuito equivalente di Norton di Figura 16.54(a) se la corrente I_1 della Figura 16.47 viene portata a 50 μ A?

16.118 Si sostituisca il transistore Q_{23} della Figura 16.48 con un generatore di corrente cascode. (a) Qual è il nuovo valore della resistenza di uscita R_2 ? (b) Quali sono i nuovi valori dei parametri y nella Figura 16.54(b)? (c) Qual è il nuovo valore di A_{dm} dell'amplificatore operazionale?

16.119 Si disegni uno schema del generatore di corrente cascode del Problema 16.118.

16.120 Si ricavi un modello SPICE per piccoli segnali per il circuito di Figura 16.54(b) e si controllino i valori di R_{in10} , G_m e G_o .

***16.121** La Figura P16.121 rappresenta lo stadio di ingresso di un amplificatore operazionale simile al μ A741. (a) Si trovino i punti di lavoro di tutti i transistori dell'amplificatore differenziale se $V_{CC} = V_{EE} = 15$ V e $I_{REF} = 100$ μ A. (b) Si discutano le modalità con cui la rete di polarizzazione fissa i punti di lavoro. (c) Si identifichino il terminale invertente e quello

non invertente. (d) Quanto valgono la transconduttanza e la resistenza di uscita dell'amplificatore? Si ponga $V_A = 60$ V.

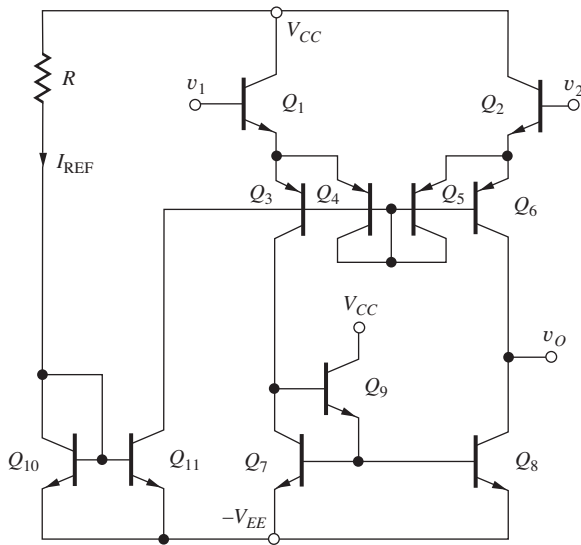


Figura P16.121

- **16.122** La Figura P16.122 rappresenta lo stadio di ingresso di un amplificatore operazionale simile al $\mu A741$. (a) Si trovino i punti di lavoro di tutti i transistori dell'amplificatore differenziale se $V_{CC} = V_{EE} = 15$ V e $I_{REF} = 100$ μA . (b) Si discutano le modalità con cui la rete di polarizzazione fissa i punti di lavoro. (c) Si identifichino il terminale invertente e quello non invertente. (d) Quanto valgono la transconduttanza e la resistenza di uscita dell'amplificatore? Si ponga $V_A = 60$ V.

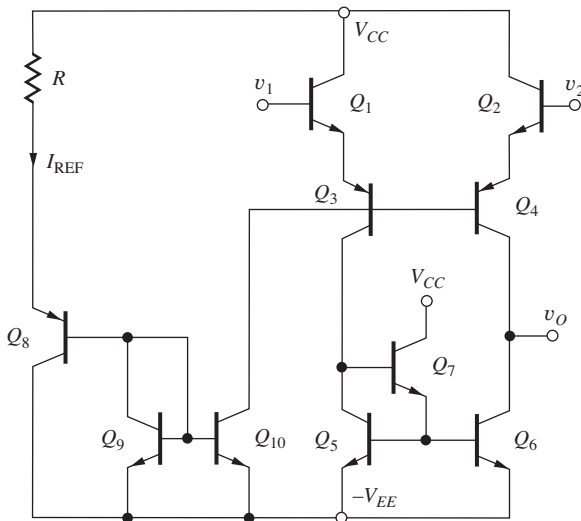


Figura P16.122

16.10 Il moltiplicatore analogico di Gilbert

16.123 Trovare il punto di lavoro dei sei transistori in Figura 16.60 se $V_{CC} = -V_{EE} = 5$ V, $I_{BB} = 100$ μA , $R_1 = 10$ k Ω e $R = 50$ k Ω . Disegnare il circuito ipotizzando che le basi di Q_1 e Q_2 siano polarizzate con una tensione di modo comune di -2.5 V con $v_1 = 0$. Assumere che le basi dei transistori da Q_3 a Q_6 siano polarizzate con una tensione di modo comune di 0 V con $v_2 = 0$.

16.124 Scrivere l'espressione della tensione di uscita del circuito in Figura 16.60 se $v_1 = (0.5 \sin 2000\pi t)$ V e v_2 è generata dal circuito in Figura 16.61 con $v_3 = (0.5 \sin 10000\pi t)$ V. Assumere $V_{CC} = -V_{EE} = 10$ V, $I_E = 500$ μA , $R_1 = R_3 = 2$ k Ω e $R = 10$ k Ω .

16.125 (a) Scrivere l'espressione delle correnti di collettore totali i_{C1} e i_{C2} in Figura 16.60 se $I_{BB} = 1$ mA, $R_1 = 2$ k Ω e $v_1 = (0.4 \sin 5000\pi t)$ V. Assumere che i transistori operino in regione attiva diretta. (b) Quanto vale la transconduttanza G_m del convertitore da tensione a corrente formato da Q_1 e Q_2 ? [$G_m = \Delta(i_{C1} - i_{C2}) / \Delta v_1$]

16.126 Usare SPICE per disegnare la VTC del circuito in Figura 16.61 con $V_{BB} = 3$ V, $-V_{EE} = -5$ V, $i_{EE} = 300$ μA e $R_3 = 3.3$ k Ω .



Capitolo 17

Riepilogo

- La risposta in frequenza degli amplificatori può essere determinata rappresentando il circuito mediante due modelli, uno valido alle basse frequenze, dove sono importanti i condensatori di accoppiamento e di bypass, e l'altro valido alle alte frequenze, dove le capacità interne ai dispositivi controllano il comportamento in frequenza del circuito.
- L'analisi diretta di questi circuiti nel dominio della frequenza, benché normalmente possibile per gli amplificatori a singolo transistor, diventa impraticabile per gli amplificatori multistadio. Tuttavia, nella maggior parte dei casi siamo interessati principalmente al guadagno di centro banda e alle frequenze di taglio superiore e inferiore dell'amplificatore; si può ottenere una stima delle frequenze f_H e f_L utilizzando i metodi delle costanti di tempo a circuito aperto e di cortocircuito. Possono essere ottenuti risultati più accurati utilizzando il simulatore circuitale SPICE.
- Il comportamento in frequenza del transistor bipolare viene descritto aggiungendo, al modello ibrido a π , la capacità base-emettitore C_π , la capacità base-collettore C_μ e la resistenza di base r_x . Il valore di C_π è proporzionale alla corrente di collettore I_C , mentre C_μ dipende debolmente dalla tensione base-collettore. Il prodotto $r_x C_\mu$ è un importante fattore di merito del comportamento in frequenza del transistor bipolare.
- La dipendenza dalla frequenza del MOSFET viene descritta mediante l'aggiunta al modello a π della capacità gate-source C_{GS} e della capacità gate-drain C_{GD} . I valori di C_{GS} e C_{GD} non dipendono dal punto di lavoro quando il MOSFET opera in regione attiva.
- Sia il BJT che il MOSFET presentano un guadagno di corrente finito alle alte frequenze e il prodotto guadagno-larghezza di banda ω_T è determinato, per entrambi i dispositivi, dalle capacità interne e dalla transconduttanza del transistor. Nel transistor bipolare la frequenza di taglio del guadagno di corrente ω_β rappresenta la frequenza alla quale il guadagno di corrente è inferiore di 3 dB rispetto al valore a bassa frequenza.
- In SPICE il comportamento ad alta frequenza del transistor bipolare viene modellato utilizzando i seguenti parametri: tempo di transito diretto TF, capacità della giunzione base-collettore a tensione nulla CJC, potenziale built-in della giunzione di collettore VJC, fattore di forma della giunzione di collettore MJC e resistenza di base RB.
- In SPICE il comportamento ad alta frequenza del MOSFET viene modellato utilizzando le capacità gate-source e gate-drain generate dalle capacità di sovrapposizione CGSO e CGDO insieme con TOX, W e L.
- Qualora sia possibile trovare, utilizzando i circuiti equivalenti a bassa e ad alta frequenza, tutti i poli e zeri della funzione di trasferimento, si può ottenere una stima accurata di f_H e f_L mediante le Equazioni (17.16) e (17.23). In molti casi le risposte in bassa e/o in alta frequenza presentano un polo dominante che determina il valore di f_H o f_L . Sfortunatamente, la complessità della maggior parte degli amplificatori impedisce l'esatta determinazione di tutti i poli e gli zeri, a meno di non ricorrere a metodi numerici.
- Tuttavia, per fini progettuali è necessario comprendere la relazione tra i parametri del dispositivo e del circuito e le frequenze di taglio f_H e f_L . I metodi delle costanti di tempo in cortocircuito (SCTC) e delle costanti di tempo a circuito aperto (OCTC) forniscono le informazioni richieste e permettono di ricavare espressioni per le frequenze f_H e f_L nel caso delle tre classi di amplificatori a singolo stadio: gli stadi invertenti, non invertenti e inseguitori.
- L'impedenza di ingresso di un amplificatore viene ridotta secondo il fattore di Miller, e l'espressione del polo dominante di un amplificatore invertente può essere scritta in termini di effetto Miller.
- Al contrario, l'effetto Miller causa un aumento dell'impedenza di ingresso degli inseguitori, e, anche in questo caso, l'espressione del polo dominante di un inseguitore può essere scritta in termini di effetto Miller.
- Si è visto che gli amplificatori invertenti presentano un elevato guadagno, ma la banda passante è più stretta. Gli amplificatori non invertenti presentano una banda passante più larga per un assegnato guadagno di tensione, ma è importante ricordare che essi hanno una resistenza di ingresso molto più bassa. Gli stadi inseguitori presentano un guadagno unitario su una banda estremamente larga. L'analisi delle tre configurazioni base ha mostrato che l'aumento della banda passante comporta una riduzione del guadagno di tensione e viceversa.
- È stato utilizzato il metodo SCTC per il calcolo delle frequenze di taglio inferiore degli amplificatori multistadio; mentre è stato utilizzato l'effetto Miller e il metodo delle costanti di tempo equivalenti applicati ai nodi lungo il percorso del segnale per trovare la frequenza di taglio superiore. È stata considerata in dettaglio la risposta in frequenza dell'amplificatore differenziale, del cascode, della configurazione C-C/C-B e dello specchio di corrente, e infine è stato studiato un esempio di amplificatore a tre stadi.

- Nella tecnica dello shunt peaking, allo schema base dell'amplificatore invertente viene aggiunto un induttore per estenderne significativamente a larghezza di banda.
- Per ottenere amplificatori a banda stretta a radiofrequenza possono essere usati circuiti accordati che utilizzano reti RLC. Per il progetto è possibile impiegare circuiti accordati singoli o multipli. Se tutti i circuiti accordati sono progettati in modo da avere la stessa frequenza centrale, l'amplificatore viene detto a sintonizzazione sincrona. Se i circuiti accordati presentano diverse frequenze centrali, l'amplificatore è detto a sintonizzazione scalata. Per garantire che gli amplificatori accordati non diventino oscillatori è necessario dedicare particolare attenzione al progetto; una soluzione che permette l'isolamento tra circuiti a sintonizzazione multipla prevede l'impiego di configurazioni cascode e C-C/C-B.
- I mixer sono circuiti largamente usati nell'elettronica per le telecomunicazioni per traslare lo spettro di frequenze di un segnale. La traslazione, o conversione, di frequenza richiede una qualche forma di moltiplicazione

di due segnali, che genera somme e differenze dei due spettri di ingresso. Le configurazioni bilanciate (*single-balanced*) e doppiamente bilanciate (*double-balanced*) eliminano uno o entrambi i segnali di ingresso dallo spettro del segnale di uscita. I mixer bilancati possono essere realizzati tramite coppie differenziali. I mixer doppiamente bilancati spesso usano circuiti passivi basati su transistori MOSFET o diodi usati come interruttori.

- I mixer sono circuiti ampiamente utilizzati nelle telecomunicazioni per traslare lo spettro in frequenza dei segnali. Per operare richiedono la moltiplicazione di due segnali, in maniera da generare la somma e la differenza delle frequenze nei due spettri. I modulatori bilancati e doppiamente bilancati sono circuiti strettamente correlati ai mixer. Il moltiplicatore di Gilbert può essere usato per generare sia segnali Double-SideBand Suppressed-Carrier (DSBSC) sia forme d'onda modulate in ampiezza.
- Il mixer di Jones è un circuito estremamente importante ed è ampiamente utilizzato oggi nelle telecomunicazioni.

Problemi

Le soluzioni si trovano sul sito web dedicato al libro



17.1 Risposta in frequenza degli amplificatori

- 17.1** Si trovino A_{mid} e $F_L(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante? Se sì, qual è l'approssimazione a polo dominante di $A_v(s)$? Qual è la frequenza di taglio inferiore f_L nell'approssimazione a polo dominante? Qual è la frequenza di taglio esatta usando la funzione di trasferimento completa?

$$A_v(s) = \frac{50s^2}{(s+2)(s+30)}$$

- 17.2** Si trovino A_{mid} e $F_L(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante? Se sì, qual è l'approssimazione a polo dominante di $A_v(s)$? Qual è la frequenza di taglio inferiore f_L nell'approssimazione a polo dominante? Qual è la frequenza di taglio esatta usando la funzione di trasferimento completa?

$$A_v(s) = \frac{200s^2}{2s^2 + 1400s + 100\,000}$$

- 17.3** Si trovino A_{mid} e $F_L(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante? Si usi l'Equazione (17.16) per stimare f_L . Si usi il computer per trovare il valore esatto della frequenza di taglio f_L .

$$A_v(s) = -\frac{150s(s+15)}{(s+12)(s+20)}$$

- 17.4** Si trovino A_{mid} e $F_H(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante? Se sì, qual è l'approssimazione a polo dominante di $A_v(s)$? Qual è la frequenza di taglio superiore f_H nell'approssimazione a polo dominante? Qual è la frequenza di taglio esatta usando la funzione di trasferimento completa?

$$A_v(s) = \frac{6 \times 10^{11}}{3s^2 + 3.3 \times 10^5 s + 3 \times 10^9}$$

- 17.5** Si trovino A_{mid} e $F_H(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante? Se sì, qual è l'approssimazione a polo dominante di $A_v(s)$? Qual è la frequenza di taglio superiore f_H nell'approssimazione a polo dominante? Qual è la frequenza di taglio esatta usando la funzione di trasferimento completa?

$$A_v(s) = \frac{(s+2 \times 10^9)}{(s+10^7) \left(1 + \frac{s}{7 \times 10^8}\right)}$$

- 17.6** Si trovino A_{mid} e $F_H(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante? Si usi l'Equazione (17.16) per stimare f_H . Si usi il computer per trovare il valore esatto della frequenza di taglio f_H .

$$A_v(s) = \frac{4 \times 10^9(s+5 \times 10^5)}{(s+3.5 \times 10^5)(s+2 \times 10^6)}$$

- 17.7** Si trovino A_{mid} , $F_L(s)$ e $F_H(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante alle basse frequenze? E alle alte frequenze? Si usino le Equazioni (17.16) e (17.23) per stimare f_L e f_H . Si usi il computer per trovare i valori esatti delle frequenze di taglio e si confrontino con i valori stimati.

$$A_v(s) = -\frac{6 \times 10^8 s^2}{(s+1)(s+2)(s+1000)(s+500)}$$

- *17.8** Si trovino A_{mid} , $F_L(s)$ e $F_H(s)$ per la funzione di trasferimento di seguito riportata. C'è un polo dominante alle basse frequenze? E alle alte frequenze? Si usi le Equazioni (17.16) e (17.23) per stimare f_L e f_H . Si usi il computer per determinare i valori esatti delle frequenze di taglio e si confrontino con i valori stimati.

$$A_v(s) = \frac{10^{10} s^2 (s+1)(s+200)}{(s+3)(s+5)(s+7)(s+100)^2 (s+300)}$$

17.2 Determinazione diretta di poli e zeri a bassa frequenza - L'amplificatore a source comune

- 17.9** (a) Si disegnino i circuiti equivalenti alle basse e medie frequenze per l'amplificatore a source comune di Figura P17.9 se $R_I = 1 \text{ k}\Omega$, $R_1 = 4.3 \text{ M}\Omega$, $R_2 = 5.6 \text{ M}\Omega$, $R_4 = 13 \text{ k}\Omega$, $R_D = 43 \text{ k}\Omega$, $R_3 = 470 \text{ k}\Omega$. (b) Quanto valgono la frequenza di taglio inferiore e il guadagno a centro banda dell'amplificatore se il punto di lavoro è $(0.2 \text{ mA}, 5 \text{ V})$ e $V_{GS} - V_{TN} = 1 \text{ V}$? Quanto vale V_{DD} ?

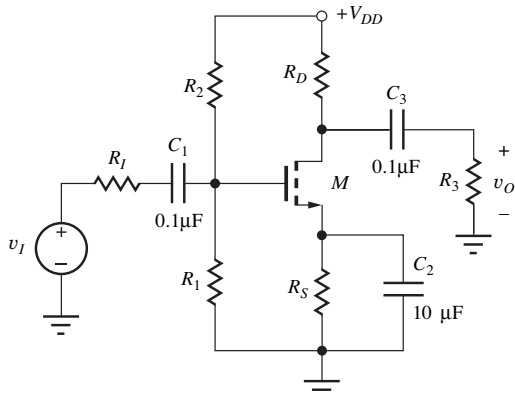


Figura P17.9

- 17.10** (a) Si disegnino i circuiti equivalenti alle basse e medie frequenze per l'amplificatore a source comune di Figura P17.9 se $R_S = 13 \text{ k}\Omega$, $R_I = 5 \text{ k}\Omega$, $R_1 = 430 \text{ k}\Omega$, $R_2 = 560 \text{ k}\Omega$, $R_D = 43 \text{ k}\Omega$, $R_3 = 220 \text{ k}\Omega$. (b) Quanto valgono la frequenza di taglio inferiore e il guadagno a centro banda dell'amplificatore se il punto di lavoro è $(0.2 \text{ mA}, 5 \text{ V})$ e $V_{GS} - V_{TN} = 1 \text{ V}$? (c) Quanto vale V_{DD} ?

- 17.11** (a) Che valore di C_2 è richiesto per fissare $f_L = 50 \text{ Hz}$ nel circuito del Problema 17.9? (b) Si scelgano i condensatori dall'Appendice A arrotondando ai valori standard più vicini. Qual è il valore effettivo di f_L utilizzando questi condensatori? Si ripeta per il circuito del Problema 17.10.

- 17.12** (a) Si disegni il circuito equivalente alle basse e medie frequenze per l'amplificatore a gate comune di Figura P17.12. (b) Si scriva l'espressione della funzione di trasferimento dell'amplificatore e si identifichi la posizione dei due poli e dei due zeri alle basse frequenze. Si assuma $r_o \rightarrow \infty$ e $g_m = 4 \text{ mS}$. (c) Quanto valgono la frequenza di taglio inferiore e il guadagno di centro banda dell'amplificatore?

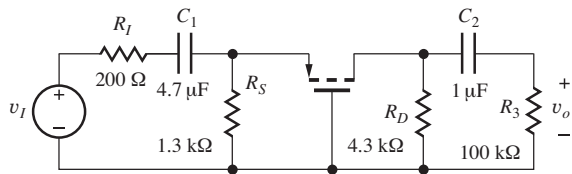


Figura P17.12

- 17.13** (a) Che valore di C_1 è richiesto per fissare $f_L = 2000 \text{ Hz}$ nel circuito del Problema 17.12? (b) Si scelgano i condensatori dall'Appendice A arrotondando ai valori standard più vicini. Qual è il valore effettivo di f_L utilizzando questi condensatori?

- 17.14** (a) Si disegnino i circuiti equivalenti alle basse e

medie frequenze per l'amplificatore a base comune di Figura P17.14 se $R_I = 75 \Omega$, $R_E = 4.3 \text{ k}\Omega$, $R_C = 2.2 \text{ k}\Omega$, $R_3 = 51 \text{ k}\Omega$ e $\beta_o = 100$. (b) Si scriva l'espressione della funzione di trasferimento dell'amplificatore e si identifichi la posizione dei due poli e dei due zeri alle basse frequenze. Si assuma $r_o \rightarrow \infty$ e il punto di lavoro in $(1.5 \text{ mA}, 5 \text{ V})$. (c) Quanto valgono la frequenza di taglio inferiore e il guadagno di centro banda dell'amplificatore? (d) Quanto valgono $-V_{EE}$ e V_{CC} ? (e) Quanto valgono la frequenza di taglio inferiore e il guadagno di centro banda dell'amplificatore se $R_E = 430 \text{ k}\Omega$, $R_C = 220 \text{ k}\Omega$, $R_3 = 510 \text{ k}\Omega$ e il punto di lavoro è $(15 \mu\text{A}, 5 \text{ V})$? (f) Quanto valgono $-V_{EE}$ e V_{CC} per la parte (e)?

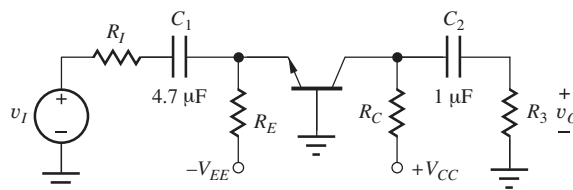


Figura P17.14

- 17.15** (a) Che valore di C_1 è richiesto per fissare $f_L = 500 \text{ Hz}$ nel circuito del Problema 17.14? (b) Si scelgano i condensatori dall'Appendice A arrotondando ai valori standard più vicini. Qual è il valore effettivo di f_L utilizzando questi valori standard dei condensatori? (c) Si ripeta per il circuito del Problema 17.14(e).

17.3 Stima di ω_L mediante il metodo delle costanti di tempo in cortocircuito

- 17.16** (a) Il circuito a emettitore comune di Figura 17.6 è ridisegnato con $R_1 = 100 \text{ k}\Omega$, $R_2 = 300 \text{ k}\Omega$, $R_E = 15 \text{ k}\Omega$, $R_C = 43 \text{ k}\Omega$, $R_3 = 43 \text{ k}\Omega$ e il punto di lavoro è $(0.175 \text{ mA}, 2.3 \text{ V})$. Gli altri valori rimangono immutati. Si usi la tecnica SCTC per trovare f_L . (b) Si disegni la risposta in frequenza con SPICE e si trovi f_L . (c) Si calcoli il punto di lavoro del transistor.

- 17.17** (a) Che valore di C_2 è richiesto per fissare $f_L = 1 \text{ kHz}$ nel circuito del Problema 17.16? (b) Si scelgano i condensatori dall'Appendice A arrotondando ai valori standard più vicini. Qual è il valore effettivo di f_L utilizzando questi valori dei condensatori?

- 17.18** (a) Si disegni il circuito equivalente alle basse e medie frequenze per l'amplificatore a emettitore comune di Figura P17.18 se $R_I = 2 \text{ k}\Omega$, $R_1 = 110 \text{ k}\Omega$, $R_2 = 330 \text{ k}\Omega$, $R_E = 13 \text{ k}\Omega$, $R_C = 43 \text{ k}\Omega$, $R_3 = 43 \text{ k}\Omega$. (b) Quanto valgono la frequenza di taglio inferiore e il guadagno a centro banda dell'amplificatore se il punto di lavoro è $(164 \mu\text{A}, 2.79 \text{ V})$ e $\beta_o = 100$? (c) Quanto vale V_{CC} ?

- 17.19** Si usi la tecnica SCTC per trovare la frequenza di taglio inferiore dell'amplificatore a source comune in Figura 17.11 se $R_G = 1 \text{ M}\Omega$, $R_3 = 68 \text{ k}\Omega$, $R_D = 22 \text{ k}\Omega$, $R_S = 6.8 \text{ k}\Omega$, $g_m = 2 \text{ mS}$. Gli altri parametri restano immutati.

- 17.20** Si usi la tecnica SCTC per trovare la frequenza di taglio inferiore dell'amplificatore a source comune in Figura 17.11 se $R_G = 500 \text{ k}\Omega$, $R_3 = 10 \text{ k}\Omega$, $R_D = 43 \text{ k}\Omega$, $R_S = 10 \text{ k}\Omega$, $g_m = 0.6 \text{ mS}$. Gli altri parametri restano immutati.

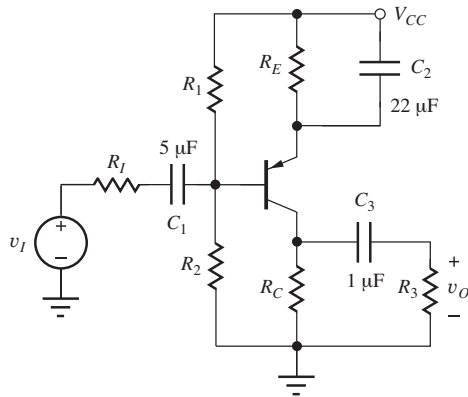


Figura P17.18

- 17.21** (a) Si disegni il circuito equivalente alle basse e medie frequenze per l'amplificatore a gate comune di Figura P17.21. (b) Quanto valgono la frequenza di taglio inferiore e il guadagno a centro banda dell'amplificatore se il punto di lavoro è (0.1 mA, 8.6 V), $V_{GS} - V_{TN} = 0.7$ V, $C_1 = 4.7$ μ F, $C_3 = 0.2$ μ F e $C_2 = 0.1$ μ F?

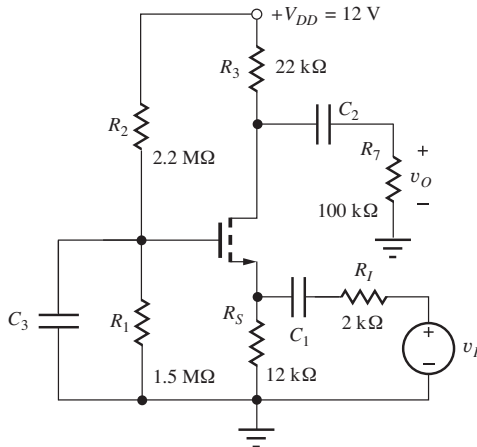


Figura P17.21

- 17.22** (a) Si disegni il circuito equivalente alle basse e medie frequenze per l'inseguitore di emettitore in Figura P17.22. (b) Quanto valgono la frequenza di taglio inferiore e il guadagno a centro banda dell'amplificatore se il punto di lavoro è (0.25 mA, 10 V), $\beta_0 = 100$, $C_1 = 4.7$ μ F e $C_2 = 8.2$ μ F?

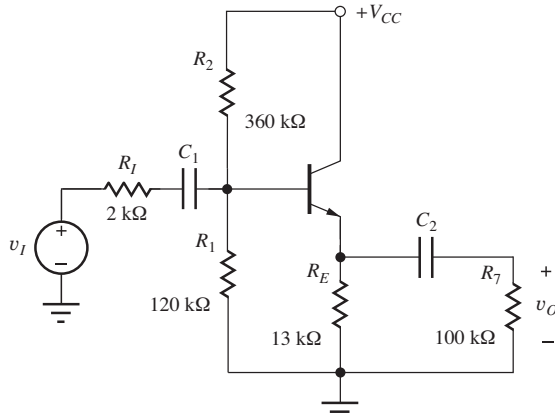


Figura P17.22

- 17.23** Si disegni il circuito equivalente alle basse e medie frequenze per l'inseguitore di source in Figura P17.23. (b) Quanto valgono la frequenza di taglio inferiore e il guadagno a centro banda dell'amplificatore se il transistor è polarizzato a 0.75 V sopra la soglia con un punto di lavoro di (0.1 mA, 8.8 V), $C_1 = 4.7$ μ F e $C_2 = 0.1$ μ F? (c) Quanto vale V_{DD} ?

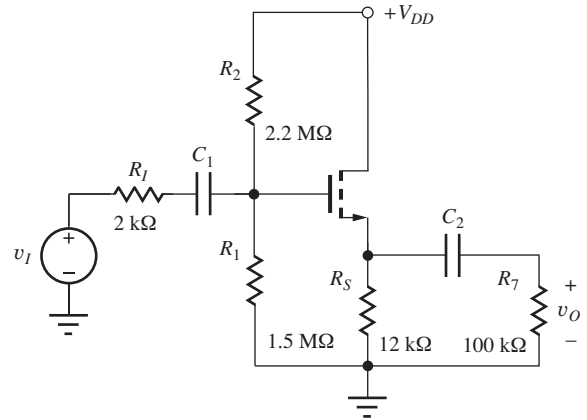


Figura P17.23

- 17.24** Si modifichi il valore di C_2 nello stadio C-S del Problema 17.9 in modo da ottenere $f_L = 750$ Hz.
- 17.25** Si modifichi il valore di C_1 nello stadio C-G del Problema 17.12 in modo da ottenere $f_L = 100$ Hz.
- 17.26** Si modifichi il valore di C_2 nello stadio C-E del Problema 17.18 in modo da ottenere $f_L = 20$ Hz.
- 17.27** Si modifichi il valore di C_1 nello stadio C-G del Problema 17.21 in modo da ottenere $f_L = 50$ Hz.
- 17.28** Si modifichi il valore di C_2 nello stadio C-C del Problema 17.22 in modo da ottenere $f_L = 100$ Hz.
- 17.29** Si modifichi il valore di C_2 nello stadio C-D del Problema 17.23 in modo da ottenere $f_L = 5$ Hz.

17.4 Modelli del transistor alle alte frequenze

- 17.30** Si aggiungano i parametri mancanti, per il BJT, nella tabella seguente se $r_x = 250$ Ω .

I_C	f_T	C_π	C_μ	$\frac{1}{2\pi r_x C_\mu}$
10 μ A	50 MHz		0.50 pF	159 GHz
100 μ A	300 MHz	0.75 pF	0.25 pF	
500 μ A	1 GHz			
10 mA		10 pF	1 pF	
1 μ A		1 pF	0.25 pF	
	5 GHz	0.75 pF		

- 17.31** Un transistor con $f_T = 500$ MHz e $C_{\mu 0} = 2$ pF viene polarizzato in (2 mA, 5 V). Quanto vale il tempo di transito diretto τ_F se $\phi_{JC} = 0.9$ V?
- 17.32** Si aggiungano i parametri mancanti, per il MOSFET, nella tabella seguente se $K_n = 2$ mA/V² e $r_g = 250$ Ω .

I_D	f_T	C_{GS}	C_{GD}
10 μ A		1.5 pF	0.50 pF
250 μ A	250 MHz	1.5 pF	0.50 pF
		1.25 pF	0.25 pF

- 17.33** (a) Un MOSFET a canale n ha una mobilità di $600 \text{ cm}^2/(\text{V} \cdot \text{s})$ e una lunghezza di canale di $1 \mu\text{m}$. Qual è la f_T del transistor se $V_{GS} - V_{TN} = 0.25 \text{ V}$? (b) Si ripeta per un PMOS con una mobilità di $250 \text{ cm}^2/(\text{V} \cdot \text{s})$. (c) Si ripeta per un transistor realizzato nella nuova tecnologia con $L = 0.1 \mu\text{m}$. (d) Si ripeta per un transistor realizzato in una tecnologia con $L = 25 \text{ nm}$.

17.5 Resistenza di base nel modello ibrido a π

- 17.34** (a) Quanto vale il guadagno a centro banda dell'amplificatore a emettitore comune di Figura P17.34 se $r_x = 500 \Omega$, $I_C = 1 \text{ mA}$, $\beta_o = 110$? (b) Se $r_x = 0$?

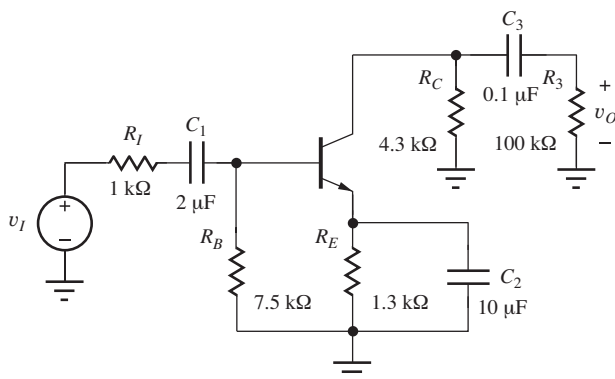


Figura P17.34

- 17.35** (a) Quanto vale il guadagno a centro banda dell'amplificatore a collettore comune di Figura P17.35 se $r_x = 350 \Omega$, $I_C = 0.75 \text{ mA}$, $\beta_o = 165$? (b) Se $r_x = 0$?

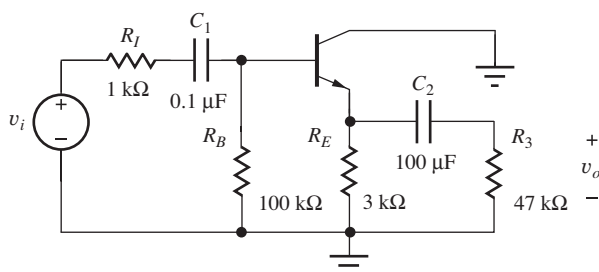


Figura P17.35

- 17.36** (a) Quanto vale il guadagno a centro banda dell'amplificatore a base comune di Figura P17.36 se $r_x = 200 \Omega$, $I_C = 0.125 \text{ mA}$, $\beta_o = 125$? (b) Se $r_x = 0$?

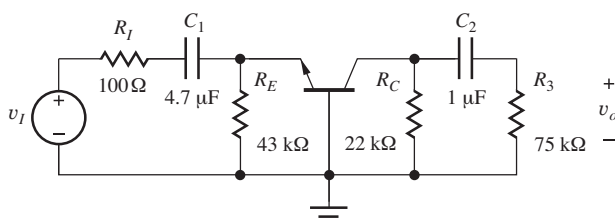


Figura P17.36

17.6 Analisi ad alta frequenza degli amplificatori a emettitore comune e a source comune

Fattorizzazione

- 17.37** Si utilizzi la tecnica della fattorizzazione a radice dominante per stimare gli zeri delle seguenti equazioni quadratiche e si confrontino i risultati con le radici esatte: (a) $s^2 + 5000s + 500\,000$; (b) $2s^2 + 500s + 30\,000$; (c) $3s^2 + 3300s + 300\,000$; (d) $1.5s^2 + 300s + 40\,000$.

- 17.38** (a) Si utilizzi la tecnica della fattorizzazione a radice dominante per stimare gli zeri della seguente equazione. (b) Si confrontino i risultati con le radici esatte. $s^3 + 1110s^2 + 111\,000s + 1\,000\,000$.

- **17.39** Si usi il metodo di Newton per trovare le radici del seguente polinomio. (Suggerimento: si trovino le radici una per volta. Una volta trovata una radice, la si ponga a fattor comune per ridurre l'ordine del polinomio. Si utilizzi la fattorizzazione approssimata per trovare il punto iniziale delle iterazioni.)

$$s^6 + 142s^5 + 4757s^4 + 58\,230s^3 + 256\,950s^2 + 398\,000s + 300\,000$$

Per i Problemi dal 17.40 al 17.48 si considerino $f_T = 500 \text{ MHz}$, $r_x = 300 \Omega$, $C_\mu = 0.75 \text{ pF}$, $C_{GS} = C_{GD} = 2.5 \text{ pF}$.

- 17.40** (a) Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a emettitore comune del Problema 17.34(a) se $I_C = 1 \text{ mA}$ e $\beta_o = 100$? (b) Quanto vale il prodotto banda-guadagno per questo amplificatore? (c) Quanto vale il guadagno di corrente del transistor a $f = f_H$? Si faccia uso dell'approssimazione di C_T .

- 17.41** I resistori R_1 , R_2 , R_E e R_C dell'amplificatore a emettitore comune in Figura 17.6 vengono ridotti di un fattore 2. (a) Si disegni il circuito equivalente in DC dell'amplificatore e calcolare il nuovo punto di lavoro dei transistori. (b) Si disegni il circuito equivalente AC per piccolo segnale e trovare il guadagno di centro banda e la frequenza di taglio superiore dell'amplificatore. (c) Quanto vale il prodotto guadagno-banda?

- 17.42** I resistori R_1 , R_2 , R_E e R_C dell'amplificatore a emettitore comune in Figura 17.6 vengono aumentati di un fattore 50. (a) Si disegni il circuito equivalente in DC dell'amplificatore e calcolare il nuovo punto di lavoro dei transistori. (b) Si disegni il circuito equivalente AC per piccolo segnale e trovare il guadagno di centro banda e la frequenza di taglio superiore dell'amplificatore. (c) Quanto vale il prodotto guadagno-banda?

- 17.43** (a) Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a source comune del Problema 17.9? (b) Quanto valgono l'impedenza di ingresso Z_{iG} e il guadagno di corrente del transistor quando $f = f_H$?

- 17.44** Si simuli la risposta in frequenza dell'amplificatore del Problema 17.9 e si determinino A_{mid} , f_L e f_H .

- 17.45** Nell'amplificatore a source comune in Figura 17.6, il valore di R_S è portato a $3.9 \text{ k}\Omega$ e quello di R_D a $10 \text{ k}\Omega$. Per il MOSFET $K_n = 500 \mu\text{A}/\text{V}^2$ e $V_{TN} = 1 \text{ V}$. (a) Si disegni il circuito equivalente in DC dell'amplificatore e si calcoli il nuovo punto di lavoro dei transistori se $V_{DD} = 15 \text{ V}$. (b) Si disegni il circuito equivalente AC per piccolo segnale e trovare il guadagno di centro banda e la frequenza di taglio superiore dell'amplificatore. (c) Quanto vale il prodotto guadagno-banda?
- 17.46** (a) Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a emettitore comune del Problema 17.18? (b) Quanto valgono l'impedenza di ingresso Z_{iG} e il guadagno di corrente del transistor quando $f = f_H$?
- 17.47** Si simuli la risposta in frequenza dell'amplificatore del Problema 17.18 e determinare A_{mid} , f_L e f_H .
- 17.48** La rete di Figura P17.48 modella uno stadio a emettitore comune con un condensatore in parallelo a R_L . (a) Si scrivano le due equazioni nodali e trovare il determinante del sistema per la rete di Figura P17.48. (b) Si utilizzi la fattorizzazione a radice dominante per trovare i due poli. (c) Ci sono tre condensatori nella rete. Perché i poli sono solo due?

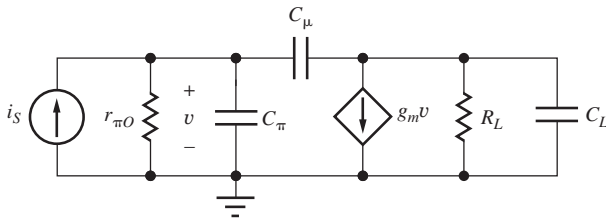


Figura P17.48

Moltiplicazione di Miller

- 17.49** Qual è la capacità di ingresso totale del circuito di Figura 17.35(c) se $C_\pi = 20 \text{ pF}$, $C_\mu = 1 \text{ pF}$, $I_C = 5 \text{ mA}$ e $R_L = 1 \text{ k}\Omega$? Quanto vale la f_T del transistor?
- *17.50** (a) Qual è la capacità di ingresso del circuito di Figura P17.50 se Z è un condensatore di 100 pF e l'amplificatore è un operazionale con guadagno di $100\,000$? (b) Qual è l'impedenza di ingresso del circuito di Figura P17.50 a $f = 1 \text{ kHz}$ se Z è un resistore da $100 \text{ k}\Omega$ e $A(s) = 10^6/(s + 10)$? (c) A 50 kHz ? (d) A 1 MHz ?

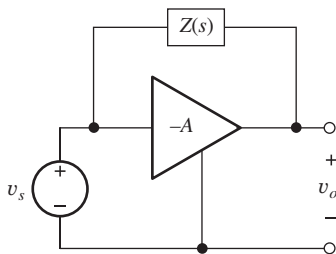


Figura P17.50

- 17.51** (a) Si trovi la funzione di trasferimento dell'integratore di Miller della Figura 10.38 se $A(s) = 20A_o/(s + 10)$. La funzione di trasferimento

è quella di un amplificatore passa basso. Qual è la frequenza di taglio superiore se $A_o = 10^5$? (b) E per $A_o = 10^6$? (c) Si mostri che la funzione di trasferimento si avvicina a quella di un integratore ideale se $A_o \rightarrow \infty$.

- 17.52** Si utilizzi la moltiplicazione di Miller per calcolare l'impedenza offerta v_i dal circuito di Figura P17.52 a $f = 1 \text{ kHz}$ se $r_x = 200 \Omega$, $r_\pi = 2.5 \text{ k}\Omega$, $g_m = 40 \text{ mS}$, $R_L = 2.5 \text{ k}\Omega$, $C_\pi = 12 \text{ pF}$ e $C_\mu = 1 \text{ pF}$. (b) A 50 kHz . (c) A 1 MHz . (d) Si confrontino i risultati ottenuti con quelli forniti dal simulatore SPICE.

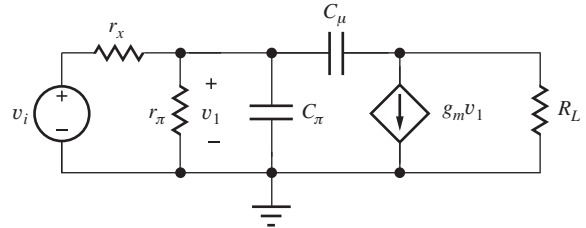


Figura P17.52

- 17.53** Si usi SPICE per trovare guadagno a centro banda e frequenze di taglio superiore e inferiore dell'amplificatore del Problema 17.52.
- 17.54** (a) Si stimi la frequenza di taglio superiore dell'amplificatore a emettitore comune del Problema 17.34(a) se $f_T = 600 \text{ MHz}$ e $C_\mu = 0.65 \text{ pF}$. (b) Si ripeta per il Problema 17.34(b).
- 17.55** I resistori R_1 , R_3 , R_E e R_C dell'amplificatore a emettitore comune in Figura P17.34 vengono aumentati di un fattore 10 e la corrente di collettore è ridotta a 0.1 mA . (a) Si disegni il circuito equivalente AC per piccolo segnale e trovare il guadagno di centro banda e la frequenza di taglio superiore dell'amplificatore se $\beta_o = 100$, $f_T = 500 \text{ MHz}$, $r_x = 250 \Omega$, $C_\mu = 0.65 \text{ pF}$. (b) Quanto vale il prodotto guadagno-banda? Si calcoli il limite superiore per GBW fissato dal prodotto $r_x C_\mu$.
- 17.56** Si stimi la frequenza di taglio superiore dell'amplificatore a source comune del Problema 17.9 se $C_{GS} = 4 \text{ pF}$ e $C_{GD} = 2 \text{ pF}$. Quanto vale il prodotto guadagno-banda?

Stima di ω_H per gli amplificatori invertenti, non invertenti e per gli inseguitori utilizzando il metodo delle costanti di tempo a circuito aperto

- 17.57** (a) Si modifichi l'amplificatore a emettitore comune di Figura P17.34 in modo da avere una frequenza di taglio superiore di 4 MHz agendo sul valore della resistenza di collettore R_C . Qual è il nuovo valore del guadagno di tensione di centro banda? (b) Qual è il valore del prodotto guadagno-larghezza di banda?
- 17.58** Quali sono i valori di (a) A_{mid} , f_L e f_H dell'amplificatore a emettitore comune di Figura P17.58 se $C_1 = 1 \mu\text{F}$, $C_2 = 0.1 \mu\text{F}$, $C_3 = 2.2 \mu\text{F}$, $R_3 = 100 \text{ k}\Omega$, $\beta_o = 100$, $f_T = 300 \text{ MHz}$, $r_x = 300 \Omega$, $C_\mu = 0.5 \text{ pF}$? (b) Qual è il valore del prodotto guadagno-larghezza di banda?

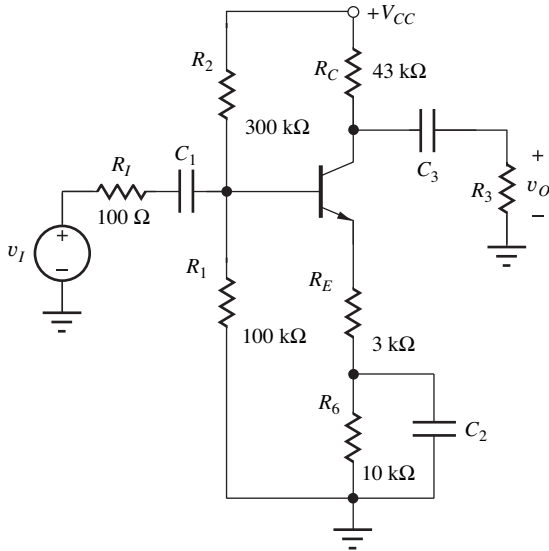


Figura P17.58

- 17.59** (a) Si modifichi l'amplificatore a emettitore comune di Figura P17.58 in modo da avere una frequenza di taglio superiore di 8 MHz agendo sul valore di R_E . Si mantenga costante la somma $R_E + R_6 = 13 \text{ k}\Omega$. Qual è il nuovo valore del guadagno di tensione di centro banda? (b) Qual è il valore del prodotto guadagno-larghezza di banda?
- 17.60** Si trovino (a) A_{mid} , (b) f_L e (c) f_H per l'amplificatore di Figura P17.60 se $\beta_o = 100$, $f_T = 200 \text{ MHz}$, $C_\mu = 1 \text{ pF}$ e $r_x = 200 \Omega$.
- 17.61** Si modifichino i valori di R_{E1} e R_{E2} nell'amplificatore del Problema 17.60 in modo da avere $f_H = 12 \text{ MHz}$. Non si cambi il punto di lavoro.

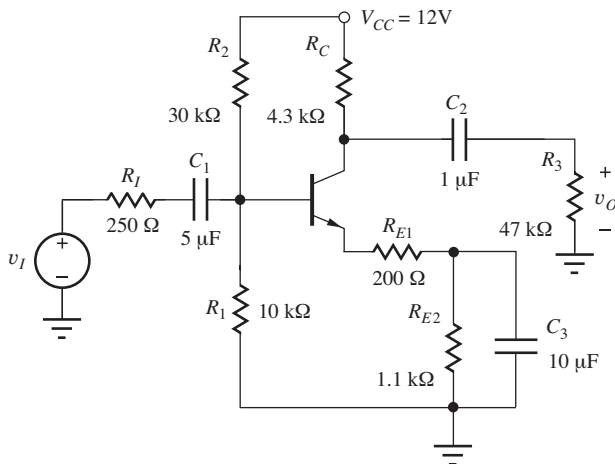


Figura P17.60

- *17.62** La rete di Figura P17.62 ha due poli. (a) Si valuti la posizione del polo a frequenza inferiore usando il metodo delle costanti di tempo in cortocircuito se $C_1 = 1 \mu\text{F}$, $C_2 = 10 \mu\text{F}$, $R_1 = 10 \text{ k}\Omega$, $R_2 = 1 \text{ k}\Omega$ e $R_3 = 1 \text{ k}\Omega$. (b) Si valuti la posizione del polo a più alta frequenza usando il metodo delle costanti di tempo a circuito aperto. (c) Perché le posizioni dei

poli sembrano essere arretrate? (d) Si trovi il determinante del sistema e si confrontino le sue radici con i risultati dei punti (a) e (b).

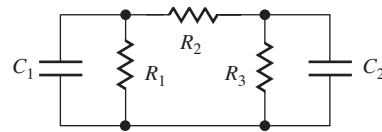


Figura P17.62

Per i Problemi dal 17.63 al 17.75 si considerino $f_T = 500 \text{ MHz}$, $r_x = 300 \Omega$, $C_\mu = 0.60 \text{ pF}$ per il BJT e $C_{GS} = 3 \text{ pF}$, $C_{GD} = 0.60 \text{ pF}$ per il MOSFET.

17.7 Risposta in alta frequenza degli amplificatori a base comune e a gate comune

- 17.63** Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a gate comune del Problema 17.12?
- 17.64** Si simuli la risposta in frequenza dell'amplificatore del Problema 17.12 e si determinino A_{mid} , f_L e f_H .
- 17.65** Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a base comune del Problema 17.14(c)?
- 17.66** Si simuli la risposta in frequenza dell'amplificatore del Problema 17.14 con $V_{CC} = V_{EE} = 5 \text{ V}$ e si determinino A_{mid} , f_L e f_H .
- 17.67** Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a base comune del Problema 17.14 se $V_{CC} = V_{EE} = 10 \text{ V}$?
- 17.68** Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore del Problema 17.21?
- 17.69** Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore del Problema 17.21 se $V_{DD} = 18 \text{ V}$?

17.8 Risposta in alta frequenza degli amplificatori a collettore comune e a drain comune

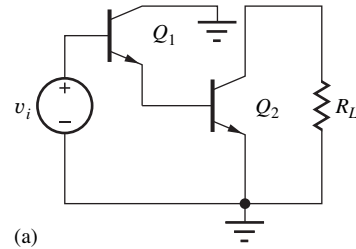
- 17.70** (a) Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'inseguitore di source del Problema 17.22? (b) Si simuli la risposta in frequenza dell'amplificatore del Problema 17.22 con $V_{DD} = 10 \text{ V}$ e si determinino A_{mid} , f_L e f_H .
- 17.71** (a) Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'amplificatore a collettore comune in Figura P17.22 se $V_{CC} = 12 \text{ V}$?
- 17.72** (a) Quanto valgono il guadagno a centro banda e la frequenza di taglio superiore dell'inseguitore di source del Problema 17.23? (b) Si simuli la risposta in frequenza dell'amplificatore del Problema 17.23 con $V_{DD} = 10 \text{ V}$ e si determinino A_{mid} , f_L e f_H .

- 17.73** Quali sono le espressioni del guadagno a centro banda e della frequenza di taglio superiore per l'amplificatore a drain comune del Problema 17.23 se $V_{DD} = 18 \text{ V}$?
- *17.74** Si ricavi un'espressione per la capacità di ingresso totale del BJT di Figura 17.44 (c) guardando nel nodo v_b . Si assuma $C_L = 0$. Si utilizzi il risultato per interpretare l'Equazione (17.138).
- **17.75** Si ricavi un'espressione per la capacità totale che si vede guardando dentro il gate del MOSFET di Figura 17.45(b). Assumere $C_L = 0$. Si utilizzi il risultato per interpretare l'Equazione (17.141).

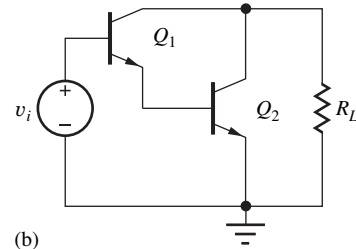
17.9 Riepilogo della risposta in alta frequenza degli amplificatori a singolo stadio

Prodotto guadagno-larghezza di banda

- 17.76** Bisogna scegliere un transistorore bipolare per realizzare un amplificatore a emettitore comune con un guadagno di 43 dB e una banda passante di 6 MHz. Quale dovrebbe essere il valore minimo per la f_T del transistorore? Quale dovrebbe essere il valore minimo del prodotto $r_x C_\mu$? (Si utilizzi un fattore 5 come margine di sicurezza per ciascuna stima.)
- 17.77** Bisogna scegliere un transistorore bipolare per realizzare un amplificatore a base comune con un guadagno di 40 dB e una banda passante di 40 MHz. Quale dovrebbe essere il valore minimo per la f_T del transistorore? Quale dovrebbe essere il valore minimo del prodotto $r_x C_\mu$? (Si utilizzi un fattore 5 come margine di sicurezza per ciascuna stima.)
- 17.78** Un BJT viene utilizzato in un amplificatore differenziale con resistori di carico di 100 k Ω . Quali sono i massimi valori r_x e C_μ che possono essere tollerati se si desidera un guadagno di 100 e una banda passante di 1.8 MHz?
- 17.79** Si utilizza un MOSFET con $C_{GS} = 7.5 \text{ pF}$ e $C_{GD} = 3 \text{ pF}$ per realizzare un amplificatore a gate comune con una resistenza di source di 100 Ω , $A_{mid} = 20$ e una banda passante di 25 MHz. Si stimi la minima corrente di lavoro necessaria a soddisfare queste specifiche se $K_n = 25 \text{ mA/V}^2$ e $V_{DD} = 15 \text{ V}$.
- *17.80** Si utilizza un MOSFET con $C_{GS} = 12 \text{ pF}$ e $C_{GD} = 5 \text{ pF}$ per realizzare un amplificatore a source comune con una resistenza di source di 100 Ω e una banda passante di 25 MHz. Si stimi la minima corrente di lavoro necessaria a soddisfare queste specifiche se $K_n = 25 \text{ mA/V}^2$ e $V_{GS} - V_{TN} \geq 0.25 \text{ V}$.
- 17.81** Qual è il limite massimo della banda passante del circuito di Figura 17.14 se $R_C = 12 \text{ k}\Omega$, $R_3 = 47 \text{ k}\Omega$ e $C_\mu = 1.5 \text{ pF}$?
- **17.82** (a) Si stimi la frequenza di taglio della cascata C-C/C-E in Figura P17.82(a). (b) Si stimi la frequenza di taglio dello stadio Darlington di Figura P17.82(b). Si assuma $I_{C1} = 0.1 \text{ mA}$, $I_{C2} = 1 \text{ mA}$, $\beta_o = 100$, $f_T = 300 \text{ MHz}$, $C_\mu = 0.5 \text{ pF}$, $V_A = 50 \text{ V}$ e $r_x = 300 \Omega$ e $R_L \rightarrow \infty$. (b) Quale configurazione presenta la banda passante più larga? (c) Quale configurazione viene usata nel secondo stadio dell'amplificatore $\mu A741$? Si giustifichi il motivo della scelta.



(a)



(b)

Figura P17.82

- 17.83** Si disegni il diagramma di Bode del rapporto di reiezione di modo comune dell'amplificatore differenziale di Figura 17.48 se $I_C = 100 \mu\text{A}$, $R_{EE} = 10 \text{ M}\Omega$, $C_{EE} = 1 \text{ pF}$, $\beta_o = 100$, $V_A = 50 \text{ V}$, $f_T = 200 \text{ MHz}$, $C_\mu = 0.3 \text{ pF}$ e $r_x = 175 \Omega$, $R_C = 6 \text{ k}\Omega$, $R_L = 100 \text{ k}\Omega$. R_L è collegata tra i collettori dei transistori Q_1 e Q_2 .

- 17.84** Si utilizzi SPICE per tracciare il diagramma di Bode del Problema 17.83.

17.10 Risposta in frequenza degli amplificatori multistadio

- 17.85** Qual è la minima banda passante dello specchio di corrente NMOS di Figura P17.85 se $I_S = 150 \mu\text{A}$, $K'_n = 25 \mu\text{A/V}^2$, $\lambda = 0.02 \text{ V}^{-1}$, $C_{GS1} = 3 \text{ pF}$, $C_{GD1} = 0.5 \text{ pF}$ e $(W/L)_1 = 5/1 = (W/L)_2$?

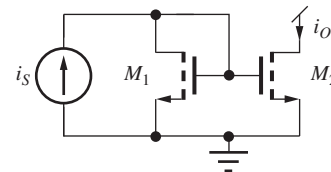


Figura P17.85

- 17.86** Qual è la minima banda passante dello specchio di corrente MOS di Figura P17.85 se $I_S = 200 \mu\text{A}$, $K'_n = 25 \mu\text{A/V}^2$, $\lambda = 0.02 \text{ V}^{-1}$, $C_{GS1} = 3 \text{ pF}$, $C_{GD1} = 1 \text{ pF}$ e $(W/L)_1 = 5/1$ e $(W/L)_2 = 25/1$?

- 17.87** Qual è la minima banda passante dello specchio di corrente npn di Figura P17.87 se $I_S = 75 \mu\text{A}$, $\beta_o = 100$, $V_A = 60 \text{ V}$, $f_T = 600 \text{ MHz}$, $C_\mu = 0.5 \text{ pF}$ e $A_{E2} = 10A_{E1}$?

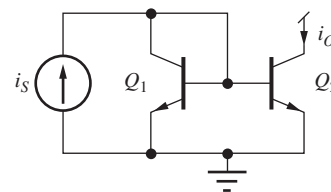


Figura P17.87

17.88 Qual è la minima banda passante dello specchio di corrente bipolare di Figura P17.87 se $I_S = 250 \mu\text{A}$, $\beta_o = 100$, $V_A = 50 \text{ V}$, $f_T = 500 \text{ MHz}$, $C_\mu = 0.3 \text{ pF}$, $r_x = 175 \Omega$ e $A_{E2} = 4A_{E1}$?

17.89 Qual è la minima banda passante dello specchio di corrente *pn*p di Figura P17.89 se $I_S = 80 \mu\text{A}$, $\beta_o = 50$, $V_A = 60 \text{ V}$, $f_T = 50 \text{ MHz}$, $C_\mu = 2.5 \text{ pF}$ e $A_{E2} = A_{E1}$?

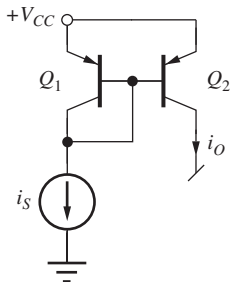


Figura P17.89

17.90 Si trovi la minima banda passante dello specchio di corrente di Wilson di Figura P17.90 se $I_{\text{REF}} = 275 \mu\text{A}$, $K_n = 250 \mu\text{A}/\text{V}^2$, $V_{TN} = 0.75 \text{ V}$, $\lambda = 0.02 \text{ V}^{-1}$, $C_{GS} = 3 \text{ pF}$ e $C_{GD} = 1 \text{ pF}$.

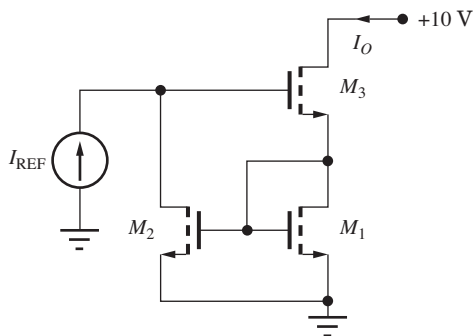


Figura P17.90

17.91 (a) I transistori dell'amplificatore differenziale di Figura 17.48 sono polarizzati a una corrente di collettore di $18 \mu\text{A}$ e $R_C = 430 \text{ k}\Omega$. I transistori hanno $f_T = 75 \text{ MHz}$, $C_\mu = 0.5 \text{ pF}$ e $r_x = 500 \Omega$. Qual è la banda dell'amplificatore differenziale? (b) Si ripeta se la corrente di collettore è portata a $50 \mu\text{A}$ e R_C è ridotta a $140 \text{ k}\Omega$.

17.92 (a) I transistori della cascata C-C/C-B di Figura 17.50 sono polarizzati a una corrente di $I_{EE} = 225 \mu\text{A}$ e $R_C = 75 \text{ k}\Omega$. I transistori hanno $f_T = 100 \text{ MHz}$, $C_\mu = 1 \text{ pF}$ e $r_x = 500 \Omega$. Qual è la banda dell'amplificatore? (b) Si ripeta se la corrente è portata a 2 mA e R_C è ridotta a $7.5 \text{ k}\Omega$.

17.93 (a) I transistori dell'amplificatore cascode di Figura 17.52 sono polarizzati a una corrente di collettore di $140 \mu\text{A}$ e $R_L = 75 \text{ k}\Omega$. I transistori hanno $f_T = 100 \text{ MHz}$, $C_\mu = 1 \text{ pF}$ e $r_x = 500 \Omega$. Qual è la banda dell'amplificatore se $R_{th} = 0$? (b) Si ripeta se la corrente di collettore è portata a 1 mA e R_C è ridotta a $7.5 \text{ k}\Omega$.

17.94 La corrente di polarizzazione del transistor Q_3 in Figura 17.55(a) viene raddoppiata riducendo il valore dei resistori R_3 , R_4 e R_{E3} di un fattore 2. Quali sono i nuovi valori del guadagno a centro banda e delle frequenze di taglio superiore e inferiore?

17.95 La corrente di polarizzazione del transistor Q_3 in Figura 17.55(a) viene raddoppiata riducendo il valore dei resistori R_1 , R_2 , R_{C2} e R_{E2} di un fattore 2. Quali sono i nuovi valori del guadagno a centro banda e delle frequenze di taglio superiore e inferiore?

17.11 Introduzione di circuiti a radiofrequenza

17.96 Quanto valgono la frequenza centrale, il fattore di merito e il guadagno di centro banda dell'amplificatore di Figura P17.96 se il MOSFET ha $C_{GS} = 40 \text{ pF}$, $C_{GD} = 5 \text{ pF}$, $\lambda = 0.0167 \text{ V}^{-1}$ ed è polarizzato a 2 V sopra la soglia con $I_D = 10 \text{ mA}$ e $V_{DS} = 10 \text{ V}$?

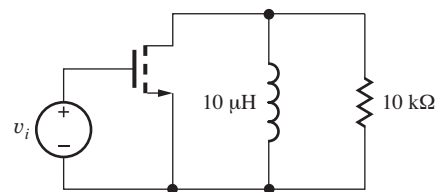


Figura P17.96

17.97 (a) Che valore deve avere C per ottenere $f_o = 10.7 \text{ MHz}$ nel circuito di Figura P17.97 se $I_C = 10 \text{ mA}$, $V_{CE} = 10 \text{ V}$, $\beta_o = 100$, $C_\mu = 1.75 \text{ pF}$, $f_T = 500 \text{ MHz}$ e $V_A = 75 \text{ V}$? (b) Qual è il Q dell'amplificatore? (c) Come deve essere diviso l'induttore per avere un Q di 100? (d) Che valore della capacità C è richiesto per avere $f_o = 10.7 \text{ MHz}$?

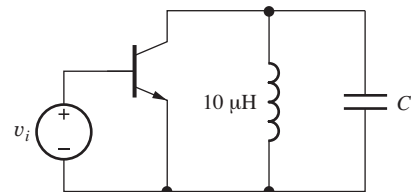


Figura P17.97

17.98 (a) Si disegnano i circuiti equivalenti in continua e ad alta frequenza del circuito di Figura P17.98. (b) Quanto vale la frequenza di risonanza del circuito per $V_C = 0 \text{ V}$ se il diodo è caratterizzato da $C_{j0} = 18 \text{ pF}$ e $\phi_j = 0.9 \text{ V}$? (c) E per $V_C = 10 \text{ V}$?

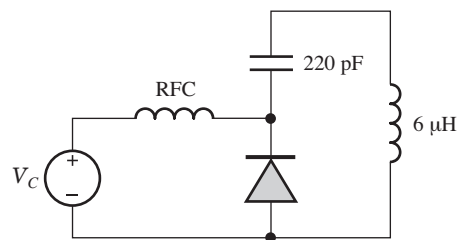


Figura P17.98

17.99 (a) Quanto valgono la frequenza centrale, il Q e il guadagno di centro banda dell'amplificatore

accordato di Figura P17.99 se $L_1 = 5 \mu\text{H}$, $C_1 = 10 \text{ pF}$, $C_2 = 10 \text{ pF}$, $I_C = 1 \text{ mA}$, $C_\pi = 5 \text{ pF}$, $C_\mu = 1 \text{ pF}$, $R_L = 5 \text{ k}\Omega$, $r_\pi = 2.5 \text{ k}\Omega$ e $r_x = 0 \Omega$?
 (b) Come cambia la soluzione se il terminale di base del transistor viene collegato alla cima dell'induttore?

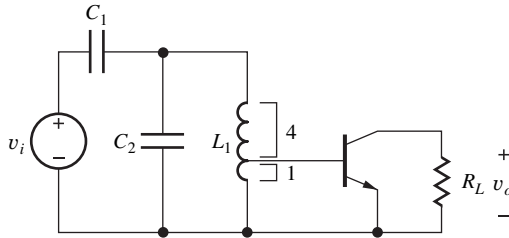


Figura P17.99

- 17.100** (a) Quanto valgono il guadagno di centro banda, la frequenza centrale, la banda passante e il Q del circuito di Figura P17.100(a) se $I_D = 22.5 \text{ mA}$, $\lambda = 0.02 \text{ V}^{-1}$, $C_{GD} = 5 \text{ pF}$ e $K_n = 5 \text{ mA/V}^2$?
 (b) Si ripeta il calcolo per il circuito di Figura P17.100(b).

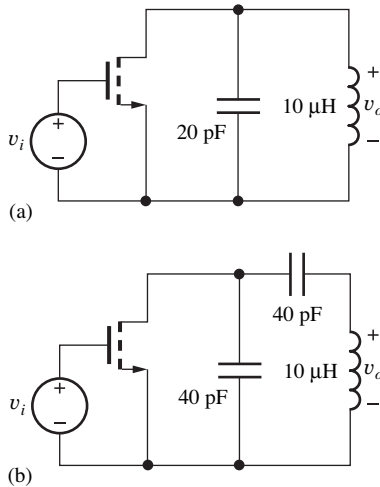


Figura P17.100

- 17.101** Si cambi il valore dei due condensatori nel circuito di Figura P17.100(a) per ottenere la stessa frequenza centrale del circuito in Figura P17.100(b). Quanto valgono il Q e il guadagno di centro banda per il nuovo circuito?
17.102 (a) Si simuli il circuito del Problema 17.100(a) e si confrontino i risultati con i calcoli manuali.
 (b) Si simuli il circuito del Problema 17.100(b) e si confrontino i risultati con i calcoli manuali.
 (c) Si simuli il circuito del Problema 17.101 e si confrontino i risultati con i calcoli manuali.

- 17.103** (a) Che valore di C_2 è richiesto per ottenere la sintonizzazione sincrona del circuito di Figura P17.103 se $L_1 = L_2 = 10 \mu\text{H}$, $C_1 = C_3 = 20 \text{ pF}$, $C_{GS} = 20 \text{ pF}$, $C_{GD} = 5 \text{ pF}$, $V_{TN1} = -1 \text{ V}$, $K_{n1} = 10 \text{ mA/V}^2$, $V_{TN2} = -4 \text{ V}$, $K_{n2} = 10 \text{ mA/V}^2$ e $R_G = R_D = 100 \text{ k}\Omega$? (b) Quanto valgono il guadagno di centro banda, il fattore di merito e la banda passante?

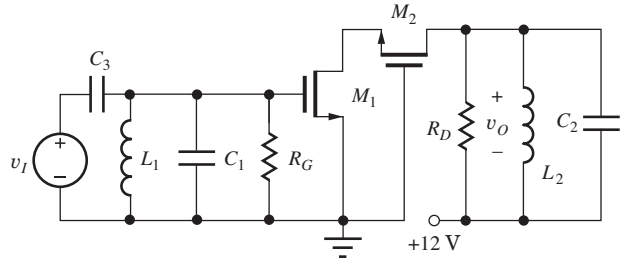


Figura P17.103

- 17.104** Si simuli la risposta in frequenza del circuito progettato nel Problema 17.103 e si trovi il guadagno di centro banda, la frequenza centrale, il Q e la banda passante. Si ottiene la sintonizzazione sincrona in questo progetto?
***17.105** (a) Che valore di C_2 è richiesto per fissare la frequenza di risonanza del circuito connesso al drain di M_2 a un valore più alto del 2% di quella del circuito connesso al gate di M_1 nella Figura P17.103 se $L_1 = L_2 = 10 \mu\text{H}$, $C_1 = C_3 = 20 \text{ pF}$, $C_{GS} = 20 \text{ pF}$, $C_{GD} = 5 \text{ pF}$, $V_{TN1} = -1 \text{ V}$, $K_{n1} = 10 \text{ mA/V}^2$, $V_{TN2} = -4 \text{ V}$, $K_{n2} = 10 \text{ mA/V}^2$ e $R_G = R_D = 100 \text{ k}\Omega$? (b) Quanto valgono il guadagno di centro banda, il fattore di merito e la banda passante dell'amplificatore?
***17.106** Si simuli la risposta in frequenza del circuito progettato nel Problema 17.105 e si trovi il guadagno di centro banda, la frequenza centrale, il Q e la banda passante. Si ottiene la sintonizzazione scalata in questo progetto?

- 17.107** (a) Si derivi un'espressione per l'ammettenza di ingresso ad alta frequenza alla base del circuito a emettitore comune in Figura 17.34(b) e si mostri che la capacità e la resistenza di ingresso possono essere rappresentate come di seguito se $\omega C_\mu R_L \ll 1$:

$$C_{in} = C_\pi + C_\mu(1 + g_m R_L)$$

$$R_{in} = r_\pi \parallel \frac{R_L}{(1 + g_m R_L)(\omega C_\mu R_L)^2}$$

- (b) Un MOSFET presenta $C_{GS} = 6 \text{ pF}$, $C_{GD} = 2 \text{ pF}$, $g_m = 5 \text{ mS}$, $R_L = 10 \text{ k}\Omega$. Quanto valgono C_{in} e R_{in} alla frequenza di 5 MHz?

Capitolo 18

Riepilogo

- Gli amplificatori retroazionati possono essere raggruppati in quattro classi in funzione del tipo di *retroazione* (*feedback*) utilizzato all'ingresso e all'uscita dell'amplificatore. Gli amplificatori di tensione usano la retroazione serie-parallelo, gli amplificatori di transresistenza usano la retroazione parallelo-parallelo, gli amplificatori di transconduttanza usano la retroazione serie-serie, gli amplificatori di corrente usano infine la retroazione parallelo-serie.
- Il guadagno ad anello chiuso dell'amplificatore retroazionato può essere scritto come

$$A_{cl} = A_{cl}^{ideale} \frac{T(s)}{1 + T(s)}$$

con A_{cl}^{ideale} guadagno ideale di anello chiuso e $T(s)$ guadagno di anello dipendente dalla frequenza.

- Il guadagno di anello $T(s)$ ha un ruolo importante nel determinare le caratteristiche dell'amplificatore retroazionato. Da considerazioni teoriche si ricava che il guadagno di anello può essere calcolato aprendo l'anello di retroazione in un punto arbitrario e calcolando direttamente la tensione riportata dall'anello. Tuttavia, entrambi i lati dell'anello devono essere terminati in maniera corretta prima di calcolare il guadagno di anello.
- La resistenza R_x vista da qualunque coppia di terminali in un circuito retroazionato può essere calcolata usando il teorema di Blackman, presentato nel Capitolo 11:

$$R_x = R_x^D \frac{1 + |T_{sc}|}{1 + |T_{oc}|}$$

con R_x^D resistenza vista dalla coppia di terminali quando l'anello di retroazione è interrotto, T_{sc} guadagno di anello calcolato con la coppia di terminali in cortocircuito e T_{oc} guadagno di anello calcolato con la coppia di terminali aperta.

- Quando si usa SPICE o si eseguono misure su un circuito, è spesso impossibile interrompere l'anello di retroazione. Il metodo dell'iniezione successiva di tensione e corrente, discusso nel Capitolo 11, è una tecnica molto versatile per determinare il guadagno di anello senza dover aprire l'anello di retroazione.
- La stabilità di un circuito diventa oggetto di attenzione ogniquale volta si introduca una retroazione. In molti casi si desidera una condizione di retroazione negativa. La stabilità può essere determinata studiando in funzione

della frequenza le caratteristiche del guadagno di anello $T(s) = A(s)\beta(s)$ dell'amplificatore retroazionato; le condizioni di stabilità possono in seguito essere valutate sui diagrammi di Nyquist o di Bode.

- Nel caso dei diagrammi di Nyquist, la condizione di stabilità richiede che il punto $T = -1$ non si trovi all'interno della curva $T(j\omega)$.
- Nel caso dei diagrammi di Bode, i diagrammi asintotici di $A(j\omega)$ e $1/\beta(j\omega)$ non devono intersecarsi in una regione con pendenza oltre 20 dB/decade.
- Il margine di fase e il margine di guadagno, ricavabili sia dai diagrammi di Nyquist sia dai diagrammi di Bode, sono importanti per la definizione della stabilità di un circuito.
- La moltiplicazione Miller costituisce un metodo utile per impostare la frequenza a guadagno unitario di amplificatori operazionali compensati internamente. Questa tecnica è spesso chiamata *compensazione di Miller*. In questi amplificatori operazionali, lo slew rate è direttamente legato alla frequenza di guadagno unitario.
- Negli *oscillatori*, la retroazione è progettata per essere positiva, in maniera tale il circuito possa generare un segnale in uscita in assenza di un segnale in ingresso. Il criterio di risonanza di Barkhausen, introdotto nel Capitolo 12, afferma che per una certa frequenza la variazione di fase nell'anello di retroazione deve essere un multiplo dispari di 360° e a quella stessa frequenza il guadagno di anello deve valere 1.
- Gli oscillatori usano una forma di retroazione dipendente dalla frequenza per selezionare la frequenza di oscillazione: ad alte frequenze reti C e cristalli di quarzo sono usati per selezionare la frequenza.
- La maggior parte degli oscillatori sono basati sull'oscillatore Colpitts o Hartley. Nell'oscillatore Colpitts, il rapporto di retroazione è dato dal rapporto di due capacità; nel caso dell'oscillatore Hartley è una coppia di induttori che determina l'entità della retroazione. Celle a G_m negativo sono molto comuni negli oscillatori usati nei circuiti integrati.
- Gli oscillatori a cristallo usano un cristallo di quarzo al posto dell'oscillatore LC . Un cristallo può essere modellizzato elettricamente come un circuito risonante con un Q molto alto; quando usato in un oscillatore, il cristallo controlla in maniera accurata la frequenza di oscillazione.

- Affinché si inneschi l'oscillazione, il circuito deve sviluppare una resistenza negativa per cancellare le perdite legate ai resistori della rete di polarizzazione, alle resistenze di uscita dei transistori e alle perdite di induttori e capacità che formano il circuito risonante.
- Al fine di ottenere un segnale veramente sinusoidale, i poli dell'oscillatore devono trovarsi esattamente sull'asse

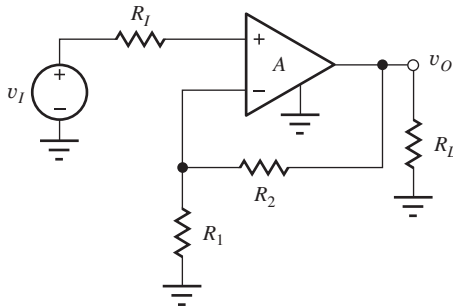
se $j\omega$ del piano s ; in caso contrario è presente distorsione. Al fine di ottenere oscillazioni sinusoidali, sono generalmente necessarie forme di stabilizzazione dell'ampiezza, ottenute direttamente dalle non linearità intrinsecamente presenti nelle caratteristiche dei transistori usati nel circuito, oppure tramite componenti circuitali aggiunti per il controllo del guadagno.

Problemi

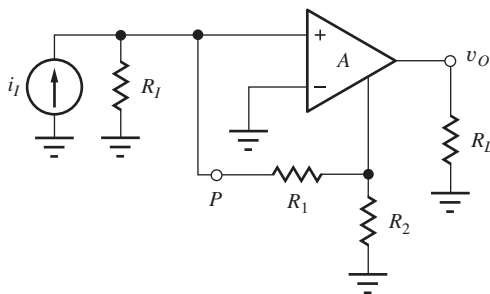
Le soluzioni si trovano sul sito web dedicato al libro

18.1 Sistemi retroazionati classici

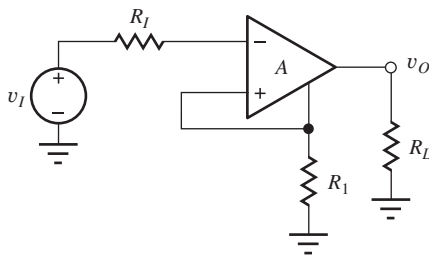
- 18.1** L'amplificatore retroazionato di Figura 18.1 ha $\beta = 0.25$. Quanto valgono il guadagno di anello T , il guadagno di anello chiuso A_v se (a) $A = 120$ dB, se (b) $A = 60$ dB e se (c) $A = 15$?
- 18.2** L'amplificatore retroazionato di Figura P18.2(a) ha $R_1 = 1$ k Ω , $R_2 = 39$ k Ω , $R_I = 0$ e $R_L = 4.7$ k Ω . (a) Quanto vale β ? (b) Se $A = 80$ dB, Quanto valgono il guadagno di anello T e il guadagno di anello chiuso A_v ?



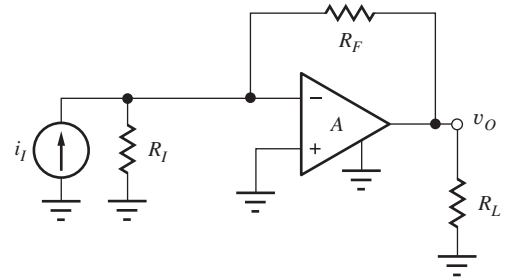
(a)



(b)



(c)



(d)

Figura P18.2 [Per ogni amplificatore assumere $A_o = 5000$, $R_{id} = 25$ k Ω , $R_o = 500$ Ω .]

- 18.3** L'amplificatore invertente di Figura P18.3 è realizzato con un amplificatore operazionale con guadagno finito $A = 84$ dB. Se $R_1 = 2$ k Ω e $R_2 = 78$ k Ω , quanto valgono β , T e A_v ?

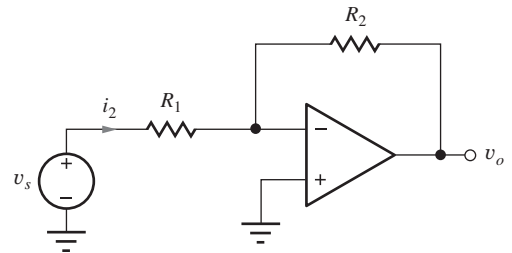


Figura P18.3

- 18.4** Il guadagno di tensione ad anello chiuso A_v di un amplificatore è descritto dall'Equazione (18.4). Quanto deve valere il minimo guadagno ad anello aperto per avere un errore di guadagno minore di 0.05% nel caso di un inseguitore di tensione ($A_v \approx 1$ con $\beta = 1$)?
- 18.5** Il guadagno di tensione ad anello chiuso A_v di un amplificatore è descritto dall'Equazione (18.4). Quanto deve valere il minimo guadagno ad anello aperto per avere un errore di guadagno minore di 0.2% per un guadagno ideale di 150?
- 18.6** Usare SPICE per simulare e confrontare la funzione di trasferimento dei due stadi di classe B in Figura P18.6 se l'amplificatore operazionale è descritto da $A_o = 2500$, $R_{id} = 150$ k Ω e $R_o = 50$ Ω . Si assuma $V_I = 0$ V.

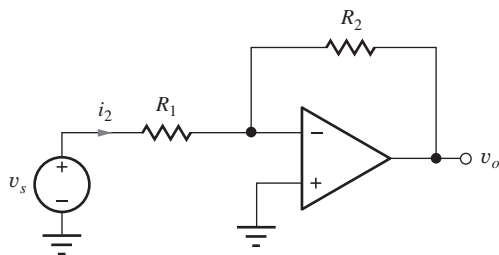


Figura P18.6

18.2-18.3 Analisi di amplificatori retroazionati

- 18.7** Identificare il tipo di retroazione nei quattro circuiti di Figura P18.2.
- 18.8** Identificare il tipo di retroazione negativa necessaria per ottenere: (a) alta resistenza di ingresso e alta resistenza di uscita, (b) bassa resistenza di ingresso e alta resistenza di uscita, (c) alta resistenza di ingresso e bassa resistenza di uscita, (d) bassa resistenza di ingresso e alta resistenza di uscita.
- 18.9** Dei quattro circuiti di Figura P18.2, (a) quale circuito usa la retroazione negativa per aumentare la resistenza di uscita e (b) quale circuito usa la retroazione negativa per ridurla?
- 18.10** Dei quattro circuiti di Figura P18.2, (a) quale circuito usa la retroazione negativa per aumentare la resistenza di ingresso e (b) quale circuito usa la retroazione negativa per ridurla?
- 18.11** (a) Dato il circuito in Figura P18.11, usare il teorema di Blackman per calcolare R_x . Si assuma che ingressi e uscite dell'amplificatore siano ideali. (a) Si calcolino R_x^D , T_{SC} , T_{OC} e R_x per $A = 400$, $R_1 = 750 \Omega$, $R_2 = 2 \text{ k}\Omega$ e $R_3 = 2 \text{ k}\Omega$. (s) Ripetere per R_y .

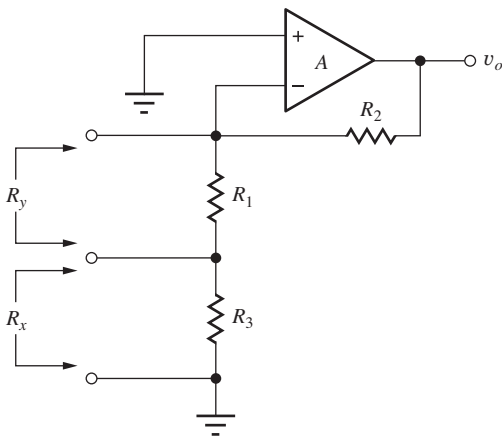


Figura P18.11

- 18.12** Si ripeta il Problema 18.11 per $A = 200$, $R_1 = 1 \text{ k}\Omega$, $R_2 = 5 \text{ k}\Omega$ e $R_3 = 1 \text{ k}\Omega$.
- 18.13** Dato il circuito in Figura P18.11, usare il teorema di Blackman per calcolare R_x vista dal nodo ai collettori di Q_1 e Q_3 . Calcolare R_x^D , T_{SC} , T_{OC} e R_x .
- 18.14** Dato il circuito in Figura P18.11, usare il teorema di Blackman per calcolare R_x vista dal nodo agli emettitori di Q_1 e Q_2 . Calcolare R_x^D , T_{SC} , T_{OC} e R_x .

- 18.15** Un amplificatore ha un guadagno ad anello aperto di 92 dB, $R_{id} = 75 \text{ k}\Omega$ e $R_o = 1.4 \text{ k}\Omega$. L'amplificatore è impiegato in una configurazione retroazionata con rete resistiva. (a) Quanto vale il massimo guadagno di corrente che può essere ottenuto con questo amplificatore? (b) Quanto vale la massima transconduttanza che può essere ottenuta con questo amplificatore?

- 18.16** (a) Calcolare la tensione di offset dell'amplificatore di Figura 18.2 assumendo $\beta_{F_n} = 180$, $\beta_{F_p} = 80$, $V_{An} = 70 \text{ V}$, $V_{Ap} = 60 \text{ V}$. (b) Verificare i calcoli usando SPICE.

Amplificatori di tensione - retroazione serie-parallelo

- 18.17** Calcolare il guadagno di tensione ad anello aperto, la resistenza di ingresso e la resistenza di uscita del circuito di Figura P18.2(a). Si assumano $R_I = 1 \text{ k}\Omega$, $R_1 = 5.6 \text{ k}\Omega$, $R_2 = 56 \text{ k}\Omega$ e $R_L = 5 \text{ k}\Omega$.
- 18.18** Calcolare il guadagno di tensione ad anello aperto, la resistenza di ingresso e la resistenza di uscita del circuito di Figura P18.2(a). Si assumano $R_I = 1 \text{ k}\Omega$, $R_1 = 3.9 \text{ k}\Omega$, $R_2 = 47 \text{ k}\Omega$ e $R_L = 5.6 \text{ k}\Omega$.
- 18.19** Calcolare il guadagno di tensione ad anello aperto, la resistenza di ingresso e la resistenza di uscita del circuito di Figura P18.19. Si assumano $R_1 = 2 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$, $\beta_0 = 150$, $V_A = 75 \text{ V}$, $I = 100 \mu\text{A}$, $V_{CC} = 7.5 \text{ V}$, $A = 40 \text{ dB}$, $R_{id} = 75 \text{ k}\Omega$ e $R_o = 600 \Omega$.

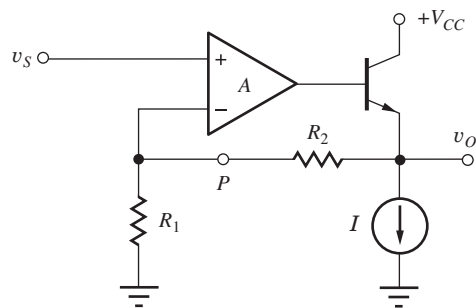


Figura P18.19

- 18.20** Dato il circuito in Figura 18.4, usare il teorema di Blackman per calcolare R_x vista dal nodo del collettore di Q_2 . Calcolare R_x^D , T_{SC} , T_{OC} e R_x .
- 18.21** Si ripeta l'Esempio 18.1 considerando un condensatore di bypass da $10 \mu\text{F}$ in parallelo a R_4 .
- 18.22** La Figura P18.22 mostra il circuito di Figura 18.4 con uno stadio inseguitore di emettitore (Q_3) aggiunto alla rete di retroazione. Si calcoli la risposta di piccolo segnale in banda v_o/v_i , la resistenza di ingresso R_{in} vista dalla base di Q_1 e la resistenza di uscita R_{out} . È possibile considerare $V_O = V_I$, trascurare la componente DC della corrente di base e ipotizzare $r_o \rightarrow \infty$. Si utilizzino tensioni di alimentazione $\pm 10 \text{ V}$. $R_i = 100 \Omega$, $R_1 = 200 \Omega$, $R_2 = 2 \text{ k}\Omega$, $R_3 = 2 \text{ k}\Omega$, $R_4 = 300 \Omega$, $R_5 = 8 \text{ k}\Omega$, $R_6 = 14.4 \text{ k}\Omega$, $R_7 = 10 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$, $C_1 = 10 \mu\text{F}$.

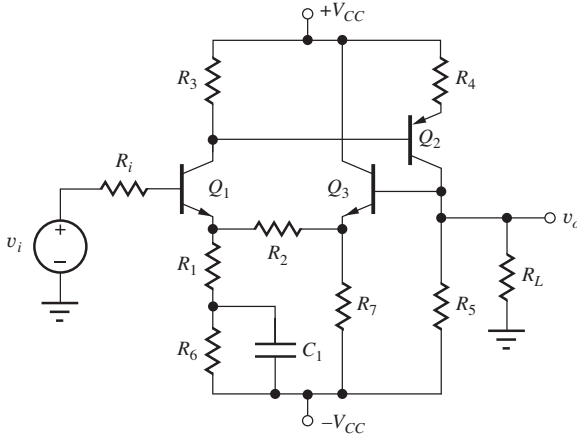


Figura P18.22

- 18.23** Si simuli con SPICE il circuito in Figura P18.22 e si confrontino i risultati con quelli ottenuti risolvendo il Problema 18.22.
- 18.24** Si utilizzi il teorema di Blackman per calcolare la resistenza di piccolo segnale vista guardando nel nodo dell'emettitore Q_1 del circuito di Figura P18.22.
- 18.25** Si ripeta l'Esempio 18.2 con $R_2 = 18 \text{ k}\Omega$, $I_1 = 200 \mu\text{A}$ e $R_3 = 15 \text{ k}\Omega$.
- 18.26** Si utilizzi il teorema di Blackman per calcolare l'impedenza di piccolo segnale vista guardando nel nodo di drain di M_3 del circuito del Problema 18.24.
- 18.27** Si calcoli l'amplificazione di tensione v_o/v_i la resistenza di ingresso e la resistenza di uscita del circuito in Figura P18.27. Utilizzare queste quantità per calcolare la transconduttanza $A_{tc} = i_o/v_{ref}$. Si assumano $\beta_0 = 150$, $V_A = 75 \text{ V}$, $I = 100 \mu\text{A}$, $V_{ref} = 0 \text{ V}$ e $R = 7.5 \text{ k}\Omega$.

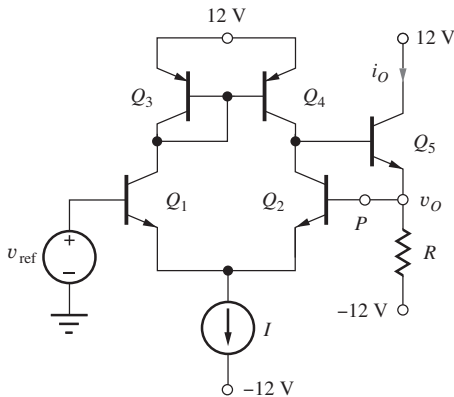


Figura P18.27

- 18.28** Si simuli con SPICE il circuito in Figura P18.27 e si confrontino i risultati con quelli ottenuti risolvendo il Problema 18.27.

Amplificatori di transresistenza – retroazione parallelo-parallelo

- 18.29** Calcolare la transresistenza ad anello chiuso, la resistenza di ingresso e la resistenza di uscita del circuito in Figura P18.2(d). Si assumano $R_I = 200 \text{ k}\Omega$, $R_L = 12 \text{ k}\Omega$ e $R_F = 36 \text{ k}\Omega$.

- 18.30** Calcolare la transresistenza ad anello chiuso, la resistenza di ingresso e la resistenza di uscita del circuito in Figura P18.2(d). Si assumano $R_I = 62 \text{ k}\Omega$, $R_L = 12 \text{ k}\Omega$ e $R_F = 62 \text{ k}\Omega$.

- 18.31** Il circuito in Figura P18.31 è un amplificatore con retroazione parallelo-parallelo. Calcolare la resistenza di ingresso, la resistenza di uscita e la transresistenza in banda dell'amplificatore se $R_I = 500 \Omega$, $R_E = 2 \text{ k}\Omega$, $\beta_0 = 100$, $V_A = 50 \text{ V}$, $R_L = 5.6 \text{ k}\Omega$ e $R_F = 47 \text{ k}\Omega$ quando v_i e R_I sono sostituiti con un circuito equivalente Norton. Quanto vale l'amplificazione di tensione del circuito?

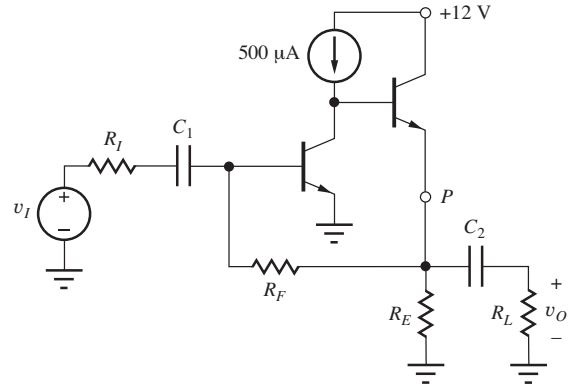


Figura P18.31

- 18.32** Utilizzare SPICE per calcolare la resistenza di ingresso, la resistenza di uscita e la transresistenza in banda dell'amplificatore di Figura P18.31. Confrontare questi risultati con quelli ottenuti risolvendo il Problema 18.27. $C_1 = 82 \mu\text{F}$ e $C_2 = 47 \mu\text{F}$.
- 18.33** Calcolare la resistenza di ingresso, la resistenza di uscita e la transresistenza in banda dell'amplificatore di Figura P18.33 quando $g_m = 4 \text{ mS}$ e $r_o = 60 \text{ k}\Omega$.

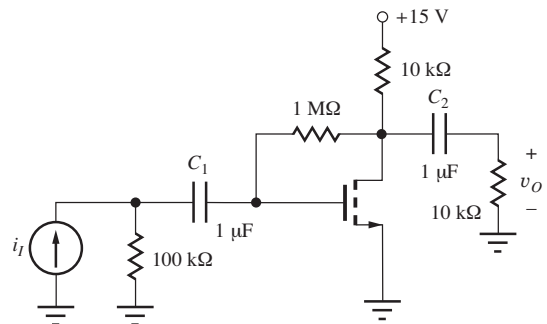


Figura P18.33

- 18.34** Utilizzare SPICE per calcolare la resistenza di ingresso, la resistenza di uscita e la transresistenza in banda dell'amplificatore di Figura P18.33. Confrontare questi risultati con quelli ottenuti risolvendo il Problema 18.33.

Amplificatori di transresistenza – retroazione serie-serie

- 18.35** Calcolare la transconduttanza ad anello chiuso, la resistenza di ingresso e la resistenza di uscita del circuito in Figura P18.2(c). Si assumano $R_I = 2.4 \text{ k}\Omega$, $R_L = 7.5 \text{ k}\Omega$ e $R_I = 7.5 \text{ k}\Omega$.

- 18.36** Calcolare la transconduttanza i_o/v_i , la resistenza di ingresso e la resistenza di uscita vista dal collettore di Q_3 per il circuito equivalente di piccolo segnale del circuito in Figura P18.36. Si assumano $\beta_0 = 100$, $V_A = 50$ V, $g_m = 50$ mS, $v_{CC} \ll V_A$, $R_{L1} = R_{L2} = R_{L3} = 4$ k Ω , $R_{E1} = R_{E2} = 1$ k Ω , $R_F = 10$ k Ω e $R_I = 200$ Ω .

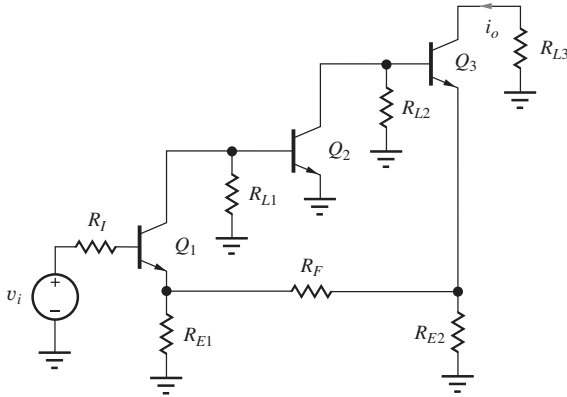
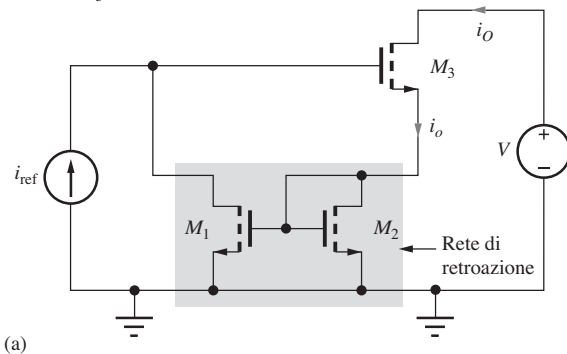


Figura P18.36

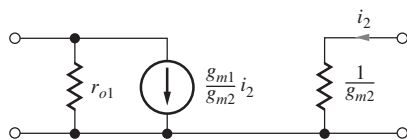
- 18.37** Nel circuito di Figura P18.19 si consideri come uscita la corrente di piccolo segnale del collettore del transistore di uscita. Si calcolino la transconduttanza e la resistenza di uscita vista da tale collettore.

Amplificatori di corrente – retroazione parallelo-serie

- 18.38** Calcolare il guadagno di tensione ad anello aperto, la resistenza di ingresso e la resistenza di uscita del circuito di Figura P18.2(b). Si assumano $R_I = 100$ k Ω , $R_L = 7.5$ k Ω , $R_1 = 9.1$ k Ω e $R_2 = 1$ k Ω .
- 18.39** Calcolare la resistenza di ingresso, la resistenza vista dal drain di M_3 e l'amplificazione di corrente i_o/i_{ref} per generatore di corrente di Wilson mostrato in Figura P18.39(a). Si utilizzi per lo specchio di corrente il circuito equivalente di piccolo segnale mostrato in Figura 18.39(b). Si assumano $g_m = 4$ mS e $r_o = 60$ k Ω .



(a)



(b)

Figura P18.39

- 18.40** Calcolare l'amplificazione di corrente i_o/i_{ref} , la resistenza d'ingresso e la resistenza di uscita del generatore di corrente di Wilson basato su BJT mostrato in Figura P18.40. Si assuma che tutti i transistori abbiano la stessa area con $\beta_0 = 150$, $V_A = 75$ V, $g_m = 40$ mS e $V_{CC} \ll V_A$.

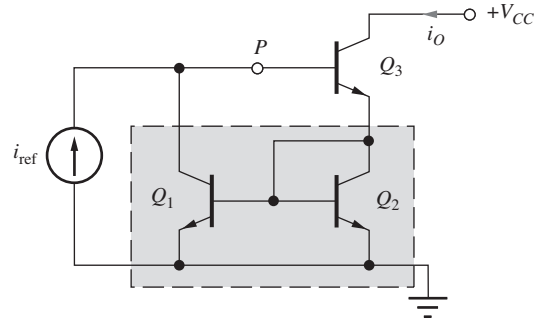


Figura P18.40

- 18.41** Si usi SPICE per calcolare la resistenza di uscita del generatore di corrente di Wilson basato su BJT mostrato in Figura P18.40. Si assumano $I_{REF} = 200$ μ A, $V_{CC} = 6$ V e $V_A = 50$ V per amplificazioni di corrente pari a 10^2 , 10^4 e 10^6 .
- 18.42** Si usi il teorema di Blackman per calcolare la resistenza di uscita R_{OUT} vista dal drain di M_4 nel circuito di Figura P18.42. Si assumano $I_1 = I_2 = 200$ μ A, $K_n = 500$ μ A/V², $V_{TN} = 1$ V, $V_{DD} = 10$ V e $\lambda = 0.01$ V⁻¹.

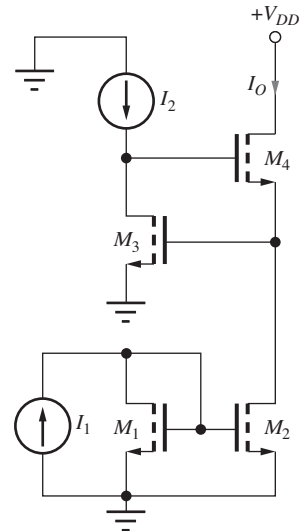


Figura P18.42

- 18.43** Si risolva il Problema 18.42 con SPICE, confrontando i risultati con quelli ottenuti nella soluzione manuale.
- 18.44** Si utilizzi il teorema di Blackman per calcolare la resistenza di uscita R_{OUT} del circuito in Figura P18.44 se tutti i MOSFET sono sostituiti da BJT con $\beta_F = 100$ e $V_A = 75$ V. Si usino gli altri dati forniti nel Problema 18.42.
- 18.45** Si risolva il Problema 18.44 con SPICE, confrontando i risultati con quelli ottenuti nella soluzione manuale.

- 18.46** Si ricavi un'espressione per l'impedenza di ingresso dell'amplificatore parallelo-parallelo in Figura P18.46.

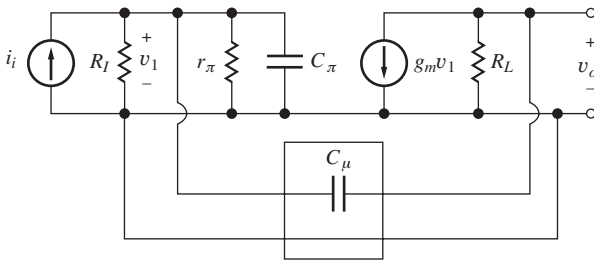


Figura P18.46

Iniezione di tensione e corrente

- 18.47** Si utilizzi la tecnica, introdotta nel Capitolo 11, della iniezione successiva di tensione e corrente nel punto P per calcolare con SPICE il guadagno d'anello dell'amplificatore di Figura P18.19. Si assumano $R_1 = 2 \text{ k}\Omega$, $R_2 = 12 \text{ k}\Omega$, $\beta_F = 180$, $V_A = 75 \text{ V}$, $I = 100 \mu\text{A}$, $V_{CC} = 7.5 \text{ V}$, $A = 40 \text{ dB}$, $R_{id} = 60 \text{ k}\Omega$ e $R_o = 500 \Omega$.
- 18.48** Si utilizzi la tecnica, introdotta nel Capitolo 11, della iniezione successiva di tensione e corrente nel punto P per calcolare con SPICE il guadagno d'anello dell'amplificatore di Figura P18.26. Si assumano $\beta_0 = 180$, $V_A = 75 \text{ V}$, $I = 100 \mu\text{A}$, $V_{ref} = 0 \text{ V}$ e $R = 6 \text{ k}\Omega$.
- 18.49** Si utilizzi la tecnica, introdotta nel Capitolo 11, della iniezione successiva di tensione e corrente nel punto P per calcolare con SPICE il guadagno d'anello dell'amplificatore di Figura P18.40. Si assuma che tutti i transistori abbiano la stessa area con $\beta_0 = 160$, $V_A = 75 \text{ V}$, $g_m = 60 \text{ mS}$ e $V_{CC} \ll V_A$.
- 18.50** Si utilizzi la tecnica, introdotta nel Capitolo 11, della iniezione successiva di tensione e corrente nel punto P per calcolare con SPICE il guadagno d'anello dell'amplificatore di Figura P18.30. Si assumano $R_I = 500 \Omega$, $R_E = 3 \text{ k}\Omega$, $\beta_0 = 100$, $V_A = 50 \text{ V}$, $R_L = 5.6 \text{ k}\Omega$ e $R_F = 39 \text{ k}\Omega$.

18.4 Richiami sulla stabilità dell'amplificatore retroazionato

- 18.51** Qual è il massimo valore della capacità che può essere collegata all'uscita dell'inseguitore di tensione in Figura P18.51 se il margine di fase deve essere di 55° ? Si assuma per l'amplificatore operazionale una resistenza di uscita di 300Ω ; $A(s)$ sia $10^7/(s + 50)$.

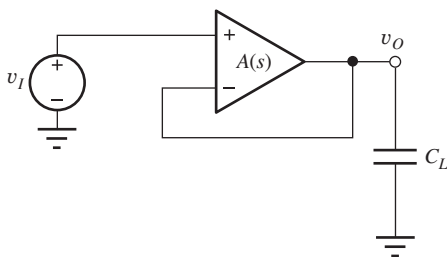


Figura P18.51

- 18.52** Si usi SPICE per ottenere il margine di fase dell'amplificatore con retroazione parallelo-serie dell'Esempio 18.1 se i transistori hanno $f_T = 300 \text{ MHz}$ e $C_\mu = 1 \text{ pF}$.
- 18.53** Si calcolino β , T , A_v e il margine di fase del circuito in Figura P18.51. Si usino $R_2 = R_1 = 5 \text{ k}\Omega$; si assuma

$$A = \frac{500}{\left(1 + j \frac{f}{10 \text{ kHz}}\right) \left(1 + j \frac{f}{10 \text{ MHz}}\right)}$$

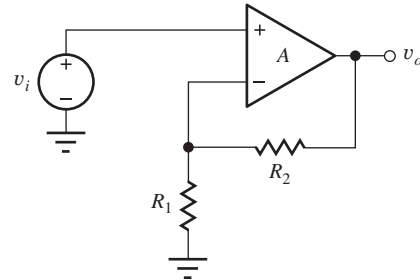


Figura P18.53

- 18.54** Si ripeta il Problema 18.53 con $R_2 = 0$, $R_1 \rightarrow \infty$ e

$$A = \frac{2 \times 10^4}{\left(1 + j \frac{f}{100 \text{ kHz}}\right) \left(1 + j \frac{f}{10 \text{ MHz}}\right)}$$

- 18.55** Si ripeta il Problema 18.53 con $R_2 = 0$, $R_1 \rightarrow \infty$ e

$$A = \frac{2 \times 10^4 \left(1 - j \frac{f}{4 \text{ MHz}}\right)}{\left(1 + j \frac{f}{100 \text{ kHz}}\right) \left(1 + j \frac{f}{10 \text{ MHz}}\right)}$$

- 18.56** Se nel Problema 18.55 $R_1 = 5 \text{ k}\Omega$, quanto deve valere R_2 per avere un margine di fase di 70° ? Quanto vale il guadagno ad anello chiuso per tale valore di R_2 ?

18.5 Compensazione a singolo polo dell'amplificatore operazionale

- 18.57** (a) Quanto valgono la frequenza per cui si ha guadagno unitario e il valore positivo e negativo dello slew rate dell'amplificatore CMOS di Figura 18.24 se $I_1 = 250 \mu\text{A}$, $I_2 = 500 \mu\text{A}$, $K_{n1} = 1 \text{ mA/V}^2$, $C_c = 7.5 \text{ pF}$? (b) Se $I_1 = 500 \mu\text{A}$, $I_2 = 250 \mu\text{A}$ e $C_c = 10 \text{ pF}$?
- 18.58** Si ripeta il Problema 18.57(a) per $I_1 = 500 \mu\text{A}$, $I_2 = 3 \text{ mA}$, $C_c = 10 \text{ pF}$.
- 18.59** Si simuli la risposta in frequenza dell'amplificatore CMOS di Figura 18.29 per $R_Z = 0$ e per $R_Z = 1 \text{ k}\Omega$. Si confrontino i risultati con i valori della frequenza per cui si ha guadagno unitario e la variazione di fase dell'amplificatore alla frequenza per cui il guadagno è unitario. Si utilizzino $I_1 = 250 \mu\text{A}$, $I_2 = 500 \mu\text{A}$, $I_3 = 2 \text{ mA}$, $(W/L)_1 = 20/1$, $(W/L)_3 = 40/1$, $(W/L)_5 = 160/1$, $(W/L)_6 = 60/1$ e $C_c = 7.5 \text{ pF}$. $V_{DD} = V_{SS} = 10 \text{ V}$. Si utilizzino i modelli CMOS dell'Appendice B.

18.60 (a) Quanto valgono la frequenza per cui si ha guadagno unitario e lo slew rate dell'amplificatore bipolare di Figura 18.30 se $I_1 = 50 \mu\text{A}$, $I_2 = 500 \mu\text{A}$, $C_c = 12 \text{ pF}$? (b) Se $I_1 = 20 \mu\text{A}$, $I_2 = 250 \mu\text{A}$ e $C_c = 12 \text{ pF}$?

18.61 Si ripeta il Problema 18.60(a) per $I_1 = 500 \mu\text{A}$, $I_2 = 3 \text{ mA}$, $C_c = 10 \text{ pF}$.

18.62 Si determini il valore positivo e negativo dello slew rate dell'amplificatore di Figura P18.62 dopo l'applicazione di un gradino di 2 V all'ingresso v_2 se $I_1 = 40 \mu\text{A}$, $I_2 = 400 \mu\text{A}$, $I_3 = 500 \mu\text{A}$ e $C_c = 5 \text{ pF}$. Si assuma v_1 a 0 V. (b) Si verifichi la soluzione con SPICE.

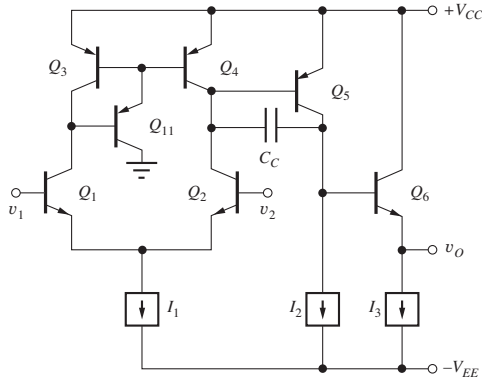


Figura P18.62

18.63 Si ripeta il Problema P18.62(a) per $I_1 = 100 \mu\text{A}$, $I_2 = 1 \text{ mA}$, $I_3 = 2.5 \text{ mA}$ e $C_c = 8 \text{ pF}$.

***18.64** (a) Si utilizzi SPICE per calcolare la risposta in frequenza dell'amplificatore di Figura P18.62 per $I_1 = 100 \mu\text{A}$, $I_2 = 500 \mu\text{A}$ e $C_c = 15 \text{ pF}$. (b) Ripetere il calcolo per $I_1 = 100 \mu\text{A}$, $I_2 = 50 \mu\text{A}$ e $C_c = 15 \text{ pF}$. Si confronti la frequenza per cui si ha guadagno unitario con il valore calcolabile mediante l'Equazione (18.29). Si discutano le ragioni delle eventuali differenze. Si usi $V_{CC} = V_{EE} = 15 \text{ V}$.

18.65 (a) Si utilizzi SPICE per simulare l'amplificatore dell'Esempio 18.7 e verificare i risultati della risposta in frequenza presentati nell'esempio. (b) Si utilizzi SPICE per simulare l'amplificatore dell'Esempio 18.8 e verificare i risultati della risposta in frequenza presentati nell'esempio. Si calcoli lo slew rate dell'amplificatore e si verifichi il risultato con SPICE. I valori dello slew rate positivi e negativi sono gli stessi?

18.6 Oscillatori

Oscillatore Colpitts

18.66 La Figura P18.66 riporta il circuito equivalente in AC di un oscillatore Colpitts. (a) Qual è la frequenza di oscillazione se $g_m = 10 \text{ mS}$, $\beta_o = 100$, $R_E = 1 \text{ k}\Omega$, $L = 5 \mu\text{H}$, $C_1 = 20 \text{ pF}$, $C_2 = 100 \text{ pF}$, $C_4 = 0.01 \mu\text{F}$, $C_3 \rightarrow \infty$? Si assuma che le capacità del transistor siano trascurabili (si veda il Problema 18.67). (b) Viene aggiunto al circuito un condensatore C_3 variabile nell'intervallo 5-50 pF. Che intervallo di frequenze di oscillazione è possibile ottenere?

(c) Qual è il valore minimo della transconduttanza necessario ad assicurare le oscillazioni sull'intero intervallo di frequenza? Qual è il minimo valore della corrente di collettore del transistor?

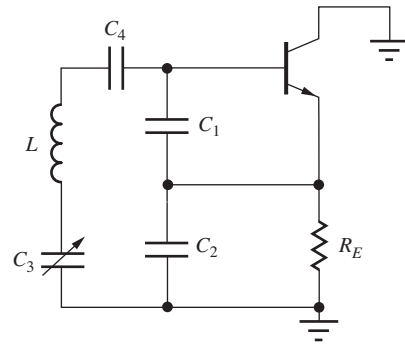


Figura P18.66

18.67 La Figura P18.66 riporta il circuito equivalente in AC di un oscillatore Colpitts. (a) Qual è la frequenza di oscillazione se $R_E = 1 \text{ k}\Omega$, $L = 20 \mu\text{H}$, $C_1 = 20 \text{ pF}$, $C_2 = 100 \text{ pF}$, $C_4 = 0.01 \mu\text{F}$, $C_3 \rightarrow \infty$, $f_T = 500 \text{ MHz}$, $\beta_o = 100$, $V_A = 50 \text{ V}$, $r_x = 0$, $C_\mu = 3 \text{ pF}$ e il punto di lavoro del transistor è (5 mA, 5 V)? (b) Qual è la frequenza di oscillazione se la corrente nel punto di lavoro viene raddoppiata?

18.68 Si progetti un oscillatore Colpitts che funzioni a 20 MHz utilizzando il circuito di Figura 18.33(a). Si assuma $L = 3 \mu\text{H}$, $I_{DSS} = 10 \text{ mA}$ e $V_P = -4 \text{ V}$. Si trascurino le capacità del dispositivo.

18.69 Qual è la frequenza di oscillazione dell'oscillatore Colpitts a MOSFET di Figura P18.69 se $L = 10 \mu\text{H}$, $C_1 = 50 \text{ pF}$, $C_2 = 50 \text{ pF}$, $C_3 = 0$, $C_{GS} = 10 \text{ pF}$, $C_{GD} = 4 \text{ pF}$? Qual è il minimo fattore di amplificazione del transistor?

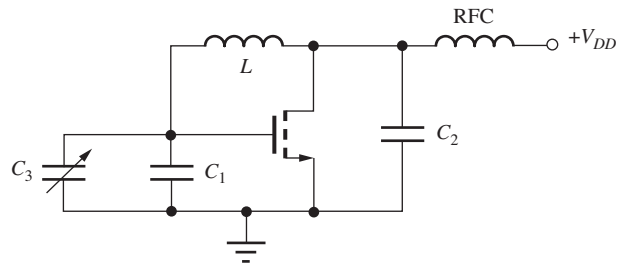


Figura P18.69

18.70 All'oscillatore Colpitts del Problema 18.69 viene aggiunto il condensatore C_3 per sintonizzarlo. (a) Se C_3 varia tra 5 e 50 pF, quali sono le frequenze estreme di oscillazione? (b) Qual è il minimo fattore di amplificazione del transistor per assicurare le oscillazioni su tutto l'intervallo?

18.71 All'oscillatore Colpitts di Figura P18.71 viene aggiunto un diodo a capacità variabile (varactor) per realizzare un oscillatore accordabile in tensione. (a) I parametri del diodo sono $C_{j0} = 20 \text{ pF}$ e $\phi_j = 0.8 \text{ V}$. Si calcoli la frequenza di oscillazione per $V_{TUNE} = 2 \text{ V}$ e 20 V se $L = 10 \mu\text{H}$, $C_1 = 75 \text{ pF}$, $C_2 = 75 \text{ pF}$. Si assuma che la bobina d'arresto (RFC) abbia una impedenza infinita e che C_c abbia impedenza nulla. (b) Qual è il minimo guadagno di

tensione per assicurare le oscillazioni su tutto l'intervallo di sintonia?

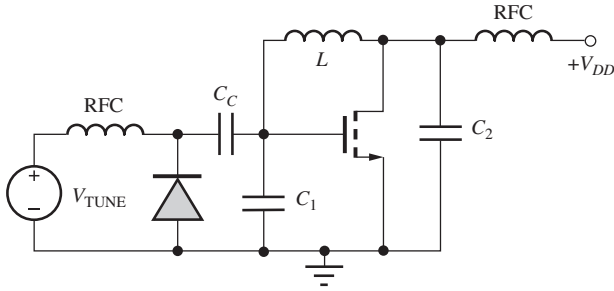


Figura P18.71

- 18.72** Si esegua una simulazione SPICE in transitorio dell'oscillatore Colpitts di Figura 18.33 e si confronti la frequenza di oscillazione con quella calcolata a mano se: $V_{DD} = 10\text{ V}$, $I_{DSS} = 10\text{ mA}$, $V_P = -4\text{ V}$, $R = 820\ \Omega$, $C_2 = 220\text{ pF}$, $C_1 = 470\text{ pF}$ e $L = 10\ \mu\text{H}$. Si ripeta se $C_1 = 220\text{ pF}$, $C_2 = 470\text{ pF}$.

- 18.73** Si esegua una simulazione SPICE in transitorio dell'oscillatore Colpitts di Figura P18.69 se: $C_1 = 50\text{ pF}$, $C_2 = 50\text{ pF}$, $C_3 = 0$, $L = 10\ \mu\text{H}$, $RFC = 20\text{ mH}$, $V_{DD} = 12\text{ V}$, $K_n = 10\text{ mA/V}^2$, $V_{TN} = 1\text{ V}$, $C_{GS} = 10\text{ pF}$, $C_{GD} = 4\text{ pF}$. Quanto valgono l'ampiezza e la frequenza delle oscillazioni?

Oscillatori Hartley

- 18.74** Qual è la frequenza di oscillazione dell'oscillatore Hartley di Figura P18.74 se il diodo viene sostituito da un cortocircuito e $C = 20\text{ pF}$, $L_1 = 10\ \mu\text{H}$, $L_2 = 10\ \mu\text{H}$? Si trascurino C_{GS} e C_{GD} .

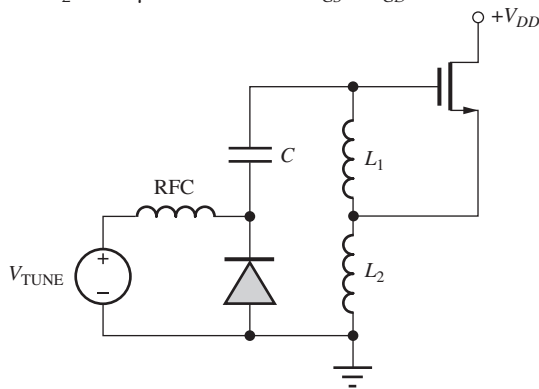


Figura P18.74

- 18.75** All'oscillatore Hartley del Problema 18.74 viene aggiunto un diodo a capacità variabile (varactor) per realizzare un oscillatore accordabile in tensione e il valore di C viene portato a 220 pF . (a) I parametri del diodo sono $C_{j0} = 20\text{ pF}$ e $\phi_j = 0.8\text{ V}$. Si calcoli la frequenza di oscillazione per $V_{TUNE} = 2\text{ V}$ e 20 V . Si assuma che la bobina d'arresto (RFC) abbia una impedenza infinita. (b) Qual è il minimo fattore di amplificazione del MOSFET per assicurare le oscillazioni su tutto l'intervallo di sintonia?

Oscillatori a G_m negativo

- 18.76** Si scrivano le equazioni ai nodi per l'oscillatore con G_m negativo di Figura 18.37(b) e si derivino la frequenza di oscillazione il guadagno richiesto per

sostenere l'oscillazione. Si assuma un modo di oscillazione differenziale.

- 18.77** Quali sono i punti di lavoro dei transistori dell'oscillatore in Figura 18.37(a) se $V_{DD} = 3.3\text{ V}$, $I_{EE} = 2\text{ mA}$, $V_{TN} = 0.75\text{ V}$ e $K_n = 2.5\text{ mA/V}^2$?
- 18.78** L'oscillatore in Figura 18.37 ha $L = 10\text{ nH}$, e il transistorore ha $C_{GS} = 3\text{ pF}$ e $C_{GD} = 0.5\text{ pF}$. Quale valore di C è richiesto per ottenere una oscillazione a (a) 450 MHz e (b) 1 GHz ?
- 18.79** L'oscillatore in Figura 18.37 ha $L = 4\text{ nH}$ con un Q pari a 15 a 1 GHz e il transistorore ha $C_{GS} = 1\text{ pF}$ e $C_{GD} = 0.25\text{ pF}$. (a) Quale valore di C è richiesto per ottenere una oscillazione a 1 GHz ? (b) Se il transistorore ha $K_n = 2.5\text{ mA/V}^2$ e $\lambda = 0$, qual è il minimo valore di I_{SS} necessario per ottenere una oscillazione? (c) Si ripeta la parte (b) assumendo $\lambda = 0.08$. (d)* Si stimi l'ampiezza del segnale di uscita differenziale dell'oscillatore.

Oscillatori a cristallo

- 18.80** Un cristallo ha una frequenza di risonanza serie di 10 MHz , una resistenza serie di $40\ \Omega$, un fattore di merito di $25\,000$ e una capacità in parallelo di 10 pF . (a) Quali sono i valori di L e C_s del cristallo? (b) Qual è la frequenza di risonanza parallelo? (c) Il cristallo viene inserito in un oscillatore in parallelo a una capacità di 22 pF . Quale sarà la frequenza di oscillazione?
- 18.81** Il cristallo nell'oscillatore di Figura P18.81 è caratterizzato da $L = 15\text{ mH}$, $C_s = 20\text{ fF}$ e $R = 50\ \Omega$. (a) Qual è la frequenza di oscillazione se $R_E = 1\text{ k}\Omega$, $R_B = 100\text{ k}\Omega$, $V_{CC} = V_{EE} = 5\text{ V}$, $C_1 = 100\text{ pF}$, $C_2 = 470\text{ pF}$ e $C_3 \rightarrow \infty$? Si assuma per il transistorore $\beta_f = 100$, $V_A = 50\text{ V}$, $f_T = \infty$. (b) Si ripeta per $C_\mu = 5\text{ pF}$ e $f_T = 250\text{ MHz}$.

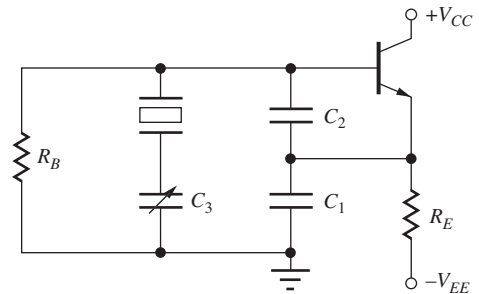


Figura P18.81

- 18.82** In serie al cristallo, nell'oscillatore del Problema 18.81(a), viene inserito un condensatore C_3 per problemi di calibrazione. Si assuma che C_3 possa variare da 1 pF a 35 pF e si calcolino le frequenze di oscillazione ai due estremi dell'intervallo.
- 18.83** Si simuli l'oscillatore a cristallo di Figura P18.81 e si calcoli la frequenza di oscillazione se $R_E = 1\text{ k}\Omega$, $R_B = 100\text{ k}\Omega$, $V_{CC} = V_{EE} = 5\text{ V}$, $C_1 = 100\text{ pF}$, $C_2 = 470\text{ pF}$ e $C_3 \rightarrow \infty$. Il cristallo è caratterizzato da $L = 15\text{ mH}$, $C_s = 20\text{ fF}$, $R = 50\ \Omega$ e $C_p = 20\text{ pF}$. Si assuma per il transistorore $\beta_f = 100$, $V_A = 50\text{ V}$, $C_\mu = 5\text{ pF}$ e $\tau_F = 1\text{ ns}$.

Esercizi aggiuntivi

*18.84  (a) Usare SPICE e la tecnica dell'iniezione successiva di tensione e corrente per calcolare il guadagno di anello T in funzione della frequenza per l'amplificatore in Figura 18.12. (b) Ripetere la simulazione per l'amplificatore di Figura 18.19.

*18.85  Usare SPICE e la tecnica dell'iniezione successiva di tensione e corrente per calcolare il guadagno di anello T in funzione della frequenza per l'amplificatore dell'Esempio 18.7.

*18.86  Usare SPICE e la tecnica dell'iniezione successiva di tensione e corrente per calcolare il guadagno di anello T in funzione della frequenza per l'amplificatore dell'Esempio 18.8.