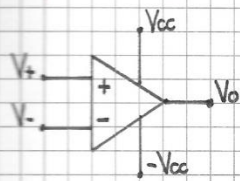


Electronica II

AMPLIFICATORE OPERAZIONALE

Amplificatore operazionale ideale VS reale

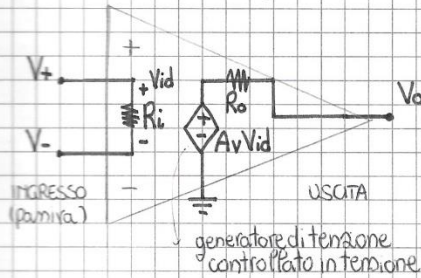


È un dispositivo a 5 terminali

V_+ : ingresso non invertente $+V_{cc}, -V_{cc}$: terminali di alimentazione

V_- : ingresso invertente V_o : uscita

uso una rete lineare a due porte



• $V_d = V_+ - V_-$ tensione differenziale

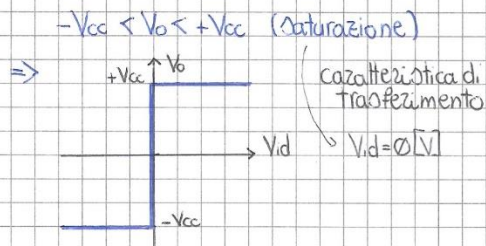
• I_+, I_-, I_{out} correnti

• A_v guadagno differenziale del circuito

• A_{cm} guadagno di modo comune

AO IDEALE

$$\begin{cases} R_i = \infty [\Omega] \\ A_v = \infty \\ R_o = 0 [\Omega] \\ A_{cm} = 0 \end{cases}$$



• $I_+ = I_- = 0 [A]$

• non ci sono effetti di carico

• A_v non dipende dalla frequenza

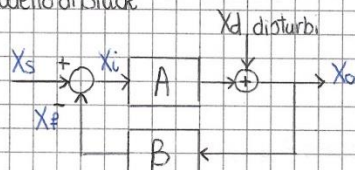
• $V_+ - V_- = V_d = 0 [V]$

• indipendente da tempo, temperatura, variazioni della tensione

Dato che $A_v = \infty$, AO ideale è adatto ad essere utilizzato retroazionato negativamente (uscita, ingresso invertente)

Teoria della retroazione negativa

Modello di Black



A, B sistemi lineari unidirezionali

↓ amplificatore (globale tutti gli effetti di carico)

$$\frac{X_o}{X_s} = \frac{A}{1+BA}$$

$$\Rightarrow X_f = BX_o$$

$$= BAX_i$$

$$= BA(X_s - X_f)$$

$$\Rightarrow X_f = X_s \frac{BA}{1+BA}$$

tende a X_s
se $BA \gg 1$
 $BA \rightarrow \infty$

perché la retroazione? ✓ **Stabilizzo il guadagno**: A dipende da molte variabili, spesso non tutte controllabili
↳ dipende solo da B

✓ se ho disturbi (es. rumore), la f.d.t. tra X_d e X_o è divisa per $(1+BA)$
mi permette di attenuarli

X $1/B \ll A$

X se A è del primo ordine, in retroazione diminuisce il guadagno, ma aumenta la banda (pasta-bando)

X **non è detto che A rimanga stabile**

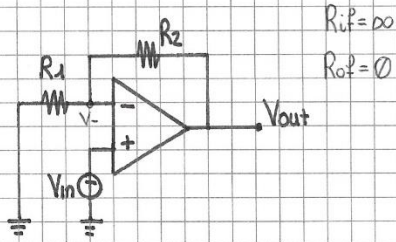
• se $BA \rightarrow \infty$, i principi delle mame virtuali fa sì che X_f annulli X_s e $X_i = 0$

↓ NB VALE SOLO PER LA RETROAZIONE
NEGATIVA

Sì, preferisce utilizzare l'anello chiuso, perché l'anello aperto ha difficoltà nel mantenere il punto di lavoro all'interno della zona lineare.

AO ideale retroazionato negativamente

CONFIGURAZIONE NON INVERTENTE



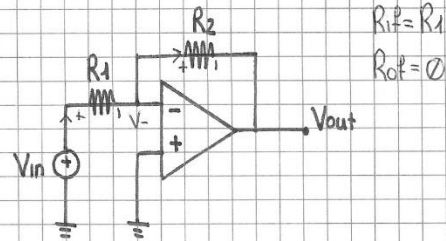
$$R_{if} = \infty$$

$$R_{of} = 0$$

$$V_{in} = V_+ = V_- = V_{out} \frac{R_1}{R_1 + R_2} = \beta V_{out}$$

$$\frac{V_{out}}{V_{in}} = 1 + \frac{R_2}{R_1} = \frac{1}{\beta}$$

CONFIGURAZIONE INVERTENTE



$$R_{if} = R_1$$

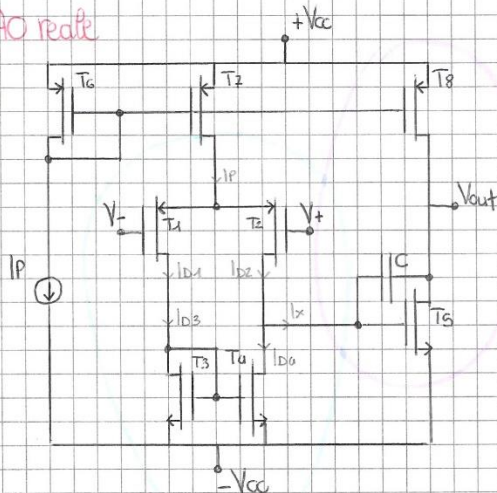
$$R_{of} = 0$$

$$V_+ = V_- = 0$$

$$\frac{V_{in} - V_-}{R_1} = \frac{V_- - V_{out}}{R_2}$$

$$\frac{V_{out}}{V_{in}} = -\frac{R_2}{R_1} = 1 - \frac{1}{\beta}$$

AO reale



- **Stadio d'ingresso:** è un amplificatore differenziale
- **Secondo stadio:** è un amplificatore single-ended
- **Stadio di uscita:** in seguito di tensione
- bassa resistenza in uscita

+ deve amplificare $V_{id} = V_+ - V_-$, convertendola in un segnale single ended

+ fornisce una ulteriore amplificazione
• è responsabile del comportamento in frequenza a singolo polo dell'AO

IP funzionamento è basato sulla SIMMETRIA (transistor uguali)

$$\text{se } V_{id} = 0 \Rightarrow \begin{cases} I_{D1} = I_{D2} = I_{D3} = I_{D4} = I_P/2 \\ I_X = 0 \end{cases}$$

$$\text{se } V_{id} \neq 0 \Rightarrow \begin{cases} I_{D1} \neq I_{D2} & I_X = I_{D2} - I_{D4} \\ I_{D3} = I_{D4} = I_{D1} & I_P = I_{D1} + I_{D2} \end{cases}$$

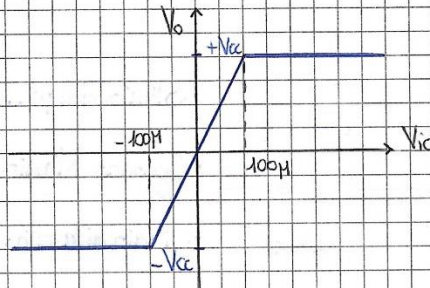
(specchiati di corrente)

Approfondimenti:

- Il guadagno differenziale complessivo dell'AO è finito ed uguale al prodotto dei guadagni degli stadi che lo compongono $\rightarrow$ ciascuno ha un comportamento $\Rightarrow$ passa-basso $\Rightarrow$ dependente dalle frequenze
- La resistenza differenziale d'ingresso R_{id} $\Rightarrow$ hanno valore finito non nullo $\Rightarrow$ dipendono dalla tecnologia e dal circuito
- Le correnti entranti nei terminali invertente e non invertente sono non nulle
- Le tensioni ai terminali d'ingresso si oppongono $-V_{cc} < V_-$ e $V_+ < V_{cc}$
 $\leftarrow$ minimo imposto dalla topologia circuitale
 $\leftarrow$ minimo $\leftarrow$ tecnologia
- Il valore d'uscita è dependente dal segnale in ingresso $\Rightarrow$ NB gli AO in cui la tensione d'uscita varia in $[V_{-}, V_{+}]$ si dicono rail-to-rail
 $\leftarrow$ valori minimi e massimi $< +V_{cc}$ e $> -V_{cc}$
- L'uguaglianza dei due rami non è garantita da alcun processo tecnologico (NON SIMMETRIA)
- La corrente I_x è limitata $\Rightarrow$ la reiezione massima di variazione dell'uscita del secondo stadio è limitata (a causa di C)

caratteristica di trasferimento

$$A_0 \in [40^4 \div 10^6] \approx 80-120 \text{ dB}$$



Quindi ci sono tutta una serie di raccomandazioni sull'utilizzo dell'AO $\Rightarrow$ $\leftarrow$ valori tipici, intervallo di variazioni

data sheet
(non c'è uniformità)
(tra produttori)

- Effetti del guadagno differenziale ad anello aperto di valore finito

Il guadagno è dependente dalla frequenza, per ora calcoliamo il suo valore in continua
 $(A = A(\omega))$ $(A_0 = A(0))$

CONFIGURAZIONE NON INVERTENTE

$$V_{out} = A_0 V_{id} = A_0 (V_{in} - V_-) = A_0 (V_{in} - \beta V_{out})$$

$$A_0 = \frac{V_{out}}{V_{in}} = \frac{A_0}{1 + \beta A_0} = \frac{1}{\beta} \frac{\beta A_0}{1 + \beta A_0}$$

CONFIGURAZIONE INVERTENTE

$$V_{out} = A_0 V_{id} = A_0 (-V_-)$$

$$\begin{aligned} V_- &= V_{in} \frac{R_2}{R_1 + R_2} + V_{out} \frac{R_1}{R_1 + R_2} \\ &= V_{in} (1 - \beta) + V_{out} \beta \end{aligned}$$

$$A_0 = \frac{V_{out}}{V_{in}} = \left(1 - \frac{1}{\beta}\right) \frac{\beta A_0}{1 + \beta A_0}$$

- Effetti della resistenza di ingresso di valore finito e della resistenza di uscita non nulla

In un AO reale: • R_{id} ha valore finito $\sim \begin{cases} 10^7 \Omega & \text{BJT} \\ 10^{12} \Omega & \text{Mos} \end{cases}$ $R_{id} = \infty$

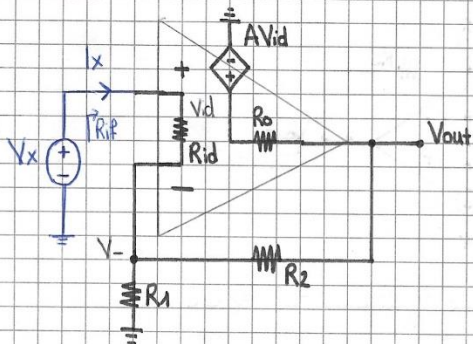
• R_o ha valore finito $\sim [50 \Omega \div 200 \Omega]$ $R_o = 0$

=> questo influisce sulle resistenze R_{if} e R_{of}

• R_1 e $R_2 \sim [10^3 \Omega \div 10^5 \Omega]$ $\ll R_{id}$
 $> R_o$

CONFIGURAZIONE NON INVERTENTE

INGRESSO



$$R_{if} = \frac{V_x}{I_x} = \frac{V_{id} + V_-}{I_x} = \frac{R_{id} I_x + V_-}{I_x}$$

• Trovo V_- :

$$V_- = V_x \frac{R_1 \parallel (R_2 + R_o)}{R_1 \parallel (R_2 + R_o) + R_{id}} + A V_{id} \frac{R_1 \parallel R_{id}}{R_1 \parallel R_{id} + (R_2 + R_o)}$$

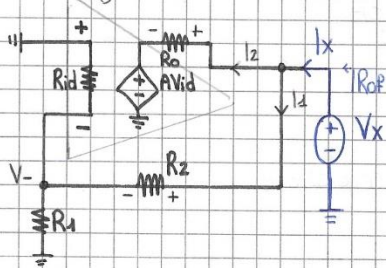
$\downarrow \approx 0$

$$\approx \frac{R_1}{R_1 + R_2 + R_o} \sim \beta \text{ errore marginale}$$

$$V_- = A V_{id} \beta = A \beta R_{id} I_x$$

quindi $R_{if} \approx R_{id} (1 + A \beta)$

USCITA (uguale)



$$I_x = I_1 + I_2 = \frac{V_x - V_-}{R_1 \parallel R_{id} + R_2} + \frac{V_x - A V_{id}}{R_o}$$

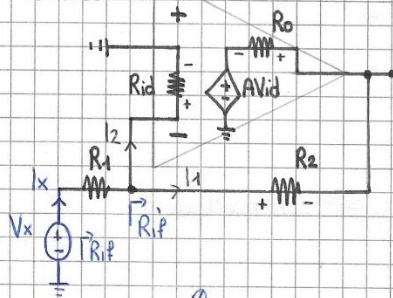
• $V_{id} = -V_- = \beta V_x$

ricavo: $R_{of} = \frac{V_x}{I_x} \approx \frac{R_o}{1 + A \beta} \parallel (R_1 + R_2)$

con $\beta = \frac{R_1}{R_1 + R_2}$

CONFIGURAZIONE INVERTENTE

INGRESSO



$$R_{if} = R_1 + R_{if}'$$

$$I_x = I_1 + I_2 = \frac{V_x - A V_{id}}{R_2 + R_o} + \frac{V_x}{R_{id}} \quad \text{con } V_{id} = -V_x$$

$$R_{if}' = \frac{V_x}{I_x} = \frac{R_2 + R_o}{1 + A}$$

$$R_{if} = R_1 + R_{if}' \approx R_1$$

NB questo è vero per frequenze prossime allo zero
in realtà se $\neq$ aumenta
devono pazze di impedenze
di ingresso

- Non idealità degli AO dovute allo stadio di ingresso

Corrente di polarizzazione

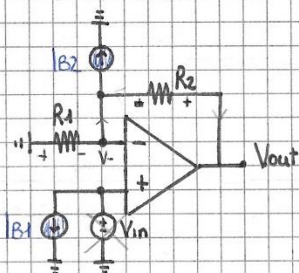
Dato che $R_{id} \neq 0$, anche I_{+} e I_{-} sono non nulle

10^{-8} A BJT
 10^{-11} A JFET $\rightarrow$ uso due generatori I_{B1} e I_{B2}
 10^{-14} A MOS (1+) (1-)

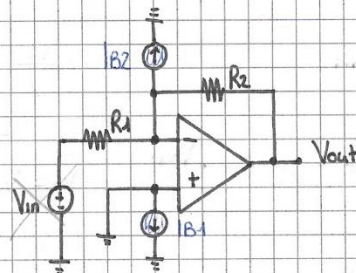
Anche perché i transistor di ingresso dell'AO richiedono una corrente continua di polarizzazione

Il verso dipende dal tipo di transistor in ingresso

NON INV.



INV.



L'effetto dei generi di corrente I_{B1} e I_{B2} sull'uscita si può studiare applicando PSE $\Rightarrow$ C.C. V_{in} (analogo nei due circuiti)

• Il genere di corrente sul morsetto non invertente (+) è cortocircuitato: non avrà effetto sull'uscita

$$I_{B2} = \frac{-V_{-}}{R_{1} \parallel R_{id}} - \frac{V_{-} - V_{out}}{R_2}$$

$$\Rightarrow \frac{V_{out}}{I_{B2}} = R_2 \frac{BA}{1+BA} \approx R_2$$

$$V_{out} = A V_{id} = A (-V_{-}) \approx V_{-} = \frac{-V_{out}}{A}$$

$$V_{out} = R_2 I_{B2}$$

In generale il circuito non è mai simmetrico, per questo I_{B1} e I_{B2} sono diverse

DATASHEET: • corrente di polarizzazione di ingresso

$$I_{Bi} = \frac{I_{B1} + I_{B2}}{2}$$

• corrente di offset di ingresso

$$I_{off} = |I_{B1} - I_{B2}|$$

Il perché a priori non so quale corrente sia maggiore

Tensione di offset di ingresso

IDEALE: AO simmetrico $\Rightarrow V_{out} = 0$ se presenta $V_{id} \neq 0$
 $V_{CH} \neq 0$

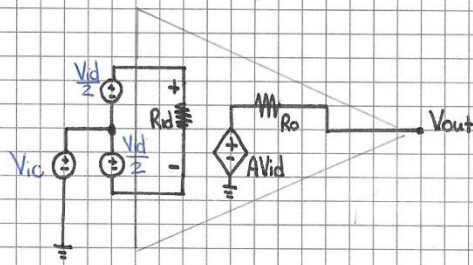
IN PRATICA: non si aggiunge mai $\Rightarrow V_{out} \neq 0$ anche a riposo

SOLUZIONE: per avere $V_{out} = 0$ applico all'ingresso dell'AO sul morsetto non invertente + una tensione di offset di ingresso V_{io}

$$V_{io} \in [10^{-3} \text{ V}; 10^{-6} \text{ V}]$$

NB nei data sheet non si riporta il valore medio della distribuzione (che è nullo) ma $V_{io} = 1 \sigma \approx (1 \text{ mV}; 100 \mu\text{V})$

Rapporto di reazione comune



Il livello di tensione continua in ingresso influenza sulla polarizzazione dei transistor di ingresso e su V_{out}

- tensione di ingresso di modo comune V_{ic}
- " " " differenziale V_{id}

$$\begin{aligned} \text{valore medio } V_{ic} &= \frac{V_+ + V_-}{2} & V_+ &= V_{ic} + \frac{V_{id}}{2} \\ \text{differenza } V_{id} &= V_+ - V_- & V_- &= V_{ic} - \frac{V_{id}}{2} \end{aligned}$$

definisco il rapporto di reazione comune

$$CHRR = \left| \frac{A_o}{A_{cm}} \right| \in [80 \text{ dB} - 120 \text{ dB}]$$

con A_o : guadagno differenziale in continua

A_{cm} : guadagno di modo comune in continua

l'uscita è più completa

$$V_{out} = A_o V_{id} + A_{cm} V_{ic} = A_o \left(V_{id} + \frac{A_{cm}}{A_o} V_{ic} \right) = A_o \left(V_{id} \pm \frac{V_{ic}}{CHRR} \right)$$

questi valori valgono per uno studio in continua $\Rightarrow$ CHRR diminuisce all'aumentare della frequenza (dovuto alle capacità parassite)

MODELLO COMPLETO

Effetti di banda finita

Il guadagno di un AO reale è una funzione della frequenza di tipo para-basso

ad anello aperto è approssimabile con una funzione a singolo polo del tipo

$$A(f) = \frac{A_0}{1 + j \frac{f}{f_H}}$$

con A_0 : guadagno in continua

f_H : f di taglio a 3dB
(il $|A(f)|$ si riduce di 3dB)

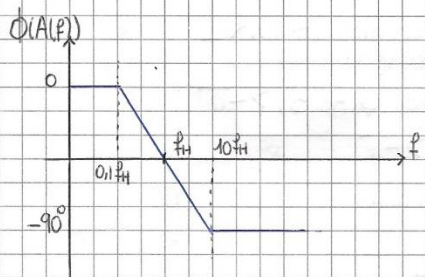
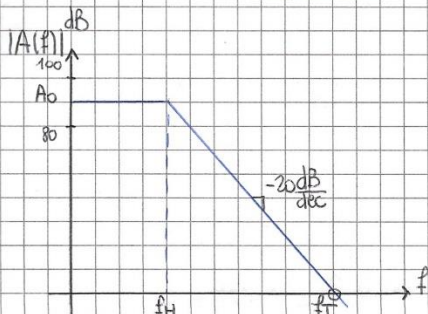
l'effetto della banda finita sull'AO reale è significativo (più delle altre non idealità)

MODULO

$$|A(f)| = \frac{A_0}{\sqrt{1 + \left(\frac{f}{f_H}\right)^2}} \approx \begin{cases} A_0 & \text{se } f \ll f_H \\ \frac{A_0 f_H}{f} & \text{se } f \gg f_H \end{cases}$$

f_T : f di trasmissione (dove $|A(f_T)| = 1$)
(GBW)

$f_T \in [1 \text{ MHz}; 100 \text{ MHz}]$ nei datasheet



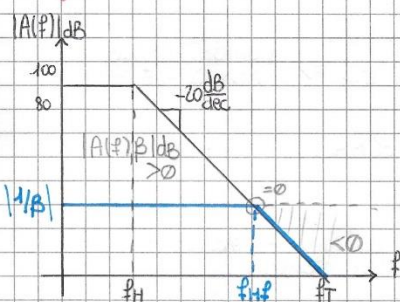
FASE

$$\phi[A(f)] = -\tan^{-1}\left(\frac{f}{f_H}\right) = \begin{cases} 0 & \text{se } f \ll 0.1 f_H \\ -\pi/4 (\log_{10}(f/f_H) + 1) & \text{se } 0.1 f_H \leq f \leq 10 f_H \\ -\pi/2 & \text{se } f \gg 10 f_H \end{cases}$$

NB per $f \gg f_H$ $|A(f)| \cdot f = A_0 f_H$ costante. Il prodotto guadagno-larghezza di banda, per una funzione a singolo polo, è costante.

$$\Rightarrow \text{dato che } |A(f)| = 1 \Rightarrow f_T = A_0 f_H$$

Configurazione non invertente



$$A(f) = \left(\frac{1}{\beta} \frac{\beta A_0}{1 + \beta A_0} \right) \frac{1}{1 + j \frac{f}{f_H(1 + \beta A_0)}}$$

$A_0 \sim 1/\beta$
 f_H frequenzia di taglio

$$A_{of} = \frac{1}{\beta} \frac{\beta A_0}{1 + \beta A_0}$$

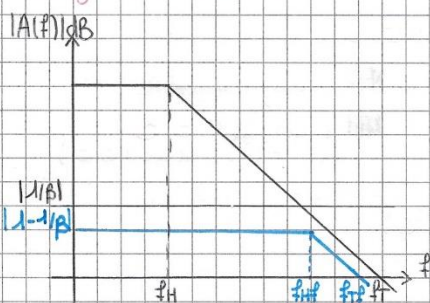
$$f_{Hf} = f_H (1 + \beta A_0)$$

$$\text{per } f \gg f_{Hf} \text{ le curve coincidono: } A_{of} \cdot f_{Hf} = \frac{1}{\beta} \frac{\beta A_0}{1 + \beta A_0} \cdot f_H (1 + \beta A_0) = A_0 f_H$$

$$* |A(f)\beta|_{dB} = |A(f)|_{dB} - 1/\beta_{dB}$$

a derivata $\rightarrow$

Configurazione invertente.



$$A(f) = \left(1 - \frac{1}{\beta}\right) \frac{\beta A_0}{1 + \beta A_0} \frac{1}{1 + j \frac{f}{f_H(1 + \beta A_0)}}$$

$$A_0 = \left(1 - \frac{1}{\beta}\right) \frac{\beta A_0}{1 + \beta A_0}$$

$$f_{HP} = f_H(1 + \beta A_0)$$

Le due curve infatti non coincidono.

Nota: abbiamo considerato il guadagno anello aperto dell'AO, una funzione a singolo polo

$\Rightarrow$ in realtà è una funzione a polo dominante

$f_1 = f_H$ polo a f più bassa

$f_i \gg f_H$ ci sono altri poli per i quali $|A(f_i)| < 1$
(almeno un polo per ogni stadio)

Un AO retroazionato è STABILE se alla f_c per cui $|A_0\beta| = 1$ ho $\Phi(A_0\beta) > -\pi$
e $\Phi(A_0\beta) \geq -\pi + m\varphi > -\pi$
margine di fase

• se la retroazione resistiva β risulta STABILE, dato che $m\varphi = \pi/4$

Slew rate

In un AO reale, la velocità con cui varia la tensione di uscita è limitata.

INGRESSO segnale a gradino $\Rightarrow$ USCITA rampa a pendenza costante in seguito ad un esponenziale

• Perché a corrente costante, avrò carica/scarica della capacità.
La massima corrente con cui si può caricare la capacità C è $I_x = I_p$
quindi il generatore di corrente satura una volta raggiunti i valori $\pm I_p \Rightarrow$ **COMPORTAMENTO NON IDEALE**

$$\text{Slew rate } SR = \left| \frac{dV_{out}(t)}{dt} \right|_{MAX}$$

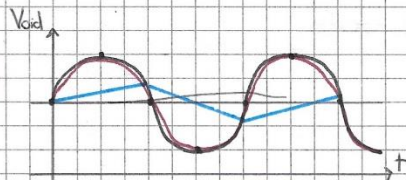
Valore massimo della velocità di variazione di V_{out} per AMPLI SEGNALI

$$\in [0,1] \frac{V_p}{\mu s} \div 10 \frac{V}{\mu s}$$

finisce un vincolo tra frequenza ed ampiezza massima del segnale di uscita per non avere distorsione

ESEMPIO Supponiamo $V_{out} = V_0 \sin(2\pi f_0 t) \Rightarrow SR = |V_0 2\pi f_0 \cos(2\pi f_0 t)|_{MAX} \geq V_0 2\pi f_0$

Limite superiore per non avere distorsioni



Bandwidth
potenza

$$B_{FP} = \frac{SR}{2\pi V_{FS}}$$

con $V_{out} = V_{FS}$ (Pondo scala)

$$SR \geq V_0 2\pi f_0$$

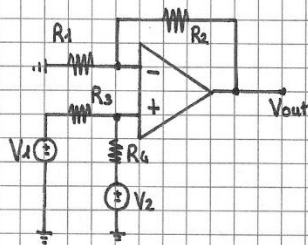
$$SR < V_0 2\pi f_0 \text{ (onda triangolare)}$$

RETROAZIONE NEGATIVA

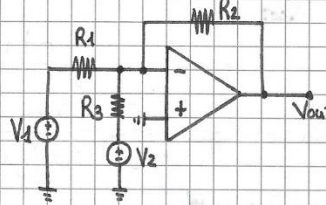
Applicazioni lineari

Sommatore

NON INV.



INV.

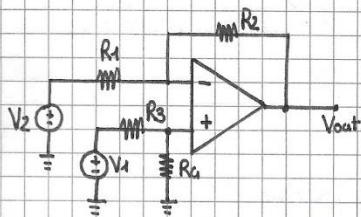


$$V_{out}(t) = d_1 V_1(t) + d_2 V_2(t) \quad \text{con } d_1, d_2 \in \mathbb{R}^+ \text{ è una combinazione lineare}$$

$$\text{NON INV.} \quad d_1 = \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4} \quad d_2 = \left(1 + \frac{R_2}{R_1}\right) \frac{R_3}{R_3 + R_4}$$

$$\text{INV.} \quad d_1 = -\frac{R_2}{R_1} \quad d_2 = -\frac{R_2}{R_3}$$

Sottrattore



$$V_{out}(t) = d_1 V_1(t) - d_2 V_2(t)$$

$$d_1 = \frac{R_4}{R_3 + R_4} \frac{R_1 + R_2}{R_1} \quad d_2 = \frac{R_2}{R_1}$$

≤ 1 , l'operazione vale solo $d_1 \leq d_2 + 1$

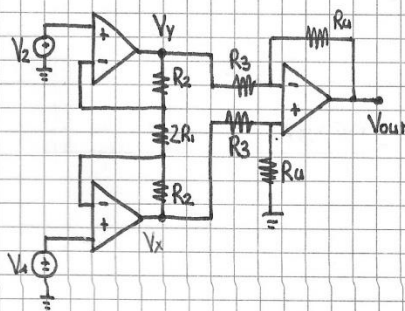
$$\text{se } R_2 = R_4 \text{ e } R_1 = R_3 \Rightarrow V_{out}(t) = \frac{R_2}{R_1} (V_1(t) - V_2(t)) \quad \text{amplificatore della differenza dei segnali } V_1 \text{ e } V_2$$

X presenta ai due generatori una resistenza di ingresso diversa e non elevata

$$\left. \begin{array}{l} R_{in1} = R_3 + R_4 = R_1 + R_2 \\ R_{in2} = R_1 \end{array} \right\} V_1 = 0 \text{V (altrimenti } R_{in2} \text{ è funzione di } V_1)$$

se V_1 e V_2 sono ideali non ho problemi, al contrario se fossero reali (con resistenze interne)

Amplificatore per strumentazione: risolve il problema



$$\text{tensione su } 2R_1 = V_2 - V_1 \Rightarrow i = \frac{V_2(t) - V_1(t)}{2R_1}$$

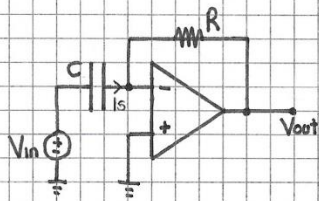
$$I^- = 0 \text{A}$$

$$V_4(t) - V_x(t) = i(2R_2 + 2R_1) = (V_2(t) - V_1(t)) \left(1 + \frac{R_2}{R_1}\right)$$

$$\Rightarrow V_{out}(t) = \frac{R_3}{R_u} \left(1 + \frac{R_2}{R_1}\right) (V_1(t) - V_2(t))$$

$$R_{in} = \infty$$

Derivatore



INVERTENTE

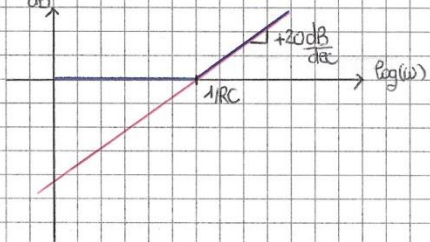
$$I_s(t) = C \frac{dV_{in}(t)}{dt} = -\frac{V_{out}(t)}{R} \Rightarrow V_{out}(t) = -CR \frac{dV_{in}(t)}{dt}$$

Spostiamoci nel dominio della frequenza:

$$\beta = \frac{1/j\omega C}{R + 1/j\omega C} \approx \frac{1}{1 + j\omega CR}$$

Il guadagno del circuito
dB

$$\frac{V_{out}}{V_{in}} = 1 - \frac{1}{\beta} = -j\omega CR$$



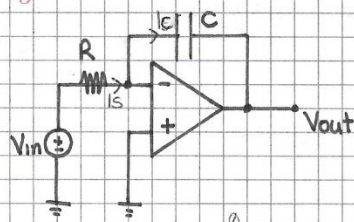
$$1/\beta \text{ dB} \rightarrow \text{per } \omega < 1/RC \rightarrow |1/\beta| \approx 1$$

$$1 - 1/\beta \text{ dB} \rightarrow \omega > 1/RC \rightarrow |1/\beta| \approx \omega CR$$

Non è una molla:

- È un filtro passa-alto $\Rightarrow$ amplifica il rumore ad alta frequenza
- È un filtro passa-basso $\Rightarrow$ riduce il margine di fase (facilmente instabile)

Integratore



INVERTENTE

assumiamo che $-V_{in} < V_{out}(t_0) < +V_{in}$
cont = t_0

per mame virtuali

$$I_s = \frac{V_{in} - V_-}{R} = \frac{V_{in}}{R} = I_C$$

per C

$$I_s(t) = \frac{V_{in}(t)}{R} = C \frac{dV_C(t)}{dt}$$

Integrando:

$$\int_{V_C(t_0)}^{V_C(t+t_0)} dV_C(\tau) = V_C(t+t_0) - V_C(t_0) = \frac{1}{CR} \int_{t_0}^{t+t_0} V_{in}(\tau) d\tau$$

finché vale le mame virtuali

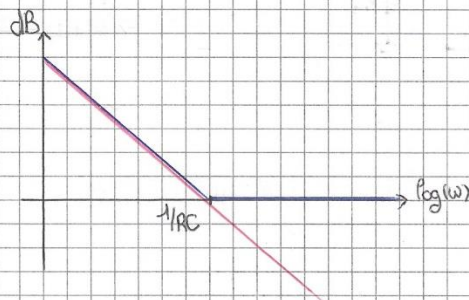
$$V_{out} = -V_C$$

$$\Rightarrow V_{out}(t+t_0) = -\frac{1}{CR} \int_{t_0}^{t+t_0} V_{in}(\tau) d\tau + V_{out}(t_0)$$

Nel dominio della frequenza:

$$\beta = \frac{R}{R + 1/j\omega C} = \frac{j\omega CR}{1 + j\omega CR}$$

$$\frac{V_{out}}{V_{in}} = 1 - \frac{1}{\beta} = -\frac{1}{j\omega CR}$$



Rimuoviamo l'ipotesi di idealità, ed introduciamo guadagno e banda finiti

Sia $A(w) = \frac{A_0}{1 + j\frac{w}{w_H}}$

• per un corretto funzionamento dell'integratore

$w_T > \frac{1}{RC}$ (e $w_H < \frac{1}{RC}$)
non necessario

guadagno dell'AO
invertente

$A_F(f) = (\beta - 1) \frac{A(w)}{1 + \beta A(w)}$

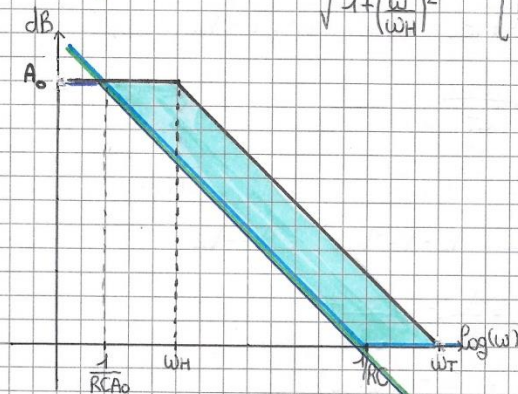
considero che:

• per $\beta - 1$ si ha: $|\beta - 1| = \left| -\frac{1}{1 + jwRC} \right| \approx \begin{cases} 1 & \text{se } w < 1/RC \\ \frac{1}{wRC} & \text{se } w > 1/RC \end{cases}$

• per il guadagno ad anello $|\beta A(w)|$
 $|\beta A(w)| > 1 \quad \text{se } \frac{1}{RC A_0} < w < w_T$ RICORDA $| \beta A(w) |_{dB} = | A(w) |_{dB} - | 1/\beta |_{dB}$
 $|\beta A(w)| < 1$ altrimenti

• per il guadagno ad anello aperto

$A(w) = \frac{A_0}{\sqrt{1 + (\frac{w}{w_H})^2}} \approx \begin{cases} A_0 & \text{se } w < w_H \\ \frac{A_0 w_H}{w} & \text{se } w > w_H \end{cases}$



$\approx -1/\beta \text{ dB}$

$\approx -1 - 1/\beta \text{ dB}$

$|\beta A|$ è la differenza tra la curva nera e la blu

$|A_F(f)| = \begin{cases} |\beta - 1| |A(w)| \approx A_0 & \text{se } w < \frac{1}{RC A_0} \\ |\beta - 1| \frac{|A(w)|}{|\beta A(w)|} = \frac{|\beta - 1|}{|\beta|} \approx \frac{1}{wRC} & \text{se } \frac{1}{RC A_0} < w < w_T \\ |\beta - 1| |A(w)| \approx \frac{1}{wRC} \frac{A_0 w_H}{w} & \text{se } w_T < w \end{cases}$

• Si innalza f che alla f $|\beta A(w)| < 1$, vanificando l'effetto della retroazione negativa
 ↳ l'integratore reale non può avere un guadagno superiore a quello dell'AO
 (giustifica il polo in $1/RC A_0$)

+ effetto della resistenza di uscita non nulla dell'AO (R_o)

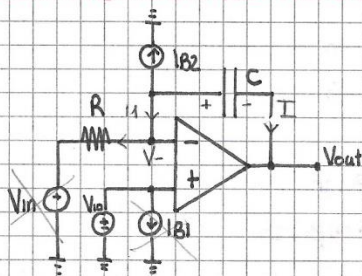
- + Per $\omega > \omega_r$, il guadagno differenziale dell'AO diventa in modulo < 1 , tende ad annullarsi all'aumentare di ω
- + Per $\omega \gg \omega_r$ l'ingresso invertente dell'AO non è vincolato all'ingresso non invertente (il generatore controllato è cortocircuitato)
il potenziale dipende unicamente dal generatore V_S (V_{in})

- + All'aumentare di ω , il modulo dell'impedenza del condensatore C tende ad annullarsi (c.c.)

- + il guadagno dipende solo da R e R_o $\frac{V_{out}}{V_{in}} = \frac{R}{R+R_o}$ * indipendente da ω

$\Rightarrow$ non va a $-\infty$ il $|A(f)|$, ma nasce una coppia di zeri che fa diventare costante l'andamento ad alta frequenza

+ Effetto di TENSIONE DI OFFSET (V_{io}) e CORR. DI POLARIZZAZIONE (I_B) dell'AO



Il gen. re I_B non ha effetti sull'uscita, $V_{io} = V_-$

$$I = \frac{V_{io}}{R} + I_B \quad (\text{ci disinteressiamo di } V_{in} \text{ (aperta)})$$

$$= -C \frac{dV_{out}}{dt}$$

Integro: $-V_c(t+t_0) + V_c(t_0) = \frac{V_{io}}{RC}t + \frac{I_B t}{C}$ con $V_c = V_- - V_{out}$ e $V_- = V_{io}$

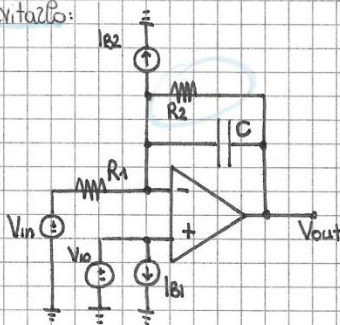
commo e sottraggo V_{io} $-V_c(t_0+t) + V_{io} + V_c(t_0) - V_{io} = \frac{V_{io}}{RC}t + \frac{I_B t}{C}$

$$\Rightarrow V_{out}(t+t_0) = V_{io} \left(1 + \frac{t}{RC}\right) + \frac{I_B t}{C} - V_c(t_0)$$

Questo vale fino a che l'uscita dell'AO satura al valore della tensione di alimentazione (nel caso migliore).
Ciò è dovuto al guadagno infinito dell'AO ideale.
Rimuovendo l'ipotesi di guadagno infinito $\neq$ è l'AO che comunque è di valore elevato, sufficiente per far comunque saturare l'uscita dell'integratore.

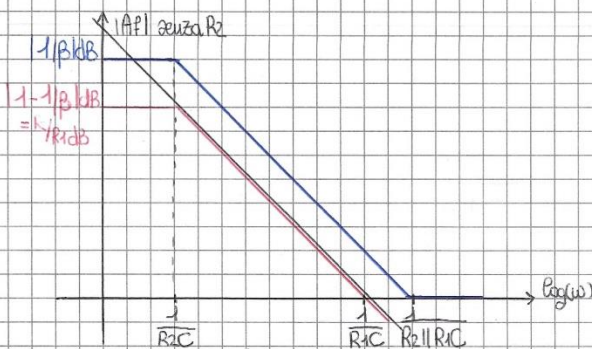
Quindi, alimentando un circuito di questo tipo, l'uscita è al valore di saturazione in breve tempo.

Per evitare:



$$\frac{V_{out}}{V_{in}} = -\frac{Z}{R_1} = -\frac{R_2}{1+j\omega CR_2} = -\frac{R_2}{R_1} \frac{1}{1+j\omega CR_2}$$

fat. a singolo polo $\omega = \frac{1}{R_2 C}$ quad. in continua



A regime, considerando V_{io} e I_{B2} , siamo in continua (C è c.a. e vale il princ. delle m.v.)

$$V_{out}(I_{B2} \text{ e } V_{io}) = V_{io} \left(1 + \frac{R_2}{R_1}\right) + I_{B2} R_2$$

quindi l'effetto di R_2 è quello di limitare il guadagno in continua ad un valore più basso di A_0 e anche l'effetto sull'uscita della V_{io} e di I_{B2}

$$R_2 \downarrow \quad V_{out}(I_{B2}, V_{io}) \downarrow \quad \text{e} \quad \frac{1}{R_2 C} \uparrow$$

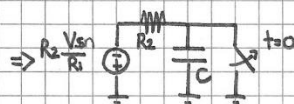
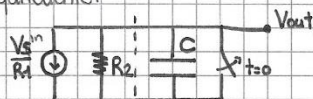
$$\beta = \frac{R_1}{R_1 + \frac{R_2}{1 + j\omega C R_2}} = \frac{R_1}{R_1 + R_2} \frac{1 + j\omega C R_2}{1 + j\omega C R_1 || R_2}$$

Supponendo di accendere l'alimentazione con Capacitor, la V_{out} di regime si raggiunge con un transitorio esponenziale con costante di tempo $\tau = R_2 C$

Nella prima fase di carica del C, l'andamento esponenziale si può approssimare linearmente: se a $t=0$ c'è V_0 per un periodo suff. piccolo ($\ll \tau$), allora varia linearmente come accade con l'integratore ideale

$$V_c(t+t_0) = V_0(t_0) + \frac{V_{io}}{RC} + \frac{I_{B2}}{C} t$$

equivalente:



$$V_c(t) = (V(\infty) - V(0)) (1 - e^{-t/R_2 C}) + V(0) = -\frac{V_{in} R_2}{R_1} (1 - e^{-t/R_2 C}) = V_{out}(t)$$

$$1 - e^x \Big|_{x \ll 1} = -x + O(x^2)$$

$$V_{out}(t) = -\frac{V_{in} R_2}{R_1} (1 - e^{-t/R_2 C}) \approx V_{in} \frac{R_2}{R_1 R_2 C} = -\frac{V_{in}}{R_1 C}$$

Ao con rete di retroazione non lineare

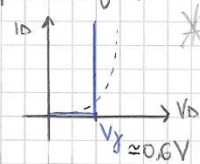
La rete AO realizza anche diodi e transistor bipolari.

Diodo

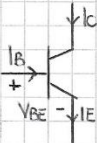


$$I_D = I_0 (e^{\frac{V_D}{\eta V_T}} - 1) \approx I_0 e^{\frac{V_D}{\eta V_T}} \quad (\text{per } V_D \gg \eta V_T)$$

$$I_D = \begin{cases} 0 & \approx V_D < V_Y \\ \text{qualunque } I \in (0, +\infty) & \approx V_D = V_Y \end{cases}$$



BJT

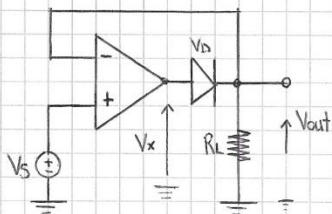


$$\text{RAD: } \begin{matrix} V_{BE} & P_D \\ V_{BC} & P_I \end{matrix}$$

$$I_C = \beta I_B \approx I_E$$

↳ guadagno in corrente

Redduttore di precisione a semplice semiconduttore



Supponiamo l'AO ideale, il guadagno $A_o \in \mathbb{R}^+$ diodo amplificato

D non è in conduzione

$$V_S < V_Y / A_o$$

• Anello di retroazione è aperto

$$V_D = V_X - V_{out} < V_Y$$

• $V_{out} = 0 \text{ V}$ (su R_L non scorre corrente)

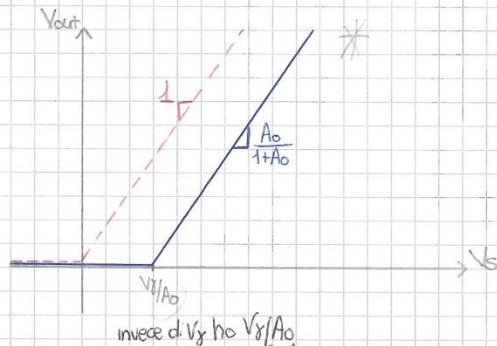
$$V_D = A_o(V_S - V_{out}) - V_{out} = A_o V_S < V_Y$$

D è in conduzione

$$V_S \gg V_Y / A_o$$

$$V_{out} = V_X - V_Y = A_o(V_S - V_{out}) - V_Y$$

$$\Rightarrow V_{out} = \frac{A_o V_S}{1 + A_o} - \frac{V_Y}{1 + A_o}$$



In pratica il diodo nell'anello di retroazione, fa ridurre la saturazione di soglia di un fattore pari a A_o

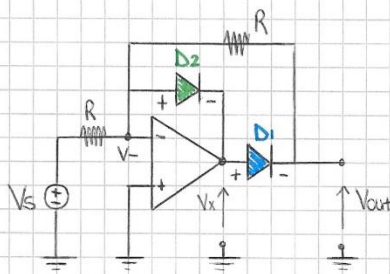
Se $A_o \rightarrow \infty$, la tensione di soglia si annulla
 $\Rightarrow$ diodo ideale o SUPERDIODO

$$V_{out} = \begin{cases} 0 & \approx V_S < 0 \text{ V} \\ V_S & \approx V_S \gg 0 \text{ V} \end{cases}$$

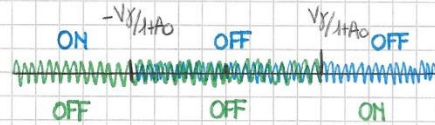
NB per $V_S < -V_S / A_o$, l'uscita dell'AO satura a $-V_S$

$\Rightarrow$!!! Riportare a paragrafo l'AO nella condizione di funzionamento lineare richiede un tempo finito, con limiti di velocità

Raddrizzatore di precisione a semplice semionda senza saturazione



Supponiamo l'AO ideale e guadagno finito $A_o \in \mathbb{R}^+$
diode è semplificato



D1 e D2 interdetti:

- V_s vede un circuito aperto $V_s = V_- = V_{out}$ (l'ingresso è uguale all'uscita)
- per il diodo D1: $V_x - V_{out} = A_o(V_+ - V_-) - V_{out} = -A_o V_s - V_s = -V_s(1+A_o) < V_{\gamma}$
- per il diodo D2: $V_- - V_x = V_s - A_o(V_+ - V_-) = V_s + A_o V_s = V_s(1+A_o) < V_{\gamma}$

$$\Rightarrow -\frac{V_{\gamma}}{1+A_o} < V_s < \frac{V_{\gamma}}{1+A_o}$$

D2 è in conduzione

$$\downarrow V_s \geq \frac{V_{\gamma}}{1+A_o}$$

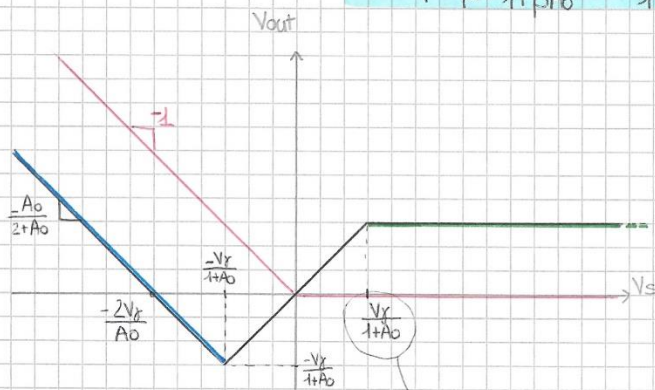
- $V_- - V_x$ resta fissa al valore V_{γ}
- $V_- - V_x = V_- - (-A_o V_-) = V_-(1+A_o) = V_{\gamma}$
- Rit D1 e D2 è flottante

$$\begin{aligned} V_- &= \frac{V_{\gamma}}{1+A_o} \\ V_{out} &= \frac{V_{\gamma}}{1+A_o} \end{aligned}$$

D1 è in conduzione

$$\downarrow V_s \leq -\frac{V_{\gamma}}{1+A_o}$$

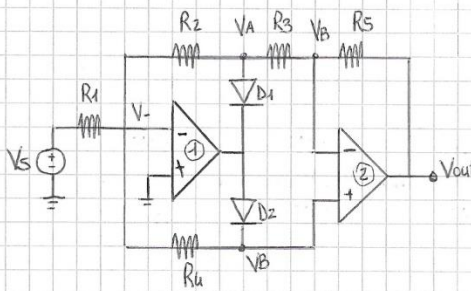
- Il percorso di retroazione è chiuso
- $V_- = \beta V_{out} + (1-\beta)V_s$
- $V_{out} = V_x - V_{\gamma} = -A_o V_- - V_{\gamma} = -A_o[\beta V_{out} + (1-\beta)V_s] - V_{\gamma}$
- $\Rightarrow V_{out} = \left(1 - \frac{1}{\beta}\right) \frac{\beta A_o}{1 + \beta A_o} V_s - \frac{V_{\gamma}}{1 + \beta A_o}$



$$A_o \rightarrow \infty \quad V_{out} = \begin{cases} 0 & \text{se } V_s \geq 0 \\ -V_s & \text{se } V_s < 0 \end{cases}$$

è trascurabile, ma non quando considero il guadagno A_o in frequenza

Raddrizzatore a doppia semionda



Calcolo del valore assoluto di un segnale

Supponiamo gli AO ideali (in pratica annullano la tensione di soglia del diodo posto sull'anello in retroazione)
e $R_2 = R_3 = R_4 = R_5 = R$

D1 in conduzione

$V_s > 0$ [V]

• $V_-(AO_1)$ massa virtuale, su R_4 non scorre corrente

$$V_A = -\frac{R_2}{R_1} V_s = -\frac{R}{R_1} V_s \quad \text{e} \quad V_-(AO_2) = V_B \text{ è massa virtuale}$$

$$V_{out} = -\frac{R_5}{R_3} V_A = -\frac{R_5}{R_3} \left(-\frac{R_2}{R_1} V_s \right) = \frac{R}{R_1} V_s$$

D2 in conduzione

$V_s < 0$ [V]

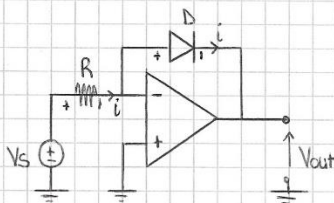
• Su R_4 e R_2 scorre corrente

$$\frac{V_s}{R_1} = \frac{-V_B}{R_4} = \frac{-V_B}{R_2 + R_3} = -\frac{3}{2} \frac{V_B}{R} \Rightarrow V_B = -\frac{2}{3} \frac{R}{R_1} V_s$$

$$V_{out} = \left(1 + \frac{R_5}{R_2 + R_3} \right) V_B$$

• il guadagno $\frac{V_{out}}{V_B} = 3/2$

Amplificatore Logaritmico



• Serviranno per passare dal prodotto alla somma di due segnali (operazioni matematiche)

$V_s > 0 \Rightarrow D$ è in conduzione e vale $V_{out} = -V_s$

supponendo $V_s \gg \eta V_T$

dato che $I_D = \frac{V_s}{R} \approx I_0 e^{\frac{V_D}{\eta V_T}}$
corrente inversa

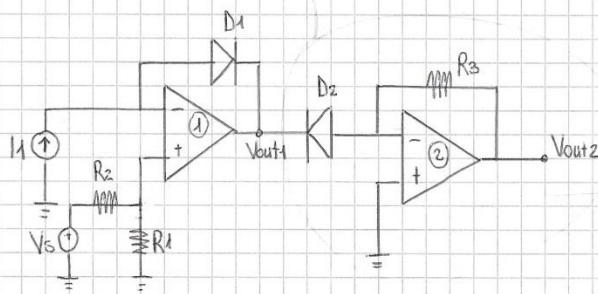
$$\Rightarrow V_{out} = -\eta V_T \ln \left(\frac{I_D}{I_0} \right) = -\eta V_T (\ln(I_D) - \ln(I_0))$$

- calcolare in decibel
- convertire a valore efficace

• Raddoppia ogni 10°C

* dipende dalla temperatura

Amplificatore antilogaritmico (esponenziale)



I due diodi sono uguali, e per gli A.O. vale il principio delle masse virtuali.

$$V_{out1} = -\eta V_T \ln\left(\frac{I_1}{I_0}\right) + V_S \frac{R_1}{R_1 + R_2} \quad \text{e} \quad V_{out} = -V_{D2} \quad I_{D2} = \frac{V_{out2}}{R_3}$$

Se D_2 è in conduzione

$$V_{out1} = -\eta V_T \ln\left(\frac{I_{D2}}{I_0}\right) = -\eta V_T \ln\left(\frac{V_{out2}}{R_3 I_0}\right)$$

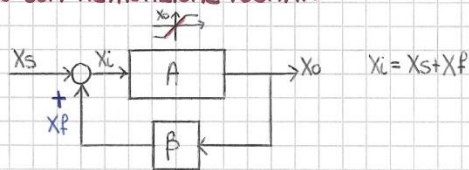
* dipende dalla temperatura

$$\Rightarrow V_{out2} = R_3 I_1 e^{-\frac{V_S}{V_T} \frac{R_1}{R_1 + R_2} - \frac{1}{\eta}}$$

253

6

AO con RETROAZIONE POSITIVA



Ora avremo: $\frac{X_o}{X_s} = A_f = \frac{A}{1 - \beta A}$ con $A = \frac{A_o}{1 + \frac{s}{\omega_H}}$ (singolo polo)

costituendo $\Rightarrow A_f = \frac{A_o}{1 - \beta A_o} \cdot \frac{1}{1 + \frac{s}{\omega_H(1 - \beta A_o)}}$

guadagno in continua

si sposta il polo

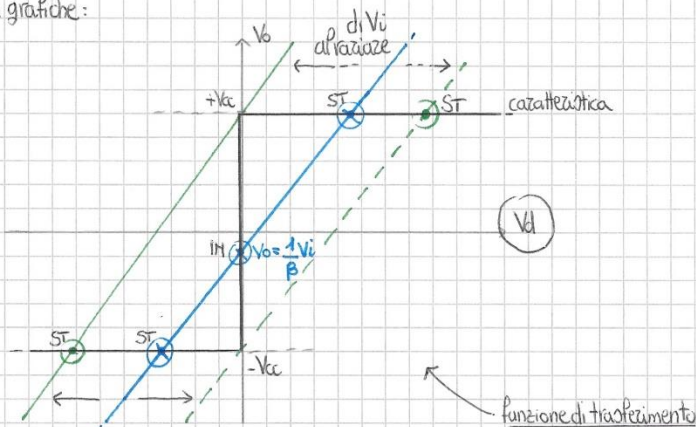
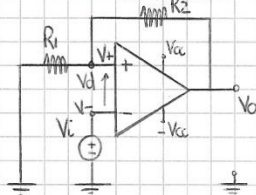
$\beta A_o < 1$ STABILE

$\beta A_o = 1$ sono nell'origine MARGINALMENTE STABILE

$\beta A_o > 1$ INSTABILE

Prendiamo ora un circuito e vediamo le soluzioni grafiche:

Trigger di Smith: comparatore con isteresi



1 RailtoRail su Vcc e -Vcc

Poniamo l'ipotesi che: $V_d = V_+ - V_- = \frac{V_+}{\beta} - V_-$

$\Rightarrow V_o = \frac{1}{\beta} (V_d + V_-)$ retta

Vout dipende da Vid e dal railto rail

3 soluzioni: 2 STABILI $- \beta V_{cc} < V_o < \beta V_{cc}$
1 INSTABILE ($V_d = 0$)

2 trasloca i zeri STABILE $|V_i| > \beta V_{cc}$
1 soluzione:

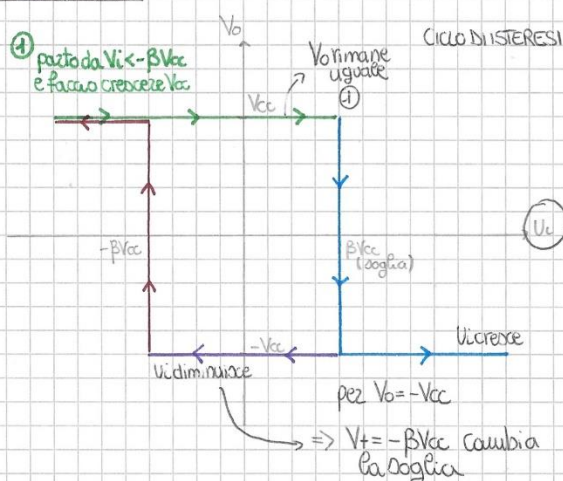
Facciamo variazioni l'ingresso a partire da una soluzione stabile:

$V_i < -\beta V_{cc}$ e $V_o = V_{cc}$

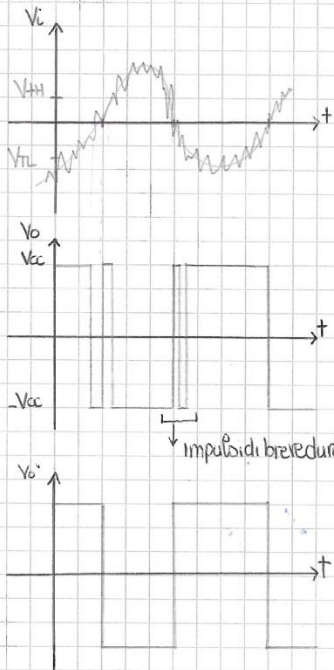
$\Rightarrow V_+ = \beta V_{cc}$

V_+ è la soglia con cui controlla l'azione di ingresso V_i

1) l'uscita non cambia fino a quando non supera $V_+ = \beta V_{cc}$

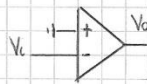


□



segnale acui si è sovrapposto rumore, voglio avere un segnale pulito

A. Posso utilizzare un comparatore, metto in ingresso V_i ed ottengo:



ad ogni cambio di segno ho una inversione del segnale del comparatore

B. Se uso un comparatore con isteresi, gli impulsi si allungano ✓

Le soglie diventano V_{TH} e V_{TL} , le uscite commutano a profondità anche se il segnale oscilla in quell'intervallo

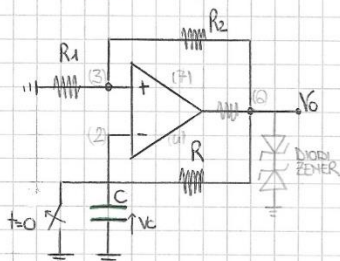
□ Se il morsettino di R_1 ha una tensione V_R applicata $\Rightarrow$ il ciclo di isteresi viene traslato (di shift)

$$V_{\pm} = V_o\beta + V_R(1-\beta)$$

causa il nuovo centro

Applicazioni del trigger di Smith

■ Multivibratore astabile: generatore di forma d'onda



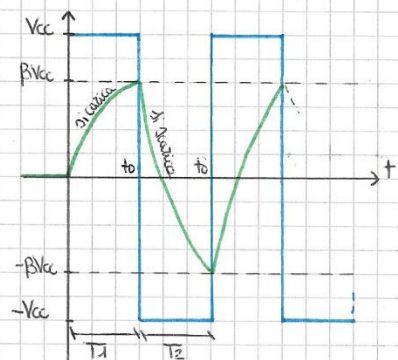
• Non ha uno stato stabile

• Il condensatore parte scarico, a $t=0$ apre l'interruttore

• R serve per limitare

• I diodi per simmetrizzare l'uscita

(//) Nota: $V_o = \begin{cases} V_{cc} & \text{razza in questo range} \\ -V_{cc} & \text{dopo commuta} \end{cases}$, $\pm \beta V_{cc}$ sono le soglie, $\frac{V_o}{V_c}$



NB: le soglie sono simmetriche

6

T_1 e T_2 sono uguali e a dimostra:

$$V_c(t_0 + T) = [V_c(\infty) - V_c(t_0)] \left[1 - e^{-T/RC} \right] + V_c(t_0)$$

$$\bullet V_c(t_0 + T_1) = -\beta V_{cc} = [-V_{cc} - \beta V_{cc}] \left[1 - e^{-T_1/RC} \right] + \beta V_{cc}$$

$$\downarrow V_{cc}(1+\beta)e^{-T_1/RC} = V_{cc}(1-\beta) \Rightarrow T_1 = RC \ln \left(\frac{1+\beta}{1-\beta} \right)$$

$$\bullet V_c(t_0 + T_2) = \beta V_{cc} = [V_{cc} + \beta V_{cc}] \left[1 - e^{-T_2/RC} \right] - \beta V_{cc}$$

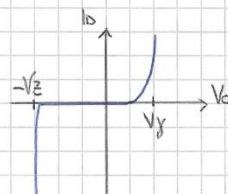
$$\downarrow V_{cc}(1-\beta)e^{-T_2/RC} = V_{cc}(1+\beta) \Rightarrow T_2 = RC \ln \left(\frac{1+\beta}{1-\beta} \right)$$

$T_1 = T_2$

Calcoliamo il duty cycle $d.c. = \frac{T_1}{T_1 + T_2} = 1/2 \rightarrow 50\%$

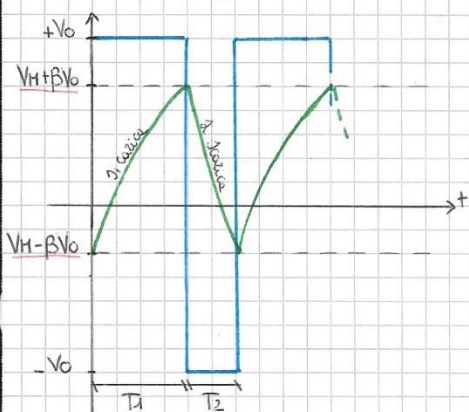
aggiungendo questi, i conti non cambiano, e avrà $V_o = \begin{cases} V_y + V_z = V_o \\ -(V_y + V_z) = -V_o \end{cases}$

che corrispondono a $\pm V_{cc}$



□ Aggiungiamo il generatore V_H su $R_1 \Rightarrow$ *regime non simmetrico*

Avrà $V_+ = \pm \beta V_o + V_H$



$$V_c(T_1) = V_H + \beta V_o = [V_o + \beta V_o - V_H] \left[1 - e^{-T_1/RC} \right] + V_H - \beta V_o$$

$$\downarrow V_o \left(1 + \beta - \frac{V_H}{V_o} \right) e^{-T_1/RC} = V_o \left(1 - \beta - \frac{V_H}{V_o} \right)$$

$$\Rightarrow T_1 = RC \ln \left(\frac{1 + \beta - V_H/V_o}{1 - \beta - V_H/V_o} \right)$$

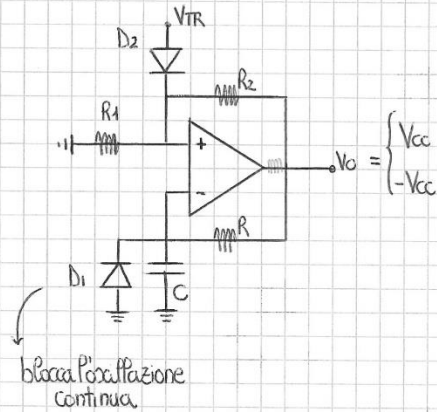
$$T_2 = RC \ln \left(\frac{1 + \beta + V_H/V_o}{1 - \beta + V_H/V_o} \right)$$

$\rightarrow \neq$

E dunque $T_1 \neq T_2$

7

Multivibratore monostabile



$$V_c(t_0 + T) = \beta V_{cc} = (V_{cc} + V_b)(1 - e^{-T/RC}) - V_b$$

$$V_{cc}(1 + \frac{V_b}{V_{cc}}) e^{-T/RC} = V_{cc}(1 - \beta)$$

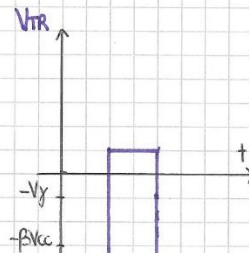
$$\Rightarrow T = RC \ln \left(\frac{1 + V_b/V_{cc}}{1 - \beta} \right)$$

$$V_c(t_0 + T + TR) = -V_b = (-V_{cc} - \beta V_b)(1 - e^{-TR/RC}) + \beta V_{cc}$$

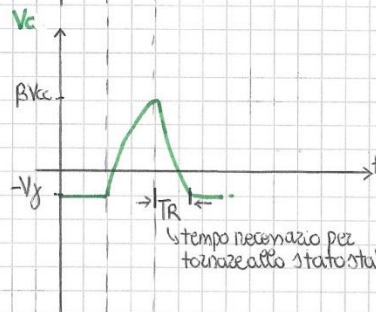
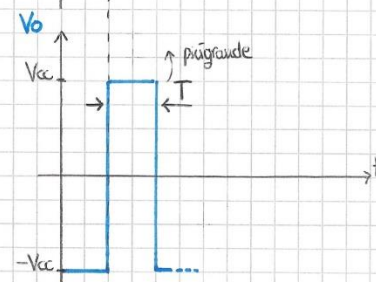
$$\downarrow V_{cc}(1 + \beta) e^{-TR/RC} = V_{cc} - V_b = V_{cc}(1 - V_b/V_{cc})$$

$$\Rightarrow TR = RC \ln \left(\frac{1 + \beta}{1 - V_b/V_{cc}} \right)$$

NB se do l'impulso prima che C sia scaricato la scarica parte da un valore diverso da V_b
 $\rightarrow$ ho T diversa



è per determinare V_b
 se supera $-V_b$, il circuito commuta
 $V_{TR} > 0$

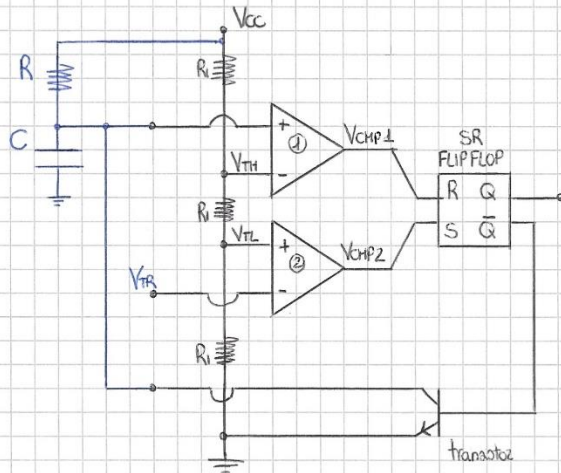


così
 invece $- \beta V_{cc}$

8

Come realizzare nella realtà multivibratore?

+ Monostabile: Timer NE555



• con le soglie: $V_{TL} = \frac{1}{3}V_{CC}$ e $V_{TH} = \frac{2}{3}V_{CC}$

• $V_{CHP1,2} = \begin{cases} V_{CC} & V_+ > V_- \\ 0 & V_+ < V_- \end{cases}$

S	R	Q_{n+1}	$\bar{Q}_{n+1}$
L	L	Q_n	$\bar{Q}_n$
H	L	1(H)	0(L)
L	H	0(L)	1(H)
H	H	?	?

(Al primo) $V_{TR} > V_{TL} \Rightarrow V_{CHP,2} = L$ quindi $V_O = 0V$
 $V_C = 0V$
 $V_{CHP1} = L$

$V_{TR} < \frac{1}{3}V_{CC} \Rightarrow V_{CHP2} = H$
 $V_{TR} = V_{TL}$

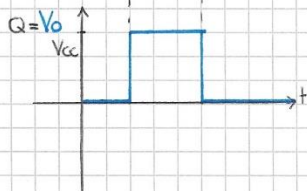
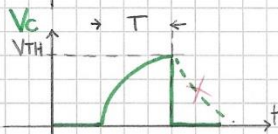
$Q \rightarrow H$
 $\bar{Q} \rightarrow L$
 C si carica e $V_C \rightarrow V_{CC}$
 Quando $V_C = \frac{2}{3}V_{CC} = V_{TH}$, $V_{CHP1} \rightarrow H$
 nel frattempo $V_{TR} > V_{TL}$ $V_{CHP2} \rightarrow L$
 $Q = L \Rightarrow C$ si scarica
 $\bar{Q} = H$



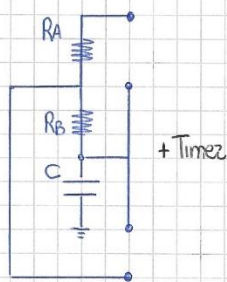
Calcoliamo la durata dell'impulso:

$$V_C(t_0 + T) = \frac{2}{3}V_{CC} = (V_{CC} - 0)(1 - e^{-T/RC}) + 0$$

$$\Rightarrow T = RC \ln(3)$$



+ ASTABILE: Timer NE555

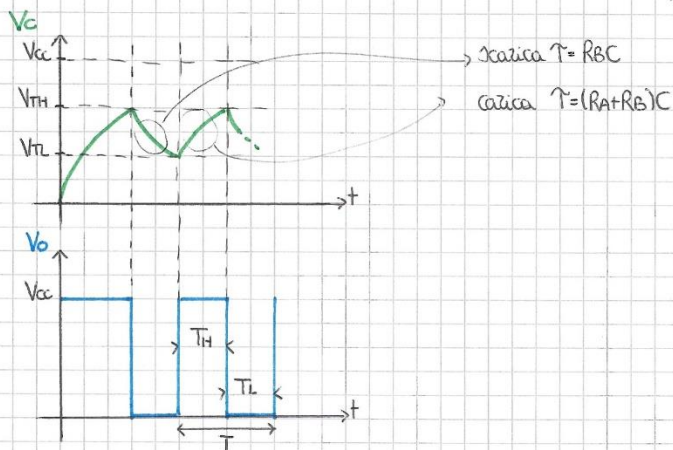


Hoglierem Valori

• All'accensione $V_C = 0 [V] \Rightarrow V_{CHP2} = H \Rightarrow Q = H$
 $V_{CHP1} = L \Rightarrow \bar{Q} = L$

• V_C si carica $T_s = (R_A + R_B)C$
 + per $V_C = 1/3 V_{CC} = V_{TL} \Rightarrow V_{CHP2} \Rightarrow L \Rightarrow Q = L$
 + per $V_C = 2/3 V_{CC} = V_{TH} \Rightarrow V_{CHP1} \Rightarrow H \Rightarrow \bar{Q} = H$

• Il condensatore si scarica con costante di tempo $T_s = R_B C$ $\leadsto$ quando $V_C \leq V_{TL} \leadsto V_{CHP2} \rightarrow H$



Troviamo le costanti di tempo

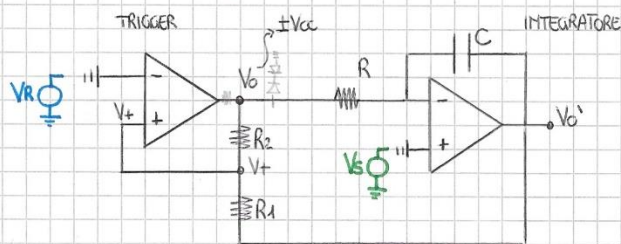
• $2/3 V_{CC} = (V_{CC} - 1/3 V_{CC})(1 - e^{-T_H / R_B C}) + 1/3 V_{CC} \Rightarrow T_H = (R_A + R_B)C \ln(2)$

• $1/3 V_{CC} = 2/3 V_{CC} e^{-T_L / T_s} \Rightarrow T_L = R_B C \ln(2)$

duty cycle $= \frac{T_H}{T} = \frac{R_A + R_B}{R_A + 2R_B}$

10

Generatore di onda triangolare



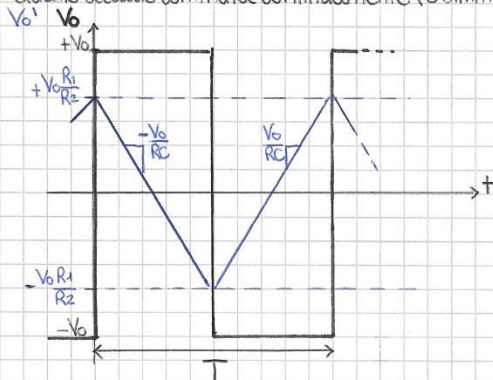
Il circuito commuta per $V_+ = 0$, $V_+ = V_0 \beta + V_0' (1 - \beta) = 0$

$$\text{con } \beta = \frac{R_1}{R_1 + R_2}$$

Trovo la relazione $V_0' = -\frac{\beta}{1-\beta} V_0 = -\frac{R_1}{R_2} V_0$

$$V_0' = \begin{cases} -V_0 \frac{R_1}{R_2} & \text{quando } V_0 = V_0 \\ V_0 \frac{R_1}{R_2} & \text{quando } V_0 = -V_0 \end{cases}$$

Questo circuito commuta continuamente (è simmetrico)



$$\text{Periodo } T = 4RC \frac{R_1}{R_2}$$

$$\text{da: } -V_0 \frac{R_1}{R_2} + \frac{V_0 T}{RC 2} = V_0 \frac{R_1}{R_2}$$

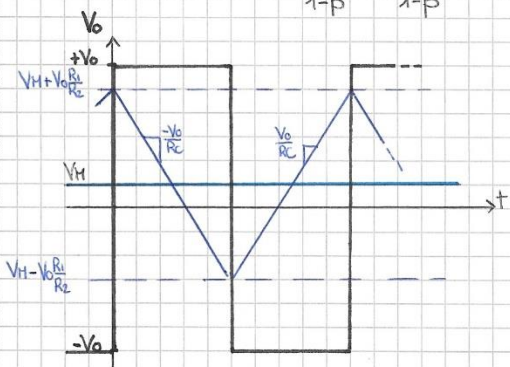
Varianti

- GENERATORE VR ALMORSETTO INVERTENTE DEL TRIGGER DI SMITH

Quindi $V_+ = V_R = V_0 \beta + V_0' (1 - \beta)$

$$\text{Trovo la relazione } V_0 = \frac{V_R}{1-\beta} - V_0' \frac{\beta}{1-\beta} = \frac{V_R (1 + \frac{R_1}{R_2})}{1-\beta} - V_0' \frac{R_1}{R_2}$$

• Simmetrico rispetto a V_H



• Non cambia il periodo ma il valore medio del segnale in uscita

• Funziona se

$$V_R (1 + \frac{R_1}{R_2}) + V_0 \frac{R_1}{R_2} < V_0$$

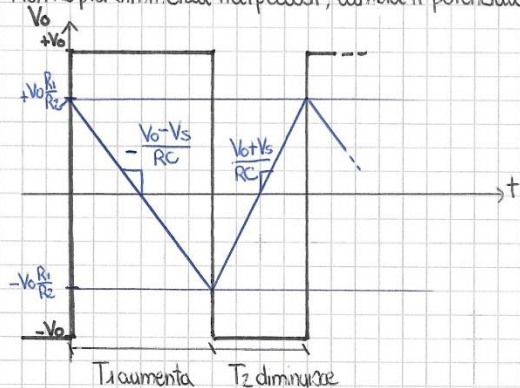
$$\Rightarrow V_R < V_0 \frac{R_2 - R_1}{R_2 + R_1}$$

Anche se questa condizione è troppo restrittiva:

$$V_R < V_{cc} \quad \text{vale anche fino a questo valore}$$

- GENERATORE V_s AL MOSFET NON INVERTENTE DELL'INTEGRATORE

Non ho più simmetria tra i periodi, cambia il potenziale nel nodo



$$-\frac{R_1}{R_2}V_o + \frac{V_o + V_s}{RC}T_2 = \frac{R_1}{R_2}V_o \Rightarrow T_2 = \frac{2V_o}{V_o + V_s} \frac{R_1 RC}{R_2}$$

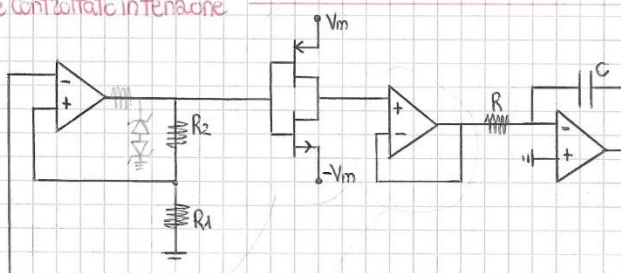
$$T_1 = \frac{2V_o}{V_o - V_s} \frac{R_1 RC}{R_2}$$

$$\Rightarrow T = 4 \frac{R_1}{R_2} RC \frac{V_o^2}{V_o^2 - V_s^2}$$

Il duty cycle non è del 50% $\delta_c = \frac{1}{2} - \frac{1}{2} \frac{V_s}{V_o}$

VCO - Oscillatore controllato in tensione

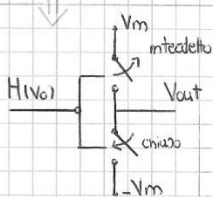
Trigger di Smith



Integratore

termini di controllo per la frequenza

Integratore: blocca la corrente



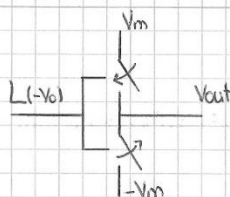
$$in = H \Rightarrow V_{out} = -V_m$$

funziona se:

$$MOSN: V_o - (-V_m) > V_{TH}$$

$$MOSP: V_m - V_o < |V_{TP}|$$

oppure

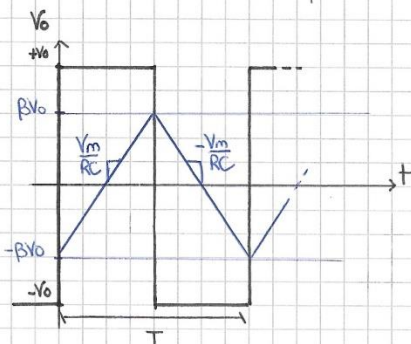


$$in = L \Rightarrow V_{out} = V_m$$

$$-V_o + V_m < V_{TH}$$

$$V_m - (-V_o) > |V_{TP}|$$

Analizzo il circuito: $V_o' = V_+ = \beta V_o \Rightarrow V_o' = \begin{cases} \beta V_o & \text{se } V_o = +V_o \\ -\beta V_o & \text{se } V_o = -V_o \end{cases}$

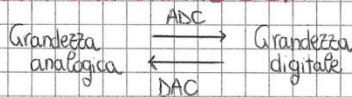


$$\text{Per } T: -\beta V_o + \frac{V_m}{RC} \frac{T}{2} = \beta V_o$$

$$f = \frac{1}{T} = \frac{V_m}{4RC} \left(1 + \frac{R_2}{R_1}\right) \frac{1}{V_o}$$

12

CONVERTITORI A/D e D/A

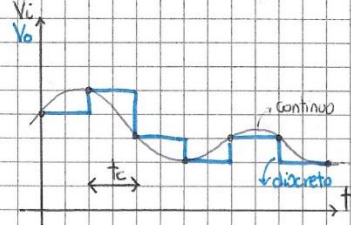


Questo passaggio si basa sul teorema di Nyquist

Se abbiamo un segnale con banda B , se lo campioniamo con una frequenza $f_c \geq 2B$

=> NON abbiamo perdita di informazioni limite di Shannon

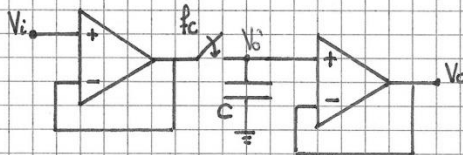
1. CAMPIONAMENTO



avendo $V_i(t) \in [0; V_{FS}]$

passa da un segnale a tempo continuo a discreto con $T_c = \frac{1}{f_c}$

esegue una ripetizione periodica



CIRCUITO CAMPIONATORE

Vo sarà il segnale a gradini

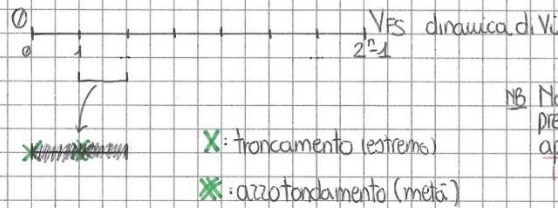
$$V_o = \sum_{k=-\infty}^{+\infty} V_i(kT_c) \cdot \text{rect}\left(\frac{t - kT_c - T_c/2}{T_c}\right)$$

C serve a mantenere costante il valore

2+3 QUANTIZZAZIONE + CODIFICA

tra due valori non ce ne devono essere altri

la quantizzazione divide in N intervalli
 $N = 2^n - 1$



NB Non si sceglie il valore preciso ma una sua approssimazione (siccome è discreto)

ampiezza dell'intervallo $V_{LSB} = \frac{V_{FS}}{N} = \frac{V_{FS}}{2^n - 1}$

Codifica: a ciascun intervallo è associato un numero Z_k in base 2 a n bit

$$Z_{k,ARR} = \left\lfloor \frac{V_i(kT_c) + V_{LSB}/2}{V_{LSB}} \right\rfloor_2$$

$$Z_{k,TR} = \left\lfloor \frac{V_i(kT_c)}{V_{LSB}} \right\rfloor_2$$

con $T_k = kT_c$

Sviluppo in serie di Fourier Sia $f(t)$ di periodo T , ovvero che $f(t+mT) = f(t)$ (periodica) con $\omega_0 = 2\pi/T$

$$f(t) = \sum_{n=-\infty}^{+\infty} F_n e^{jn\omega_0 t} \quad \text{con } F_n = \frac{1}{T} \int_{-T/2}^{T/2} f(t) e^{-jn\omega_0 t} dt$$

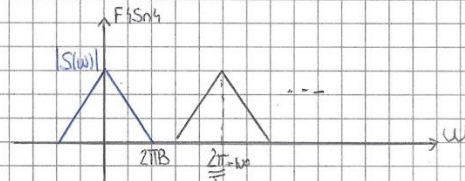
oia $\delta_T(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT)$ è periodica di periodo T => si può esprimere in serie di Fourier

$$\delta_T(t) = \sum_{k=-\infty}^{+\infty} C_k e^{jk\omega_0 t} \quad \text{con } C_k = \frac{1}{T} \int_{-T/2}^{T/2} \delta(t) e^{-jk\omega_0 t} dt = 1/T \Rightarrow$$

Trasformata di Fourier

$$F[\delta_T(t)] = \sum_{k=-\infty}^{+\infty} \delta(\omega - k\omega_0) \quad \text{se } 1/T > 2B \text{ non c'è sovrapposizione}$$

=> C'è ancora bisogno di un filtro anti-aliasing a monte di tutto

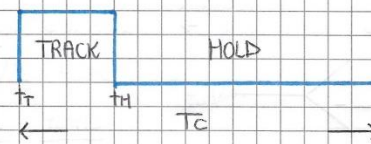


Analisi del blocco campionatore

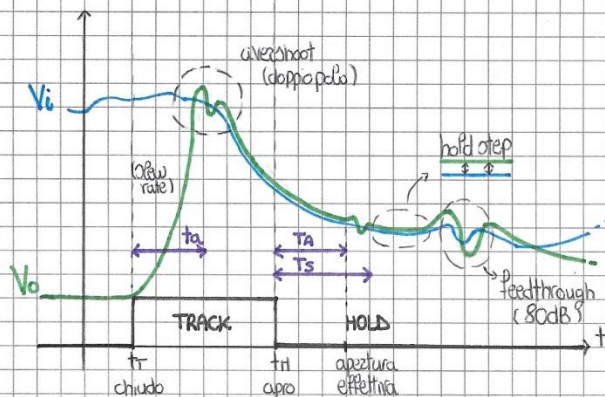
Il campionamento non può essere istantaneo

TRACK: l'interruttore, chiuso, il primo integratore di tensione riesce ad agganciare il segnale

HOLD: una volta agganciato il segnale di ingresso ($V_o = V_i$) l'interruttore si apre ($V_i = V_o$)



Ciascuna componente ha una non idealità



t_a : tempo di acquisizione

T_A : ritardo di apertura

T_S : tempo di settling

+ Nell'istante in cui inizia la fase di track, l'uscita V_o vale il valore precedente immagazzinato in C.

+ L'AO ha velocità di risposta finita (slew rate) occorre un certo tempo perché V_o cominci effettivamente a inseguire V_i .

+ In generale un sistema di questo tipo non risponde come un sistema a singolo polo: c'è un overshoot che si smorza.

+ Il tempo di acquisizione dipende dalla distanza del valore di V_o prima della chiusura dell'interruttore e il segnale V_i e dipende la durata della fase di TRACK.

La durata del TRACK è dimensionata in modo che anche nel caso peggiore il t_a sia $\leq$ al tempo di TRACK.

+ Finita la fase di TRACK, l'interruttore non si apre istantaneamente, ma c'è un ritardo T_A , che dipende in generale dal valore di V_i e lo si tratta come una variabile aleatoria.

+ Dopo l'apertura dell'interruttore la V_o subisce una oscillazione con un successivo smorzamento su un valore diverso dal valore effettivo di V_i .

Supponiamo interruttore JFET, ci sono 2 fenomeni: la ridistribuzione della carica che formava il canale a int. chiuso e accoppiamenti capacitivi del segnale di comando dell'interruttore con la C d'ingresso.

Questi fenomeni provocano la fase di smorzamento del segnale e l'errore rispetto al segnale effettivo (HOLD STEP) e possiamo definire un tempo di settling (t_s) in cui il segnale si smorza in una fascia di ampiezza ben definita rispetto al valore finale.

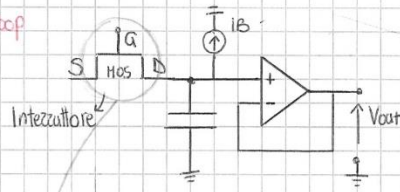
+ Da questa fase in poi il V_o dovrebbe rimanere costante almeno fino a fine T_c .

Può accadere che in presenza di variazioni del V_i (soprattutto se in alta frequenza), a causa di accoppiamenti capacitivi delle non idealità dell'interruttore, parzialmente ci può essere un effetto sulla V_o (FEEDTHROUGH).

La C vede idealmente una impedenza infinita, quindi non si scarica.

In realtà, a verso AOZ, da verso l'interruttore aperto l'impedenza non è infinita, c'è una corrente di perdita che scarica la C e quindi una diminuzione di V_o .

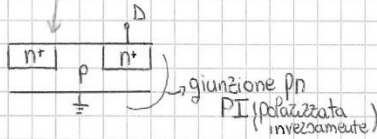
Drop



2 cariche/scariche non è ideale $\Rightarrow$ ho correnti di polarizzazione

Drop

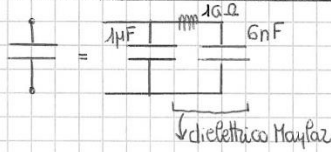
$$\Delta V_{out} = DRROP \cdot T_{HOLD} < DRROP \cdot T_C < V_{LSB}$$



$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{TOT}}{C}$$

con $I_{TOT} = |I_B| + |I_P|$ corrente inversa di saturazione del PI che scaricano e caricano la capacità

Poi ho anche la non idealità del condensatore



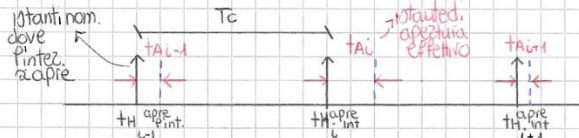
se la fase di track non è sufficiente a caricare il secondo condensatore (6nF), nella fase di hold la carica si distribuisce tra due C

Per minimizzare la costante di tempo uso materiali come:

- teflon ✓
- polistirene ✓
- polipropilene ✓

Jitter del ritardo di apertura

TA: grandezza aleatoria



* In funzione di V_i l'istante di apertura è diverso

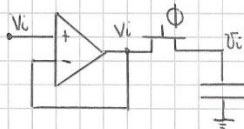
Jitter

$$\Delta t_a = t_{A_{MAX}} - t_{A_{MIN}}$$

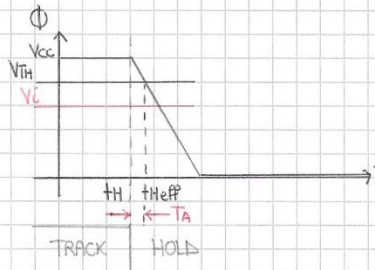
tempi di apertura MAX - MIN

dato dal costruttore nel datasheet

A cosa è dovuta?

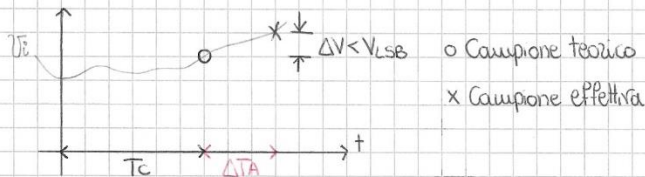


Per interdire il MOS deve scendere al di sotto della tensione di soglia V_{TH} quindi avrà anche un istante di apertura diverso t_{HEFF}



più piccola è V_i più è grande TA

Campionamento: è essenziale che le variazioni di V_i in HOLD, non modifichino l'intervallo di quantizzazione a V_o



Per far sì che campione teorico coincida col campione effettivo, deve valere che

$$\Delta V < V_{LSB}$$

Come? $\rightarrow$

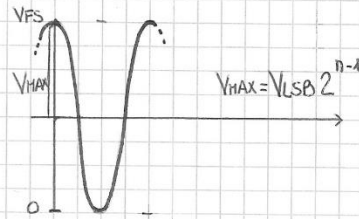
Suppongo di avere in uscita $V_o = V_{MAX} \sin(\omega_{MAX} t)$

amplitude
maxima

frequency
maxima

quindi: $V_{MAX} = \frac{V_{FS}}{2} = \frac{V_{LSB} 2^n}{2} = V_{LSB} 2^{n-1}$

$\omega_{MAX} = 2\pi f_{MAX} = 2\pi \frac{f_c}{2} = \pi f_c$



Consideriamo la massima variazione (caso peggiore)

$\left| \frac{dV_o}{dt} \right|_{MAX} = V_{MAX} \cdot \omega_{MAX}$ (pendenza MAX)

$\Delta V_{MAX} = \Delta T_A \cdot V_{MAX} \cdot \omega_{MAX} < V_{LSB}$ deve $\Rightarrow \Delta T_A = 2^{n-1} \frac{V_{LSB}}{\pi f_c} < V_{LSB}$

$\Rightarrow \Delta T_A < \frac{1}{2^{n-1} \pi f_c}$

ESEMPIO

$f_c = 10 \text{ MHz}$ $n = 8$ (bit) (256 livelli di quantizzazione)

$\Delta T_A < \frac{1}{\pi 2^7 \cdot 10^7} \approx 250 \text{ p sec}$

Parametri dell'ADC campionario

- t_{di} di acquisizione $f(SR, T, V_{FS}) \rightarrow T_{TRACK}$ è $f(T_{A_{MAX}})$
- $t_{setting}$ (include il ritardo di apertura)
- $hold\ step$  tiene conto degli accoppiamenti capacitivi tra Φ e C e della carica immagazzinata nel canale e rilasciata all'apertura dell'interz.
- $feed-through$ (funzione della frequenza)
- $droop \approx \frac{dV_{out}}{dt}$ in fase di HOLD
- $Jitter\ del\ t_A = t_{A_{MAX}} - t_{A_{MIN}}$ (deterministica)

Condizione da rispettare $\Delta V_{out_{max}} \leq V_{LSB}$

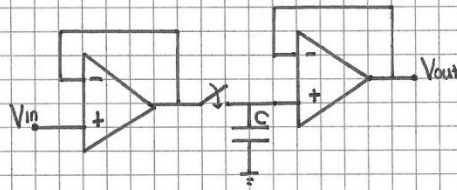
$\Rightarrow Droop \cdot T_{HOLD} < V_{LSB}$

$\Delta T_A < \frac{1}{2^{n-1} \pi f_c}$

$\underbrace{T_{TRACK}_{MAX} + T_{setting}}_{T(S\&H)} + T_{conversion\ ADC} < T_c$

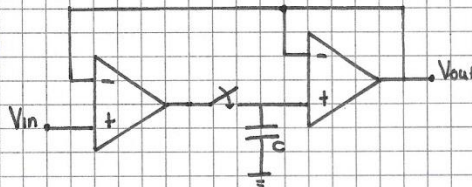
Miglioramenti per il circuito

Architettura ad anello aperto



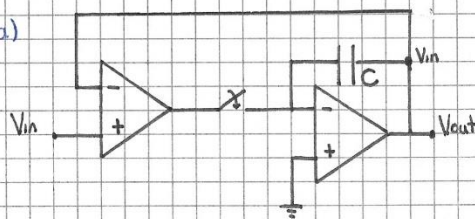
- ✗ ritardo di apertura
- ✗ costante di carica
- ✗ C scavalca carica
- ✗ DC non idealità: tensione di offset
- ✓ Velocità (anello aperto)

Architettura ad anello chiuso (integratore in uscita)



- Non porta particolari miglioramenti
- ✗ retroazione rallenta

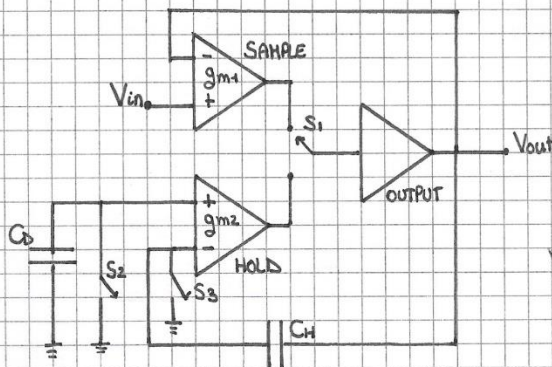
Architettura ad anello chiuso (integratore in uscita)



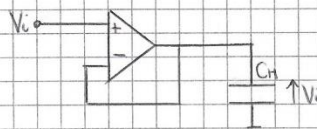
avremo $V_{out} = V_{in}$

- ✓ riduce il jitter del ritardo di apertura e il hold step

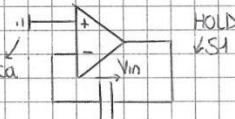
Circuito campionario



- Quando S_1 accoppia g_{m1} e l'uscita, S_2 e S_3 sono chiusi verso massa
- Quando il circuito si è arrestato $V_+ + V_- = 0$ di g_{m1} e g_{m2}
- S_1 switcha all'uscita di g_{m2} e S_2 e S_3 aprono
- (+) e (-) di g_{m2} sono punti di massa virtuali
- P'AO è retroazionato



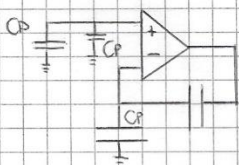
La struttura diventa C_b era cc. quindi non ha carica ai suoi capi



Il vantaggio è che non c'è il problema dell'interz. collegato al port V_i

S_2, S_3 iniettano carica sui rispettivi nodi, se C_b è matchata con C_H e gli interz. sono uguali, in principio la carica iniettata sui nodi + e - è la stessa

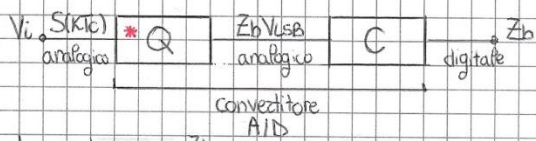
In realtà al nodo (+) la capacità C_b + la cap. parassita e al nodo (-) la cap. parassita



Se varia V_o varia anche il V_- , P'AO reagisce riportando la cond. d'equilibrio in termini di dens. differenziale

Grazie al meccanismo descritto, P'AO compensa le perdite che può avere il C_H : perdita della V_o significa var. di V_o e quindi var. di V_- e mezzo di ret. negativa che riporta a posto l'equil.

Analisi del blocco di quantizzazione + codifica



Z_b : numero in base 2 a n bit

$$V_{LSB} = \frac{V_{FS}}{2^n} \quad e \quad \Delta(t) \in [0; V_{FS}]$$

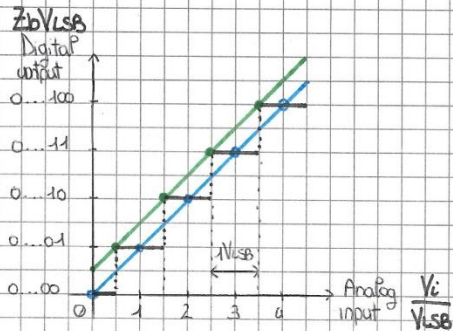
In quantizzazione Z_b può essere:

$$Z_b = \left\lfloor \frac{S(KTc) + V_{LSB}/2}{V_{LSB}} \right\rfloor_{ARR} \quad \text{oppure} \quad \left\lceil \frac{S(KTc)}{V_{LSB}} \right\rceil_{TR}$$

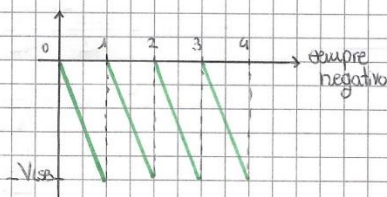
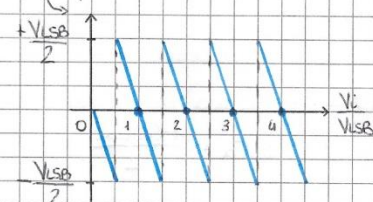
* introduce un errore non recuperabile



$$e = Z_b V_{LSB} - V_i$$



errore di quantizzazione



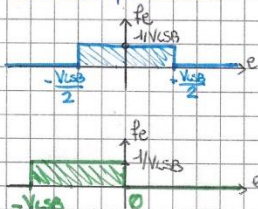
$$e \in \begin{cases} [-\frac{V_{LSB}}{2}; \frac{V_{LSB}}{2}] \\ [0; -V_{LSB}] \end{cases}$$

l'errore di quantizzazione viene trattato come una variabile aleatoria

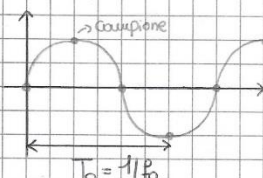
↓ Vale se il segnale campionato e il segnale dato e V_i copre tutta la dinamica (0; V_{FS}) non abbiano una relazione di fase

$\Rightarrow$ vengono toccati tutti i valori dell'err. di quantizzazione

densità di probabilità uniforme



Supponiamo di avere un segnale sinusoidale $V_i(t) = V_m \sin(2\pi f_0 t)$ e di campionarlo con $f_c = 1/T_0$



I campioni sono periodicamente gli stessi $\Rightarrow$ errore predicibile

Supponiamo di poter trattare e come una variabile aleatoria con densità di probabilità uniforme

definisco grandezze deterministiche

valore medio $\bar{e} = \int_{V_L}^{V_H} e f_e de$

valore quadratico medio

$\bar{e}^2 = \int_{V_L}^{V_H} e^2 f_e de$

• seg. stazionario coincide con la potenza

• p. mediana nulla coincide con la varianza

Calcoliamo:

$\bar{e} \rightarrow \int_{-V_{LSB}}^0 e \frac{1}{V_{LSB}} de = \frac{e^2}{2V_{LSB}} \Big|_{-V_{LSB}}^0 = -\frac{V_{LSB}}{2}$

$\int_{\frac{V_{LSB}}{2}}^{V_{LSB}} e \frac{1}{V_{LSB}} de = 0$

$\bar{e}^2 \rightarrow \int_{-V_{LSB}}^0 e^2 \frac{1}{V_{LSB}} de = \frac{V_{LSB}^2}{3}$

$\int_{\frac{V_{LSB}}{2}}^{V_{LSB}} e^2 \frac{1}{V_{LSB}} de = \frac{V_{LSB}^2}{12}$

Rapporto segnale-rumore massimo SNR_{MAX}

Abbiamo n bit, $s(t) = \frac{V_{FS}}{2} \sin(\omega t)$ con $s(t) \in [0; V_{FS}]$, quant. per arrotondamento
sinusoidale di amp. MAX

$SNR_{MAX} = \frac{\text{valore quadratico medio}}{\text{potenza}}$

• $V_{q.m} = \frac{V_{LSB}^2}{12} = \frac{1}{12} \left(\frac{V_{FS}}{2^n} \right)^2$

• $P(e) = \bar{e}^2$ $\sigma_s^2 = \frac{1}{T} \int_0^T s^2(t) dt = \dots$ usando $\sin^2 x = \frac{1 - \cos(2x)}{2}$
 $= \frac{1}{2} \left(\frac{V_{FS}}{2} \right)^2$

$SNR_{MAX} = \frac{\frac{1}{12} \left(\frac{V_{FS}}{2^n} \right)^2}{\frac{1}{2} \left(\frac{V_{FS}}{2} \right)^2} = 2^{2n} \cdot \frac{3}{2}$

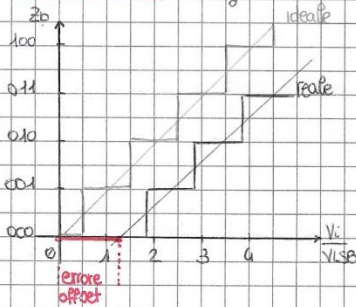
$SNR_{dB} = 10 \log_{10}(2^{2n}) + 10 \log_{10}\left(\frac{3}{2}\right) = n \cdot 6.02 + 1.76 \text{ dB}$
 $n \cdot 6.02 + (-4.25) \text{ dB}$

• Ogni bit che aggiungo incremento 6 dB

Nella realtà ho altri errori

Errori statici

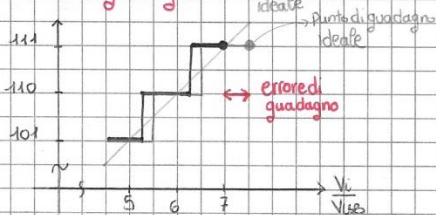
• Errore di offset (correggibile)



è la distanza tra il punto iniziale della gradinata dall'origine (può anche essere negativo)

✓ correggo sommando al segnale di ingresso il valore di offset (sottraendo)

• Errore di guadagno



Si valuta a fondo scala

✓ correggo attenuando il segnale di ingresso
faccio coincidere il punto finale con V_{FS}

1.11: si valuta al valore di fondo scala

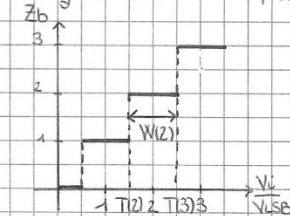
• Non linearità

- differenziale: differenza tra gradino reale e ideale

- integrale: scostamento tra la caratteristica reale e ideale

→ si valutano ad ogni codice e il costruttore da il valore MAX

Se ho gradini con diversa ampiezza, non ho più una linea retta, ma una spezzata non lineare



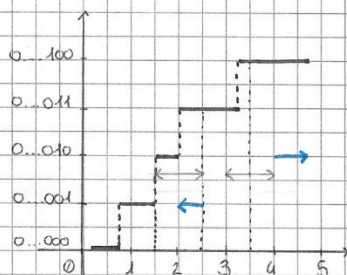
T: livelli di scatto
W: ampiezza gradino

$$T(k) = \frac{1}{2} V_{LSB} + (k-1) V_{LSB}$$

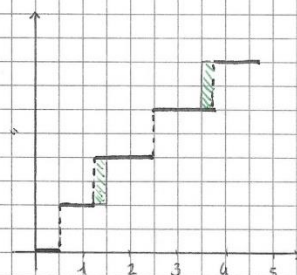
$$W(k) = T(k+1) - T(k) (= 1 V_{LSB} \text{ se ideale})$$

$$DNL(k) = W(k) - 1 V_{LSB}$$

$$INL(k) = T(k) - T_{ideale}(k)$$



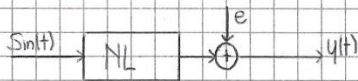
Se ho MISSING CODE, allora
 $T(2) = T(3) \Rightarrow DNL = -1 V_{LSB}$



Se ho errore di monotonicità (fanno prima per 0.0 che 0.01)
 $\Rightarrow DNL = -2 V_{LSB}$

Errori dinamici

Consideriamo V_i una sinusoidale, viene prodotta una distorsione armonica: a fronte di una freq. in ingresso f_{in} produrrà anche in uscita multiple della f_{in} stessa
 con $Sin(t) = V_{in} \sin(2\pi f_{in} t)$



F_{in} avrà come conseguenza multiple della f_{in} a causa della non linearità, oltre ad avere gli effetti dell'azione di quant.

parametri dinamici vengono definiti a partire da un ingresso sinusoidale e andando a vedere cosa succede allo spettro del segnale di uscita

Distorsione armonica totale $THD = \frac{\sqrt{V_{RMS}^2(2f_{in}) + V_{RMS}^2(3f_{in})}}{V_{RMS}(f_{in})}$

V_{RMS} valore quadratico medio
 quanta potenza va a finire sulle armoniche multiple della fondamentale

Rapporto segnale rumore $SNR = \frac{V_{RMS}(f_{in})}{\left[\int_0^{f_{s/2}} PSD(f) df \right]^{1/2}}$

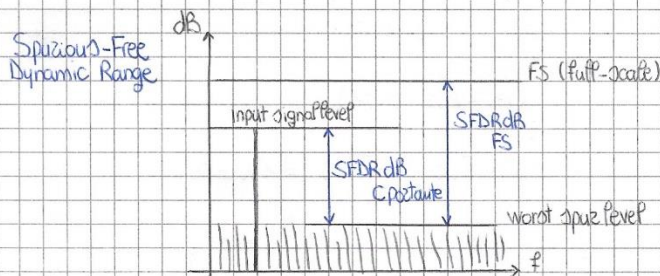
sono esclusi i termini associati alla distorsione armonica e i contributi in DC

SNR e distorsione $SINAD = \frac{V_{RMS}(f_{in})}{V_{RMS_{noise tot}}}$

Effect number of bits $ENOB = \frac{SINAD_{dB} - 1.76 dB}{6.02}$

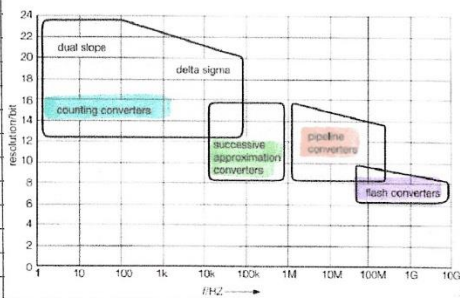
Banda analogica convertitore avendo $V_{in} \sin(2\pi f_{in} t)$ la banda -3dB del convertitore è quella per la quale il segnale campionato presenta un'attenuazione dell'ampiezza pari a $1/\sqrt{2}$

Questa valutazione si può fare in FPL (full power) a piena dinamica o piccolo segnale



dice la differenza in dB tra l'ampiezza del tono in ingresso e la max ampiezza dei segnali generati dalla non linearità

Convertitori ADC (analogico-digitali)



In generale gli ADC sono raggruppati in 3 classi:

	# step	# tensioni di riferimento
• a conteggio	$2^n - 1$	1
• tipo pesato	n	n
• tipo parallelo (flash)	1	2^n

Altre tipologie considerate

- * si usano in bassa frequenza → Voltmetri numerici (DC)
- * schede di acquisizione per applicazioni generali
- * alta frequenza, schede di acquisizione video → applicazioni spinte

Convertitori di Nyquist

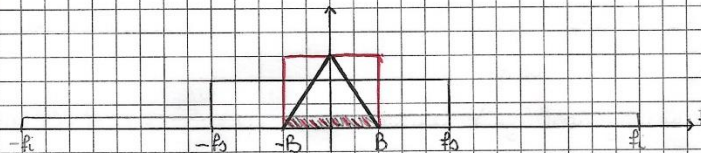
→ f_c è maggiore di f_H in modo continuo

+ Convertitori a sovracampionamento

• Sigma delta ($\Sigma\Delta$)

• f_c è molto maggiore della f_H per poi filtrare in uscita il segnale nella sua banda

• f_c : f_c di campionamento
• f_H : f_H di Nyquist



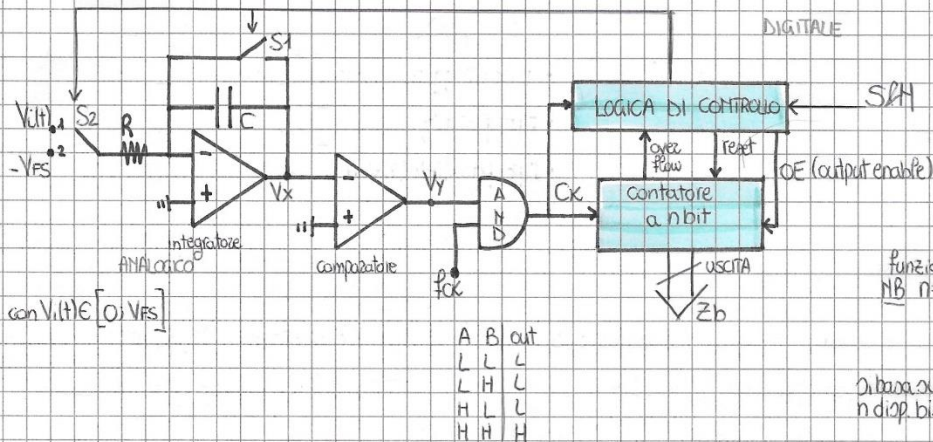
Lavorando alla f_c di Nyquist (f_H), il rumore di quantizzazione si può considerare bianco.

Lavorando a una $f_c \gg f_H$, la potenza del rumore di quant. si distribuisce su una banda più ampia, ma è invariata, quindi nella banda del segnale (B) la potenza del rumore è minore.

Se in uscita filtro con una banda B , vedo a incrementare SNR.

Nei con $\Sigma\Delta$, inoltre, si introduce una funzione para-atto per quanto riguarda il rumore di quant. e quindi il rumore raccolto in banda è ancora minore.

Convertitore a conteggio: DOPPIA RAMPA



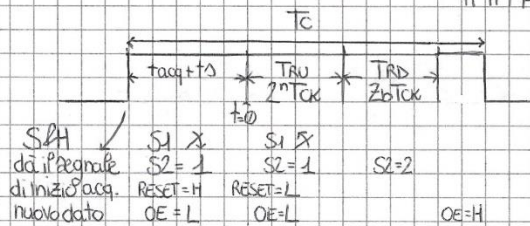
funzionamento contatore

NB $n=2$

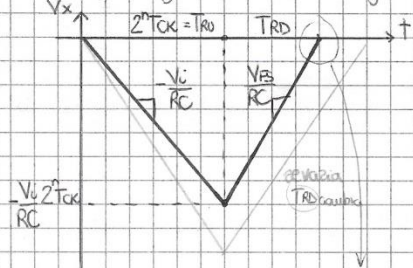
00
01
10
11

↓

2 a base su overflow
n dip. bistabili interconnessi



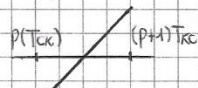
In $t=0$, l'integratore inizia ad integrare il segn. Vi (uscito da P S/H)



2. $\forall x < 0$, confrontato con $muna$, porta V_4 a livello alto quindi abilita la porta **AND** che permette al segnale di **clock** di azionare al **CONTATORE**, che per ogni coppia di **clock** scande ogni cont. a n bit. Dopo 2° coppia di **clock**, il contatore genera **overflow**.

Da $t = 2T_{CK}$, P_{in} prende il valore negativo maggiore o uguale in modulo a tutti i possibili valori di V_i .

Quando $V_x > 0$,
 V_y va a livello basso,
 il clock non raggiunge
 più il contatore e il co



Il clock non raggiunge
più il contatore e il conteggio si ferma

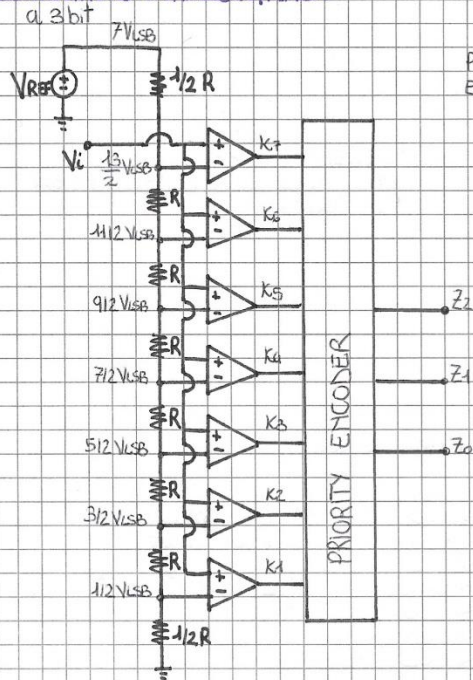
$$-\frac{V_i}{R_E} 2^{T_{CK}} + \frac{V_{FS}}{R_E} T_{RD} = 0 \Rightarrow \frac{T_{RD}}{T_{CK}} = \frac{V_i}{V_{FS}} 2^n$$

Valore memorizzato nel contatore $Z_b = \frac{\overline{TRD}}{\overline{TRC}} = \frac{V_i}{V_{ref}} 2^n = \frac{V_i}{V_{USB}}$ è poi al valore di V_i quantizzato per TR.

è pari al valore di V_i quantizzato per TR.

- Errori:**
- ERRORE DI GUADAGNO è legato al valore della tensione di riferimento della posizione 2 di S2 se $V_{ref} < V_{FS}$ o $> V_{FS}$ in valore assoluto, ha un errore di guadagno rispetto al caso ideale
 - l'offset dell'AO introduce un errore di offset nella caratteristica I/O del convertitore
 - L'ERRORE DI NON LINEARITÀ può essere ricondotto al fatto che T_{in} non è una grandezza stabile

Convertitore PARALLELO/FLASH



PRIORITY ENCODER: codifica in binario la posizione del comparatore con l'uscita 1 in posizione più elevata

TENSIONE D'INGRESSO	STATI DEL COMPARATORE						NUMERI BINARI			EQ DECIMALE	
V_i/V_{LSB}	K7	K6	K5	K4	K3	K2	K1	Z2	Z1	Z0	Z
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1	1
2	0	0	0	0	0	1	1	0	1	0	2
3	0	0	0	0	1	1	1	0	1	1	3
4	0	0	0	1	1	1	1	1	0	0	4
5	0	0	1	1	1	1	1	1	0	1	5
6	0	1	1	1	1	1	1	1	1	0	6
7	1	1	1	1	1	1	1	1	1	1	7

In generale è una rete fatta da 2^n resistenze + 2 resistenze esterne
 2^n comparatori

• Non si controllano bene i valori assoluti delle resistenze

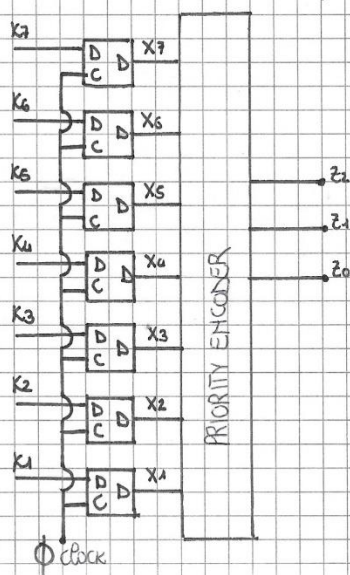
elettronica a rapporto con tolleranza fino a 10^{-3} $\Rightarrow$ MAX $n=10$

La dinamica è divisa in intervalli, e si va a vedere in quale intervallo cade l'ingresso

Errori: • V_{REF} influenza sul guadagno, rende gli intervalli più stretti o più larghi del valore nominale

• La rete di resistenze influenza:
 • errore di non linearità $\rightarrow \propto n \cdot R$
 • errore di guadagno $\rightarrow$ diverge
 • $1/2R$ dà errore di offset

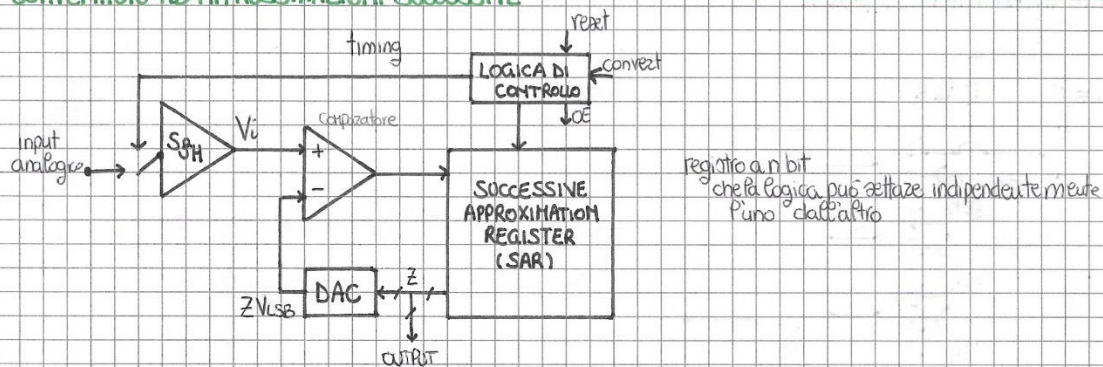
• Ogni comparatore ha la sua non idealità:
 tensione di offset
 corrente di polarizzazione



Variazione con FLIP-FLOP D: immagazzinano il dato digitale in ingresso sul fronte del clock

Va atteso del tempo prima di leggere il dato affinché la rete si stabilizzi!
 $\rightarrow$ temporizzazione necessaria

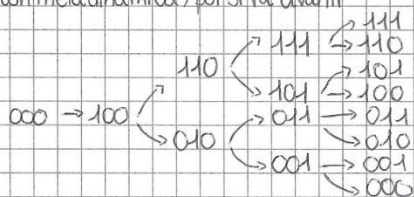
Convertitore AD APPROSSIMAZIONI SUCCESSIVE



Prima della conversione viene reaztato il SAR, portandolo a 0...0

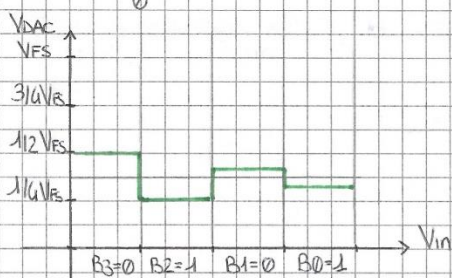
Quando azzerati i segnali di conversione il SAR viene settato a 100 (metà dinamica)
il comparatore confronta V_i con metà dinamica, poi si va avanti

VES	
111	7 VLSB
110	6 VLSB
101	5 VLSB
100	4 VLSB
011	3 VLSB
010	2 VLSB
001	1 VLSB
000	0



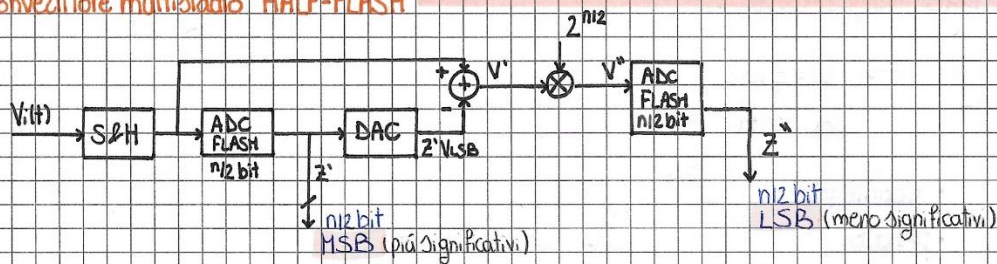
A fine processo viene
abilitato l'output
"algoritmo di bisezione"

n passi per settare il corretto
valore di Z



Error: errori riconducibili all'offset del comparatore e al DAC
La non idealità del DAC caratterizza la non idealità del SAR

Convertitore multistadio HALF-FLASH



Nel primo ADC c'è una quantizzazione grossolana, così che del campione originale eccedeva a $Z' \cdot V_{LSB}$ viene riportato nella scala originale e poi nuovamente convertito

$$V' < \frac{V_{FS}}{2^{n/2}} = V_{LSB} \Rightarrow V'' = V' \cdot 2^{n/2} < V_{FS} \text{ riportata sul fondo scala originale}$$

È necessario che $Z' \cdot V_{LSB}$ sia ottenuto con una accuratezza pari a quella del conv. convertito (n bit) altrimenti $V_i - Z' \cdot V_{LSB}$ non ha significato.

L'errore di non linearità del primo ADC è t.c., supponendo DAC sufficientemente accurato, sia possibile che

$$V'' > \frac{V_{FS}}{2^{n/2}} \rightsquigarrow \text{ADC FLASH } n/2+1 \text{ bit}$$

Così abbiamo:



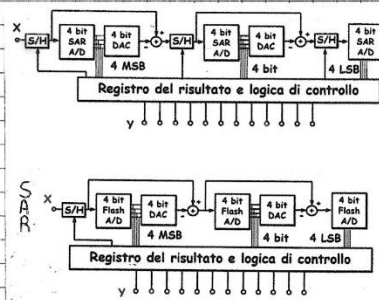
L'ultimo dei primi n/2 bit è ottenuto a partire dall'ultimo della prima uscita e dal primo della seconda uscita.

Qui non si può usare il S/H digitale come nei convertitori FLASH: il dato in ingresso deve rimanere costante finché la prima catena non ha finito l'elaborazione.

✗ Tempo di conversione è più lungo: ritardi delle strutture in cascata.

✓ FLASH n bit $\rightarrow 2^n$ comparatori.
2 FLASH n/2 bit $\rightarrow 2^{n/2+1}$

Posso realizzare convertitori multistadio FLASH



→ in PIPELINE

Convertitori DAC (digital-analogici)

$$Z = \frac{V_i}{V_{USB}} \longleftrightarrow V_o = Z V_{USB}$$

ADC usata DAC usata

3 Metodi di conversione

- a conteggio
- pesato
- parallelo

interzuttori

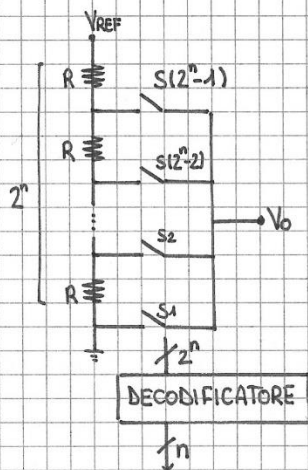
1

n

2^n

→ più utilizzato

PARALLELO

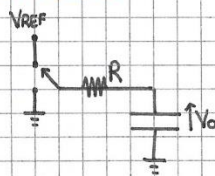


Gli interzuttori si chiudono 1 alla volta

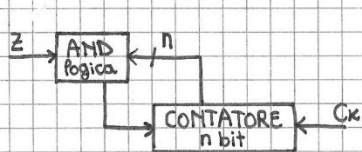
All'uscita, il numero binario a n bit da cui escono 2^n linee (una per interzuttore), a seconda del valore codificato si chiude l'interzuttore corrispondente.

In 1 passo si effettua la conversione.

CONTEGGIO



Commutando l'interzuttore tra V_{REF} e massa con una $f_{req} \gg \frac{1}{T_c}$, variando il S.C. dell'interz. si può cambiare il valore medio ai capi del condensatore.



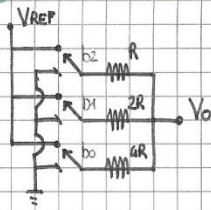
Contatore ad n bit che conta fino alla config. di bit da convertire, l'uscita entra in una logica in cui entra anche Z, quando si verifica la coincidenza la logica resetta il contatore.

più è piccolo Z e più frequentemente si resetta il contatore

Quindi normalmente l'interz. sta su V_{REF} , il segnale di reset molto frequente tende ad abbassare il valore medio.

Se il segn. di reset è meno frequente, l'interzuttore sta un tempo maggiore su V_{REF} e quindi il valore medio sarà maggiore.

PESATO



Caso a 3 bit che comandano gli interruttori:

$\begin{cases} b_i = 1 \rightarrow \text{connesso a } V_{REF} \\ b_i = 0 \rightarrow \text{a massa} \end{cases}$

$$\begin{aligned}
 V_o &= V_{REF} \left[\frac{R/1/2R}{R/1/2R + 4R} b_0 + \frac{4R/1/R}{4R/1/R + 2R} b_1 + \frac{2R/1/2R}{2R/1/2R + R} b_2 \right] = \\
 &= \frac{V_{REF}}{7} [b_0 + 2b_1 + 4b_2] = \frac{V_{REF}}{Z_{MAX}} \cdot Z
 \end{aligned}$$

$\downarrow$ Z in decimale $\downarrow$ V_{LSB}

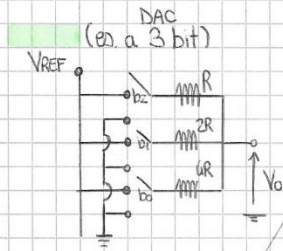
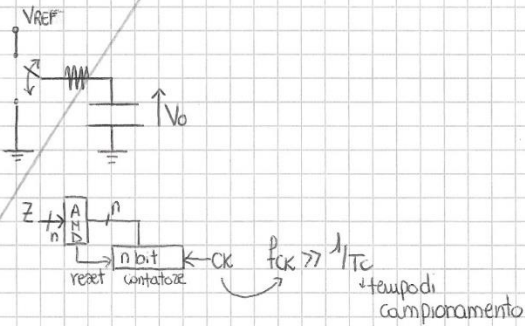
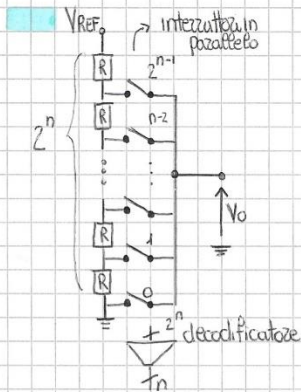
Spesso se un ingresso si ha codice 0, l'uscita non è nulla: l'errore è l'offset, che è correggibile e è dovuto al fatto che in presenza dello 0 la via a V_{REF} dovrebbe essere esattamente un c.a. (resistenze di off finita degli interruttori).

Riepilogo (n bit) Convertitore DIA

ADC: in uscita $Z = \left\lfloor \frac{V_i}{V_{LSB}} \right\rfloor$ TRUNC
 codice binario

DAC: in uscita $V_o = Z V_{LSB} = \frac{V_{REF}}{2^n} Z$
 tensione

- 3 metodi di conversione:
- ① Parallelo $\rightarrow 2^n$ interruttori
 - ② Pesato $\rightarrow n$ " (il più utilizzato)
 - ③ Conteggio $\rightarrow 1$ "
- aumenta
• velocità
• consumo



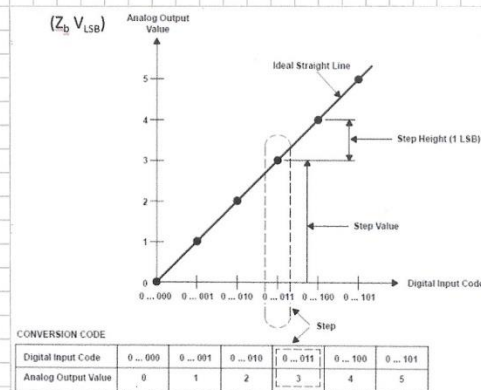
$b_i = 1 \rightarrow$ connessione a V_{REF}
 $b_i = 0 \rightarrow$ a terra

Per il principio di sovrapposizione degli effetti:

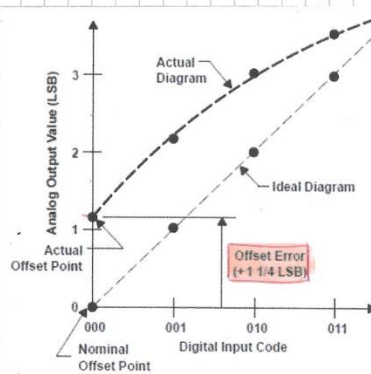
$$V_o = V_{REF} \left[\frac{R/2R}{R/2R + 4R} b_0 + \frac{4R/1R}{4R/1R + 2R} b_1 + \frac{2R/1/4R}{2R/1/4R + R} b_2 \right] =$$

$$= \frac{V_{REF}}{7} [b_0 + 2b_1 + 4b_2] = \frac{V_{REF}}{Z_{max}} \cdot Z \rightarrow V_{LSB}$$

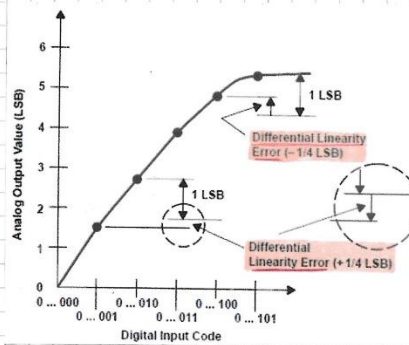
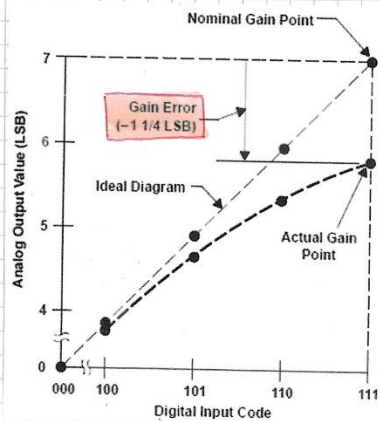
Errori:



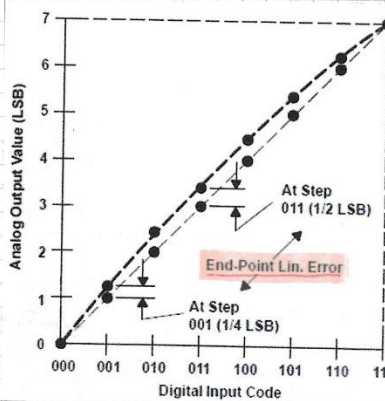
Caratteristica ideale



• è dovuto alla resistenza iniziale
 ✓ correggibile



Variazione di tensione tra un codice ed il successivo



✓ Correggibile

Errore di linearità differenziale

Apprezzi gradino $W(i) = V_o(Z=i) - V_o(Z=i-1)$
alto step i -esimo

Errore di linearità dif. $NLD(i) = \frac{W(i)}{V_{LSB}} - 1$

$NLD(i) < -1 V_{LSB} \rightarrow$ errore di non monotonicità
 $|NLD|_{max} > 1$ METADINAMICA
 $MSB=0 \Rightarrow MSB=1$
 $ALTRI=1 \Rightarrow ALTRI=0$
 succede nel passaggio

... dinamico

• Settling time: definito tra $0 \rightarrow Z_{MAX}$, tempo per ammortizzare nella fascia di $\pm 1/2 V_{LSB}$ rispetto al valore finale
 cresce con n
 Pegato allo slew rate

• Glitches: impulsi indesiderati sull'uscita nelle commutazioni tra un codice ed il successivo

- Transudamento del segnale di comando degli interruttori
- sfasamento degli interruttori (transitori $0111 \rightarrow 1000$)

✓ ridurre: si usa un filtro parabola in uscita

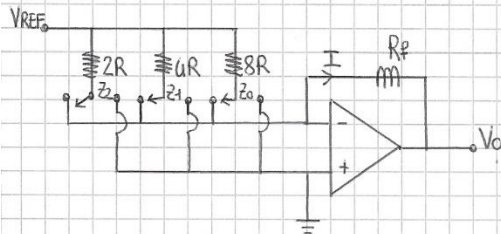
permette di ridurre l'effetto gradinato nella ricostruzione del segnale

- Configurazioni DIA di tipo pesato

Lo schema è di principio: il generatore V_{REF} vede un'impedenza diversa verso massa in funzione della configurazione di Z (codice da convertire), quindi (essendo V_{REF} non ideale) la corrente erogata varia in funzione della configurazione di Z e anche la caduta di tensione sulla resistenza interna varia in funzione del codice.

↳ **errore di sovrapposizione**

ESEMPIO 1 (Convertitore a 3 bit)



$b_i = 1 \rightarrow (-)$ (connesso alla resistenza interna)
 $b_i = 0 \rightarrow V_i = 0$ (massa)

La posizione dell'interruttore non cambia nulla per V_{REF} : in un caso punto di massa virtuale, nell'altro fisso.

Sappiamo $V_o = -I R_f$

$$I = \frac{V_{REF}}{2R} \left[Z_2 + \frac{Z_1}{2} + \frac{Z_0}{4} \right] \Rightarrow V_o = - \frac{V_{REF} R_f}{8R} [4Z_2 + 2Z_1 + Z_0]$$

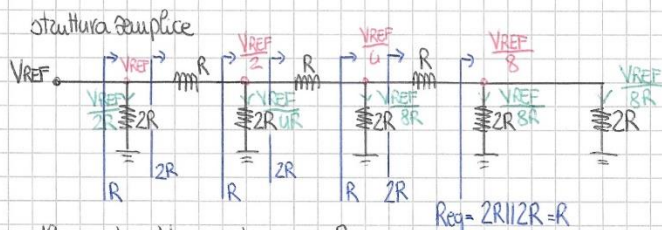
Vantaggio: cresce il # di bit, cresce in modo esponenziale il valore delle resistenze

di offset: su cui influiscono V_{io} e I_B dell'AO, la non idealità degli interruttori

errore di guadagno: è legato al valore di V_{REF} e a R_f/R

di non linearità: dovuto al rapporto tra resistenze non sia potenza del 2 e un eventuale $R_{on} \neq 0$

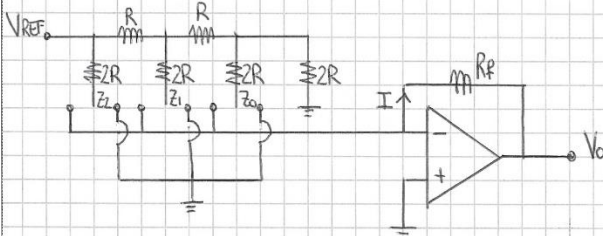
ESEMPIO 2 (rete scala o R-2R)



• Il generatore V_{REF} vede sempre R

• Ogni nodo vede la tensione del nodo precedente diviso 2 perché è un partitore tra R e R

• Genero correnti scalate di un fattore 2



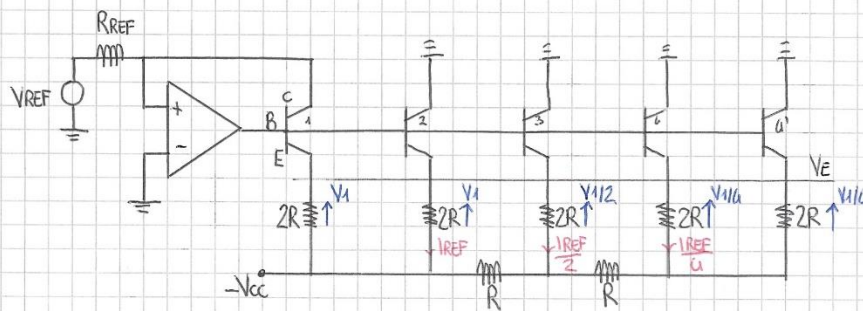
• $V_o = -I R_f$

$$I = \frac{V_{REF}}{2} \left[Z_2 + \frac{Z_1}{2} + \frac{Z_0}{4} \right]$$

$$V_o = - \frac{V_{REF} R_f}{8R} [4Z_2 + 2Z_1 + Z_0]$$

NB stesi errori, ma le impedenze sono R o $2R$, non crescono in modo esponenziale

un altro modo per avere correnti scalate



$$V_{BE1} = V_{BE2} = V_{BE3} = V_{BE4} = V_{BE} \quad \bullet \quad I_1 = 2R I_{REF} = 2R \frac{V_{REF}}{R_{REF}}$$

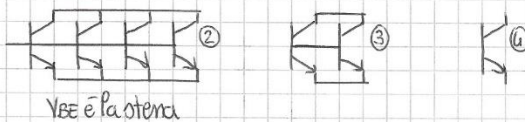
V_E uguali

$$V_{BE} = V_T \ln \frac{I_C}{I_S} \rightarrow \Delta V_{BE} = V_T \ln 2 \Big|_{T=300K} = 26 \cdot 10^{-3} \ln 2 = 18 \text{ mV}$$

traduce BJT in più I_C è scalata di un fattore 2

Questo introduce un errore nei pesi delle correnti: evitabile facendo in modo che la densità di corrente sia la stessa nei dispositivi

$I_S = A J_S$ giochiamo sull'area della giunzione BE per far sì che i BJT abbiano la stessa J_S



V_{BE} è la stessa

ogni transistor è attraversato da $I_{REF}/4$ e complessivamente nel (3) I_{REF} e nel (4) I_{REF}

La non idealità degli errori statici si mangiano.

CIRCUITI LOGICI

①

A19

Il mercato dei circuiti integrati è 5/6 dispositivi digitali e 1/6 dispositivi analogici.

usano la tecnologia CMOS

Siamo abituati a dispositivi con 10^{10} transistor, con $f_{clk} \sim GHz$ e consumo di potenza $\sim 10W$.

- ⇒ **PROBLEMI**
- interconnessione (prestazione ed affidabilità)
 - consumo di potenza (eccezionale per un portatile)

Sui segnali digitali si può:

- + effettuare elaborazioni matematiche
- + memorizzazione di dati
- + trasferimento di dati
- + operazioni logiche (booleane) ⇒ AND, OR, NOT

NB Tutte le operazioni sono riconducibili alla logica booleana

|||

Leggi di De Morgan

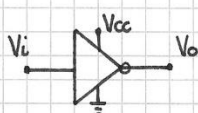
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

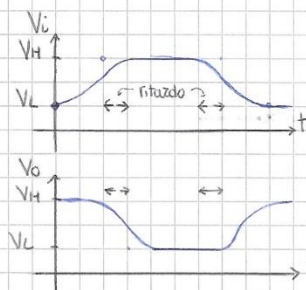
Logica TTL → NAND

Logica CMOS → NOT

Porta NOT (inverter)



V_i	V_o
H	L = $V_{OL} (0)$
L	H = $V_{OH} (V_{cc})$

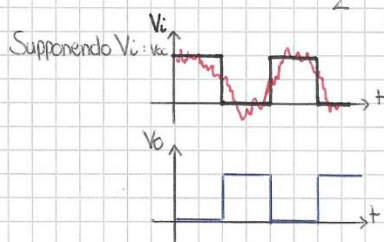
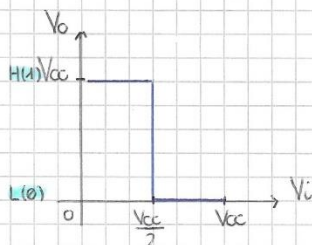


funzionamento reale è analogico

Si ha transizione in un tempo finito, un certo ritardo dell'uscita, valori che possono essere diversi da quelli nominali, dissipazione di potenza

NOT permette di realizzare tutte le operazioni possibili

Caratteristica di trasferimento IDEALE

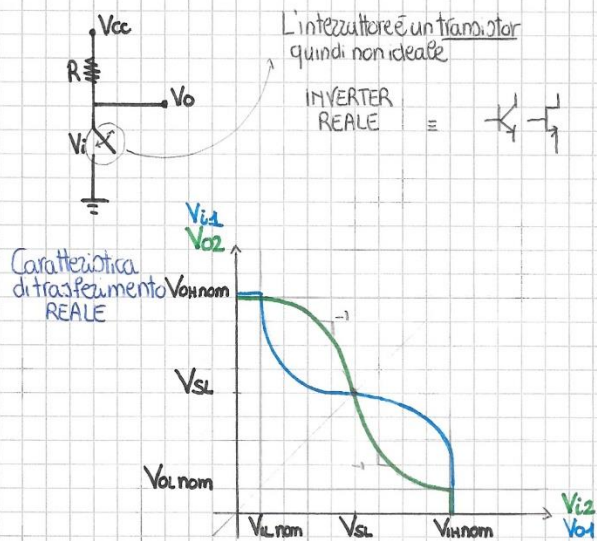


V_i ideale
 V_i reale ⇒ **DISTURBI**

Passando V_i attraverso un inverter consente di ripulire il segnale: quando V_i attraversa $V_{cc}/2$, l'uscita commuta.

Questa porta genera il rapporto segnale-rumore di potenza.

MA l'inverter ideale non esiste

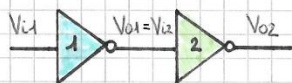


- Come definire il livello logico alto e basso? uso la cascata di due inverters

- 3 regioni:
- 2 a piccola pendenza
 - 1 a grande pendenza

NB Non a hanno solo 2 valori, quindi si ha una minore capacità di rigenerare segnali (avvso più disturbato)

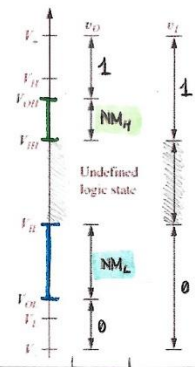
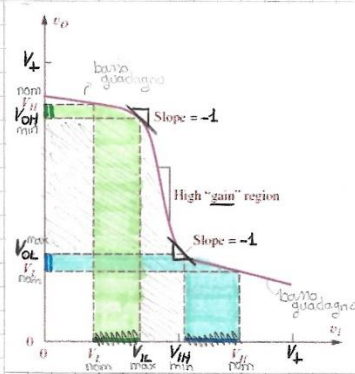
V_{SL} : tensione di soglia logica ($V_o = V_i$)



$$V_{o2} = \overline{V_{i2}} = \overline{V_{o1}} = \overline{\overline{V_{i1}}} = V_{i1}$$

$$V_{IHnom} = V_{ohnom}$$

$$V_{ILnom} = V_{olnom}$$



- Pivello basso
- Pivello alto
- indefinito

Margine di rumore

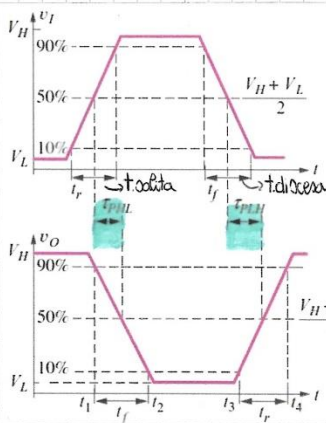
$$NM_H = V_{ohnom} - V_{ihmin}$$

$$NM_L = V_{ilmax} - V_{olnom}$$

più restrittiva

tempi propagazione di una porta logica (invertor)

②



$$V_{10\%} = V_L + 0,1 \Delta V$$

$$\text{con } \Delta V = V_H - V_L$$

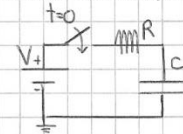
$$V_{90\%} = V_L + 0,9 \Delta V = V_H - 0,1 \Delta V$$

La transizione fra i due livelli non avviene in modo istantaneo, ma in un tempo finito.

Le transizioni sono valutate tra il 10% e il 90%.
questi tempi sono strettamente legati alla banda della porta

effetti di carico capacitivi

• Circuito con carico capacitivo (1 ordine)



$$V_C(t) = [V_C(\infty) - V_C(0)] (1 - e^{-t/RC}) + V_C(0)$$

$$t_1: V_C(t_1) = 0,1V$$

$$t_2 - t_1 = t_r$$

(di salita) ΔRC

$$t_2: V_C(t_2) = 0,9V$$

$$\Rightarrow t_r = \frac{\Delta}{2\pi} RC \cdot 2\pi = \frac{\Delta/2\pi}{f_H} \approx 0,35$$

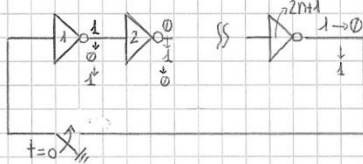
buona stima per circuiti di qualunque ordine

tempi di propagazione
È il tempo che intercorre tra l'applicazione dello stimolo e il verificarsi dell'effetto, valutati a metà dinamica.

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

NB I tempi di propagazione sono ADDITIVI per porte in cascata.

Oscillatore ad anello



Fino a $t=0$ ho entrata 0 nella porta 1, con uscita 1 poi 0, poi 1... fino a 1

Quando chiudo l'interruttore, l'ingresso della porta 1 sarà 1 e combinerà tutte le uscite con i rispettivi t_p il tutto si ripete con transizioni opposte.

Per concludere il primo ciclo, ci vuole $(n+1)t_{PHL} + nt_{PLH}$

secondo " " $(n+1)t_{PLH} + nt_{PHL}$

In uscita all'ultima porta abbiamo una forma d'onda con

$$T = (2n+1)t_{PHL} + (2n+1)t_{PLH} = 2(2n+1)t_p$$

A20

potenza media dissipata da una porta logica

$$\overline{P_D} = \frac{1}{T} \int_0^T V_{DD} i(t) dt = \frac{1}{T} V_{DD} \int_0^T i(t) dt$$

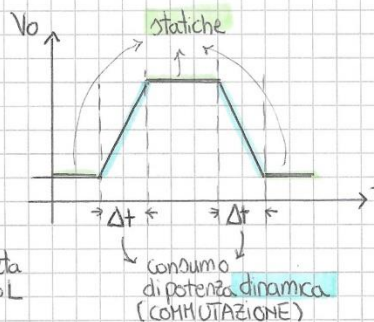
alimentazione

• Condizioni Statiche: $H \rightarrow I_H$ corrente assorbita dall'alimentazione
 $L \rightarrow I_L$

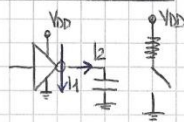
$$\overline{P_{DS}} = V_{DD} I_{DH} \alpha_L + V_{DD} I_{LH} \alpha_H$$

Probabilità che la porta si trovi in stato H o L

$$\text{se } \alpha_H = \alpha_L = 1/2 \Rightarrow \overline{P_{DS}} = V_{DD} \frac{I_H + I_L}{2}$$



condizioni dinamiche:



2 componenti di corrente: + quella che fluisce tra V_{DD} e $mama$

+ quella che carica il carico capacitivo in uscita (più rilevante)

$$P_{din} = \frac{1}{T} \left[\int_{\Delta t_{LH}} V_{DD} i(\tau) d\tau + \int_{\Delta t_{HL}} V_{DD} i(\tau) d\tau \right]$$

T: periodo medio di commutazione della porta

+ Energia amorbita nella transizione basso-alto: $E_{A \rightarrow H} = V_{DD} \int_{\Delta t_{LH}} i(\tau) d\tau = V_{DD} Q_L = V_{DD}^2 C$

questa energia è in parte dissipata dall'inversione, in parte immagazzinata in C

$Q = CV_{DD}$
e C si carica fino a V_{DD} ai suoi capi

$$Q = CV \quad dQ = CdV$$

$$dE = VdQ = VCdV \Rightarrow E_{LH} = \int_{V(0)}^{V_{DD}} dE = \int_0^{V_{DD}} VcdV = \frac{1}{2} CV_{DD}^2 \quad (\text{metà di } E_{A \rightarrow H})$$

questa metà immagazzinata in C viene nuovamente dissipata nella fase di scarica nella transizione alto-basso.

Quindi in un ciclo di commutazione ($L \rightarrow H, H \rightarrow L$), l'energia totale amorbita è CV_{DD}^2 e

$$P_{din} = \frac{CV_{DD}^2}{T} = CV_{DD}^2 f$$

componente di potenza proporzionale alla frequenza di commutazione della porta

potenza dissipata

dovuta al τ_p

tempo di propagazione

• $P_D \cdot \tau_p$ è in genere costante (almeno per bassi valori di P_D) nella singola tecnologia (per aumentare P_D bisogna aumentare la corrente media, che carica più rapidamente C e abbassa τ_p) tanto è minore, tanto maggiore sono le prestazioni

• fan in: # max di ingressi che può avere la porta stessa senza degradare le sue prestazioni

• fan out: # max di porte uguali che posso collegare in uscita

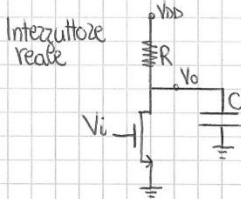
per non degradare si considera che deve valere:

$$V_{OL} < V_{OL\max}$$

$$V_{OH} > V_{OH\min}$$

$$\tau_p < \tau_{p\max}$$

Altre caratteristiche



Interruttore chiuso: conta il rapporto tra R e R_{on} del transistor

$$V_i = H = V_{DD}$$

$$V_{DS} < V_{DS} - V_{TH} \text{ condizione di TRIODO}$$

$$R_{on} = R_{TRIODO} \propto 1/WL$$

$$R/R_{on} \text{ determina } P_{A, Vol} = V_{DD} \frac{R_{on}}{R + R_{on}}$$

$$(x \gg 1 \Rightarrow V_{OL} \approx 0)$$

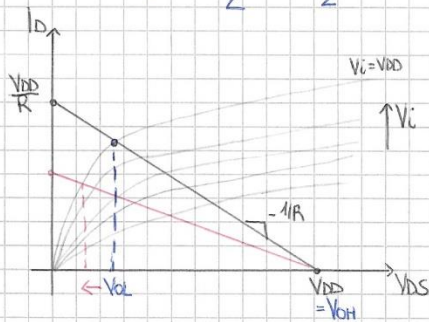
R/R_{on} influenza anche le caratteristiche dinamiche: il carico è capacitivo, $P_{A, Vol}$ raggiunge la situazione di equilibrio una volta trascorso il transitorio di carica e scarica di C

$\tau_{p, LH}$: si ha quando viene interdetto il MOS e si scarica C attraverso R

$$\tau_{p, LH} \propto RC \uparrow \propto RT$$

Normalmente $t_p = \frac{t_{PLH} + t_{PHL}}{2} \approx \frac{t_{PLH}}{2}$ (a circa di avere $\frac{R}{R_{OH}} \gg 1 \Rightarrow R$ grande)

③

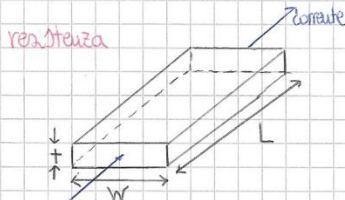
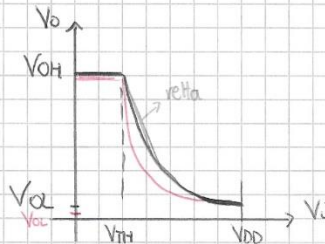


$$\begin{cases} V_{DD} = I_D R + V_{DS} \\ I_D = f(V_i = V_{GS}, V_{DS}) \text{ saturazione a triodo} \end{cases}$$

$$V_{OL} = V_{DD} \frac{R_{OH}}{R + R_{OH}}$$

• aumentando R (per aumentare R/R_{OH}) aumenta la dinamica sull'uscita e il NM

- aumentando WL , diminuisce R_{OH} e a parità di V_i si alzano verso l'alto le curve
- più è grande R , meno è pendente la retta, maggiore è la differenza di V_{DS} muovendo V_i



resistività ρ e spessori sono parametri di processo

$$R = \rho \frac{L}{Wt}$$

$$\rho = \frac{1}{q n \mu}$$

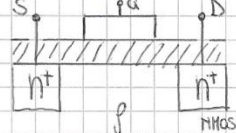
• N : #droganti per cm^3

• μ : mobilità

$$R = \frac{\rho}{t} \frac{L}{W} = R_{\square} \frac{L}{W}$$

resistenza di strato (di un quadrato)

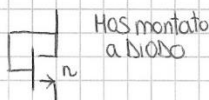
Per realizzare R data, devo realizzare un numero di quadrati pari a $R/R_{\square}$



$$R_{\square} \approx 10 \Omega/\square \text{ (quadrato)}$$

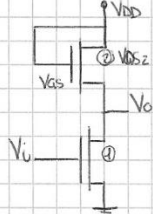
per avere una R elevata (anche decine di $k\Omega$) devo usare un migliaio di quadrati (spazio occupato significativo) se la voglio di tipo passivo

Quindi le resistenze di carico nella logica NMOS venivano realizzate in maniera attiva



Logica pseudo NMOS

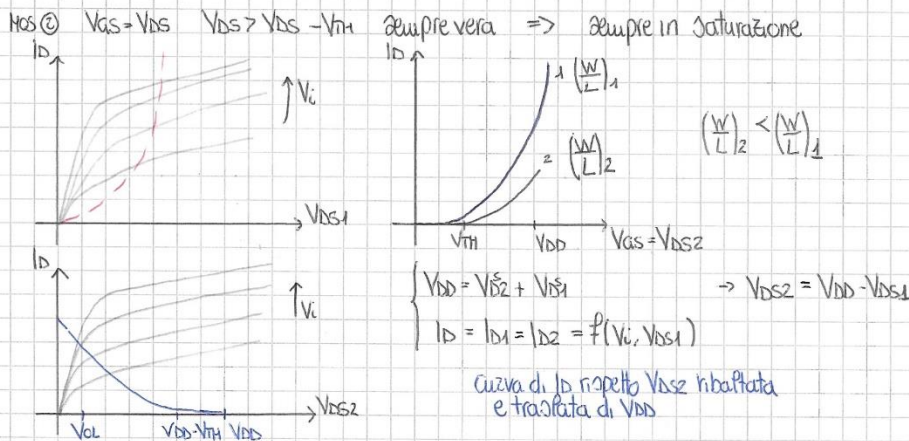
+ Carico attivo del Mos montato a diodo nell'inverter



In questa struttura (al posto di R/R_{OH}) determina le caratteristiche il rapporto

$$K = \left(\frac{W}{L}\right)_1 / \left(\frac{W}{L}\right)_2 \text{ (che deve essere } \gg 1)$$

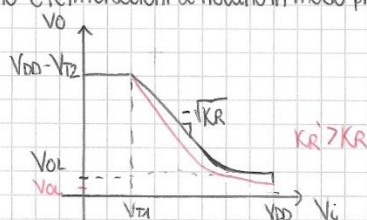
Infatti questo tipo di soluzioni, si chiama **LOGICA A RAPPORTO**



Aumentando $(W/L)_1$ le curve si spostano verso l'alto e le intersezioni si trovano in modo più ripido.

$(W/L)_2$ cresce $\Rightarrow$ V_{OL} si sposta verso dx

Quindi ciò che conta è $\frac{(W/L)_1}{(W/L)_2} = K_R$



Nelle zone in cui ① e ② sono in SAT la pendenza della curva corrisponde al guadagno per piccoli segnali

$$A_v = -g_{m1}(r_{s1} || r_{s2}) = -g_{m1}^1 g_{m2}$$

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_p} \Rightarrow A_v = \sqrt{\frac{(W/L)_1}{(W/L)_2}} = \sqrt{K_R}$$

- t_{pHL} (tempo di propagazione a metà dinamica, la tensione ai capi di C di carico) mediamente con la corrente che scorre nel T2 (e nel C), cioè la curva rossa nel grafico V_{DS1}, I_D

Invece la corrente di scarica da considerare per valutare t_{pHL} è la corrente del T1 in piena conduzione, quindi $V_i = V_{DD}$ (curva nera nel grafico V_{DS1}, I_D)

Corrente di scarica in generale $\gg$ corrente di carica $\Rightarrow t_p = \frac{t_{pHL}}{2}$ cresce al diminuire $(\frac{W}{L})_2$

- La potenza dissipata statica è funzione di K_R

Tipi di carico attivo:

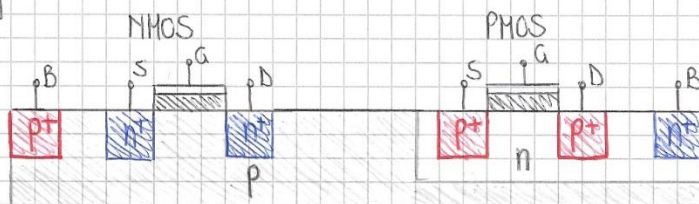


In genere se si ha a disposizione una tecnologia CMOS, si usa una logica pienamente CMOS

Ha senso quando consente un risparmio significativo d'area, ma la potenza statica della porta è $\neq 0$

Inverter CMOS: caratteristiche statiche e dinamiche

A21



Logica CMOS:

2 tipi di dispositivo nello stesso chip

Modello quadratico NMOS:

$$I_{Dn} = \begin{cases} 0 & \text{se } V_{GS} < V_{THn} \\ \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{THn})V_{DS} - V_{DS}^2] & \text{se } V_{GS} > V_{THn} \\ & V_{DS} < V_{GS} - V_{THn} \\ \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THn})^2 (1 + \alpha V_{DS}) & \text{se } V_{GS} > V_{THn} \\ & V_{DS} \geq V_{GS} - V_{THn} \end{cases}$$

$$K_n = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \quad \text{con } \mu_n = \left[\frac{m^2 V}{S} \right] \text{ mobilità superficiale degli elettroni}$$

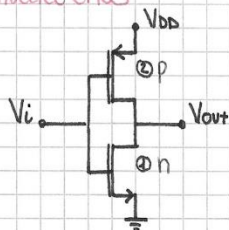
$$[K] = A/V^2$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \sim \frac{\text{costante omido}}{\text{spessore omido}} \quad \left[\frac{F}{m^2} \right]$$

$$V_{THn} = V_{TH0} + \gamma \left(\sqrt{1 + 2\phi_1 |V_{SB}|} - \sqrt{1 + 2\phi_1} \right) \quad \text{con } \phi_1 = -\frac{E_F}{q}$$

$V_{TH0} = V_{TH} |_{V_{SB}=0}$ $\gamma = \frac{\text{coeff. di substrato}}{[V^{1/2}]}$ $2\phi_1$ è il pot. superficiale per cui si raggiunge la condizione di forte immissione

Inverter CMOS



$$V_{DD} = |V_{DSp}| + V_{DSn}$$

$$V_{Sap} = V_{DD} - V_i \quad \text{e} \quad V_{Snn} = V_i$$

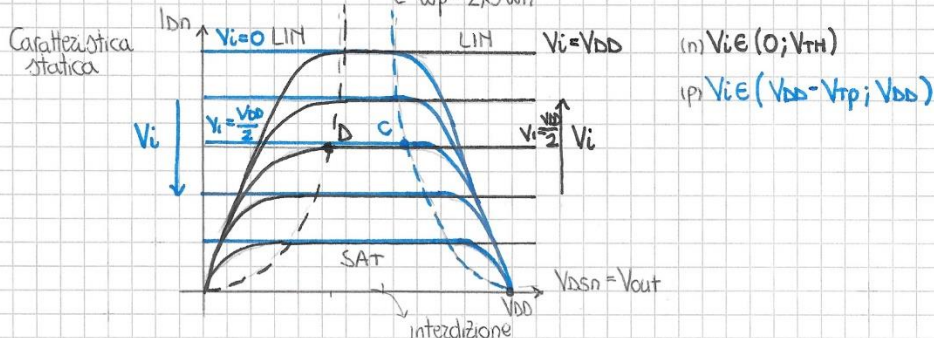
+ V_i può variare tra V_{DD} e 0: ai due estremi della dinamica uno dei due transistor è necessariamente interdetto
+ Anche il carico è pilotato

! Non conta più definire il livello logico L, il rapporto tra i K dei due dispositivi. Si chiama infatti LOGICA A RAPPORTE

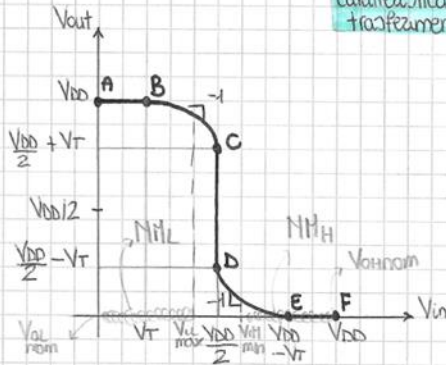
Come trovare la caratteristica di trasferimento?

Ipotesi: $V_{THn} = -V_{THp} = V_T$

$K_n = K_p \Rightarrow L_n = L_p$, allora $W_n \neq W_p$ (con $\mu_n \approx 2.5 \mu_p$)
e $W_p = 2.5 W_n$



caratteristica di trasferimento



	①	②
AB:	intezd.	triode
BC:	sat	triode
CD:	sat	sat
DE:	triode	sat
EF:	triode	intezd.

NM_H valore nominale

$$NM_L = V_{ILmax} = NM_H$$

$$V_{SL} = \frac{V_{DD}}{2}$$

Senza l'ipotesi di MOS ideale (senza effetti di modulazione di canale), il tratto CD avrà pendenza non infinita

$$\begin{aligned} D \rightarrow V_{DS} &= V_{GS} - V_T = \frac{V_{DD}}{2} - V_T \\ C \rightarrow V_{DS} &= \frac{V_{DD}}{2} + V_T \end{aligned} \quad \left. \begin{array}{l} \\ \end{array} \right\} \text{simmetrico} \quad |V_{DS}| = |V_{GS}| - V_T \rightarrow V_{DD} - V_{out} = V_{DD} - V_i - V_T \Rightarrow V_{out} = \frac{V_{DD}}{2} + V_T$$

Calcoliamo i 2 punti in cui la caratteristica assume pendenza -1: in BC e in DE

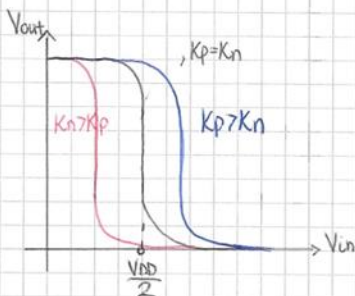
$$\begin{aligned} DE \quad \textcircled{1} \text{ TRIODE}, \textcircled{2} \text{ SAT} \quad & \left\{ \begin{array}{l} K_n [2(V_i - V_T)V_{out} - V_{out}^2] = K_p [V_{DD} - V_i - V_T]^2 \quad \textcircled{A} \\ \frac{d}{dV_i} [2(V_i - V_T)\frac{dV_{out}}{dV_i} + 2V_{out} - 2V_{out}\frac{dV_{out}}{dV_i}] = -2(V_{DD} - V_i - V_T) \quad \textcircled{B} \end{array} \right. \end{aligned}$$

$$\text{uso } V_i = V_{IHmin} \text{ e } \frac{dV_{out}}{dV_i} = -1$$

$$\textcircled{B} \quad -2(V_{IHmin} - V_T) + 2V_o + 2V_o = -2V_{DD} + 2V_{IHmin} + 2V_T \Rightarrow V_{IHmin} = V_{out} + \frac{V_{DD}}{2}$$

$$\textcircled{A} \quad 2(V_T + \frac{V_{DD}}{2} - V_T)V_{out} - V_{out}^2 = (V_{DD} - V_{out} - \frac{V_{DD}}{2} - V_T)^2 \Rightarrow V_{out} = \frac{1}{4}(\frac{V_{DD}}{2} - V_T)$$

$$\Rightarrow V_{IHmin} = \frac{1}{4}(\frac{5}{2}V_{DD} - V_T) \quad \text{e} \quad V_{IHmax} = V_{DD} - V_{IHmin} = \frac{1}{4}(\frac{3}{2}V_{DD} + V_T) = NM \quad (\text{per simmetria})$$



- $K_n > K_p$ i 2 MOS sono in SAT per $V_{in} < V_{DD}/2$ • NM_L diminuisce
- $K_p > K_n$ i 2 MOS sono in SAT per $V_{in} > V_{DD}/2$ • NM_H aumenta
- $K_n = K_p$ i 2 MOS sono in SAT per $V_{in} = V_{DD}/2$ • NM contrazione

$$K_n = K_p \Rightarrow NM_H = NM_L \quad (\text{più area di silicio occupata})$$

$$L > L_n = L_p = L_{min}$$

$$W_p = 2.5 W_n$$

- Invertire nMOS con carico attivo nMOS
- Invertire nMOS con carico attivo pMOS

$$K_R = \frac{W_1}{L_1} \cdot \frac{L_2}{W_2}$$

dato che $K_R > 1$ scelgo $L_1 = L_2 = L_{min}$ (del processo fotolitografico)
 $W_1 = L_2 = \sqrt{K_R} L_{min}$
 Mos occupano la stessa area

$$K_R = \frac{K_n}{K_p} \cdot \frac{W_1}{L_1} \cdot \frac{L_2}{W_2}$$

$$\text{scelgo } W_1 = L_2 = \frac{\sqrt{K_R}}{\sqrt{2.5}} L_{min}$$

Mos occupano la stessa area

Comportamento dinamico dell'inverter CMOS

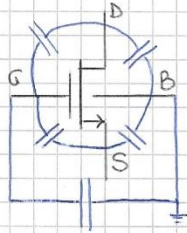
⑤

determinato dalla capacità totale di carico

$$C_T = C_L + N C_a$$

collegam.
di uscita

delle N porte collegate
a valle



$$C_{ij} \text{ con } i, j = G, S, D, B$$

il valore di queste C dipende dalla
regione di funzionamento

$$+ \text{ si può approssimare } C_a \approx C_{ox} \cdot W/L$$

area G

$$= \frac{C_{ox}}{t_{ox}}$$

(per il Si $\epsilon_{ox,r} = 3,8$)

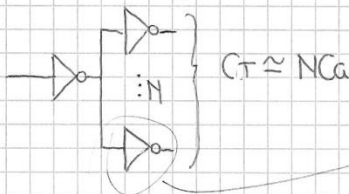
$$C_{ox} = \epsilon_{ox,r} \cdot \epsilon_0$$

3,8 $8,85 \cdot 10^{-12} \text{ [F/m]}$

$t_{ox} \in 1 \text{ nm} - 10 \text{ nm}$

$C_{ox} \in (3 - 30) \frac{\text{pF}}{\mu\text{m}^2}$

C_L è invece trascurabile, perché gli spessori dell'ossido sono ordini
di grandezza maggiori del t_{ox} del SiO_2 utilizzato per realizzare C_a

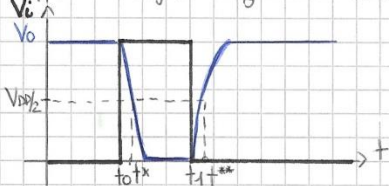


Inverter CMOS $C_a \approx 3,5 C_{an}$
simmetrico

tempo di propagazione inverter CMOS ($K_p = K_n = K$, $V_{THn} = V_{THp} = V_T$)

Supponiamo segnali d'ingresso ideali (+ salita e - discesa nulla)

• In uscita ho C_T !



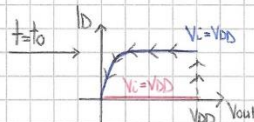
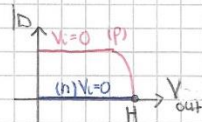
V_i : impulso



In condizioni
statiche:

$$V_i = L$$

$$V_o = H$$

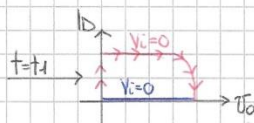
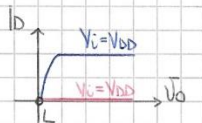


In $t = t_0$ la $V_i = V_{DD}$, la $V_{cr} = V_{DD}$
(stessa di prima) e C_T inizia
a scaricarsi attraverso
il transistor n

$$t_{PHL} = t^* - t_0$$

$$V_i = H$$

$$V_o = L$$



• C_T si scarica attraverso
il transistor p

$$t_{PLH} = t^{**} - t_1$$

I dispositivi non rimangono durante la scarica/carica di C_T sempre in SAT

$$(t_{PHL}) \quad V_{asn} = V_i = V_{DD}$$

$$(t_{PLH}) \quad |V_{asp}| = V_{DD} - V_i = V_{DD}$$

$$V_{asn} = \frac{V_{DD}}{2} < V_{asn} - V_T$$

non siamo
in SAT

$$|V_{asp}| = \frac{V_{DD}}{2} < |V_{asp}| - V_T$$

Approssimando la corrente media con la corrente di SAT. si ha una sotto stima di t_{PLH} e t_{PHL}

Concentriamoci su t_{PLH}

$$I_C = C_T \frac{dV_{out}}{dt} \rightarrow \int_{V_{TL}}^{V_{DD}} I_C(\tau) d\tau = C_T \int_{V_{TL}}^{V_{DD}} dV_{out} \sim t_{PLH} \left[\frac{1}{t_{PLH}} \int_{V_{TL}}^{V_{DD}} I_C(\tau) d\tau \right] = C_T \frac{V_{DD}}{2}$$

$$\Rightarrow t_{PHL} \approx \frac{C_T \frac{V_{DD}}{2}}{\langle I_C \rangle} = \frac{C_T \frac{V_{DD}}{2}}{K(V_{DD} - V_T)^2} \quad (\text{coincidente con } t_{PLH} \text{ perché l'inverter è simmetrico})$$

$$t_p = t_{PHL} + t_{PLH} = \frac{C_T \frac{V_{DD}}{2}}{K(V_{DD} - V_T)^2} \propto \frac{C_T}{K} \quad \text{con } K \propto W/L \text{ e } C_T \propto W/L$$

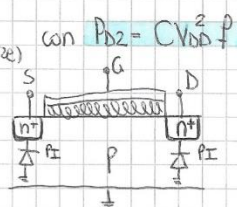
$\Rightarrow t_p \propto L^2$ per diminuire t_p va utilizzato il valore minimo di L (aumentando W per aumentare K , si aumenta anche C_T)

$t_{pmin} \Leftrightarrow L = L_{min}$ per diminuire t_p va diminuita la dimensione minima del processo fotografico

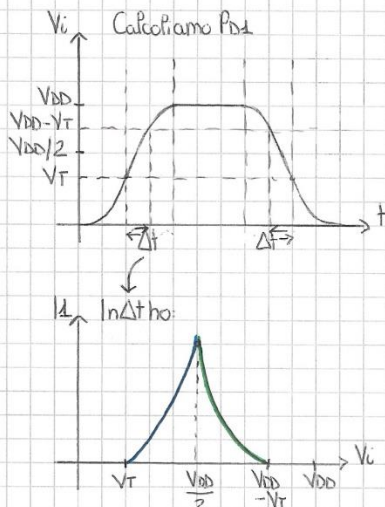
A22 Potenzia di dissipazione nei circuiti MOS

$$P_{dissipata} = P_{statica} + P_{dinamica}$$

$P_{statica}$ (Ingenerale)
In realtà ci sono piccole correnti
fenomeno più rilevante ora che
si è abbassata V_{DD} e V_{TH}

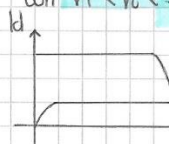


Quindi in realtà, tenendo conto della
corrente legata ai 2 diodi polarizzati
inversoamente e della corrente di sottoglia
(significativo nelle tecnologie recenti)
si ha $P_{STAT} \neq 0$ ma $P_{STAT} \ll P_{D2}$

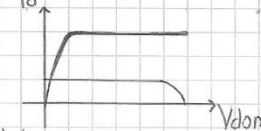


Nei Δt entrambi i MOS sono in conduzione

con $V_T < V_i < \frac{V_{DD}}{2}$



con $V_{DD} < V_i < V_{DD} - V_T$



corrente limitata
da uno dei due transistor

$$I_1(V_i) = K(V_i - V_T)^2$$

$$I_{max} = K\left(\frac{V_{DD}}{2} - V_T\right)^2$$

corrente che attraversa
i 2 transistor

In ogni periodo T la porta assorbe 2 volte energia di alimentazione
(salita e discesa)

$$P_{D1} = \frac{1}{T} 2 \int_0^{\Delta t} V_{DD} I_1(t) dt = \text{assumendo } V_i(t) = \alpha t = \frac{dV_i}{\alpha} = \frac{1}{T} 2 \int_{V_T}^{\frac{V_{DD}}{2}} V_{DD} I_1(V_i) dV_i = \dots = \frac{4}{3} \frac{V_{DD}}{\Delta T} I_{max} \left(\frac{V_{DD}}{2} - V_T\right)$$

$$= \frac{4}{3} \frac{K V_{DD}}{\Delta T} \left(\frac{V_{DD}}{2} - V_T\right)^3$$

vediamo che $P_{D1} \ll P_{D2}$

$$\frac{P_{D1}}{P_{D2}} = \frac{\frac{4}{3} \frac{V_{DD}}{\alpha T} I_{max} \left(\frac{V_{DD}}{2} - V_T \right)}{C V_{DD}^2 \frac{1}{T}} = \frac{2 \left(\left(\frac{V_{DD}}{2} - V_T \right) / d \right)}{3 \left(\frac{C V_{DD} / 2}{I_{max}} \right)} \cdot \frac{t_r}{\alpha} \cdot \frac{V_{DD} - V_T}{d} \quad (6)$$

($< 10^{-1}$)

Quindi P_{D1} è trascurabile nei confronti di P_{D2}

$$I_{max} = K \left(\frac{V_{DD}}{2} - V_T \right)^2 \quad K (V_{DD} - V_T)^2$$

Consideriamo $\frac{t_r}{t_p} \sim 1$, $\frac{t_r}{t^*}$ è più piccolo di un fattore 4 dovuto al denominatore e di un fattore 2 dovuto al numeratore

$$\frac{P_{D1}}{P_{D2}} \propto \frac{K}{C} \propto \frac{1}{L^2}$$

Prodotto ritardato - potenza dissipata

$$t_p P_D = C V_{DD}^2 f \cdot t_p$$

f_{max} è strettamente legato a t_p , $f_{max} \cdot t_p = \text{costante}$ *

↓ Allora $P_D t_p$ dipende solo da C e V_{DD} e si può abbassare diminuendo le dimensioni del processo fotolitografico e la tensione di alimentazione

* $f_{max} = \frac{1}{2t_p}$ // In un periodo di V_i si hanno 2 transizioni, quindi una f maggiore non consentirebbe la propagazione del segnale tra ingresso e uscita

Riducendo W/L , riduco C_G e mantenendo W/L costante, mantengo costante anche I_D

⇒ posso diminuire t_p

$$t_p = \frac{C_T \frac{V_{DD}}{2}}{K (V_{DD} - V_T)^2}$$

• riduzione $t_p \rightarrow$ incremento f_{max} (prestazioni)

+ Benefici avuti dalla riduzione di W/L , t_{ox} e V_{DD} , V_T

Consideriamo $W/L, t_{ox}$ dim. $\frac{1}{x}$ con $x > 1 \Rightarrow$

$$C_G = C_{ox} W L \rightarrow \frac{1}{x} \quad C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$t_p \rightarrow$ decremento di $\frac{1}{x}$

$$P_D = C V_{DD}^2 f \rightarrow \frac{1}{x^2}$$

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L} \rightarrow \text{incremento di } x$$

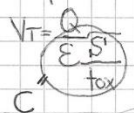
$P_D t_p \rightarrow$ decremento di $\frac{1}{x^3}$

• Ciò non corrisponde alla realtà: $V_{DD}: 5V \rightarrow 0.8V$ mentre la dimensione minima del processo fotolitografico si è ridotta di più!

• Con riduzione delle dim. dei dispositivi (e la minore riduzione di V_{DD}) i campi in gioco sono aumentati ⇒ e nel canale hanno energia cinetica maggiore, possono danneggiare per urto l'interfaccia elettroni $OX = \text{semiconduttore} \Rightarrow \text{NOT ELECTRONS}$

• Riduzione V_{DD} forza la riduzione di V_T perché la corrente $\propto (V_{DD} - V_T)^2$

V_T parametro critico, non si può scendere sotto centinaia di mV



$g_{ds} \approx n / d$ con $n \propto 1/L$ riducendo L , la pendenza della curva di $I_D(V_{DS})$ sarà maggiore

• Riduzione t_{ox} : raggiunto $t_{ox} \approx 1\text{nm}$ ⇒ incremento corr. di perdita tra G e B per effetto tunnel, incremento campo ai capi dell' ox

• Riducendo V_{DD} , riduco anche i NM del dispositivo stesso

Porte combinatorie elementari e complesse - Criteri di dimensionamento

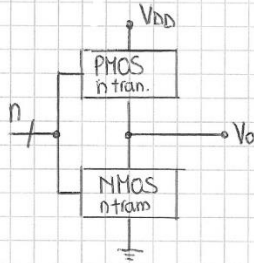
Qualunque funzione logica, si può realizzare a partire da AND/OR + NOT (NAND e NOR)

Legge di De Morgan

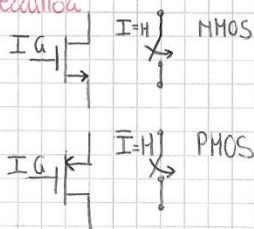
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

Porta CMOS con n ingressi $\Rightarrow 2n$ transistor



Intenzioni



Sia I il segnale in ingresso

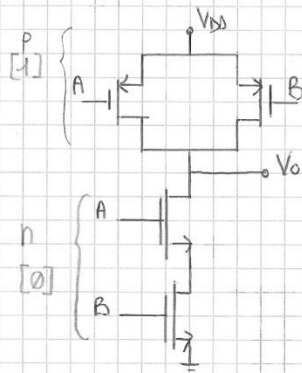
NMOS è chiuso quando $I = H$ (alto)

PMOS è chiuso quando $I = L$ (basso)

Porta NAND

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

$$V_o = \overline{A \cdot B}$$



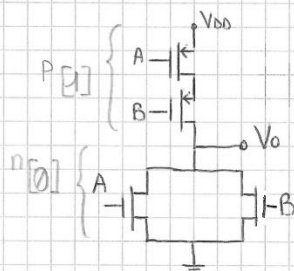
ovvero



Porta NOR

A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

$$V_o = \overline{A + B}$$



NB 1° blocco n è complementare al blocco p (uno in parallelo, l'altro in serie)



+ Per il blocco N e P posso definire più valori di K_{eq} in base a quanti dei dispositivi conducano:

$K_{eq \text{ worst case}} = K_{eq \text{ min}}$ (per blocco N, per blocco P)

$$\Rightarrow K_{eq \text{ WC}} = K_{eq \text{ NC}} \Rightarrow \left(\frac{W}{L}\right)_{eq \text{ WC}} = \left(\frac{W}{L}\right)_{eq \text{ NC}} \cdot 2.5$$

+ Così t_{PHL} e t_{PLH} nel caso peggiore sono uguali

+ Si vuole la soluzione ad area minima: consideriamo tutti i T nel blocco n con W_n e L_n e tutti i T nel blocco p con W_p , L_p

NAND $\left(\frac{W}{L}\right)_{eq} = \frac{1}{N} \frac{W_n}{L_n}$, $\left(\frac{W}{L}\right)_{eq} = \frac{W_p}{L_p} \Rightarrow \frac{W_p}{L_p} = 2.5 \frac{W_n}{L_n}$

$$K_{eq \text{ WC}} = K_{eq \text{ NC}}$$

NOR $\left(\frac{W}{L}\right)_{eq} = \frac{W_n}{L_n}$, $\left(\frac{W}{L}\right)_{eq} = \frac{1}{N} \frac{W_p}{L_p} \Rightarrow 2.5 \frac{W_n}{L_n} = \frac{1}{N} \frac{W_p}{L_p}$

Supponiamo $L_n = L_p = L_{min} = L$

NAND $\Rightarrow$ area: $N(W_p L + \frac{N}{2.5} W_p L)_{W_p = W_{min}} = N W_{min} L \left(1 + \frac{N}{2.5}\right)$ è la più conveniente

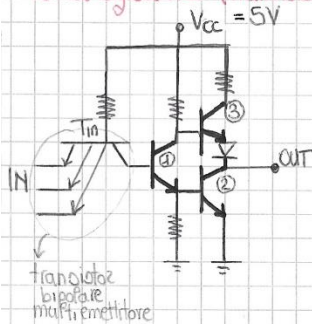
NOR $\Rightarrow$ area: $N(W_n L + 2.5 N W_p L)_{W_n = W_{min}} = N W_{min} L (1 + 2.5 N)$



Porte di Trasmissione

A26

Porta Logica TTL (transistor-transistor logic) • tecnologia precedente alla CMOS



Porta NAND $\neg$ AND transistor in gioco lavorano per lo più in saturazione o interazione

- Quando un ingresso IN è Low, la giunzione BE del T_{in} è PD ($V_{BE} > 0$) e T_1 e T_2 vanno in interazione, mentre T_3 conduce e porta l'uscita a 1 quando V_{out} raggiunge $V_{cc} - V_{BE} - V_{D_s} = V_{OHnom}$
(0,5) (0,6)

- Quando un ingresso IN è H, la giunzione BE di T_{in} è PI e T_1 e T_2 vanno in saturazione, mentre T_3 è in interazione

$$\text{quindi } V_{out} = V_{CE_{SAT}} = V_{OLnom} \quad (0,2)$$

+ I valori di V_{ILmax} e V_{IHmin} sono valori limite per cui il funzionamento è quello descritto.

- se V_{IH} da L comincia a salire, sale anche $V_B(T_{in})$ e cresce il $\Rightarrow V_{ILmax} = 0,8 V$ potenziato per portate in conduzione T_1 e T_2 .

- la V_{IHmin} è la V_{IH} che consente per ingresso che scende da H al valore di $V_B(T_{in}) - V_{F(JBE)}$ e porta la JBE in conduzione e cambia il funzionamento $\Rightarrow V_{IHmin} = 2 V$

+ V_{OLmax} è fissata per mantenere T_2 in saturazione e preservare il NM $\Rightarrow V_{OLmax} = 0,5 V$
(margine di sicurezza)

$$NHL = V_{ILmax} - V_{OLmax} = 0,3 V$$

$$I_{OLmax} \in [8-20] mA \quad I_{OHmax} \in 400 \mu A - 2 mA$$

(centraute) (uscita)

$$V_{OHmin} = 2,7 V \quad NHL = 0,7 V$$

Per definire il FAN OUT bisogna capire come gli ingressi caricano la singola porta:

- la I di ingresso a livello L (che attraversa JBE PD) è uscente $\Rightarrow I_{IL} \in [0,1-2] mA$
 - la I di ingresso a livello H (" JBE PI) è entrante $\Rightarrow I_{IH} \in 20 \mu A - 50 \mu A$
- $\Rightarrow$ così FAN OUT 7/10

Vari tipi di logica: TTL, TTL-S, TTL-LS, TTL-AS, TTL-ALS

S: Schottky
L: Low Power
A: Advanced

- Schottky: transistor pensati per non entrare profondamente in saturazione, non si accumulano eccessivi portatori minoritari in base e quindi la transizione da SAT a INTER. è più veloce

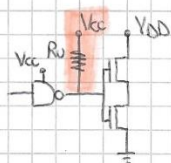


diodo Schottky: giunzione metallo-semiconduttore con V_f più bassa ($V_f = 0,4 V$)
 V_{BC} non supera 0,6 V

* può accadere di interfacciare logica TTL e logica CMOS (L sempre compatibile)

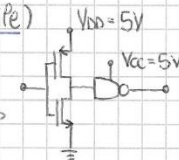
H: se la tensione di lavoro (V_{DD}) è la stessa si può avere interfacciamento diretto

- non è vero il contrario ($V_{OHmin} = 2.7V$ è a metà dinamica TTL regione di transizione nella porta CMOS)



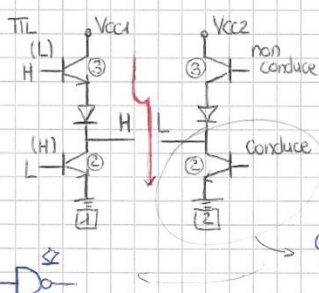
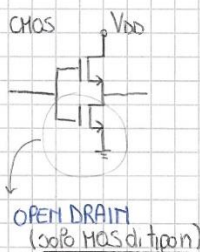
R_{pu} : resistenza di pull-up

Carico della porta CMOS è capacitivo: viene caricato fino a 3.9V dalla porta TTL con R_{pu} la capacità viene caricata fino a V_{cc} anche quando la corrente non viene più erogata attraverso $T3$ e il diodo



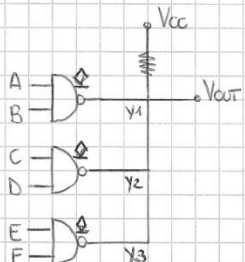
Logica cablata

Possibilità di connettere insieme l'uscita di 2 o più porte



Connettendo 2 uscite (H e L) si ha percorso conduttivo da V_{cc1} a $T31$ e $T22$ e manca

- I blocchi di PULL-UP realizzati esternamente con una R tra i C uniti insieme e V_{cc} e V_{DD}



si vuole $V_{out} = H$ se e solo se $y1 = y2 = y3 = H$

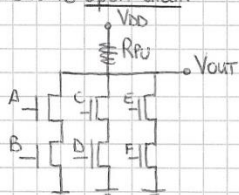
• se tutte H $\Rightarrow$ tutte C.A. $\Rightarrow$ rete pulldown $\equiv$ C.A.

• se una almeno L $\Rightarrow$ una conduce $\Rightarrow$ percorso a massa e $V_{out} = L$

$$V_{out} = y1 \cdot y2 \cdot y3 \quad [\text{AND CABLATO (Wired AND)}]$$

$$= A \cdot B \cdot C \cdot D \cdot E \cdot F = \overline{AB + CD + EF}$$

* se forme open-drain



non si hanno I_{IL} e I_{IH} delle M porte pilotate

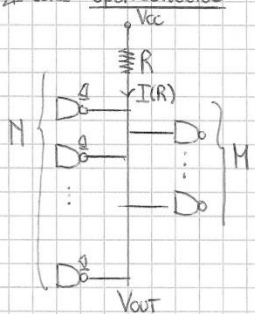
• $V_{out} = L$ $I(R) = \frac{V_{DD} - V_{OLmax}}{R} < I_{OLmax}$

• $V_{out} = H$

$R < R_{MAX}$
 $t_{PH} \propto RC_{in}$

$$R_{min} = \frac{V_{DD} - V_{OLmax}}{I_{OLmax}}$$

* caso: open collector



come dimensionare la R?

• $V_{out} = H \Rightarrow$ tutte le porte M sono H $I(R) \cdot R \leq V_{cc} - V_{OHmin}$, $I(R) = M I_{IH}$

$$R < \frac{V_{cc} - V_{OHmin}}{M I_{IH}} = R_{MAX}$$

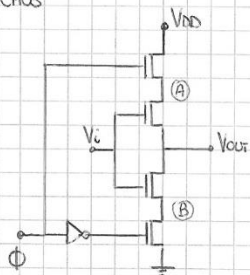
• $V_{out} = L \Rightarrow$ da 1 a M porte sono L (peggiore: 1 a L)

$$I(R) + M I_{IL} < I_{OLmax} \Rightarrow I_{OLmax} \approx M I_{IL} + \frac{V_{cc} - V_{OLmax}}{R_{min}}$$

$$R_{min} = \frac{V_{cc} - V_{OLmax}}{I_{OLmax} - M I_{IL}}$$

$$R_{min} < R < R_{MAX}$$

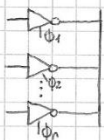
Porte invertite CMOS



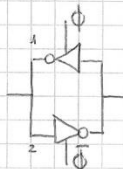
oltre a L e H c'è lo stato di **ALTA IMPEDENZA**

$$\Phi = L \Rightarrow A \text{ e } B \text{ in conduzione} \Rightarrow V_o = \bar{V}_i$$

$$\Phi = H \Rightarrow A \text{ e } B \text{ interdetti} \Rightarrow V_o = HZ \text{ (percorso conduttivo né a } V_{DD} \text{ né a massa)}$$



Interconnessione delle uscite a patto che solo uno degli ϕ sia attivo a L ad ogni istante di tempo



Connessione bidirezionale

se $\phi = H$ è attivo 2

se $\phi = L$ è attivo 1

Abbiamo visto circuiti di tipo combinatorio (uscite che dipendono dagli ingressi allo stesso istante) realizzabili attraverso tabelle della verità (AND e NOR)

- funzioni combinatorie
 - operazioni matematiche (sommatore)
 - indirizzamento e selezione (de/codificatore)
 - funzioni logiche complesse ($\bar{Y} = A \cdot B + (C + D)$)

A27

Sommatore

		C_o					
		$a_{n-1} \dots a_1 a_0$	$b_{n-1} \dots b_1 b_0$	S_{n-1}	S_1	S_0	
$A_2 = (a_{n-1} \dots a_0)$		0	0	0	0	0	$S_0 = \bar{a}_0 b_0 + a_0 \bar{b}_0 = a \oplus b \text{ (XOR)}$ $C_o = a_0 b_0$
$B_2 = (b_{n-1} \dots b_0)$		0	1	1	0	0	
		1	0	1	0	0	
		1	1	0	1	1	

a_i	b_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

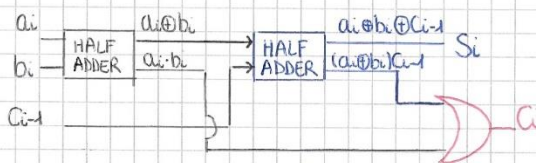
$$S_i = \bar{a}_i b_i \bar{C}_{i-1} + a_i \bar{b}_i \bar{C}_{i-1} + \bar{a}_i b_i C_{i-1} + a_i b_i C_{i-1} = C_{i-1} \oplus a_i \oplus b_i$$

$$C_i = C_{i-1} (a_i \oplus b_i) + a_i b_i$$

XOR

$$A \oplus B = A\bar{B} + \bar{A}B = \overline{A+B} + \overline{A\bar{B}}$$

half adder: circuito combinatorio con 2 IN e 2 OUT $\begin{cases} S = a \oplus b \\ C = a \cdot b \end{cases}$

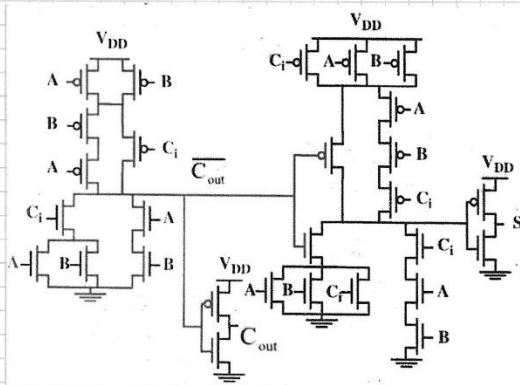


FULL
=> ADDER

traduzione in CMOS

9

- $C_i = C_{i-1}(\bar{a_i b_i} + a_i \bar{b_i}) + a_i b_i = C_{i-1}(a_i + b_i) + a_i b_i$
- $S_i = \bar{a_i b_i} \bar{C_{i-1}} + \bar{a_i b_i} C_{i-1} + a_i \bar{b_i} C_{i-1} + a_i b_i C_{i-1} = a_i b_i C_{i-1} + (a_i + b_i + C_{i-1}) \bar{C_{i-1}}$



A29

Circuiti logici sequenziali

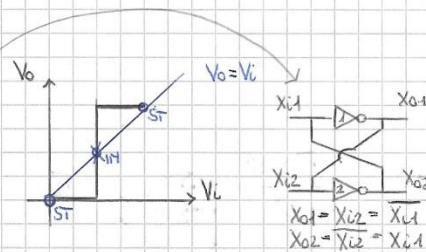
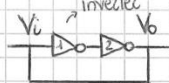
Circuiti sequenziali: le uscite dipendono dagli ingressi applicati in istanti di tempo precisi (non solo da quelli dello stesso istante - C. Comb.)

tra i segnali di ingresso può esserci compreso il clock



Per realizzare gli elementi di MEMORIA ci sono vari modi.

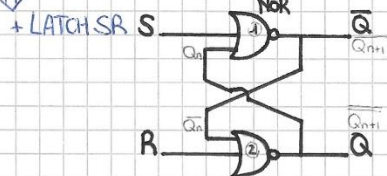
+ **BISTABILE**: amplificatore retroazionato positivamente



3 soluzioni: + 2 dove l'amplificatore ha guadagno nullo (**STABILI**)

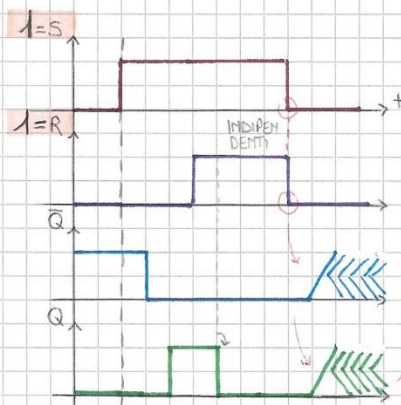
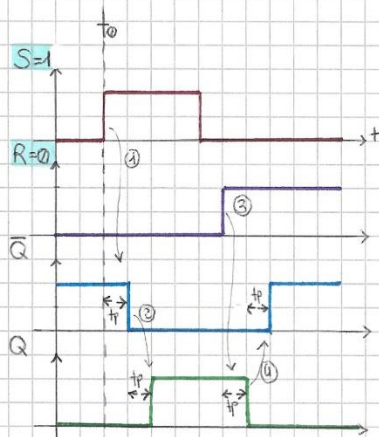
+ 1 "guadagno non nullo (**INSTABILE**)

↓



I due ingressi addizionali servono a forzare lo stato del bistabile

S	R	Q_{n+1}	$\bar{Q}_{n+1}$	1/2	NOR
0	0	Q_n	$\bar{Q}_n$	0/0	1
0	1	0	1	0/1	0
1	0	1	0	1/0	0
1	1	?	?	1/1	0
set reset $\Rightarrow$ impossibile					



se $t_{p1} \neq t_{p2} \Rightarrow$ la porta con t_p minore forza la condizione dell'altra.

se S e R diventano 0 in perfetta contemporaneità, si ha la prevalenza di uno dei 2 stati stabili.

$S=R=1$ è una CONDIZIONE PROIBITA

L'è inaccettabile in altri modi

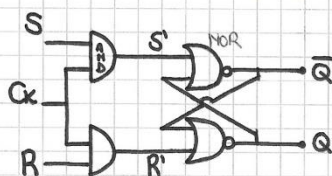
- una porta logica comincia a commutare quando l'ingresso raggiunge la tensione di soglia logica.
se si applica un ingresso non ben definito ma in un intorno della soglia logica, si può innescare la condizione di METASTABILITÀ sull'uscita.
- se la permanenza di S o R in uno stato, almeno non è sufficientemente lunga per consentire la propagazione del segnale attraverso i 2 livelli di porta.

$$t_p < T_{min} < 2t_p$$

esiste anche la versione NAND



+ LATCH SR Sincronizzato (Flip-Flop SR)



Il Ck abilita tramite 2 porte AND i segnali SET e RESET.

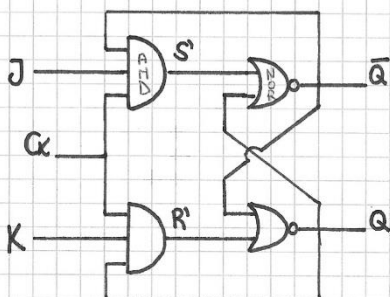
Sincronizza l'effettodi S e R, ma non elimina la **METASTABILITÀ**

$$S' = S \cdot Ck \Rightarrow S' = S \text{ se } Ck = 1$$

$$R' = R \cdot Ck \Rightarrow R' = R \text{ se } Ck = 1$$

*NAND Do output e S' e R'

+ FLIP FLOP JK



Elimina il problema della METASTABILITÀ

$Ck=1$

J	K	Q_n	$\bar{Q}_n$	S'	R'	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	-	-	0	0	Q_n	$\bar{Q}_n$
1	0	1	0	0	0	1	0
1	0	0	1	1	0	1	0
0	1	1	0	0	1	0	1
0	1	0	1	0	1	0	1
1	1	1	0	0	1	$\bar{Q}_n$	Q_n
1	1	0	1	1	0	Q_n	$\bar{Q}_n$

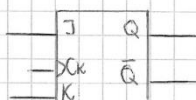
si deve avere $Ck=1$ per T_{CKH} : $2t_p < t_{CKH} < 3t_p$

per far effettuare la commutazione totale

per evitare che S' vada a 1 (a causa di Q diventato 1)

+ FLIP FLOP JK (Master-slave)

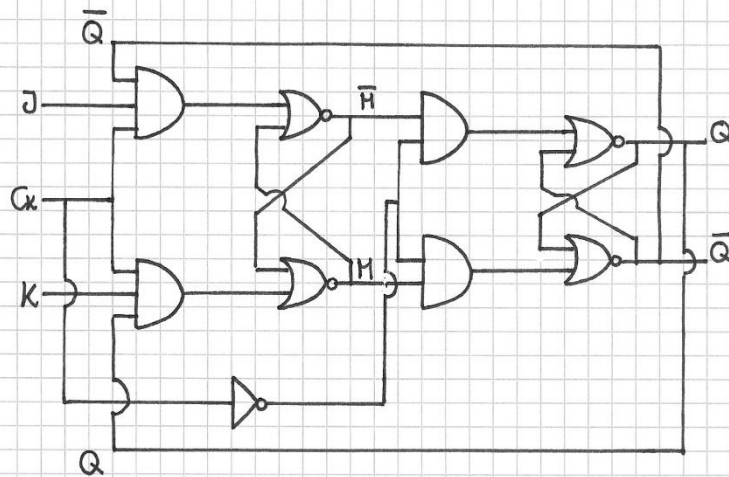
due flip flop JK in cascata



1° MASTER: funziona se il Ck è H, come un normale LATCH SR temporizzato con l'aggiunta degli ingressi nelle porte AND di Q e Q-bar

2° SLAVE: funziona se Ck è L, ed il segnale si propaga e si può chiudere la retroazione sul 1° stadio

funziona sul fronte discendente del segnale di clock che va ad abilitare il 2° stadio e dopo il t_p dei 3 livelli di porte il dato stabile è presente in uscita



Per le config. di J e K, lecite (00, 01, 10), comunque siano Q e $\bar{Q}$ provenienti dal 2° stadio, si hanno M e $\bar{M}$ come nel flip-flop JK (M $\bar{M}$, 01, 10): J abilita M (e $\bar{M}=0$), mentre K porta $\bar{M}=H$.

Quindi l'effetto sul 2° stadio di M è lo stesso che si ha con J sul 1° stadio mentre l'effetto di $\bar{M}$ è quello di K.

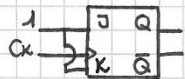
Quindi è come se gli ingressi sul 2° stadio fossero invertiti e il funzionamento desiderato si ha se anche le 2 uscite sono invertite (Q sopra e $\bar{Q}$ sotto).

Anche con J=K=1 e $C_k=1$ troppo lungo, non si hanno commutazioni ripetute delle uscite.

Con J=K=1 si ha $M=\bar{Q}_n$ e $\bar{M}=Q_n$ (come nel flip-flop JK), ma non propagandosi e non avendo quindi riportati all'ingresso del 1° stadio non c'è variazione dei segnali e la struttura si stabilizza.

Quando il C_k torna 0 viene abilitato il 2° stadio e i segnali transitano azzurrando in uscita e chiudendo la retroazione e cambiando la config. degli ingressi, che sarà efficace solo quando si avrà $C_k=1$.

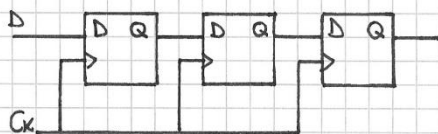
La struttura è intrinsecamente ben temporizzata: quando C_k va da 1 a 0, M e $\bar{M}$ non cambiano più dopo $4t_p$ (delle porte AND).



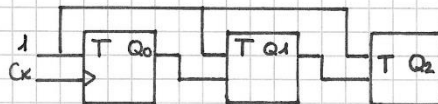
FLIP-FLOP di tipo T Q ($\bar{Q}$) commuta dopo ogni colpo di clock



FLIP-FLOP di tipo D D transita in uscita a valle del fronte τ_{clk} del C_k



Registro a scorrimento: ad ogni fronte di C_k , D transita in uscita allo stadio successivo



Contatore binario: Periodo Q_0 è $2T_{\text{clk}}$
 $\hookrightarrow Q_1$ è $4T_{\text{clk}}$
 $\hookrightarrow Q_2$ è $8T_{\text{clk}}$
 $\dots$
 $\hookrightarrow Q_n$ è $2^{n+1}T_{\text{clk}}$

DISPOSITIVI DI MEMORIA

①

Memorie ad accesso → **CASUALE** : tempo di accesso uguale per tutti i dati memorizzati
 → **SEQUENZIALE** es. shift register

MEMORIE AD ACCESSO CASUALE

• Memorie **VOLATILI** : **RAM** (Random Access Memory)
 • statica (basate su dispositivi bistabili)
 • dinamica (basate su condensatori)

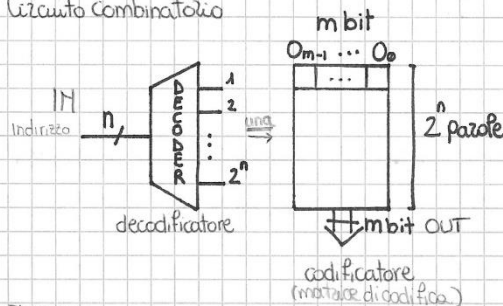
+ struttura
matriciale
+ modalità di
accesso

• Memorie **NON VOLATILI**
 a sola lettura : **ROM** (Read Only Memory)
PROM (Programmable ROM)
 → 1 sola volta

• Memorie **NON VOLATILI**
 R/W : **EPROM** (Erasable PROM)
E²PROM (Electrically EPROM)
FLASH : scrivibili e cancellabili elettricamente
 ma con caratteristiche diverse

ROM

Circuito combinatorio



- IP decodif. decodifica n bit in 2^n config. possibili.
- Le 2^n uscite del decodificatore selezionano 1 delle 2^n parole a n bit
- L'uscita a m bit è la config. selezionata con gli n bit di indirizzo

Questo dispositivo realizza f: $B^n \rightarrow B^m$ con ($B = \{0, 1\}$)

ESEMPIO

Supponiamo f: $B^2 \rightarrow B^3$ $I \xrightarrow{2} \square$
 $O \xrightarrow{3}$

Tabella di verità

	I_1	I_0	O_2	O_1	O_0
(y_1)	0	0	0	1	0
(y_2)	0	1	1	1	1
(y_3)	1	0	1	0	0
(y_4)	1	1	1	1	0

tutte le config. esempio casuale del 60 cor.

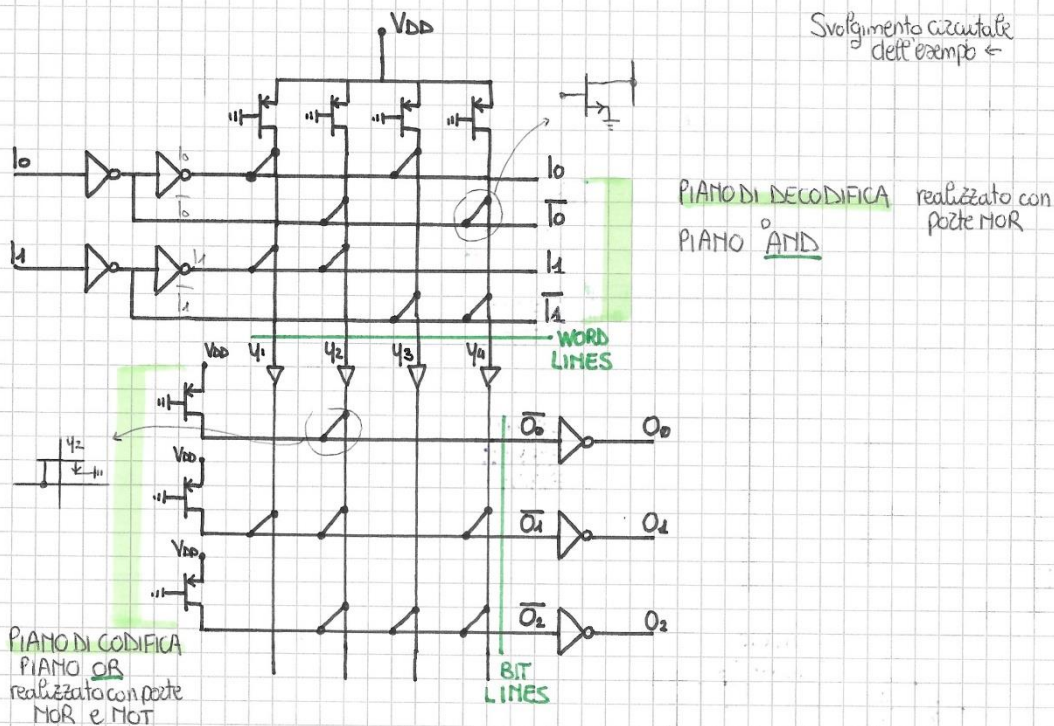
$$\begin{aligned} O_2 &= \overline{I_1} \overline{I_0} + I_1 \overline{I_0} + I_1 I_0 \\ O_1 &= \overline{I_1} \overline{I_0} + \overline{I_1} I_0 + I_1 I_0 \\ O_0 &= \overline{I_1} I_0 \end{aligned}$$

$$\begin{aligned} O_2 &= y_2 + y_3 + y_4 \\ O_1 &= y_1 + y_2 + y_4 \\ O_0 &= y_2 \\ y_1 &= \overline{I_1} \overline{I_0} \\ y_2 &= \overline{I_1} I_0 \\ y_3 &= I_1 \overline{I_0} \\ y_4 &= I_1 I_0 \end{aligned}$$

Le y sono le uscite del decodificatore, realizzabile, nel caso specifico, con 6 porte a 2 ingressi e, nel caso generale **2^n porte AND ad n ingressi**.

Le uscite si possono ottenere attraverso 3 porte OR a 4 ingressi (1 bit per uscita) o, nel caso generale **m porte OR a 2^n ingressi**

Diverse opzioni tecnologiche : la più diffusa è la tecnologia **NMOS** (che occupa meno area della CMOS)



Le ROM sono realizzate direttamente in fonderia: il piano di decodifica è fisso mentre il piano di codifica è variabile. Tipicamente sono realizzati i MOS a tutti gli incroci del piano di codifica, la particolarezzazione della ROM avviene a livello di metallizzazione.

- Se il piano di codifica è programmato dall'utente si possono eliminare i MOS non volatili tramite FUSIBILI quando si ha un dispositivo con tutti i MOS collegati, oppure collegare quelli volatili con ANTIFUSIBILI se sono tutti scollegati.

In quest'caso, in cui l'utente può programmare la ROM, si ha una **PROM**.

- La struttura descritta è realizzata in **logica a rapporto**, il criterio di progetto è quello di **minima occupazione d'area**.
- Il dimensionamento delle porte non segue i criteri di ottimizzazione delle caratteristiche statiche ($R_{eq\ carica} \gg R_{eq\ del\ transistor} \Rightarrow \frac{W/L}{(W/L)_H} \gg 1$) di pull down.

In questo caso non è così: **peggioramento** caratteristiche statiche **del NM**, ma **migliorano** i t_p (con i tempi di accenso alla memoria).

Per migliorare la velocità di accenso, talvolta si **iniettano** sulle **bit lines** degli **amplificatori differenziali**, che **sentono** lo spostamento della tensione di linea da V_{DD} e lo **amplificano** determinando V_{OL} su O_i (e quindi $O_i = H$) senza attendere la completa transizione.

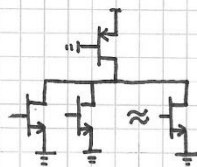
- Struttura di uscita a porte NOR, ma può anche essere realizzata a porte NAND.

$$\begin{aligned} Y_1 &= \overline{I_1 I_0} \\ Y_2 &= \overline{I_1 \bar{I}_0} \\ Y_3 &= \overline{I_1 I_0} \\ Y_4 &= \overline{I_1 \bar{I}_0} \end{aligned}$$

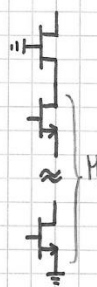
↓ nelle WORD LINE

$$O_2 = Y_2 + Y_3 + Y_4$$

↓ ancora O_i nelle bit lines



⇒



La seconda struttura (NAND) è più compatta: occupa meno area (solo 1 contatto a mano) però il t_{pL} è dettato da un

$$K_{eq} = \frac{K_n}{M}$$

* Vediamo l'architettura effettiva di una ROM

Supponiamo $n=9$ indirizzi e parole di $m=8=2^3$ bit

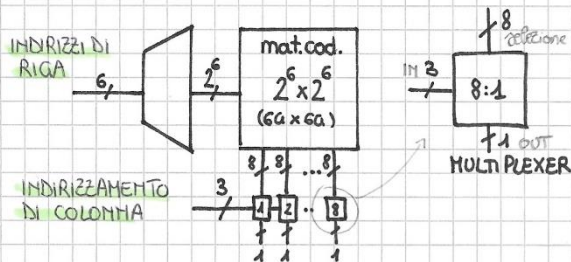
La matrice di codifica risulta: $2^9 \cdot 2^3 = 2^{12}$ bit

• 512 righe
8 colonne

**fortemente
asimmetrica!**

Si possono realizzare matrice di codifica meno asimmetriche realizzando un indirizzamento bidimensionale

$$2^{12} \text{ bit} = 2^6 \times 2^6 \quad \text{quadrata} \quad (64 \times 64)^2$$



Indirizzamento spezzato in 6 indirizzi di riga e 3 indirizzi di colonna.

Con i 6 ind. di riga selezione 64 bit, di cui ne seleziono 8 con i rimanenti 3 indirizzi

Il multiplexer 8:1 ha 8 linee in ingresso, 3 bit di selezione e 1 linea di uscita

- Vantaggi:
- ✓ Migliore sfruttamento area/wafer
 - ✓ Logica di decodifica risulta più compatta
 - ✓ Prestazioni dinamiche migliori (tempo di accenso)

Tempi di accenso: tempo tra l'impulso di lettura una volta presentati indirizzi validi al dispositivo e l'istante in cui i dati validi in uscita.

DECODIFICATORE A 9 BIT (Monodimensionale)

2^9 porte AND da 9 ingressi ciascuna

$$2^9 [9+1] = 5120 \text{ transistor}$$

#AND #ingressi x porta + 1 carico

DECODIFICA BIDIMENSIONALE

• 1 decod. a 6 bit

• 8 MUX 8:1

$$2^6 [6+1] = 648 \text{ t.}$$

$$\rightarrow 2^3 [8(3+1+1) + (8+1)] = 392$$

#MUX #AND #indirizzi OR (8 ingressi)

→ 860 transistor

$$t_{\text{Accesso}} = t_{\text{PLH}}(\text{decod.}) + t_{\text{PHL}}(\text{cod.})$$

proporzionale alla capacità di carico che vede la porta NOR della mat. di decod.

$C_1 \propto dN$ prop. al # di colonne della mat. di codifica

proporzionale alla capacità di carico che vede la porta NOR della mat. di codifica

$C_2 \propto dM$ prop. al # di righe della mat. di codifica

Memoria ha capacità C

$$C = M \cdot N$$

#righe → #colonne

$$t_{\text{Accesso}} = \alpha N + \beta M = \alpha N + \beta \frac{C}{N}$$

$$\leadsto \frac{dt_{\text{Acc}}}{dN} = \alpha - \frac{\beta C}{N^2} = 0 \Rightarrow N = \sqrt{\frac{\beta}{\alpha} C} \quad \text{trovo } N \text{ per min. } t_{\text{Acc.}}$$

Se α e β sono vicini tra loro, l' N ottimo è quello che si ottiene estraendo la rad. quadrata della capacità, quindi la struttura di indirizzamento bidimensionale è quella tipica da considerare.

+ Per le ROM, i tagli max attuali sono nell'ordine del centinaio di Mbit con tempi di accenso nell'ordine del centinaio di ns.

Per i tagli inferiori i t_{Acc} scendono a decine di ns.

E²PROH - E²PROH - FLASH

E²PROH: Electrically Programmable ROM → WR bitabit electr.
CL raggi UV

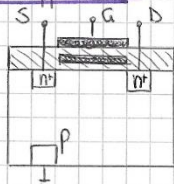
WR: scrivere
CL: cancellare

E²PROH: Electrically Erasable Programmable ROM → WR/CL bitabit electr.

FLASH: stesse caratteristiche di E²PROH ma consentono cancellazioni di tipo diverso → WR bitabit electr.
CL a pagine electr.

Si basano su una tecnologia che prevede di poter inattivare elettricamente il MOS presente all'inizio della matrice di codifica

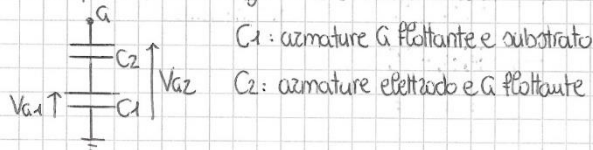
MOS a doppio GATE



polisilicio
SiO₂

Un G flottante in polisilicio e un G accendibile

Dal punto di vista degli elettrodi la struttura è:



FAMOS (floating gate avalanche MOS) C1 e C2 dipendono dall'area di G e dallo spessore dell'ox.

$(V_{g2} - V_{g1}) C_2 = V_{g1} C_1$ (le due capacità in serie hanno la stessa carica)

$$V_{g1} = V_{g2} \frac{C_2}{C_1 + C_2} \Rightarrow V_{g2} = V_{g1} \left(1 + \frac{C_1}{C_2}\right) *$$

I valori di V_{g1} ottenibili sono quelli per cui V_{g2} < V_{DD}

• Se portiamo una carica negativa sul G flottante, si ha tramite il PSE

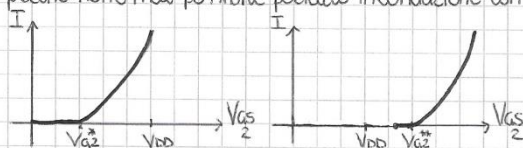
$$V_{g1} = V_{g2} \frac{C_2}{C_1 + C_2} - \frac{Q}{C_1 + C_2} \Rightarrow V_{g2} = V_{g1} \left(1 + \frac{C_1}{C_2}\right) + \frac{Q}{C_2} **$$

Q: carica sul G flot.
V_{g2} = 0

$$+ \text{se } V_{g1} = V_{TH} \quad V_{g2}^* = V_{TH} \left(1 + \frac{C_1}{C_2}\right) \quad \text{e} \quad V_{g2}^{**} = V_{TH} \left(1 + \frac{C_1}{C_2}\right) + \frac{Q}{C_2} > V_{DD}$$

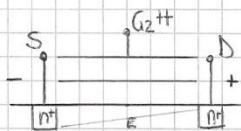
In condizioni normali si assume V_{g2}* < V_{DD}, mentre portando -Q sul G flottante suff. elevata si ha V_{g2}** > V_{DD}

⇒ In cond normali il transistor si comporta come un MOS normale.
Se ho -Q sul G flottante, il MOS all'inizio della matrice di codifica funziona da C.A. perché non è mai possibile portarlo in conduzione con le normali



Per portare -Q nel G flottante ci sono 2 tecniche di scrittura:

- elettroni caldi → E²PROH / FLASH
- effetto tunnel → E²PROH



HOT ELECTRONS (nelle EPROM)

③

$V_{DS} > V_{DS} \Rightarrow$ campo elettrico elevato nel canale tra i pozzetti

Il campo elettrico deve essere suff. elevato perché gli elettroni partendo da S a D acquistano suff. energia cinetica per liberare per impatto nuove coppie elettroni-lacune.

$$V_{GS2} = V_{G1} - V_{TH} \approx V_{DS}$$

cond di passaggio da triodo a saturazione

si ottiene per $V_{GS2} \gg V_{DS} > V_{DS} \Rightarrow$ campo elettrico trasversale

Gli elettroni, muovendosi nel canale, acquistano suff. en. cinetica perché, una volta in prossimità del drain, grazie all'azione del campo el. trasversale, possono attraversare la barriera di potenziale data dall'ossido.

Barriera di pot. dell'ox è dell'ordine dei 3.2 eV $\Rightarrow$ en degli elettroni deve essere maggiore

È un fenomeno autolimitante: aumento di carica negativa nel G flottante provoca un campo el. trasversale che si oppone al passaggio di elettroni.

Questo meccanismo porta in maniera stabile gli elettroni nel G flottante.

- Negli EPROM, per rimuovere le cariche, si irradia con radiazione UV il dispositivo: utilizzando una radiazione con lunghezza d'onda inferiore ai 400 nm (UV: 253.7 nm) con suff. energia specifica, si crea un fenomeno di ionizzazione nel SiO_2 (così reso debolmente conduttore) permettendo agli elettroni di abbandonare il G flottante.

Si usano tipicamente lampade con lunghezza d'onda 253.7 nm, energia specifica 15 W/s/cm e si irradiano i disp. per $\approx 20-30$ min a distanza 2-3 cm

- Dispositivi EPROM comodi per scrittura, non per la cancellazione: per poter irradigare il SiO_2 è nec. realizzare nel package una finestra trasparente alle radiazioni usate, tipicamente realizzata in quarzo (costoso)

La finestra va coperta perché eventuali radiazioni (anche luce solare) al di sotto dei 400 nm di lunghezza d'onda possono avere effetto sul dispositivo

- ROM OTP: ROM programmabili 1 sola volta (non irradicabili)

Gli el. ad alta energia nel canale provocano problemi all'interfaccia con Pox . (a causa del campo elettrico trasversale) $\Rightarrow$ il disp. degrada con il tempo e con i cicli di WR/C (all'inizio ~ 1000 , ora fino a 10^6 cicli)

I tempi di scrittura sono $t_{WR} \sim 10 \mu\text{s}/\text{word}$ (8 bit)

Tagli fino a 32 Mbit $\Rightarrow$ $t_{\text{tot scrittura}} \sim 10\text{s}$ $t_{\text{accesso}} = 10 \div 100 \text{ ns}$

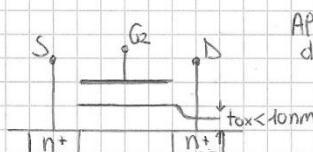
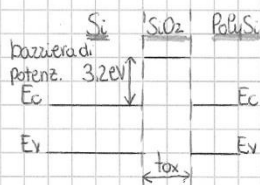
EFFETTO TUNNEL (nelle E²PRAM)

Se lo spessore dell'ox (e la barriera di potenziale) è suff. sottile, esiste una probabilità $\neq 0$ che un elettrone con energia inferiore alla barriera sterna possa comunque superarla.

$$p = (1 - e^{-1/x})$$

x: spessore della barriera

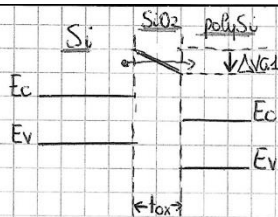
Si ha una p significativa quando lo spessore dell'ox $t_{ox} < 10 \text{ nm}$



Al pozzetto D, lo spessore dell'ox è $t_{ox} < 10 \text{ nm}$

FLoTox (floating gate thin oxide)

Applicando un pot. positivo al G_2 rispetto al substrato, si ha anche una variazione della tensione del G_1 rispetto al substrato e conseguente deformazione delle bande.



Le bande subiscono una deformazione in cui la var. complessiva di energia è legata al ΔV_{gs}

Lo spostare della barriera per gli elettroni presenti nel silicio, si riduce

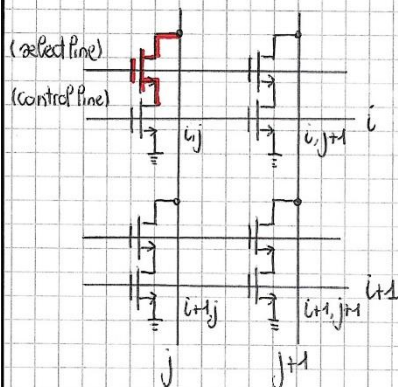
Effetto tunnel controllato in tensione, detto **EFFETTO TUNNEL FOWLER NORDHEIM**

Vale anche la situazione opposta: applicando un $V_{gs} < 0$, gli e⁻ che sono nel G1 fluttuante possono tornare nel canale?

Applicando un V_{gs} opportuno è quindi possibile programmare o sprogrammare il MOS

X Questo dispositivo ha lo svantaggio di richiedere un MOS di accesso al singolo incasso della matrice di codifica

Consideriamo 2 bit lines e 2 word lines



$j, j+1$ bit lines

$i, i+1$ word lines

Il MOS di accesso separa il Flotox dalla bit line

Supponiamo di programmare il bit i, j in assenza di MOS di accesso

$i=H, j=L \Rightarrow$ si attiva l'effetto tunnel F-N
 i, j programmato

MOS $i, j+1$, se $j+1=L \Rightarrow L, j+1$ programmato

(questo accade per tutti i MOS in queste condizioni nella control line i)

se $j+1=H \Rightarrow$ MOS $i, j+1$ non si programma, ma se $i+1=L$ si programma il MOS $i+1, j+1$
(accade per tutti i MOS con control line L nelle word line $j+1$)

È necessario un ulteriore interruttorio che separi il D dalla bit line !!!

Inoltre, se l'impulso di scarica del MOS provoca una sovrascarica del G1, il MOS Flotox può entrare in conduzione anche con $V_{gs}=0$. Il MOS di accesso evita questo problema. ✓

• Risultato netto: a parità di area la densità di una E^2 PRoM è la metà di quella di una EPROM

Tagli max $\sim 32 \text{ Mbit}$

$t_{\text{Accesso}} = 10 - 100 \text{ ns}$

$t_{\text{WR}} \sim 10 \text{ Mbit}$

$t_{\text{CL}} \sim 10 \text{ Mbit}$

come le EPROM

✓ Minor degrado della struttura

✓ Maggiore numero di cicli di WR/CL

+ Memorie **FLASH**: sfruttano sia **HOT ELECTRONS** che tunnel F-N

• Scrittura con **HOT ELECTRONS** al livello di D

• Cancellazione per **EFFETTO TUNNEL** al livello di S

Vantaggio: non necessitano del MOS di accesso ✓

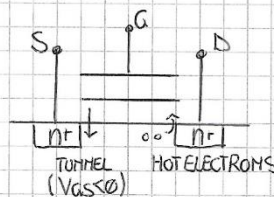
La cancellazione avviene per pagine, portando i S ad un potenziale elevato rispetto al G

$t_{\text{WR}} \sim 10 \text{ Mbit}$

Cancellazione per blocchi ($\sim$ decine di Kbytes). Chip intero cancellato in $t_{\text{CL}} \sim$ secondi

$t_{\text{Accesso}} \sim 10 - 100 \text{ ns}$

Le FLASH sono i top di punta delle memorie non volatili, densità fino a 1Tbit (Struttura NAND è più compatta)



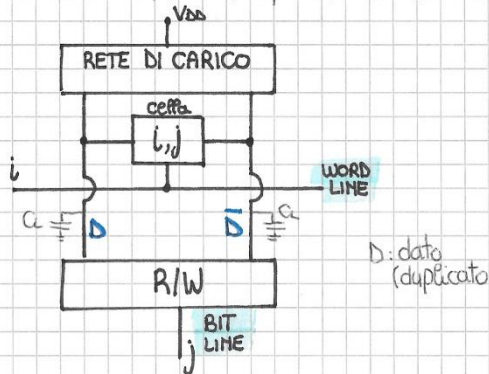
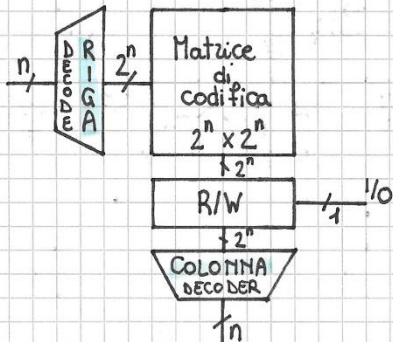
RAM STATICA

↓ l'informazione permane finché l'alimentazione resta attiva

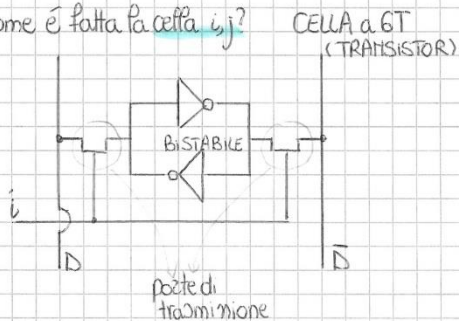
Come ROM, ha un struttura matriciale e indirizzamento bidimensionale

Struttura di una RAM con celle ad 1 bit

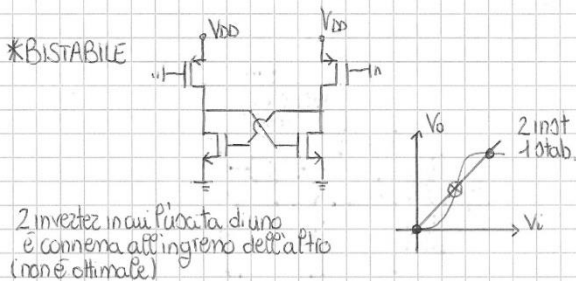
- RePLICandola con K matrici, la parola di uscita è di Kbit



- Come è fatta la cella i,j ?



*BI-STABILE



In generale l'accesso non è realizzato così.

- In una RAM la parte preponderante del Si è occupata dalle celle e la potenza dissipata è causata dalla mat. cod.

Al crescere della capacità della memoria, i limiti superiori della potenza dissipata dal singolo chip (~W) pongono limiti stringenti sulla potenza dissipata dalla singola cella.

$$1 \text{ Mbit}, 1 \text{ W} \Rightarrow 1 \mu \text{ W/cella} \Rightarrow \approx V_{DD} \sim 1 \text{ V} \text{ corrente anziché dalla alimentazione e minore del } \mu \text{A}$$

La struttura di 2 inverters funziona meglio quanto più $\left(\frac{W}{L}\right)_n / \left(\frac{W}{L}\right)_p$ è elevato

- ✓ Per risparmiare area (MOS n a area min), per limitare corrente anziché, la resistenza del MOS p deve essere suff. elevata $\Rightarrow$ MOS p con L elevato

Non è una soluzione che ottimizza l'occupazione di area.

Casico realizzato con resistenza passiva in polisoricio non drogato

$$R_s = [10^6 \div 10^7] \Omega/\square$$

- ✓ Altrimenti si realizza l'inverter in tecnologia CMOS

(non si dissipa potenza statica (solo dinamica), non è una sol. ottima per occupazione area minima)

SCRITTURA:

forzare il dato D (e $\bar{D}$) sulle 2 linee della bit line
abilitando la word line e aprendo le 2 porte di trasmissione (chiudendo i 2 interruttori)
si può incidere direttamente sull'ingresso dei 2 MOS n che costituiscono l'inverter
e forzare lo stato

LETTURA: una volta che la word line ha messo in collegamento i 2 ingressi degli inverters con la bit line e bit line, una qualunque tensione presente su queste due linee può forzare lo stato del bistabile.

La soluzione più comune è precaricare la linea D e $\bar{D}$ attraverso la rete di carico e il circuito RLW si possono isolare le linee D e $\bar{D}$ rendendole flottanti.

A queste linee si associa una CL connessa a terra, che vengono rese flottanti dopo averle precaricate a una tensione alta (V_{DD}).

- Supponiamo l'info memorizzata sia questa (T_3 in conduzione T_4 interdetto).

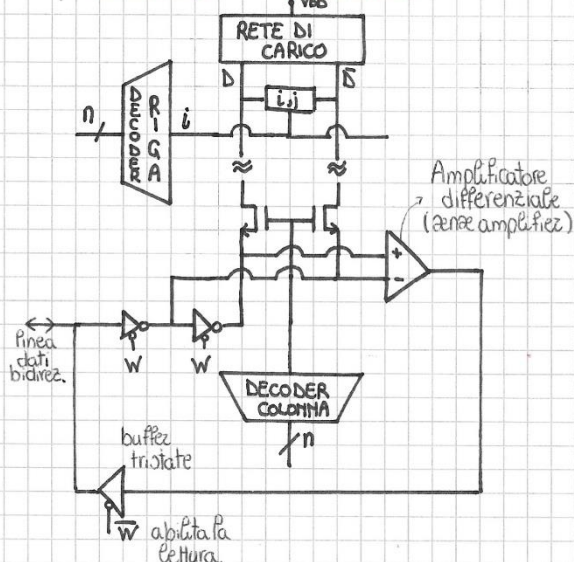
Quando viene abilitata la word line i , il nodo H viene collegato con la CL carica alla stessa tensione e il nodo L con la CL a V_{DD} che si scarica attraverso il T_4 e T_3 fino a V_{OL} .

Così funziona se il partitore T_4, T_3 non determina una tensione sul nodo centrale tale da non portare in conduzione T_4 .

$$R_{T4} \gg R_{T3}$$

Per avere il dato corretto sulla linea D, bisogna aspettare che CL si scarichi.

- + Si può velocizzare con un amp. diff. sulle linee che sente gli spostamenti di tensione tra V_{DD} e la tensione della linea.



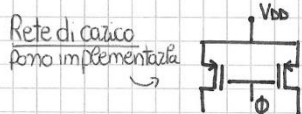
W: Comandi di Scrittura/Lettura
(H) (L)

+ Quando si legge la cella il percorso dall'amp. al bus dati è attivo

+ Quando si scrive il buffer è interdetto e sono attivati i 2 inverters

Per scrivere un dato, si forza sulla linea dati il valore corretto, gli inverters portano il valore sulla linea dati (D e $\bar{D}$) quando il selettore di colonna abilita i 2 transistor la tensione D e $\bar{D}$ viene applicata a tutta la linea e quando il selettore di riga seleziona la cella i, j il dato viene forzato nel bistabile.

I 2 inverters hanno fatto di forza elevato per pilotare efficacemente il carico che vedono (non hanno)



Circuito di precarica

• $\phi = L$ De $\bar{D}$ in collegamento con V_{DD} , flottanti nella parte inferiore (amp. a alta imp. e inverters tri-state). Le CL si scaricano a V_{DD}

• $\phi = H$ Si aprono i 2 interruttori

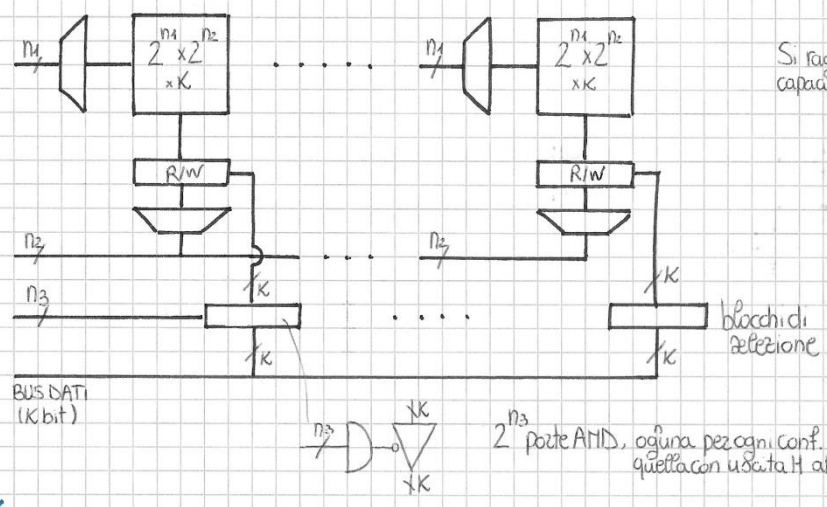
Riferimento a V_{DD}

I due transistor devono avere imp. suff. elevata perché nel partitore con MOS della cella si determini una tensione nell'uscita L del bistabile solitamente frazione di V_{DD}

Per limitare il consumo di potenza, la mat. di codifica può lavorare a tensioni differenti da quelle dell'esterno del circuito. Il buffer ripristina i valori corretti.

⑤

Per realizzare una memoria di $2^{n_1+n_2+n_3} \cdot K$ bit, si usano 2^{n_3} blocchi che forniscono un'uscita K bit selezionati in una mat. di cod. di $2^{n_1+n_2} \cdot K$ bit



✓ Memorie cache $\leadsto$ velocità $\uparrow$

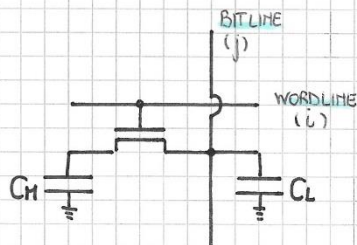
RAM DINAMICA

Dispositivi (insieme a FLASH) con cui si raggiungono le capacità maggiori:

- Riduzione # transistor/cella (fino a 1T)
- Semplificazione struttura (bit line non duplicata)

+ Informazione non contenuta in un bistabile ma in un condensatore

Svantaggio: info deve essere rinfrescata regolarmente ($\sim 100 \text{ Hz}$), altrimenti si degrada (essendo contenuta nel C) (trasparente all'utente)



C_H : capacità di memoria

C_L : capacità di linea (comportamento bit line isolata)

↳ valore relativamente elevato (metallizzazione e connessioni al drain delle porte di trasmissione) che cresce al crescere della capacità della memoria.

Anche C_H deve crescere al crescere di C_L per rendere il disp. funzionale.

SCRITTURA: si forza il valore in tensione sulla bit line ($V_{bit} = V_{DD}$) e poi abilitando la word line, la C_H si carica a $V_{bit} - V_{TH}$

$$V_{OH} = V_{DD} - V_{TH}, \quad V_{OL} = 0 \text{ V}$$

LETURA: può essere distrutta l'info contenuta nel C_H

- si preaccarica la bit line a $V_{OL} = V_R = (V_{OH} + V_{OL})/2$, si sconnette la bit line dall'alimentazione e da massa e poi si abilita la word line

- si ha una distribuzione di carica tra C_L e C_H (in parallelo) e V_{OL} si porta a metà tra V_R e V_{OH}

$$C_H \ll C_L \Rightarrow V_{OL} \approx V_R \quad \text{operazione di lettura distruttiva}$$

Dopo aver preaccaricato C_L , prima di portare alta la word line e abilitare il transistor, in C_H si ha una carica $C_H V_{OL}$ e in C_L una carica $C_L V_R$.

Quando il T va in conduzione (interruttore chiuso), dopo un transitorio si ha:

$$C_H V_{OL} + C_L V_R = (C_H + C_L) V_R' \Rightarrow V_R' = \frac{C_H V_{OL}}{C_H + C_L} + \frac{C_L V_R}{C_H + C_L} \approx V_R \quad (C_L \gg C_H)$$

$$\begin{aligned} \text{Variazione di tensione bit line} \quad \Delta V_R &= V_R' - V_R = \frac{C_H}{C_H + C_L} V_{OL} + V_R \left(\frac{C_L}{C_H + C_L} - 1 \right) = \\ &= \frac{C_H}{C_H + C_L} (V_{OL} - V_R) = \pm \frac{V_{OH} - V_{OL}}{2} \frac{C_H}{C_H + C_L} \approx \pm 100 \text{ mV} \\ &\quad \sim V \quad \sim 10^{-1} - 10^{-2} \end{aligned}$$

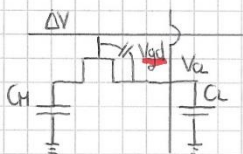
Si deve avere $\Delta V_R > 100 \text{ mV}$, che garantisce la possibilità di apprezzare con certezza la variazione del suo segno

Se $V_{OL} = V_{OH}$ si ha aumento, se $V_{OL} = V_{OL}$ si ha decremento della tensione di linea comunque estremamente contenuti

Dopo la lettura nella C_H è memorizzata un'info che si trova circa a metà tra V_{OH} e V_{OL} !!!

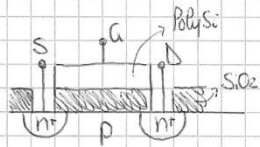
Va associato un meccanismo che sente il segno di ΔV_R e ripristina il valore corretto di V_{OL}

- Quando si abilita la porta (chiudendo l'interruttore) si produce un disturbo in tensione su V_{OL}



Quando il segnale della word line va al livello H, si ha una variazione di V_{OL}

$$\delta V = \Delta V \frac{C_{gd}}{C_{gd} + C_L} \quad \text{tipicamente dello stesso ordine di grandezza di } \Delta V_R$$

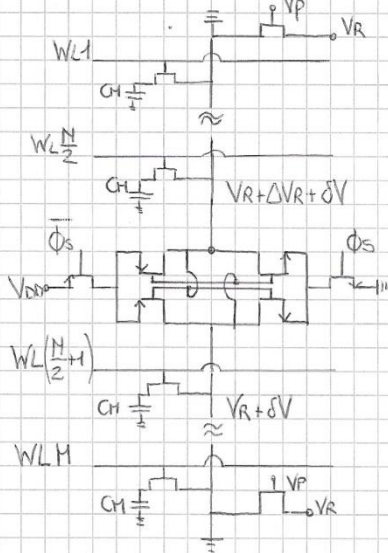


Diffusioni: Se D vengono realizzate con impiantazione ionica (di tipo n) in superficie e poi vengono fatti diffondere gli ioni n

Parziale sovrapposizione tra G e S/D che genera un accoppiamento capacitivo (Vg e Vg)

È necessario poter eliminare δV che rende difficile leggere correttamente il segno di ΔV_R

- Bit line (a cui affluiscono M wordline) divisa in 2 parti:



Φ_s chiude uno dei due interruttori e collega il bistabile con l'alimentazione e la memoria

V_p segnale di precarica che permette di caricare le celle bit line a V_R

Supponiamo a mente δV

Letture: si precaricano le 2 capacità di linea (con $C/2$ ciascuna)

e si aprono gli interruttori a V_R

Si legge la cella d'interesse e la semibit line

interconnessa prima a $V_R + \Delta V_R$

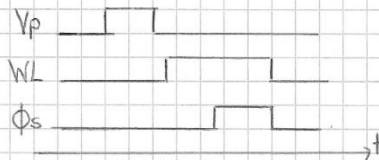
Si abilita il bistabile, che ha ingressi sbilanciati

e lo stato evolve verso lo stato stabile dettato

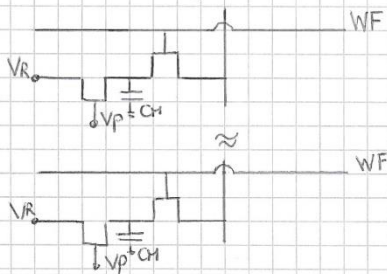
da ΔV_R e si può ripristinare il valore corretto

della informazione della cella letta

ESEMPIO: cella 1 in lettura, se $V_{D1} = H$ si ha $V_R + \Delta V_R$ con $\Delta V_R > 0$ sulla bit line, il bistabile porta l'uscita superiore a livello H e quindi V_{D1} torna H



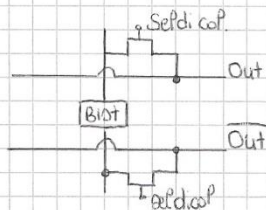
Per tenere conto di δV , questo deve essere iniettato su entrambe le semibit line, così il segnale differenziale complessivo rimanga V_R .



Su entrambe le semibit line si realizza una **CELLA FIDIZIA** provvista di un collegamento che permette di precaricarla alla tensione V_R (comandata da V_p)

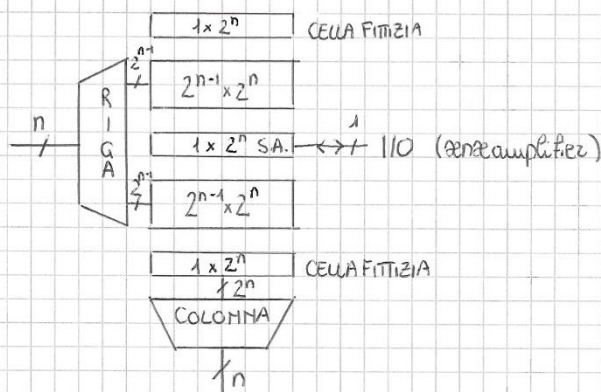
Se legge la cella 1, quando abilita $WL1$, abilita anche la WF dell'altra semibit line inferiore

$V_{D1} = V_R \Rightarrow$ non c'è variazione della V_R della semibit line, ma c'è var. δV dovuta al transdormento del segnale di comando, che compensa lo stesso effetto che si ha sull'altra semibit line



L'output è preso tramite 1 MOS comandato dal selettore di colonna

Struttura RAM dinamica $2^n \times 2^n \times 1$ bit:



- La struttura si replica per creare parole di dimensione $\neq 1$ bit
- Al crescere della capacità, anche in questo caso, c'è l'organizzazione a banchi
- Tagli max ~ 16 GB/chip

Non si usano MOS Standard planari, ma ad esempio si usano transistor a pinna e si va verso un sviluppo verticale, per incrementare la capacità a parità di superficie

Anche la tecnologia utilizzata per realizzare CM è oggetto di studi per preservazione, così come i dielettrici utilizzati

Le RAM dinamiche sono di tipo **SINCRONO**: tra gli ingegni c'è un segnale di clock che gestisce una macchina a stati che gestisce a sua volta le operazioni della struttura decodificata (trasparente all'utente)

SDRAM (Synchronous Dynamic RAM)

Individuate da sigle riferite alla velocità di trasmissione di dati (+ numero che esprime f_{clk})

SDR (Single Data Rate) $\uparrow \downarrow f_{clk}$ emettono dati sul fronte di salita

DDR (Double Data Rate) $\uparrow \downarrow f_{clk}$ " " + doppia

$$f_{clk} = 200 \text{ MHz} \div 800 \text{ MHz}$$

— DISPOSITIVI LOGICI PROGRAMMABILI —

Permettono di implementare funzioni combinatorie e/o sequenziali in modo programmabile dall'utilizzatore.

PROM → funzioni combinatorie $f: B^n \rightarrow B^m$ implementabili con una struttura a 2 livelli

PIANO AND + PIANO OR
decodifica codifica

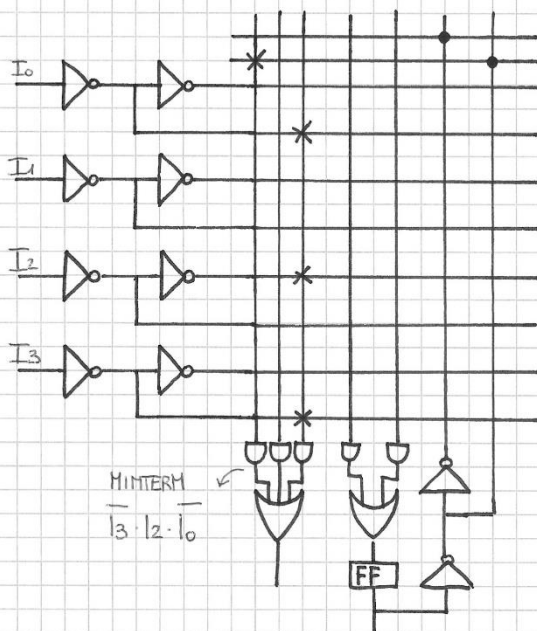
I PLD più semplici hanno questa struttura, ma cambia la programmabilità dei singoli piani

PIANO AND	
FISSO	PROG.
PIO	PAL
AND	
OR	PLA

PAL: Programmable Array Logic

PLA: Programmable Logic Array

PAL



Agli incroci si può abilitare la connessione (attivare MOS)

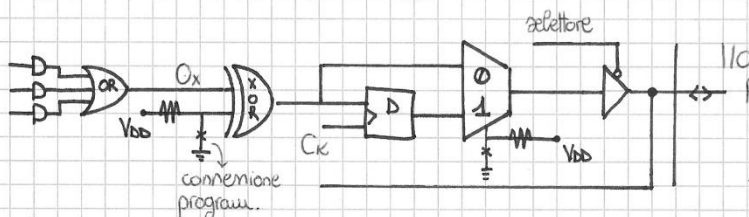
Arriva un numero limitato di termini di prodotto (tipicamente da 8 a 16) al piano OR

* Se il # di termini di prodotto all'uscita non è sufficiente si può ricorrere ad una logica a 2 piani: uscita OR riportata in ingresso al piano AND.

Il tp raddoppia.

* Si possono realizzare funzioni di tipo sequenziale

All'uscita del piano OR è presente una MACROCELLA configurabile che permette di effettuare le operazioni descritte in rosso o usare in maniera diretta:

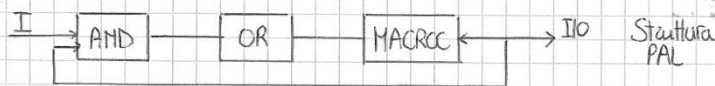


predino utilizzato come ingresso: buffer tri-state blocca il percorso e si accede al piano AND

Se utilizzato come output il percorso è abilitato

A	B	XOR	Se conn. programmata (1 in 0), uscita diretta.
0	0	0	Se l'ingresso è 1, l'uscita è negata
0	1	1	
1	0	1	
1	1	0	

Nelle PAL con questa struttura si ha un numero di predini solo $\frac{I}{I/O}$ e



Max complessità fino a 1 migliaio di Gate equivalenti (complessità porta AND a 2 I)

Per complessità maggiori si utilizzano CPLD (PLD Complexe): insieme di PAL sequenziali come quelle descritte interconnesse con più livelli gerarchici

$t_{p_{max}}$ dipende dal numero di percorsi che il segn. deve fare all'interno della struttura.

La programmazione sfrutta MOS a G. fluttuante.

FPGA: Field Programmable Gate Array

Seguono la filosofia delle ROM: matrice regolare di celle logiche uguali, su silicio, personalizzate realizzando le interconnessioni attraverso i fili di metallizzazione. Soluzione meno spinta dei circuiti FULL CUSTOM (vel. minori, maggior costo più contenuto).