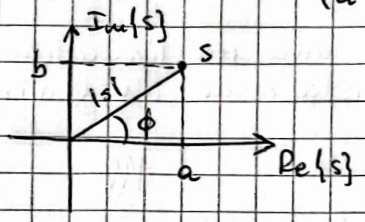
ELETTRONICA II

LEZIONE 1 - 03/03/2021

$$s = a + jb \quad ; \quad |s| = \sqrt{a^2+b^2} \quad ; \quad \angle s = \arctan\left(\frac{b}{a}\right) = \phi \quad ; \quad s = |s|\, e^{j\phi}$$

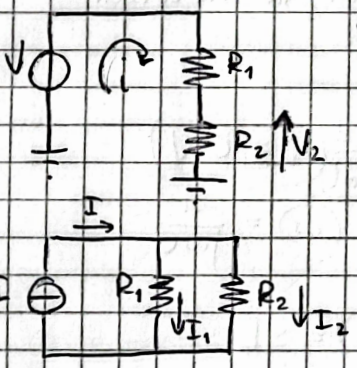
$$e^{j\phi} = \cos\phi + j\sin\phi$$



$$s = \frac{1}{a+jb} \quad ; \quad |s| = \frac{1}{\sqrt{a^2+b^2}} \quad ; \quad \angle s = \phi = -\arctan\left(\frac{b}{a}\right)$$

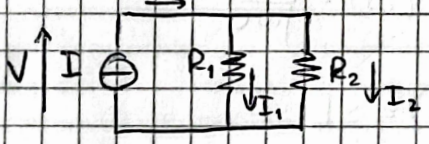
$$s = \frac{1}{a+jb}\cdot\frac{a-jb}{a-jb} = \frac{a}{a^2+b^2} - j\,\frac{b}{a^2+b^2} \Rightarrow \angle s = \phi = \arctan\left(-\frac{b}{a}\right) = -\arctan\left(\frac{b}{a}\right)$$

$$s = \prod_i \frac{1}{a_i+jb_i} = \prod_i \frac{1}{\sqrt{a_i^2+b_i^2}}\, e^{j\phi_i} = \prod_i \frac{1}{\sqrt{a_i^2+b_i^2}}\, e^{j\Phi} \quad ; \quad \Phi = \sum_i \phi_i = \sum_i \left(-\arctan\left(\frac{b_i}{a_i}\right)\right)$$



$$V = i\,(R_1+R_2) \quad ; \quad V_2 = \frac{V}{R_1+R_2}\,R_2$$

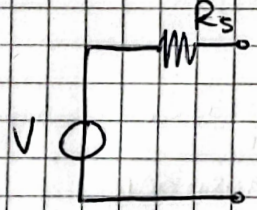
PARTITORE DI TENSIONE



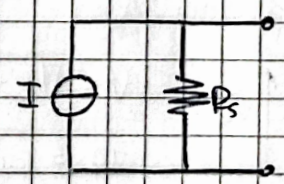
$$I = I_1 + I_2 \quad ; \quad I_2 = \frac{V}{R_2} = I\,\frac{R_1}{R_1+R_2} = I\,\frac{G_2}{G_1+G_2}$$

$$V = I\,(R_1 \| R_2) = I\,\frac{R_1R_2}{R_1+R_2}$$

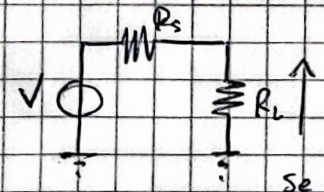
PARTITORE DI CORRENTE



GENERATORE REALE DI TENSIONE

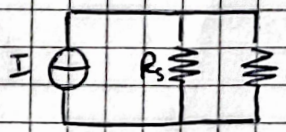


GENERATORE REALE DI CORRENTE



$$V_o = V\,\frac{R_L}{R_L+R_S}$$

se $R_L \gg R_S \Rightarrow V_o \simeq V$



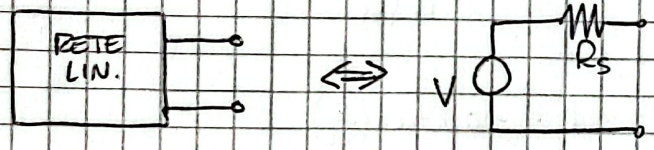
$$I_o = I\,\frac{R_S}{R_S+R_L}$$

se $R_L \ll R_S \Rightarrow I_o \simeq I$

Teoremi di Thevenin - Norton

Si applicano a reti lineari (vale la legge di sovrapposizione degli effetti) che sono formate da dispositivi con comportamenti lineari (GEN.RI DIP e NON DIP, R, L, C)

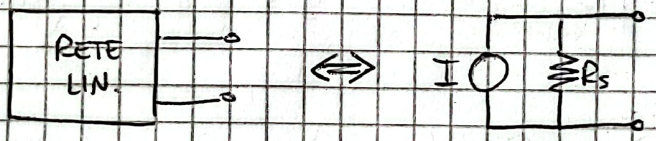
Teo di Thevenin: se abbiamo una rete lin. attiva (con gen.ri), una porta (2 nodi) può essere vista come un gen.re di V in serie a una R_S



V = tensione a vuoto

R_S = impedenza vista dalla porta dopo aver annullato i gen.ri indip.

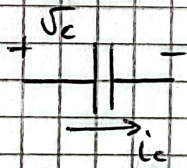
Teo di Norton: se abbiamo una rete lin. attiva, una porta può essere vista come un gen.re di I in parallelo a una R_S



I = corrente di c.c.

R_S = come in Thevenin

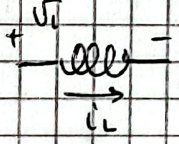
CONDENSATORE



$$i_c = C\frac{dv_c}{dt} \qquad \text{da } \frac{d}{dt}(Q = CV)$$

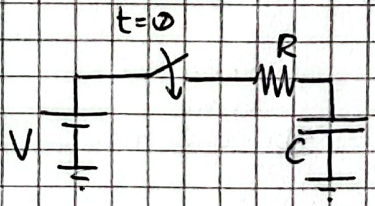
$$Z_c(s) = \frac{1}{sC} \xrightarrow{s=j\omega} Z_c(\omega) = \frac{1}{j\omega C}$$

INDUTTORE



$$v_L = L\frac{di_L}{dt} \qquad Z_L(s) = sL$$

$$Z_L(\omega) = j\omega L$$



$$V = V_R + v_c = Ri_c + v_c = RC\frac{dv_c}{dt} + v_c$$

v_c = RISP. A REGIME + RISP. IN TRANSITORIO

Eq. om. associata: $\phi = RC\lambda + 1 \Rightarrow \lambda = -\frac{1}{RC}$

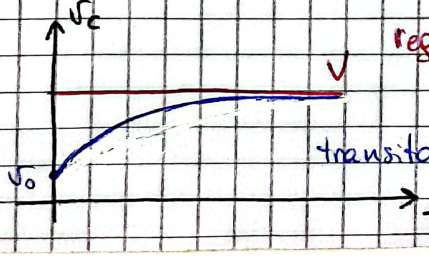
$$v_c(t) = Ae^{-t/RC} + B$$

$$v_c(\phi) = A + B = v_0$$

$$v_c(\infty) = B = v_\infty$$

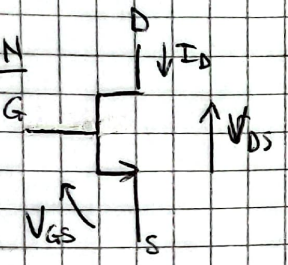
$$v_c(t) = (v_0 - v_\infty)e^{-t/RC} + v_\infty + v_0 - v_0 =$$

$$= (v_\infty - v_0)(1 - e^{-t/RC}) + v_0$$



Si può considerare esaurito il transitorio dopo $\simeq 5\tau$

MOS N

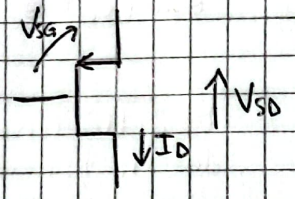


Ci sono più zone di lavoro

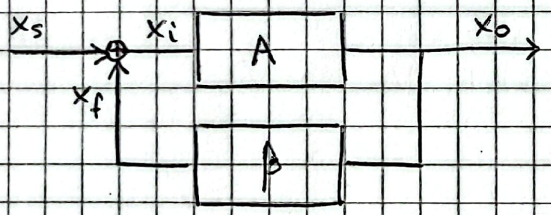
$$I_D = \begin{cases} \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_n \left(V_{GS} - V_{THn}\right)^2 \left(1 + \lambda V_{DS}\right) & \text{SATURAZIONE} \quad V_{DS} \geq V_{GS} - V_{THn} \\ \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_n \left[2\left(V_{GS} - V_{THn}\right)V_{DS} - V_{DS}^2\right] & \text{TRIODO} \quad V_{DS} < V_{GS} - V_{THn} \end{cases}$$

la capacità vista da Gate: $C_G \propto C_{ox} W L$; con $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ → costante dielettrica dell'ossido; ↳ spessore dell'ossido

MOS P



RETROAZIONE NEGATIVA



A, β sistemi lineari unidirezionali

A lo ottengo linearizzando il comportamento dell'amplificatore (*)

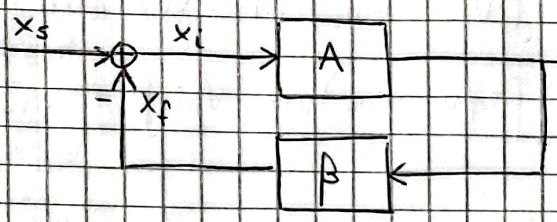
A inglobba gli effetti di carico

x_o, x_f, x_s, x_i possono essere tensioni o correnti

$$\frac{x_o}{x_s} = \frac{A}{1+\beta A}$$

$$x_f = \beta x_o = \beta A x_i = \beta A (x_s - x_f) \Rightarrow x_f = x_s \frac{\beta A}{1+\beta A} \longrightarrow x_s \quad \text{se } \beta A \gg 1$$

LEZIONE 2 - 05/03/2021



$$\frac{x_o}{x_s} = \frac{A}{1+\beta A}$$

$x_o \rightarrow \{V, I\}$

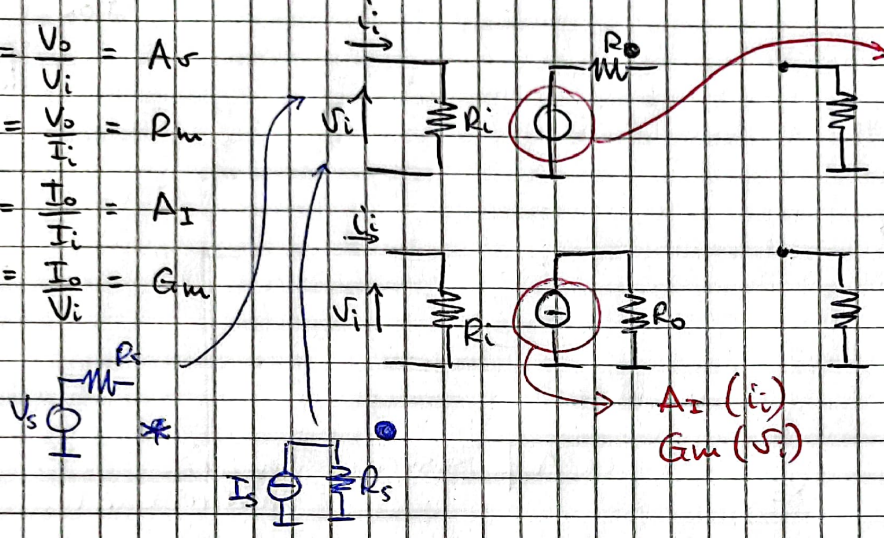
$x_s, x_i, x_f \rightarrow \{V, I\}$

Se $\frac{x_o}{x_i} = \frac{V_o}{V_i} = A_V$

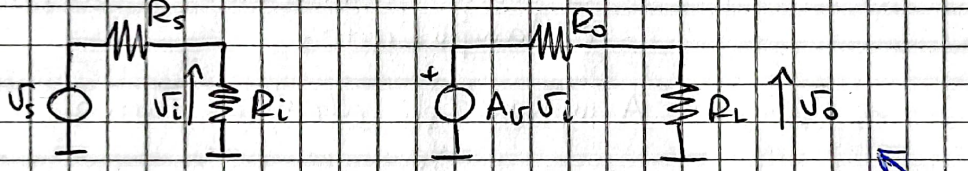
Se $\frac{x_o}{x_i} = \frac{V_o}{I_i} = R_m$

Se $\frac{x_o}{x_i} = \frac{I_o}{I_i} = A_I$

Se $\frac{x_o}{x_i} = \frac{I_o}{V_i} = G_m$



Modelli lineari dei 4 tipi di amplificatori



$$v_o = A_V v_i \frac{R_L}{R_o + R_L} = A_V \frac{R_L}{R_o + R_L} v_s \frac{R_i}{R_s + R_i}$$

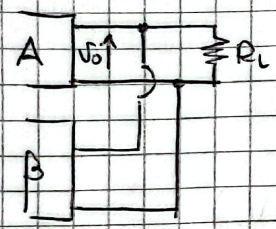
$$\Rightarrow \frac{v_o}{v_s} = A_V \frac{R_L}{R_o + R_L} \frac{R_i}{R_s + R_i}$$

$\simeq 1$ se $R_o \ll R_L$ ↓ 0

$\simeq 1$ se $R_s \ll R_i$ ↓ ∞

AMPLIF. IDEALE DI TENSIONE →

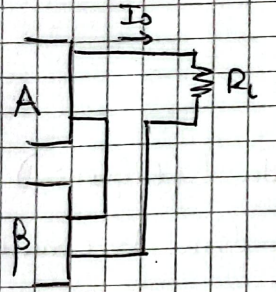
1)



PARALLELO

$x_o = V_o$

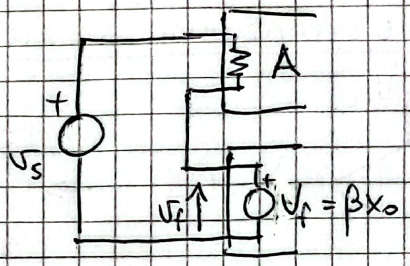
2)



SERIE

$x_o = I_o$

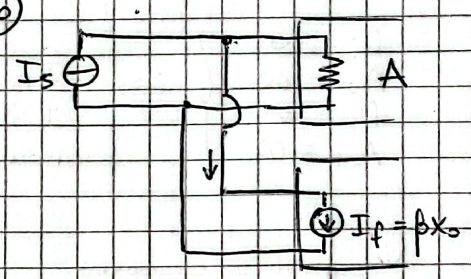
a)



SERIE

$x_f = V_f$

b)



PARALLELO

$x_f = I_f$

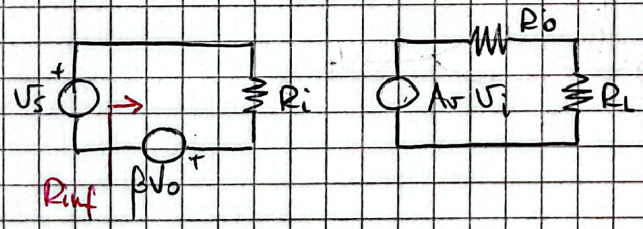
1a) RETROAZIONE SERIE - PARALLELO (A_v)

2b) " PARALLELO - SERIE (A_I)

1b) " PARALLELO - PARALLELO (R_m)

2a) " SERIE - SERIE (G_m)

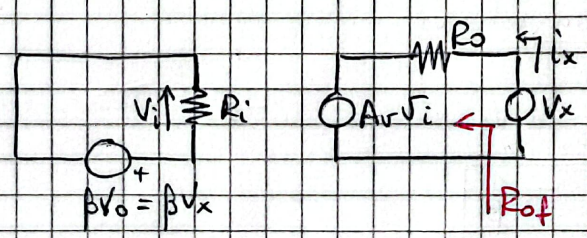
RETROAZIONE SERIE - PARALLELO (in V_f, out V_o)



$$A_V = A_v \frac{R_L}{R_o + R_L}$$

$$R_{inf} = \frac{v_s}{I_s} = \frac{R_i I_s + \beta V_o}{I_s} = \frac{R_i \cancel{I_s} + \beta A_v \overset{\cancel{I_s} R_i}{v_i} \frac{R_L}{R_o + R_L}}{\cancel{I_s}} = R_i (1 + \beta A_V)$$

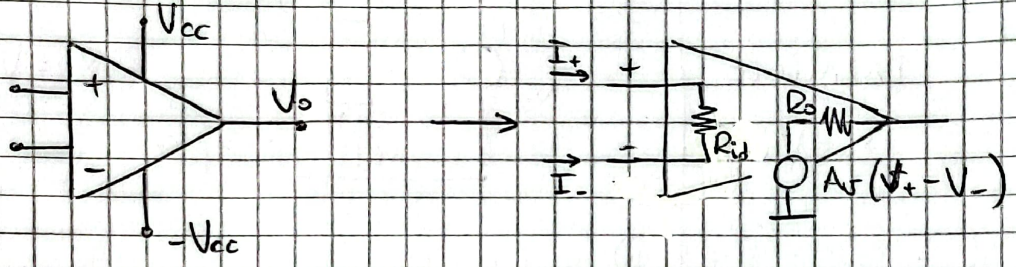
spengo gen.ri ind.ti →



$$R_{of} = \frac{V_x}{I_x} = \frac{I_x R_o + A_v v_i}{I_x} = R_o + A_v \frac{(-\beta V_x)}{I_x} = R_o - A_v \beta R_{of}$$

$$\Rightarrow R_{of} = \frac{R_o}{1 + \beta A_v}$$

AMPLIFICATORE OPERAZIONALE IDEALE

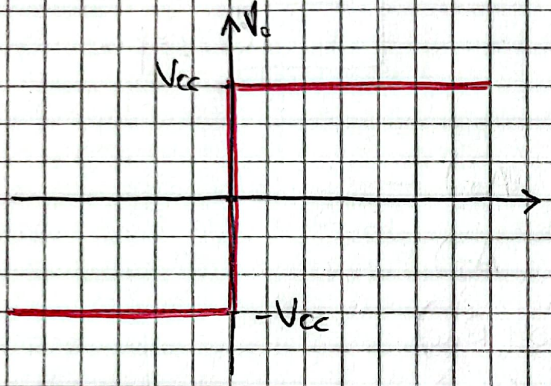


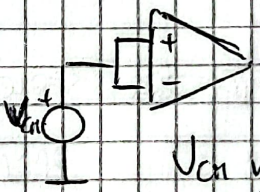
AO IDEALE: $R_i = \infty$, $A_v = \infty$, $R_o = 0$, $A_{CM} = 0$ $\Rightarrow$ $I_+, I_- = 0$

I_o non ha limiti

non c'è dipendenza da f (frequenza)

A_{CM}: guad. di modo comune

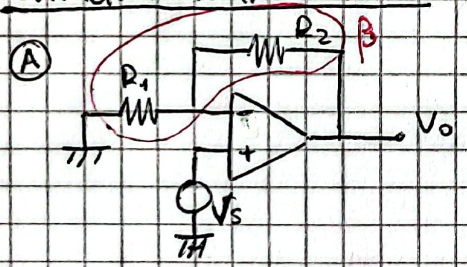




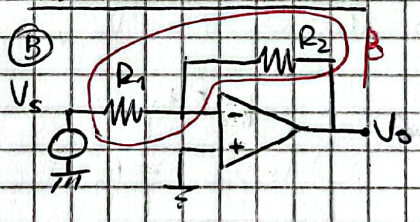
V_{cm} non ha effetto sull'uscita

$$v_o = A_v (V_+ - V_-) = A_v v_{id}$$

CONFIG. NON INVERTENTE



CONFIG. INVERTENTE



PRINCIPIO MASSE VIRTUALI: $V_+ = V_-$

$\Updownarrow$ retroazione negativa

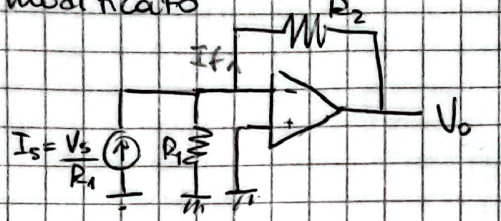
(A) $V_+ = V_s$ $\qquad V_- = V_o \cdot \beta = V_s$, $\beta = \frac{R_1}{R_1 + R_2}$

$$\boxed{\frac{V_o}{V_s} = 1 + \frac{R_2}{R_1} = \frac{1}{\beta}}$$

(B) $V_+ = 0$ $\qquad \frac{V_s - V_-}{R_1} = \frac{V_- - V_o}{R_2} \Rightarrow$

$$\boxed{\frac{V_o}{V_s} = -\frac{R_2}{R_1} = 1 - \frac{1}{\beta}}$$

Ⓑ modificato

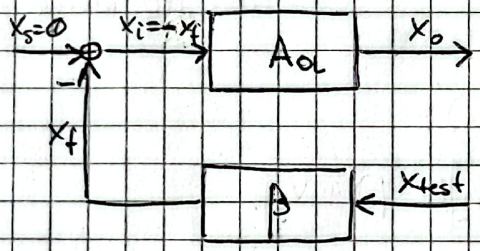


R_{OL} è "R_m" : guadagno dell'amplif. modellato come resistenza

$$\beta' = \frac{I_f}{V_o} = \frac{-\frac{V_{out}}{R_2}}{V_{out}} = -\frac{1}{R_2}$$

$$\frac{V_{out}}{I_s} = \frac{R_{OL}}{1+\beta' R_{OL}} \simeq \frac{1}{\beta'} \qquad \text{se } \beta' R_{OL} \gg 1$$

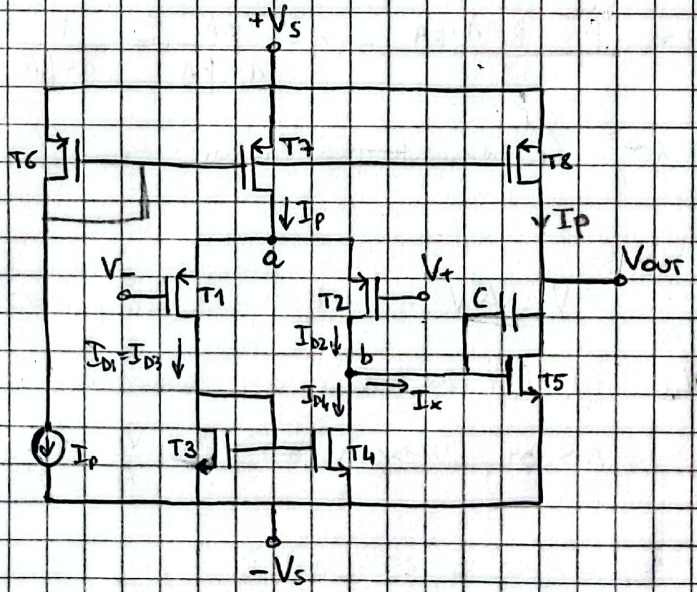
$$\frac{V_{out}}{V_s} = \frac{V_{out}}{I_s}\frac{1}{R_1} = \frac{1}{\beta'}\frac{1}{R_1} = -\frac{R_2}{R_1} = 1 - \frac{1}{\beta}$$



Schema a blocchi per valutare il guadagno ad anello

$$\beta A_{OL} = \frac{x_f}{x_{test}}\left(-\frac{x_o}{x_f}\right) = -\frac{x_o}{x_{test}}$$

AO REALE

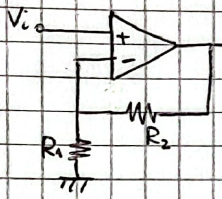


LEZIONE 1R

Amplificatore operazionale reale

* **Guadagno finito** $A \in (10^4, 10^6) = (80\,dB, 120\,dB)$

Conf. non invertente:



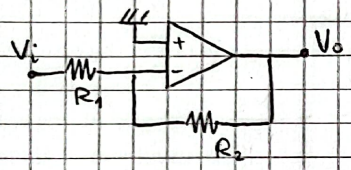
$$V_o = A(V_+ - V_-) = A\left(V_i - V_o \frac{R_1}{R_1+R_2}\right) =$$

$$= A(V_i - \beta V_o) \qquad \left[\beta = \frac{R_1}{R_1+R_2}\right]$$

$$\Rightarrow V_o(1+\beta A) = V_i A \Rightarrow \frac{V_o}{V_i} = \frac{A}{1+\beta A} = \frac{1}{\beta}\left(\frac{\beta A}{1+\beta A}\right)$$

↳ termine in più rispetto al guadagno con ao ideale

Conf. invertente:



$$V_o = A(V_+ - V_-) = A(-V_-)$$

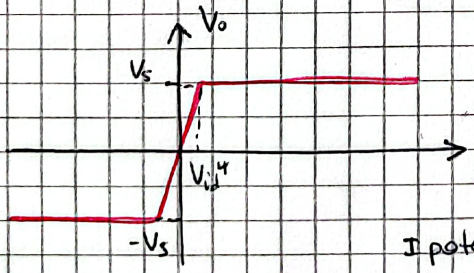
$$V_- = V_i + (V_o - V_i)\frac{R_1}{R_1+R_2} = V_i(1-\beta) + V_o\beta$$

$$\Rightarrow \frac{V_o}{V_i} = \frac{A(\beta-1)}{(1+A\beta)} = \left(1-\frac{1}{\beta}\right)\left(\frac{\beta A}{1+\beta A}\right)$$

↳ termine aggiuntivo

Errore relativo (ao non invertente): $e = \dfrac{\frac{1}{\beta} - \frac{1}{\beta}\frac{\beta A}{1+\beta A}}{\frac{1}{\beta}} = 1 - \frac{\beta A}{1+\beta A} = \frac{1}{1+\beta A}$

tipicamente l'err. relativo è $< 10^{-3}$ (raramente più grande)



$V_o = A V_{id}$ retta passante per O

$V_{id} \simeq 0$ buona approssimazione

Ipotesi $A \simeq 10^4$, $V_s \simeq 15\,V \Rightarrow V_{id}^* = \frac{V_s}{A} = \frac{15}{10^4} = 1{,}5\,mV$

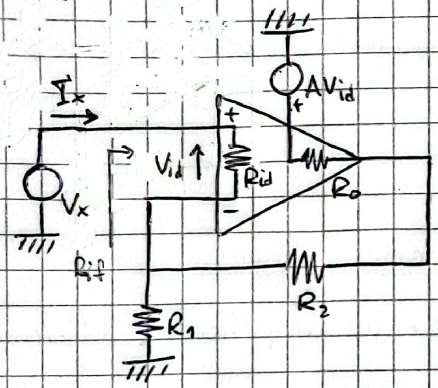
* **Resistenza di ingresso non infinita** $R_{id} \in (10^7\,\Omega, 10^{12}\,\Omega)$ (↑ BJT, ↑ MOS)

Resistenza di uscita non nulla $R_o \in (50\,\Omega, 200\,\Omega)$

Tipicamente $R_1, R_2 \in (10^3\,\Omega, 10^5\,\Omega)$ $\ll R_{id}$, $> R_o$

$R_2 \geq R_1$

Config. non invertente:



$$R_{if} = \frac{V_x}{I_x} = \frac{1}{I_x}\left(I_x R_{id} + V_-\right)$$

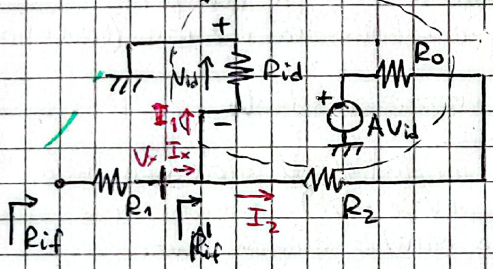
PSE: $$V_- = V_x \underbrace{\cancelto{0}{\frac{R_1 \| (R_2+R_o)}{R_{id} + R_1\|(R_2+R_o)}}}_{\text{dell'ordine al più di } R_1/R_{id} \Rightarrow \text{trascurabile}} + A I_x R_{id} \underbrace{\frac{R_1\|R_{id}}{R_1\|R_{id} + R_2 + R_o}}_{\simeq \frac{R_1}{R_1+R_2+R_o} \simeq \beta}$$

errore maggiore (fino 10%)

$$\Rightarrow R_{if} = \frac{1}{I_x}\left(I_x R_{id} + A\beta I_x R_{id}\right) = R_{id}\left(1+\beta A\right)$$

come ci aspettavamo dalla teoria della retroazione

Config. invertente:



$$R_{if} = R_1 + R'_{if}$$

$$I_x = \underbrace{\frac{V_- - AV_{id}}{R_2+R_o}}_{I_2} + \underbrace{\frac{V_-}{R_{id}}}_{I_1} =$$

$$= \frac{V_x - A(0-V_x)}{R_2+R_o} + \frac{V_x}{R_{id}} =$$

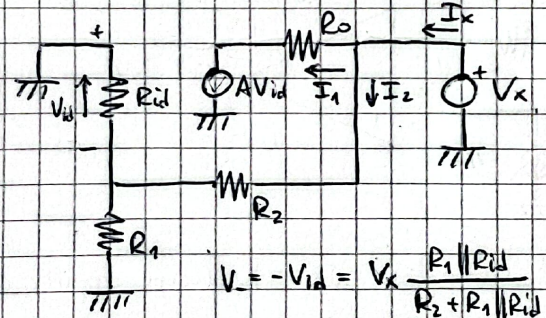
$$= V_x \frac{1+A}{R_2+R_o} + \frac{V_x}{R_{id}}$$

$$R'_{if} = \frac{V_x}{I_x} = \frac{1}{\frac{1+A}{R_2+R_o} + \frac{1}{R_{id}}} = R_{id} \,\|\, \frac{R_2+R_o}{1+A}$$

$$\Rightarrow R_{if} = R_1 + R'_{if} = R_1 + R_{id} \,\|\, \frac{R_2+R_o}{1+A}$$

termine aggiuntivo $\simeq \frac{R_2+R_o}{1+A} \simeq 0$

Config. non invertente / invertente (stesso circuito):



Spenti i gen.ri e applicato un gen.re V_x sull'uscita

$$I_x = \underbrace{\frac{V_x}{R_2 + R_1\|R_{id}}}_{I_2} + \underbrace{\frac{V_x - AV_{id}}{R_o}}_{I_1}$$

$$V_- = -V_{id} = V_x \frac{R_1\|R_{id}}{R_2 + R_1\|R_{id}} \simeq V_x \frac{R_1}{R_2+R_1} = V_x \beta$$

$$I_x \simeq \frac{V_x}{R_2+R_1} + V_x \frac{1+\beta A}{R_o} \Longrightarrow \frac{V_x}{I_x} = \frac{1}{\frac{1}{R_1+R_2} + \frac{1+\beta A}{R_o}} = \frac{R_o}{1+\beta A} \,\|\, (R_1+R_2) \simeq \frac{R_o}{1+\beta A} < 10^{-1}\,\Omega$$

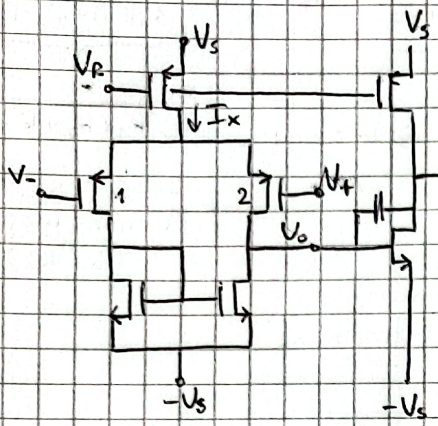
tipicamente

$R_{id} \neq \infty$, $R_o \neq 0$ $\Rightarrow$ i conti sul guadagno sono diversi (moltiplicati per $\alpha \simeq 1$)

L'err. relativo nel calcolare il guad. senza le ipotesi su R_{id} e R_o è

$ERR = 1-\alpha < 10^{-5}$ in qualunque condizione considerando i possibili valori in gioco

LEZIONE 2R



Non idealità legate allo stadio di ingresso

Stadio di ingresso si basa su un amplificatore differenziale.

V_{out}

Resistenza diff. di ingresso $R_{id} < \infty$

Quindi non si possono considerare in generale nulle le correnti entranti dai 2 terminali.
I terminali di ingresso sono anche interessati da una corrente di polarizzazione.

MOS in alto funge da gen.re di corrente che per $V_+ = V_-$ si ripartisce in maniera equa tra i 2 rami ($MOS1 = MOS2$)

$MOS1 \neq MOS2 \Rightarrow I_x$ distribuita diversamente e c'è una variazione di V_o

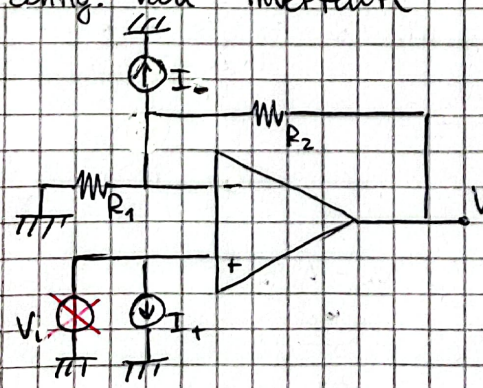
Se si cortocircuitano i 2 ingressi (V_+, V_-) per avere un uscita al valore nominale, cioè in generale a metà dinamica (pot. intermedio tra $+V_s$ e $-V_s$), avendo una diversa distribuzione di I_x sui 2 rami, cambia V_o e cambia quindi V_{out}.

Ulteriore parametro legato alla non perfetta uguaglianza della struttura di ingresso:
la TENS. DI OFF-SET DI INGRESSO V_{io} (tens. differenziale da applicare tra gli ingressi per ottenere all'uscita una V_{out} al valore nominale)

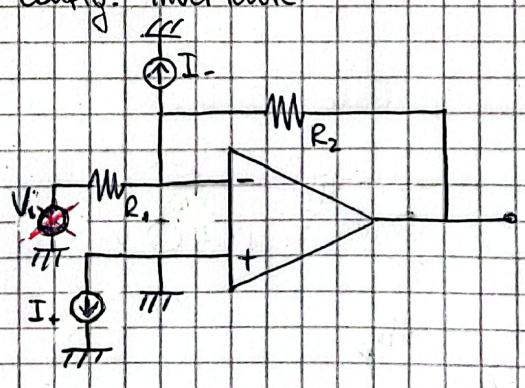
Per tener conto di tutti questi aspetti si applicano gen.ri di tens. o corr. all'ingresso dell'a.o.

Cominciamo parlando della corrente di POLARIZZAZIONE $I_B =$ $\sim 10^{-8}$ A BJT; $\sim 10^{-11}$ A JFET; $\sim 10^{-14}$ A MOS
(decine di nano A, di pico A e di femto A)

Config. non invertente

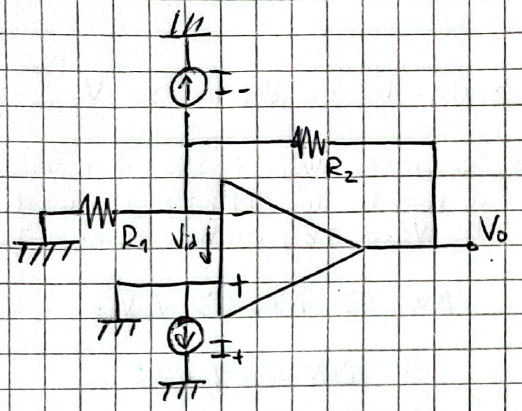


Config. invertente



L'effetto dei gen.ri di corrente I_+ e I_- sull'uscita si può studiare applicando il PSE: cortocircuitando il gen.re V_i.

Ciò che accade a causa dei gen.ri I_+, I_- è analogo nei 2 circuiti:



Il gen.re di corr. sul morsetto non invertente (+) è cortocircuitato: non avrà effetto sull'uscita.

$$I_- = -\frac{V_-}{R_1 \| R_{id}} - \frac{V_- - V_o}{R_2}$$

$$V_o = A V_{id} = A(-V_-) \Rightarrow V_- = -\frac{V_o}{A}$$

$$I_- = V_o\left(\frac{1}{A \cdot \underbrace{R_{id}\|R_1}_{\sim R_1}} + \frac{1}{AR_2} + \frac{1}{R_2}\right) = V_o\left(\frac{1}{A}\left(\frac{R_1+R_2}{R_1 R_2}\right) + \frac{1}{R_2}\right) =$$

$$= \frac{V_o}{R_2}\left(\frac{1}{A\beta} + 1\right) = \frac{V_o}{R_2}\left(\frac{1+\beta A}{\beta A}\right)$$

effetto sull'uscita di I_-

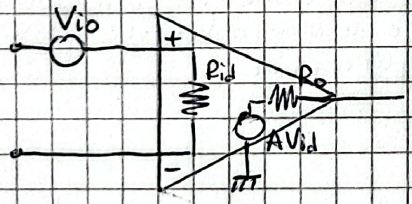
$$\Rightarrow \frac{V_o}{I_-} = R_2 \underbrace{\frac{\beta A}{1+\beta A}}_{\sim 1 \quad (A \gg 1)} \Rightarrow V_o \simeq R_2 I_- \quad \text{trans. di uscita dovuta alla corrente di polarizzazione}$$

In generale, a causa della dissimetria nello stadio di ingresso (responsabile anche della V_{io})

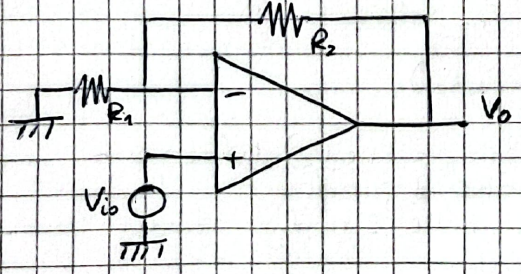
$I_+ \neq I_- \Rightarrow$ $I_B = \frac{I_+ + I_-}{2}$ CORRENTE DI POLARIZZAZIONE

$I_{io} = |I_+ - I_-|$ CORRENTE DI OFF-SET DI INGRESSO (1. ordine di grandezza inferiore rispetto a I_B)

Vediamo adesso come tener conto della TENSIONE DI OFFSET DI INGRESSO



Ciò che accade a causa di V_{io} è analogo nelle 2 configurazioni:



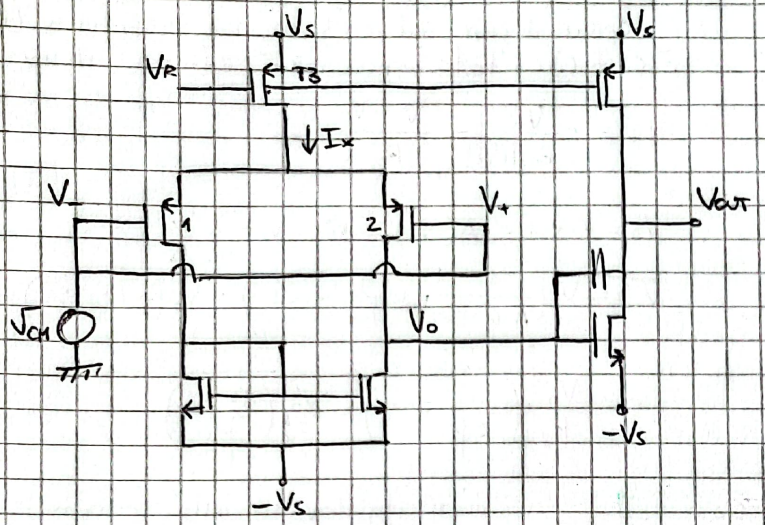
Cortocircuitando i gen.ri Vi nelle 2 config. per applicare il PSE e valutare l'effetto di V_{io} ottengo per entrambe lo stesso circuito.

$$\frac{V_o}{V_{io}} = \frac{1}{\beta}\frac{\beta A}{1+\beta A}$$

ho una config. non invert. con V_{io} al posto di V_i

Il val. tipico di V_{io} riportato sul data sheet non corrisponde al val. medio della Gaussiana, perché questo è 0, ma $V_{io} = 1\sigma \simeq (1mV - 100\mu V)$

Considerare un ingresso di modo comune coincide con il considerare un ingresso che pilota identicamente i morsetti invertente e non.



V_{CM} ha un effetto su V_o

se cresce V_{CM}, cresce il modo a monte dei T1 e T2 e quindi le V_{SD} di T3, quindi cambia I_x

$\Delta V_{CM} \Rightarrow \Delta I_x \Rightarrow \Delta V_{io}$

$\Rightarrow \Delta V_{out} = A \Delta V_{io}$

$$V_{CM} = \frac{V_+ + V_-}{2} \quad ; \quad V_{id} = V_+ - V_- \Rightarrow V_+ = V_{CM} + \frac{V_{id}}{2} \quad ; \quad V_- = V_{CM} - \frac{V_{id}}{2}$$

Supponendo di avere $A_{CM} \neq 0$ (guad. di modo comune) associato a V_{CM}

$$V_o = A V_{id} + A_{CM} V_{CM} = A \left(V_{id} + \frac{A_{CM}}{A} V_{CM} \right) \rightarrow CMRR = \left| \frac{A}{A_{CM}} \right| \sim (80dB - 120dB)$$

in continua

rapporto di reiezione di modo comune

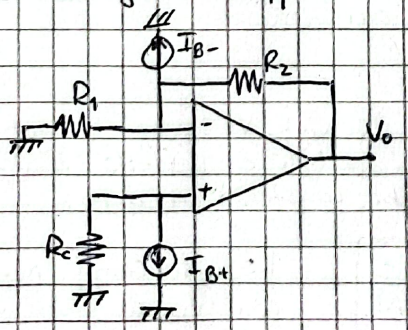
$$= A \left(V_{id} \pm \frac{V_{CM}}{CMRR} \right)$$

↑ può essere visto come un ingr. differenziale addizionale che si somma a V_{id}.

Quindi può essere trattato come V_{io} e modellato con un ulteriore gen.re in serie a V_{io} che subisce lo stesso tipo di amplificazione

LEZIONE 3R

Gli effetti dei gen.ri rappresentanti le non idealità di un AO sono indesiderati.



Si può sfruttare il gen.re I_{B+} per compensare l'effetto del gen.re I_{B-} sull'uscita.

$R_c \ll R_{id}$ $(\sim R_1, R_2)$

↓

Si può trascurare (come per R_1 e R_2) l'effetto sulle relazioni che descrivono il guadagno e la resistenza d'ingresso nelle 2 configurazioni.

$$V_+ = -I_{B+} \cdot R_c \| \underbrace{R_{id}(1+\beta A)}_{\text{res. ding. vista dal morsetto non inv. in config. non invertente}} \simeq -I_{B+} R_c$$

Effetto sull'uscita di I_{B+}: $V_o(I_{B+}) = -I_{B+} \cdot R_c \cdot \underbrace{\frac{1}{\beta} \frac{\beta A}{1+\beta A}}_{\text{guad. dell'ao in config. non invertente}} \simeq -I_{B+} R_c \frac{1}{\beta} = -I_{B+} R_c \left(1 + \frac{R_2}{R_1}\right)$

l'effetto sulle tens. d'uscita di I_{B-} sapevamo fosse: $V_o(I_{B-}) = I_{B-} \cdot R_2$ (segno opposto a $V_o(I_{B+})$)

Si può dimensionare R_c per compensare: $-I_{B+} R_c \left(1 + \frac{R_2}{R_1}\right) + I_{B-} R_2 = 0$

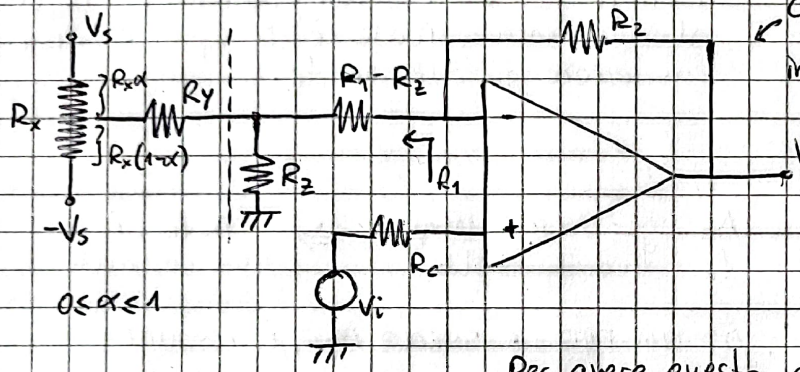
(supponendo $I_{B+} = I_{B-}$) $\Rightarrow$ $R_c = R_2 \frac{R_1}{R_2 + R_1} = R_1 \| R_2$

Questa è una buona scelta anche se $I_{B+} \neq I_{B-}$

$R_c = R_1 \| R_2 \Rightarrow V_o(I_{B+}) = -I_{B+} R_c \left(1 + \frac{R_2}{R_1}\right) = -I_{B+} R_2 \Rightarrow V_o(I_{B+}, I_{B-}) = R_2 (I_{B-} - I_{B+})$

Quindi $V_o(I_{B+}, I_{B-}) = \pm R_2 I_{io}$, I_{io} è 1 ordine di grandezza più piccolo di I_{B+}, I_{B-}, quindi l'effetto delle corr. d'pd. su V_o è comunque ridotto

Così facendo abbiamo solo parzialmente risolto il problema: in assenza del segnale V_i da amplificare avremo un'uscita differente dal val. nominale di riposo (a causa di I_{io}, V_{io}, CMRR)



Config. non invertente

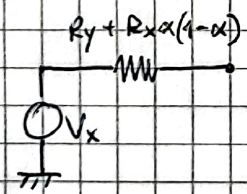
Si ha tra V_s e $-V_s$ un POTENZIOMETRO che prelevi una tensione intermedia tra V_s e $-V_s$

Noi vogliamo un guadagno pari a $\frac{1}{\beta} = 1 + \frac{R_2}{R_1}$

Per avere questo dal morsetto invertente bisogna vedere verso sinistra una resistenza R_1.

$R_y \gg R_2 \Rightarrow (R_1 - R_2) + R_2 \| \left[R_y + R_x\alpha \| R_x(1-\alpha)\right] = (R_1 - R_2) + R_2 \| \left(R_y + R_x\alpha(1-\alpha)\right) \simeq R_1$

$\frac{R_x\alpha R_x(1-\alpha)}{R_x(\alpha + 1 - \alpha)}$



Eq. di Thev. della parte a sinistra della linea tratteggiata

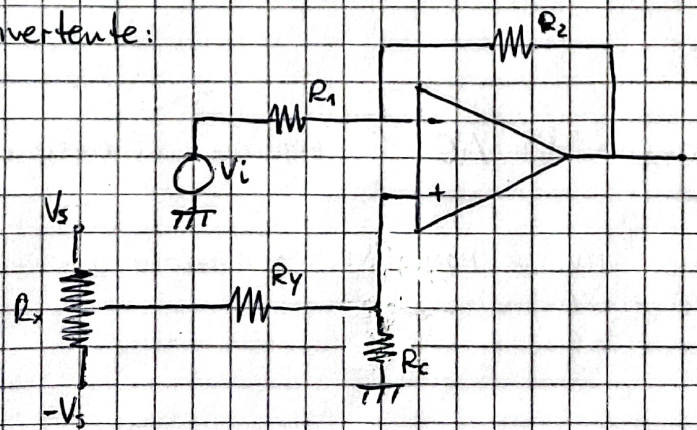
V_x intermedio tra V_s e $-V_s$

Una parte di V_x cade sul nodo in alto a dx

$V_x \frac{R_2 \| (R_1 - R_2)}{R_y + R_x\alpha(1-\alpha) + R_2 \| (R_1 - R_2)}$ (piccola)

Regoliamo il potenziometro, finché in assenza di V_i (c.c.) la V_o non assume il valore nominale di riposo.

Config. invertente:



$R_y \gg R_c$

$\Downarrow$

tensione del partitore portata al nodo a valle di R_y (morsetto -) piccola;

Resistenza vista al morsetto inv.

$R_c \| \left[R_y + R_x\alpha(1-\alpha)\right] = R_c$

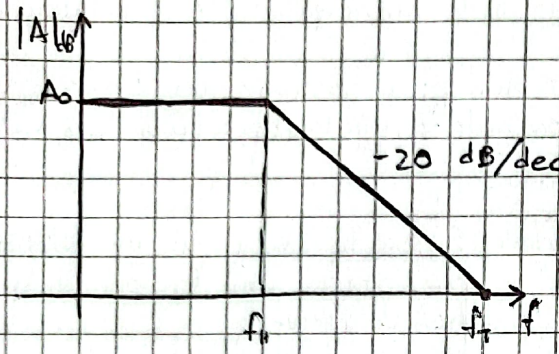
LEZIONE 4R

Assumiamo la f.d.t. dell'AO come $A = \frac{A_0}{1 + j\frac{f}{f_H}} = \frac{A_0}{1 + j\frac{\omega}{\omega_H}}$

f_H: freq. di taglio (il mod. del guad. si riduce di 3dB)

L'effetto della banda finita sull'a.o. reale è significativo (più delle altre non idealità)

$$|A| = \frac{A_0}{\sqrt{1 + \left(\frac{f}{f_H}\right)^2}} \simeq \begin{cases} A_0 & f < f_H \\ \frac{A_0 f_H}{f} & f > f_H \end{cases}$$



$|A|_{dB} = 20 \log_{10} |A|$

L'errore nell'usare il diag. asintotico rispetto al diagramma reale è sempre < 3dB, con errore di 3dB in f_H.

Per $f > f_H$ $\quad |A(f)| \cdot f = A_0 f_H$

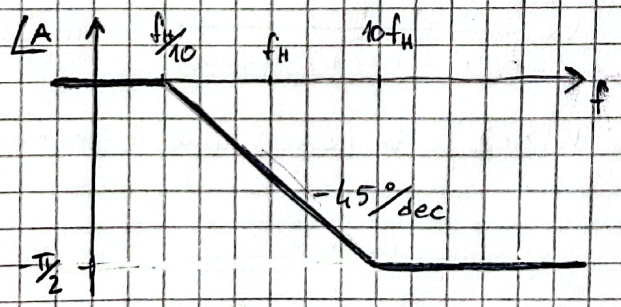
A_0: guad. in continua, f_H: freq. di taglio $\Rightarrow$ $A_0 f_H$ è una costante

IL PRODOTTO GUAD.-LARGHEZZA DI BANDA, PER UNA FUNZ. A SINGOLO POLO, È COSTANTE

f_T: $|A(f_T)| = 1 \Rightarrow f_T = A_0 f_H$ parametro in datasheet dell'operazionale

↑ GBW (gain-BandWidth Product) $\sim 1\,MHz - 100\,MHz$

$$\angle A = -\arctg\left(\frac{f}{f_H}\right) \simeq \begin{cases} 0 & f < f_H/10 \\ -\frac{\pi}{4}\left(\log_{10}\frac{f}{f_H} + 1\right) & \frac{f_H}{10} < f < 10 f_H \\ -\frac{\pi}{2} & f > 10 f_H \end{cases}$$



Errore max utilizzando il diag. asintotico è di $\simeq \pi/30$ in corrispondenza dei punti di rottura ($f_H/10$ e $10 f_H$)

Le considerazioni fatte finora sul guadagno dell'AO si attenuano al crescere della frequenza ($f > f_H$).

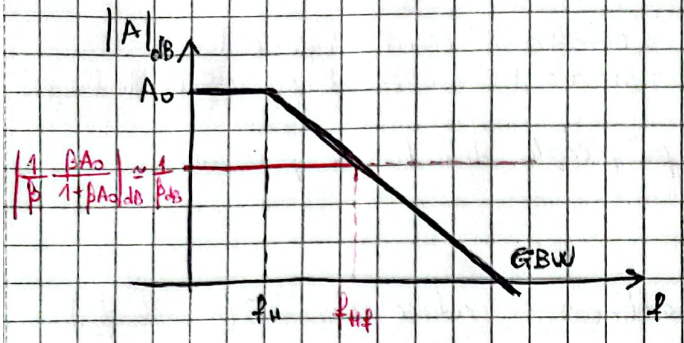
Valutiamo il guadagno delle config. INV. e NON INV. quando consideriamo il variare della frequenza e la banda finita.

CONFIG. NON INVERTENTE:

$$A_f = \frac{1}{\beta}\frac{\beta A}{1+\beta A} = \frac{1}{\beta}\frac{\frac{\beta A_0}{1+j f/f_H}}{1+\beta\frac{A_0}{1+jf/f_H}} = \frac{1}{\beta}\frac{\beta A_0}{1+j\frac{f}{f_H}+\beta A_0} = \frac{1}{\beta}\frac{\beta A_0}{1+\beta A_0}\frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}}$$

polo aggiuntivo spostato in avanti di $1+\beta A_0$ rispetto a f_H

Ipotesi $\beta A_0 \gg 1 \Rightarrow A_f = \frac{1}{\beta}\frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}}$



$$f_{Hf} = f_H(1+\beta A_0)$$

$f > f_{Hf}$: $|A_f(f)| \cdot f = A_{0f} \cdot f_{Hf}$

$$A_{0f} = \frac{1}{\beta}\frac{\beta A_0}{1+\beta A_0} \Rightarrow A_{0f}\cdot f_{Hf} = \frac{1}{\beta}\frac{\beta A_0}{1+\beta A_0} f_H(1+\beta A_0) = A_0 f_H$$

$$f_{Hf} = f_H(1+\beta A_0)$$

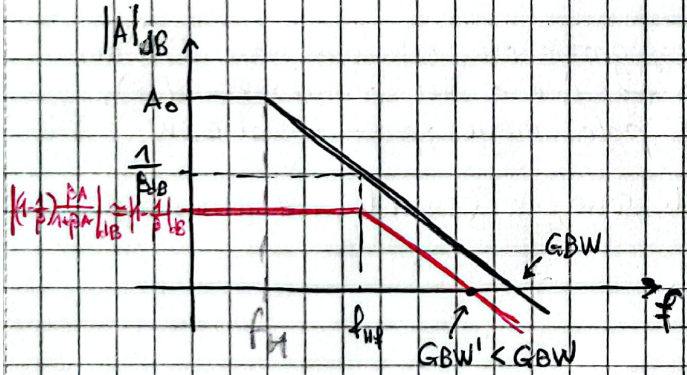
quindi per $f > f_{Hf}$ le due curve coincidono

CONFIG. INVERTENTE:

$$A_f = \left(1-\frac{1}{\beta}\right)\frac{\beta A}{1+\beta A} = \left(1-\frac{1}{\beta}\right)\frac{\beta A_0}{1+\beta A_0}\frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}}$$

↳ polo aggiuntivo spostato in avanti di $1+\beta A_0$ rispetto a f_H

$$f_{Hf} = f_H(1+\beta A_0)$$



GBW: prod. guad. - larg. banda ao ad anello aperto e ampl. non invertente

GBW': prod. guad.-larg. banda dell'ampl. invertente

$$GBW' = \left|1-\frac{1}{\beta}\right|\frac{\beta A_0}{1+\beta A_0} f_H(1+\beta A_0) = |\beta-1|\, A_0 f_H$$

LEZIONE 5R

Studiamo cosa succede ponendo in cascata più ampl. operazionali

Se gli AO sono ideali, la fdT delle cascata è $A_{f_{TOT}}(f) = \prod_{i=1}^{N} A_{f_i}(f) = \prod_{i=1}^{N} \frac{A_{oi}}{1+j\frac{f}{f_{HFi}}}$

Se gli AO non sono ideali: $A_{f_{TOT}}(f) \cong \prod_{i=1}^{N} A_{f_i}(f) \cong \prod_{i=1}^{N} \frac{A_{oi}}{1+j\frac{f}{f_{HFi}}}$

Ciò vale se $R_{oi} \ll R_{i+1}$, per poter trascurare l'effetto di carico che si ha collegando l'uscita dello stadio i-esimo all'ingresso dello stadio

La banda passante complessiva sarà minore della più piccola delle bande passanti:

$$|A_{f_{TOT}}(f_{HF_{TOT}})| = \left|\prod_{i=1}^{N} A_{oi}\right| \cdot \frac{1}{\sqrt{2}}$$

la banda passante si trova quando il guad. in continua si riduce di 3dB (quindi $\frac{1}{\sqrt{2}}$)

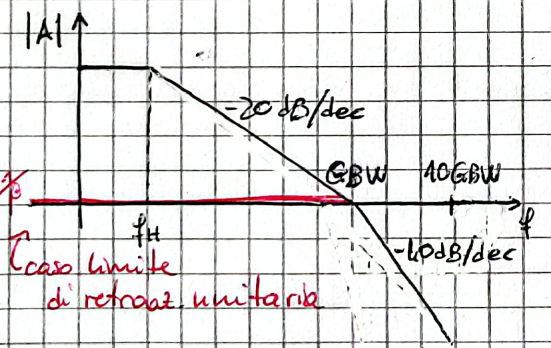
Questo conto si semplifica se pongo in cascata stadi identici:

$$A_{f_{TOT}}(f) = \left(\frac{A_0}{1+j\frac{f}{f_{HF}}}\right)^N \Rightarrow f_{HF_{TOT}}: \frac{|A_0|^N}{\left[1+\left(\frac{f_{HF_{TOT}}}{f_{HFi}}\right)^2\right]^{N/2}} = \frac{|A_0|^N}{\sqrt{2}}$$

$$2 = \left[1+\left(\frac{f_{HF_{TOT}}}{f_{HF}}\right)^2\right]^N \Rightarrow \sqrt{2^{1/N}-1} = \frac{f_{HF_{TOT}}}{f_{HF}} \Rightarrow f_{HF_{TOT}} = f_{HF}\underbrace{\sqrt{2^{1/N}-1}}_{<1}$$

aspetto

Precisiamo adesso qualche riguardo gli effetti della BANDA FINITA



In generale, grazie alla compensazione di Miller (C a cavallo tra i e o del secondo stadio), il secondo polo viene spostato al GBW

Ulteriori poli sono, in generale, ad almeno 10 GBW

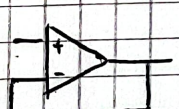
Se si applica una retroaz. di tipo resistivo ad un ampl. con questa risp. in freq., l'ampl. è stabile e ha un margine di fase rilevante.

Per studiare la stabilità di un ampl. retroazionato si può studiare il guad. d'anello:

$f_0: \quad |\beta A| = 1 \Rightarrow \angle\beta A = 180° \Rightarrow$ stabilità marginale

Più f t.c. $|\beta A|=1$ si sposta a dx e maggiore è la rotazione di fase che l'ampl. sperimenta.

Quindi la situazione peggiore si ha quando la retroazione è unitaria



caso limite con $R_2=0 \Rightarrow V_0 = V_i \Rightarrow A = 1$

mancano 45° per la cond. limite

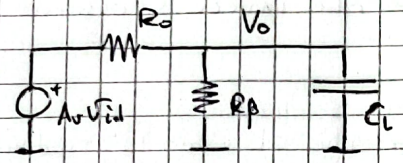
Sfasamento che sperimenta βA: -90° per f_H e -45° per GBW $\Rightarrow$ complessivamente -135°

Quindi se ho RETR. RESISTIVA UNITARIA, secondo polo in GBW e poli succ. a 10GBW

$\Rightarrow$ MARGINE DI FASE $\phi_m = 45°$ nel caso peggiore

In realtà si può trovare cond. in cui si realizza un amplificatore con rete di retroaz. puramente resistiva, si monta e si scopre che l'ampl. oscilla.
Può capitare, in particolare, quando si pilota un carico capacitivo, che in unione con la R_o finita e l'effetto di carico della rete β crea un polo aggiuntivo che si somma a quello del guadagno.

Sezione di uscita:



Se ho un condensatore in uscita, ho V_o come uscita di un filtro passa-basso dato da R_o in serie a $R_\beta \| C_L$

$$Z = R_\beta \| C_L = R_\beta \| \frac{1}{j\omega C_L} = \frac{R_\beta}{1+j\omega C_L R_\beta}$$

$$\Rightarrow V_o = A_v V_{id} \frac{Z}{R_o + Z} = A_v V_{id} \frac{R_\beta}{R_o(1+j\omega C_L R_\beta) + R_\beta} = A_v V_{id} \frac{R_\beta}{R_o + R_\beta} \frac{1}{1+j\omega C_L \frac{R_\beta R_o}{R_o + R_\beta}}$$

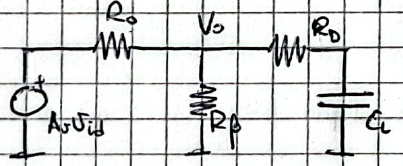
↑ quad. diff. dip. da β, con comportamento a singolo polo

↑ nuovo polo: $\frac{1}{2\pi C_L R_o \| R_\beta}$ che introduce uno sfasamento aggiuntivo

Più grande il problema più il polo aggiuntivo è in bassa frequenza.

In $R_o \| R_\beta$ è dominante R_o $\Rightarrow$ polo aggiuntivo $\simeq \frac{1}{2\pi C_L R_o}$

Come evitare problemi di questo tipo: inserendo in serie all'uscita dell'operazionale prima del carico capacitivo una resistenza di disaccoppiamento



$$Z = R_D + \frac{1}{j\omega C_L} = \frac{1+j\omega C_L R_D}{j\omega C_L}$$

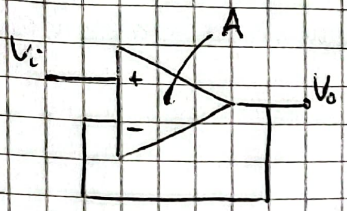
$$Z' = R_\beta \| Z = \frac{R_\beta(1+j\omega C_L R_D)}{j\omega C_L R_\beta + 1 + j\omega C_L R_D} = \frac{R_\beta(1+j\omega C_L R_D)}{1+j\omega C_L(R_\beta + R_D)}$$

$$V_o = A_v V_{id} \frac{Z'}{R_o + Z'} = A_v V_{id} \frac{R_\beta(1+j\omega C_L R_D)}{R_o + j\omega C_L(R_\beta + R_D)R_o + R_\beta + j\omega C_L R_D R_\beta} =$$

$$= A_v V_{id} \frac{R_\beta}{R_o + R_\beta} \frac{1+j\omega C_L R_D}{1+j\omega C_L \frac{(R_\beta + R_D)R_o + R_D R_\beta}{R_\beta + R_o}}$$

$$\frac{R_o R_\beta + R_o R_D + R_D R_\beta}{R_\beta + R_D} = \frac{R_D(R_\beta + R_o)}{R_\beta + R_o} + \frac{R_\beta R_o}{R_\beta + R_o} = R_D + R_o \| R_\beta \simeq R_D + R_o$$

Quindi si ha uno zero in $\frac{1}{2\pi C_L R_D}$ e un polo $\frac{1}{2\pi C_L(R_D + R_o)}$, che sono abbastanza vicini per compensarsi parzialmente e permettere di non perdere fase in modo tale da rendere instabile l'amplificatore.



$$V_o = A(V_+ - V_-) = A(V_i - V_o) \Rightarrow V_o(1+A) = A V_i$$

$$\frac{V_o}{V_i} = \frac{A}{1+A} \qquad (\beta = 1)$$

Se si applica una V_i così fatta nel dom. del tempo:

ci aspetteremmo, osservando l'uscita di un sist. con guad. a singolo polo $\left(A(f) = \frac{A_0}{1+jf/f_H}\right)$, una risposta come quella disegnata in rosso. Ciò che invece si osserva in generale è una variazione lineare con il tempo di V_o.

Questo fatto si spiega guardando il circuito di un ao reale.
T2 può essere considerato un gen.re ideale di corr. I_D, che al nodo 'a' si divide, a riposo, equamente nei 2 rami. A causa dello specchio di corr. tra T3 e T4, le 2 correnti di drain sono uguali, quindi la corr. di drain di T_4 specchia la corr. di drain di T1.
Al nodo 'b' ho $I_{D2} = I_{D4} + I_x$. $I_x = 0$ se $I_{D2} = I_{D1}$.
I_{D1} e I_{D2} hanno max I_D, quindi anche $I_x = I_{D2} - I_{D4} = I_{D2} - I_{D1}$ ha max I_D.
Di fronte di una variazione brusca di 1 dei 2 ingressi (V_- e V_+), ad esempio V_- connesso all'uscita, perché il nodo V_{out} possa variare devo caricare o scaricare C, che si può caricare al più con corr. I_D costante. Un C che si carica a corr. cost. varia in uscita linearmente.
Quindi l'origine del fenomeno prima citato riguardo la V_o può essere riportato alla carica e scarica di C con corr. max uguale a I_D.
Se si arriva ad avere $I_x = I_D$, il segnale di uscita sarà in generale distorto.

C'è un parametro che tiene conto di queste limitazioni: **SLEW RATE** (SR)

L'SR è def. come la max velocità con cui può variare l'uscita dell'a.o.

$$SR = \left|\frac{dV_{out}(t)}{dt}\right|_{MAX} \sim 100\ mV/\mu s \div 10\ V/\mu s$$

Un oggetto che ha un lim. di var. di V_o ponga dei limiti (per non avere distorsione) tra ampiezza e freq. del segnale in uscita:

$$V_o(t) = V_o \sin(2\pi f_o t)$$

$$\left|\frac{dV_o(t)}{dt}\right|_{MAX} = \left|V_o \cos(2\pi f_o t)\, 2\pi f_o\right|_{MAX} = V_o\, 2\pi f_o \leq SR$$

Quindi dato V_o, si ha $f_{o_{MAX}} = \frac{SR}{2\pi V_o}$ per non avere distorsione

Analogamente, data f_o, si ha $V_{o_{MAX}} = \frac{SR}{2\pi f_o}$.

Quando V_o è pari alla tensione di fondo scala si ha

$$V_o = V_S \Rightarrow f_{o_{MAX}} = \frac{SR}{2\pi V_S}$$ **BANDA A PIENA POTENZA**

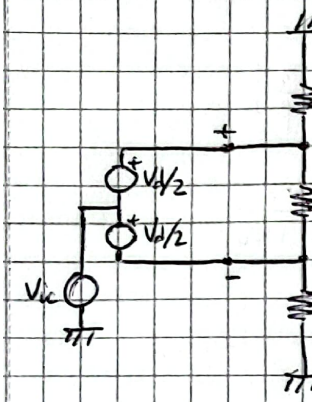
Lo SR viene def. in funzionamento per larghi segnali, con V_{OUT} che copre tutta la dinamica del segnale ($-V_S \div V_S$).
La limitazione imposta dallo SR non interviene se consideriamo il funzionamento per piccoli segnali (LINEARE).

Nella conf. con $\beta=1$, la cond. sull'ampiezza max in uscita si traduce direttamente sull'ampiezza max in entrata.

Se la config. prevede che l'ampl. abbia un guad. >1, si ha che

$$V_{o_{MAX}} = \frac{SR}{2\pi f_0} \Longrightarrow V_{i_{MAX}} = \frac{V_{o_{MAX}}}{|A_f(f_0)|}$$

Abbiamo sempre parlato di resistenza differenziale d'ingresso (R_{id}), in realtà il modello utilizzabile può essere leggermente più complicato:



R_{id} tra i 2 morsetti in presenza di un segn. differenziale quando sono sconnessi da massa (tutto il ramo di V_{ic})

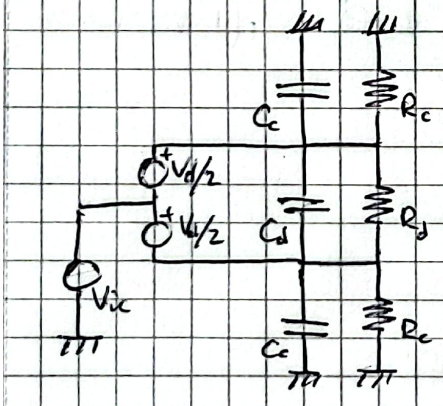
$$R_{id} = R_d \parallel 2R_c \simeq R_d$$

Parametro che si può trovare sui datasheet è la res. di ingresso R_i vista tra uno dei 2 ingressi e massa quando l'altro è cortocircuitato.

$$R_i = R_d \parallel R_c$$

$R_{ic} = R_c \parallel R_c \simeq R_c/2$ (resistenza che vede il gen.re di modo comune V_{ic} in assenza di segnale differenziale)

Questo modello si può ulteriormente complicare, inserendo un effetto capacitivo



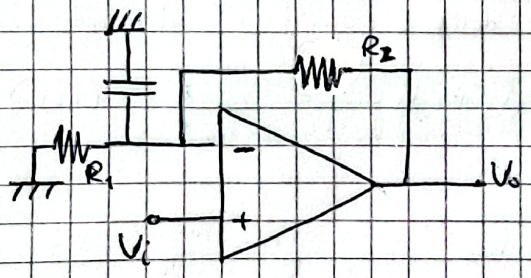
$C_c, C_d \sim 1\,pF$

$C_{id} = C_d \parallel \frac{C_c}{2}$

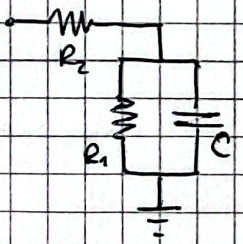
↳ serie di C_c e C_c

$C_i = C_c \parallel C_d$

$C_{ic} = C_c \parallel C_c$



La capacità costituisce una Z verso massa con R_1 e determina con R_2 il partitore con cui riporto βV_o al morsetto invertente



Questo circuito si comporta da filtro passa basso.

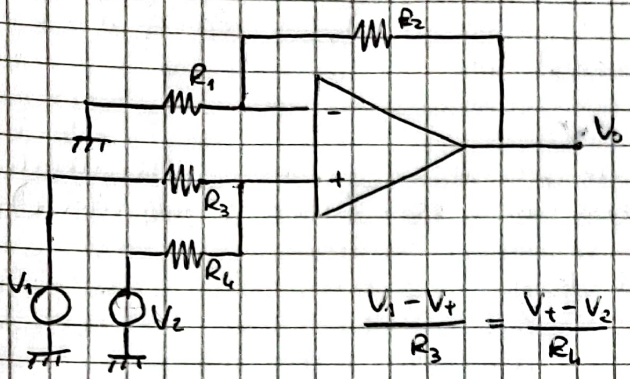
Se R_2 è grande il polo introdotto dalla rete di retroazione (non voluto!) può limitare il margine di fase dell'amplificatore.

LEZIONE 6R

Applicazione dell'amplificatore operazionale

SOMMATORE / SOTTRATTORE

Sommatore: $V_o(t) = \alpha_1 V_1(t) + \alpha_2 V_2(t)$, con $\alpha_1, \alpha_2 \in \mathbb{R}^+$ (non inv.) o $\in \mathbb{R}^-$ (inv.) (concordi)



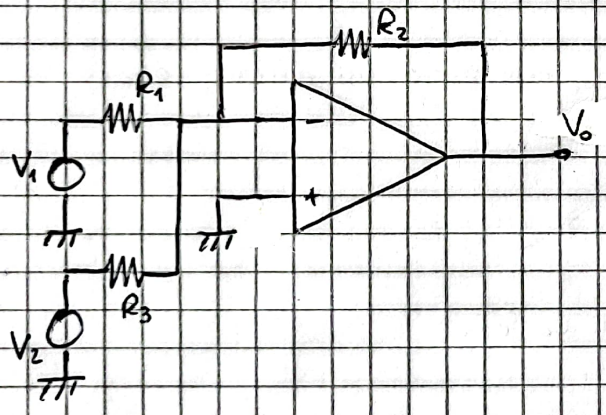
Config. non invertente.

Supponiamo valido il p. delle masse virtuali

$$V_o(t) = V_+(t)\left(1 + \frac{R_2}{R_1}\right) \qquad \left[V_+ \frac{1}{\beta}\right]$$

$$\frac{V_1 - V_+}{R_3} = \frac{V_+ - V_2}{R_4} \Rightarrow V_+(t) = V_1(t)\frac{R_4}{R_3+R_4} + V_2(t)\frac{R_3}{R_3+R_4}$$

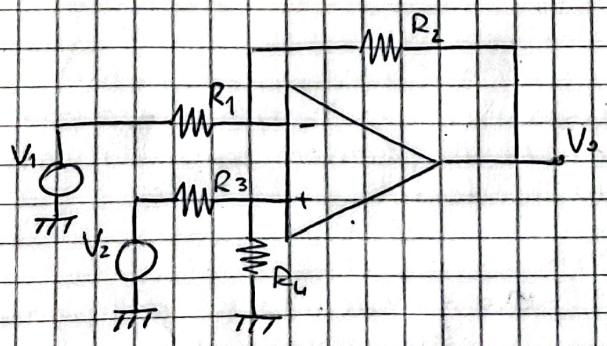
$$V_o(t) = \alpha_1 V_1(t) + \alpha_2 V_2(t), \text{ con } \alpha_1 = \frac{R_4}{R_3+R_4}\cdot\frac{R_2+R_1}{R_2}, \quad \alpha_2 = \frac{R_3}{R_3+R_4}\cdot\frac{R_2+R_1}{R_2}$$



Config. invertente.

$$V_o(t) = -\underbrace{\frac{R_2}{R_1}}_{\alpha_1<0} V_1(t) - \underbrace{\frac{R_2}{R_3}}_{\alpha_2<0} V_2(t) \qquad (\text{p.m.v.: } V_+ = V_- = 0)$$

Sottrattore: $V_o(t) = \alpha_1 V_1(t) - \alpha_2 V_2(t)$ $\alpha_1, \alpha_2 \in \mathbb{R}^+$



Combinazione delle 2 config. di sommatore.

$$V_o(t) = -\frac{R_2}{R_1} V_1 + V_2 \frac{R_4}{R_3+R_4}\cdot\frac{R_2+R_1}{R_1} \qquad (\text{PSE})$$

V_2 c.c. conf. inv. — V_1 c.c. conf. non inv. con $V_+ = V_2 \frac{R_4}{R_3+R_4}$

con $\alpha_2 = \frac{R_2}{R_1}$ e $\alpha_1 = \frac{R_4}{R_3+R_4}(1+\alpha_2)$

$\frac{R_4}{R_3+R_4} < 1 \Rightarrow$ config. utilizzabile se $\alpha_1 < \alpha_2 + 1$

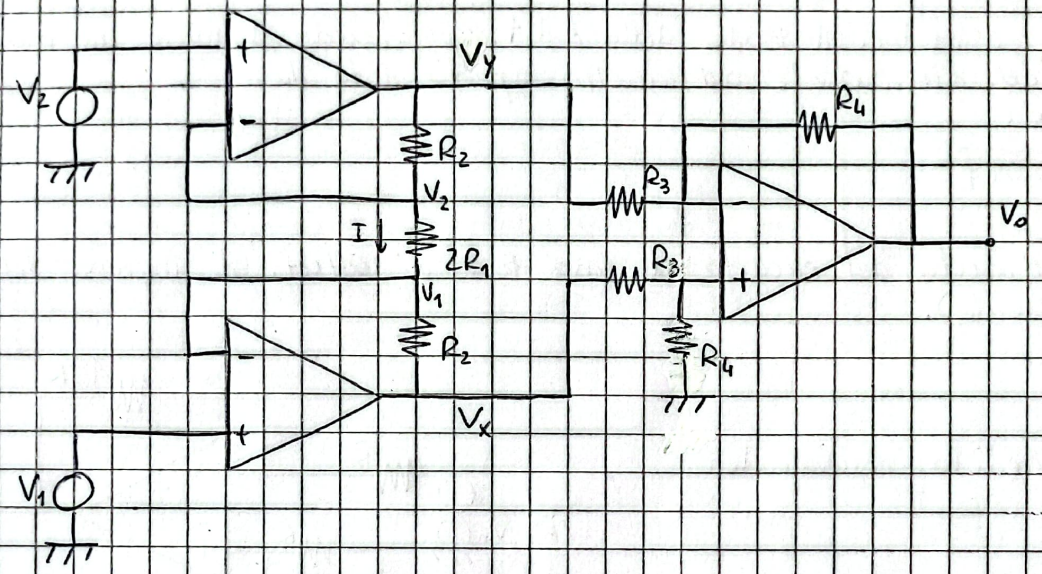
Se poniamo $R_4 = R_2$, $R_3 = R_1 \Rightarrow V_o(t) = \frac{R_2}{R_1}(V_2 - V_1)$

Si ha amplificazione per lo stesso fattore della differenza di 2 segnali.

Ma non è la migliore soluzione per ottenere questo, perché le 2 sorgenti vedono resistenza diversa (V_2 vede R_3+R_4 e V_1 vede R_4)
Non c'è un perfetto bilanciamento se si considera la non idealità dei gen.ri (res. interna).

Per amplificare la diff. di 2 segnali, si utilizza un circuito più complesso.

AMPLIFICATORE PER STRUMENTAZIONE



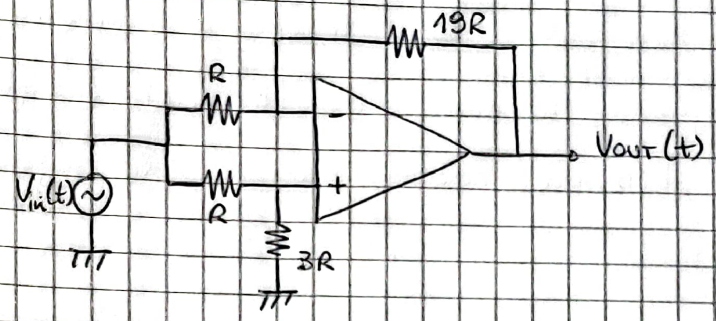
$$V_o = \frac{R_4}{R_3}(V_x - V_y)$$

$$I = \frac{V_2 - V_1}{2R_1}, \qquad V_y - V_x = I(2R_2 + 2R_1) = (V_2 - V_1)\frac{2R_2 + 2R_1}{2R_1} = (V_2 - V_1)\left(1 + \frac{R_2}{R_1}\right)$$

$$V_o = \left(1 + \frac{R_2}{R_1}\right)\frac{R_4}{R_3}(V_1 - V_2)$$

Il vantaggio è che V_1 e V_2 vedono la stessa impedenza d'ingresso, in più ha un rapp. di reiezione di modo comune (CMRR) estremamente elevato

Esercizio 1 - 11/09/2018



a) Det. la f.d.t. supponendo ideale l'a.o

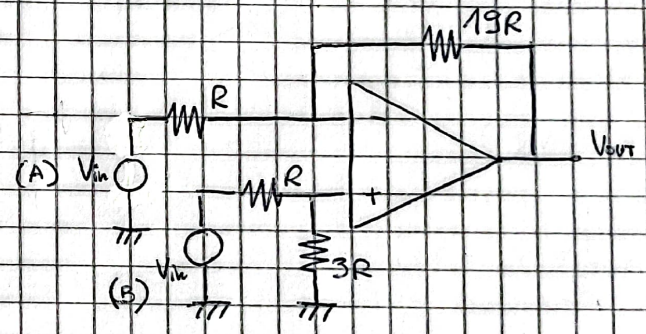
b) Tracciare i diag. asintotici di Bode della f.d.t. supponendo di usare un a.o. ideale a meno del guad. differenziale ad anello aperto dato da:

$$A(f) = \frac{10^5}{1 + j\,0.01\,f}$$

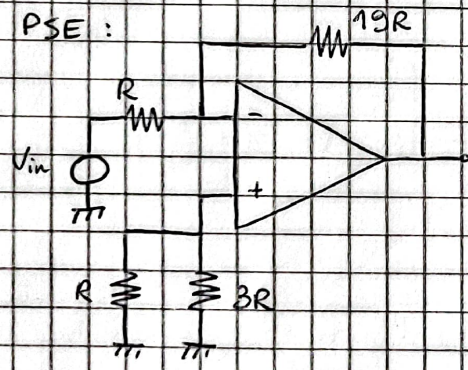
c) Det. l'effetto sull'uscita del circuito di una tens. di offset. di ingresso dell'a.o. di 1mV (a.o. ideale).

Soluzione:

a) Disegno un circuito equivalente:

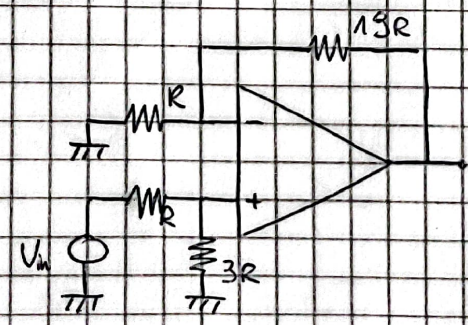


PSE:



$$V_{OUT}^{(A)} = V_{in}\left(-\frac{19R}{R}\right) = -19\,V_{in}$$

↑ morsetto non inv. è a massa ($I=0$) ⇒ config. inv. : $-\frac{R_2}{R_1} = -\frac{19R}{R}$



$$V_{OUT}^{(B)} = V_+\left(1 + \frac{19R}{R}\right) = V_{in}\left(\frac{3R}{4R}\right)\left(1 + \frac{19R}{R}\right) = V_{in}\,\frac{3}{4}\cdot 20 = 15\,V_{in}$$

↑ considero V_+ generale e una config. non inv.

$$\Rightarrow V_{OUT} = V_{OUT}^{(A)} + V_{OUT}^{(B)} = -19\,V_{in} + 15\,V_{in} = -4\,V_{in}$$

b) $V_{OUT}^{(A)} = \left(1 - \frac{1}{\beta}\right) \frac{\beta A_0}{1+\beta A_0} \cdot \frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}} V_{in}$

$V_{OUT}^{(B)} = \frac{1}{\beta} \frac{\beta A_0}{1+\beta A_0} \frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}} \cdot \frac{3}{4} V_{in}$

$V_{OUT} = V_{OUT}^{(A)} + V_{OUT}^{(B)} = \left(1 - \frac{1}{\beta} + \frac{3}{4\beta}\right) \frac{\beta A_0}{1+\beta A_0} \frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}} V_{in}$

$\beta = \frac{1}{20} \Rightarrow 1 - 20 + 15 = -4$

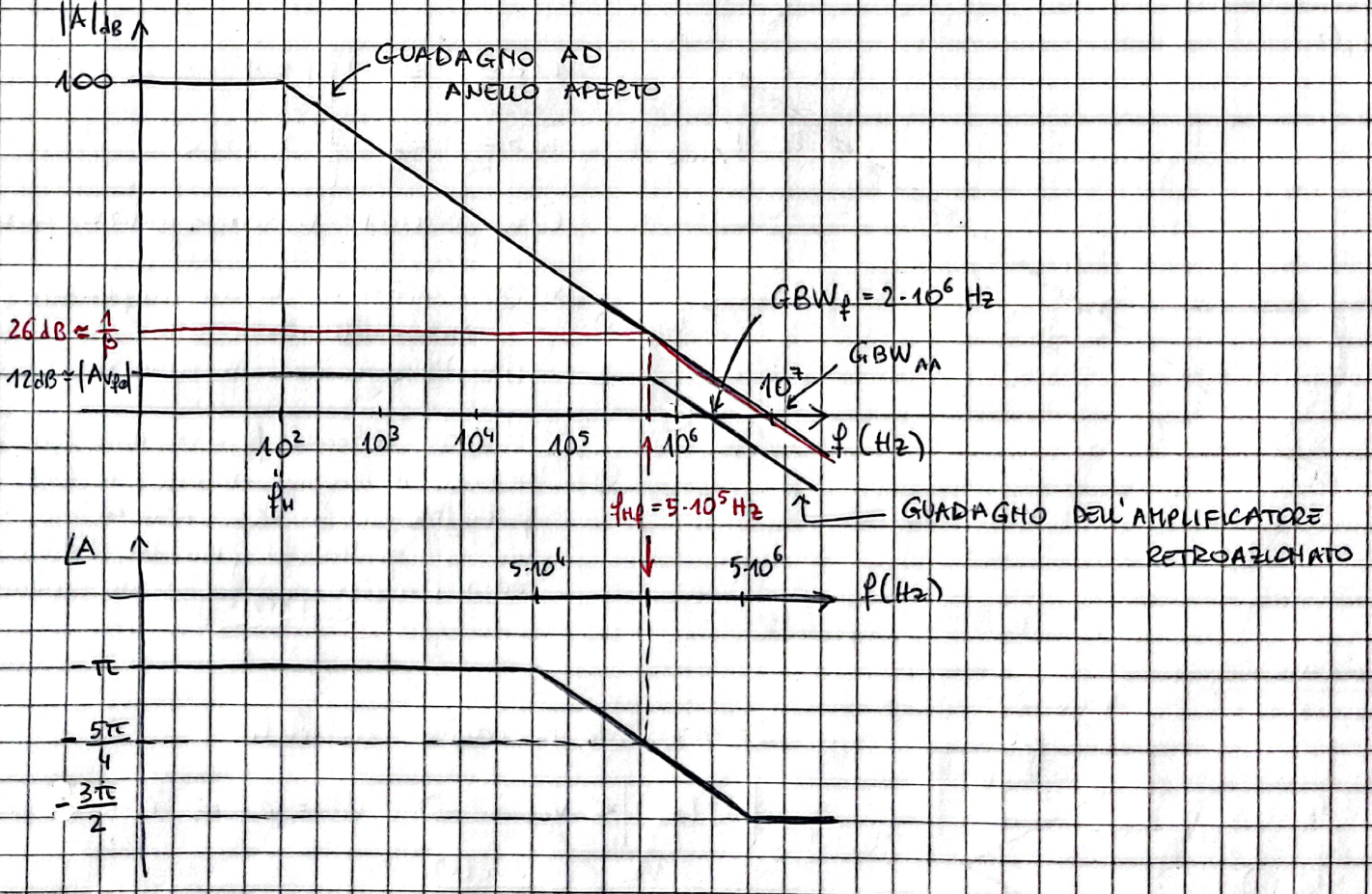
$\frac{V_{OUT}}{V_{IN}} = -4 \underbrace{\frac{\beta A_0}{1+\beta A_0}}_{A_{V\beta_0}} \frac{1}{1+j\frac{f}{f_H(1+\beta A_0)}}$

Abbiamo $\beta = \frac{1}{20}$, $A_0 = 10^5$ e $f_H = 100\,Hz$

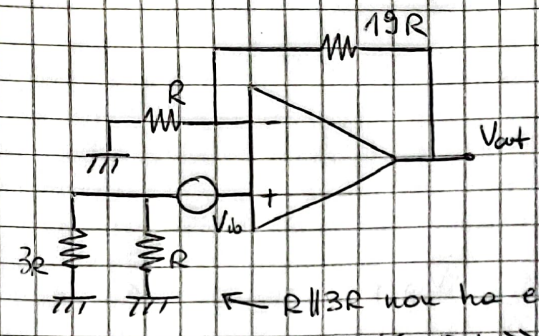
Per $f > f_{Hf} = f_H(1+\beta A_0) \simeq 100 \cdot 5000 = 5 \cdot 10^5\,Hz$

$\left|\frac{V_{OUT}}{V_{IN}}\right| \simeq 4 \underbrace{\frac{\beta A_0}{1+\beta A_0}}_{\text{guad. in continua}} \cdot \underbrace{\frac{f_H(1+\beta A_0)}{f}}_{f_{Hf}/f} \simeq \frac{4 \cdot 5 \cdot 10^3 \cdot 10^2}{f} = \frac{20 \cdot 10^5}{f}$

Per avere $\left|\frac{V_{out}}{V_{in}}\right| = 1 \Rightarrow GBW_f = 20 \cdot 10^5\,Hz = 2 \cdot 10^6\,Hz$



c)



AO IDEALE

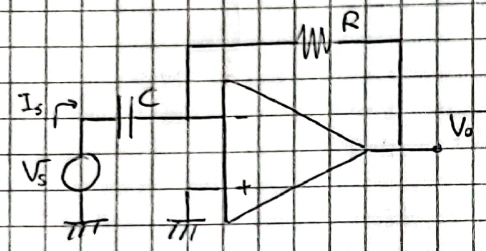
$V_{io} = 1\,mV$

$V_{out} = V_{io}\left(1 + \frac{19R}{R}\right) = 20\,mV$

$3R \parallel R$ non ha effetti perché AO ideale, non ne avrebbe lo stesso perché $R_{id} \gg 3R \parallel R$

LEZIONE 7R

DERIVATORE



Operazionale in config. invertente

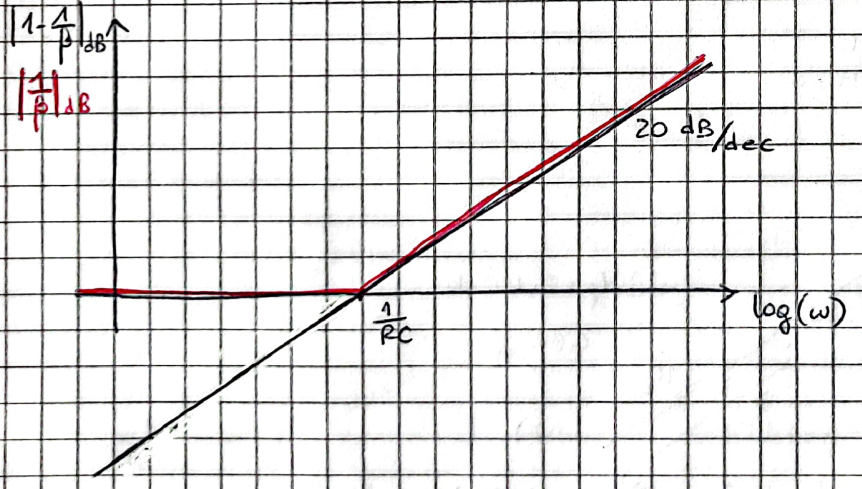
A causa di R vale il P. delle MASSE VIRTUALI

$I_s = C\frac{dV_s(t)}{dt}$

$V_o(t) = -RI_s = -CR\frac{dV_s(t)}{dt}$ DT

config. inv.: $1 - \frac{1}{\beta} = -\frac{R}{\frac{1}{j\omega C}} = -j\omega CR$ ← Guad. in frequenza $\left|1 - \frac{1}{\beta}\right| = \omega CR$

$\left|\beta\frac{A}{\beta}\right| = \left(\frac{\frac{1}{j\omega C}}{\frac{1}{j\omega C} + R}\right)^{a} = \left(\frac{1}{1 + j\omega CR}\right)^{a} \Rightarrow \left|\beta\right| = \frac{1}{\sqrt{1 + (\omega CR)^2}}$



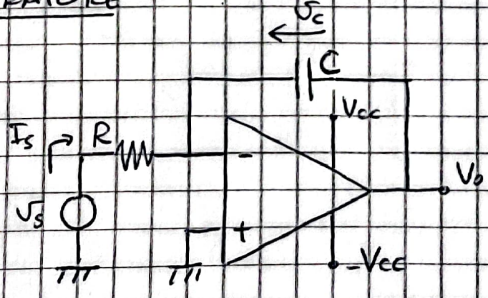
$\omega < \frac{1}{RC} \Rightarrow \left|\frac{1}{\beta}\right| \simeq 1$

$\omega > \frac{1}{RC} \Rightarrow \frac{1}{\beta} \simeq \omega CR$

È un circuito di scarso utilizzo pratico:

* PASSA ALTO: tende ad amplificare l'ingresso al crescere della f (amplifica rumori in alta freq.)
* Rete di retroaz. β è struttura filtrante e erode il margine di fase; la f.d.t. di β ha un polo in $\frac{1}{\omega CR}$ e lo sfasam. si unisce a quello del guad. diff. dell'a.o. ed il circuito può facilmente oscillare

INTEGRATORE



Operazionale in config. invertente

$|V_o(t_0)| < V_{cc} \Rightarrow V_{id} = 0 \Rightarrow$ P. masse virtuali

$I_s = \frac{V_s}{R} = C\frac{dV_c(t)}{dt}$

Integrando: $\int_{v_c(t_0)}^{v_c(t_0+t)} dv_c(\tau) = \frac{1}{CR}\int_{t_0}^{t_0+t} v_s(\tau)\,d\tau$

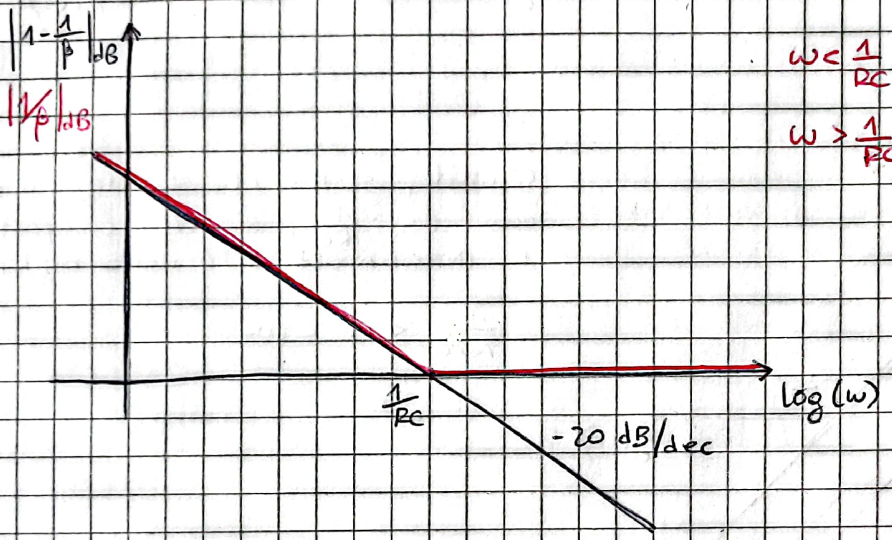
$$v_c(t_0+t) - v_c(t_0) = \frac{1}{CR}\int_{t_0}^{t_0+t} v_s(\tau)\,d\tau$$

Quando $|v_o(t)| < V_{cc} \Rightarrow v_o(t) = -v_c(t) \Rightarrow v_o(t_0+t) = -\frac{1}{RC}\int_{t_0}^{t+t_0} v_s(\tau)\,d\tau + v_o(t_0)$ DT

$$A_{vp}(\jmath) = 1 - \frac{1}{\beta} = -\frac{\frac{1}{\jmath\omega C}}{R} = -\frac{1}{\jmath\omega CR}$$

$$\left|1-\frac{1}{\beta}\right| = \frac{1}{\omega CR}$$

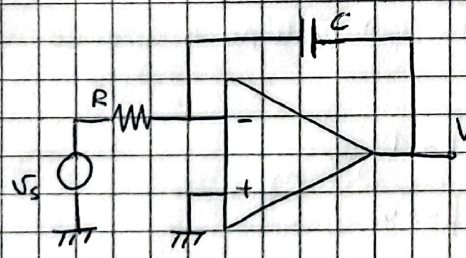
$$\beta = \frac{R}{R+\frac{1}{\jmath\omega C}} = \frac{\jmath\omega CR}{1+\jmath\omega CR} \Rightarrow |\beta| = \frac{\omega CR}{\sqrt{1+(\omega CR)^2}}$$



$\omega < \frac{1}{RC} \Rightarrow \left|\frac{1}{\beta}\right| \simeq \frac{1}{\omega CR}$

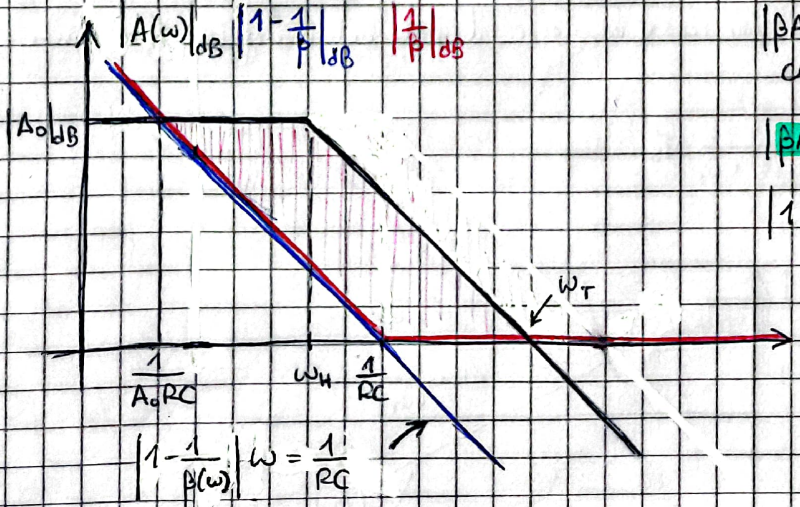
$\omega > \frac{1}{RC} \Rightarrow \left|\frac{1}{\beta}\right| \simeq 1$

Introduciamo guadagno e banda finiti



$$A(\omega) = \frac{A_0}{1+\jmath\frac{\omega}{\omega_H}} \Rightarrow \omega_T = 2\pi\,GBW = A_0\omega_H$$

Supponiamo $\omega_T \geq \frac{1}{RC}$ (condizione necessaria)



$|\beta A|$ è la differenza tra curva nera e curva rossa

$|\beta A| > 1$ nella zona rossa

$\left|1-\frac{1}{\beta}\right| = |A(\omega)|$ quando $A_0\,\omega = \frac{1}{RC} \Rightarrow \omega = \frac{1}{A_0RC}$

Quindi $|\beta A| > 1$ per $\frac{1}{A_0RC} < \omega < \omega_T$

$$\Downarrow$$

$$|A_F(\omega)| = \left|1-\frac{1}{\beta(\omega)}\right| \left|\frac{\beta A(\omega)}{1+\beta A(\omega)}\right| \simeq \left|1-\frac{1}{\beta(\omega)}\right| = \frac{1}{\omega RC}$$

Quindi in $\frac{1}{A_0RC} < \omega < \omega_T$ l'ampl. retroazionato ha guad coincidente con $1-\frac{1}{\beta}$

Per $\omega < \frac{1}{A_0 RC}$, $\omega > \omega_T$ ho $|\beta A| < 1$:

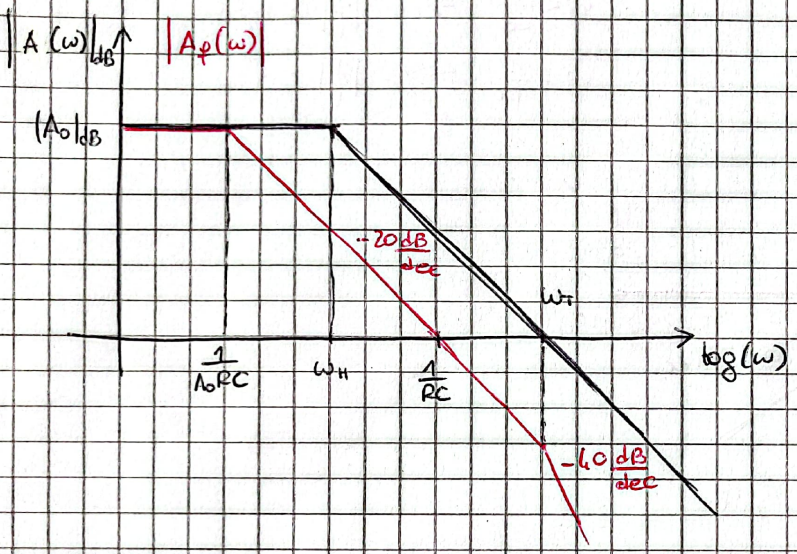
$$|A_f(\omega)| = \left|1 - \frac{1}{\beta(\omega)}\right| \left|\frac{\beta A(\omega)}{1+\beta A(\omega)}\right| \simeq \left|1 - \frac{1}{\beta(\omega)}\right| |\beta A(\omega)| = \frac{|\beta(\omega)-1|}{|\beta|} |\beta| |A(\omega)| = |\beta(\omega)-1| |A(\omega)|$$

$$|\beta - 1| = \left|-\frac{1}{1+j\omega RC}\right| \simeq \begin{cases} 1 & \omega < \frac{1}{RC} \\ \frac{1}{\omega RC} & \omega > \frac{1}{RC} \end{cases}$$

$$|A| \simeq \begin{cases} A_0 & \omega < \omega_H \\ A_0 \frac{\omega_H}{\omega} & \omega > \omega_H \end{cases}$$

$$\Rightarrow |A_f(\omega)| = \begin{cases} A_0 & \omega < \frac{1}{A_0 RC} \\ \frac{1}{\omega RC} \cdot \frac{A_0 \omega_H}{\omega} & \omega > \omega_T \end{cases}$$

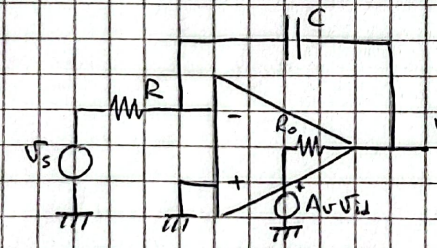
(aggiunta di un polo: $-20\,dB/dec$)



Quindi, si ha che scelto un AO con $\omega_T > \frac{1}{RC}$, si avrà comportamento di INTEGRATORE solo nella regione

$$\frac{1}{A_0 RC} < \omega < \omega_T$$

Discutiamo dell'effetto sull'INTEGRATORE della res. d'uscita (R_0) dell'AO non nulla.



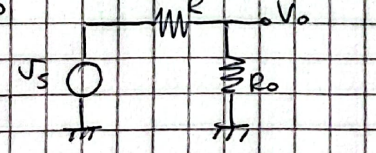
$\omega > \omega_T \Rightarrow |A_d| < 1$

$\omega \to \infty \Rightarrow |A_d| \to 0$

$|Z_c| \to 0$

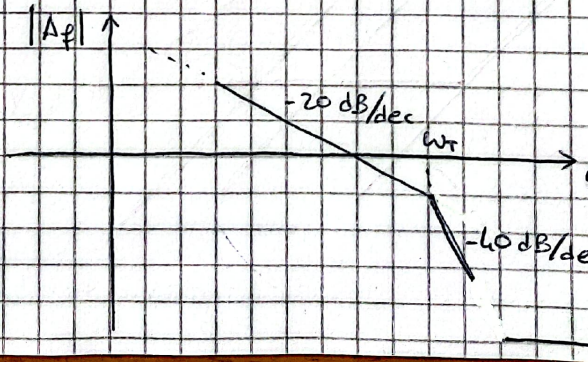
Se il quad. tende a 0, l'AO non riesce più a vincolare il pot. del morsetto invertente ad essere un punto di massa virtuale

$\omega \to \infty$



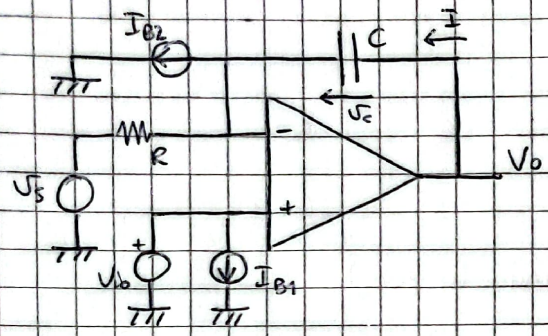
$$V_o = \frac{R_0}{R_0 + R_s} V_s$$

Quindi, nel diag. di Bode:



Nella F.d.t. nascono 2 zeri che annullano la pendenza del modulo

Effetto di TENSIONE DI OFFSET (V_{io}) e CORR. DI POLARIZZAZIONE (I_B) dell'AO.



Il gen.re I_{B1} non ha effetti sull'uscita

$I = \frac{V_{io}}{R} + I_{B2}$ (ci disinteressiamo di v_s ↑ spento)

$I = -C\frac{dv_c(t)}{dt} = \frac{V_{io}}{R} + I_{B2}$ e integro:

$$-v_c(t_0+t) + v_c(t_0) = \frac{V_{io}}{RC}t + \frac{I_{B2}}{C}t$$

$V_o = -v_c + V_- = -v_c + V_{io}$, quindi se sommo a dx e sn V_{io} ottengo

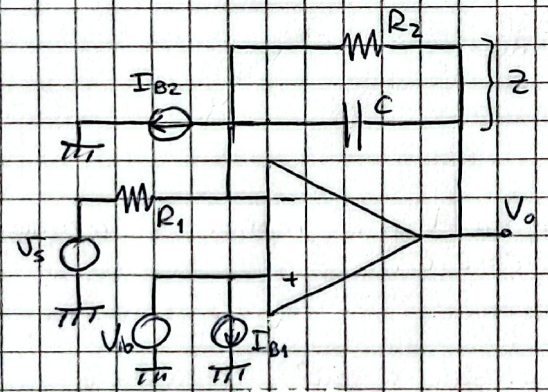
$$-v_c(t_0+t) + V_{io} + v_c(t_0) - V_{io} = \frac{V_{io}}{RC}t + \frac{I_{B2}}{C}t$$

$$v_o(t_0+t) = v_o(t_0) + \frac{V_{io}}{RC}t + \frac{I_{B2}}{C}t$$

Questa vale fino a che l'uscita dell'AO satura al valore della tensione di alimentazione (nel caso migliore). Ciò è dovuto al guad. infinito dell'AO ideale.
Rimuovendo tale ipotesi il guad. in bassa freq. è Ao che comunque è di valore elevato, suff. per far comunque saturare l'uscita dell'integratore.

Quindi, alimentando un circuito di questo tipo, l'uscita è al val. di saturazione in breve tempo.

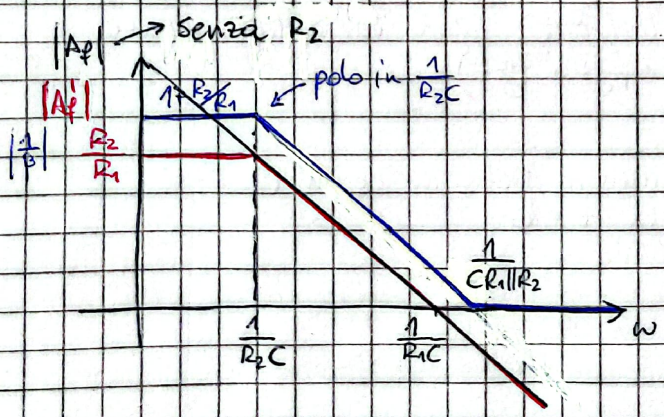
Per evitare tale problema si limita il guad. in continua dell'integratore inserendo una R_2 in parallelo a C:



$$A_f' = \frac{V_{out}}{V_s} = -\frac{Z}{R_1} = -\frac{\frac{R_2}{1+j\omega CR_2}}{R_1} = -\frac{R_2}{R_1}\frac{1}{1+j\omega CR_2}$$

f.d.t. a singolo polo, guad in continua $-\frac{R_2}{R_1}$ e a partire da $\omega = \frac{1}{R_2C}$ scende a $-20\,dB/dec$.

$$\left|\frac{V_{out}}{V_s}\right| = 1 \Rightarrow \omega = \frac{R_2}{R_1}\frac{1}{CR_2} = \frac{1}{CR_1}$$



A regime, considerando V_{io} e I_{B2}, siamo in continua (C è c.a. e vale il p. delle m.v.):

$$V_o(I_{B2}, V_{io}) = V_{io}\left(1+\frac{R_2}{R_1}\right) + I_{B2}R_2$$

Quindi, l'effetto di R_2 è quello di limitare il guad. in continua ad un val. più basso di Ao e anche l'effetto sull'uscita della V_{io} e di I_{B2}

Scelta di R_2 è compromesso:

$R_2 \downarrow \Rightarrow V_o(I_{B2}, V_{io}) \downarrow$ e $\frac{1}{R_2C} \uparrow$

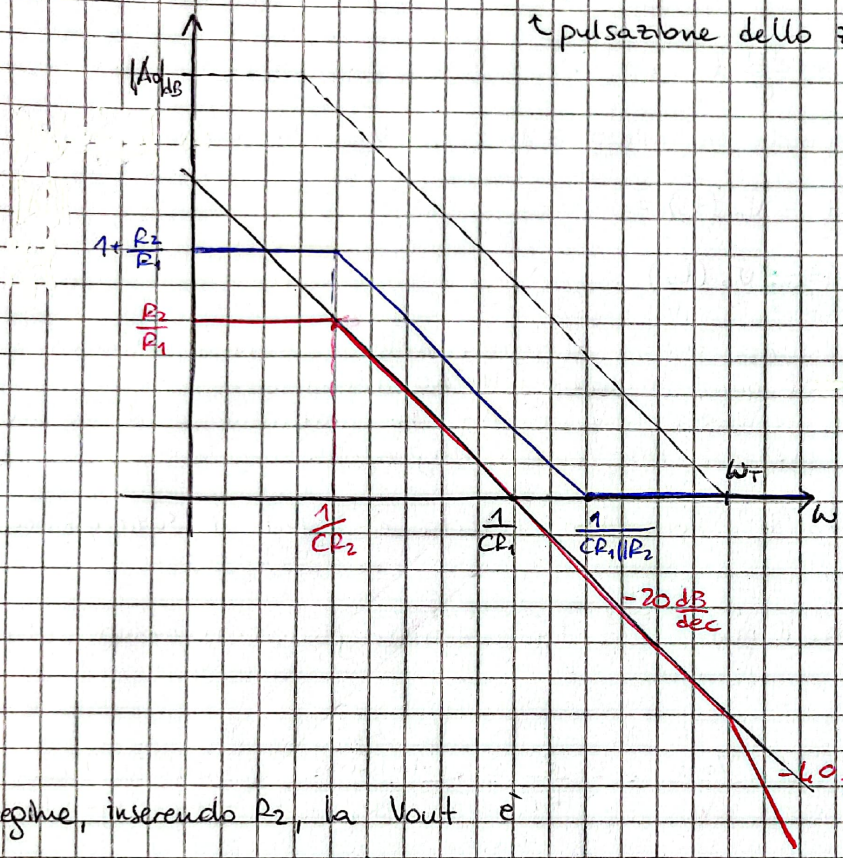
$R_2 \uparrow \Rightarrow V_o(I_{B2}, V_{io}) \uparrow$ e $\frac{1}{R_2C} \downarrow$

$$\beta = \frac{R_1}{R_1 + \frac{R_2}{1+j\omega C R_2}} = \frac{R_1(1+j\omega C R_2)}{R_1 + R_2 + j\omega C R_1 R_2} = \frac{R_1}{R_1+R_2} \cdot \frac{1+j\omega C R_2}{1+j\omega C R_1 \| R_2}$$

$$\frac{1}{\beta} = \left(1 + \frac{R_2}{R_1}\right) \frac{1+j\omega C R_1 \| R_2}{1+j\omega C R_2}$$

$$\left|\frac{1}{\beta}\right| = 1 \Rightarrow \omega = \left(1+\frac{R_2}{R_1}\right)\frac{1}{CR_2} = \frac{1}{CR_1\|R_2}$$ (non considerando lo zero)

↑ pulsazione dello zero



$$|A_f| = \frac{1}{R_1 C}$$

$$A_f' = -\frac{R_2}{R_1}\frac{1}{1+j\omega C R_2}$$

$$\frac{1}{\beta} = \left(1+\frac{R_2}{R_1}\right)\frac{1+j\omega C R_1\|R_2}{1+j\omega C R_2}$$

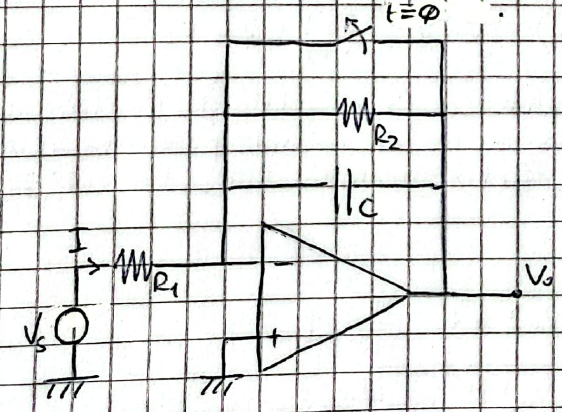
$$A = \frac{A_0}{1+j\frac{\omega}{\omega_H}} \qquad \omega_T > \frac{1}{RC}$$

A regime, inserendo R_2, la Vout è

$$V_{out}(I_{B2}, V_{io}) = V_{io}\left(1+\frac{R_2}{R_1}\right) + I_{B2} R_2$$

Supponendo di accendere l'alimentazione con C scarico, la Vout di regime si raggiunge con un transitorio esponenziale con costante di tempo $\tau = R_2 C$.
Il transitorio si esaurisce in $5\tau = 5R_2C$.

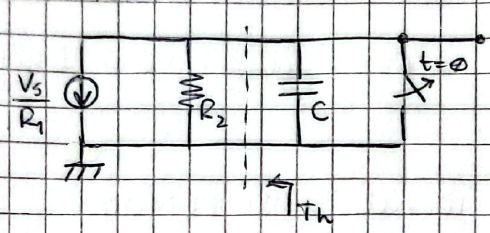
Nella prima fase di carica del C l'andamento dell'esponenziale si può approssimare linearmente: se si osserva V_o per un periodo sufficientemente piccolo ($\frac{1}{10}\tau$), allora varia linearmente come accade con l'integratore ideale $\left(V_o(t_0+t) = V_o(t_0) + \frac{V_{io}}{RC}t + \frac{I_{B-}}{C}t\right)$

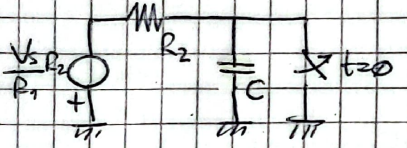


L'interruttore tiene in cc il C e si apre in $t = 0$

$$I = \frac{V_s}{R_1}$$

Equivalente:





$$v_c(t) = (V(\infty) - V(0))\left(1 - e^{-t/R_2C}\right) + V(0)$$

$$= -\frac{V_S R_2}{R_1}\left(1 - e^{-t/R_2C}\right) = V_0(t)$$

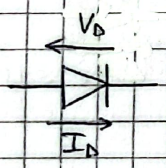
$$1 - e^x\Big|_{x \ll 1} = -x + o(x^2)$$

$$V_0(t) = -\frac{V_S R_2}{R_1}\left(1 - e^{-\frac{t}{R_2C}}\right) \simeq -V_S \frac{R_2}{R_1}\frac{t}{R_2C} = -\frac{V_S}{R_1C}t \qquad \text{per } \frac{t}{R_2C} < 10^{-1}$$

LEZIONE 8R

Circuiti con rete di retroazione contenente elementi NON LINEARI (diodi e BJT)

DIODO



$$I_D = I_0\left(e^{\frac{V_D}{\eta V_T}} - 1\right)$$

η: fattore di non idealità (≃2 per diodi al silicio con $I_D \sim 1mA$)

$$V_T = \frac{kT}{q} \simeq 26\ mV$$

$k = 1.36 \cdot 10^{-23}\ J/K$, $q = 1.6 \cdot 10^{-19}\ C$, $k \simeq 300K$

Per $V_D \gg 50mV \Rightarrow I_D \simeq I_0 e^{\frac{V_D}{\eta V_T}}$

Modello semplificato del DIODO:

$$I_D = \begin{cases} 0 & V_D < V_\gamma \\ (0,\infty) & V_D = V_\gamma \end{cases}$$

$V_\gamma = V_D \Leftrightarrow \frac{I_D}{I_0} \simeq 10^5$

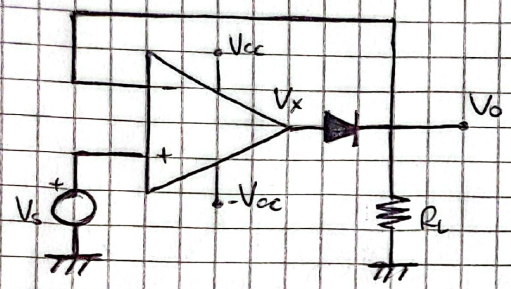
Dall'eq. di I_0 si ha $V_D = \eta V_T \ln\frac{I_D}{I_0}\Big|_{I_D/I_0 = 10^5,\ T=300K} \simeq 575\ mV \leftarrow V_\gamma$

BJT → Regione attiva (J_{BE} pol. direttamente, J_{BC} pol. inversamente)

$i_C = \beta i_B$, con β guadagno in corrente

Primi circuiti che discutiamo sono circuiti che permettono di realizzare raddrizzatori a semplice e a doppia semionda.

Parliamo di RADDRIZZATORI A SEMPLICE SEMIONDA



AO ideale a meno del guadagno finito (A_0)

← DIODO IDEALE o SUPERDIODO

Diodo in conduzione $\Rightarrow$ $V_o = V_x - V_\gamma$

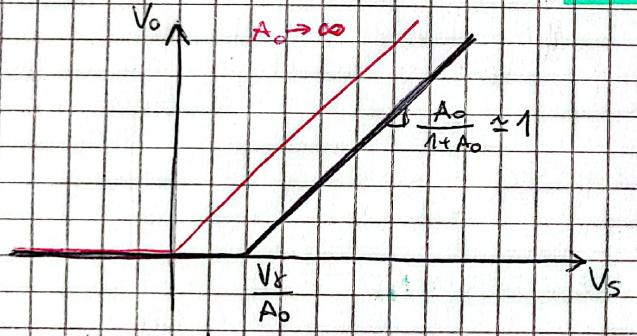
Diodo interdetto $\Rightarrow$ $V_o = 0$ (non scorre corrente in R_L)

Interdizione se $V_D = V_x - V_o < V_\gamma$

$$A_0(V_+ - V_-) - V_o < V_\gamma \Rightarrow A_0(V_s - 0) - 0 < V_\gamma \Rightarrow V_s < \frac{V_\gamma}{A_0}$$

Conduzione: $V_s > \frac{V_\gamma}{A_0}$ $\quad V_o = V_x - V_\gamma = A_0(V_s - V_o) - V_\gamma$

$$V_o = \frac{A_0 V_s}{1+A_0} - \frac{V_\gamma}{1+A_0}$$



$\frac{V_\gamma}{A_0}$ vicino a 0 (con $A_0 \sim 10^5$ è $< 1\mu V$)

l'effetto del DIODO è quello di ridurre di un valore pari al guad. dell'AO la tensione di soglia del DIODO stesso

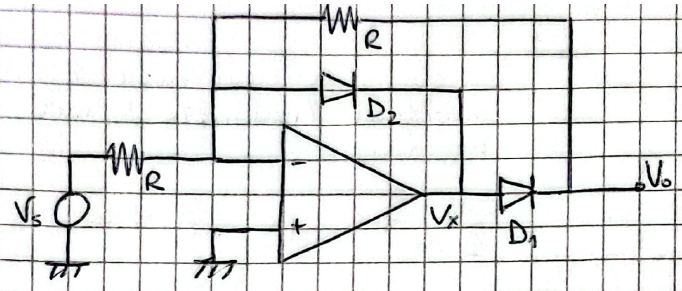
Comportamento di un DIODO con $V_\gamma = 0V$ con effetto raddrizzante per le tensioni $V_s > 0V$ e di ca. per $V_s < 0$ (interruttore).

Il problema di questo circuito è che, se $V_s < -\frac{V_{cc}}{A_0}$, l'uscita dell'AO satura al livello negativo: il morsetto invertente rimane a 0 (diodo non conduce), la tens. differenziale negativa porta V_x a val. negativi, quando si supera $\frac{V_{cc}}{A_0}$ negativamente l'uscita dell'AO raggiunge il valore di saturazione.

$\frac{V_{cc}}{A_0}$ piccolo $\Rightarrow$ se $V_s < 0$ l'uscita è satura

Se il circuito va in saturazione, per uscirne richiede un tempo finito, quindi in queste condizioni il circuito ha limiti intrinseci di velocità

Esistono versioni che si basano sullo stesso principio di funzionamento ma evitano il problema della saturazione dell'AO.



A_0 finito

Se D_1 e D_2 sono entrambi interdetti, V_s non può far scorrere corrente sulle R

D_1, D_2 OFF $\Rightarrow$ $V_o = V_s$

D_2 OFF se $V_- - V_x < V_\gamma$ $\Rightarrow$ $V_- - A_0(-V_-) = V_-(1+A_0) < V_\gamma$

D_1 OFF se $V_x - V_o < V_\gamma$ $\Rightarrow$ $-A_0 V_- - V_o < V_\gamma$

Ma se D_1 OFF $\Rightarrow$ R non attraversata da corrente $\Rightarrow$ $V_o = V_-$

$-V_-(A_0+1) < V_\gamma$ per il D_1

Quindi D_2 OFF $\Rightarrow$ $V_- < \frac{V_\gamma}{1+A_0}$

D_1 OFF $\Rightarrow$ $V_- > -\frac{V_\gamma}{1+A_0}$

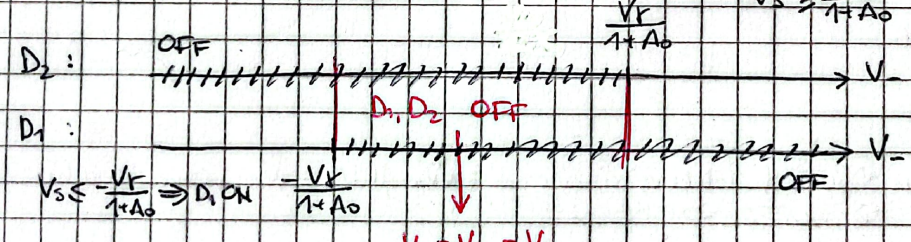
$\Big\}$ D_1, D_2 OFF $\Rightarrow$ $-\frac{V_\gamma}{1+A_0} < V_- < \frac{V_\gamma}{1+A_0}$

D_1, D_2 OFF $\Rightarrow$ $-\frac{V_\gamma}{1+A_0} < V_s < \frac{V_\gamma}{1+A_0}$ (V_s molto vicino a 0)

Fuori da questa regione solo 1 diodo per volta conduce

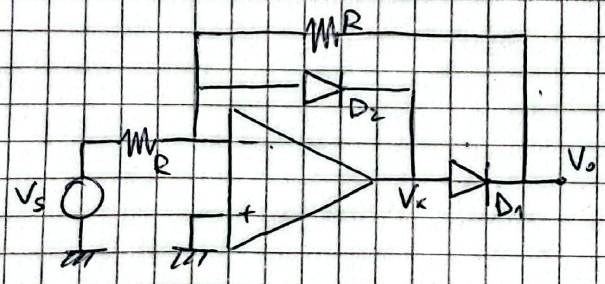
$V_s \geq \frac{V_\gamma}{1+A_0}$ $\Rightarrow$ D_2 ON

$V_s \leq -\frac{V_\gamma}{1+A_0}$ $\Rightarrow$ D_1 ON



$V_o = V_- = V_s$

$-\frac{V_\gamma}{1+A_0} < V_s < \frac{V_\gamma}{1+A_0}$ $\Rightarrow$ D_1, D_2 OFF



$V_s \geq \frac{V_\gamma}{1+A_0}$ $\Rightarrow$ D_2 ON, D_1 OFF $\Rightarrow$ $V_o = V_-$ (non scorre corrente nelle R)

$V_- - V_x = V_\gamma$ $\Rightarrow$ $V_- - (-A_0 V_-) = V_\gamma$ $\Rightarrow$ $V_- = \frac{V_\gamma}{1+A_0} = V_o$

Quindi per $V_s \geq \frac{V_\gamma}{1+A_0}$ si ha $V_o = \frac{V_\gamma}{1+A_0}$

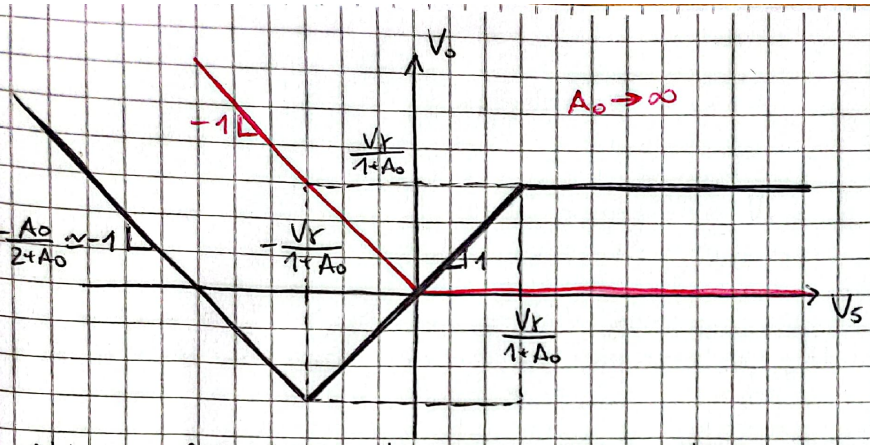
$V_s \leq -\frac{V_\gamma}{1+A_0}$ $\Rightarrow$ D_1 ON, D_2 OFF $\Rightarrow$ $V_o = V_x - V_\gamma = A_0(-V_-) - V_\gamma$

$V_- = V_o \beta + V_s(1-\beta)$ $\Rightarrow$ $V_o = A_0\left[-\beta V_o + (\beta-1)V_s\right] - V_\gamma$

$V_o(1+\beta A_0) = A_0(\beta-1)V_s - V_\gamma$ $\Rightarrow$ $V_o = \left(1-\frac{1}{\beta}\right)\frac{\beta A_0}{1+\beta A_0} V_s - \frac{V_\gamma}{1+\beta A_0}$

Nel nostro caso $\beta = \frac{1}{2}$, $\frac{\beta A_0}{1+\beta A_0} \simeq 1$ $\Rightarrow$ $V_o = -\frac{A_0}{2+A_0} V_s - \frac{2V_\gamma}{2+A_0}$

$\frac{R}{1}$



Questa configurazione è invertente (raddrizza segnali negativi)

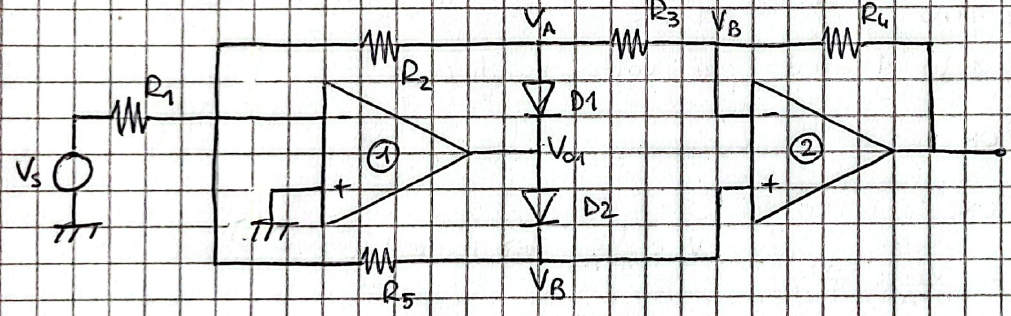
$\frac{V_r}{1+A_o} \to 0$ per $A_o \to \infty$

Abbiamo fatto le considerazioni senza considerare le limitazioni in freq. della banda dell'AO. Finché A_o (almeno 10^4) viene considerato alto, è trascurabile il comportamento intorno all'origine. Salendo in freq. e avvicinandosi alle regioni in cui A tende ad essere vicino a 1, il comportamento intorno all'origine diventa rilevante.

Questi circuiti sono importanti per raddrizzare un segnale annullando la tensione di soglia. La 2ª versione ha un vantaggio: in nessuna regione l'AO satura (per $V_s > V_r/1+A_o$ si ha che D_2 blocca l'uscita dell'AO).

Nell'utilizzo dell'AO per l'elaborazione di segnali analogici, se vogliamo calcolare il modulo di un segnale, necessitiamo di un raddrizzatore a doppia semionda.

RADDRIZZATORE A DOPPIA SEMIONDA



AO IDEALI

D1, D2 IDEALI

($A \to \infty \Rightarrow V_d = 0$ se D ON)

* $V_s > 0 \Rightarrow$ D1 ON, D2 OFF

Se $V_s > 0 \Rightarrow V_- > 0 \Rightarrow V_{id} < 0 \Rightarrow V_{o1} < 0 \Rightarrow$ D1 ON $\Rightarrow$ si chiude l'anello di retroazione $\Rightarrow$ (-) diventa punto di M.V. $\Rightarrow V_B = 0 \Rightarrow V_{o2} < 0 \Rightarrow$ D2 OFF

$V_A = V_{o1} = -\frac{R_2}{R_1} V_s$, $V_{o2} = -\frac{R_4}{R_3} V_A$ ($V_B = 0$ è punto di M.V.)

$\Rightarrow V_{o2} = -\frac{R_4}{R_3}\left(-\frac{R_2}{R_1} V_s\right) = \frac{R_4 R_2}{R_3 R_1} V_s$

* $V_s < 0 \Rightarrow$ D2 ON, D1 OFF

Se $V_s < 0 \Rightarrow V_- < 0 \Rightarrow V_{o1} > 0 \Rightarrow$ D2 ON $\Rightarrow$ si chiude l'anello di retroazione $\Rightarrow$ (-) punto di M.V. $\Rightarrow V_- = 0 \to V_{o1} < 0 \Rightarrow$ D1 OFF

Si può ragionare al limite: supporre guadagno finito e poi farlo tendere all'∞.

V_s diventa positivo, V_- cresce e V_{id1} diventa negativa, fino a portare in conduzione D1. Facendo tendere $A_o \to \infty$, appena $V_s > 0$ D1 va in conduzione.

V_s diventa negativo, V_- decresce e V_{id1} diventa positiva, fino a portare in conduzione D2. Facendo il limite per $A_o \to \infty$, appena $V_s < 0$ D2 va in conduzione

$V_S < 0 \Rightarrow$ D2 ON, D1 OFF (-) punto di M.V.

$$\frac{V_S}{R_1} = -\frac{V_B}{R_5} + \frac{-V_B}{R_2+R_3} \Rightarrow \frac{V_S}{R_1} = -V_B\left(\frac{1}{R_5}+\frac{1}{R_2+R_3}\right) \Rightarrow V_B = -\frac{V_S}{R_1}\left(\frac{1}{R_5}+\frac{1}{R_2+R_3}\right)^{-1}$$

AO2 non invertente: R_4 in retroazione e R_2+R_3 tra (-) e MASSA

$$V_{O2} = \left(1+\frac{R_4}{R_3+R_2}\right)V_B = \left(1+\frac{R_4}{R_3+R_2}\right)\frac{R_5(R_2+R_3)}{R_2+R_3+R_5}\left(-\frac{V_S}{R_1}\right) = -\frac{V_S}{R_1}\,\frac{R_2+R_3+R_4}{R_2+R_3}\cdot\frac{R_5(R_2+R_3)}{R_2+R_3+R_5}$$

Ponendo $R_2=R_3=R_4=R_5=R_1$ si ha: * $V_S > 0 \Rightarrow V_{O2} = V_S$

* $V_S < 0 \Rightarrow V_{O2} = -V_S$

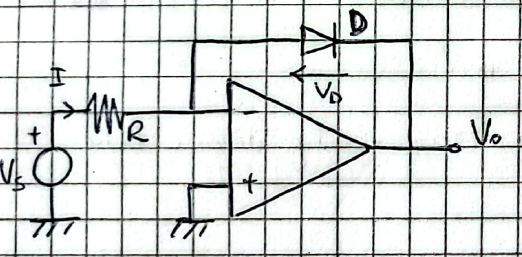
Abbiamo ottenuto un raddrizzatore a doppia semionda.

LEZIONE 9R

AMPLIFICATORE LOGARITMICO e ANTILOGARITMICO (circuiti con el. in retroazione non lineari).

Avevano importanza prima dell'avento dei microprocessori: consentivano di effettuare nel dominio analogico il prodotto tra 2 segnali, trasformando lo stesso prodotto in somme (proprietà dei logaritmi), e il processo inverso (ampl. antilogaritmico).

AMPLIFICATORE LOGARITMICO



V_S diventa positivo, aumenta V_-, crea $V_{id} < 0$ che rende $V_o < 0$, portando D in conduzione.

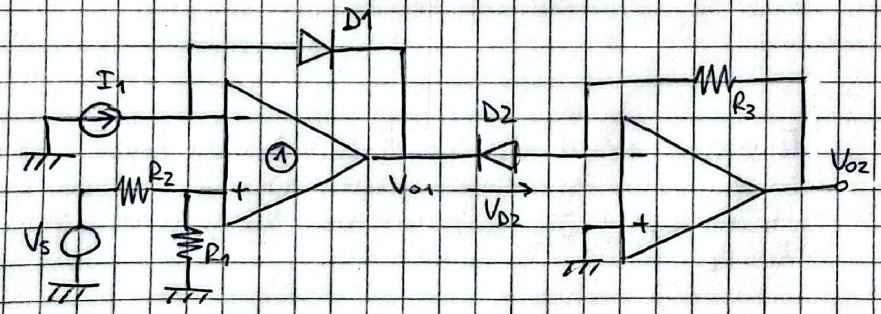
$A \to \infty \Rightarrow$ appena $V_S > 0$ si ha D ON

(-) diventa un punto di M.V.: $I = \frac{V_S}{R}$

$$I \simeq I_0 e^{\frac{V_D}{\eta V_T}}; \qquad V_o = -V_D = -\eta V_T \ln\frac{I}{I_0} = -\eta V_T(\ln I - \ln I_0) = -\eta V_T\left(\ln\frac{V_S}{R} - \ln I_0\right)$$

Quindi V_o è proporzionale a $\ln V_S$ (a parte il termine $\eta V_T(\ln R + \ln I_0)$)

AMPLIFICATORE ANTILOGARITMICO



D1, D2 uguali

I_1 forza la conduzione di D1: $V_{o1} = -V_{D1} + V_S\frac{R_1}{R_1+R_2} = -\eta V_T \ln\frac{I_1}{I_0} + V_S\frac{R_1}{R_1+R_2}$

$V_{D2} = -V_{o1}$. Ipotizziamo $-V_{o1}$ porti in conduzione D2:

$$V_{D2} = \eta V_T \ln\frac{V_{O2}}{R_3}\cdot\frac{1}{I_0}$$

$$\Rightarrow \quad -\eta V_T \ln \frac{V_{O2}}{R_3}\frac{1}{I_0} = -\eta V_T \ln \frac{I}{I_0} + V_S \frac{R_1}{R_1+R_2}$$

$$\ln \frac{V_{O2}}{R_3}\frac{1}{I_0} - \ln \frac{I}{I_0} = -\frac{1}{\eta V_T} V_S \frac{R_1}{R_1+R_2}$$

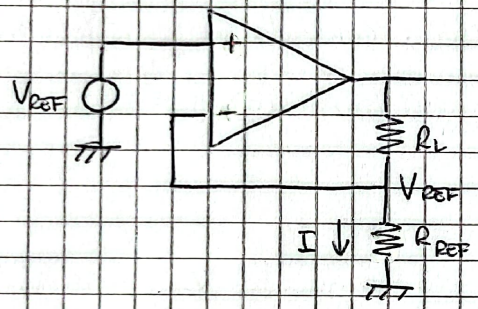
$$\ln \frac{V_{O2}}{R_3}\frac{1}{I_0}\frac{I_0}{I} = -\frac{1}{\eta V_T} V_S \frac{R_1}{R_1+R_2}$$

$$V_{O2} = R_3 I\, e^{-\frac{V_S}{\eta V_T}\frac{R_1}{R_1+R_2}}$$

I limiti di questi circuiti sono che il conto è affetto dall'influenza della temperatura sui termini che compaiono nell'espressione di V_0 (cioè V_T e I_0)

Per avere un'uscita immune da T devono essere complicati con circuiti di compensazione

Circuito basato su AO che genera corrente costante:

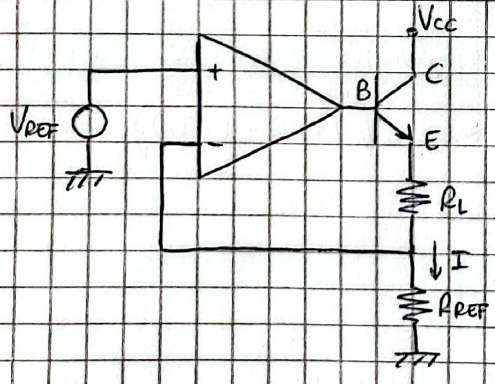


$$I = \frac{V_{REF}}{R_{REF}} = I_L$$

Limite: capacità di erogazione in corrente dell'AO

$$I_{out\,MAX} \simeq 20\ mA$$

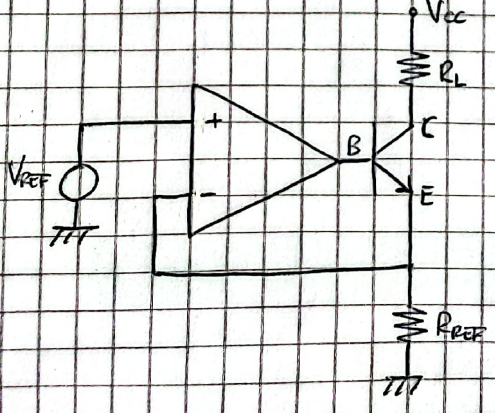
Per avere sul carico una corrente $> I_{out\,MAX}$ bisogna utilizzare config. diverse (che prevedano giunzioni PN nella rete di retroazione):



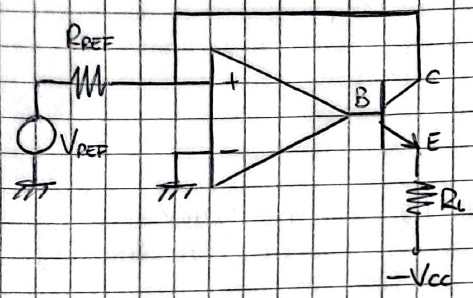
La V_{REF} può far muovere V_0 per portare in conduzione la giunzione quindi si chiude l'anello di retroazione e (−) si porta a V_{REF}

$$I = \frac{V_{REF}}{R_{REF}}$$

In questo caso I è amplificata dal BJT e arriva alla $I_{out\,MAX}$ per i β del BJT.



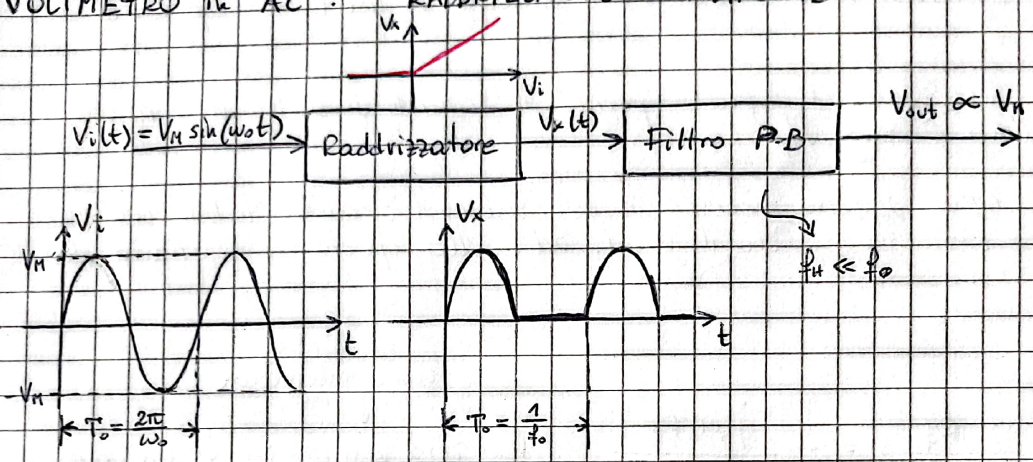
Funziona se il BJT (come sopra) è in RAD.
La J_{BE} può essere polarizzata direttamente con questa struttura, se la J_{BC} è polarizzata inversamente dipende da R_L.



Retroazione chiusa sul morsetto non invertente perché, nel funzionamento per piccoli segnali del BJT, le var. del segnale sulla base sono di segno opposto a quelle sul collettore: ho già sfasamento di 180° e non devo averla in ingresso.
È ancora una retroazione negativa.

LEZIONE 10 R

VOLTMETRO in AC : RADDRIZZATORE + FILTRO PB



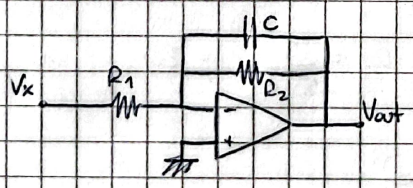
$$V_x(t) = \frac{1}{2} a_0 + \sum_{n=1}^{\infty} \left[a_n \cos(n\omega_0 t) + b_n \sin(n\omega_n t) \right]$$ Serie di Fourier di segnale periodico

$$\frac{1}{2} a_0 = \frac{1}{2} \frac{2}{T_0} \int_{-T/2}^{T/2} V_x(t)\, dt = \frac{1}{T_0} \int_0^{T_0/2} V_M \sin(\omega_0 t)\, dt = \frac{V_M}{\omega_0} \frac{1}{T_0} \left[-\cos(\omega_0 t) \right]_0^{T_0/2} = \frac{V_M}{2\pi} \cdot 2 = \frac{V_M}{\pi}$$

Questa è la componente della serie di Fourier legata al V_M del segnale, poi le altre componenti sono multiple della freq. f_0

Per avere un'uscita proporzionale a V_M è suff. filtrare tutte le componenti della sommatoria, ovvero scegliere un filtro con freq. di taglio $f_H \ll f_0$

FILTRO PB

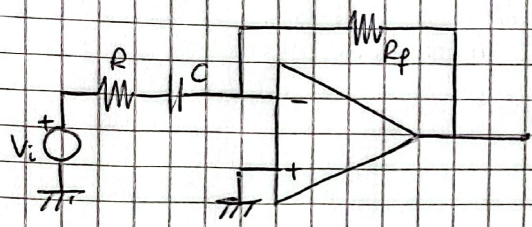


$$\frac{V_{out}}{V_x} = -\frac{R_2}{R_1} \frac{1}{1 + j\omega C R_2} = -\frac{R_2}{R_1} \frac{1}{1 + j\, f/f_H}$$

con $f_H = \frac{1}{2\pi R_2 C} \ll f_0$

Esercizio 1 - 20/06/2018

Si consideri il circuito derivatore in figura



$V_i = A \sin(2\pi f t)$, con $A = 50\,mV$, $f \in [10\,Hz - 100\,kHz]$

$R_f = 10\,k\Omega$

a) Dimensionare R e C perché il circuito si comporti da derivatore nella banda del segnale (margine di sicurezza di una decade) e fornisca in uscita un segnale di ampiezza max 1V.

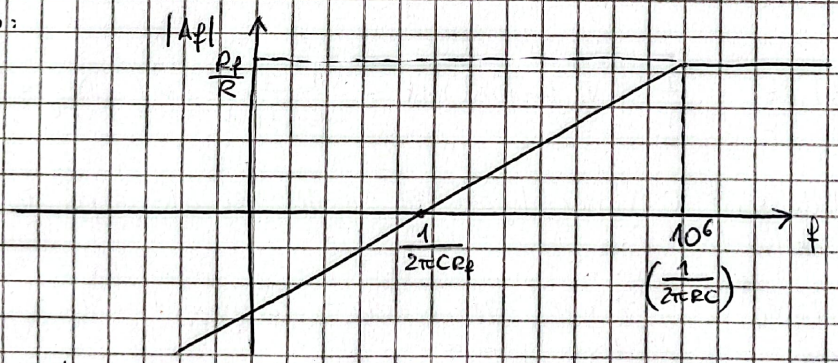
b) Valutare la max freq. del segnale di ingresso perché il segnale di uscita non risulti distorto se lo SR dell'AO è 0.3 V/μs.

c) Calcolare il valore del GBW dell'AO necessario per avere il circuito stabile con un margine di fase di 45°. Si assuma che il guad. ad anello aperto in continua dell'AO sia 120 dB.

Soluzione:

a) $\frac{V_o}{V_i} = -\frac{R_f}{Z_{RC}} = -\frac{R_f}{R + \frac{1}{j\omega C}} = -\frac{j\omega C R_f}{1 + j\omega CR}$ (come derivatore) ha zero nell'origine e un polo

Vogliamo:



Abbiamo, nel range di f del nostro segnale, una f.d.t. data solo dallo zero nell'origine:

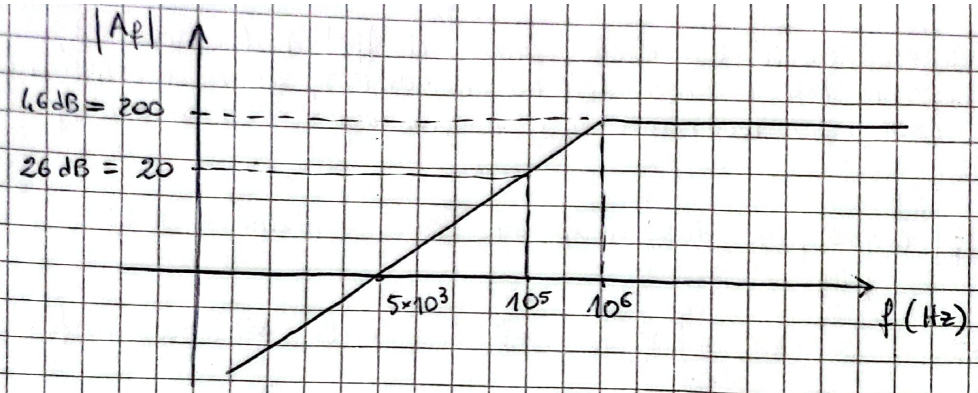
$$\omega C R_f \cdot A\Big|_{\frac{\omega}{2\pi} = 10^5 Hz} = 1V \quad \Rightarrow \quad 2\pi 10^5 C R_f = \frac{1}{50 \cdot 10^{-3}} = 20 \qquad (1)$$

l'altra condizione è $\frac{1}{2\pi CR} = 10^6\ Hz$ (2)

(1) $2\pi 10^5 C 10^4 = 20 \Rightarrow C = \frac{20}{2\pi \cdot 10^9} = \frac{10^{-8}}{\pi} F = 3.18\,nF$

(2) $\frac{1}{2\pi CR} = 10^6 \Rightarrow R = \frac{1}{2\pi \frac{1}{\pi} 10^{-8} \cdot 10^6} = \frac{1}{2} 10^2\,\Omega = 50\,\Omega$

Quindi $\frac{1}{2\pi RC} = 10^6\ Hz$ e $\frac{1}{2\pi R_f C} = \frac{1}{2\pi 10^4 \frac{1}{\pi} 10^{-8}} = \frac{1}{2} \cdot 10^4\,Hz = 5\,kHz$



b) $SR = 0.3\ V/\mu s$

$$|A_f|_{f<10^6 Hz} \simeq \omega C R_f \Rightarrow V_o = \omega C R_f \cdot V_i = \omega C R_f A \sin(2\pi f t)$$

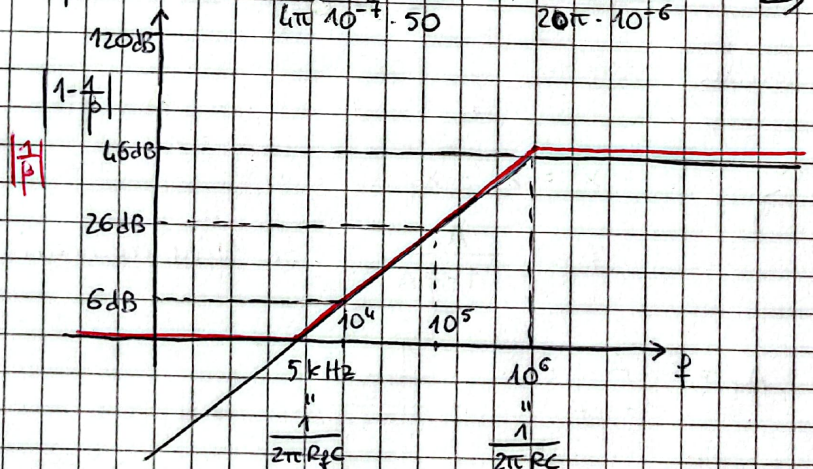
$$\frac{dV_{out}}{dt} = \omega C R_f A \cos(2\pi f t)\, 2\pi f = \omega^2 C R_f A \cos(2\pi f t)$$

$$\left|\frac{dV_{out}}{dt}\right|_{MAX} = \omega^2 C R_f A < SR \quad \text{per non avere distorsione}$$

$$(2\pi)^2 f^2 \frac{1}{\pi} 10^{-8} \cdot 10^4 \cdot 50 \cdot 10^{-3} < 0.3 \cdot 10^6$$

$$f^2 < 0.3 \cdot 10^6 \cdot \frac{1}{4\pi \cdot 10^{-7} \cdot 50} = \frac{0.3 \cdot 10^6}{20\pi \cdot 10^{-6}} \Rightarrow f < \sqrt{\frac{0.3}{20\pi} \cdot 10^{12}} \simeq 69\ kHz$$

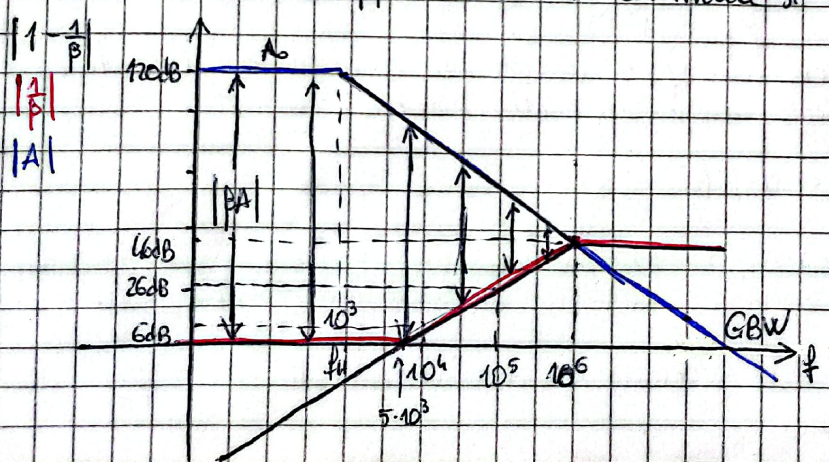
c)



$$\beta = \frac{Z_{RC}}{R_f + Z_{RC}} = \frac{R + \frac{1}{j\omega C}}{R_f + R + \frac{1}{j\omega C}} = \frac{1 + j\omega CR}{1 + j\omega C(R + R_f)}$$

$$\frac{1}{\beta} = \frac{1 + j\omega C(R+R_f)}{1 + j\omega CR} \longrightarrow \begin{cases} f_z = \frac{1}{2\pi C(R+R_f)} = 4.975\ kHz \simeq 5\ kHz \\ f_p = \frac{1}{2\pi RC} = 10^6\ Hz \end{cases}$$

Guad. ad AA: sappiamo che in continua si ha $120\,dB = 10^6$



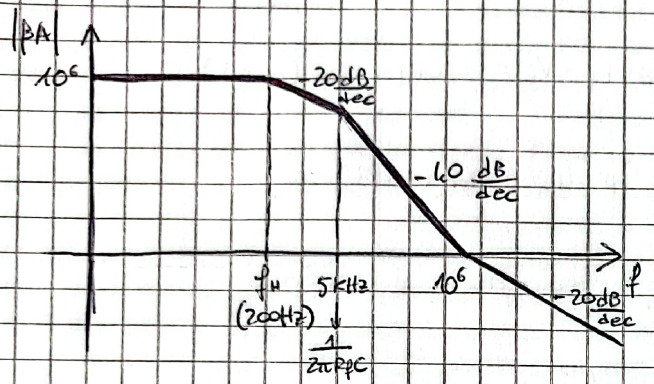
$|\beta A|$ distanza tra $|A|$ e $|\frac{1}{\beta}|$: costante fino a f_H, scende a -20dB/dec fino a 5kHz, poi scende di 40dB/dec fino a 10^6 Hz, poi torna a scendere a -20 dB/dec

Pensando che il polo in f_H esaurisce il suo effetto prima di $|\beta A|=1$ (intersezione), e anche il polo di $\frac{1}{\beta}$ in 5 kHz (che esaurisce l'effetto in 50 kHz), allora lo sfasamento che sperimenta βA è di 180°; per recuperare fase bisogna aspettare lo zero di $\frac{1}{\beta}$ in 10^6 Hz.

Quindi se $|A|$ incrocia $\left|\frac{1}{\beta}\right|$ in 10^6, la fase recuperata sarà esattamente di 45° (margine richiesto).

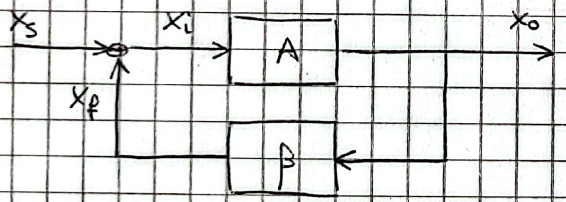
$$|A(f)| \cdot f = A_0 f_H \Rightarrow \underset{\downarrow}{|A(f)|} \cdot \underset{\downarrow}{f} = 200 \cdot 10^6 = 10^6 \cdot f_H \Rightarrow f_H = 200\,Hz \Rightarrow GBW = A_0 \cdot f_H = 200\,kHz$$

GBW è leggermente sottostimato ($\left|\frac{1}{\beta}\right|$ leggermente sopra $\left|1-\frac{1}{\beta}\right|$ in 10^6)



LEZIONE 11R

Applicazione di AO con retroazione positiva



$$x_i = x_s + x_f$$

$$A_f = \frac{A}{1-\beta A} \quad \text{se sistemi lineari}$$

Supponiamo $A = \frac{A_0}{1+s/\omega_H} \Rightarrow A_f = \frac{A_0}{1-\beta A_0} \cdot \frac{1}{1+\frac{s}{\omega_H(1-\beta A_0)}}$

Per quad. d'anello piccoli ($\beta A_0 < 1$) il quad. complessivo tende a crescere ($> A_0$).
Il polo (originariamente in $s = -\omega_H$) si sposta verso valori più piccoli (tanto più βA_0, partendo da 0, cresce e si porta 1, tanto più il polo si avvicina all'origine nel dominio s).
In $\beta A_0 = 1$ il polo è nell'origine, se $\beta A_0 > 1$ il polo passa nel semipiano destro.

↑ sist. marginalmente stabile ↑ sist. instabile

A: funzione con saturazione

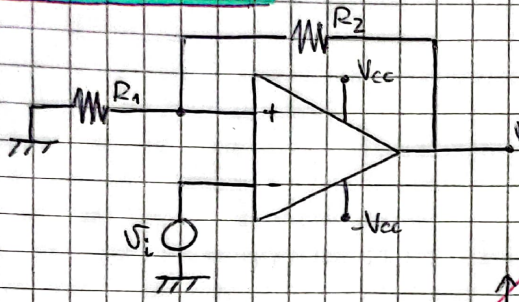
A_0: pendenza tratto intorno all'origine

Se, continuando a rafforzare l'ingresso con x_f, si invade la zona in cui l'uscita satura, non si tratta più il circuito con un modello lineare

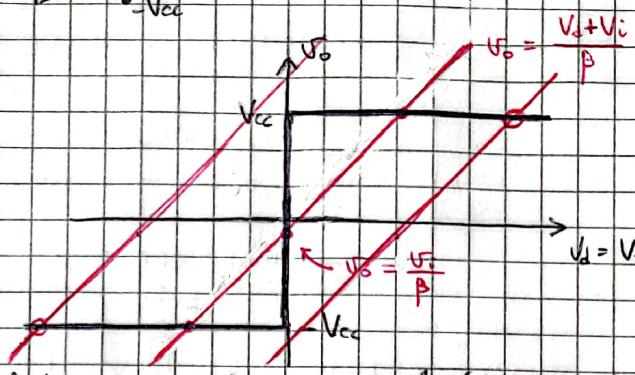
A_0 elevato ⇒ condizione di instabilità

Quindi, se abbiamo una sol. per il circuito che prevede un'uscita x_o compresa tra i 2 livelli di saturazione, siccome siamo in un tratto a elevato guadagno, tale soluzione è sicuramente instabile.
Sono stabili soluzioni determinate quando il guad. tende ad annullarsi.

TRIGGER DI SCHMITT



Parto da ingresso nullo.
Se diventa positivo, l'uscita diventa negativa ($v_o < 0$) quindi la tens. che riporto al morsetto (+) sarà negativa e vado a rafforzare l'effetto e mi aspetto un comportamento saturato.



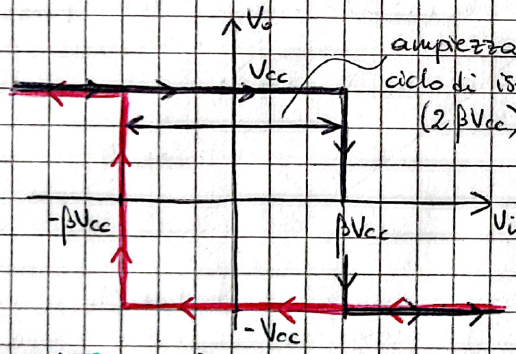
$$V_d = V_+ - V_- = \beta V_o - V_i \quad \Rightarrow \quad V_o = \frac{1}{\beta}(V_d + V_i)$$

Si hanno 3 soluzioni per $-\beta V_{cc} < V_i < \beta V_{cc}$, di cui 1 instabile ($v_d = 0$) e 2 stabili

Per $|v_i| > \beta V_{cc}$ si ha 1 sola soluzione stabile

Analizziamo il circuito facendo variare v_i a partire da una condizione in cui si ha una sol. stabile positiva ($v_i < -\beta V_{cc}$)

$v_i < -\beta V_{cc} \Rightarrow v_o = V_{cc} \Rightarrow V_+ = \beta V_{cc}$ la V_+ è la soglia con cui confrontare v_i



Crescendo v_i, anche quando diventa $> -\beta V_{cc}$, avendo $V_+ = \beta V_{cc}$, finché v_i non raggiunge βV_{cc} la v_o non può cambiare
Quando $v_i = V_-$ diventa più grande di $V_+ = \beta V_{cc}$, il segno di v_d si inverte e $v_o = -V_{cc}$.

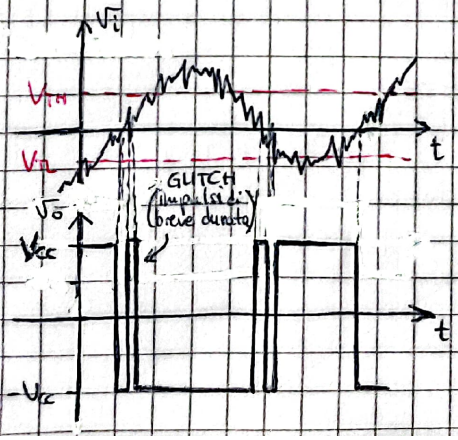
Diminuendo v_i a partire da un valore $> \beta V_{cc}$ si ha:

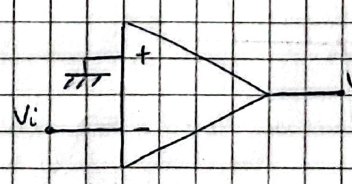
$v_i > \beta V_{cc} \Rightarrow v_o = -V_{cc} \Rightarrow V_+ = -\beta V_{cc}$ la soglia V_+ è diventata $-\beta V_{cc}$

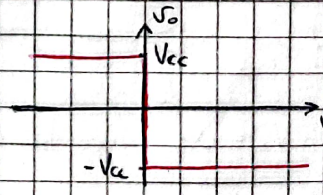
Continuando a diminuire v_i anche sotto βV_{cc}, l'uscita resta al val. di saturazione negativa
Quando $v_i = V_-$ diventa minore di $V_+ = -\beta V_{cc}$, il segno di v_d diventa positivo e $v_o = V_{cc}$

Di fatto, si ha un **CICLO DI ISTERESI**: tra $-\beta V_{cc}$ e βV_{cc} si presentano le 2 sol. stabili

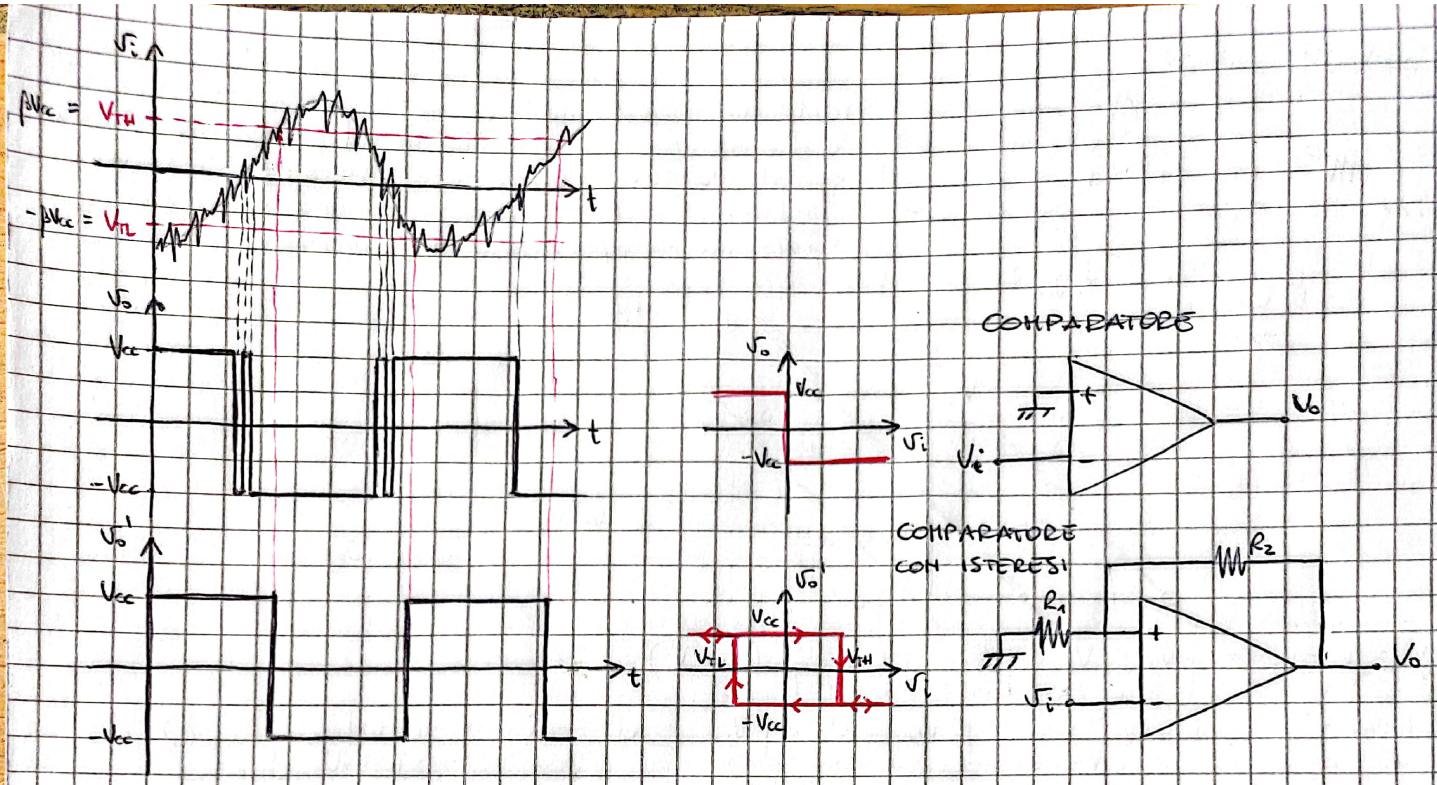
Questo circuito è un **COMPARATORE CON ISTERESI** ed è chiamato **TRIGGER DI SCHMITT**







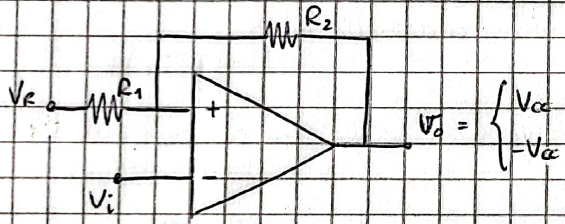
Segnale nei DT con rumore, vogliamo rilevare gli attraversamenti di 0: **COMPARATORE** in cui il segnale è in ingresso al morsetto invertente e l'altro morsetto è settato a 0. Ogni cambio di segno di v_i, cambia l'uscita del comparatore.



COMPARATORE

COMPARATORE CON ISTERESI

Tornando al TRIGGER di SCHMITT:

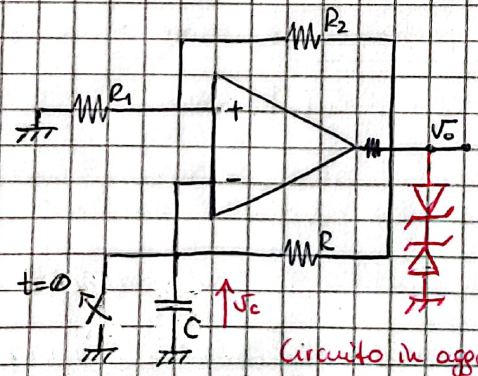


Per cambiare il valore medio della soglia (non avere grafico simmetrico rispetto all'ordinata) si può riferire R_1 a un ingresso V_R.

$$V_t = \beta V_o + V_R(1-\beta) = \pm V_{cc}\beta + V_R(1-\beta)$$

Ho sempre ciclo di isteresi di ampiezza $2\beta V_{cc}$, ma centrato su $V_R(1-\beta)$.

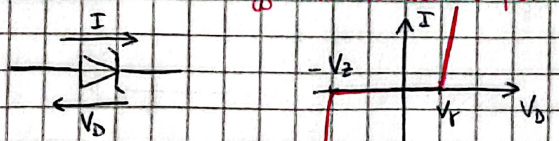
MULTIVIBRATORE ASTABILE



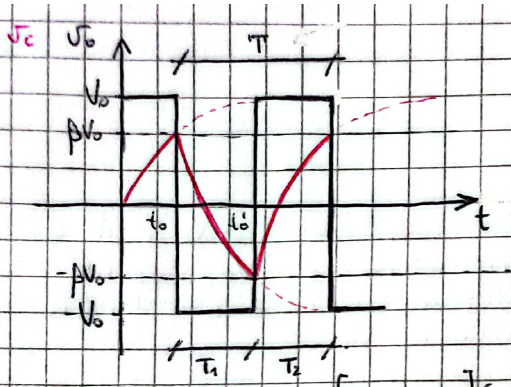
In $t=0$ il C era scarico, supponiamo l'uscita a un livello alto, quindi si ha $V_t = +\beta V_{cc}$, quando si apre l'interruttore il C comincia a caricarsi attraverso R e il valore di V_c cresce esponenzialmente verso il valore di saturazione positivo. Quando raggiunge la soglia, il comparatore commuta e il C comincia a scaricarsi verso il valore di saturazione negativo, finché non raggiunge la nuova soglia, e via dicendo...

Circuito in aggiunta in uscita per simmetrizzare i 2 livelli di saturazione

Diodo Zener



$$V_o = \begin{cases} V_\gamma + V_z = +V_o & \text{uscita maggiore di } V_\gamma + V_z \Rightarrow \text{tensione imposta dai 2 diodi (1 in conduzione e l'altro in cond. di Zener)} \\ -(V_\gamma + V_z) = -V_o & \text{uscita minore di } -V_\gamma - V_z \Rightarrow \text{tensione imposta dai 2 diodi} \end{cases}$$



Se guardiamo l'uscita V_o, questo circuito si comporta come un **GENERATORE DI UN SEGNALE D'ONDA QUADRA**, con un periodo funzione di R e di C.

Carica di C alimentato da un gen.re di tens. costante:

$$v_c(t_0+T) = \left[v_c(\infty) - v_c(t_0)\right]\left(1 - e^{-T/RC}\right) + v_c(t_0)$$

$$v_c(t_0+T_1) = -\beta V_o = \left[-V_o - \beta V_o\right]\left(1 - e^{-\frac{T_1}{RC}}\right) + \beta V_o$$

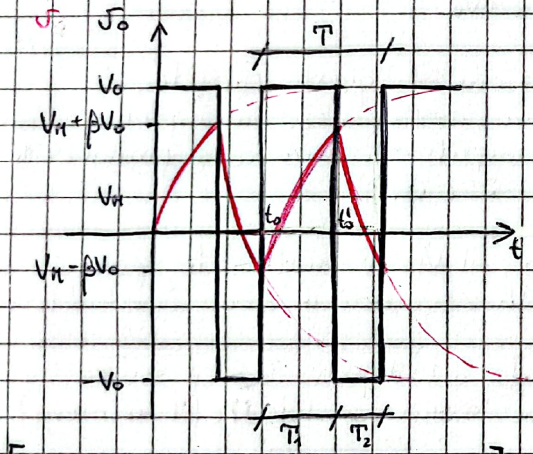
$$\Rightarrow V_o(1+\beta)\, e^{-\frac{T_1}{RC}} = V_o(1-\beta) \quad \Rightarrow \quad T_1 = RC \ln \frac{1+\beta}{1-\beta}$$

$$v_c(t_0'+T_2) = \beta V_o = \left[V_o + \beta V_o\right]\left(1 - e^{-\frac{T_2}{RC}}\right) - \beta V_o \quad \Rightarrow \quad T_2 = RC \ln \frac{1+\beta}{1-\beta}$$

Si ha ovviamente $T_1 = T_2$, essendo tutto simmetrico $\Rightarrow$ $\boxed{T = T_1 + T_2 = 2RC \ln \frac{1+\beta}{1-\beta}}$

$\delta.c. \quad \frac{T_2}{T} = 50\%$ DUTY CYCLE: rapporto tra la durata del segnale alto e il periodo totale del segnale

Finora $V_+ = \pm \beta V_o$, vediamo cosa succede se cambiamo il valore medio: $V_+ = \pm \beta V_o + V_H$



$$v_c(t_0+T_1) = V_H + \beta V_o = \left[V_o - V_H + \beta V_o\right]\left(1 - e^{-\frac{T_1}{RC}}\right) + V_H - \beta V_o$$

$$\Rightarrow V_o\left(1+\beta-\frac{V_H}{V_o}\right) e^{-\frac{T_1}{RC}} = V_o\left(1-\beta-\frac{V_H}{V_o}\right)$$

$$\Rightarrow T_1 = RC \ln \frac{1+\beta-\frac{V_H}{V_o}}{1-\beta-\frac{V_H}{V_o}} \quad \text{vale per} \quad \begin{cases} V_H + \beta V_o < V_o \\ V_H - \beta V_o < V_o \end{cases}$$

$$v_c(t_0'+T_2) = V_H - \beta V_o = \left[-V_o - V_H - \beta V_o\right]\left(1 - e^{-\frac{T_2}{RC}}\right) + V_H + \beta V_o$$

$$\Rightarrow V_o\left(1+\beta+\frac{V_H}{V_o}\right) e^{-\frac{T_2}{RC}} = V_o\left(1-\beta+\frac{V_H}{V_o}\right)$$

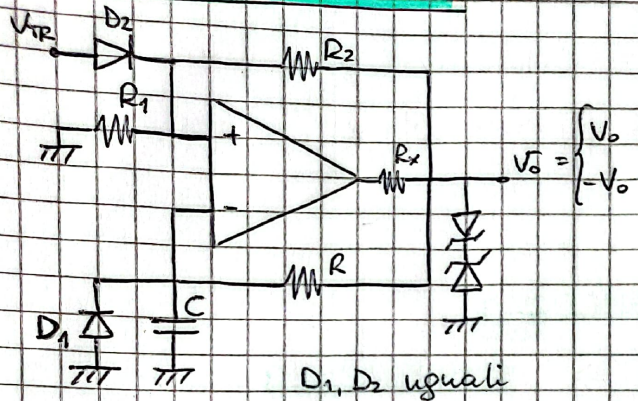
$$\Rightarrow T_2 = RC \ln \frac{1+\beta+\frac{V_H}{V_o}}{1-\beta+\frac{V_H}{V_o}} < T_1 \text{ vale per } \begin{cases} V_H + \beta V_o > -V_o \\ V_H - \beta V_o > -V_o \end{cases}$$

$[T_1, T_2$ esistono per $\begin{cases} V_H + \beta V_o < V_o \\ V_H - \beta V_o > -V_o \end{cases}]$

$$T = T_1 + T_2 = RC\left[\ln \frac{1+\beta-\frac{V_H}{V_o}}{1-\beta-\frac{V_H}{V_o}} + \ln \frac{1+\beta+\frac{V_H}{V_o}}{1-\beta-\frac{V_H}{V_o}}\right] \quad \Rightarrow \quad \delta.c. \ \frac{T_1}{T} > 50\%$$

LEZIONE 12R

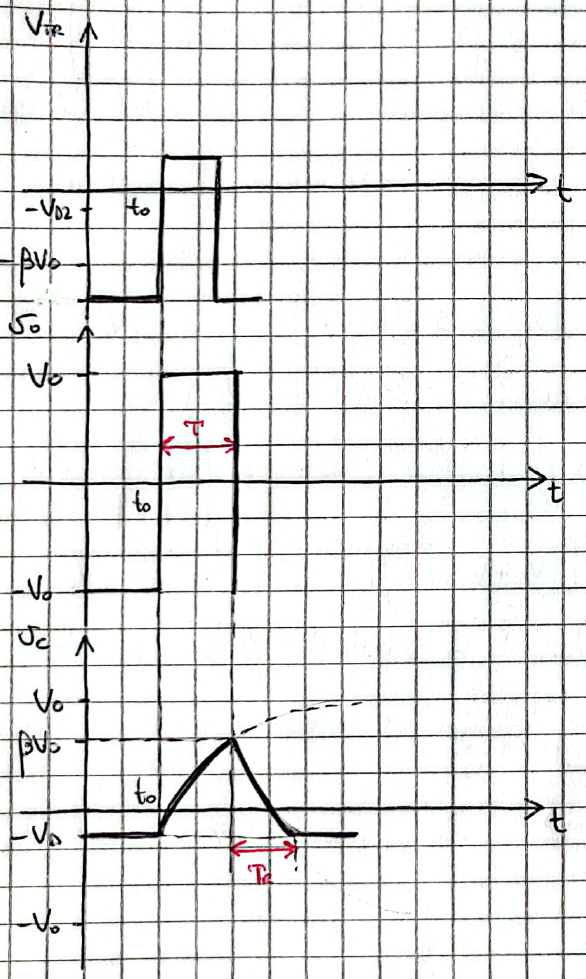
MULTIVIBRATORE MONOSTABILE



D_1, D_2 uguali

Quando v_o assume il valore $-V_o$ e il C inizia a scaricarsi verso $-V_o$, appena v_c raggiunge $-V_R$ la scarica di C si blocca e la v_o rimane a $-V_o$.

L'aggiunta di D_2 e V_{TR} serve a far uscire il circuito dallo stato stabile.
V_{TR} non ha effetti se non forza il pot. V_+ al di sotto di $-V_o$ (che si ha a V_-)



Con $V_{TR} < -\beta V_o$, questo segnale è influente

Quando V_{TR} diventa > 0, avendo $V_+ = -\beta V_o$, questo segnale è in grado di forzare $V_+ = V_{TR} - V_{D2}$ e quindi appena $V_{TR} > 0$, $V_+ > -V_D$, quindi v_o commuta a $+V_o$

Quindi, la funzione di questo circuito, è quella di generare, a fronte di un impulso di trigger, un impulso di durata programmabile in funzione di R e C.

Quando $v_o = V_o$, il V_{TR} è influente, perché v_o forza $V_+ = \beta V_o$ e quindi il diodo è interdetto.

Abbiamo la durata dell'impulso T e il tempo nec. a ripristinare lo stato stabile T_R (T recovery)

$$v_c(t_0+T) = \beta V_o = (V_o + V_D)\left(1 - e^{-\frac{T}{RC}}\right) - V_D$$

$$\Rightarrow \cancel{V_o}\left(1 + \frac{V_D}{V_o}\right) e^{-\frac{T}{RC}} = \cancel{V_o}(1-\beta)$$

$$\Rightarrow \boxed{T = RC \ln \frac{1 + V_D/V_o}{1-\beta}}$$

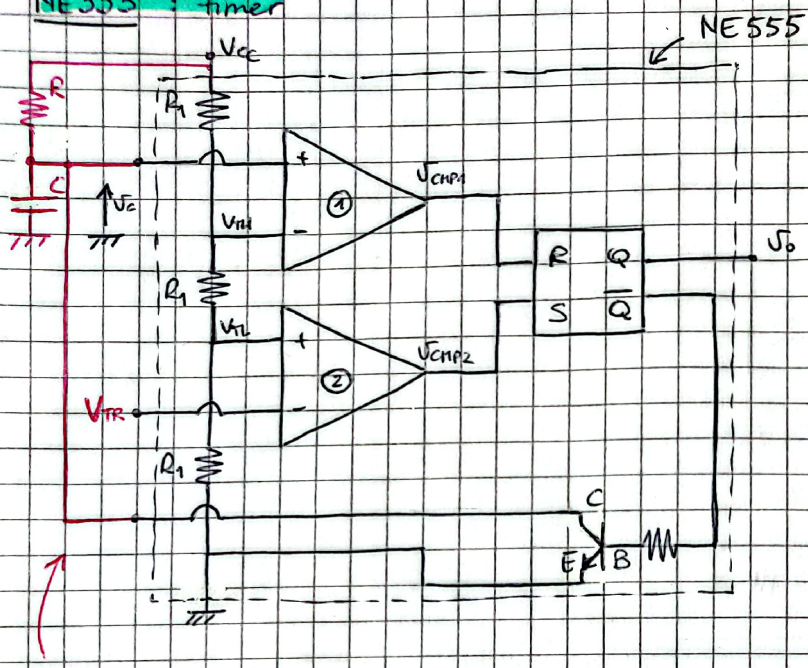
Questa T vale se l'impulso di trigger è stato attivato a partire dalla condizione stabile ($v_c = -V_D$)

Quindi, per sapere il valore di T, dato un impulso di trigger, è nec. attendere $T + T_R$ prima di dare un impulso successivo.

$$v_c(t_0 + T + T_R) = -V_D = \left[-V_o - \beta V_o\right]\left(1 - e^{-\frac{T_R}{RC}}\right) + \beta V_o$$

$$\Rightarrow \cancel{V_o}(1+\beta) e^{-\frac{T_R}{RC}} = \cancel{V_o}(1 - V_D/V_o) \quad \Rightarrow \quad \boxed{T_R = RC \ln \frac{1+\beta}{1 - V_D/V_o}}$$

NE555 : timer



MONOSTABILE

$V_{TL} = \frac{1}{3} V_{CC}$

$V_{TH} = \frac{2}{3} V_{CC}$

$v_{CMP1,2} = \begin{cases} H & V_+ > V_- \\ L & V_+ < V_- \end{cases}$

$H \leftrightarrow V_{CC}$

$L \leftrightarrow 0V$

R Q / S $\overline{Q}$ flip-flop SR

S (set) e R (reset)

S_n	R_n	Q_{n+1}	$\overline{Q}_{n+1}$
L	L	Q_n	$\overline{Q}_n$
H	L	1 (H)	0 (L)
L	H	0 (L)	1 (H)
H	H	?	(proibita)

$v_{TR} > V_{TL}$ (a riposo) $\Rightarrow$ $v_{CMP2} = L$

Colleghiamo il dispositivo all'alimentazione V_{CC}, supponiamo che la condizione del flip-flop all'accensione sia $Q_0 = H$ e $\overline{Q}_0 = L$

$\overline{Q} = L \Rightarrow$ BJT non in conduzione, quindi collettore-(+1) è un c.a.

Il C comincia a caricarsi (partendo da 0), inizialmente $V_{+1} = v_C < V_{TH}$, quindi $v_{CMP1} = L$.

Quando v_C raggiunge $\frac{2}{3} V_{CC}$ e lo supera, il CMP1 passa a $v_{CMP1} = H$, quindi $R = H$, quindi $Q = L$ e $\overline{Q} = H$.

$\overline{Q} = H \Rightarrow$ BJT in conduzione $\Rightarrow$ scarica il C e il circuito raggiunge uno stato stabile a meno dell'intervento di V_{TR}.

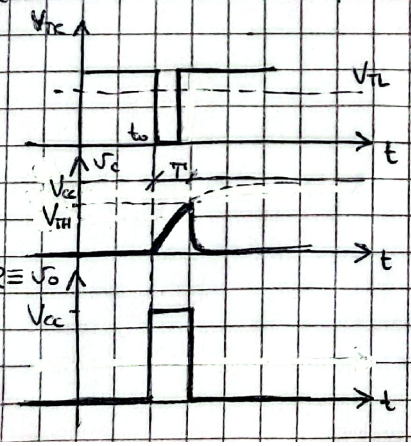
Lo stato di riposo prevede di avere $v_o = L = 0V$, $v_C = 0V$, $v_{CMP1,2} = L$

↑ C scaricato e $V_+ < V_-$, quindi $v_{CMP1} = L$

Supponiamo di portare $v_{TR} < \frac{1}{3} V_{CC} = V_{TL} \Rightarrow v_{CMP2} = H \Rightarrow Q = H$ e $\overline{Q} = L$

Quindi si carica il C, v_C tende a V_{CC}, finché non raggiunge $v_C = \frac{2}{3} V_{CC} = V_{TH}$ e $v_{CMP1} = H$ (nel frattempo $V_{TR} \nless V_{TL} \Rightarrow v_{CMP2} = L$)

Quindi si ha $Q = L$, $\overline{Q} = H \Rightarrow$ C si scarica



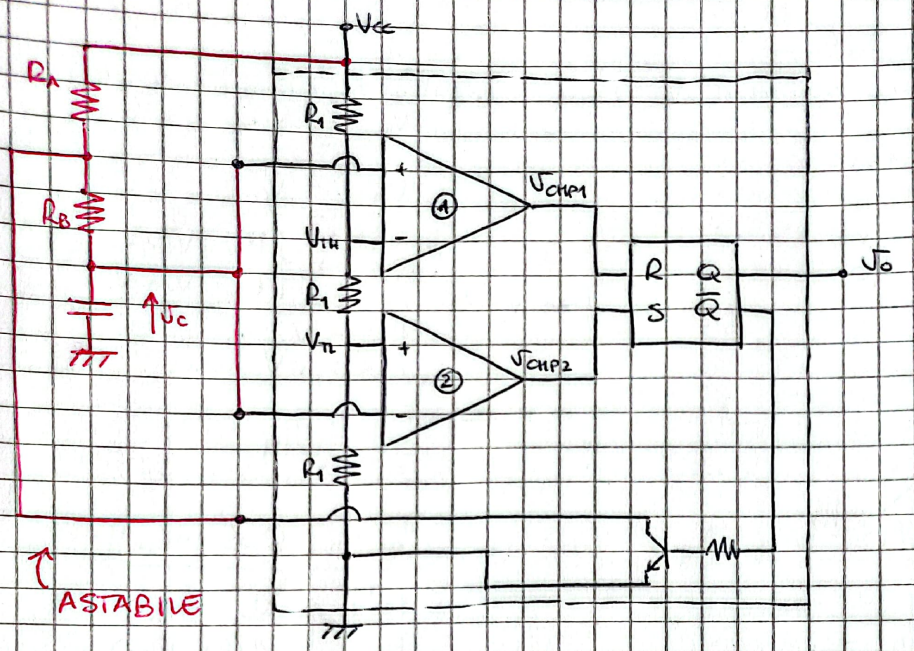
Il C si scarica in modo istantaneo perché è cortocircuitato dal BJT che va in conduzione

$v_C(t_0+T) = \frac{2}{3} V_{CC} = (V_{CC} - 0)(1 - e^{-\frac{T}{RC}}) + 0$

$\Rightarrow \frac{2}{3} V_{CC} - V_{CC} = -V_{CC} e^{-\frac{T}{RC}} = -\frac{1}{3} V_{CC}$

$\Rightarrow T = RC \ln 3$

Config. come MULTIVIB. ASTABILE



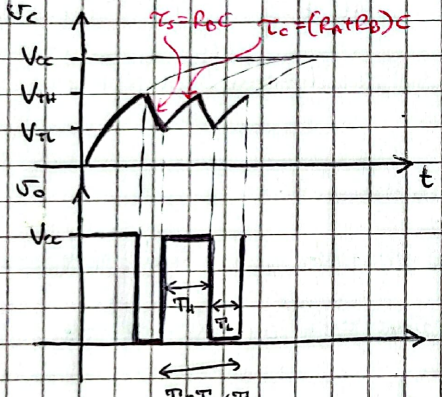
All'accensione $V_c = 0V \Rightarrow V_{CHP2} = H$, $V_{CHP1} = L \Rightarrow Q = H$, $\bar{Q} = L \Rightarrow$ C si carica ($\tau_c = (R_A + R_B)C$)

Quando V_c raggiunge $V_{TL} = \frac{1}{3}V_{cc} \Rightarrow V_{CHP2} = L$

Quando V_c raggiunge $V_{TH} = \frac{2}{3}V_{cc} \Rightarrow V_{CHP1} = H$

$\Rightarrow Q = L$, $\bar{Q} = H \Rightarrow$ C si scarica attraverso R_B che è c.c. ($\tau_s = R_B C$) (e $V_{CHP1} = L$)

Quando $V_c \leq V_{TL} \Rightarrow V_{CHP2} = H \Rightarrow Q = H$, $\bar{Q} = L$



T_H: $(V_{cc} - \frac{1}{3}V_{cc})(1 - e^{-\frac{T_H}{\tau_c}}) + \frac{1}{3}V_{cc} = \frac{2}{3}V_{cc} \Rightarrow$ **$T_H = (R_A + R_B)\,C\,\ln 2$**

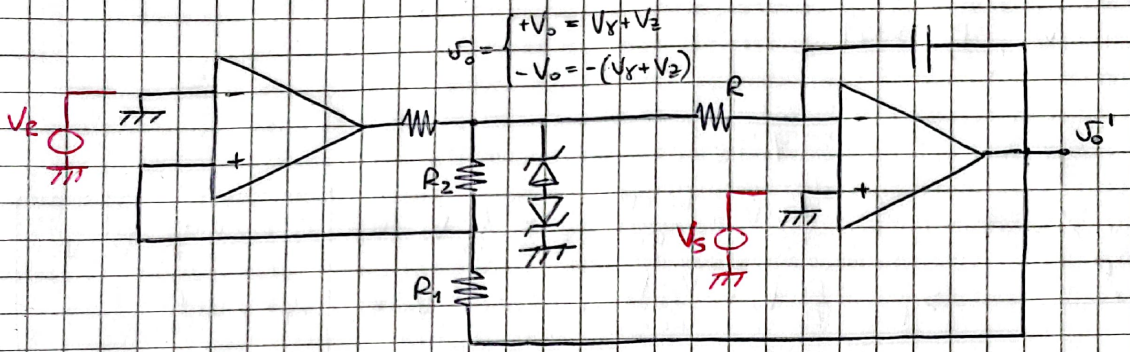
T_L: $(0 - \frac{2}{3}V_{cc})(1 - e^{-\frac{T_L}{\tau_s}}) + \frac{2}{3}V_{cc} = \frac{1}{3}V_{cc} \Rightarrow$ **$T_L = R_B C \ln 2$**

T: $T = T_H + T_L = C \ln 2\,(R_A + 2R_B)$, con $S.C. = \frac{T_H}{T_H + T_L} = \frac{R_A + R_B}{R_A + 2R_B} > 50\%$

LEZIONE 13R

Con il TRIGGER DI SCHMITT si può realizzare dei generi di forme d'onda.
Ad es., accoppiando l'uscita ad un integratore, è possibile generare rampe di tensioni lineari e, retroazionando l'uscita dell'integratore sul trigger di Schmitt stesso, è possibile far alternare la pendenza delle rampe.

GEN.RE DI ONDA TRIANGOLARE



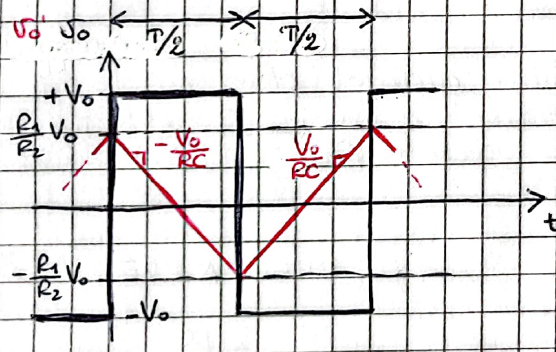
In questa config., il TR. di SCHMITT commuta quando V_t attraversa lo $\emptyset$ (V_t cambia segno)

$$V_t = \emptyset \;, \quad V_t = V_o\beta + V_o'(1-\beta) \;, \text{ con } \beta = \frac{R_1}{R_1+R_2} \;, \quad \frac{\beta}{1-\beta} = \frac{\frac{R_1}{R_1+R_2}}{\frac{R_2}{R_1+R_2}} = \frac{R_1}{R_2}$$

$$\Downarrow$$

$$V_o' = -V_o\frac{\beta}{1-\beta} = \begin{cases} -V_o\frac{R_1}{R_2} & V_o = V_o \\ V_o\frac{R_1}{R_2} & V_o = -V_o \end{cases}$$

Con questa config. il circuito commuta di continuo.



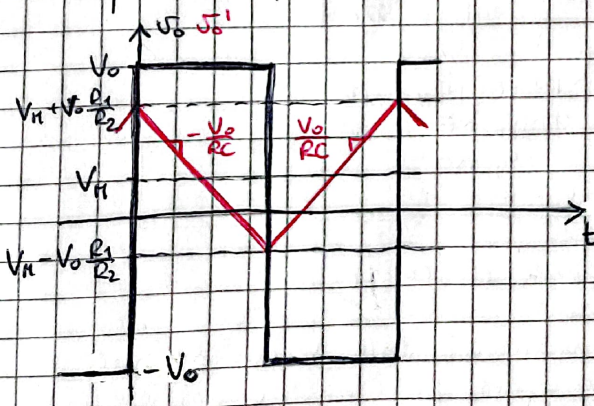
$$-V_o\frac{R_1}{R_2} + \frac{V_o}{RC}\frac{T}{2} = V_o\frac{R_1}{R_2} \Rightarrow \boxed{T = 4RC\frac{R_1}{R_2}}$$

Abbiamo 4 parametri da settare per avere un certo T

Questo segnale è a valore medio nullo, ma questa condizione si può modificare

Applicando un generico V_R al morsetto invertente del TR. DI SCHMITT, la condizione di scatto diventa $V_t = V_R$ ($V_R > \emptyset$, $-V_s = \emptyset$)

$$V_o\beta + V_o'(1-\beta) = V_R \Rightarrow V_o' = \frac{V_R}{1-\beta} - V_o\frac{\beta}{1-\beta} = \underbrace{V_R\left(1+\frac{R_1}{R_2}\right)}_{V_H} - V_o\frac{R_1}{R_2}$$



Non cambia $T = 4RC\frac{R_1}{R_2}$

Il tutto vale se $V_R\left(1+\frac{R_1}{R_2}\right) + V_o\frac{R_1}{R_2} < V_o$

$$V_R\left(1+\frac{R_1}{R_2}\right) < V_o\left(1-\frac{R_1}{R_2}\right)$$

$$V_R < V_o\frac{R_2-R_1}{R_2+R_1}$$

e $V_R\left(1+\frac{R_1}{R_2}\right) - V_o\frac{R_1}{R_2} > -V_o$

$$V_R\left(1+\frac{R_1}{R_2}\right) > V_o\left(\frac{R_1}{R_2}-1\right)$$

$$V_R > V_o\frac{R_1-R_2}{R_1+R_2}$$

Condizioni di validità $\boxed{V_o\frac{R_1-R_2}{R_1+R_2} < V_R < V_o\frac{R_2-R_1}{R_2+R_1}}$

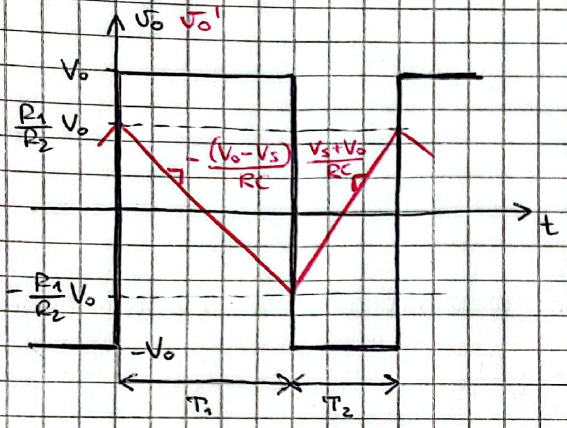
Supponiamo di applicare un gen.re V_S al morsetto non invertente dell'integratore ($V_S > 0$, $V_R = 0$)

Per il p. delle masse virtuali, anche V_- dell'integratore è a pot. V_S.

Nel ramo con R tra i 2 operazionali, scorre corrente dissimmetrizzata:

$$V_o = +V_o \Rightarrow I_+ = \frac{V_o - V_S}{R} \quad ; \quad V_o = -V_o \Rightarrow I_- = \frac{-V_o - V_S}{R}$$

$I_+ < I$ che scorre senza V_S, $|I_-| > |I|$



$$T_1 \neq T_2$$

$$-\frac{R_1}{R_2} V_o + \frac{V_S + V_o}{RC} T_2 = \frac{R_1}{R_2} V_o \Rightarrow \boxed{T_2 = 2V_o \frac{R_1}{R_2} \frac{RC}{V_o + V_S}}$$

$$\frac{R_1}{R_2} V_o - \frac{V_o - V_S}{RC} T_1 = -\frac{R_1}{R_2} V_o \Rightarrow \boxed{T_1 = 2V_o \frac{R_1}{R_2} \frac{RC}{V_o - V_S}}$$

$$T = T_1 + T_2 = 2V_o \frac{R_1}{R_2} RC \left(\frac{1}{V_o + V_S} + \frac{1}{V_o - V_S} \right) =$$

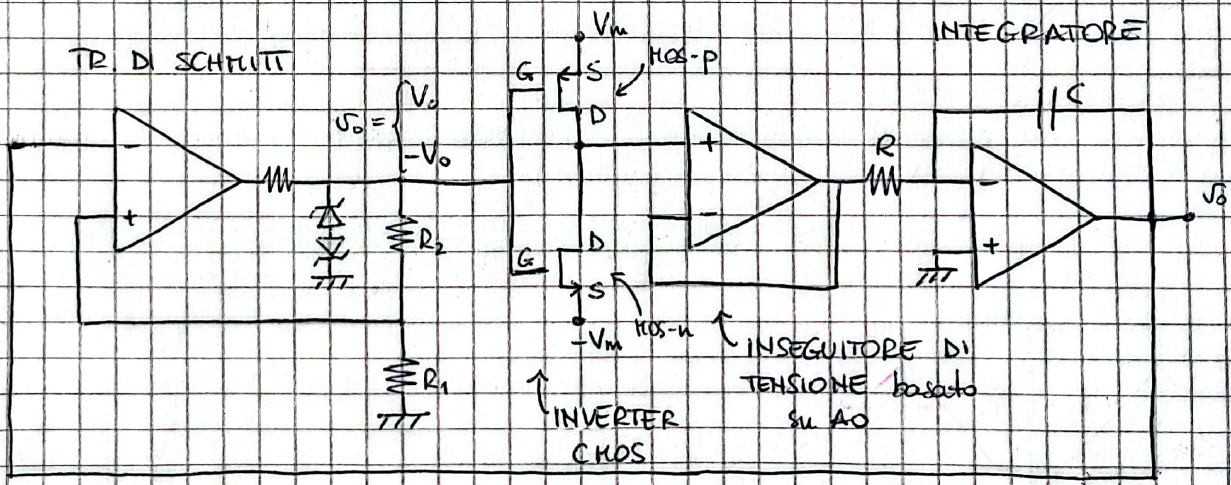
$$= 4 \frac{R_1}{R_2} RC \frac{V_o^2}{V_o^2 - V_S^2}$$

$$\text{S.C.} = \frac{T_1}{T} = \frac{\frac{1}{V_o - V_S}}{\frac{1}{V_o + V_S} + \frac{1}{V_o - V_S}} = \frac{V_o + V_S}{2V_o} = \frac{1}{2} + \frac{1}{2} \frac{V_S}{V_o} > 50\%$$

Ultimo circuito che utilizza il TRIGGER di SCHMITT

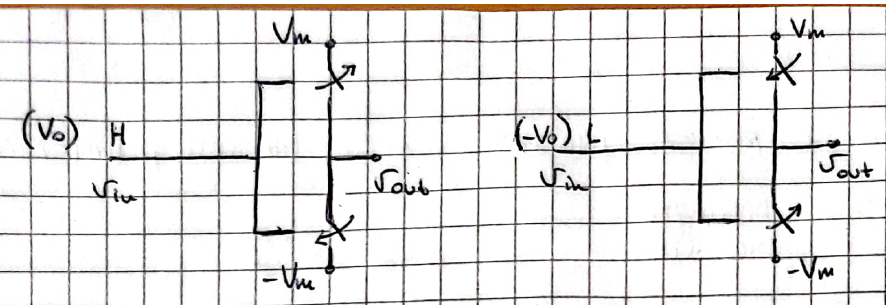
VCO → Voltage Controlled Oscillator

Variabile del gen.re di onda triangolare inserendo un blocco circuitale che consente di iniettare un ingresso aggiuntivo nell'oscillatore per controllare con un ingresso esterno il valore del periodo (o della freq.) della forma d'onda generata (quadra del T. di Schmitt e triangolare dell'integratore)



Segnali $+V_m$ e $-V_m$ sui SOURCE dei MOS sono i segnali di controllo

Possiamo immaginare i transistor come interruttori comandati dallo stesso segnale V_o (uscita trigger di Schmitt), alternativamente chiusi o aperti in funzione del segnale che pilota i GATE (se uno è aperto, l'altro è chiuso, e viceversa)



$V_{in} = H \Rightarrow V_{out} = -V_m$; $V_{in} = L \Rightarrow V_{out} = +V_m$

Con ingresso alto ho un percorso conduttivo verso $-V_m$ e se non vi scorre corrente (c.a. è pilota ingresso ad alta imped. come morsetto di un AO) non ho caduta e $V_{out} = -V_m$

Con ingresso basso, conduce il MOS-p e non il MOS-n, quindi $V_{out} = +V_m$

Il caso I funziona se $V_o - (-V_m) > V_{TN}$ (tensione di soglia del MOS-n) e
$V_m - V_o < |V_{TP}|$ (tensione di soglia del MOS-p)

Il caso II funziona se $V_m - (-V_o) > |V_{TP}|$
$-V_o + V_m < V_{TN}$

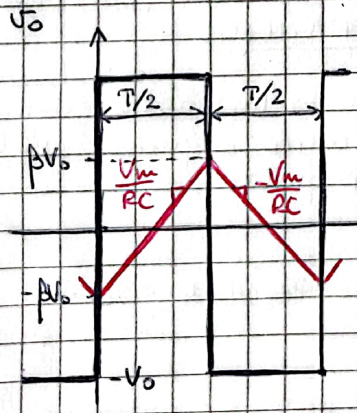
Quindi si richiede che $\begin{cases} V_o + V_m > V_{TN}, |V_{TP}| \\ V_m - V_o < V_{TN}, |V_{TP}| \end{cases}$ $\forall V_m$

Quindi il blocco INVERTER+INSEGUITORE DI TENSIONE ha:

ingresso V_o $\Rightarrow$ uscita $-V_m$
ingresso $-V_o$ $\Rightarrow$ uscita V_m
} a pilotare l'integratore

La condizione di commutazione per il trigger di Schmitt diventa

$V_o' = V_t = \beta V_o \Rightarrow V_o' = \begin{cases} \beta V_o & V_o = V_o \\ -\beta V_o & V_o = -V_o \end{cases}$



In $t=0$ V_o commuta a $+V_o$ (quindi $V_o' = -\beta V_o$ in $t=0$) e si ha $-V_m$ in entrata all'integratore, che genera una rampa a pendenza positiva $\frac{V_m}{RC}$.

Quando V_o' raggiunge $+\beta V_o$ il tr. di Schmitt commuta, in ingresso all'integratore si ha $+V_m$, si genera una retta con pendenza $-\frac{V_m}{RC}$

Per calcolare T (o f): $-\beta V_o + \frac{V_m}{RC}\frac{T}{2} = \beta V_o$

$$\Rightarrow \boxed{f = \frac{1}{T} = \frac{V_m}{4RC}\cdot\frac{1}{\beta V_o} = \frac{V_m}{4\beta RC}\left(1+\frac{R_2}{R_1}\right)\frac{1}{V_o}}$$

Generalmente V_m consente di variare linearmente f su più di 3 decadi.

LEZIONE 14R

Iniziamo ad affrontare la conversione ANALOGICO/DIGITALE e quella DIGITALE/ANALOGICA.

GRANDEZZE ANALOGICHE $\xrightarrow{ADC}$ $\xleftarrow{DAC}$ GRANDEZZE DIGITALI

Tipicamente, una grand. fisica viene tradotta in un segn. elettrico che viene condizionato nel mondo analogico, avviene la ADC, nel mondo digitale il segn. può venir elaborato, memorizzato, trasmesso, prima o poi avviene la DAC e viene riconvertito in analogico.

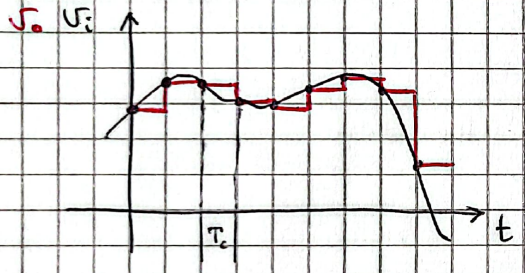
Esempio: segn. sonoro, che viene acquisito, elaborato e poi nuovamente utilizzato per pilotare un trasduttore (come cassa stereo).

ADC si basa sul teorema di Nyquist

Teorema di Nyquist

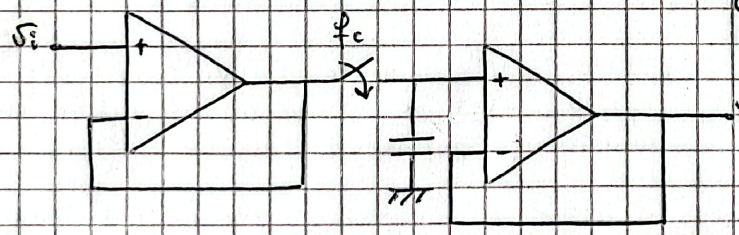
Se abbiamo un segnale con banda B e lo campioniamo con $f_c \geq 2B$, allora non abbiamo perdita di informazioni.

Questo vale se si considera un campionamento ideale, in realtà nella ADC, al campionamento, seguono la QUANTIZZAZIONE e la CODIFICA.



$$T_c = \frac{1}{f_c}$$

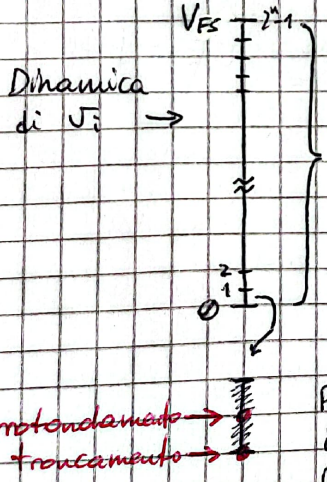
Se $f_c \geq 2B$, di fatto è teoricamente possibile ricostruire tutta l'informazione del segnale di partenza perché nelle repliche spettrali della seg. campionata non c'è sovrapposizione



Circuito che esegue l'operazione di CAMPIONAMENTO

A questo livello ci possiamo ricondurre a quanto stabilito da Nyquist.

Processi successivi al campionamento prevedono 2 fasi: QUANTIZZAZIONE + CODIFICA



$$N = 2^n - 1 \underset{n \gg 1}{\simeq} 2^n$$

$\Downarrow$

n bit

Quantizzazione: assegnazione di 1 val. rappresentativo di tutti i segn. che appartengono ad un det. intervallo (con associato un errore)

Per tutti i val. che cascano in un intervallo, si sceglie un rappresentante (tipicamente o estremo inf. o val. medio)

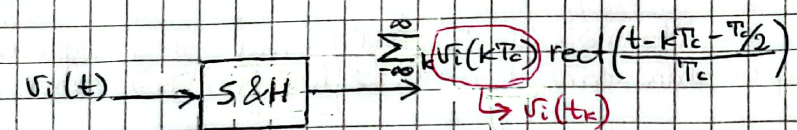
Codifica: dopo quantizzazione, il val. di ogni scalino di v_o casca in un intervallo (i-esimo), gli viene associato il val. dell'intervallo, che viene codificato con la posizione dell'intervallo.

Quindi, l'uscita di CAMPION. + QUANTIZ. + CODIFICA è un numero tra 0 e 2^n-1 che individua l'intervallo in cui il campione è caduto.

Chiamiamo l'ampiezza dell'intervallo $V_{LSB} = \frac{V_{FS}}{N} = \frac{V_{FS}}{2^n-1}$

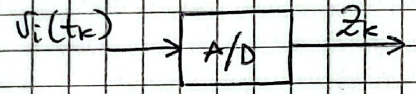
Troncamento: il num. associato a ciascun intervallo $z_i = \left\lfloor \frac{v_i(t_k)}{V_{LSB}} \right\rfloor$

Arrotondamento: $z_i = \left\lfloor \frac{v_i(t_k) + V_{LSB}/2}{V_{LSB}} \right\rfloor$



$v_i(t) \in [0, V_{FS}]$

↖ BLOCCO SAMPLE & HOLD (CAMPIONATORE)



QUANTIZZAZIONE + CODIFICA

$$z_k = \begin{cases} \left\lfloor \frac{v_i(t_k) + V_{LSB}/2}{V_{LSB}} \right\rfloor_2 & \text{(ARROTOND.)} \\ \left\lfloor \frac{v_i(t_k)}{V_{LSB}} \right\rfloor_2 & \text{(TRONC.)} \end{cases}$$

$V_{LSB} = \frac{V_{FS}}{2^n-1} \Rightarrow$ z_k è un numero in base 2 ad n bit.

Richiamo al significato del teo. di Nyquist:

Sia $f(t)$ di periodo T, ovvero t.c. $f(t+mT) = f(t)$, sia $\omega_0 = \frac{2\pi}{T}$

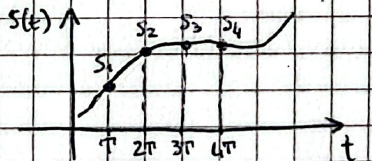
$\Rightarrow f(t) = \sum_{-\infty}^{\infty}{}_n F_n e^{jn\omega_0 t}$, con $F_n = \frac{1}{T}\int_{-T/2}^{T/2} f(t) e^{-jn\omega_0 t}\, dt$

↳ Sviluppo in serie di Fourier (forma complessa)

Sia $s(t)$ (eq. di $v_i(t)$ di prima) e campioni equispaziati di $s(t)$

$\{s_n\} = s(t) \sum_{-\infty}^{\infty}{}_n \delta(t-nT)$

$\delta_T(t)$: PETTINE DI DIRAC

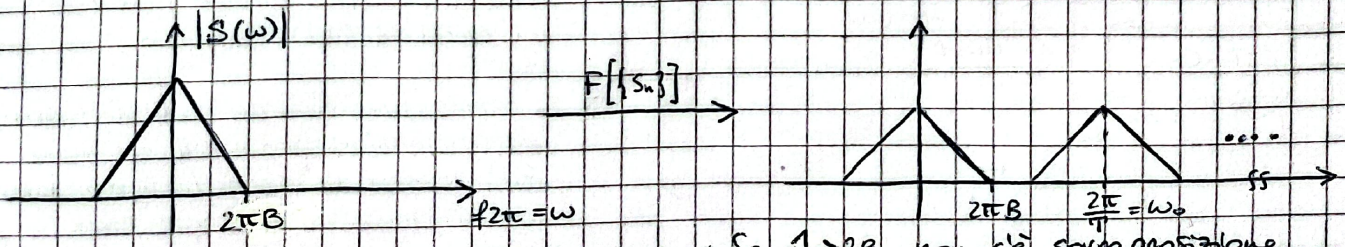


$\delta_T(t)$ è periodica di periodo $T \Rightarrow$ si può esprimere in serie di Fourier

$\delta_T(t) = \sum_{-\infty}^{\infty}{}_k c_k e^{jk\omega_0 t}$, con $\omega_0 = \frac{2\pi}{T} = 2\pi f_c$ e $c_k = \frac{1}{T}\int_{-T/2}^{T/2} \delta_T(t) e^{-jk\omega_0 t}\, dt = \frac{1}{T}$

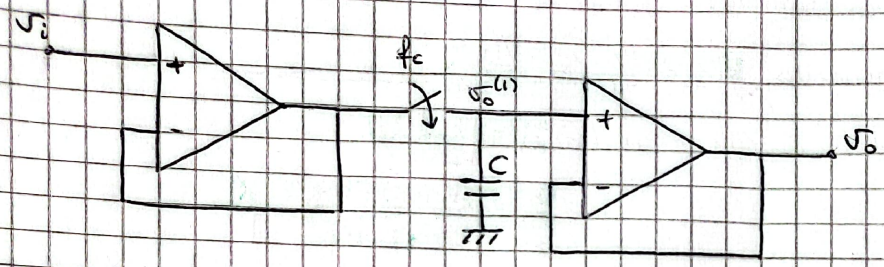
$\Rightarrow \{s_n\} = s(t) \sum_{-\infty}^{\infty}{}_k \frac{1}{T} e^{jk\omega_0 t} = \frac{1}{T} \sum_{-\infty}^{\infty}{}_k s(t) e^{jk\omega_0 t}$

$\Rightarrow$ trasf. di Fourier $\left(f(t)e^{j\omega_0 t} \to F(\omega-\omega_0)\right)$: $F[\{s_n\}] = \frac{1}{T}\sum_{-\infty}^{\infty}{}_k S(\omega - k\omega_0)$

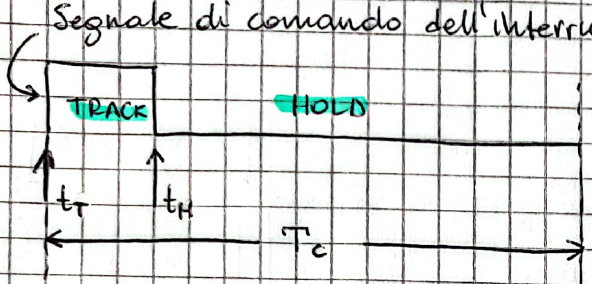


Se $\frac{1}{T} > 2B$ non c'è sovrapposizione

Funzionamento dei circuiti di **SAMPLE AND HOLD**



Il campionamento non può essere istantaneo. Se T_c è l'intervallo di campionamento, il funzionamento del circuito campionatore sarà diviso in 2 fasi (in T_c): TRACK e HOLD



1ª fase: interruttore chiuso, il primo inseguitore di tensione riesce ad agganciare il segnale → TRACK

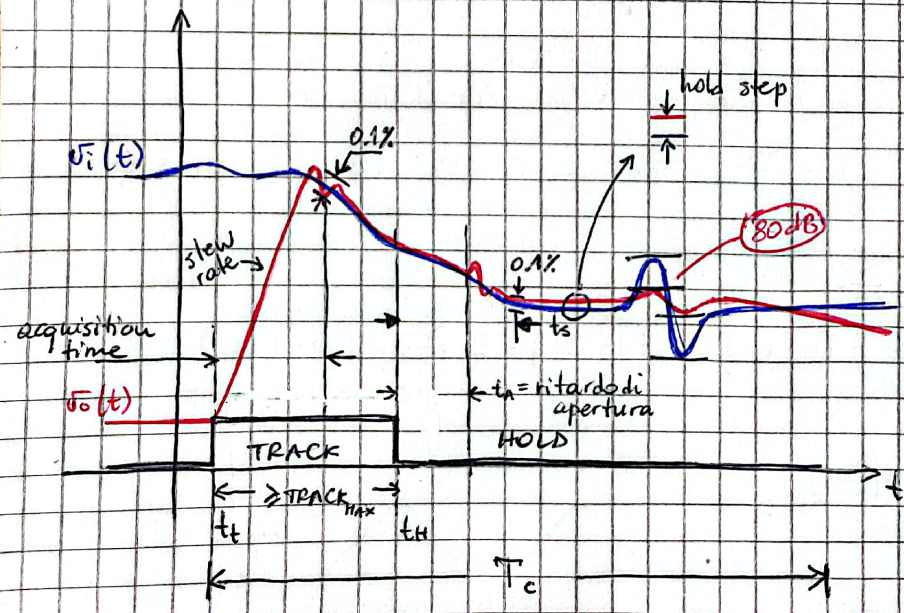
2ª fase: una volta agganciato il segnale d'ingresso ($v_o^{(1)} = v_i$ nominalmente), l'interruttore si apre → HOLD

A questo punto, il segnale v_o ($v_o^{(2)}$) è uguale al valore di v_i in corrispondenza dell'istante nominale di apertura dell'interruttore (t_{IK}).
Durante la fase di HOLD agiranno i circuiti a valle (quantizzazione + codifica)

Nel funzionamento reale le non idealità degli AO, dell'interr. e del C giocano un ruolo.

Ci sono alcuni effetti di non idealità che sono compensabili in un secondo momento (le tens. di off-set degli AO)

Altri effetti dovuti a non idealità non sono compensabili ma vanno gestiti.



Nell'istante in cui inizia la fase di TRACK l'uscita v_o vale il val. precedente immagazzinato nel C.

l'AO ha velocità di risposta finita (slew rate), occorre un certo tempo perché v_o cominci effettivamente a inseguire il segn.

In gen. un sist. di questo tipo non risponde come un sist. a singolo polo: c'è un overshoot che si smorza.

l'acquis. time dipende dalla distanza del valore di v_o prima della chiusura dell'interr. e il segnale v_i e definisce la durata della fase di TRACK.

La durata del TRACK è dimensionata in modo che anche nel caso peggiore (v_o e v_i hanno distanza max, in base alla dinamica di v_i) il TEMPO DI ACQUISIZIONE sia ≤ al tempo di TRACK.

Finita la fase di TRACK, l'interruttore non si apre istantaneamente, ma c'è un ritardo t_A, che dipende in generale dal valore di V_i e lo si tratta come una variabile aleatoria.

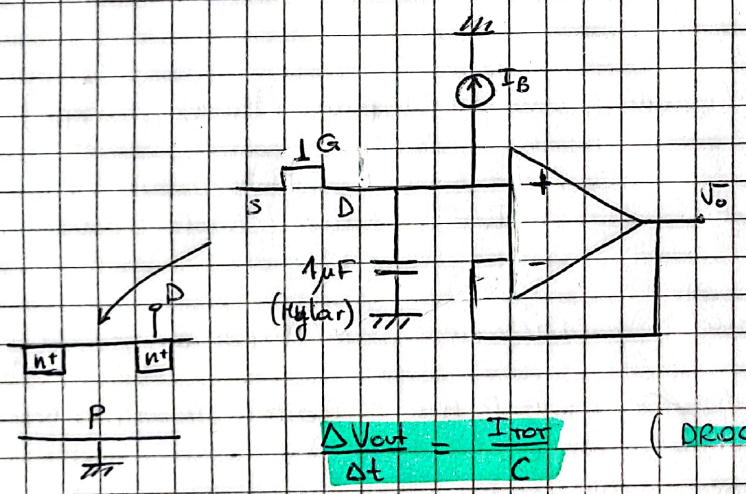
Dopo l'apertura dell'interruttore (in $t_H + t_A$) la V_c subisce un'oscillazione con successivo assestamento su un valore diverso dal val. effettivo di V_i

Supponiamo interruttore fatto con JFET, ci sono 2 fenomeni: la ridistribuzione della carica che formava il canale a interruttore chiuso (una parte finisce sulla C) e accoppiamenti capacitivi del segnale di comando dell'interruttore con la C stessa.
Questi fenomeni provocano la fase di assestamento del segnale e l'errore rispetto al segnale effettivo (HOLD STEP) e possiamo definire un tempo di setting (t_s) in cui il segnale si assesta in una fascia di ampiezza ben definita rispetto al valore finale.

Da questa fase in poi il V_o dovrebbe rimanere costante almeno fino a fine T_c.
Può accadere che in presenza di variazioni del V_i (soprattutto se in alta freq.), a causa di accoppiamenti capacitivi della non idealità dell'interr., parzialmente ci può essere un effetto sulla V_c (fenomeno del FEED THROUGH)
Il FEED THROUGH è definito in termini di attenuazione tra le var. di V_i e V_c (tipicamente dell'ordine di 80 dB)

$V_c = V_i \frac{C_P}{C_P + C_H}$ var. interr. aperto a causa della C parassita

La C vede idealmente un'impedenza infinita, quindi non si scarica.
In realtà sia verso l'AO2, sia verso l'interr. aperto l'impedenza non è infinita, c'è una corrente di perdita che scarica il C e quindi c'è una diminuzione di V_c

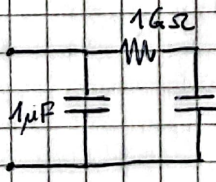


Supponiamo interruttore MOS.
Consideriamo la corr. di polarizz. I_B

Al D del MOS si vede una giunzione pn polarizzata inversamente, quindi alla I_B si somma la corr. di sat. inverso della giunzione

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{tot}}{C} \quad \text{(DROOP)}$$

Altro fenomeno che influisce sul parametro DROOP: la non idealità del condensatore.

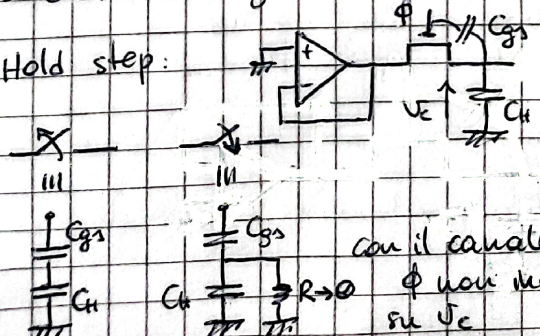


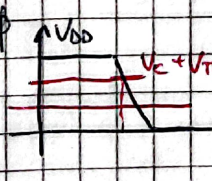
MYLAR dielettrico: non ottimale perché modellabile come $R = 1G\Omega$ + $C = 6\mu F$ in parallelo al C

Se la durata del TRACK non è suff. a caricare anche il secondo condensatore, quando si passa all'HOLD si ha ridistribuzione di carico tra i due C e conseguente variazione di V_c

I dielettrici migliori sono TEFLON, POLISTIRENE e POLIPROPILENE.

Hold step:



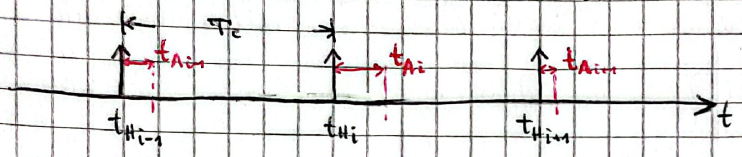


Senza canale (interr. aperto) si forma un partitore capacitivo

$$\Delta\phi(V_H) \cdot \frac{C_{gs}}{C_{gs} + C_H} = \Delta V_c$$ minimizzo con $C_H \gg C_{gs}$

con il canale ϕ non influisce su V_c

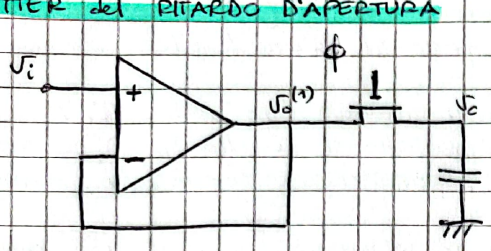
Il rit. di apertura t_A è trattato come v.a.

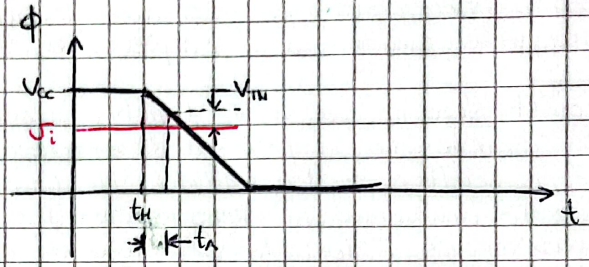


$t_{Hi-1,i,i+1}$: istanti nominali di apertura

$\Delta t_A = t_{A\max} - t_{A\min}$: parametro fornito dal produttore dell'interruttore

↑ JITTER del RITARDO D'APERTURA





Quando si apre l'interr. il sist. è andato a regime: $v_o^{(1)} = v_i$, $v_c = v_i$

Quando apro l'interr., il segn. di comando ϕ si porta a 0 in un tempo finito

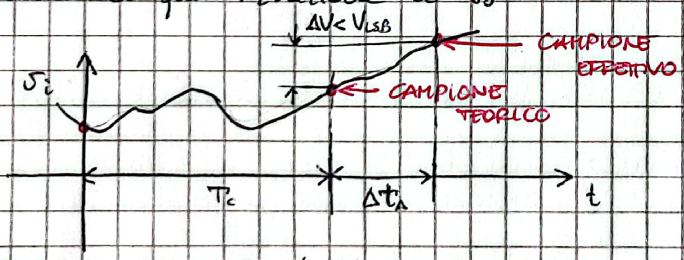
Perché il MOS sia interdetto si deve avere $v_G - v_S < V_{TH}$

$\phi - v_i < V_{TH}$

Minore è v_i e più grande sarà t_A (quindi si può det. il parametro $t_{A\max} - t_{A\min}$)

A noi interessa che tutte le variazioni che subisce v_o in $T_c - t_H$ siano tali da non compromettere il risultato finale.

Il val. di v_o è appartenente ad un intervallo di quantizzazione, all'interno del quale qualunque valore ha la stessa codifica.
Quindi si vuole che le variazioni di v_i nella fase di HOLD non siano tali da far cambiare intervallo di quantizzazione a v_o

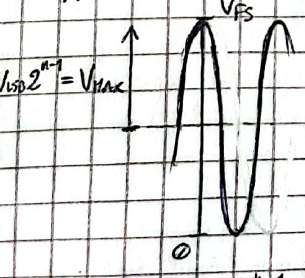


Se il campione prec. ha sperimentato un rit. d'apertura $t_{A\min}$ e quello succ. sperimenta $t_{A\max}$, tra i due campioni non ci sarà T_c ma $T_c + \Delta t_A$

CAMPIONE EFFETTIVO ≠ CAMPIONE TEORICO

Nessun errore in v_o se $\Delta V < V_{LSB}$, vediamo come imporre questa condizione

Suppongo $v_o = V_{MAX} \sin(\omega_{MAX} t)$ (segn. di ampiezza max e freq. max)



$$V_{MAX} = \frac{V_{FS}}{2} \simeq \frac{V_{LSB}\, 2^n}{2} \quad ; \quad \omega_{MAX} = 2\pi f_{MAX} = 2\pi \frac{f_c}{2} = \pi f_c$$

Quindi la var. max è $\left|\frac{dv_o}{dt}\right|_{MAX} = V_{MAX}\, \omega_{MAX}$

Vediamo la var. di v_o in Δt_A : $\Delta v_{o\,MAX} = \Delta t_A\, V_{MAX}\, \omega_{MAX} < V_{LSB}$

$$\Rightarrow \Delta t_A \cdot 2^{n-1} \cancel{V_{LSB}} \cdot \pi f_c < \cancel{V_{LSB}} \Rightarrow \boxed{\Delta t_A < \frac{1}{2^{n-1}\pi f_c}}$$

Quindi maggiore è f_c e la risoluzione (2^{n-1} dip. dagli intervalli) e più stringenti sono le richieste per il JITTER del RIT. D'APERTURA del dispositivo.

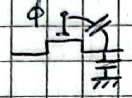
Esempio: $f_c = 10\,MHz$, $n = 8$ (256 livelli di quantizzazione)

$$\Delta t_A < \frac{1}{\pi \cdot 2^7 \cdot 10^7} \simeq 0.25 \times 10^{-9} = 250\ ps$$

Condizione analoga si può scrivere riguardo al DROOP:

$$\Delta V_{out} = DROOP \cdot T_{HOLD} < DROOP \cdot T_c < V_{LSB}$$

Riassumendo, i parametri del circuito campionatore sono:

* t. acquisizione $f(SR, \tau, V_{FS}) \Rightarrow T_{TRACK} = f(t_{NQMAX})$
* t. setting t_s (include il ritardo di apertura)
* HOLD STEP  tiene conto degli accoppiamenti capacitivi tra ϕ e la C e della carica immagazzinata nel canale e rilasciata all'apertura dell'inter.
* FEED TROUGH attenuazione sulle variazioni di V_i che si osservano su V_o nell'HOLD, è funzione della freq.
* DROOP: $\frac{dV_{out}}{dt}$ in fase di HOLD
* JITTER del t_A: $\Delta t_A = t_{A\,MAX} - t_{A\,MIN}$ (deterministica)

} devono dare luogo a $\Delta V_{out_{MAX}} < V_{LSB}$

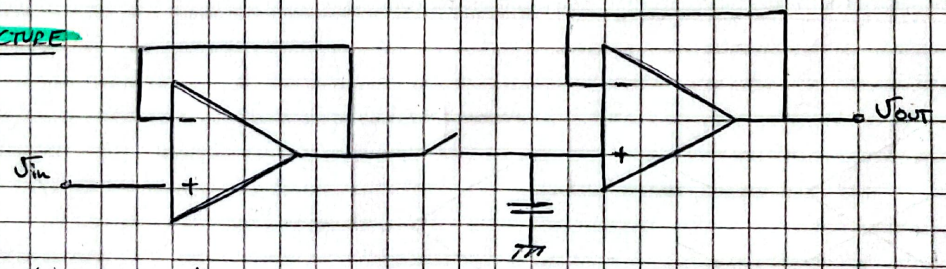
$$\Downarrow$$

$$\begin{cases} DROOP \cdot T_{HOLD} < V_{LSB} \\ \Delta t_A < \frac{1}{2^{n-1}\,\pi\, f_c} \end{cases}$$

$$\underbrace{T_{TRACK_{MAX}} + t_s}_{\text{minimo tempo richiesto dal S\&H}} + \underbrace{t_{conversione\ ADC}}_{\text{frazione di } T_c \text{ tempo di conversione dell'ADC che stanno a valle}} < T_c$$

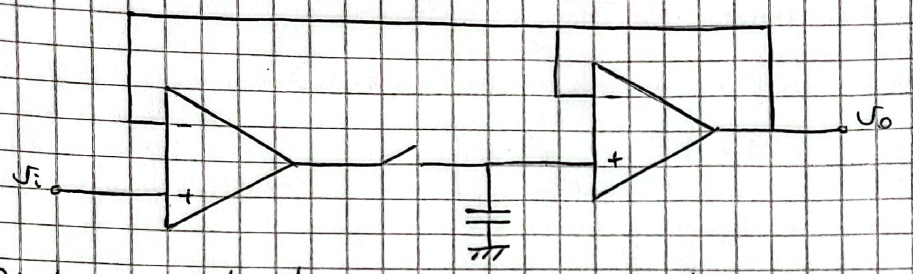
Architetture alternative per il circuito SAMPLE AND HOLD:

OPEN-LOOP ARCHITECTURE



Architettura che abbiamo discusso.
Essendo ad anello aperto è veloce.
Gli errori in DC non sono attenuati, non essendoci retroazione globale: ad esempio l'OFFSET dei due AO si somma in uscita.
Il JITTER del t_A (Δt_A) può essere elevato: se l'interruttore è un MOS il Δt_A è dovuto al fatto che l'apertura effettiva dell'inter. è funzione della V_c.

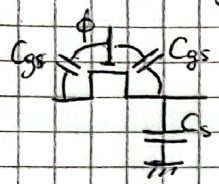
CLOSED-LOOP ARCHITECTURE WITH FOLLOWER OUTPUT



Risolve in parte l'accuratezza scarsa dell'open-loop.

L'errore in DC si richiude: la V_o ha il val. che va a forzare il morsetto invertente del primo AO a V_i.

Nulla cambia riguardo al t_A e l'HOLD STEP



Il MOS interviene quando ho V_i ai capi dell'interruttore

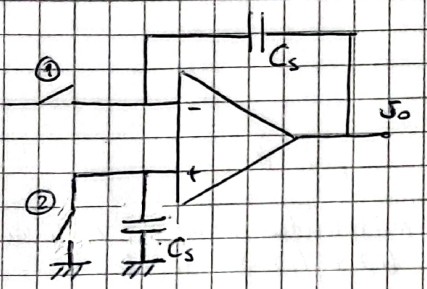
Il comando di G è accoppiato capacitivamente alla CAPACITÀ di SAMPLE, con una capacità piccola.

Quando V_i è acquisita, D e S sono entrambi a V_i e giocano entrambe le capacità

ϕ vale V_{DD} se $\dashv\!\!\!

V.S.: la carica iniettata nel nodo del morsetto invertente dell'AO2 è sempre la stessa.

Quindi posso pensare di far avvenire la stessa variazione di carica anche nel morsetto non invertente



Sia I1 che I2 sono chiusi nel TRACK e si aprono quando inizia l'HOLD

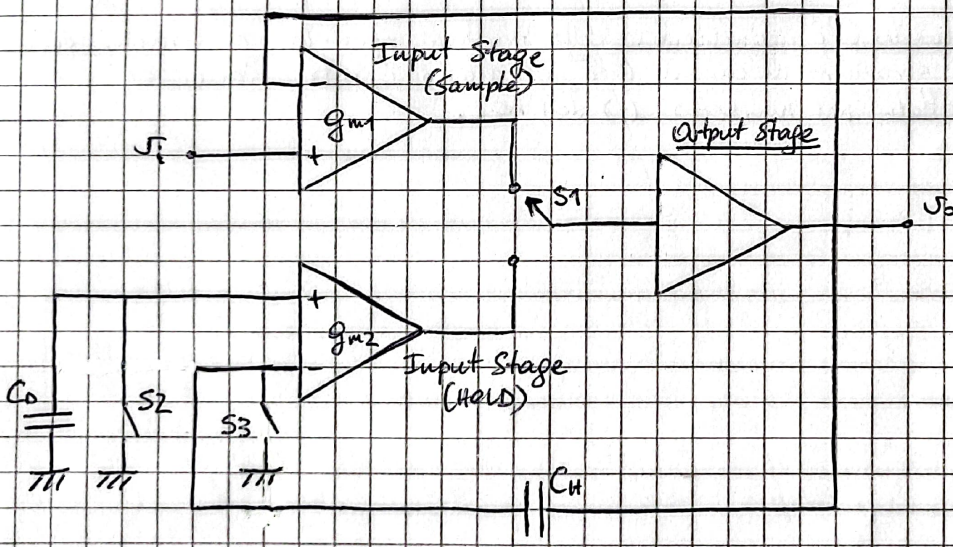
L'I1 inietta nel morsetto (-) la stessa carica che l'I2 inietta nel morsetto (+), essendo uguali le due C_S.

Rispetto agli errori in continua le 2 configurazioni sono equivalenti.
L'ultima è migliore dal punto di vista della carica iniettata (quindi HOLD STEP e anche JITTER del RIT. D'APERTURA).

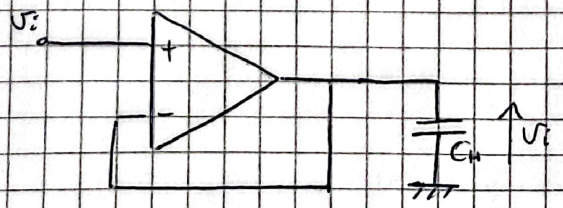
Gli aspetti negativi delle ultime 2 config. rispetto alla prima sono che, con il circuito di feedback, i circuiti sono meno veloci.

Ultima config. che prende gli aspetti positivi di entrambe le tipologie di struttura:

CURRENT MULTIPLEXED ARCHITECTURE



Quando S1 accoppia lo stadio d'uscita allo stadio d'ingresso g_{m1}, S_1 e S_2 sono chiusi verso massa:



SAMPLING ≡ TRACK

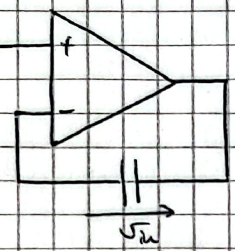
S1

Quando il circuito si è assestato: $V_+ - V_- = 0$ del g_{m1} e del g_{m2} (+ e - c.c. a massa)

S1 switcha all'uscita di g_{m2} e S2 e S3 si aprono.

(+) e (-) dei g_{m2} sono punti di massa virtuali, l'AO è retroazionato.

La struttura diventa:



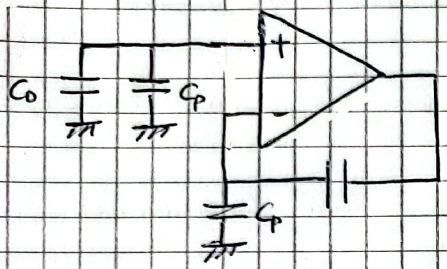
C_D era cortocircuitata quindi non ha carica ai suoi capi

HOLD $\overline{S1}$

Il vantaggio è che non c'è il problema dell'interr. collegato al pot. V_i.

S2, S3 iniettano carica sui rispettivi nodi, se C_D è matchata con C_H e gli interr. sono uguali, in principio la carica iniettata sui nodi (+) e (-) è la stessa

In realtà ho al nodo (+) la capacità C_0 + la cap. parassita (si trova su data sheet)



e al nodo (-) la cap. parassita

Se varia V_0 varia anche il V_-, l'AO reagisce riportando la cond. d'equilibrio in termini di tens. differenziale.

Grazie al meccanismo descritto, l'AO compensa le perdite che può avere il C_H: perdita della V_C significa var. di V_0 e quindi var. di V_- e innesco di retroaz. negativa che riporta apposto le cose.

Quindi, nel complesso, questa architettura è riconducibile alla struttura open-loop in termini di velocità e ha i vantaggi della struttura in cui il C è nell'anello di retroazione per quanto riguarda la carica iniettata nel morsetto (-) dell'AO2.

LEZIONE 15R

A valle del campionatore

convertitore A/D (distinzione didattica)

z_b: num. in base 2 ad n bit

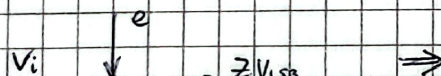
$V_{LSB} \simeq \frac{V_{FS}}{2^n}$

$s(t) \in [0, V_{FS}]$

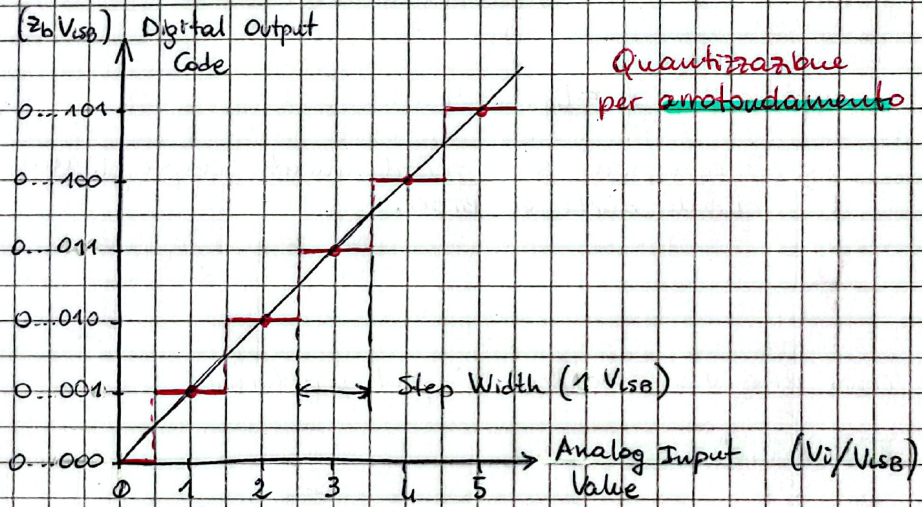
$$z_b = \begin{cases} \left\lfloor \frac{s(kT_c) + V_{LSB}/2}{V_{LSB}} \right\rfloor & \leftrightarrow \text{arrotondamento} \\ \left\lfloor \frac{s(kT_c)}{V_{LSB}} \right\rfloor & \leftrightarrow \text{troncamento} \end{cases}$$

Il quantizzatore introduce un errore non recuperabile

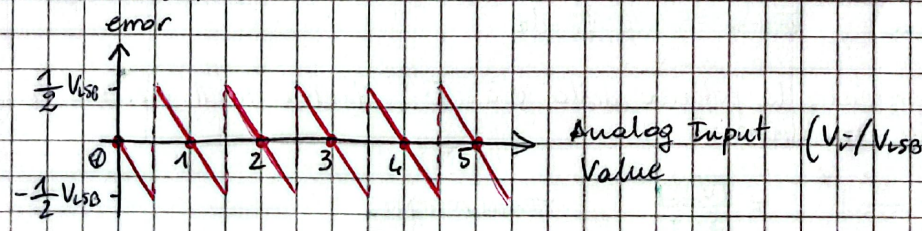
Modello lineare del QUANTIZZATORE:

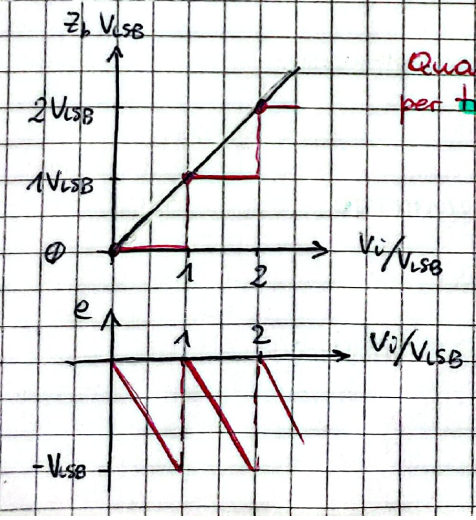


$$\Rightarrow \boxed{e = z_b V_{LSB} - V_i}$$



Range of Analog Input Value	Digital output Code
$0 \div 0.5$	0...000
$0.5 \div 1.5$	0...001
$1.5 \div 2.5$	0...010
$2.5 \div 3.5$	0...011
$3.5 \div 4.5$	0...100
$4.5 \div 5.5$	0...101





Quantizzazione per troncamento

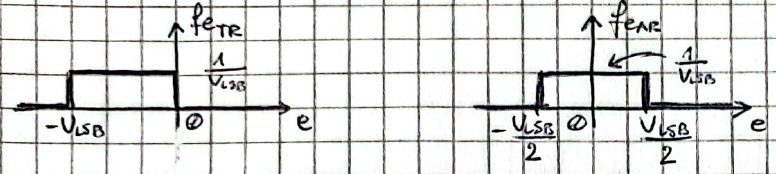
V_i/V_{LSB}	z_b
$0 \div 1$	0...000
$1 \div 2$	0...001
$2 \div 3$	0...010
$3 \div 4$	0...011
$4 \div 5$	0...100

$$e \in \begin{cases} [0, -V_{LSB}) & \text{troncamento} \\ \left[-\frac{1}{2}V_{LSB}, \frac{1}{2}V_{LSB}\right) & \text{arrotondamento} \end{cases}$$

L'errore di quantiz. viene normalmente trattato come una v.a., questo è vero se il segnale campionato e quello con cui si effettua il campionamento non abbiano una relazione di fase.

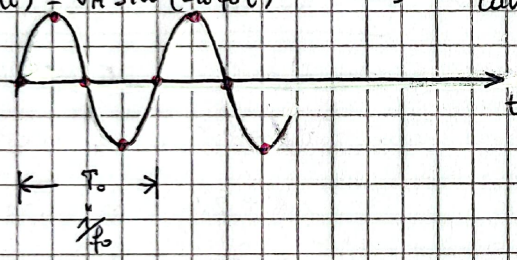
In questa hp. si può supporre che se un intern. di quantizzazione (in particolare se il segn. d'ingresso copre tutta la dinamica) vengano toccati tutti i valori dell'err. di quantizzazione.

Normalmente si assume la DENS. di PROBABILITÀ uniforme dell'errore all'interno del suo dominio.



Questa ipotesi ha senso se v_i copre tutta la dinamica $(0, V_{FS})$ e se il segnale campionato e il segnale campionatore non hanno tra loro una relazione di fase.

$v_i(t) = V_M \sin(2\pi f_0 t)$ $\longrightarrow$ campiono con $f_c = 4f_0$



I campioni sono periodicamente sempre gli stessi, quindi anche gli errori.

Supponiamo di poter trattare e come una v.a. con dens. di prob. uniforme.

Posso definire il VAL. MEDIO $\bar{e} = \int_e e\, f_e\, de$

e il VAL. QUADRATICO MEDIO $\bar{e}^2 = \int_e e^2 f_e\, de$

$\bar{e}^2$, per un segn. stazionario, rappresenta la potenza della v.a. e, inoltre se il processo è a media nulla corrisponde alla varianza:

$$\bar{e} = \begin{cases} \int_{-V_{LSB}}^{0} e \frac{1}{V_{LSB}}\, de = \frac{1}{V_{LSB}} \frac{e^2}{2}\Big|_{-V_{LSB}}^{0} = \frac{-V_{LSB}}{2} & \text{TRONCAMENTO} \\ \int_{-V_{LSB}/2}^{V_{LSB}/2} e \frac{1}{V_{LSB}}\, de = \frac{1}{V_{LSB}} \frac{e^2}{2}\Big|_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} = 0 & \text{ARROTONDAMENTO} \end{cases}$$

$$\bar{e}^2 = \begin{cases} \int_{-V_{LSB}}^{0} e^2 \frac{1}{V_{LSB}}\, de = \frac{1}{V_{LSB}} \frac{e^3}{3}\Big|_{-V_{LSB}}^{0} = \frac{V_{LSB}^2}{3} & \text{TRONCAMENTO} \\ \int_{-V_{LSB}/2}^{V_{LSB}/2} e^2 \frac{1}{V_{LSB}}\, de = \frac{1}{V_{LSB}} \frac{e^3}{3}\Big|_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} = \frac{V_{LSB}^2}{12} & \text{ARROTONDAMENTO} \end{cases}$$

$$\bar{e}^2 = \sigma_e^2$$

Rapporto segnale rumore massimo: SNR_{MAX} in uscita da un ADC ad n bit con ingresso una sinusoide ad ampiezza max.

$s(t) \in [0, V_{FS}]$, $s(t) = \frac{V_{FS}}{2} \sin(\omega_0 t)$, quantizzazione per arrotondamento

$P(e) = \overline{e}^2 = \frac{V_{LSB}^2}{12} = \left(\frac{V_{FS}}{2^n}\right)^2 \frac{1}{12}$; $\sigma_s^2 = \frac{1}{T}\int_0^T s^2(t)\,dt = \frac{1}{2}\left(\frac{V_{FS}}{2}\right)^2$

$\sin^2\alpha = \frac{1-\cos 2\alpha}{2} \Rightarrow \frac{1}{T}\frac{1}{2}\int_0^T \left(\frac{V_{FS}}{2}\right)^2 (1-\cos(2\omega_0 t))\,dt = \frac{1}{2}\left(\frac{V_{FS}}{2}\right)^2$ (integrale su T è 0)

$$SNR_{MAX} = \frac{\frac{1}{2}\left(\frac{V_{FS}}{2}\right)^2}{\left(\frac{V_{FS}}{2^n}\right)^2 \cdot \frac{1}{12}} = \frac{2^{2n}\cdot 12}{4\cdot 2} = 2^{2n}\cdot\frac{3}{2}$$

$$SNR_{MAX\,dB} = 10\log_{10} 2^{2n} + 10\log_{10}\frac{3}{2} = 2n\cdot 10\cdot\log_{10}2 + 10\log_{10}\frac{3}{2} =$$

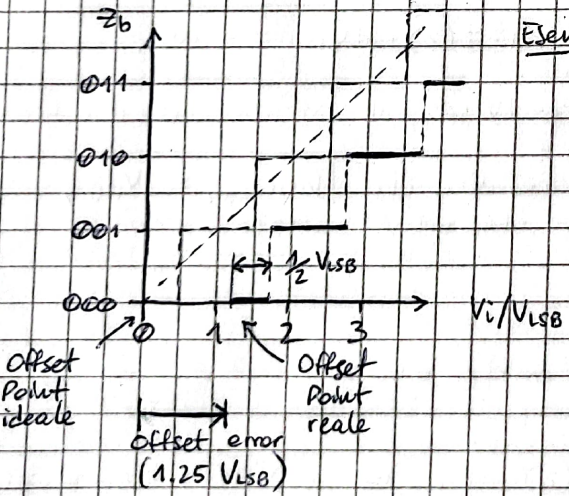
$$= n\cdot 6{,}02\ dB + 1{,}76\ dB$$

Quindi l'aumento di 1 bit di risoluzione del convertitore fa guadagnare circa 6 dB di rapp. segn.-rumore

Con ampiezza di s minore, diminuisce il numeratore del SNR e quindi questo decresce.

Questo è un risultato ideale, non tiene conto di altre fonti di rumore diverse dalla quantizzazione.

In realtà, in un ADC reale la retta che passa per il punto medi di ogni gradino non passa per l'origine:

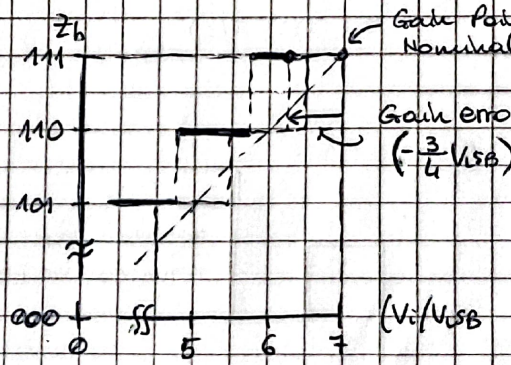


Esempio

L'errore di offset può essere anche negativo ed è correggibile

In questo caso si sottrae 1.25 V_{LSB} a V_i

Può accadere che, corretto l'errore di offset, la retta ideale e la retta della gradinata reale non siano parallele: si ha un errore di guadagno.



L'errore di guadagno viene valutato a fondoscala, in questo caso l'errore è negativo.

Si corregge amplificando opportunamente V_i, se l'errore fosse negativo V_i andrebbe attenuato (positivo)

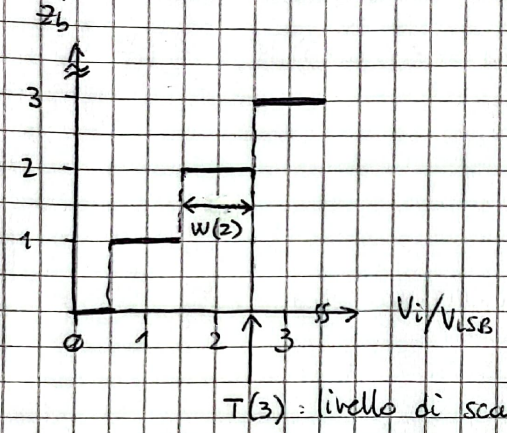
Inoltre, nel caso reale i gradini non sono tutti di ampiezza identica, quindi la retta da considerare è quella con l'errore quadratico medio minore delle distanze dai centri dei gradini effettivi.

Correggendo offset e guadagno abbiamo fatto coincidere punto di partenza delle caratteristiche dell'ADC reale con quelli dell'ADC ideale, ma avendo gradini di larghezza diversa la curva che unisce i punti medi è una spezzata (comportamento non lineare).

Il comp. non lineare si descrive con 2 parametri:

* non linearità differenziale: differenza dell'ampiezza del gradino reale e del gradino ideale
* non linearità integrale: scostamento tra caratteristica reale e caratteristica ideale

Questi 2 parametri si valutano ad ogni codice e il costruttore ne da il valore max.



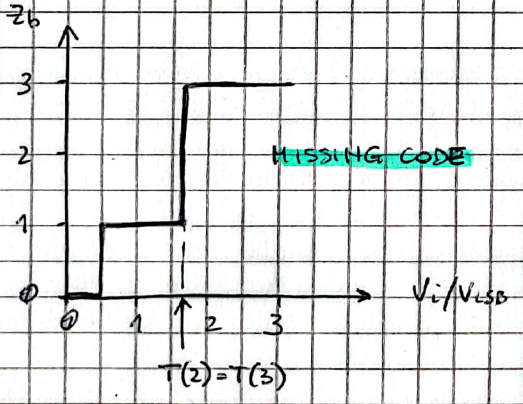
T(3): livello di scatto del codice 3

$T(3) = \frac{1}{2} V_{LSB} + 2 V_{LSB}$ $\quad W(2) = T(3) - T(2)$

$T(k) = \frac{1}{2} V_{LSB} + (k-1) V_{LSB}$ $\quad W(k) = T(k+1) - T(k)$ (nel caso ideale $= 1V_{LSB}$)

NON LINEARITÀ DIFFERENZIALE: $DNL(k) = W(k) - 1V_{LSB}$

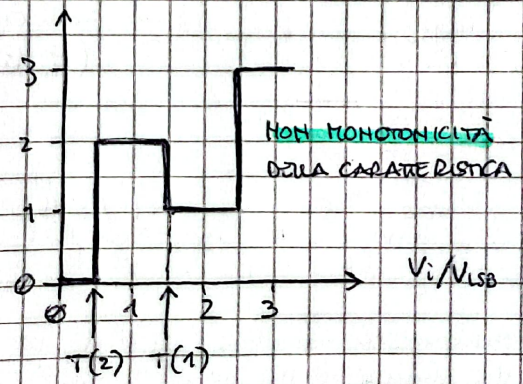
NON LINEARITÀ INTEGRALE: $INL(k) = T(k) - T_{ideale}(k) = T(k) - \frac{1}{2}V_{LSB} - (k-1)V_{LSB}$



$DNL(2) = T(3) - T(2) - 1V_{LSB} = -1V_{LSB}$

Se $DNL(k) = -1V_{LSB}$, il sistema salta il codice k

Se il costruttore dice che $|DNL|_{max} = 1V_{LSB}$, può voler dire che viene saltato un codice ogni due.



$DNL(2) = W(2) - 1V_{LSB} = T(2) - T(1) - 1V_{LSB} = -2V_{LSB}$

$DNL(k) = -2V_{LSB}$ evidenzia una situazione di non monoticità.

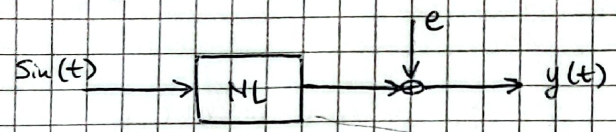
In presenza di INL l'errore non è più $\in \left(-\frac{1}{2}V_{LSB}, \frac{1}{2}V_{LSB}\right)$ ma può essere maggiore in modulo

LEZIONE 16R

Abbiamo discusso dei parametri statici dell'ADC, che si possono ricavare quando si converte un segnale in continua.

La non linearità porta ad avere una curva che non ha l'andamento teorico lineare di un convertitore ideale.

Se si considera sin come una sinusoide, viene prodotta distorsione armonica: a fronte di una freq. in ingresso fin produrrà anche in uscita multipli della freq. stessa



blocco non lineare

$S_{in}(t) = V_{in} \sin(2\pi f_{in} t)$

$F\{y(t)\}$ conterrà i multipli della freq. fin a causa della non linearità, oltre ad avere gli effetti dell'errore di quantizzazione

I parametri dinamici vengono definiti a partire da un ingresso sinusoidale e andando a vedere cosa succede allo spettro del segnale di uscita.

La DISTORSIONE ARMONICA TOTALE (THD) ci dice quanta potenza va a finire sulle armoniche multiple della fondamentale (eccetto essa), rapportata alla fondamentale stessa

$$THD = \frac{\sqrt{V_{RMS}^2(2f_{in}) + \dots + V_{RMS}^2(nf_{in})}}{V_{RMS}(f_{in})}$$

$V_{RMS}^2(f_{in})$: valore efficace dell'armonica fin

tipicamente con n ci si ferma a 5

$$SNR = \frac{V_{RMS}(f_{in})}{\left[\int_0^{f_s/2} PSD(f)\,df\right]^{1/2}}$$

← esclusi i termini associati alla distorsione armonica e i contributi in DC

Tenendo conto anche della distorsione armonica: SIGNAL to NOISE AND DISTORSION

$$SINAD = \frac{V_{RMS}(f_{in})}{V_{RMS\ noise\ totale}}$$

← include i termini associati alla distorsione armonica (non quelli in DC)

EFFECTIVE NUMBER OF BITS

$$ENOB = \frac{SINAD_{dB} - 1.76\ dB}{6.02}$$

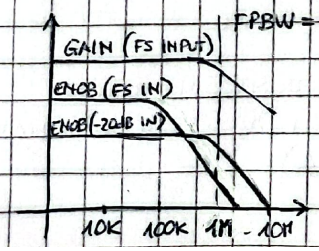
$(SNR_{max} = 6.02\,n\,dB + 1.76\,dB)$

↳ SINAD in generale è più basso

Banda analogica del convertitore

$S_{in}(t) = V_{in} \sin(2\pi f_{in} t)$ → la banda -3dB del convertitore è quella per la quale il segn. campionato presente un'attenuazione dell'ampiezza pari a $\frac{1}{\sqrt{2}}$

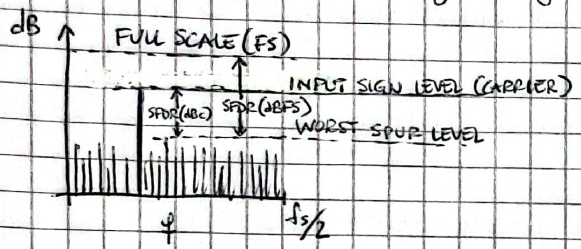
Questa valutazione si può fare in cond. di FULL POWER (piena dinamica) o di small signal



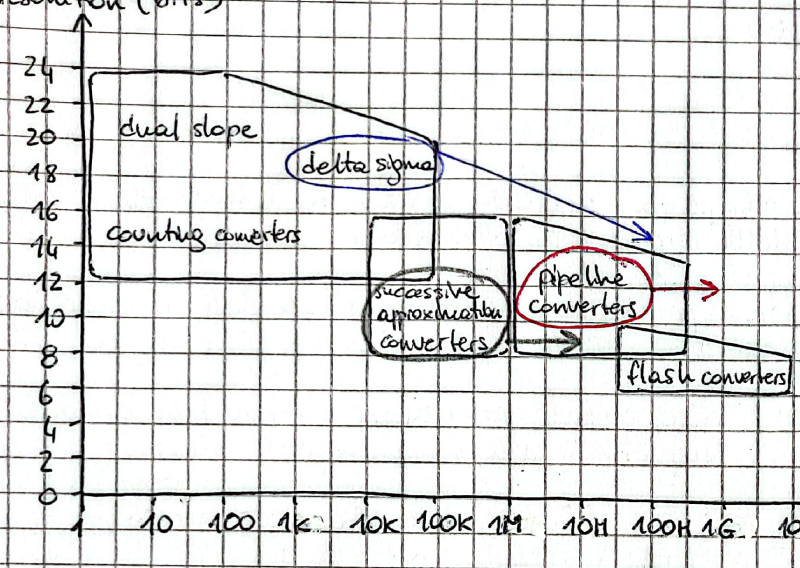
ENOB comincia a degradare prima della banda a -3dB

Se si considera un piccolo segnale in ingresso, diminuisce SNR e ENOB, ma la degradazione avviene a frequenze superiori, anche perché il peso della distorsione armonica dip. dall'ampiezza dell'ingresso

SPURIOUS FREE DYNAMIC RANGE (SFDR): dice la differenza in dB tra l'ampiezza del tono in ingresso e la max ampiezza dei segnali generati dalla non linearità



Discutiamo alcune topologie circuitali di ADC



In generale gli ADC sono raggruppati in 3 classi di riferimento:

* convertitori a conteggio; (tipo pesato)
* convertitori ad approx. successive;
* convertitori flash (tipo parallelo)

le altre tipologie sono derivate da queste.

Discorso a parte per i SIGMA DELTA

Attualmente alcuni convertitori si sono spostati in avanti e lavorano a freq. maggiori

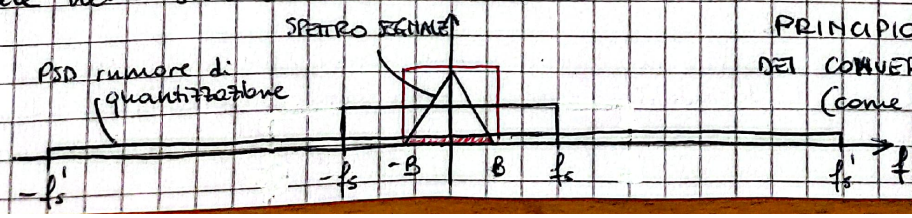
METODO	NUMERO DI STEP	NUMERO DI TENS. DI RIFERIMENTO	CARATTERISTICHE
PARALLELO	1	2^n	circuiti estesi, veloci
PESATO	n	n	
CONTEGGIO	2^{n+1}	1	semplice, lento

Applicazioni tipiche:

* CONTEGGIO → applicazioni in bassa freq., tipicamente li troviamo nei voltmetri numerici (conv. segnali in DC)
* PESATO → schede di acquisizione per applicazioni generali
* PARALLELO → alte freq., schede di acquisizione video, sez. d'ingresso di oscilloscopi a larga banda, in generale applicazioni spinte

I conv. a conteggio, ad approssimazioni succ. e parallelo sono detti CONV. DI NYQUIST: la freq. di campionamento è maggiore della f_N ma in maniera contenuta.

I conv. SIGMA DELTA ricadono nella classe dei conv. a SOVRACAMPIONAMENTO: la freq. di campionamento è molto maggiore della freq di nyquist, per poi filtrare in uscita il segnale nella sua banda



PRINCIPIO DI FUNZIONAMENTO DEI CONVERTITORI A SOVRACAMPIONAMENTO (come i ΣΔ)

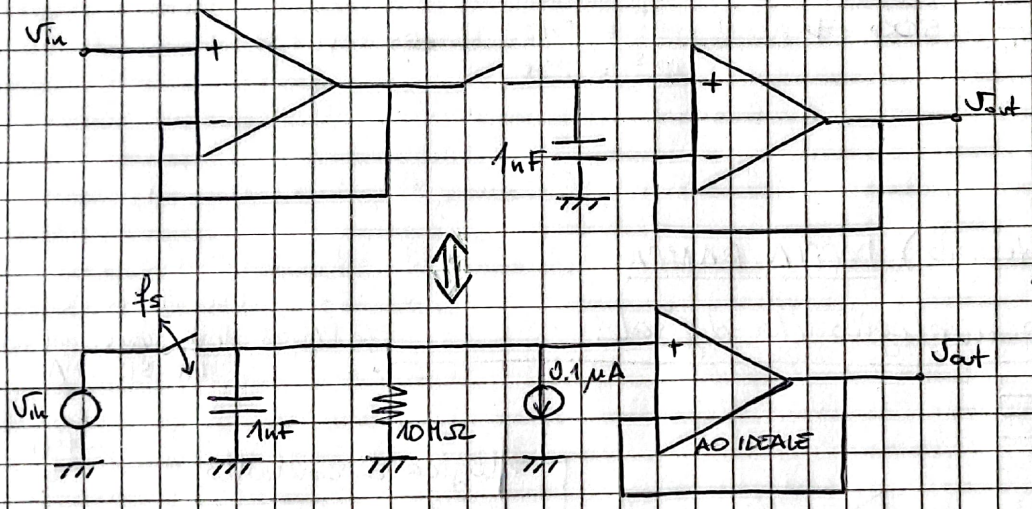
Lavorando alla freq. di Nyquist (f_s), il rumore di quantiz. si può considerare bianco. Lavorando ad una $f_s' \gg f_s$, la pot. del rumore di quantiz. si distribuisce su una banda più ampia ma rimane invariata, quindi nella banda del segnale (B) la pot. del rumore è minore.
Se in uscita filtro con una banda B, vado a incrementare il rapporto segnale rumore (SNR)
Nei conv. $\Sigma\Delta$, inoltre, si introduce una funzione passa alto per quanto riguarda il rumore di quantiz. e quindi il rumore raccolto in banda è ancora minore

Esempio Esercizio

In uno stadio S&H con arch. open-loop i due AO sono caratterizzati da $I_{B1} = I_{B2} = 0{,}1\,\mu A$ uscenti e presentano una resistenza d'ingresso di 10MΩ. La capacità di campionamento è 1nF

Si assuma $0V \le V_{in}(t) \le 3V$ e la banda di $V_{in}(t)$ pari a 5kHz

Si supponga che il S&H lavori a $f_s = 4 f_N$ e che $t_{acq} + t_s = 10\mu s$.
Se la dinamica del S&H e del conv. a valle sono accordate, quale è la max risoluzione del conv. per avere un errore inferiore a $1V_{LSB}$ sul segnale in uscita dal S&H?



Senza altri dati, le non idealità dell'AO pesano in termini di scarica del C, che all'apertura dell'interr. vede un'impedenza pari alla R_{in} del secondo AO e un gen.re I_{B1} uscente

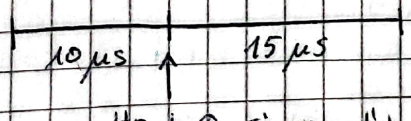
Questo modello tiene conto che, finito il TRACK, e atteso il t_s, il segnale in uscita dal primo inseguitore è esattamente V_{in}

$$f_N = 2{\cdot}5\,kHz = 10\,kHz \Rightarrow f_s = 4 \cdot f_N = 40\,kHz$$

$$T_s = \frac{1}{f_s} = \frac{1}{4 \cdot 10^4} s = 0{,}25 \cdot 10^{-4} = 25\,\mu s$$

$t_{acq} + t_s = 10\,\mu s \Rightarrow$ tempo utile per la conversione è $25\,\mu s - 10\,\mu s = 15\,\mu s$

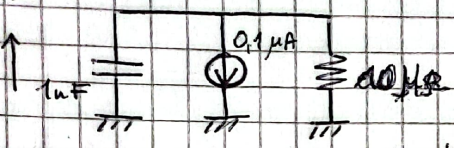
Dinamica S&H e ADC accordate $\Rightarrow$ $V_{LSB} = \frac{3V}{2^n}$



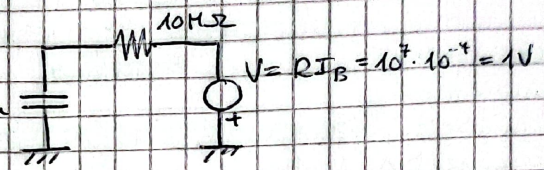
Hp. t=0 si apre l'interruttore

Da $t=0$:

$v_c(0) = V_{in}$



$\Leftrightarrow$



$$v_c(t) = \left(v_c(\infty) - v_c(0)\right)\left(1 - e^{-\frac{t}{RC}}\right) + v_c(0)$$

$v_c(\infty) = -1V$; $v_c(0) = V_{in}$; $RC = 10^7 \cdot 10^{-9} = 10^{-2}\,s$; $v_c(0) = V_{in}$

$$\underbrace{v_c(0) - v_c(t)}_{\Delta V_{out}(t)} = V_{in} - v_c(t) = (V_{in} + 1V)\left(1 - e^{-t/RC}\right)$$

$\sim 15 \cdot 10^{-4}$ $\qquad (1 - e^{-\alpha} \simeq \alpha$ se $\alpha \ll 1)$

Dopo $15\,\mu s$ ho $\quad \Delta V_{out}(15 \cdot 10^{-6}\,s) = (1V + V_{in})\left(1 - e^{-\frac{10^{-6} \cdot 15}{10^{-2}}}\right) < V_{LSB}$

$$\Delta V_{out}(15 \cdot 10^{-6}) = (1 + V_{in}) \cdot 15 \cdot 10^{-4} \leq (1 + V_{FS})\,15 \cdot 10^{-4} < \frac{V_{FS}}{2^n} \qquad V_{FS} = 3V$$

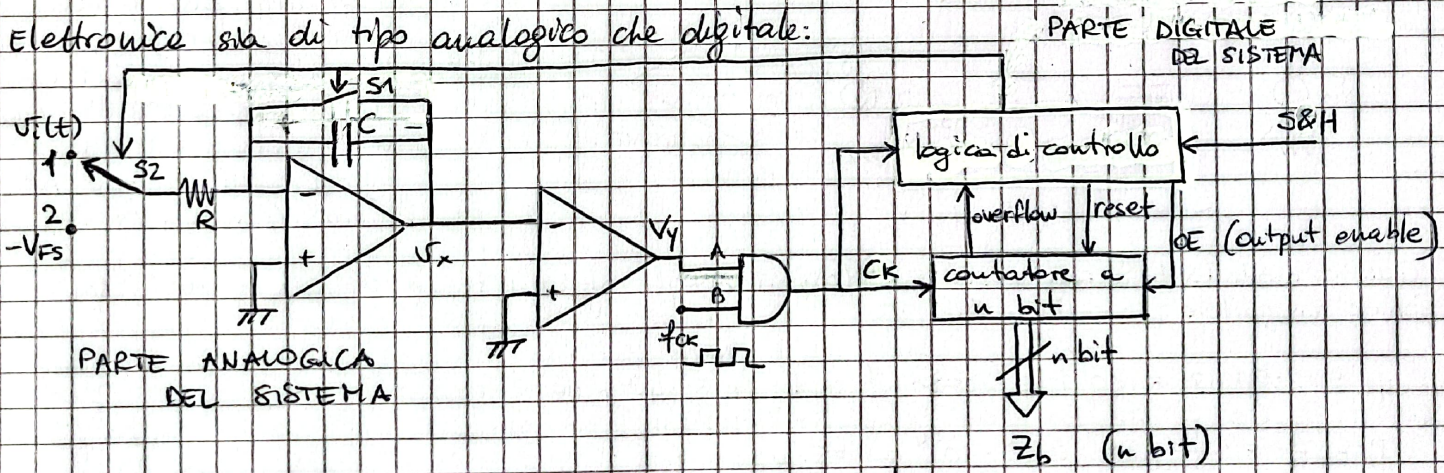
considerando V_{in} max

$$\Rightarrow \quad 2^n < \frac{3}{4 \cdot 15 \cdot 10^{-4}} = 500 \qquad \begin{matrix} 2^9 = 512 \\ 2^8 = 256 \end{matrix} \quad \Rightarrow \quad n = 8$$

LEZIONE 17R

CONVERTITORE (a conteggio) DOPPIA RAMPA

Elettronica sia di tipo analogico che digitale:

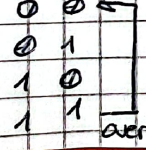


$v_i(t) \in [0, V_{FS}]$

A	B	Out
L	L	L
L	H	L
H	L	L
H	H	H

La LOGICA DI CONTROLLO scandisce le varie fasi della conversione del dato, che si interfaccia con un CONTATORE a n bit (n risoluzione del convertitore)
L'uscita del CONTATORE darà, al momento opportuno, il cod. binario a n bit che costituisce l'uscita del convertitore.
Il contatore si basa su n disp. bistabili interconnessi che, sulla base dei fronti di un segn. di clock (CK) scandiscono tutte le possibili combinazioni di un numero a n bit.

Supponiamo $n = 2$



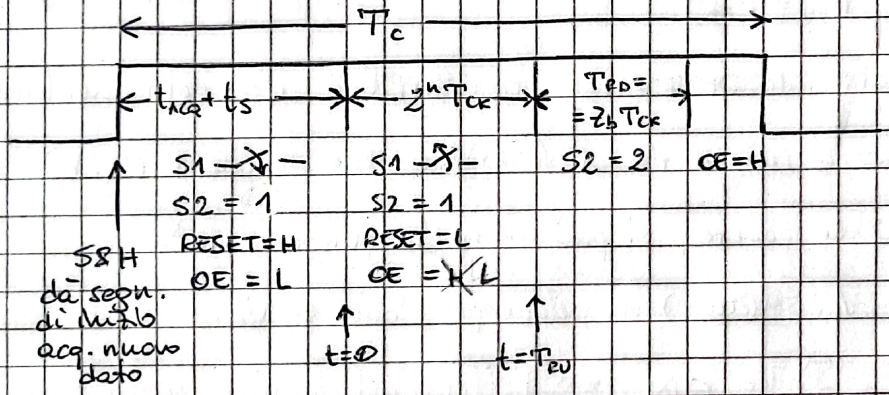
In 4 colpi di clock il contatore scandisce le 4 config., arrivato all'ultima riparte dalla prima al succ. colpo di clock generando un segn. di overflow

Il segnale di OVERFLOW viene comunicato alla logica di controllo, che può resettare il contatore (riportarlo alla config. di partenza) e abilitare l'uscita del contatore (quando OE è attivo, la config. ad n bit dello stato del contatore è disponibile in uscita). La LOGICA DI CONTROLLO colloquia con il S&H, che invia un segnale quando inizia la fase di acquisizione di un nuovo dato (inizio fase di TRACK). Sulla base di queste info, la logica di controllo è in grado di far partire (dopo il tempo opportuno $t_{TRACK} + t_S$) la fase di CONVERSIONE.

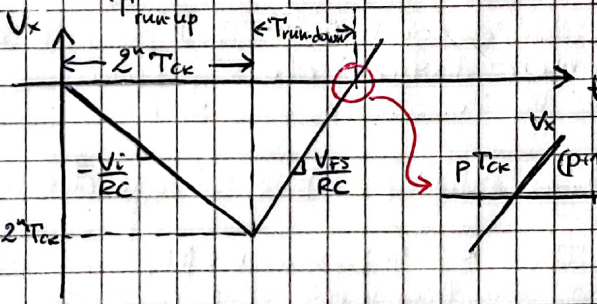
Poniamoci nelle ipotesi di avere $v_i(t) \in [0, V_{FS}]$ in ingresso ad un INTEGRATORE con un interruttore S1, in parallelo al C, in grado di portare a 0 l'uscita dello stesso. L'ingresso dell'integratore è gestito da un interr. S2 che commuta l'ingresso tra $v_i(t)$ e un segn. di riferimento $-V_{FS}$.
$v_i(t)$ proviene da un S&H ed è costante in un periodo T_c.

S1 e S2 sono comandati dalla logica di controllo.

L'uscita dell'INTEGRATORE entra in un COMPARATORE, con soglia posta a massa, la cui uscita è uno degli ingressi di una porta AND. L'altro ingresso è un segn. di CLOCK
Se A è a livello H e B è un'onda quadra freq. f_{CK}, l'uscita della porta AND è equivalente al segn. di CLOCK.
Se A è a livello L, l'uscita della porta AND è certamente a livello L.
Quindi la porta AND è un sistema per abilitare o inibire l'arrivo del clock a contatore.



In $t=0$ l'INTEGRATORE comincia a integrare il segn. V_i (uscita del S&H, costante)



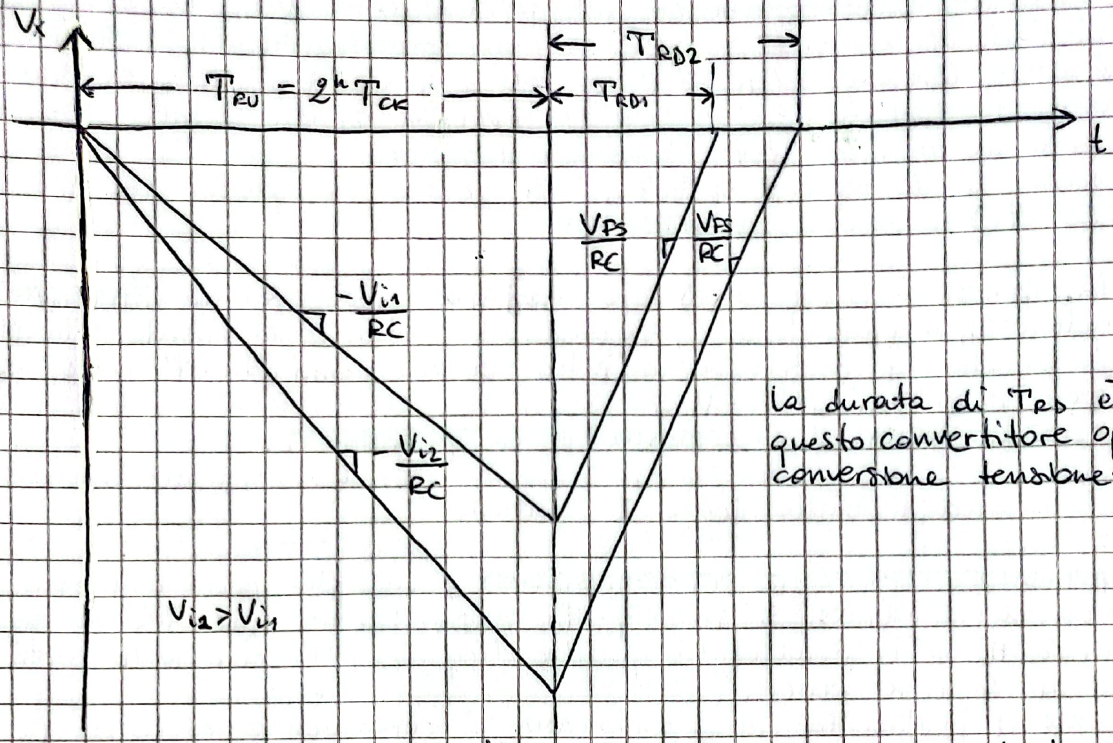
Se $V_x < 0$, confrontato con massa, porta V_y a livello alto, quindi abilita la porta AND che permette al segnale di CLOCK di arrivare al CONTATORE, che per ogni colpo di CLOCK scandisce ogni config. a n bit. Dopo 2^n colpi di clock il contatore (11...111) genera il segn. di OVERFLOW (torna a 00...0)

Da $t = 2^n T_{CK}$, l'ingresso è una tens. negativa maggiore o uguale in modulo a tutti i possibili valori di V_i.
Quando V_x diventa positivo, V_y va a livello basso, il CLOCK non raggiunge più il contatore e il conteggio si ferma.
Il tempo è scandito da T_{CK}, quindi l'ultimo valore memorizzato nel contatore sarà quello relativo a $p T_{CK}$

$$-\frac{V_i}{RC} 2^n T_{CK} + \frac{V_{FS}}{RC} T_{RD} = 0 \quad \Rightarrow \quad \frac{T_{RD}}{T_{CK}} = \frac{V_i}{V_{FS}} 2^n$$

Valore memorizzato nel contatore (Z_b): $Z_b = \left\lfloor \frac{T_{RD}}{T_{CK}} \right\rfloor = \left\lfloor \frac{V_i}{V_{FS}} 2^n \right\rfloor = \left\lfloor \frac{V_i}{V_{LSB}} \right\rfloor$

Z_b è pari al valore di V_i quantizzato per TRONCAMENTO
Quando nella fase di RD il segn. di CLOCK non arriva più alla log. di controllo, si ha OE=H.



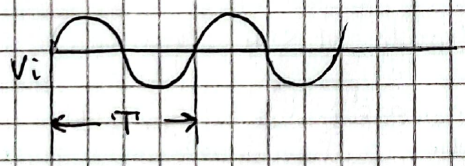
la durata di T_{RD} è funzione di V_i: questo convertitore opera una conversione tensione-tempo

L'ERRORE DI GUADAGNO del convertitore è legato al valore della tensione di riferimento alla posizione 2 di S2: se è $< V_{FS}$ o $> V_{FS}$ in valore assoluto, ho un errore di guadagno rispetto al caso ideale ($V_i = V_{FS} \Rightarrow T_{RU} = T_{RD}$).

L'OFFSET dell AO introduce un ERRORE di OFFSET nella caratteristica i/o del convertitore.

L'ERRORE DI NON LINEARITÀ può essere ricondotto al fatto che T_{CK} (periodo di clock) non sia una grandezza stabile.
Accuratezza T_{CK} è intorno a 10^{-5} in genere, si può anche raggiungere 10^{-8}.

Supponendo di avere un segnale $V_m \sin(2\pi f t)$ in sovrapposizione a V_i:



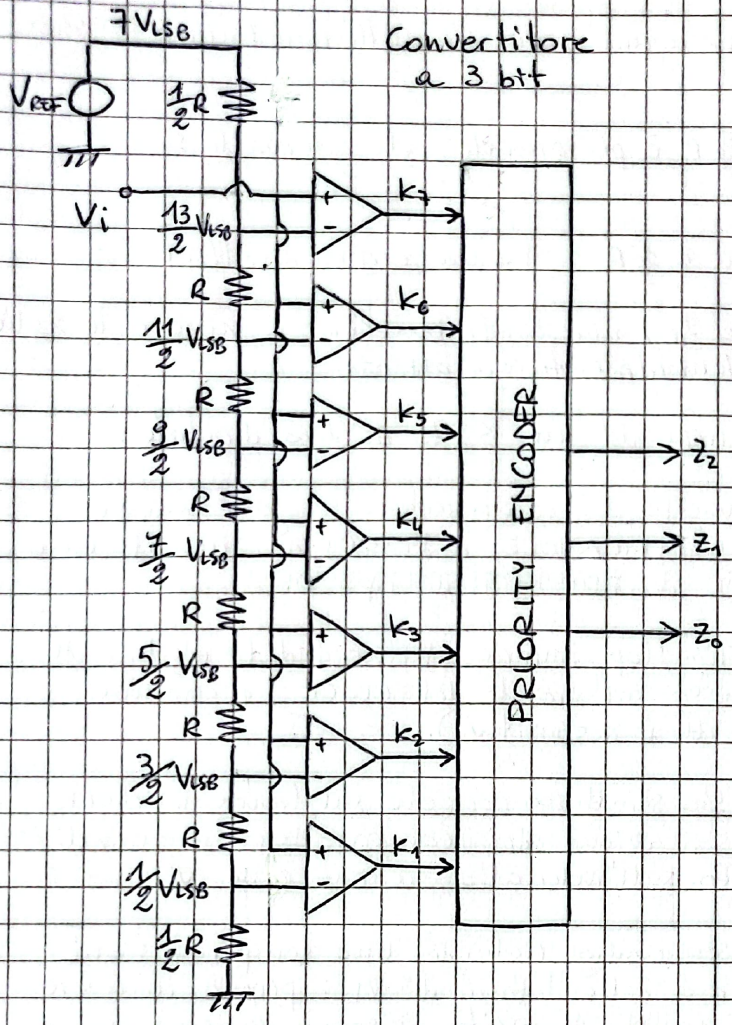
Se $\frac{2^n T_{CK}}{T} \in \mathbb{N} \Rightarrow$ l'effetto del segnale sovrapposto è nullo in uscita

Quindi la selezione di T_{RU} (quindi di T_{CK}) può essere effettuata per sopprimere disturbi che si possono avere sommati a V_i in uscita dal S&H

Esempio tipico è il segnale alla freq. di rete (dist. periodico più tipico sui segn. elettrici).

freq. di rete 50Hz $\longrightarrow T = 20$ ms $\Rightarrow$ con $T_{RU} = k\,20$ms, con $k \in \mathbb{N}$, il dist. alla freq. di rete viene reiettato

CONVERTITORE PARALLELO (o di tipo FLASH)



TENSIONE d'INGRESSO	STATI DEL COMPARATORE							NUMERI BINARI			EQ. DECIMALE
V_i/V_{LSB}	K_7	K_6	K_5	K_4	K_3	K_2	K_1	Z_2	Z_1	Z_0	Z
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1	1
2	0	0	0	0	0	1	1	0	1	0	2
3	0	0	0	0	1	1	1	0	1	1	3
4	0	0	0	1	1	1	1	1	0	0	4
5	0	0	1	1	1	1	1	1	0	1	5
6	0	1	1	1	1	1	1	1	1	0	6
7	1	1	1	1	1	1	1	1	1	1	7

In generale, un conv. a n bit prevede una rete fatta da 2^n-2 resistenze più 2 resistenze esterne, 2^n-1 comparatori a valle (in (-) tensione presa ai nodi della rete resistiva, in (+) ricevono V_i).

Le resistenze interne sono tutte uguali e tutte multiple di $R/2$.
All'interno di un circuito integrato non si controllano bene i valori assoluti delle resistenze (tolleranze fino a 20% sul val. nominale causate dal processo realizzativo).
Seguendo regole di layout ad hoc si può ottenere tolleranze sui rapporti $\sim 10^{-3}$.
Quindi realizzando strutture identiche adiacenti le tolleranze del processo sono minori, e comunque le variazioni che si hanno su un componente sono considerabili anche nel dispositivo adiacente (a meno dell' 1 per 1000).
L'elettronica analogica integrata si fonda sui rapporti. $\rightarrow 1024 = 2^n$
Tolleranza fino a 10^{-3}, quindi FLASH CONV. non vanno oltre i 10 bit in generale.

Di fatto la dinamica è divisa in intervalli e si va a vedere in quale intervallo cade il segn. in ingresso (qui 8 intervalli codificati da 0 a 7)

Supponiamo $\frac{7}{2} < \frac{V_i}{V_{LSB}} < \frac{9}{2}$ (5° intervallo) $\Rightarrow$ V_i sopra a tutti i val. al (-) dei comparatori sottostanti

$K_{1,2,3,4} = H$, $K_{5,6,7} = L$ $\Rightarrow$ PRIORITY ENCODER codifica in binario la posizione del comparatore con l'uscita 1 in posizione più elevata (comp. 4 $\Rightarrow$ $Z_b = 100$)

L'errore su V_{REF} introduce un ERRORE DI GUADAGNO.

La RETE DI RESISTENZE influisce su vari aspetti:

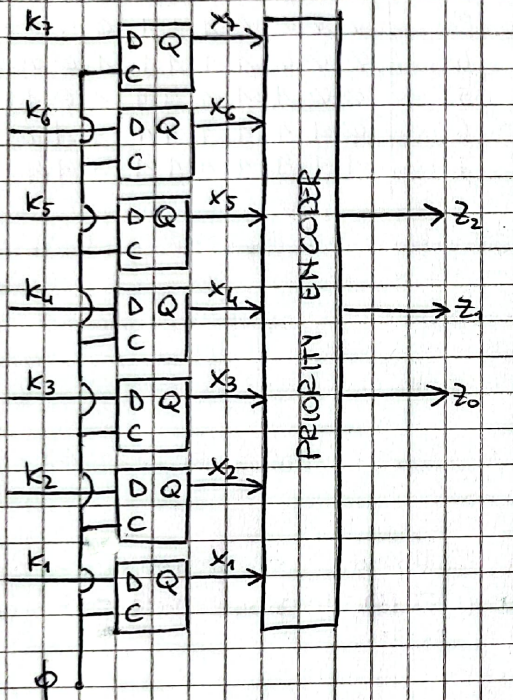
* ERR. DI NON LINEARITÀ: se le R non sono uguali, gli intervalli non hanno la stessa larghezza

* ERR. DI GUADAGNO: Se la res. superiore $\frac{1}{2}R$ è più grande, gli intervalli sono tutti più piccoli

* ERR. DI OFFSET: se la res. inferiore non è $\frac{1}{2}R$ si ha un errore di offset

I comparatori hanno non idealità (V_{io} e I_B) che contribuiscono a variare le soglie e quindi influiscono su linearità e potenzialmente su offset.

Un'architettura di questo tipo si presta anche ad un S&H di tipo digitale:



le uscite dei comparatori sono connesse al CODIFICATORE A PRIORITÀ tramite una serie di FLIP-FLOP di tipo D.

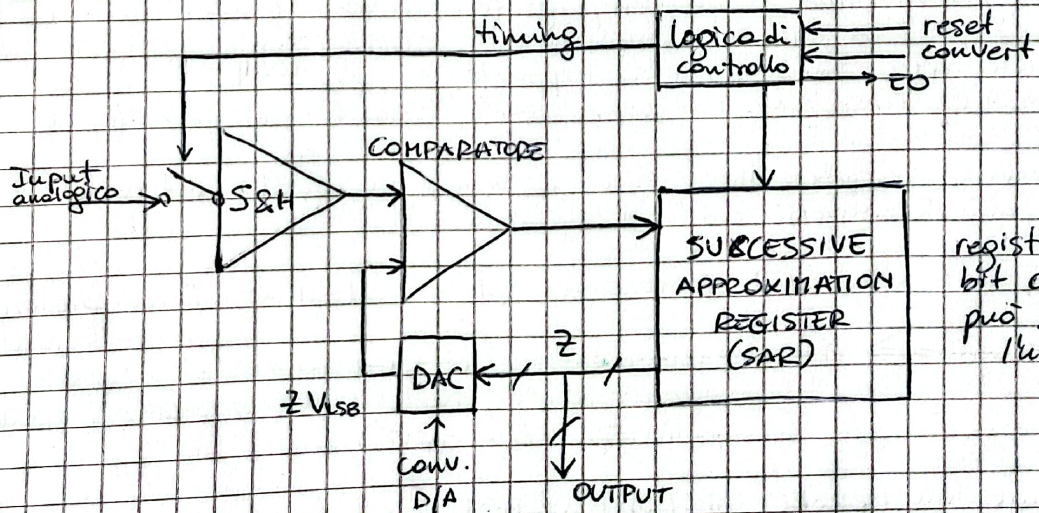
I flip-flop immagazzinano il dato digitale in ingresso sul fronte del clock (ϕ comune a tutti i dispositivi).

Questa struttura congela sul fronte del clock la situazione dei comparatori e quindi l'info. sull'intervallo su cui cade V_i.

Questa config. richiede una temporizzazione prima della lettura di z_b: prima di avere dati validi in uscita bisogna attendere il tempo di propagazione attraverso i flip-flop e attraverso le porte del cod. a priorità, altrimenti si rischia di prendere un dato non corretto

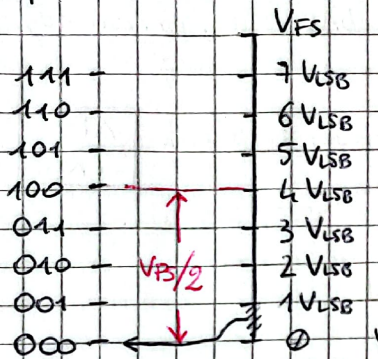
Quindi nei CONV. FLASH si hanno 2^n-1 soglie di riferimento ma il conv. effettua la conversione in 1 passo (in conv. a conteggio 1 rif e fino a $(2^n+1)T_{ck}$ per conversione)

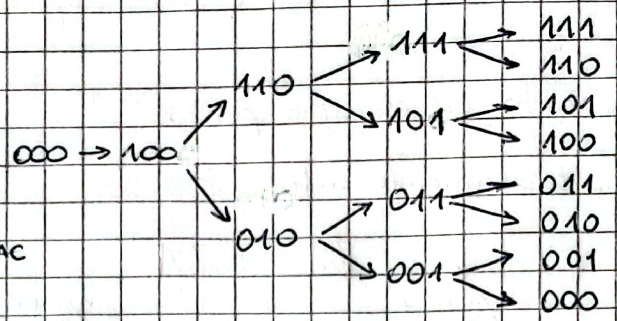
CONVERTITORI AD APPROSSIMAZIONI SUCCESSIVE

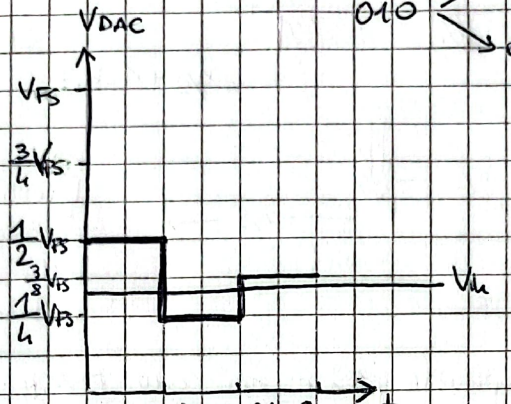


registro a n bit che la logica può settare indipendentemente l'uno dall'altro

Prima della conversione viene resettato il SAR, portandolo a 0...0.
Quando arriva il segn. di conversione il SAR viene settato a 100 (metà dinamica), il comparatore confronta V_i con metà dinamica, poi si va avanti







n passi per settare il corretto valore di Z

A fine processo viene abilitato l'output

→ Intervallo tra $\frac{1}{4}V_{FS}$ e $\frac{3}{8}V_{FS}$, per troncamento $2\,V_{LSB}$

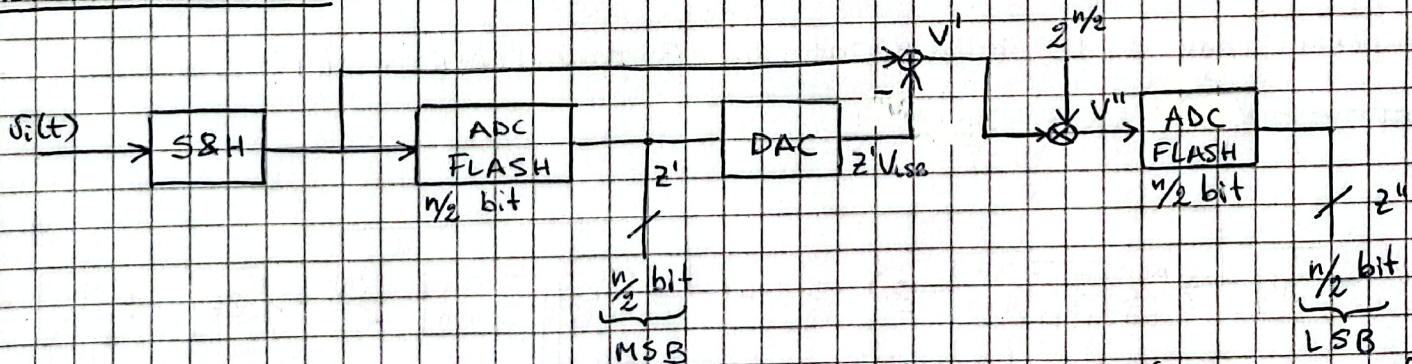
Errori riconducibili all'offset del comparatore e al DAC (stesso tipo di err. dell'ADC) la non idealità del DAC caratterizza la non linearità del SAR.

Recentemente sono apparse strutture più complesse, in cui blocchi più semplici (generalmente SAR o FLASH) vengono messi in serie per avere conv. MULTISTADIO a num. maggiore di BIT.

Spesso i conv. multistadio sono organizzati in PIPELINE, ovvero c'è un'elaborazione parallela dei dati provenienti dal S&H (abbreviare tempi).

Concludiamo da un conv. di tipo multistadio senza PIPELINE basato su conv. di tipo flash:

HALF-FLASH a n bit

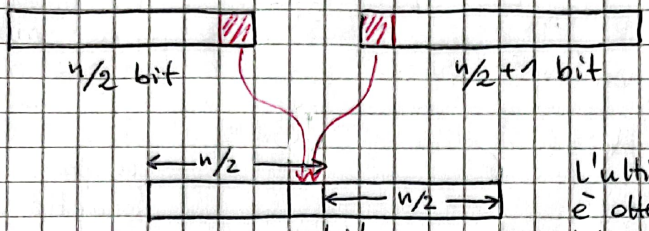


Nel primo ADC c'è una quantizzazione grossolana, ciò che del campione originale eccedeva a z' V_{LSB} viene riportato nella scala originaria e poi nuovamente convertito

$$V' < \frac{V_{FS}}{2^{n/2}} = V_{LSB1} \quad \Rightarrow \quad V'' = V' \cdot 2^{n/2} < V_{FS}$$ riportatata sul fondoscala originale

È nec. che $\frac{1}{2}V_{LSB}$ sia ottenuto con un'accuratezza pari a quella del conv. convertito (n bit), altrimenti $V_i - \frac{1}{2}V_{LSB}$ non ha significato.
L'err. di non linearità del primo ADC è t.c., supponendo DAC suff. accurato, sia possibile che $V'' > \frac{V_{FS}}{2^{n/2}}$.
Quindi viene moltiplicato ad esempio per $2^{n/2-1}$ e V'' convertito con [ADC FLASH] a $n/2+1$ bit perché $V'' < V_{FS}$ sia sicuramente valido.

Così abbiamo



L'ultimo dei primi $n/2$ bit è ottenuto a partire dall'ultimo della prima uscita e dal primo della seconda uscita

Qui non si può usare il S&H digitale come nei conv. FLASH: il dato in ingresso deve rimanere costante finché la prima catena non ha finito l'elaborazione.
Tempo di conversione è più lungo: ritardi delle strutture in cascata

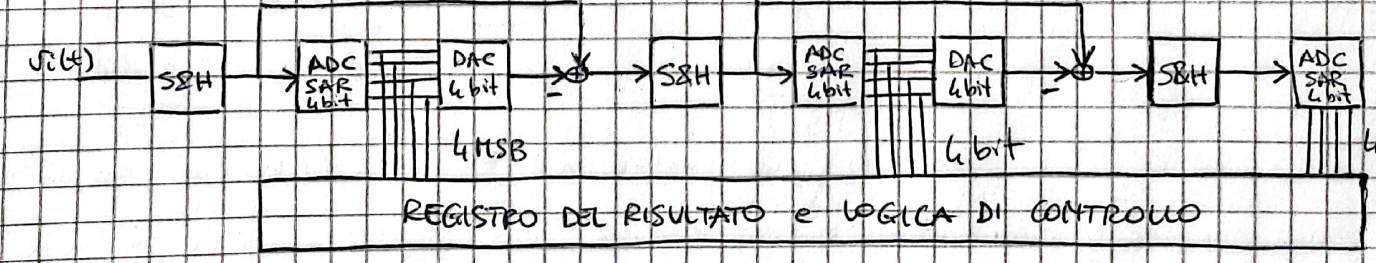
Vantaggio: FLASH n bit $\Rightarrow$ 2^n comparatori

2 FLASH n/2 bit $\Rightarrow$ $2 \cdot 2^{n/2} = 2^{n/2+1}$ comparatori

Si possono realizzare CONV. MULTISTADIO FLASH

Esempio di conv. a 12 bit realizzato con 3 conv. FLASH a 4 bit

CONVERTITORE MULTISTADIO SAR



Stesso concetto, ma in questo caso si ha un CONV. MULTISTADIO IN PIPELINE: il S&H è replicato all'uscita di ogni blocco, quindi i blocchi possono lavorare in parallelo su dati di tipo diverso. Ogni blocco lavora su dati di un istante diverso (1° su 4MSB di $v_i(kT_c)$, 2° sui 4 bit intermedi di $v_i((k-1)T_c)$ e 3° sui 4LSB di $v_i((k-2)T_c)$)
Aggravio di complessità, ma è più veloce: CONV. SAR a 12 bit impiega 12 passi ($12T_c$), così si impiega $4T_c$ (1/3).
PIPELINE usato con i conv. flash non abbrevia tempo, ma permette di rilassare spec. dei comp. analogici nei singoli blocchi

LEZIONI 18R

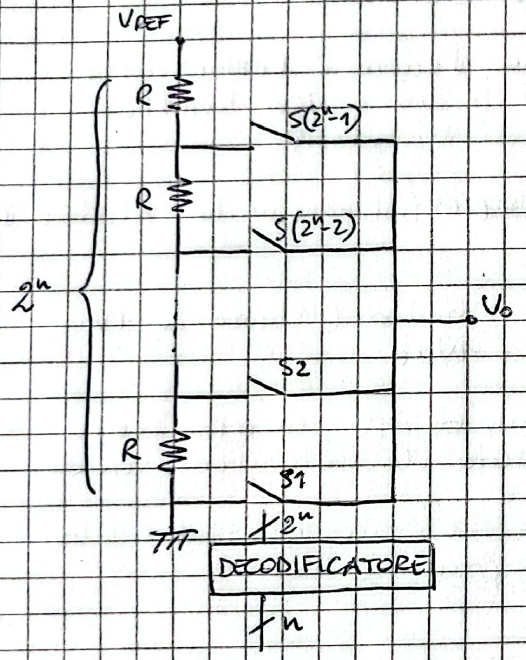
$$Z = \left\lfloor \frac{V_i}{V_{LSB}} \right\rfloor \quad \longleftrightarrow \quad V_o = Z\, V_{LSB}$$

ADC DAC

Esistono 3 metodi per DAC:
* PARALLELO → 2^n interruttori
* PESATO → n interruttori
* CONTEGGIO → 1 interruttore

In generale il più utilizzato è il metodo PESATO (abbastanza veloce e non troppo costoso)

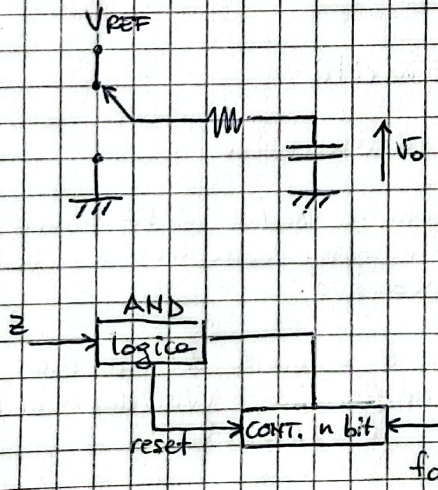
Metodo PARALLELO



Gli interr. si chiudono 1 alla volta.
Al decodif. arriva il num. binario a n bit da cui escono 2^n linee (una per interruttore), a seconda del valore codificato si chiude l'interruttore corrispondente.

In 1 passo si effettua la conversione

Metodo a CONTEGGIO

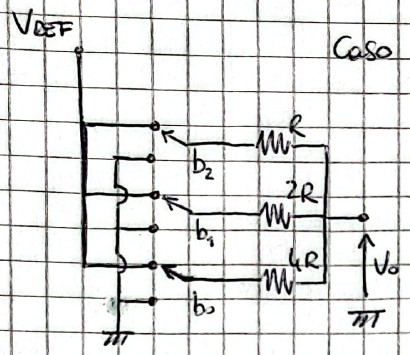


Commutando l'interr. tra VREF e massa con una freq $\gg \frac{1}{T_c}$, variando il S.C. dell'interr., si può cambiare il valor medio ai capi del C.

Contatore ad n bit che conta fino alla config. di bit da convertire, l'uscita entra in una logica in cui entra anche Z, quando si verifica la coincidenza la logica resetta il contatore.

Più è piccolo Z e più frequentemente si resetta il contatore.
Quindi normalmente l'interr. sta su VREF, il segn. di reset molto frequente tende ad abbassare il valore medio. Se il segn. di reset è meno frequente, l'interruttore sta un tempo maggiore su VREF e quindi il valor medio sarà maggiore.

Metodo PESATO



Caso a 3 bit che comandano gli interruttori

PSE: un $b_i = 1 \rightarrow$ connessione a V_{REF}
$b_i = 0 \rightarrow$ ⏚

$$V_o = V_{REF}\left[\frac{R//2R}{R//2R+4R}b_0 + \frac{4R//R}{4R//R+2R}b_1 + \frac{4R//2R}{4R//2R+R}b_2\right]$$

serie $4R + R//2R$

$$= \frac{V_{REF}}{7}\underbrace{(b_0 + 2b_1 + 4b_2)}_{Z \text{ in decimale}} = \underbrace{\frac{V_{REF}}{Z_{MAX}}}_{V_{LSB}} Z$$

Spesso, se in ingresso si ha codice 0, l'uscita non è nulla: l'errore è l'OFFSET, che è correggibile e è dovuto al fatto che in presenza dello 0 la via a V_{REF} dovrebbe essere esattamente un c.a. (resistenza di off finita degli interruttori).

In corrispondenza del codice max si ha l'errore di GUADAGNO (val. eff. uscita − val. nominale): interr. chiuso ha RON diverso da 0.

ERRORE DI NON LINEARITÀ DIFFERENZIALE: altezza di un gradino (distanza da $1V_{LSB}$)
$V(k) - V(k-1) - 1V_{LSB}$

ERRORE DI NON LINEARITÀ INTEGRALE: scostamento tra val. eff. per un certo codice e val. ideale dell'uscita che si dovrebbe avere.

Dopo correzione OFFSET e GUADAGNO, l'err. di non lin. int. al codice k è dato dalla somma degli err. di non lin. diff. di tutti i codici precedenti.

$$W(i) = V_o(z=i) - V_o(z=i-1)$$

$$DNL(i) = \frac{W(i)}{V_{LSB}} - 1V_{LSB}$$

Normalmente il costruttore specifica $|NDL(i)|_{MAX}$

$DNL(i) < -1V_{LSB} \Rightarrow W(i) < 0$ errore di monotonicità

Non monotonicità non infrequente, soprattutto a metà dinamica:

passaggio: MSB = 0, altri = 1 $\Rightarrow$ MSB = 1, altri = 0

Somma V dovute ai bit tranne il MSB è maggiore della tens. dovuta al solo MSB

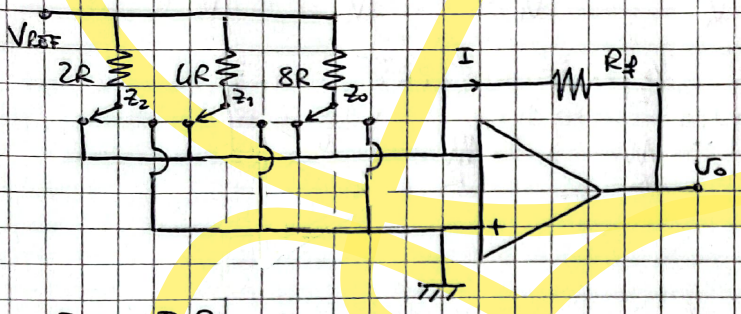
SETTLING TIME: si definisce nel passaggio dalla conv. del codice 0 a quello del cod. max Z_{MAX}, ed è il tempo nec per l'uscita per assestarsi entro una fascia di $\pm\frac{1}{2}V_{LSB}$ intorno al val. finale. Cresce al crescere di n. Se si usa AO è legato allo slew rate

GLITCHES: impulsi indesiderati sull'uscita nelle commutazioni tra un codice e il succ.
* trasudamento (FEED TROUGH) del segn. di comando degli interruttori
* sfasamento degli interruttori

Per ridurre GLITCHES si può utilizzare un f. PB in uscita, utile perché permette di ridurre l'effetto gradinata nella ricostruzione del segnale.

Vediamo alcune config. di conv. D/A di tipo pesato.

Schema fatto è di principio: gen.re V_{REF} vede un'imped. diversa verso massa in funzione della config. di Z (codice da convertire), quindi (essendo V_{REF} non ideale) la corr. erogata varia in funz. della config. di Z e quindi anche la caduta di tens. sulla resistenza interna varia in funz. del codice. Si ha un ERRORE DI SOVRAPPOSIZIONE. 201



Conv. a 3 bit.

$b_i = 1 \rightarrow$ (-) connesso alla res. i-esima
$b_i = 0 \rightarrow V_- = 0$

la posizione dell'interr. non cambia nulla per V_{REF}: in un caso punto di massa virtuale, nell'altro punto di massa fisico.

$V_0 = -I R_f$

$$I = \frac{V_{REF}}{2R}\left[Z_2 + \frac{Z_1}{2} + \frac{Z_0}{4}\right] \Rightarrow V_0 = -\frac{V_{REF}}{8}\frac{R_f}{R}\left[4Z_2 + 2Z_1 + Z_0\right] = -V_{LSB}\frac{R_f}{R}Z_{10}$$

Z in decimale

V_{LSB}

Per $R_f = R$ ci riconduciamo all'espressione generale.

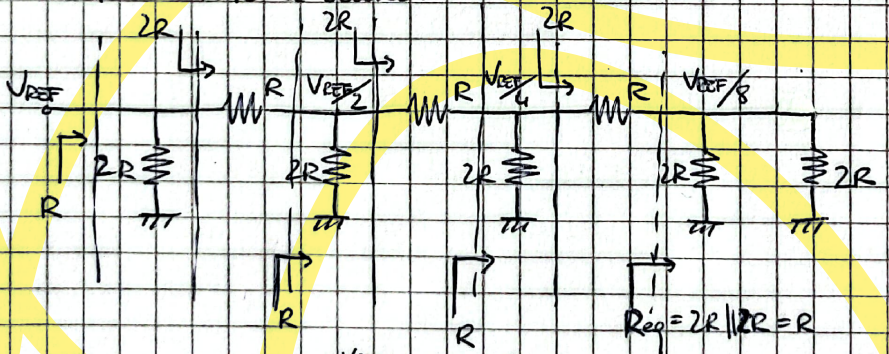
Svantaggio: cresce il num. di bit e cresce in modo esponenziale il val. delle resistenze.

Errore di OFFSET su cui influiscono V_{IO} e I_B dell'AO ($Z=0 \Rightarrow V_0 \neq 0$), la non idealità degli interruttori (res. non infinita quando interr. sull'altro collegamento).

Errore di guadagno è legato al val di V_{REF} e a $\frac{R_f}{R}$.

Errore di non linearità dovuto al fatto che il rapp. tra resistenze non sia potenza del 2 e un eventuale R_{ON} di valore non nullo (non idealità interruttori).

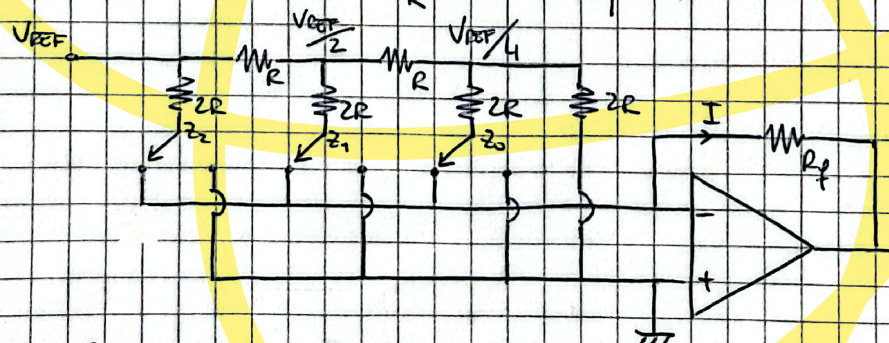
Rete R-2R o rete a scala:



V_{REF} vede sempre R

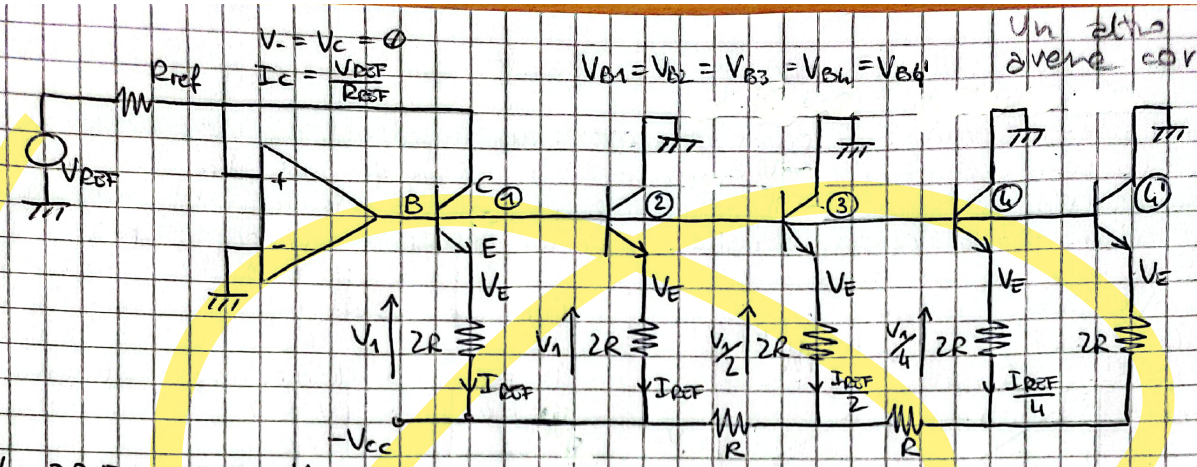
Ogni nodo vede la tens. del nodo precedente diviso 2, perché è un partitore tra R e R.

Genero correnti scalate di un fattore 2.



$$I = \frac{V_{REF}}{2R}\left[Z_2 + \frac{Z_1}{2} + \frac{Z_0}{4}\right] \Rightarrow V_0 = -\frac{V_{REF}}{8}\cdot\frac{R_f}{R}\cdot Z_{10}$$

Stessi errori, ma le impedenze sono R o 2R, non crescono in modo esponenziale



$V_{BE1} = V_{BE2} = V_{BE3} = V_{BE4} = V_{BE4'}$

Un altro modo per avere correnti scalate

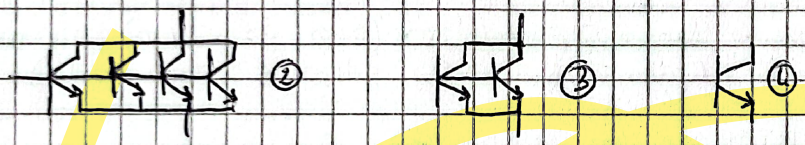
$V_1 = 2R\, I_{REF} = 2R\, \frac{V_{REF}}{R_{REF}}$

$V_{BE} \simeq V_T \ln \frac{I_c}{I_S} \longrightarrow \Delta V_{BE} = V_T \ln 2 \Big|_{T=300K} = 26 \cdot 10^{-3} \cdot \ln 2 = 18\ mV$

tra 2 BJT in cui I_c è scalata di un fattore 2

Questo introduce un errore nei pesi delle corr., evitabile facendo in modo che la densità di corrente sia la stessa nei dispositivi.

$I_S = A \cdot J_S$ giochiamo sull'area della giunz. B-E per far sì che i BJT abbiano la stessa J_S.



Ogni transistor è attraversato da $\frac{I_{ref}}{4}$ e complessivamente nel ③ $\frac{I_{ref}}{2}$ e ② I_{ref}

La V_{BE} per ogni BJT è la stessa

Questa config può essere collegata al DAC precedentemente analizzato collegando i C dei BJT 2, 3 e 4 agli interruttori bipolari. (b_2, b_1, b_0)

Le non idealità degli errori statici rimangono

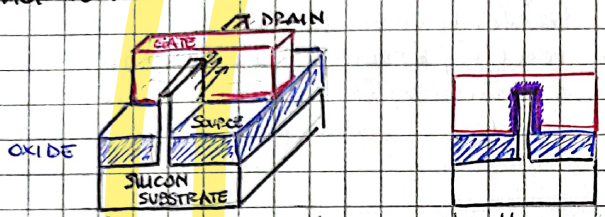
LEZIONE 19R

Nel mercato dei circuiti integrati circa 5/6 è occupato dai dispositivi digitale e 1/6 dagli analogici. Per lo più, i digitali usano la tecnologia CMOS (Memory, Micro, Logic)

La logica CMOS ha fatto una rapide ascesa negli ultimi 50 anni: numero di disp. all'interno dei circuiti integrati raddoppiato ogni circa 24 mesi (nel '65 secondo Moore ogni 12).
In prima fase riduzione dimensione dei dispositivi (riduzione dim. min. del processo fotolitografico)

Le dim. delle strutture definibili sul silicio con questo meccanismo sono legate alla lunghezza d'onda della sorgente utilizzata.

Fine '90 si è cercato di incrementare prestazioni seguendo strade diverse: introdotti nuovi materiali con maggiore mobilità dei portatori di carica (silicio germanio ad esempio).
Nel 2011 sono stati introdotti i transistor 3D:



pinna di silicio verticale di dim. min (22 nm)
Il canale si sviluppa intorno (viola è canale)
la W del MOS è molto superiore rispetto alla stessa tecnologia planare.

Così si possono realizzare strutture a sviluppo verticale.

Siamo arrivati a dispositivi con 10^{10} transistor, con $f_{ck} \sim$ GHz e consumo di potenza della decina di W (10 W)

Problemi come interconnessione (prestazioni e affidabilità) e consumo di potenza

Sui segnali digitali si può:
- effettuare elaborazioni matematiche (+ − × ÷)
- memorizzazione di dati
- trasferimento di dati
- operazioni logiche: logica booleana (AND, OR, NOT)

Tutte le operazioni sono ricondu cibili alla logica booleana (2 mattoni):

$\overline{A \cdot B} = \overline{A} + \overline{B}$; $\overline{A + B} = \overline{A} \cdot \overline{B}$ leggi di De Morgan → 1 tra AND e OR + NOT

logica TTL → NAND ; logica CMOS → NOT (unico mattone di base)

Porta NOT: V_i → V_o

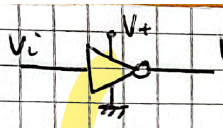
V_i	V_o
H	L
L	H

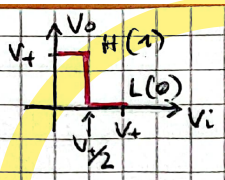
$H \equiv V_{OH}$ (esempio V_{cc})
$L \equiv V_{OL}$ (esempio 0)

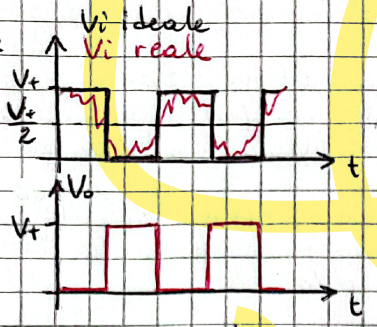
funzionamento reale è analogico

Si ha transizione in un tempo finito, un certo ritardo dell'uscita, valori che possono essere diversi da quelli nominali, dissipazione di potenza.

Il mattone NOT permette di realizzare tutte le operazioni.

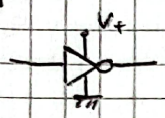
Inverter ideale: 

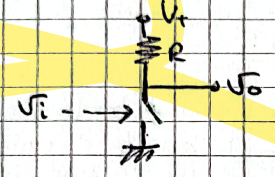


Supponendo Vi: 

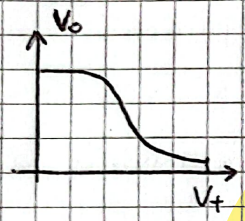
Passando Vi attraverso un inverter consente di ripulire il segnale: quando Vi attraversa V+/2, l'uscita commuta. Questo porta rigenera il rapporto segnale-rumore di partenza.

Il problema è che un inverter ideale non esiste.

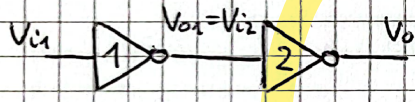




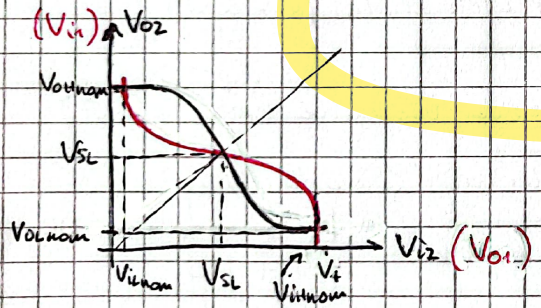
Con interruttore ideale, la caratteristica di trasferimento ideale.
In realtà, essendo l'interruttore un transistor (BJT, JFET), non è ideale.



Caratteristica reale.
3 regioni: 2 a piccola pendenza, 1 con grande pendenza
Non si hanno solo 2 valori, quindi si ha una minore capacità di rigenerare segnali (minor immunità ai disturbi)



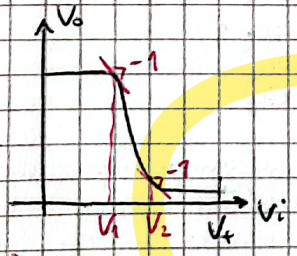
$$V_{o2} = \overline{V}_{i2} = \overline{V}_{o1} = \overline{\overline{V}}_{i1} = V_{i1}$$



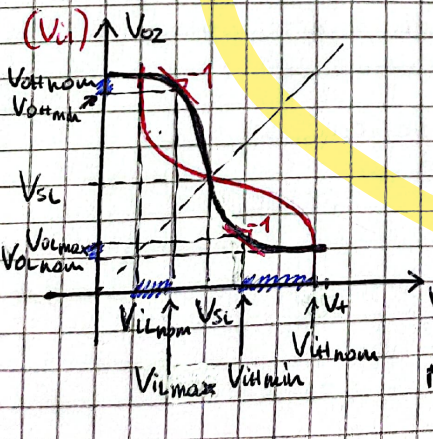
I punti di intersezione definiscono le condizioni per cui si ha $V_{i2} = V_{o1}$ e $V_{i1} = V_{o2}$

V_{SL}: tensione di soglia logica ($V_o = V_i$)

$V_{iHnom} = V_{oH\,nom}$
$V_{iLnom} = V_{oL\,nom}$



In $0 < V_i < V_1$ pendenza in modulo < 1 (Attenuazione V_i)
In $V_2 < V_i < V_+$ anche
In $V_1 < V_i < V_2$ pendenza in modulo > 1 (Guadagno > 1)



Nella 1ª zona blu l'ingresso può variare per effetto del rumore sovrapposto al val. basso nominale senza ripercussioni significative sull'uscita.

Nella 2ª posso fare la stessa cosa per quanto riguarda il segnale a livello alto.

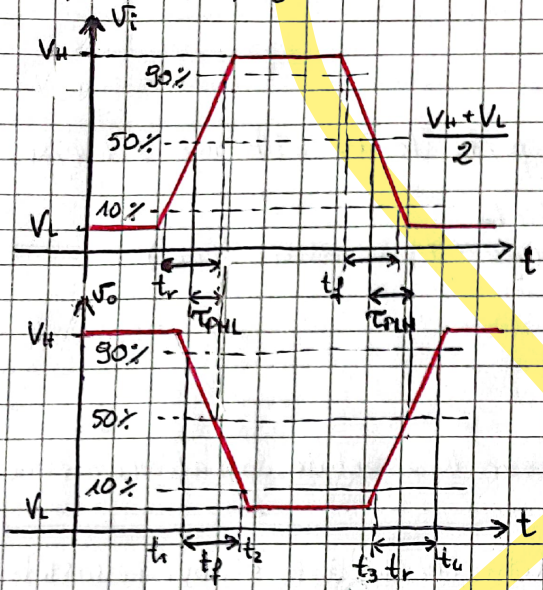
Questo perché fasce più estese vengono concentrate in valori meno estesi.

Margine di rumore $NM_H = V_{oHnom} - V_{iHmin}$
$NM_L = V_{iLmax} - V_{oLnom}$

[A volte margini più stretti: si usa V_{oHmin} e V_{oLmax}]

La regione centrale indefinita è tanto più estesa tanto minore è la pendenza della caratteristica in tale regione.
Maggiore è la distanza di V_{iHnom} e V_{iLnom} da V_t e $\emptyset$ e minore è il NM
Se $V_{SL} \neq \frac{V_t}{2}$ un NM si contrae e l'altro si amplia.

Tempo di propagazione di una porta logica:

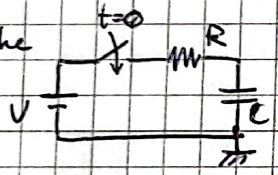


$V_{10\%} = V_L + 0.1\,\Delta V$
$V_{90\%} = V_L + 0.9\,\Delta V = V_H - 0.1\,\Delta V$
$\Delta V = V_H - V_L$

La transizione tra i due livelli non avviene in modo istantaneo, ma in un tempo finito.

Le transizioni sono valutate tra il 10% e il 90% (tempo di salita e tempo di discesa).
Questi tempi sono strettamente legati alla banda della porta.

I ordine



Si ha:

$$v_c(t) = \left[v_c(\infty) - v_c(\emptyset)\right]\left(1 - e^{-\frac{t}{RC}}\right) + v_c(\emptyset)$$

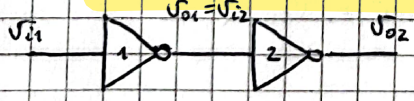
t_1: $v_c(t_1) = 0.1V$
t_2: $v_c(t_2) = 0.9V$
$\Rightarrow \quad t_2 - t_1 = t_r \propto RC$

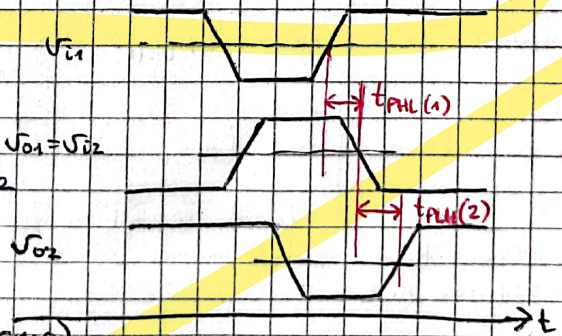
$$t_r = \frac{\alpha}{2\pi} RC\,2\pi = \frac{\alpha/2\pi}{f_H} \simeq \frac{0.35}{f_H}$$

buona stima per circuiti di qualunque ordine

Il TEMPO DI PROPAGAZIONE è il tempo che intercorre tra l'applicazione dello stimolo e il verificarsi dell'effetto, valutati alla metà della dinamica.

Il tempo di propagazione della porta è definito come $\frac{\tau_{PHL} + \tau_{PLH}}{2} = t_p$

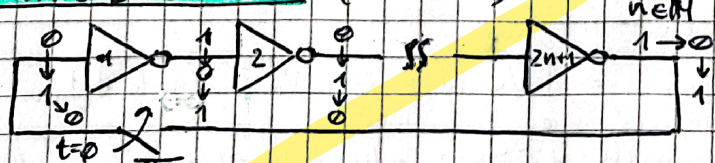




I tempi di propagazione sono additivi per porte in cascata

Quindi si può valutare in maniera indiretta il t_p se questo è troppo basso per essere valutato con cura per una singola porta.

OSCILLATORE AD ANELLO (autonomo)



1° ciclo: inverter dispari t_{PHL}, inverter pari t_{PLH}

Fino a t=0 ho entrata $\emptyset$ nella porta ①, con uscita 1, poi $\emptyset$, poi 1 ... fino a 1.

Quando chiudo l'interr. l'ingresso della porta ① sarà 1 e questo cambierà tutte le uscite con i rispettivi t_p, e il tutto si ripete con transizioni opposte.

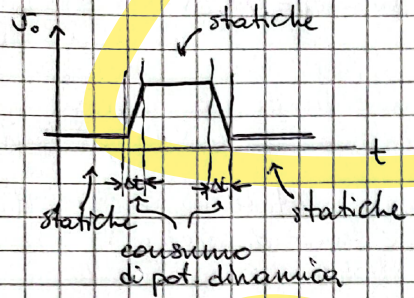
Per concludere il primo ciclo, ci vuole $(n+1)\,t_{PHL} + n\,t_{PLH}$.
Per il 2° ciclo $(n+1)\,t_{PLH} + n\,t_{PHL}$. In uscita all'ultima porta abbiamo una forma d'onda con $T = (2n+1)\,t_{PHL} + (2n+1)\,t_{PLH} = 2(2n+1)\left(\frac{t_{PHL}+t_{PLH}}{2}\right) = 2(2n+1)\,t_p$ (più facile valutare t_p indirettamente)

LEZIONE 20R

Potenza media dissipata da una porta logica

$$\overline{P_D} = \frac{1}{T}\int_T V_{DD}\, i(t)\, dt \qquad \text{con } V_{DD} \text{ alimentazione}$$

$$= \frac{1}{T} V_{DD} \int_T i(t)\, dt$$



In una generica porta logica abbiamo 2 diverse situazioni:
* condizioni statiche
* commutazione (condizioni dinamiche)

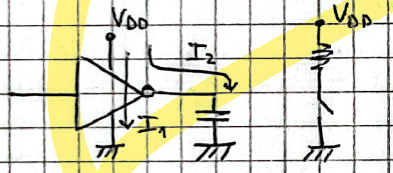
Caso di condizioni statiche: $H \rightarrow I_H$ corrente assorbita dall'alimentazione; $L \rightarrow I_L$

$$\overline{P_{D_{ST}}} = V_{DD} I_H \alpha_H + V_{DD} I_L \alpha_L$$

α_H, α_L probabilità che la porta si trovi nello stato H, L

Se $\alpha_H = \alpha_L = 1/2 \Rightarrow \overline{P_{D_{ST}}} = V_{DD} \frac{I_H + I_L}{2}$

Caso di condizioni dinamiche:



2 componenti di corrente: quella che fluisce tra V_{DD} e massa (in funzione dell'inverter) e l'altra che carica il carico capacitivo in uscita (in particolare nelle logiche di tipo MOS)
I_2 è in generale il contributo più rilevante.

$$\overline{P_{D_{DIN}}} = \frac{1}{T}\left[\int_{\Delta t_{LH}} V_{DD}\, i(\tau)\, d\tau + \int_{\Delta t_{HL}} V_{DD}\, i(\tau)\, d\tau\right]$$

Energia assorbita nella transizione basso-alto: $E_{A_{L\rightarrow H}} = V_{DD}\int_{\Delta t_{LH}} i(\tau)\, d\tau = V_{DD}\, Q$

Se C si carica fino a V_{DD} ai suoi capi: $E_{AL\rightarrow H} = V_{DD}\, Q\,|_{Q=CV_{DD}} = V_{DD}^2\, C$

energia assorbita per portare una carica in C t.c. la tensione ai suoi capi sia V_{DD}

Questa energia è in parte dissipata dall'inverter, in parte immagazzinata in C

$Q = CV \qquad dQ = C\,dV$

$$dE = V\,dQ = VC\,dV \Rightarrow E_{IMM} = \int_{E(0)}^{E(V_{DD})} dE = \int_0^{V_{DD}} VC\,dV = \frac{1}{2} C V_{DD}^2 \quad (\text{metà di } E_{A_{L\rightarrow H}})$$

Questa metà immagazzinata in C viene nuovamente dissipata nella fase di scarica nella transizione alto-basso.
Quindi, in un ciclo di commutazione ($L\rightarrow H + H\rightarrow L$), l'energia totale assorbita è CV_{DD}^2 e

$$\overline{P_{D_{DIN}}}(I_2) = \frac{CV_{DD}^2}{T} = CV_{DD}^2 f$$

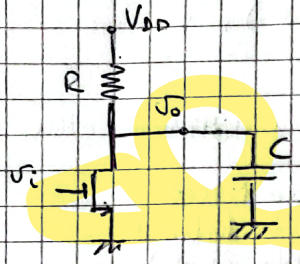
componente di potenza proporzionale alla freq. di commutazione della porta.

$\overline{P_D} \cdot t_p$ è in genere costante (almeno per bassi valori di $\overline{P_D}$) nella singola tecnologia.
(per aumentare $\overline{P_D}$ bisogna aumentare la corr. media, che carica più rapidamente C e abbassa t_p)

fan in : data una porta, il numero max di ingressi che può avere la porta stessa senza degradare le sue prestazioni.

fan out : data una porta, il numero max di porte uguali che può essere collegato in uscita senza degradare le prestazioni della porta stessa.

Per non degradare si considera che deve valere $V_{OL} < V_{OLmax}$, $V_{OH} > V_{OHmin}$, $t_p < t_{pmax}$



Interruttore reale
Interr. chiuso : conta il rapporto tra R e la R_{ON} del transistor
$V_i = H = V_{DD}$, $V_{DS} < V_{GS} - V_{TH}$ condizioni di TRIODO

$$R_{ON} = R_{TRIODO} \propto \frac{1}{W/L}$$

R/R_{ON} determina la $V_{OL} = V_{DD} \frac{R_{ON}}{R + R_{ON}}$

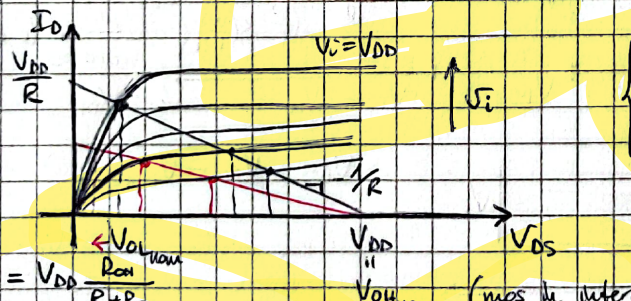
$R/R_{ON} \gg 1 \Rightarrow V_{OL} \simeq 0$

R/R_{ON} influenza anche le caratteristiche dinamiche:
il carico è capacitivo, la V_o raggiunge la situazione di eq. una volta trascorso il transitorio di carica o scarica di C.

t_{PLH} : si ha quando viene interdetto il MOS e si carica C attraverso R

$t_{PLH} \propto RC$ ↑ se R↑

Normalmente $t_p = \frac{t_{PLH} + t_{PHL}}{2} \simeq \frac{t_{PLH}}{2}$ (si cerca di avere $\frac{R}{R_{ON}} \gg 1 \Rightarrow$ R grande)



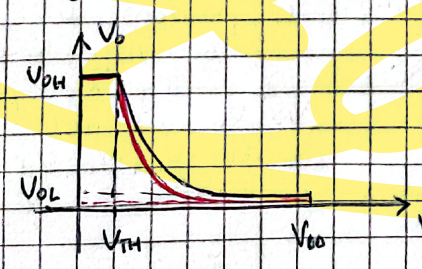
$$\begin{cases} V_{DD} = I_D R + V_{DS} \\ I_D = f(V_i = V_{GS}, V_{DS}) \end{cases} \quad (\text{saturazione e triodo})$$

Aumentando R (per aumentare R/R_{ON}) Aumenta la dinamica dell'uscita e il NM.

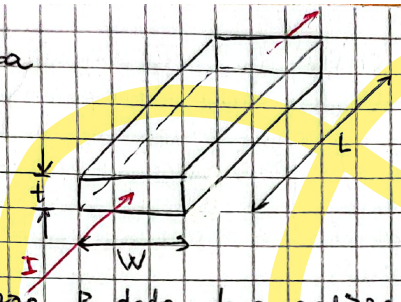
$V_{OL} = V_{DD} \frac{R_{ON}}{R + R_{ON}}$ (mos in interdizione, $I_D = 0$) $V_{GS} < V_{TH}$

Aumentando W/L, diminuisce R_{ON} e a parità di V_i si alzano verso l'alto le curve, aumenta comunque la dinamica dell'uscita

Più è grande R, meno è pendente la retta, maggiore è la differenza di V_{DS} muovendo V_i



Resistenza



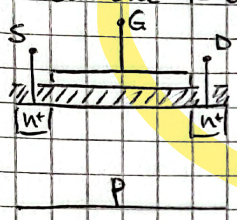
resistività ρ e spessore t sono parametri di processo
N: num. droganti per m^3
μ: mobilità

$$R = \rho \frac{L}{W \cdot t}, \qquad \rho = \frac{1}{qN\mu}$$

$$R = \frac{\rho}{t} \cdot \frac{L}{W} = R_\square \frac{L}{W}$$

$R_\square$: resistenza di strato (di un quadrato)

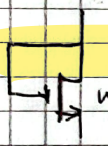
Per realizzare R data, devo realizzare un num. di quadrati pari a $R/R_\square$



$R_\square \simeq 10\ \Omega/\square$

Per avere una R elevata (anche decine di $K\Omega$) devo usare un migliaio di quadrati (spazio occupato significativo), se la voglio di tipo passivo

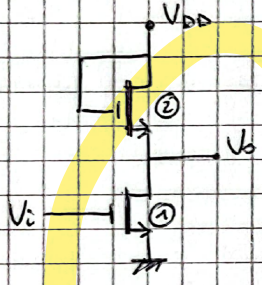
Quindi le resistenze di carico nelle logica NMOS vengono realizzate in maniera attiva



MOS montato a DIODO

logica pseudo NMOS (una volta introdotto il processo misto CMOS)

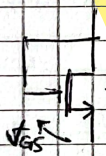
Carico attivo del MOS montato a DIODO nell'inverter



In questa struttura (al posto di R/R_{ON}) determina le caratteristiche il rapporto

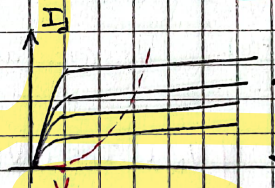
$$K = \left(\frac{W}{L}\right)_1 \Big/ \left(\frac{W}{L}\right)_2$$ che deve essere $\gg 1$

Infatti, questo tipo di soluzioni, si chiama LOGICA A RAPPORTO

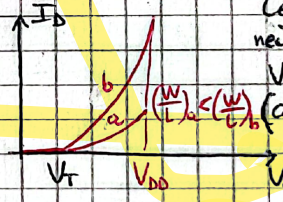


$V_{GS} = V_{DS}$ $\quad V_{DS} > V_{DS} - V_{TH}$ sempre vera

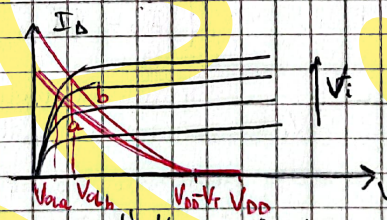
MOS sempre in SAT.



Cerco I nei punti in cui $V_{DS} = V_i$ (caratt. simile al DIODO)



$$\begin{cases} V_{DD} = V_{DS2} + V_{DS1} \\ I_D = I_{D1} = I_{D2} = f(V_i, V_{DS1}) \end{cases}$$



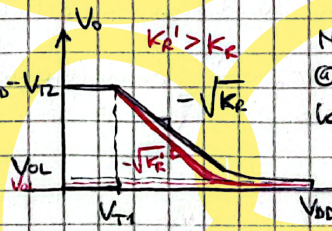
$V_{DS2} = V_{DD} - V_{DS1}$

Curva di I_D rispetto V_{DS2} ribaltata e traslata di V_{DD}

Aumentando $(W/L)_1$ le curve traslano verso l'alto e le intersezioni si trovano in modo più ripido.

$(W/L)_2$ cresce $\Rightarrow$ V_{OL} si sposta verso dx

Quindi ciò che conta è $\dfrac{(W/L)_1}{(W/L)_2} = K_R$



Nelle zone in cui ④ e ② sono in SAT, la pendenza della curva corrisponde con il guad per piccoli segnali

$A_v = -g_{m1} \cdot r_{ds1} /\!/ r_{s2} =$

$1/g_{m2} \ll r_{ds1}$

$\simeq -g_{m1}/g_{m2}$

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I} \quad \Rightarrow \quad A_v = \sqrt{\frac{(W/L)_1}{(W/L)_2}} = \sqrt{K_R}$$

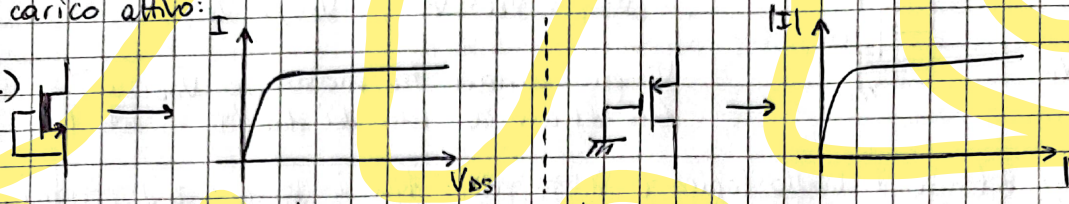
t_{PLH} (t nec. per portare a metà dinamica la tens. ai capi di C di carico) mediamente con la corrente che scorre nel ② (e nel C), cioè la curva rossa nel grafico V_{DS1}, I_D

Invece la corr. di scarica da considerare per valutare t_{PHL} è la corr. del ① in piena conduzione, quindi $V_i = V_{DD}$ (curva nera nel grafico V_{DS1}, I_D)

Corr. di scarica in generale » corr. di carica $\Rightarrow$ $t_p = \frac{t_{PLH}}{2}$ cresce se diminuisce $\left(\frac{W}{L}\right)_2$

la pot. dissipata statica è funzione di K_R (se cresce, sposta a sn il val. di V_{OL})

Tipi di carico attivo:

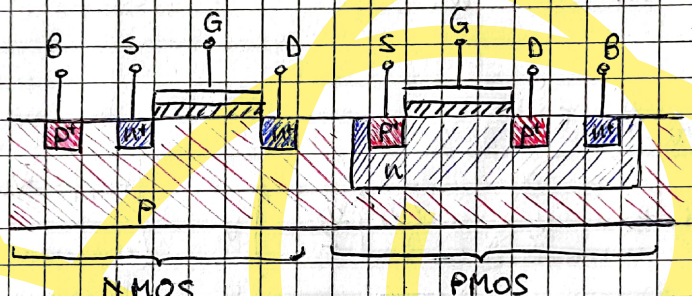


PSEUDO NMOS: tecnologia di fatto CMOS (entrambi i tipi di dispositivi)

In genere, se si ha a disposizione una tecnologia CMOS, si usa una logica pienamente CMOS.
Ha senso la logica PSEUDO NMOS quando essa consente un risparmio significativo d'area, ma la potenza statica della porta è diversa da ∅ (in log. CMOS pot. dissipata solo dinamica)

LEZIONE 21R

Logica CMOS



2 tipi di dispositivo nello stesso chip: il transistor p è realizzato in una tasca di tipo n, mentre il transistor n è realizzato su un substrato di tipo p.

Modello quadratico: NMOS:

$$I_{D_n} = \begin{cases} \emptyset & V_{GS} < V_{THn} \\ \frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left[2(V_{GS}-V_{THn})V_{DS} - V_{DS}^2\right] & V_{GS} > V_{THn},\ V_{DS} < V_{GS}-V_{THn} \\ \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{THn})^2(1+\lambda V_{DS}) & V_{GS} > V_{THn},\ V_{DS} \geq V_{GS}-V_{THn} \end{cases}$$

$K_n = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}$ $\quad [K] = A/V^2$

$\frac{m^2 \cdot V}{s}$ mobilità superficiale degli elettroni $\quad \frac{\varepsilon_{ox}}{t_{ox}}$: cost. diel. ox / spessore ox $\quad \frac{F}{m^2}$

$[\lambda] = V^{-1}$: tiene conto della modulazione della lung. di canale al crescere di V_{DS}

$V_{THn} = V_{TH\emptyset} + \gamma\left(\sqrt{|2\phi| + |V_{SB}|} - \sqrt{|2\phi|}\right)$, $\quad \phi = -\frac{E_F}{q}$, 2ϕ è il pot. superficiale per cui si raggiunge la cond. di forte inversione

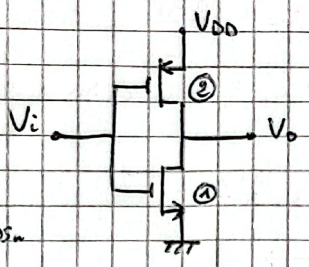
↳ coeff. di effetto substrato: $V^{1/2}$

$V_{TH\emptyset} = V_{THn}\,|_{V_{SB}=\emptyset}$

PMOS:

$$I_{D_p} = \begin{cases} 0, & |V_{GS}| < |V_{THp}| \\ k_p\left[2\left(|V_{GS}| - |V_{THp}|\right)|V_{DS}| - |V_{DS}|^2\right], & |V_{GS}| > |V_{THp}|,\ |V_{DS}| < |V_{GS}| - |V_{THp}| \\ k_p\left(|V_{GS}| - |V_{THp}|\right)^2(1 + \lambda|V_{DS}|), & |V_{GS}| > |V_{THp}|,\ |V_{DS}| \geq |V_{GS}| - |V_{THp}| \end{cases}$$

Inverter CMOS:



Anche il carico è pilotato

$V_{SG_p} = V_{DD} - V_i$, $V_{GS_n} = V_i$

$V_{DD} = |V_{DS_p}| + V_{DS_n}$

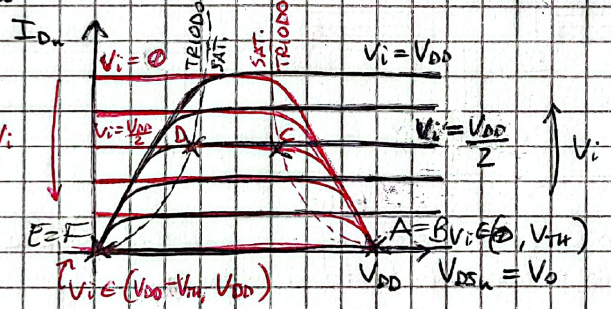
V_i può variare tra massa e V_{DD}: ai 2 estremi della dinamica uno dei due T è interdetto

Non conta più per definire il livello logico L il rapporto tra i k dei 2 dispositivi. Si chiama infatti LOGICA NON A RAPPORTO (RATIOLESS)

Ipotesi: $V_{THn} = -V_{THp} = V_T$

$k_n = k_p \Rightarrow$ se $L_n = L_p$, allora $W_n \neq W_p$ (in generale $\mu_n \simeq 2{,}5\,\mu_p$)

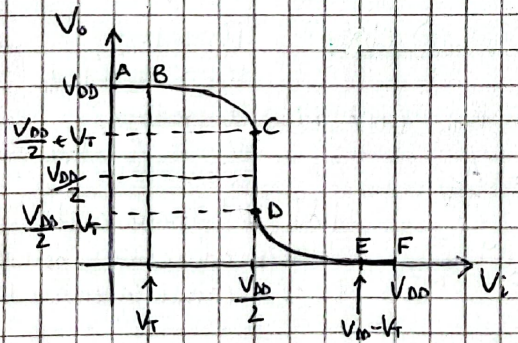
sono cond. per avere un inverter simmetrico $\Rightarrow W_p = 2{,}5\,W_n$



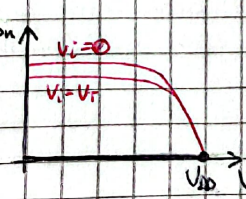
$|V_{DS_p}| = V_{DD} - V_{DS_n}$

(rovesciare rispetto a V_{DS_n} e traslare di V_{DD})

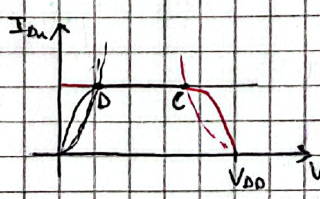
T simm. $\Rightarrow$ $V_i = V_{DD}/2$: SAT coincidente tra D e C



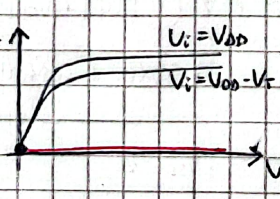
AB: ① INTERD. ② TRIODO
BC: ① SAT. ② TRIODO
CD: ① ② SAT.
DE: ① TRIODO ② SAT.
EF: ① TRIODO ② INTERD.



AB
$V_i < V_T$



CD
$V_i = \frac{V_{DD}}{2}$



EF
$V_i > V_{DD} - V_T$
$V_i < V_{DD}$

Senza l'ipotesi di MOS ideale (senza effetto di modulazione di canale), il tratto CD avrà pendenza non infinita.

D → $V_{DS_n} = V_{GS} - V_T = \frac{V_{DD}}{2} - V_T$ separazione TRIODO/SAT.

C → $V_{DS_n} = \frac{V_{DD}}{2} + V_T$ (caratt. simm.) $|V_{DS_p}| = |V_{GS_p}| - V_T \Rightarrow V_{DD} - V_o = V_{DD} - V_i - V_T \Rightarrow V_o = \frac{V_{DD}}{2} + V_T$

Calcoliamo i 2 punti in cui la caratt. assume pendenza -1: uno in BC e l'altro in DE.

Quello in D-E è in regione con ① TRIODO e ② SAT.:

$$K_n\left[2(V_i - V_T)V_o - V_o^2\right] = K_p\left[V_{DD} - V_i - V_T\right]^2 \qquad (A)$$

$$\frac{d}{dV_i}: \quad 2(V_i - V_T)\frac{dV_o}{dV_i} + 2V_o - 2V_o\frac{dV_o}{dV_i} = -2\left(V_{DD} - V_i - V_T\right) \qquad (B)$$

Risolvo (B) per $V_i = V_{ITmin} \Rightarrow \frac{dV_o}{dV_i} = -1$.

$$(B)\quad -2(V_{ITmin} - V_T) + 2V_o + 2V_o = -2V_{DD} + 2V_{ITmin} + 2V_T$$

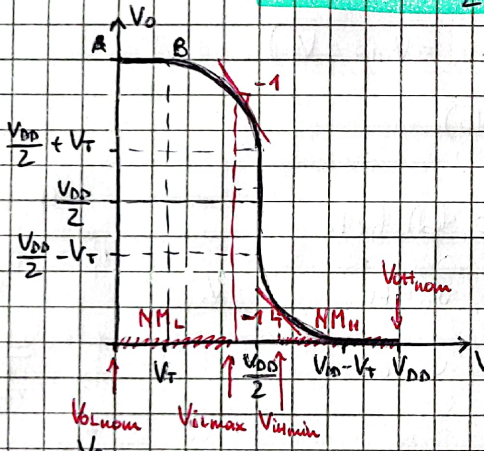
$$4V_{ITmin} = 4V_o + 2V_{DD} \Rightarrow \boxed{V_{ITmin} = V_o + \frac{V_{DD}}{2}}$$

$$(A)\quad 2\left(V_o + \frac{V_{DD}}{2} - V_T\right)V_o - V_o^2 = \left(V_{DD} - V_o - \frac{V_{DD}}{2} - V_T\right)^2 = \left(\frac{V_{DD}}{2} - V_T - V_o\right)^2$$

$$2V_o^2 + V_{DD}V_o + 2V_TV_o - V_o^2 = \left(\frac{V_{DD}}{2} - V_T\right)^2 + V_o^2 - 2V_o\left(\frac{V_{DD}}{2} - V_T\right)$$

$$2V_{DD}V_o + 4V_oV_T = \left(\frac{V_{DD}}{2} - V_T\right)^2 \Rightarrow 4V_o\left(\frac{V_{DD}}{2} - V_T\right) = \left(\frac{V_{DD}}{2} - V_T\right)^2 \Rightarrow \boxed{V_o = \frac{1}{4}\left(\frac{V_{DD}}{2} - V_T\right)}$$

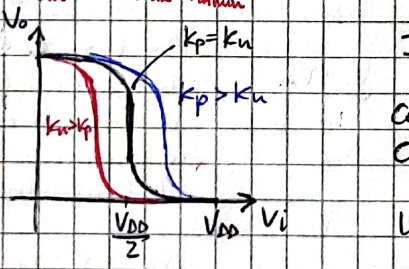
Risultato: $\boxed{V_{ITmin} = V_o + \frac{V_{DD}}{2} = \frac{1}{4}\left(\frac{V_{DD}}{2} - V_T\right) + \frac{V_{DD}}{2} = \frac{1}{4}\left(\frac{5}{2}V_{DD} - V_T\right)}$



$$V_{ILmax} = V_{DD} - V_{ITmin} = \frac{1}{4}\left(\frac{3}{2}V_{DD} + V_T\right)$$

per simmetria ↓

$$NM_L = V_{ILmax} = NM_H$$



Ipotesi $K_p = K_n$ tolta.

Con $K_n > K_p$ i 2 MOS sono in SAT. per $V_i < \frac{V_{DD}}{2}$

Con $K_p > K_n$ i 2 MOS sono in SAT. per $V_i > \frac{V_{DD}}{2}$

la caratteristica (e i NM) non è più simmetrica.

Per $K_n > K_p$ il NM_L viene penalizzato e il NM_H aumentato. Accade l'opposto per $K_p > K_n$.

Per avere $NM_H = NM_L$ si deve rispettare $K_n = K_p \Rightarrow$ pagamento in termini di area di silicio occupata

$K_n = K_p$, $L_n = L_p = L_{min} \Rightarrow W_p \simeq 2.5\, W_n$ (perché $\mu_n \simeq 2.5\,\mu_p$)

L_{min}: val. min. del processo fotolitografico

<u>Inverter nMOS con carico attivo nMOS</u>

$$K_R = \frac{W_1/L_1}{W_2/L_2} = \frac{W_1}{L_1}\cdot\frac{L_2}{W_2}$$

Dato $K_R > 1$ scelgo $L_1 = W_2 = L_{min}$ e $W_1 = L_2 = \sqrt{K_R}\,L_{min}$

I 2 MOS occupano la stessa area.

<u>Inverter nMOS con carico pMOS</u> (pseudo n-MOS)

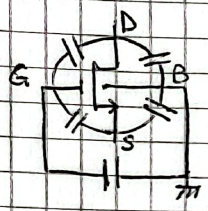
$$K_R = \frac{\mu_n}{\mu_p}\cdot\frac{W_1}{L_1}\cdot\frac{L_2}{W_2},$$

per avere stesso K_R posso ridurre ancora l'area $\left(W_1 = L_2 = \frac{\sqrt{K_R}}{\sqrt{2.5}}L_{min}\right)$

Ancora 2 MOS della stessa area

Comportamento dinamico dell'inverter CMOS determinato dalla capacità tot. di carico

$C_T = C_L + N C_G$ (C collegamenti d'uscita + C d'ingresso delle N porte collegate a valle)



C_{ij}, con $i,j = G, S, D, B$

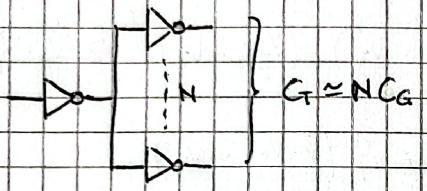
Valore di queste C dipende dalla regione di funzionamento

Si può approssimare $C_G \simeq C_{ox} \cdot WL$ ($C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$, WL = area del G)

Per il SiO_2 si ha $\varepsilon_{ox_r} \simeq 3.8$

$\varepsilon_0 = 8.85 \cdot 10^{-12}$ F/m $\Rightarrow \varepsilon_{ox} \simeq \varepsilon_{ox_r} \varepsilon_0$. $t_{ox} \in$ 1nm – 10 nm $\Rightarrow C_{ox} \in 3 \frac{fF}{\mu m^2} - 30 \frac{fF}{\mu m^2}$

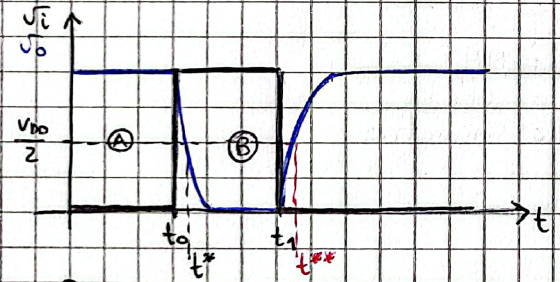
C_L è invece trascurabile, perché gli spessori dell'ossido sono ordini di grandezza maggiori del t_{ox} del SiO_2 utilizzato per calcolare C_G



Inverter CMOS simmetrico: $C_G \simeq 3.5\, C_{G_n}$

<u>Tempo di propagazione inverter CMOS</u> ($k_p = k_n = k$, $V_{THn} = V_{THp} = V_T$)

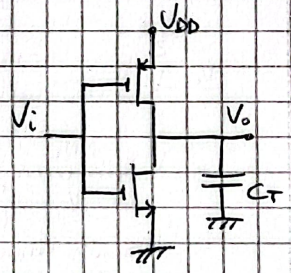
Supponiamo segn. ingresso ideali (t salita e discesa nullo)



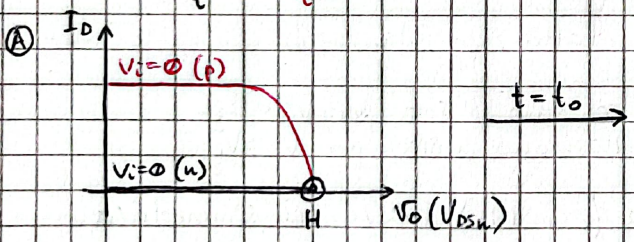
Condizioni statiche

(A) $v_i = L$, $v_o = H$

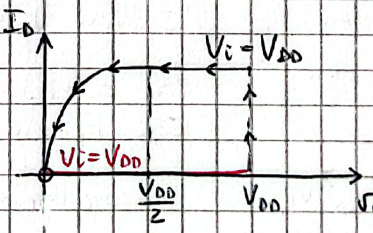
(B) $v_i = H$, $v_o = L$



(A)



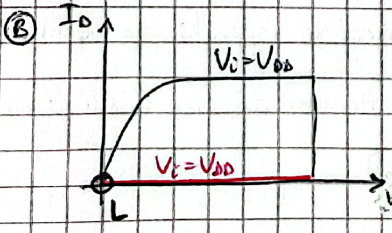
$t = t_0$



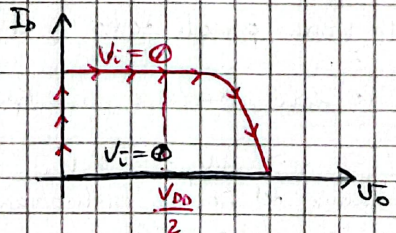
In $t = t_0$ la $V_i = V_{DD}$, la $v_o = V_{DD}$ (stessa di prima) e C_T inizia a scaricarsi attraverso il transistor n

$t_{PHL} = t^* - t_0$

(B)



$t = t_1$



Analogamente al caso di scarica, C_T si carica attraverso il transistor p.

$t_{PLH} = t^{**} - t_1$

I dispositivi non rimangono durante la scarica/carica di C_T sempre in SAT.

(t_{PHL}) $V_{GSn} = V_i = V_{DD}$, $V_{DSn} = \frac{V_{DD}}{2} < V_{GSn} - V_T$ (in $V_{DSn} = \frac{V_{DD}}{2}$ non siamo in SAT)

(t_{PLH}) $|V_{GSp}| = V_{DD} - V_i = V_{DD}$, $|V_{DSp}| = \frac{V_{DD}}{2} < |V_{GSp}| - V_T$ "

Approssimando la corr. media con la corr. di SAT. si ha una SOTTOSTIMA di t_{PLH} e t_{PHL}

Concentriamoci su t_{PLH}

$$i_c = C_T \frac{dv_o}{dt} \qquad \int_{t_0}^{t_0+t_{PLH}} i_c(\tau)\,d\tau = C_T \int_0^{\frac{V_{DD}}{2}} dv_o$$

$$t_{PLH}\left[\frac{1}{t_{PLH}}\int_{t_0}^{t_0+t_{PLH}} i_c(\tau)\,d\tau\right] = C_T \frac{V_{DD}}{2} \quad \Rightarrow \quad t_{PLH} = \frac{C_T \frac{V_{DD}}{2}}{\langle i_c \rangle} \simeq \frac{C_T \frac{V_{DD}}{2}}{k(V_{DD}-V_T)^2}$$

sottostima ($\langle i \rangle < k(V_{DD}-V_T)^2$)

$\langle i_c \rangle$: valor medio di i_c

uso la corr. in SAT.

$$t_{PHL} \simeq \frac{C_T \frac{V_{DD}}{2}}{k(V_{DD}-V_T)^2}$$

(coincidente con t_{PLH} perché l'inverter è simmetrico)

$$t_p = t_{PHL} = t_{PLH} = \frac{C_T \frac{V_{DD}}{2}}{k(V_{DD}-V_T)^2} \propto \frac{C_T}{k} \quad , \quad k \propto \frac{W}{L} \quad , \quad C_T \propto W \cdot L$$

$\Rightarrow t_p \propto L^2$ $\Rightarrow$ per diminuire t_p va utilizzato il valore minimo di L
(aumentando W per aumentare k, si aumenta anche C_T)

$t_{p_{min}} \iff L = L_{MIN}$ per diminuire t_p va diminuita la dimensione min. del proc. fotolitografico

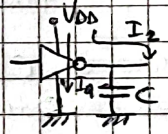
LEZIONE 22R

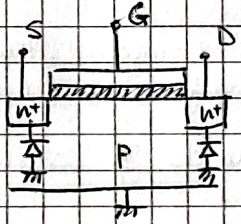
Potenza dissipata nei circuiti CMOS

$$P_D = P_{STAT} + P_{DIN} \quad ; \quad P_{DIN} = P_{D1} + P_{D2}$$

$$P_{D2} = C V_{DD}^2 f$$

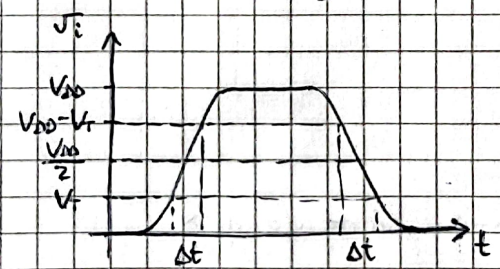
$P_{STAT} = 0$ in generale





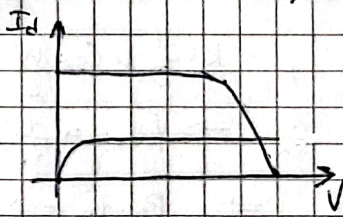
$V_{GS} < V_{TH} \rightarrow I_D = 0$
In realtà ci sono piccole correnti
Fenomeno più rilevante ora che si è abbassata V_{DD} e V_{TH}

Quindi, in realtà, tenendo conto della corr. legata ai 2 diodi pol. inversamente e della corr. di sottosoglia (significativo nelle logiche recenti), si ha $P_{STAT} \neq 0$ (ma $\ll P_{D2}$)

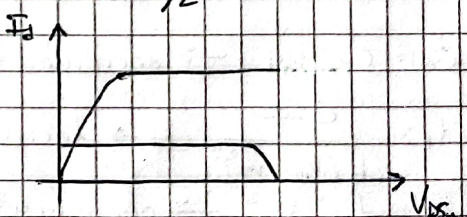


Nei Δt entrambi i MOS sono in conduzione

Con $V_T < V_i < V_{DD}/2$

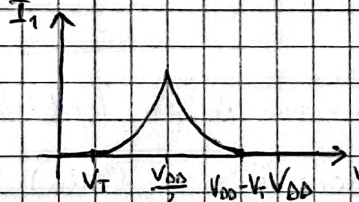


Con $V_{DD}/2 < v_i < V_{DD}-V_T$



Corr. limitata da uno dei due transistor →

Quindi, in Δt:



$$I_1(v_i) = k(v_i - V_T)^2$$

$$I_{1\,max} = k\left(\frac{V_{DD}}{2} - V_T\right)^2$$

Corr. che attraversa i 2 transistor

In ogni periodo T la porta assorbe 2 volte energia di alimentazione (salita e discesa)

$$P_{D1} = \frac{1}{T}\, 2 \int_0^{\Delta t} V_{DD}\, I_1(t)\, dt =$$

Assumendo $v_i(t) = \alpha t$, $dt = \frac{dv_i}{\alpha}$

$$= \frac{1}{T}\, 2 \cdot \frac{2}{\alpha} \int_{V_T}^{V_{DD}/2} V_{DD}\, I_1(v_i)\, dv_i = \frac{4}{\alpha T} \int_{V_T}^{V_{DD}/2} V_{DD}\, k\, (v_i - V_T)^2\, dv_i =$$

I_1 è simmetrica rispetto a $V_{DD}/2$

$$= \frac{4 V_{DD} k}{\alpha T}\, \frac{1}{3}\, (v_i - V_T)^3 \Big|_{V_T}^{V_{DD}/2} = \frac{4}{3}\, \frac{k V_{DD}}{\alpha T} \left(\frac{V_{DD}}{2} - V_T\right)^3 = \frac{4}{3}\, \frac{V_{DD}}{\alpha T}\, I_{1MAX} \left(\frac{V_{DD}}{2} - V_T\right)$$

$$\frac{P_{D1}}{P_{D2}} = \frac{\frac{4}{3}\, \frac{\cancel{V_{DD}}}{\alpha \cancel{T}}\, I_{1MAX} \left(\frac{V_{DD}}{2} - V_T\right)}{C V_{DD}^{\cancel{2}}\, \frac{1}{\cancel{T}}} = \frac{2}{3}\, \frac{\left(\frac{V_{DD}}{2} - V_T\right)/\alpha}{\frac{C V_{DD}/2}{I_{1MAX}}} < 10^{-1}$$

$t_r' < t_r$ (tempo di salita) $\frac{(V_{DD} - V_T)}{\alpha} \le t_p$

$t^* < t_p$

$I_{MAX} = k\left(\frac{V_{DD}}{2} - V_T\right)^2 \rightarrow$ $\leftarrow k(V_{DD} - V_T)^2$

Quindi P_{D1} è trascurabile nei confronti di P_{D2}.

Considerando $\frac{t_r}{t_p} \sim 1$, $\frac{t_r'}{t^*}$ è più piccolo di un fattore 4 dovuto al denominatore e di un fattore 2 dovuto al numeratore

$$\frac{P_{D1}}{P_{D2}} \propto \frac{k}{C} \propto \frac{1}{L^2}$$

Prodotto ritardo-pot. dissipata

$P_D \cdot t_p = C V_{DD}^2 f \cdot t_p$, f_{MAX} strett. legato a t_p $\Rightarrow$ $f_{MAX}\, t_p$ costante

Allora $P_D t_p$ dipende solo da C e V_{DD} e si può abbassare diminuendo le dimensioni del proc. fotolitografico e la tens. di alimentazione

$f_{MAX} = \frac{1}{2 t_p}$: in un periodo di v_i si hanno 2 transizioni, quindi una freq. maggiore non consentirebbe la propagazione del segn. tra ingresso e uscita.

Riducendo WL, riduco C_G e mantenendo $\frac{W}{L}$ costante, mantengo costante anche I_D

$\Rightarrow$ posso diminuire $t_p = \frac{C_T \frac{V_{DD}}{2}}{k (V_{DD} - V_T)^2}$

Riduzione t_p $\Rightarrow$ incremento f_{MAX} (prestazioni)

Benefici avuti dalla riduzione di W, L, t_{ox} e V_{DD}, V_T

Consideriamo $\begin{cases} W, L, t_{ox} \rightarrow 1/x \\ V_{DD}, V_T \rightarrow 1/x \end{cases}$, $x > 1$ $\qquad C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$

$C_G = C_{ox} WL \rightarrow$ decremento $\frac{1}{x}$, $k = \frac{1}{2} \mu C_{ox} \frac{W}{L} \rightarrow$ incremento di x

$t_p = \frac{C \frac{V_{DD}}{2}}{k (V_{DD} - V_T)^2} \rightarrow$ decremento $\frac{1}{x}$ $\Rightarrow f_{MAX} \propto \frac{1}{t_p} \rightarrow$ incremento di x

$P_D = f C V_{DD}^2 \rightarrow$ decremento $\frac{1}{x^2}$ $\Rightarrow$ $P_D \cdot t_p \rightarrow$ decremento $\frac{1}{x^3}$

Ciò non corrisponde alla realtà:

V_{DD} : 5V $\longrightarrow$ 0.8 V mentre la dim. min. del proc. fotolit. si è ridotta di più

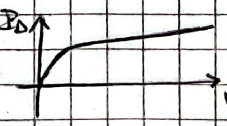
Con riduzione delle dim. dei dispositivi (e la minore riduzione di V_{DD}) i campi in gioco sono aumentati $\Rightarrow$ e^- nel canale hanno en. cinetica maggiore, possono danneggiare per urto l'interfaccia ox-semicond. (HOT ELECTRONS)

Riduzione V_{DD} forza la riduzione di V_T, perché la corr. $\propto (V_{DD} - V_T)^2$

V_T parametro critico, non si può scendere sotto le centinaia di mV

$V_T = \frac{Q}{C}$ si può variare variando $C = \varepsilon \frac{S}{t_{ox}}$ o Q (ad es. drogaggio substrato)

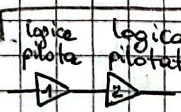
$g_{ds} \simeq \lambda I_D$, $\lambda \propto \frac{1}{L}$ $\Rightarrow$ riducendo L, la pendenza della curva di $I_D(V_{DS})$ sarà maggiore



Riduzione t_{ox}: raggiunto $t_{ox} \sim 1nm$ $\Rightarrow$ incremento corr. di perdita tra G e B per effetto tunnel, incremento campo ai capi dell'ox: rigidità dielettrica del SiO_2 è ~20MV/cm
0.5 V/nm $\longrightarrow$ 5 MV/cm (non lontani dal campo di rottura)

Riducendo V_{DD}, si riducono anche i NM del dispositivo stesso.

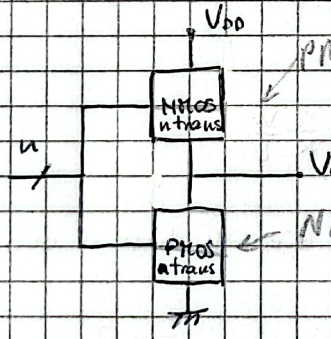
Se si usano 2 dispositivi di 2 famiglie logiche si deve avere $V_{OH_1} > V_{IH_2}$, $V_{OL_1} < V_{IL_2}$



Riduzione delle grandezze ($V_{DD}, V_T, \dots$) $\Rightarrow$ Riduzione package $\Rightarrow$ Riduzione capacità in gioco
Però logiche piccole implica avere l'attrezzatura per poterla utilizzare e saldare.

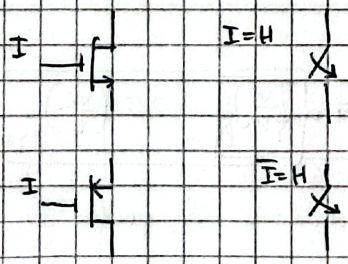
Qualunque funzione logica si può realizzare a partire da AND/OR + NOT

$\overline{A \cdot B} = \overline{A} + \overline{B}$, $\overline{A + B} = \overline{A} \cdot \overline{B}$ L. di De Morgan $\Downarrow$ NAND/NOR



n ingressi in parallelo al blocco n e al blocco p, che hanno n transistor, ciascuno dei quali riceve 1 ingresso

Porta CMOS a n ingressi ha 2n transistor

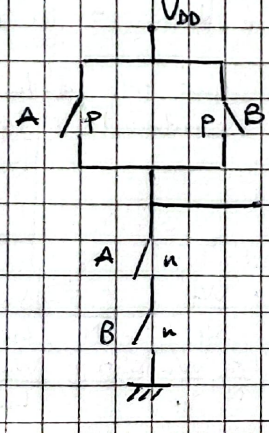


H su G porta in conduzione il NMOS

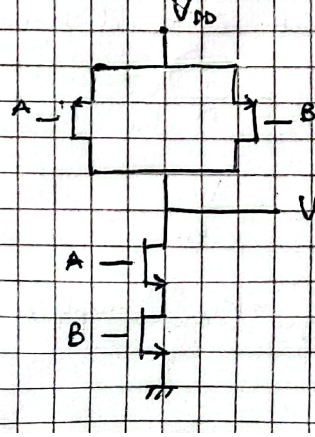
L su G porta in conduzione il PMOS

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

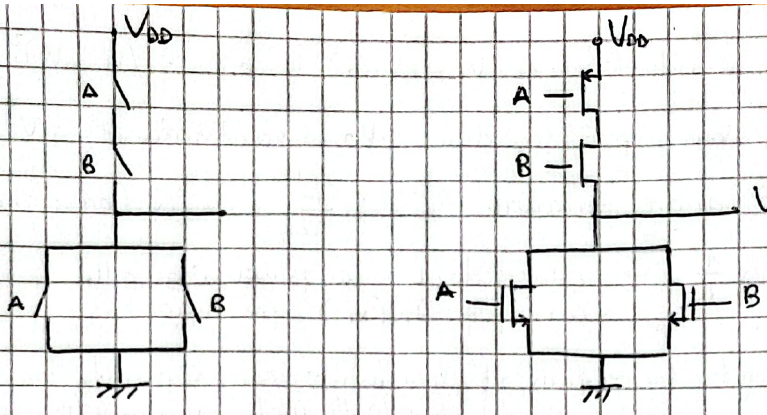
L'uscita è L se e solo se entrambi gli ingressi sono H



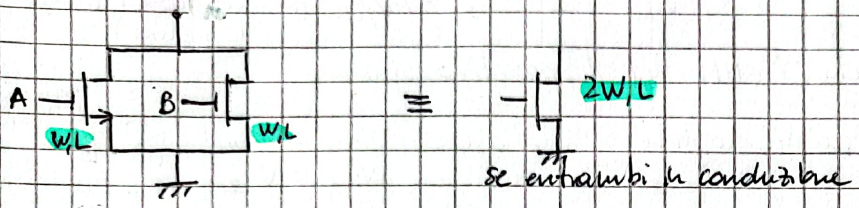
$\Rightarrow$



A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0



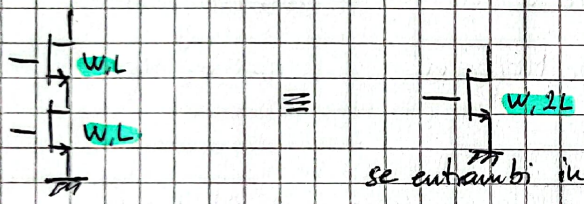
Il blocco n è complementare al blocco p (uno in parallelo e l'altro in serie)



se entrambi in conduzione

$K_{eq} \propto 2\frac{W}{L}$

Generalizzando: se si hanno N transistor in parallelo ho $K_{eq} \propto \sum_{i=1}^{N} \left(\frac{W}{L}\right)_i \Big|_{\substack{L_i=L \\ W_i=W}} = N\frac{W}{L}$



se entrambi in cond.

$K_{eq} \propto \frac{1}{2}\frac{W}{L}$

Generalizzando a N disp. in serie ho $K_{eq} \propto \left(\sum_{i=1}^{N} \left(\frac{L}{W}\right)_i\right)^{-1} \Big|_{\substack{W_i=W \\ L_i=L}} = \frac{1}{N}\frac{W}{L}$

Per il blocco N e per il blocco P posso definire più valori di K_{eq} in base a quanti dei dispositivi conducono

$K_{eq\,wc} = K_{eq\,min}$ → per il blocco N / per il blocco P

($K_{eq\,wc}$ → K_{eq} worst case)

Possibile criterio di dimensionamento delle porte: $K_{peq\,wc} = K_{neq\,wc} \Rightarrow \boxed{\left(\frac{W}{L}\right)_{peq\,wc} = 2.5\left(\frac{W}{L}\right)_{neq\,wc}}$

Così i t_{PHL} e t_{PLH} nel caso peggiore sono uguali.
Se un K_n è diverso dal WC è >, quindi il t_p interessato sarà minore di quello utilizzato per il dimensionamento.

Si vuole la soluzione ad area minima tra sol. NAND e NOR. $\left[K^*_{ieq} = \left(\frac{W}{L}\right)_{ieq}\right]$

Consideriamo tutti i T nel blocco n con W_n, L_n e tutti i T nel blocco P con W_p, L_p

NAND $\frac{W}{L_{neq}} K^*_{neq\,wc} = \frac{1}{N}\frac{W_n}{L_n}$, $\frac{W}{L_{peq}} K^*_{peq\,wc} = \frac{W_p}{L_p}$ una sola porta in conduzione (se entrambe si ha $2\frac{W_p}{L_p} > \frac{W_p}{L_p}$)

NOR $\frac{W}{L_{neq}} K^*_{neq\,wc} = \frac{W_n}{L_n}$, $\frac{W}{L_{peq}} K^*_{peq\,wc} = \frac{1}{N}\frac{W_p}{L_p}$

Quindi $K_{peq\,wc} = K_{neq\,wc}$ implica NAND $\Rightarrow \frac{W_p}{L_p} = \frac{2.5}{N}\frac{W_n}{L_n}$

NOR $\Rightarrow \frac{1}{N}\frac{W_p}{L_p} = 2.5\frac{W_n}{L_n}$

Supponiamo $L_n = L_p = L_{min} = L$

NAND Area: $N\left(W_p L + \frac{N}{2.5} W_p L\right)\Big|_{W_p = W_{min}} = N W_{min} L \left(1 + \frac{N}{2.5}\right) = N A_{min}\left(1 + \frac{N}{2.5}\right)$

NOR Area: $N\left(W_n L + 2.5 N W_p L\right)\Big|_{W_n = W_{min}} = N W_{min} L \left(1 + 2.5N\right) = N A_{min}\left(1 + 2.5N\right)$

La scelta NAND è la migliore per avere un'area minima

LEZIONE 23R-24R

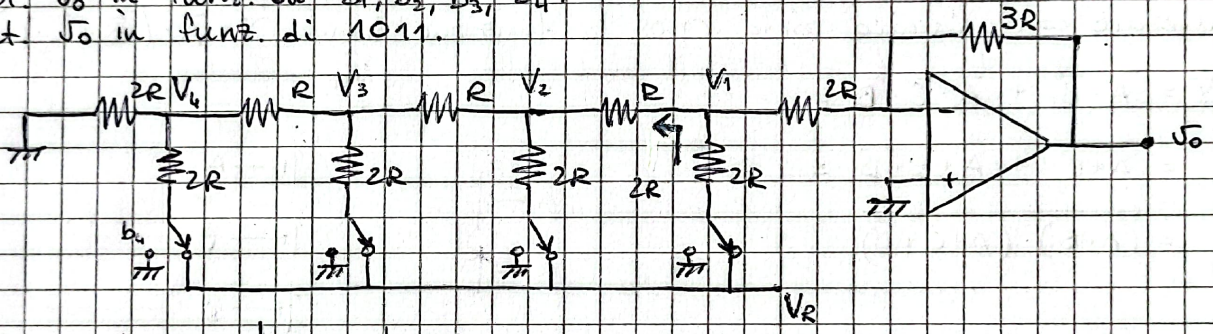
Programmi di simulazione basati sul software SPICE (Simulation Program with Integrated Circuit Enphasis): TINA

[E.] I_Esercitazione_Elettronica2 II_2020.docx

LEZIONE 25R

Compito 14/12/2018

1. DAC a 4 bit con rete resistiva R-2R. Assumo A0 ideale. $V_R = 2.5\ V$
   Det. v_0 in funz. di b_1, b_2, b_3, b_4.
   Det. v_0 in funz. di 1011.



PSE: $b_i V_R = \begin{cases} 0 & b_i = 0 \\ V_R & b_i = 1 \end{cases}$

$b_1 = 1,\ b_2 = b_3 = b_4 = 0$: $V_1(b_1) = b_1 V_R \dfrac{2R//2R}{2R//2R + 2R} = \dfrac{b_1 V_R}{3}$

(vede a dx e sn 2R)

$b_2 = 1,\ b_1 = b_3 = b_4 = 0$: $V_2(b_2) = \dfrac{b_2 V_R}{3} \Rightarrow V_1(b_2) = \dfrac{1}{2}\dfrac{b_2 V_R}{3}$ (partitore R e 2R//2R)

$b_3 = 1,\ b_1 = b_2 = b_4 = 0$: $V_3(b_3) = \dfrac{b_3 V_R}{3} \Rightarrow V_1(b_3) = \dfrac{1}{4}\dfrac{b_3 V_R}{3}$

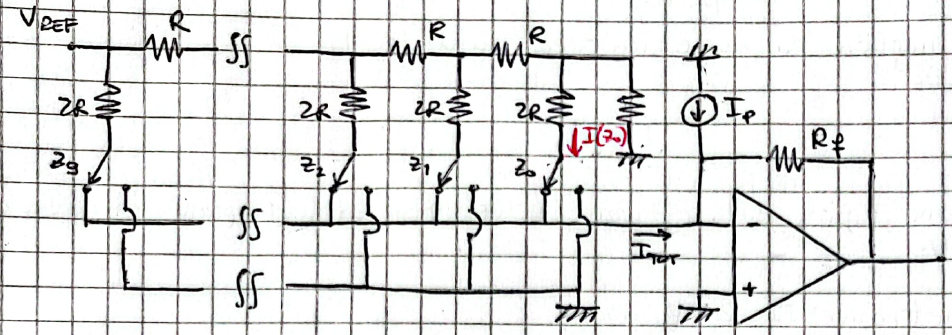
$b_4 = 1,\ b_1 = b_2 = b_3 = 0$: $V_4(b_4) = \dfrac{b_4 V_R}{3} \Rightarrow V_1(b_4) = \dfrac{1}{8}\dfrac{V_R b_4}{3}$

$$v_0 = -\frac{3R}{2R} V_1 = -\frac{3}{2}\left[\frac{b_1 V_R}{3} + \frac{1}{2}\frac{b_2 V_R}{3} + \frac{1}{4}\frac{b_3 V_R}{3} + \frac{1}{8}\frac{b_4 V_R}{3}\right] =$$

$$= -\frac{V_R}{16}\left[b_4 + 2b_3 + 4b_2 + 8b_1\right]\Big|_{\substack{V_R = 2.5V \\ b_1 = b_3 = b_4 = 1 \\ b_2 = 0}} = -\frac{2.5}{16}\left[1 + 2 + 8\right] = -2.5\,\frac{11}{16}\,V$$

Compito 8/4/2020

2. Si consideri AO con $I_p = 500\,nA$ utilizzato come sommatore in un DAC a 10 bit di tipo pesato. Se si vuole che il contributo di I_p sia $< V_{LSB}/4$, quale è il val. min. della corr. che deve scorrere sulla R di retroaz. dell'AO per $z = z_{max}$?



$$|V_{LSB}| = I(z_0) \cdot R_f$$

$$I_p \leq \frac{1}{4} I(z_0) \quad , \quad I_p = 500\,nA \Rightarrow I(z_0) \geq 2\,\mu A$$

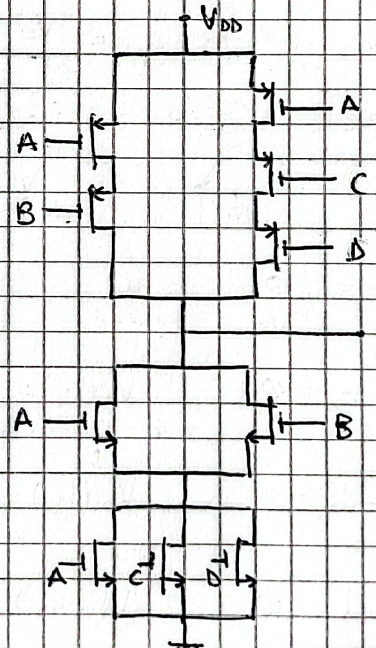
$$I_{TOT\,min}(z = z_{max}) = \sum_{i=0}^{9} 2^i \cdot 2\,\mu A = 2\,\mu A \sum_{i=0}^{9} 2^i = 2\,\mu A\,(2^{10}-1) = 2\,\mu A \cdot 1023 = 2.046\,mA$$

3. Realizzare con un'unica porta CMOS la funzione logica $Y = \overline{A} \cdot (\overline{B} + \overline{C} \cdot \overline{D})$

$$Y = \overline{A} \cdot \overline{B} + \overline{A} \cdot \overline{C} \cdot \overline{D} =$$

$$= \overline{A+B} + \overline{A+C+D} =$$

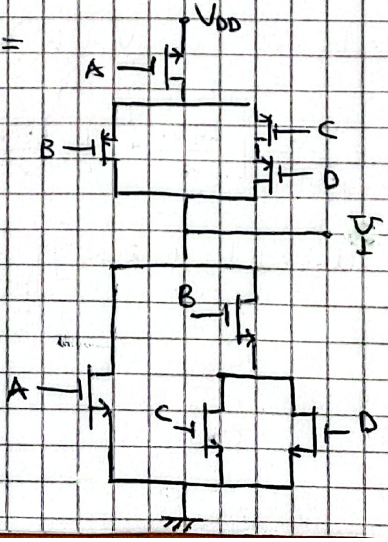
$$= \overline{(A+B) \cdot (A+C+D)}$$



$$= \overline{A \cdot A + A \cdot (C+D) + B \cdot A + B \cdot (C+D)} =$$

$$= \overline{B \cdot (C+D) + \underbrace{A\,(A+B+C+D)}_{A}} =$$

$$= \overline{B \cdot (C+D) + A}$$

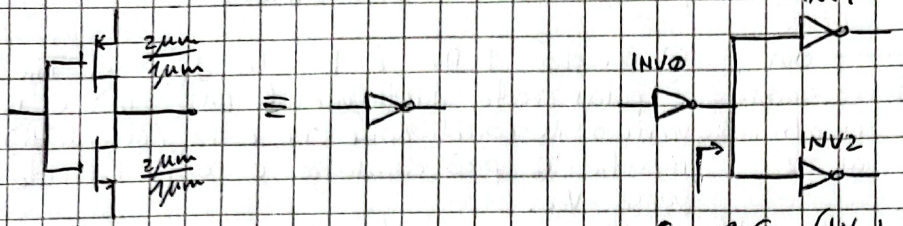


Compito - 21/01/2019

2. a) Inverter CMOS con $(W/L)_p = (W/L)_n = 2\mu m/1\mu m$, $C_{ox} = 3\,fF/\mu m^2$, $\mu_n = 2.5\,\mu_p = 500\ cm^2/Vs$, $V_{TH} = |V_{TP}| = 1V$, $V_{DD} = 5V$.
L'inverter pilota 2 inverter uguali, stimare il t_p
C_L di INV0 sia dovuta totalmente a INV1, INV2, carica e scarica di C_L a corr costante

b) f media di commutaz. di INV0 è 1MHz, det. prod. $t_p P_D$

a)



$$C_L = 2\,C_{ox}(W_n L_n + W_p L_p)$$

$$C_L = 2 \cdot 3 \cdot \frac{10^{-15}}{10^{-12}}\left(2\cdot 10^{-12} + 2\cdot 10^{-12}\right) = 2\cdot 3\cdot 4\cdot 10^{-15}\ F = 24\,fF$$

$$k_n = \frac{1}{2}\mu_n C_{ox}\frac{W_n}{L_n} = \frac{1}{2}\,500\cdot 10^{-4}\cdot 3\cdot\frac{10^{-15}}{10^{-12}}\cdot 2\,\frac{A}{V^2} = \frac{2}{2}\,1500\cdot 10^{-7}\,\frac{A}{V^2} = 150\,\frac{\mu A}{V^2}$$

$$k_p = \frac{k_n}{2.5} = 60\,\frac{\mu A}{V^2}$$

$$t_{PHL} = \frac{C_L\,\frac{V_{DD}}{2}}{k_n (V_{DD} - V_T)^2} = \frac{24\cdot 10^{-15}\cdot 2.5}{150\cdot 10^{-6}\cdot 16} = 25\cdot 10^{-12} = 25\ ps$$

$$t_{PLH} = \frac{C_L\,\frac{V_{DD}}{2}}{k_p (V_{DD} - V_T)^2} = t_{PHL}\cdot 2.5 = 62.5\ ps$$

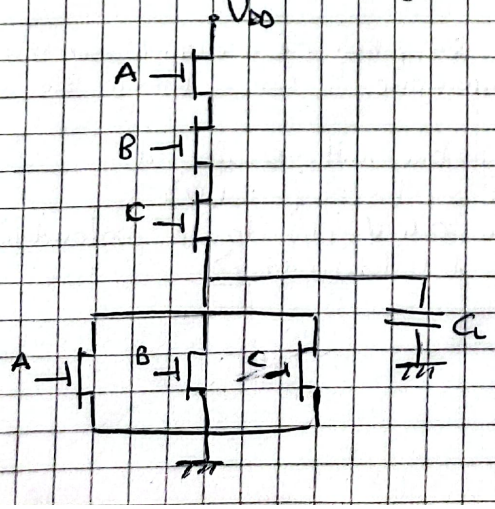
$$t_p = \frac{t_{PHL} + t_{PLH}}{2} = 43.75\ ps$$

b) $P_D = f\,C_L V_{DD}^2 = 10^6\cdot 24\cdot 10^{-15}\cdot 25\,W = 600\cdot 10^{-9}\,W = 0.6\,\mu W$

$P_D\,t_p = 600\cdot 10^{-9}\cdot 43{,}75\cdot 10^{-12}\ J = 26{,}25\cdot 10^{-18}$

Compito - 12/11/2019

2. Porta NOR a 3 ingressi con $C_L = 0.2\,pF$, con tecn. CMOS con $\left(\frac{W}{L}\right)_N = \frac{2\mu m}{1\mu m}$, $\left(\frac{W}{L}\right)_P = \frac{5\mu m}{1\mu m}$.
$V_{TN} = |V_{TP}| = 1V$, $V_{DD} = 5V$, $\mu_n C_{ox} = 2.5\,\mu_p C_{ox} = 150\,\mu A/V^2$
a. Schema elettrico della porta
b. t_p nel caso peggiore



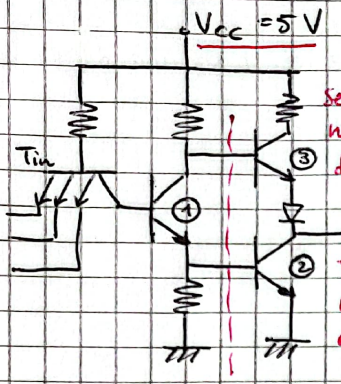
$$t_{PLH} = \frac{\frac{V_{DD}}{2}C_L}{\frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)_p\frac{1}{3}(V_{DD} - |V_{TP}|)^2} = 0.6\ ns$$

$$t_{PHL_{WC}} = \frac{\frac{V_{DD}}{2}C_L}{\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{DD} - V_{TN})^2} = 0.2\ ns$$

$$t_{p_{WC}} = \frac{t_{PLH} + t_{PHL_{WC}}}{2} = 0.4\ ns$$

LEZIONE 26R

Porta logica TTL: transistor-transistor logic [da ricordare]



sez. d'uscita non dissimile da inverter CMOS

Porta NAND

Transistor in gioco lavorano per lo più in SAT. o INTERDIZIONE

Quando 1 IN è L, la J_{BE} del Tim è polarizzata direttamente ($V_{BE} > 0$) e non vanno in conduzione T1 e T2 (interdetti), mentre T3 può condurre e porta l'uscita verso V_{CC}.

Quando V_{out} raggiunge $V_{CC} - V_{BE} - V_{\gamma D} = V_{OH\,nom} = 3.9\,V$ ← ($V_{BE} \simeq 0.5\,V$, $V_\gamma \simeq 0.6\,V$)

Quando si ha 1 IN a H, la J_{BE} è pol. inversamente ma può essere pol. direttamente la J_{BC} e il Tim è in RAI e T1 e T2 vanno in SAT. mentre T3 è in interdizione e la $V_O = V_{CESAT_2} = 0.2\,V = V_{OL\,nom}$

I val. di $V_{IL\,max}$ e $V_{IH\,min}$ sono i val. limite per cui il funzionamento è quello descritto.

Se V_{IN} da L comincia a salire, sale anche $V_{BT_{im}}$ e cresce il pot. per portare in cond. T1 e T2. Il val. lim. di V_{IN} perché questo non avvenga è $0.8\,V = V_{IL\,max}$

La $V_{IH\,min}$ è la V_{IN} che consente per ingresso che scende da H al valore di $V_{BT_{im}} - V_{\gamma J_{BE}}$ e porta la J_{BE} in conduzione e cambia il funzionamento: $V_{IH\,min} = 2\,V$

$V_{OL\,max}$ è fissata per mantenere T2 in SAT. e preservare il NM: $V_{OL\,max} = 0.5\,V$

$NM_L = V_{IL\,max} - V_{OL\,max} = 0.3\,V$, $I_{OL\,max}$ (entrante) $\in$ 8-20 mA per ottenere questi valori di $V_{OL\,max}$

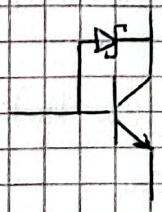
$V_{OH\,min} = 2.7\,V$, $NM_H = 0.7\,V$ e si hanno con $I_{OH\,max}$ (uscente) $\in$ 400 µA - 2 mA

Per definire il FAN OUT bisogna capire come gli ingressi caricano la singola porta:
la corr. di ingresso a livello L (che attraversa la J_{BE} pol. dir.) è uscente $I_{IL} \in 0.1 - 2$ mA
la corr. di ingresso a livello H (J_{BE} pol. inv.) è entrante $I_{IH} \in 20\,\mu A - 50\,\mu A$
Così è garantito un FANOUT, in generale, ≥ 10

Vari tipi di logica: TTL, TTL-S, TTL-LS, TTL-AS, TTL-ALS

S: SCHOTTKY, L: LOW POWER, A: ADVANCED

Schottky: transistor pensati per non entrare profondamente in sat., non c'è accumulo eccessivo di portatori minoritari in Base e quindi la transizione da SAT a INTERD. sia più veloce

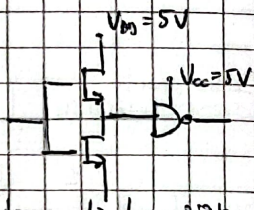


Diodo Schottky: giunzione met.-semicond. con tens. di soglia più bassa ($\simeq 0.4\,V$)
V_{BC} non supera gli 0.4 V (limita la profondità delle cond. di SAT. del transistor)

	TTL	TTL-S	TTL-LS	TTL-AS	TTL-ALS
t_p (ns)	10	3	9	1.7	4
P_D (mW)	10	20	2	8	1.2
$t_p P_D$ (pJ)	100	60	18	13.6	4.8
V_{ILmax} (V)	0.8	0.8	0.8	0.8	0.8
V_{OLmax} (V)	0.5	0.5	0.5	0.5	0.5
V_{IHmin} (V)	2.0	2.0	2.0	2.0	2.0
V_{OHmin} (V)	2.7	2.7	2.7	2.7	2.7
I_{OLmax} (mA)	20	20	8	20	8
I_{OHmax} (mA)	-1.0	-1.0	-0.4	-1.0	-0.4

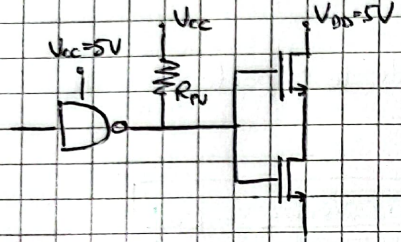
La potenza dissipata (P_D) è statica.

Può accadere di interfacciare logica TTL e logica CMOS:
è sempre compatibile per le 2 logiche,



Se la tens. di lavoro (V_{DD}) è la stessa di può essere interfacciamento diretto

Non è vero il contrario ($V_{OHmin_{TTL}} = 2.7V$ è a metà dinamica, regione di transizione nella porta CMOS)

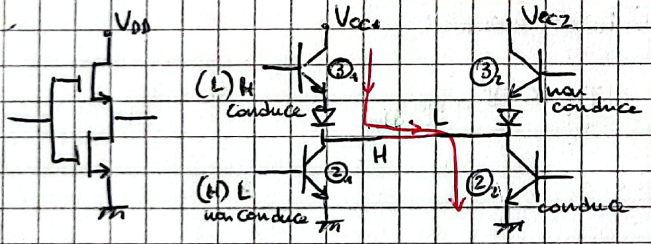


R_{PU}: res. di PULL-UP

Carico della porta CMOS è capacitivo: viene caricata fino a 3.9V dalla porta TTL.
Con R_{PU} la capacità viene caricata fino a V_{cc} anche quando la corr. non viene più erogata attraverso T3 e il diodo

Logica cablata

Possibilità di connettere insieme l'uscita di 2 o più porte.



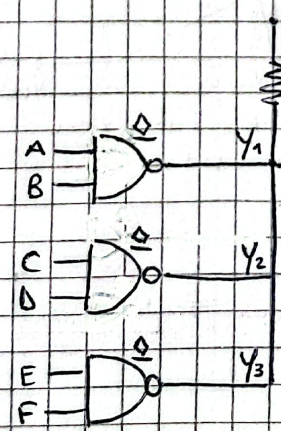
Connettendo 2 uscite (una H e l'altra L) si ha percorso conduttivo da V_{cc1}, a $T3_1$, $T2_2$ e massa.
Si ha lo stesso con gli inverter CMOS

Porte OPEN COLLECTOR (se TTL) e OPEN DRAIN (se CMOS)

↓ solo BJT di PULL-DOWN (T_2)

↓ solo MOS di tipo n

I blocchi di PULL-UP realizzati esternamente con una R tra i C uniti insieme e V_{cc} o tra i D uniti insieme e V_{DD}



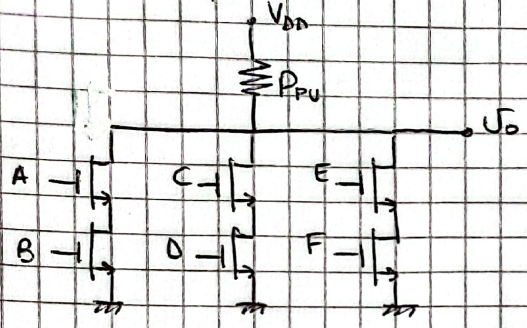
Si vuole $V_0 = H$ se e solo se $Y_1 = Y_2 = Y_3 = H$

Se tutte H ⇒ tutte c.a. ⇒ Rete di PULL-DOWN è c.a.
Se anche 1 L ⇒ una conduce ⇒ Percorso a massa e $V_0 = L$

$$V_0 = Y_1 \cdot Y_2 \cdot Y_3 = \text{[AND CABLATO (WIRED AND)]}$$

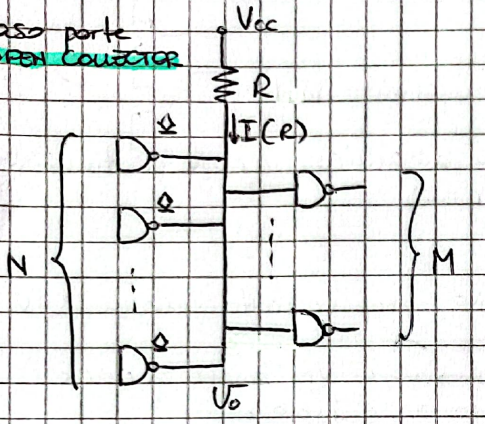
$$= \overline{A \cdot B} \cdot \overline{C \cdot D} \cdot \overline{E \cdot F} = \overline{AB + CD + EF}$$

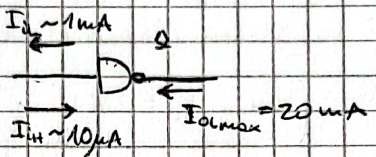
Se fossero open Drain:



NAND realizzata con MOS

Caso porte OPEN COLLECTOR





Consideriamo $V_o = H \Rightarrow$ tutte le M porte sono H

$$I(R) \cdot R < V_{cc} - V_{OHmin}$$

$$I(R) = M I_{iH} \Rightarrow \boxed{R < \frac{V_{cc} - V_{OHmin}}{M I_{iH}} = R_{MAX}}$$

Se $V_o = L$ si può avere da 1 a N porte a L

CASO PEGGIORE: 1 porta a L.

$$I(R) + M I_{iL} < I_{OLmax}$$

$$\frac{V_{cc} - V_{OL}}{R} + M I_{iL} < I_{OLmax}$$

Cond. limite: $I_{OLmax} = M I_{iL} + \frac{V_{cc} - V_{OLmax}}{R_{MIN}}$

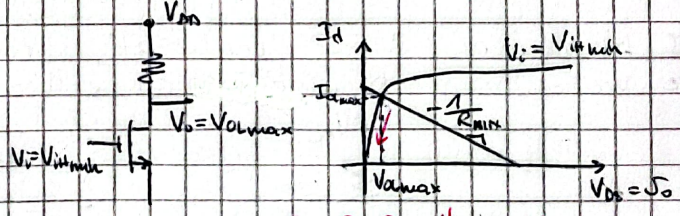
$$\boxed{R_{MIN} = \frac{V_{cc} - V_{OLmax}}{I_{OLmax} - M I_{iL}}}$$

$\Rightarrow \quad R_{MIN} < R < R_{MAX}$

Caso porte OPEN DRAIN non si hanno I_{iL} e I_{iH} delle M porte pilotate

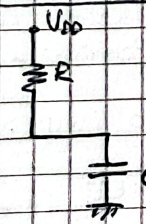
$V_o = L$ $\quad I(R) = \frac{V_{DD} - V_{OLmax}}{R} < I_{OLmax}$

$$\boxed{R_{MIN} = \frac{V_{DD} - V_{OLmax}}{I_{OLmax}}}$$



Con $R > R_{MIN}$ l'intersezione si sposta verso sinistra

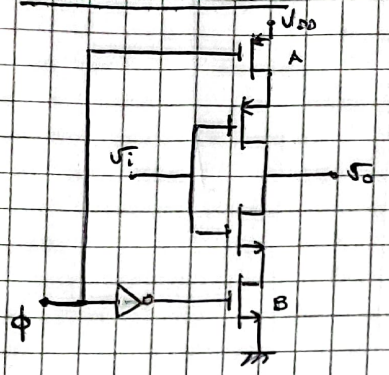
$V_o = H$



$t_{PLH} \propto R C_{in}$

Per avere $t_{PLH} < t_{PLHmax} \Rightarrow \boxed{R < R_{MAX}}$

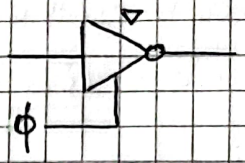
PORTE TRISTATE: oltre a L e H c'è lo stato di **ALTA IMPEDENZA**

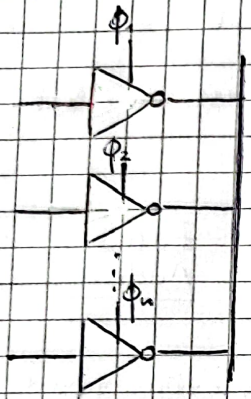


$\phi = L \Rightarrow$ A e B in conduzione $\Rightarrow V_o = \overline{V_i}$

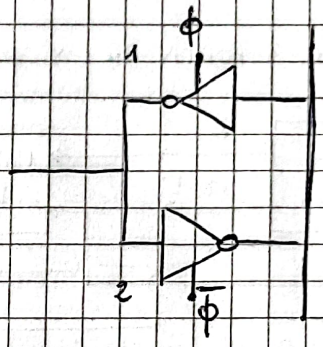
$\phi = H \Rightarrow$ A e B interdetti $\Rightarrow V_o = HZ$ (percorso conduttivo né verso V_{DD} né verso massa)

Simbolo:





Interconnessione delle uscite a patto che solo uno degli ϕ sia attivo a H o L ad ogni istante di tempo



Connessione bidirezionale

Se ϕ=H è attivo il percorso 2

Se ϕ=L è attivo il percorso 1

LEZIONE 27R

Abbiamo visto circuiti di tipo combinatorio (uscite dipendono dagli ingressi allo stesso istante), descrivibili attraverso tabelle della verità: NAND e NOR mattoni di base.

Funzioni combinatorie
- * operazioni matematiche (es. sommatori)
- * indirizzamento e selezione (codificatori/decodificatori, multiplexer/demultiplexer)
- * funzioni logiche complesse (es. $\overline{y} = A \cdot B + C \cdot (D+E)$)

Sommatori

$A_2 = (a_{n-1} \dots a_0)$
$B_2 = (b_{n-1} \dots b_0)$

c_0
$a_{n-1} \dots a_1\ a_0$
$b_{n-1} \dots b_1\ b_0$
$S_{n-1} \dots S_1\ S_0$

a_0	b_0	S_0	c_0	
0	0	0	0	$S_0 = \overline{a_0} b_0 + a_0 \overline{b_0}$
0	1	1	0	
1	0	1	0	$c_0 = a_0 \cdot b_0$
1	1	0	1	

$S_0 = \overline{a_0} \cdot b_0 + a_0 \cdot \overline{b_0} = a_0 \oplus b_0$ (XOR), $c_0 = a_0 \cdot b_0$ per il 1° bit

a_i	b_i	c_{i-1}	S_i	c_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

$S_i = \overline{a_i} \cdot b_i \cdot \overline{c_{i-1}} + a_i \cdot \overline{b_i} \cdot \overline{c_{i-1}} + \overline{a_i} \cdot \overline{b_i} \cdot c_{i-1} + a_i\, b_i\, c_{i-1} =$

$= c_{i-1} \underbrace{(\overline{a_i} \overline{b_i} + a_i b_i)}_{\overline{a_i \oplus b_i}} + \overline{c_{i-1}} \underbrace{(\overline{a_i} \cdot b_i + a_i \cdot \overline{b_i})}_{a_i \oplus b_i} =$

$= c_{i-1} \oplus a_i \oplus b_i$

XOR: $A \oplus B = \overline{A}B + A\overline{B} = \overline{\overline{A}+B} + \overline{A+\overline{B}} = (\overline{A}+B)\cdot(A+\overline{B}) = \overline{A}\cdot\overline{B} + AB =$

1OR, 2AND

$= \overline{(A+B)} + AB = \overline{(A+B)}\ \overline{AB}$

→ 1OR, 2NOR

→ 1OR, 1AND, 1NAND

$XOR = \overline{\overline{XOR}} \Rightarrow \overline{XOR} = \overline{A \oplus B} = \overline{A+B} + A\cdot B = \overline{A}\cdot\overline{B} + A\cdot B$

$c_i = a_i b_i \overline{c}_{i-1} + \overline{a}_i b_i c_{i-1} + a_i \overline{b}_i c_{i-1} + a_i b_i c_{i-1} =$

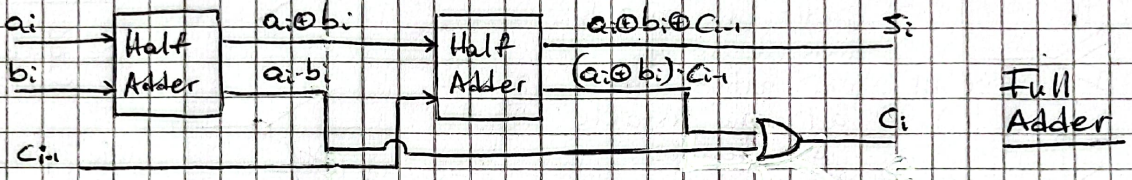
$= c_{i-1}(\overline{a}_i \cdot b_i + a_i \cdot \overline{b}_i) + a_i b_i (\underbrace{\overline{c}_{i-1} + c_{i-1}}_{1}) =$

$= c_{i-1} \cdot (a_i \oplus b_i) + a_i b_i$

HALF ADDER: circuito combinatorio con 2 ing. e 2 uscite (uno XOR e un AND)

$\begin{cases} s = a \oplus b \\ c = a \cdot b \end{cases}$

Con 2 HALF ADDER e 1 PORTA OR si può realizzare la somma generica di 2 bit.



Traduzione in logica CMOS di questa struttura: conviene trasformare le relazioni trovate.

$c_i = c_{i-1}(\overline{a}_i \cdot b_i + a_i \overline{b}_i) + a_i \cdot b_i + c_{i-1}\, a_i \cdot b_i =$

non modifica il risultato: $a_i b_i = 1$ ho 1 comunque
$a_i b_i = 0$ ho 0 comunque (nei termini in cui $a_i b_i$ è presente)

$= c_{i-1}(\underbrace{\overline{a}_i b_i + a_i \overline{b}_i + a_i b_i}_{a_i + b_i}) + a_i b_i = c_{i-1}(a_i + b_i) + a_i b_i$

ho solamente OR e AND (e NOT): che trovano implementazione diretta in CMOS

$s_i = \overline{a}_i b_i \overline{c}_{i-1} + a_i \overline{b}_i \overline{c}_{i-1} + \overline{a}_i \overline{b}_i c_{i-1} + a_i b_i c_{i-1} =$

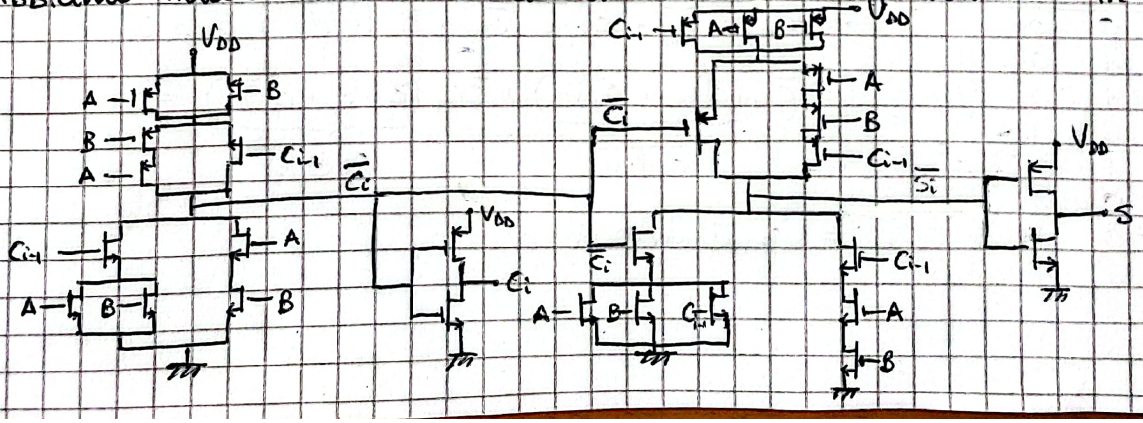
$= a_i b_i c_{i-1} + (a_i + b_i + c_{i-1})\,\overline{c}_i$ implementazione diretta (OR e AND)

$(\overline{a}_i + b_i + c_{i-1})\left[a_i b_i + c_{i-1}(a_i + b_i)\right] = (a_i + b_i + c_{i-1})\left[\overline{a_i b_i} \cdot \overline{c_{i-1}(a_i + b_i)}\right] =$

$= (a_i + b_i + c_{i-1})\left[(\overline{a}_i + \overline{b}_i)\cdot(\overline{c}_{i-1} + \overline{a_i + b_i})\right] = (a_i + b_i + c_{i-1})\left[(\overline{a}_i + \overline{b}_i)(\overline{c}_{i-1} + \overline{a}_i \overline{b}_i)\right] =$ $x \cdot x = x$

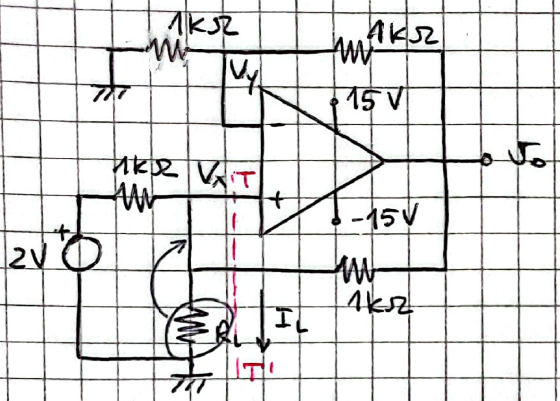
$= (a_i + b_i + c_{i-1})\left[\overline{a}_i \overline{c}_{i-1} + \overline{b}_i \overline{c}_{i-1} + \overline{a}_i \overline{b}_i\right]$ $x \cdot \overline{x} = 0$ $= a_i \overline{b}_i \overline{c}_{i-1} + \overline{a}_i b_i \overline{c}_{i-1} + \overline{a}_i \overline{b}_i c_{i-1}$

Abbiamo trovato relazioni di c_i e s_i direttamente implementabili in forma CMOS.



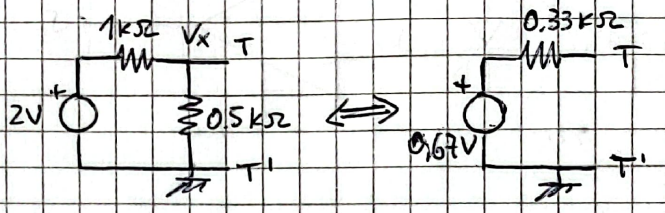
LEZIONE 28R

Esercizio Det. la corr. I_L che scorre su $R_L = 500\,\Omega$



Ipotesi: $V_{id} = 0$ (V_o tra $-V_{cc}$ e V_{cc})
Sono presenti retroazione positiva e negativa

Porta TT' trasformata con Thevenin



$$V_y = V_o \underbrace{\frac{1}{1+1}}_{\beta} = \frac{1}{2} V_o \quad ; \quad V_x = 0.67 \frac{1}{1+0.33} + V_o \frac{0.33}{1+0.33} \simeq 0.5\,V + \frac{1}{4} V_o \quad (PSE)$$

Se prevale retroazione negativa, si ha il princ. masse virtuali:

$$V_x = V_y \Rightarrow 0.5\,V + \frac{1}{4} V_o = \frac{1}{2} V_o \Rightarrow \frac{1}{4} V_o = 0.5\,V \Rightarrow V_o = 2\,V$$

Altri casi: * V_o satura a $+V_{cc}$ ($V_{id} > 0$) $V_x > V_y$
* V_o satura a $-V_{cc}$ ($V_{id} < 0$) $V_x < V_y$

Se prevalesse retroaz. positiva, V_o sarebbe o a 15 V o a -15V

$V_o = 15\,V \Rightarrow V_x = 0.5\,V + 3.75\,V = 4.25\,V$; $V_y = \frac{15}{2} V = 7.5\,V > V_x$ IMPOSSIBILE!

$V_o = -15\,V \Rightarrow V_x = 0.5\,V - 3.75\,V = -3.25\,V$; $V_y = -7.5\,V < V_x$ IMPOSSIBILE!

Unica soluzione del circuito è $V_o = 2V \Rightarrow V_x = 1V \Rightarrow I_L = \frac{V_x}{R_L} = 2\,mA$

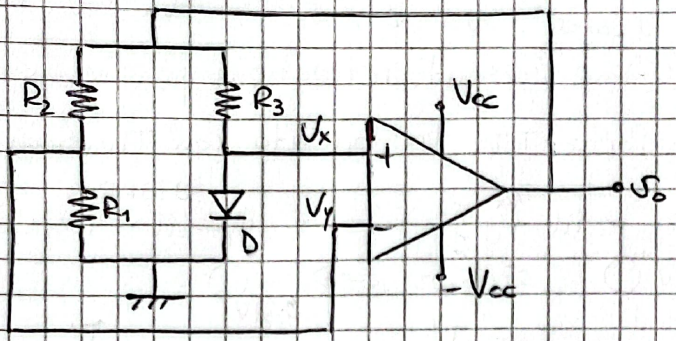
Soluzione stabile: analisi alle variazioni del circuito ad anello aperto intorno a $V_o = 2V$

variazione dV_x: $dV_y = dV_x \frac{R_1}{R_1+R_2} = \frac{dV_x}{2}$; $dV_x = dV_x \frac{R_L \| 1k\Omega}{R_L \| 1k\Omega + 1k\Omega} = \frac{dV_x}{4}$

Var. indotta sull'uscita: $dV_o = A\,dV_{id} = A(dV_x - dV_y) = -A\frac{dV_x}{4} < 0$

Predominio della retroazione negativa $\Rightarrow$ il sist è stabile in $V_o = 2V$
var. pos. $V_o \Rightarrow$ var. neg. V_{id} che si oppone alla var. di V_o

Esercizio $V_{cc}=10V$, $R_1=1k\Omega$, $R_2=10k\Omega$, $R_3=9k\Omega$, diodo ideale con $V_{ON}=0.5V$.
Det. l'insieme di valori di v_o per cui il circuito ammette soluzione.



Retroazione + e − ⇒ possibili stati ideali AO:
* v_o satura a V_{cc} $(V_{id}>0)$
* v_o satura a $-V_{cc}$ $(V_{id}<0)$
* v_o tra $-V_{cc}$ e V_{cc} $(V_{id}=0)$

$v_o=V_{cc} \Rightarrow V_y = v_o\frac{R_1}{R_1+R_2} = v_o\frac{1}{11} = 0.91V$

Assumo DIODO in cond.: $V_x = V_{ON} = 0.5V < V_y$ IMPOSSIBILE!

$\boxed{v_o=-V_{cc}} \Rightarrow V_y = v_o\frac{R_1}{R_1+R_2} = -0.91V$

Diodo interdetto $\Rightarrow I_{R_3}=0 \Rightarrow V_x = v_o = -10V < V_y$ Ok!

$-V_{cc} < v_o < V_{cc} \Rightarrow V_x = V_y$

Se D è interdetto $(v_o < V_{ON})$ ho $V_x = v_o$ e $V_y = \frac{v_o}{11} \Rightarrow (V_x = V_y \Leftrightarrow \boxed{v_o=0V})$

Se D conduce $(v_o \geq V_{ON})$ ho $V_x = 0.5V$ e $V_y = \frac{v_o}{11} \Rightarrow \boxed{v_o = 5.5V}$

Quando $v_o < 0.5V$ si ha retroaz. positiva ⇒ soluzioni instabili

$v_o=0V$: $dV_k \Rightarrow dV_y = \frac{dV_k}{11}$; $dV_x = dV_k \Rightarrow V_{id} = dV_x - dV_y = \frac{10}{11}dV_k$

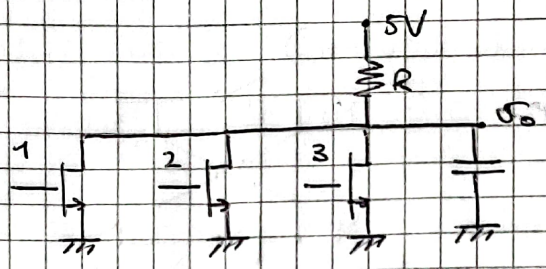
retroazione positiva
$v_o=0V$ ⇒ sol. instabile

$v_o=5.5V$: $dV_k \Rightarrow dV_y = \frac{dV_k}{11}$; $dV_x = 0 \Rightarrow V_{id} = -\frac{dV_k}{11}$ retroaz. negativa

non c'è retroazione positiva

Da $v_o=0V$ una var. positiva di v_o è rafforzata dalla retroazione positiva e quindi v_o aumenta fino a portare D in cond. e assestarsi su $v_o=5.5V$

Esercizio Connessione in logica cablata di 3 porte logiche OPEN DRAIN, $C = 1\,pF$. Dimensionare R per $t_{PLH} < 10\,ns$, $V_{OL_{max}} = 1V$ per $I_{a_{max}} = 0.4\,mA$. Assumere $V_{OL_{nom}} = 0.2\,V$



Nella transizione LH le porte passano allo stato OFF e la C si carica attraverso R.

Assumo transizioni delle 3 porte in tempi nulli.

t_{PLH} è il tempo che impiega V_o per passare da $V_{OL} = 0.2V$ a $\frac{V_{OH}+V_{OL}}{2} = 2.6V$

$$V_c(t_{PLH}) = (V_c(\infty) - V_c(0))\left(1 - e^{-\frac{t_{PLH}}{RC}}\right) + V_c(0) = 4.8\,V\left(1 - e^{-\frac{t_{PLH}}{RC}}\right) + 0.2 = 2.6$$

$$0.5 = e^{-\frac{t_{PLH}}{RC}} \Rightarrow t_{PLH} = -RC \ln 0.5 \simeq 0.69\,RC$$

$$t_{PLH} < 10ns,\ C = 1pF \Rightarrow R < \frac{10^{-8}}{0.69 \cdot 10^{-12}} \simeq 14.5\,k\Omega$$

$V_{OL} = V_{DD} - I_{OL} R = 5V - I_a R$ a parità di I_{OL}, $R \uparrow \Rightarrow V_{OL} \downarrow$

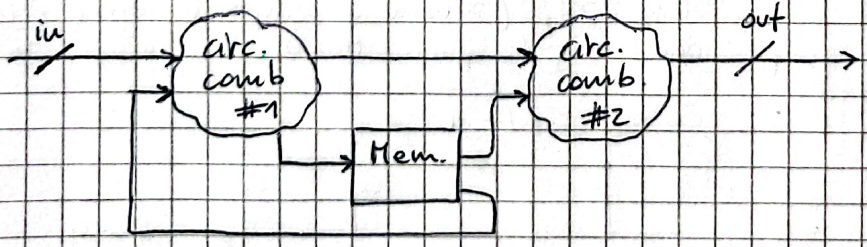
Caso peggiore: 1 sola porta è con uscita L e le altre H: $V_{OL_{max}} = 1V$ per $I_{a_{max}} = 0.4\,mA$

$$5V - I_{a_{max}} R < 1V \Rightarrow R > \frac{4V}{0.4\,mA} = 10\,k\Omega$$

Quindi $\boxed{10\,k\Omega < R < 14.5\,k\Omega}$

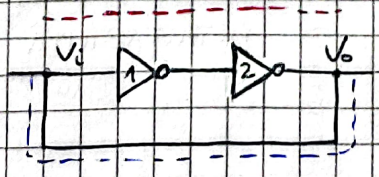
LEZIONE 29R

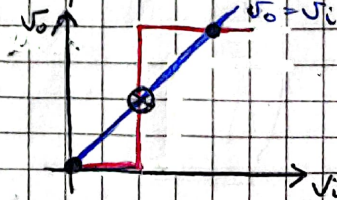
CIRCUITI SEQUENZIALI: le uscite dipendono dagli ingressi applicati anche in istanti di tempo passati (non solo allo stesso istante di tempo: CIRC. COMBINATORI)



Tra i segn. di ingresso può essere compreso un segn. di CLOCK

Per realizzare gli elementi di MEMORIA ci sono vari modi. Modo fondamentale è realizzare un dispositivo di tipo **bistabile**: amplificatore retroazionato positivamente



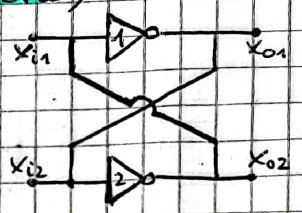


Sol. si può trovare graficamente imponendo le 2 cond.: relazione tra V_i e V_o che si ha attraverso i 2 inverter e relazione tra V_i e V_o attraverso la retroazione

3 sol.: • 2 sol. in zone in cui l'ampl. ha guadagno nullo (i 2 stati stabili)

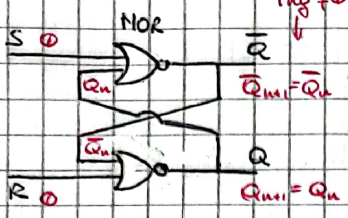
⊗ 1 sol. in zona ad alto guadagno (stato instabile)

Questa struttura viene normalmente rappresentata così



$x_{o1} = x_{i2} = \overline{x}_{i1}$, $x_{o2} = \overline{x}_{i2} = x_{i1}$

LATCH SR



$\overline{Q}_{n+1} = \overline{Q}_n$ $\quad Q_{n+1} = Q_n$

I 2 ingressi addizionali servono a forzare lo stato del bistabile.

R = reset
S = set

NOR:

I_1	I_2	NOR
0	0	1
0	1	0
1	0	0
1	1	0

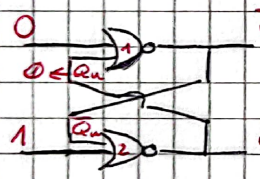
Quindi

	S	R	Q_{n+1}	$\overline{Q}_{n+1}$
→	0	0	Q_n	$\overline{Q}_n$
	0	1	0	1
	1	0	1	0
	1	1	?	?

L'uscita di questo circuito dipende dagli ingressi e dallo stato del sistema precedente (n istante precedente, n+1 istante in cui valutiamo l'effetto degli ingressi)

$S = R = 0 \Rightarrow I_1 = 0 \Rightarrow NOR = \overline{I_2}$
(un ing. è 0)

Se 1 ing. del NOR è 1, l'uscita è 0 a prescindere dall'altro ingresso



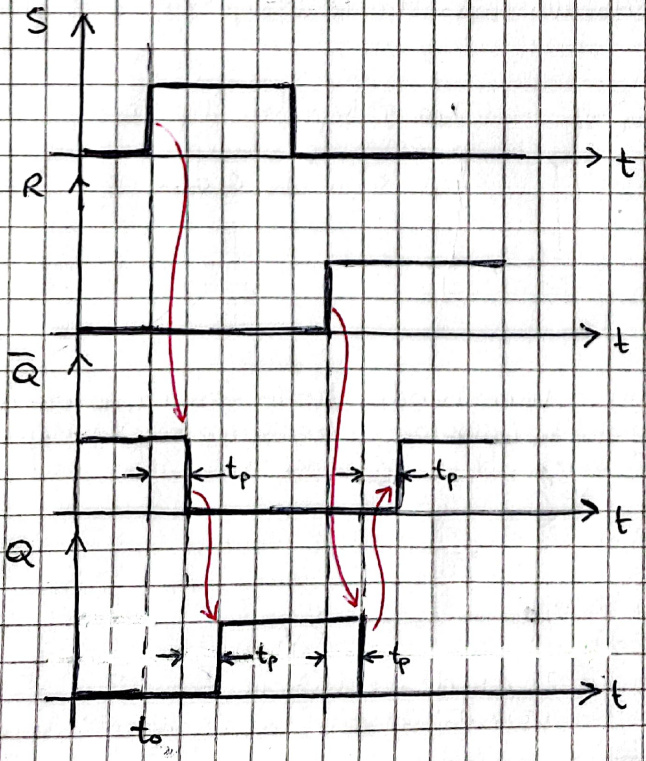
$\overline{Q}_n \to \overline{Q}_{n+1} = 1$

$Q_n \to Q_{n+1} = 0$

R=1 → tempo di prop.2 per avere $Q_{n+1} = 0$
→ tempo di prop.1 per avere $\overline{Q}_{n+1} = 1$

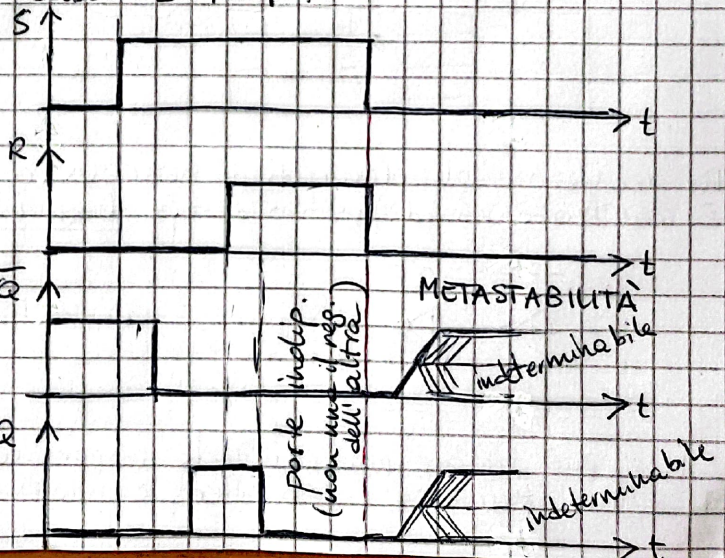
Uguale e contrario se ho S=1 e R=0

Se S = R = 1 ⇒ entrambe le uscite vanno a 0 ⇒ IMPOSSIBILE
Dopo un tempo finito l'uscita assumerà uno dei 2 stati stabili (1-0 o 0 1)



La config. stabile delle uscite si ottiene dopo $2t_p$ (2 volte il tempo di propagazione della singola porta NOR)

Caso S = R = 1 :



Se il $t_{p_1} \neq t_{p_2} \Rightarrow$ la porta con t_p minore forza la condizione dell'altra

Se S e R diventano 0 non in perfetta contemporaneità, si ha una prevalenza di uno dei 2 stati stabili.

$\bar{S}=R=1$ è una condizione PROIBITA in questo dispositivo.

METASTABILITÀ innescabile anche in altri modi.

Una porta logica comincia a commutare quando l'ingresso raggiunge la tensione di soglia logica. Se si applica un ingresso non ben definito (H o L) ma in un intorno della soglia logica, si può innescare la cond. di METASTABILITÀ sull'uscita.

Si può innescare anche se la permanenza di S o R in uno stato ammesso non è sufficientemente lunga per consentire la propagazione del segnale attraverso i 2 livelli di porta.

$$t_p < T_{min} < 2t_p$$

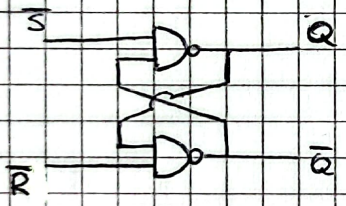
Abbiamo visto una struttura a porte NOR del LATCH SR.

$$\overline{A+B} = \bar{A} \cdot \bar{B}$$

$$Q = \overline{R+\bar{Q}} = \bar{R} \cdot Q \Rightarrow \bar{Q} = \overline{\bar{R} \cdot Q} \quad \text{NAND } \bar{R}, Q$$

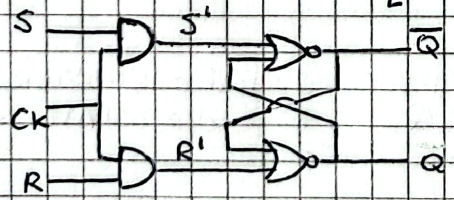
$$\bar{Q} = \overline{S+Q} = \bar{S} \cdot \bar{Q} \Rightarrow Q = \overline{\bar{S} \cdot \bar{Q}} \quad \text{NAND } \bar{S}, \bar{Q}$$

Struttura a porte NAND:



LATCH SR SINCRONIZZATO (flip-flop SR)

Versione a porte NOR

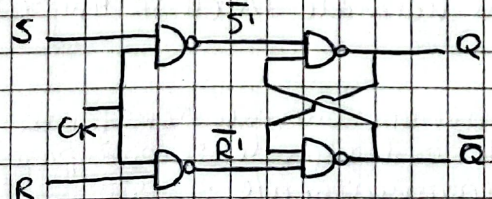


Il CK abilita tramite 2 porte AND i segnali SET e RESET

Sincronizza l'effetto di S e R ma non elimina la METASTABILITÀ

$S' = S \cdot CK \Rightarrow S' = S$ se $CK = H$
$R' = R \cdot CK \Rightarrow R' = R$ se $CK = H$

Versione a porte NAND:

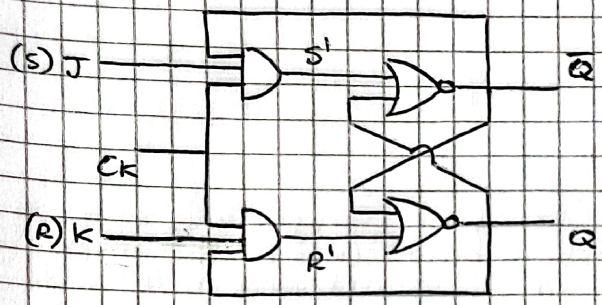


Realizzazione in tecnologia CMOS immediata, avendo tutte porte mattone di base della tecnologia

$\bar{S}' = \bar{S}$ se $CK = H$
$\bar{R}' = \bar{R}$ se $CK = H$

FLIP-FLOP JK

Elimina il problema della METASTABILITÀ dovuta alla configurazione proibita.



(S) J	(R) K	Q_n	$\overline{Q}_n$	S'	R'	Q_{n+1}	$\overline{Q}_{n+1}$
Ø	Ø	-	-	Ø	Ø	Q_n	$\overline{Q}_n$
1	Ø	1	Ø	Ø	Ø	1	Ø
1	Ø	Ø	1	1	Ø	1	Ø
Ø	1	1	Ø	Ø	1	Ø	1
Ø	1	Ø	1	Ø	Ø	Ø	1
1	1	1	Ø	Ø	1	$\overline{Q}_n$	Q_n
1	1	Ø	1	1	Ø	$\overline{Q}_n$	Q_n

CK = H (1)

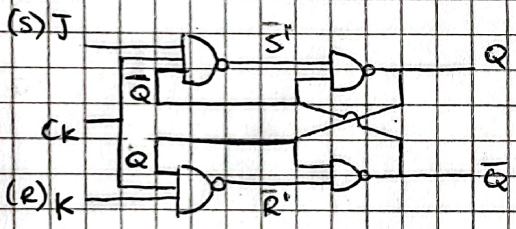
$J = k = 1$, $CK = 1$, $Q_n = 1$, $\overline{Q}_n = Ø$ $\xrightarrow{t_p}$ $R' = 1$, $S' = Ø$ $\xrightarrow{t_p}$ $Q = Ø$ $\xrightarrow{t_p}$ $\overline{Q} = 1$ $\xrightarrow{t_p}$ $S' = 1$

$\xrightarrow{t_p}$ $R' = Ø$

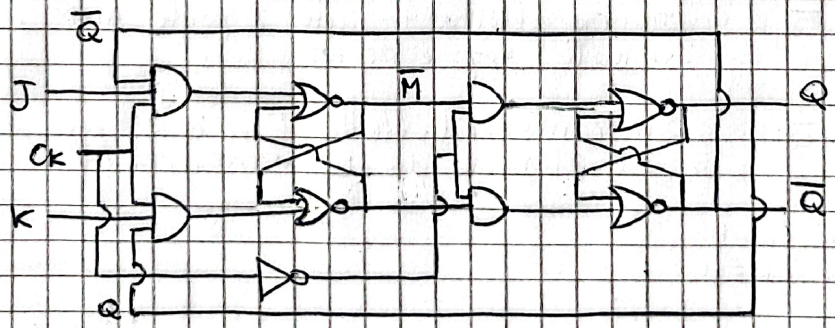
Si deve avere $CK = 1$ per $T_{CK=H}$: $2t_p < T_{CK=H} < 3t_p$

Almeno $2t_p$ per far effettuare la commutazione totale.
Non più di $3\ t_p$ per evitare che S' vada a 1 (a causa di $\overline{Q}$ diventato 1)

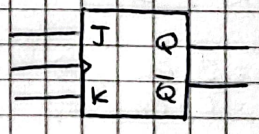
FLIP-FLOP JK realizzabile anche con la struttura a porta NAND:



FLIP-FLOP JK MASTER-SLAVE



1° stadio : MASTER
2° stadio : SLAVE



Il primo LATCH SR funziona, se il CK è H, come un normale LATCH SR temporizzato con l'aggiunta degli ingressi nelle porte AND di $\overline{Q}$ e Q

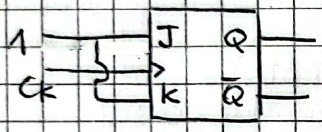
La propagazione del segn. dal 1° blocco al secondo avviene quando CK torna al livello L, così il secondo stadio vede un livello H e il segnale si può propagare dall'uscita del 1° stadio all'uscita del 2° e contemporaneamente si può chiudere la retroazione sul 1° stadio (efficace quando CK di nuovo H)

Questa struttura funziona sul fronte discendente del CK ($\overline{\uparrow}$) che va ad abilitare il 2° stadio e dopo il t_p dei 3 livelli di porte il dato stabile si presenta in uscita.

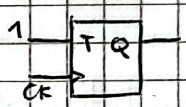
Per le config di J e K lecite (00, 01, 10), comunque stiano Q e $\overline{Q}$ provenienti dal 2° stadio, si hanno M e $\overline{M}$ come nel flip-flop JK (M$\overline{M}$, 01, 10): J abilita M (e $\overline{M}=0$), mentre K porta $\overline{M}=M$.
Quindi l'effetto sul 2° stadio di M è lo stesso che si ha con J sul 1° stadio, mentre l'effetto di $\overline{M}$ è quello di K.
Quindi è come se gli ingressi sul 2° stadio fossero invertiti e il funzionamento desiderato si ha se anche le 2 uscite sono invertite (Q sopra e $\overline{Q}$ sotto)

Anche con J=K=1 e CK=1 troppo a lungo, non si hanno commutazioni ripetute delle uscite.
Con J=K=1 si ha $M=\overline{Q}_n$ e $\overline{M}=Q_n$ (come nel flip-flop JK), ma non propagandosi e non essendo quindi riportati all'ingresso del 1° stadio non c'è variazione dei segnali e la struttura si stabilizza.
Quando il CK torna 0 viene abilitato il 2° stadio e i segnali transitano arrivando in uscita e chiudendo la retroazione e cambiando la config. degli ingressi, che sarà efficace solo quando si riavrà CK=1.

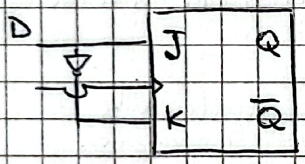
La struttura è intrinsecamente ben temporizzata: quando CK va da 1 a 0, M e $\overline{M}$ non cambiano più dopo 1 t_p (delle porte AND)



FLIP-FLOP di tipo T

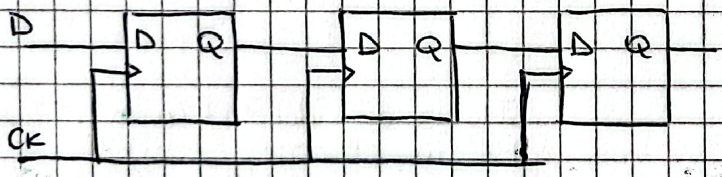


Q ($\overline{Q}$) commuta ad ogni colpo di CK



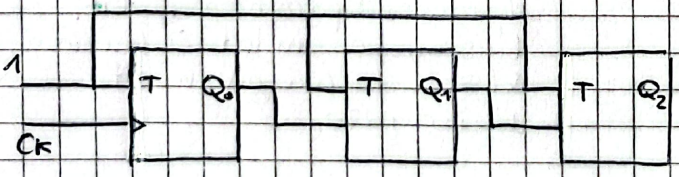
Flip-flop di tipo D

D transita in uscita a valle del fronte $\downarrow$ del CK



Registro a scorrimento

ad ogni fronte di CK, D transita in uscita allo stadio successivo.



Contatore binario

Periodo Q_0 è $2T_{CK}$, di Q_1 è $4T_{CK}$, di Q_2 è $8T_{CK}$, ..., di Q_n è $2^{n+1}T_{CK}$

LEZIONE 30R

Esercitazione su TINA (vedi LEZIONE 24R)

LEZIONE 31R

DISPOSITIVI DI MEMORIA

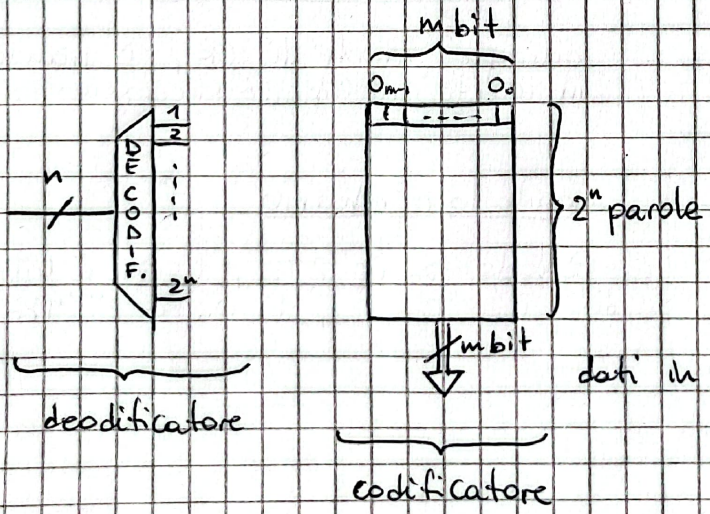
- Memorie ad accesso casuale (tempo d'accesso uguale per tutti i dati memorizzati)
- Memorie ad accesso sequenziale → es. shift register

- → Memorie volatili (RAM: Random Access Memory)
  - → statico (basate sui disp. bistabili)
  - → dinamico (utilizzano i condensatori; l'info va ripristinata periodicamente)
- → Memorie non volatili a sola lettura → ROM (Read Only Memory)
  - → PROM (Programmable ROM) → non scrivibili: programmabili solo 1 volta
- → Memorie non volatili R/W (Read/Write) → EPROM (Erasable PROM) = cancellabile
  - E^2PROM (Electrically Erasable PROM)
  - FLASH: scrivibile e cancellabile elettricamente ma con caratteristiche diverse

Tutti i dispositivi non volatili sono accomunate da → struttura matriciale
→ modalità di accesso

ROM

Circuito combinatorio



Il decodif. decodifica n bit in 2^n config. possibili. Le 2^n uscite del decodif. selezionano 1 delle 2^n parole a m bit. L'uscita a m bit è la config. selezionata con gli n bit di indirizzo.

Questo dispositivo realizza $f: B^n \to B^m$ $(B = \{0, 1\})$

Supponiamo $f: B^2 \to B^3$ $\leftrightarrow$

	I_1	I_0	O_2	O_1	O_0
(Y_1)	0	0	0	1	0
(Y_2)	0	1	1	1	1
(Y_3)	1	0	1	0	0
(Y_4)	1	1	1	1	0

(tutte le config.) (Esempio casuale dei 40 comb. di 4 I)

$O_2 = \overline{I_1} I_0 + I_1 \overline{I_0} + I_1 I_0$

$O_1 = \overline{I_1}\,\overline{I_0} + \overline{I_1} I_0 + I_1 I_0$

$O_0 = \overline{I_1} I_0$

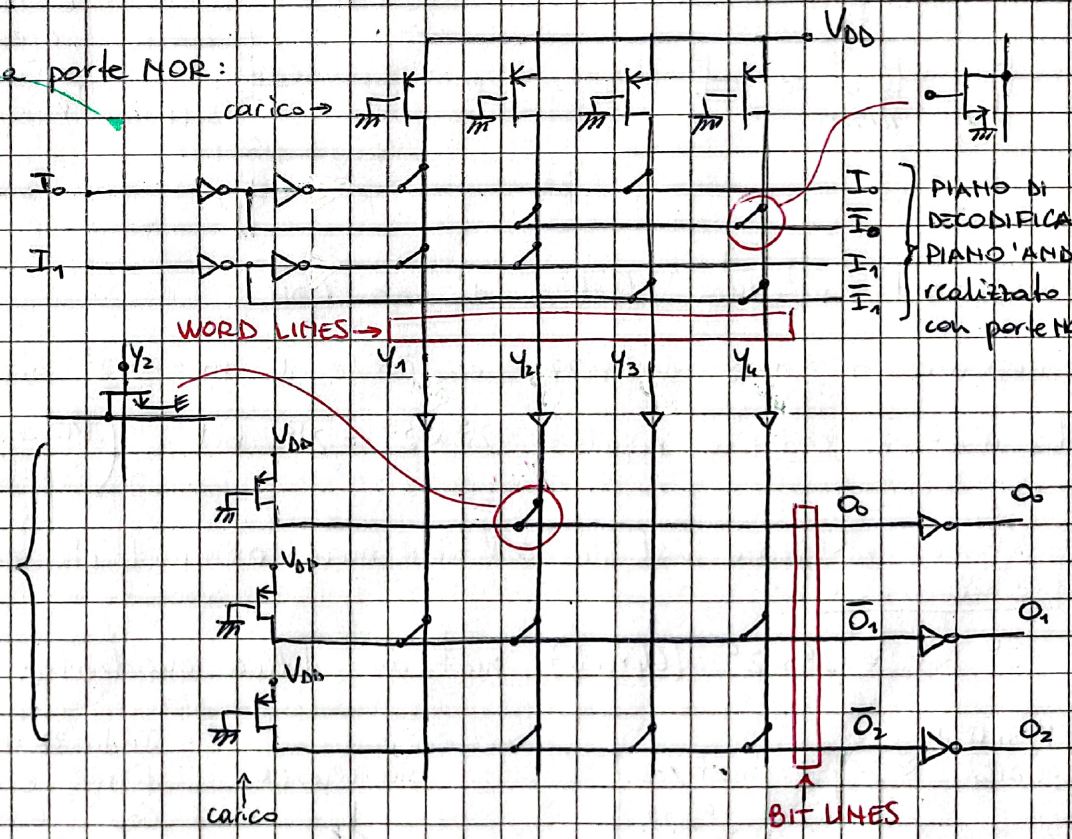
$O_2 = Y_2 + Y_3 + Y_4$
$O_1 = Y_1 + Y_2 + Y_4$
$O_0 = Y_2$
$Y_1 = \overline{I_1}\,\overline{I_0}$
$Y_2 = \overline{I_1} I_0$
$Y_3 = I_1 \overline{I_0}$
$Y_4 = I_1 I_0$

le Y sono le uscite del decodificatore, realizzabile, nel caso specifico, con 4 porte a 2 ingressi e, nel caso generale, da 2^n porte AND ad n ingressi.
Le uscite si possono ottenere attraverso 3 porte OR a 4 ingressi (1 per bit di uscita) o, nel caso generale, m porte OR a 2^n ingressi.

Diverse opzioni tecnologiche: la più diffusa è la tecnologia NMOS (che occupa meno area della CMOS).

Tecnologia PSEUDO NMOS a porte NOR:

$Y_1 = \overline{\overline{I_1}\,\overline{I_0}} = \overline{\overline{I_1} + \overline{I_0}}$
$Y_2 = \overline{\overline{I_1} I_0} = \overline{\overline{I_1} + \overline{I_0}}$
$Y_3 = \overline{I_1 \overline{I_0}} = \overline{\overline{I_1} + I_0}$
$Y_4 = \overline{I_1 I_0} = \overline{\overline{I_1} + \overline{I_0}}$



PIANO DI CODIFICA o PIANO 'OR' realizzato con porte NOR e NOT

Le ROM sono realizzate direttamente in fonderia. Il piano di decodifica è fisso, mentre il piano di codifica è variabile.
Tipicamente sono realizzati i MOS a tutti gli incroci del piano di codifica, la particolarizzazione della ROM avviene a livello di metallizzazione.

Se il piano di codifica è programmato dall'utente si possono eliminare i MOS non voluti tramite FUSIBILI quando si ha un dispositivo con tutti i MOS collegati, oppure collegare quelli voluti con ANTIFUSIBILI se sono tutti scollegati

In questi casi, in cui l'utente può programmare la ROM, si ha una PROM.

La struttura descritta è realizzata in logiche a rapporto (tipicamente PSEUDO NMOS), il criterio di progetto è quello di minima occupazione d'area.

Il dimensionamento delle porte non segue i criteri di ottimizzazione delle caratteristiche statiche (R_{eq} carico $\gg R_{eq}$ del trans. di pull-down $\Rightarrow \frac{(W/L)_{PU}}{(W/L)_{PD}} \gg 1$).

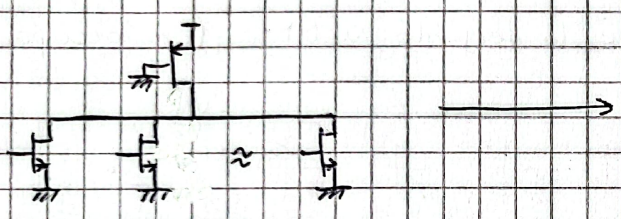
In questo caso non è così: peggioramento caratteristiche statiche del NM, ma migliorano i t_p (ossia i tempi di accesso della memoria)

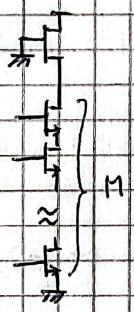
Per migliorare la velocità di accesso, talvolta si inseriscono sulle bit lines degli amplificatori differenziali, che sentono lo scostamento della tens. di linea da V_{DD} e lo amplificano determinando V_{out} su $\overline{O_i}$ (e quindi $O_i = H$) senza attendere la completa transizione.

Struttura discussa a porte NOR, ma può essere realizzata anche a porte NAND

$\overline{Y_1} = \overline{\overline{I_1}\,\overline{I_0}}$; $\overline{Y_2} = \overline{\overline{I_1} I_0}$; $\overline{Y_3} = \overline{I_1 \overline{I_0}}$; $\overline{Y_4} = \overline{I_1 I_0}$ nelle WORD LINE

$\overline{O_i} = \overline{Y_2 + Y_3 + Y_4} = \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_4}$ ancora $\overline{O_i}$ nelle bit lines.





la seconda struttura (NAND) è più compatta: occupa meno area (solo 1 contatto a massa), però il t_{pHL} dettato da un $K_{eq} = \frac{K_n}{M}$

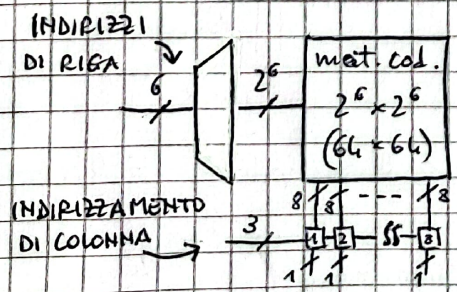
Vediamo l'architettura effettiva di una ROM.

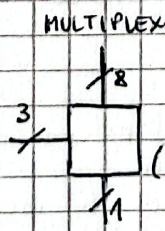
Supponiamo $n = 9$ indirizzi e parole di $m = 8 = 2^3$ bit

La mat. di codifica risulta $2^9 \times 2^3 = 2^{12}$ bit $\left(\begin{matrix}512 \text{ righe} \\ 8 \text{ colonne}\end{matrix}\right)$ fortemente asimmetrica

Si possono realizzare mat. di codifica meno asimmetriche realizzando un indirizzamento bidimensionale.

2^{12} bit $= 2^6 \times 2^6$ (64×64) mat. di codifica quadrata:





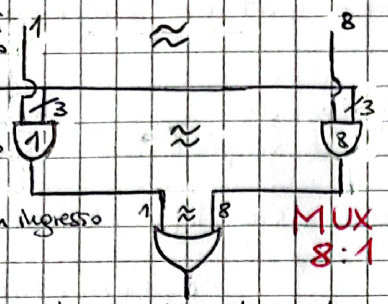
Indirizzamento spezzato in 6 indirizzi di riga e 3 indirizzi di colonna. Con i 6 indirizzi di riga selezionio 64 bit, di cui ne selezionio 8 con i rimanenti 3 indirizzi. Il multiplexer 8:1 ha 8 linee in ingresso, 3 bit di selezione e 1 linea in uscita.

Vantaggi indirizzamento bidimensionale

- Migliore sfruttamento area wafer
- logica di decodifica risulta più compatta
- Prestazioni dinamiche migliori (tempo di accesso)

1 porta AND per ogni config. dei 3 bit d'indirizzo

bit di indirizzo selezionano 1 sola porta AND e fa transitare il dato in ingresso



Decodificatore a 9 bit (MONODIMENSIONALE)

2^9 porte AND da 9 ingressi ciascuna.

$2^9 \cdot [9 + 1] = 5120$ transistor

#AND — #ingressi per porta — carico per porta

Decodifica bidimensionale

- 1 decod. a 6 bit
- 8 MUX 8:1

$2^6 [6+1] = 448$ transistor

$2^3 [8(3+1+1) + (8+1)] = 392$ transistor

#MUX — #AND — #indirizzi — colonna — carico — OR (8 ingressi)

$\Rightarrow 448 + 392 = 840$ transistor totali

Tempo di accesso: tempo tra l'impulso di lettura una volta presentati indirizzi validi al dispositivo e l'istante in cui ho dati validi in uscita.

$t_{ACCESSO} = t_{PLH}$ (decod.) $+ t_{PHL}$ (cod.)

proporzionale alla capacità di carico che vede la porta NOR della mat. di decod.

C_{L1} & N — prop. al numero di colonne della mat. di codifica

proporzionale alla capacità di carico che vede la porta NOR della mat. di codifica

C_{L2} & M — prop. al numero di righe della mat. di codifica

Memoria ha capacità C:

$C = M \cdot N$

#RIGHE — #COLONNE

$$t_{ACCESSO} = \alpha N + \beta M = \alpha N + \beta \frac{C}{N}$$

$$\frac{dt_{ACC}}{dN} = \alpha - \frac{\beta C}{N^2} = 0 \implies N = \sqrt{\frac{\beta}{\alpha} C}$$ trovo N per minimizzare t_{ACC}

Se α e β sono vicini tra loro, l'N ottimo è quello che si ottiene estraendo la rad. quadrata della capacità, quindi realizzando una mat. di cod. quadrata.

Queste considerazioni valgono in gran parte per tutti i dispositivi di memoria che vedremo, quindi la struttura di indirizzamento bidimensionale è quella tipica da considerare.

Per le ROM, i tagli max attuali sono nell'ordine del centinaio di Mbit con tempi di accesso nell'ordine del centinaio di ns. Per tagli inferiori i t_{ACC} scendono a decine di ns.

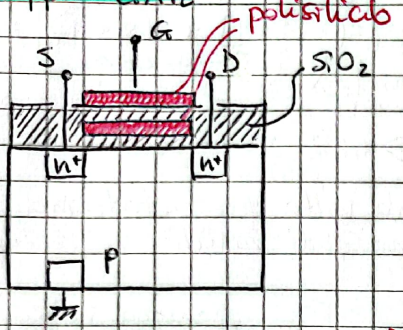
LEZIONE 32R

EPROM → Elettrically Progammable ROM → WR bit a bit electr.
CL raggi UV

E²PROM → Elettrically Erasable Programmable ROM → WR/CL bit a bit electr.

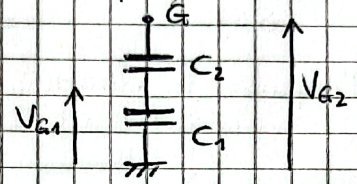
FLASH → stesse caratteristiche di E²PROM ma consentono cancellazioni di tipo diverso.
→ WR bit a bit electr., CL a pagine electr.
Si basano su una tecnologia che prevede di poter inattivare elettricamente il MOS presente all'incrocio della matrice di codifica.

MOS a doppio GATE



Un G flottante in polisilicio e un G accessibile.

Dal punto di vista degli elettrodi la struttura è



C_1: armature G flottante e substrato
C_2: armature elettrodo di G flottante e G flottante

FAMOS (floating gate avalanche MOS) C_1 e C_2 dip. dall'area del G e dallo spessore dell'ox.

$(V_{G2} - V_{G1})C_2 = V_{G1}C_1$ (le due capacità in serie hanno la stessa carica)

$V_{G1} = V_{G2}\frac{C_2}{C_1+C_2} \Rightarrow \boxed{V_{G2} = V_{G1}\left(1+\frac{C_1}{C_2}\right)}$ *

I valori di V_{G1} ottenibili sono quelli per cui $V_{G2} < V_{DD}$

Se portiamo una carica negativa sul G flottante, si ha tramite il PSE

$V_{G1} = \underbrace{V_{G2}\frac{C_2}{C_1+C_2}}_{\text{assenza di carica su G flott.}} - \underbrace{\frac{Q}{C_1+C_2}}_{V_{G2}=0} \Rightarrow \boxed{V_{G2} = V_{G1}\left(1+\frac{C_1}{C_2}\right)+\frac{Q}{C_2}}$ **

Se $V_{G1} = V_{TH}$

$V_{G2}^{*} = V_{TH}\left(1+\frac{C_1}{C_2}\right)$

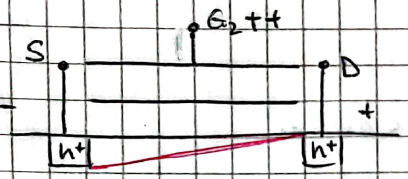
$V_{G2}^{**} = V_{TH}\left(1+\frac{C_1}{C_2}\right)+\frac{Q}{C_2} > V_{DD}$

In condizioni normali si assume $V_{G2}^{*} < V_{DD}$, mentre portando $-Q$ sul G flottante suff. elevata si ha $V_{G2}^{**} > V_{DD}$.

⇒ In cond. normali il transistor si comporta come un MOS normale.
Se ho $-Q$ su G flottante, il MOS all'incrocio della matrice di codifica funziona da c.a., perché non è mai possibile portarlo in conduzione con le normali tensioni di lavoro

Per portare -Q nel G flottante ci sono 2 tecniche (tecniche di scrittura):

* elettroni caldi → EPROM / FLASH
* effetto tunnel → E²PROM



HOT ELECTRONS (nelle EPROM)

$V_{DS} > V_{DD}$ ⇒ campo elettrico elevato nel canale tra i pozzetti

Il campo elettrico deve essere suff. elevato perché gli elettroni passando da S a D acquisiscano suff. energia cinetica per liberare per impatto nuove coppie elettroni/lacune.

V_{GS_2} : $V_{G1} - V_{TH} \triangleq V_{DS}$ Cond. di passaggio da triodo a saturazione

Si ottiene per $V_{GS_2} \gg V_{DS} > V_{DD}$ ⇒ campo elettrico trasversale

Gli elettroni, muovendosi nel canale, acquisiscono suff. en. cinetica perché, una volta in prossimità del drain, grazie all'azione del campo el. trasversale, possano attraversare la barriera di potenziale data dall'ossido

Barriera di pot. dell'ox. è dell'ordine dei 3,2 eV ⇒ en. degli elettroni deve essere maggiore.

È un fenomeno autolimitante: aumento di carica negativa nel G flottante provoca un campo el. trasversale che si oppone al passaggio di elettroni.

Questo meccanismo porta in maniera stabile gli elettroni nel G flottante.

Negli EPROM, per rimuovere le cariche, si irraggia con radiazione UV il dispositivo: utilizzando una radiazione con lunghezza d'onda inferiore ai 400 nm (UV: 253,7 nm) con suff. energia specifica, si crea un fenomeno di ionizzazione nel SiO_2 (così reso debolmente conduttore) permettendo agli elettroni di abbandonare il G flottante.

Si usano tipicamente lampade con lunghezza d'onda 253.7 nm, energia specifica 15 W·s/cm e si irradiano i disp. per ≈ 20÷30 min a distanza di 2-3 cm.

Dispositivi EPROM comodi per scrittura, non per la cancellazione: per poter irraggiare il SiO_2 è nec. realizzare nel package una finestra trasparente alle radiazioni usate, tipicamente realizzata in quarzo (risultano costosi)

La finestra va coperta perché eventuali radiazioni (anche luce solare) al di sotto dei 400 nm di lung. d'onda possono avere un effetto sul dispositivo.

ROM OTP: ROM programmabili 1 sola volta (non irradiabili)

Gli el. ad alta energia nel canale provocano problemi all'interfaccia con l'ox. (a causa del campo elettrico trasversale) ⇒ il disp. degrada con il tempo e con i cicli di WR/CL (all'incirca ~1000, ora fino a 10^6 cicli)

I tempi di scrittura sono $t_{WR} \sim 10\ \mu s$/word (8 bit)

Tagli fino a 32 Mbit ⇒ t_{TOT} scrittura ~ 10 s

$t_{accesso} = 10 \div 100$ ns.

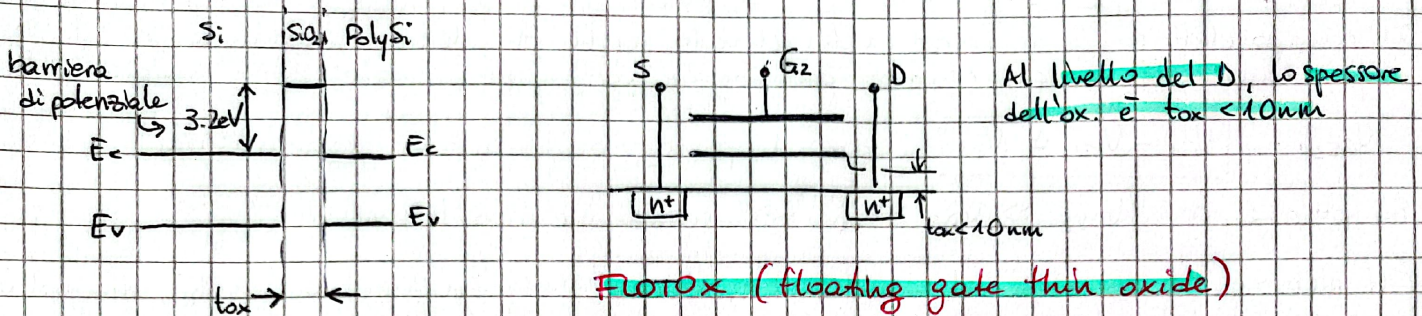
EFFETTO TUNNEL (nelle E²PROM)

Se lo spessore dell'ox. (e la barriera di potenziale) è sufficientemente sottile, esiste una probabilità $\neq 0$ che un elettrone con energia inferiore alla barriera stessa possa comunque superarla.

$$p = (1 - e^{-\frac{1}{x}})$$

x: spessore della barriera

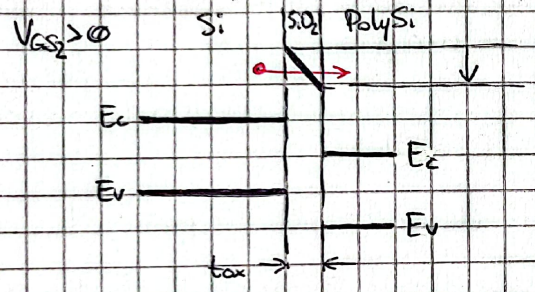
Si ha una p significativa quando lo spessore dell'ox. $t_{ox} < 10\,nm$



Al livello del D, lo spessore dell'ox. è $t_{ox} < 10nm$

FLOTOX (floating gate thin oxide)

Applicando un pot. positivo al G_2 rispetto al substrato, si ha anche una variazione della tensione del G_1 rispetto al substrato e conseguente deformazione delle bande.



Le bande subiscono una deformazione in cui la var. complessiva di energia è legata al ΔV_{G1}

Lo spessore della barriera, per gli elettroni presenti nel Silicio, si riduce.

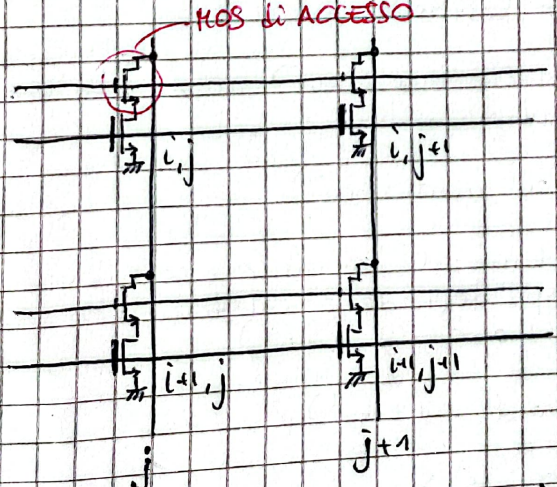
Effetto tunnel controllato in tensione, detto EFFETTO TUNNEL FOWLER-NORDHEIM (o F-N tunnelling)

Vale anche la situazione opposta: applicando un $V_{GS_2} < 0$, gli e^- che sono nel G_1 flottante possono tornare nel canale.

Applicando un V_{GS_1} opportuno è quindi possibile programmare o sprogrammare il MOS.

Questo dispositivo ha lo svantaggio di richiedere un MOS di accesso al singolo nucleo della matrice di codifica.

Consideriamo 2 bit lines e 2 word lines:



j, j+1 bit lines
(Select line) i, i+1 word lines
i (Control line)

Il MOS di ACCESSO separa il Drain del FLOTOX dalla bit line

Supponiamo di programmare il bit i,j in assenza di MOS di accesso:

$i = H$, $j = L$ ⇒ si attiva l'effetto tunnel F-N
i,j programmato

MOS i, j+1, se $j+1 = L$ ⇒ i, j+1 programmato (questo accade per tutti i MOS in queste cond. nella control line i)

Se $j+1 = H \Rightarrow$ MOS $i, j+1$ non si programma, ma se $i+1 = L$ si sprogramma il MOS $i+1, j+1$
(accade per tutti i MOS con control line L nelle word line $j+1$)

È necessario un ulteriore interruttore che separi il D dalla bit line.

Inoltre, se l'impulso di scarica del MOS provoca una sovrascarica del G, il MOS Flotox può essere in conduzione anche con $V_G = 0$. Il MOS di accesso evita questo problema.

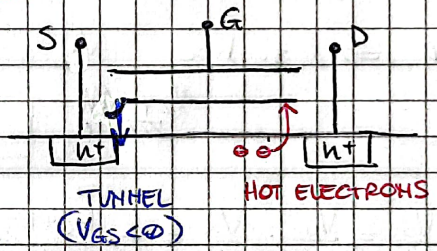
Risultato netto: a parità di area la densità di una E²PROM è la metà di quella di una EPROM.

Tagli max ~ 32 Mbit
$t_{accesso} = 10 \div 100$ ns
$t_{WR} \sim 10\,\mu s$/bit
$t_{CL} \sim 10\,\mu s$/bit
} come le EPROM

Minor degrado della struttura ⇒ maggior numero di cicli di WR/CL

Memorie FLASH: sfruttano sia HOT ELECTRONS e tunnel F-N

Scrittura con HOT ELECTRONS, al livello del Drain.
Cancellazione per EFFETTO TUNNEL, al livello del Source.



Vantaggio: non necessitano del MOS di accesso.

La cancellazione avviene per pagine, portando i S ad un potenziale elevato rispetto al G.

$t_{WR} \sim 10\,\mu s$/bit

Cancellazione per blocchi (~ decine di kbytes). Chip intero cancellato in $t_{CL} \sim$ secondi

$t_{accesso} \sim 10 \div 100$ ns

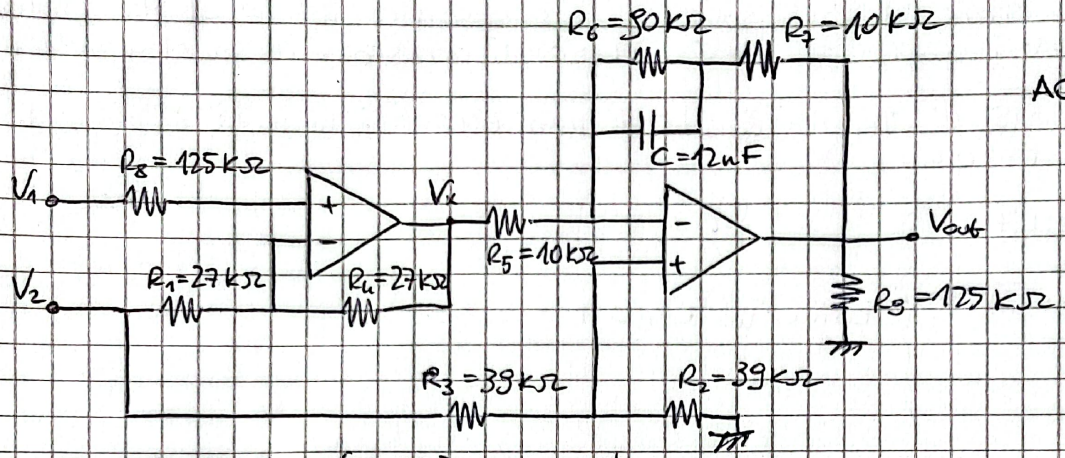
Le FLASH sono i disp. di punta delle memorie non volatili.

Densità max fino a 1 Tbit (Struttura NAND è più compatta)

LEZIONE 33R

Compito 20/01/2020

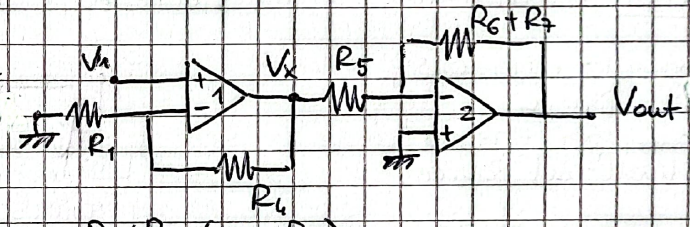
Esercizio 1



a. Si calcoli $V_{out}(V_1, V_2)$ in continua

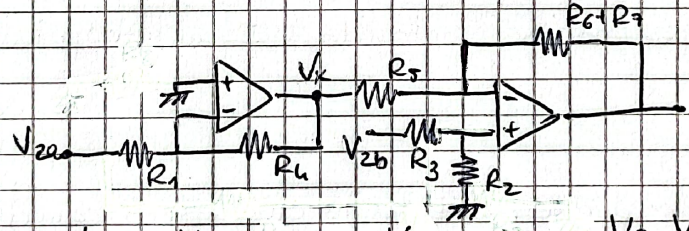
b. Tracciare diag. di Bode in mod. e fase di $V_{out}(V_1)$ per $V_2 = 0$

a. PSE: $V_2 = 0 \Rightarrow$ si ha



$$\frac{V_o}{V_1} = \frac{V_o}{V_x} \cdot \frac{V_x}{V_1} = -\frac{R_6+R_7}{R_5}\left(1+\frac{R_4}{R_1}\right) = -10 \cdot 2 = -20$$

$V_1 = 0 \Rightarrow$



$V_{2a} = V_{2b} = V_2$

$V_{2a} = 0 \Rightarrow V_x = 0$

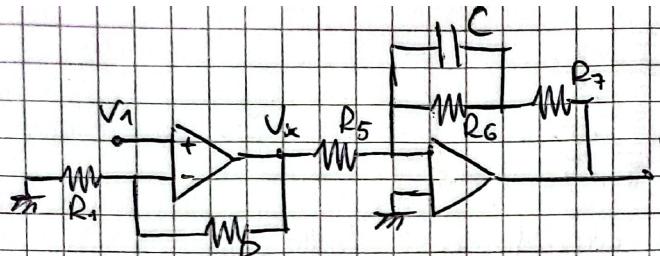
$$\text{PSE: } \frac{V_o}{V_2} = \frac{V_o}{V_{2a}}\bigg|_{V_{2b}=0} + \frac{V_o}{V_{2b}}\bigg|_{V_{2a}=0} = \frac{V_o}{V_x}\frac{V_x}{V_{2a}}\bigg|_{V_{2b}=0} + \frac{V_o}{V_{2b}}\bigg|_{V_{2a}=0} =$$

$$= -\left(\frac{R_6+R_7}{R_5}\right)\left(-\frac{R_4}{R_1}\right) + \left(1+\frac{R_6+R_7}{R_5}\right)\frac{R_2}{R_2+R_3} =$$

$$= -10(-1) + 11\,\frac{1}{2} = 15.5$$

Quindi $V_o(V_1, V_2) = -20 V_1 + 15.5\, V_2$

b.



$$R_6 \| Z_C = \frac{R_6}{1+j\omega C R_6}$$

$$R_6 \| Z_C + R_7 = \frac{R_6 + R_7(1+j\omega C R_6)}{1+j\omega C R_6} = (R_6+R_7)\frac{1+j\omega C\, R_6\|R_7}{1+j\omega C R_6}$$

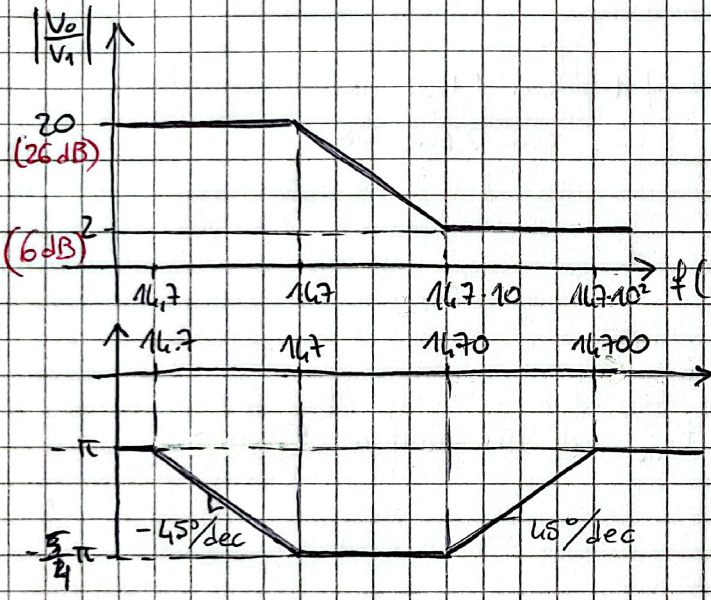
$$\frac{V_o}{V_1} = \left(1+\frac{R_4}{R_1}\right)\left(-\frac{R_6\|Z_C + R_7}{R_5}\right) =$$

$$= \left(1+\frac{R_4}{R_1}\right)\left(-\frac{R_6+R_7}{R_5}\right)\frac{1+j\omega C R_6\|R_7}{1+j\omega C R_6} = -20\,\frac{1+j\omega\tau_z}{1+j\omega\tau_p}$$

(τ_z = $C R_6\|R_7$, τ_p = $C R_6$)

$$f_z = \frac{1}{2\pi\tau_z} = \frac{1}{2\pi\cdot 12\cdot 10^{-9}\cdot 9\cdot 10^3} \simeq 1{,}47 \text{ kHz}$$

$$f_p = \frac{1}{2\pi\tau_p} = \frac{1}{2\pi\cdot 12\cdot 10^{-9}\cdot 90\cdot 10^3} \simeq 147 \text{ Hz}$$



Diag. asintot. disegnato con effetto di zeri e poli da dec. prima a dec. dopo

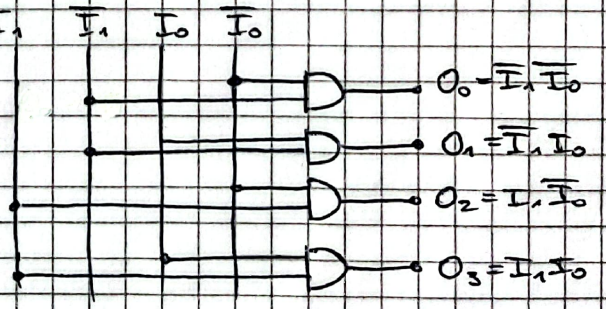
Esercizio 2 Decodificatore a 2 bit

a. Schema a porte AND, rete CMOS ad un solo livello di porte tra ingresso e uscita (a disposizione ingressi sia in forma diretta che negata).

b. Tutti transistor con stesso fatt. di forma, $V_{Tn} = V_{Tp}$ e $\mu_n = +2.5\,\mu_p$, indicare per la singola uscita del circ. CMOS precedente quale è maggiore tra t_{PLH} e t_{PHL} e di quale fattore.

a.

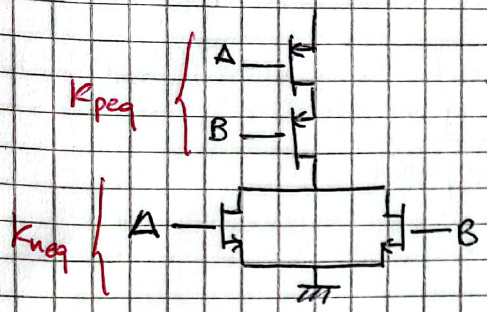
I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0



$\overline{A} \cdot \overline{B} = \overline{A+B} \Rightarrow$

$O_0 = \overline{I_0} \cdot \overline{I_1} = \overline{I_0 + I_1}$
$O_1 = \overline{I_1} \cdot I_0 = \overline{I_1 + \overline{I_0}}$
$O_2 = I_1 \cdot \overline{I_0} = \overline{\overline{I_1} + I_0}$
$O_3 = I_1 \cdot I_0 = \overline{\overline{I_1} + \overline{I_0}}$

Ogni uscita si può ottenere con un circuito così fatto



A, B sono I_0 e I_1, $\overline{I_0}$ e I_1, I_0 e $\overline{I_1}$, $\overline{I_0}$ e $\overline{I_1}$

$\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = \frac{W}{L}$

b. $k_{peq} = \underbrace{\frac{W}{L}\frac{1}{2}}_{\text{serie eq. a 1 MOS con } \frac{W}{2L}} \frac{1}{2}\mu_p C_{ox}$

$k_{neq} = \frac{1}{2}\mu_n C_{ox} \underbrace{\frac{W}{L}\alpha}_{\text{parallelo eq. a 1 MOS di } \frac{nW}{L}}$, con $\alpha = \begin{cases} 1 & \text{con 1 MOS ON} \\ 2 & \text{con 2 MOS ON} \end{cases}$

$\frac{k_{neq}}{k_{peq}} = \frac{\mu_n}{\mu_p} 2\alpha = \begin{cases} 5 & \text{se } \alpha = 1 \\ 10 & \text{se } \alpha = 2 \end{cases}$

$t_{PLH} = \frac{V_{DD}/2 \; C_L}{k_{peq}(V_{DD} - |V_{Tp}|)^2}$

$t_{PHL} = \frac{V_{DD}/2 \; C_L}{k_{neq}(V_{DD} - |V_{Tn}|)^2}$

$t_{PLH} > t_{PHL}$ di un fattore 5 o 10

Compitto 24/09/2019

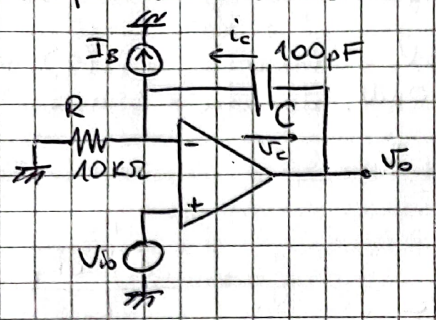
Esercizio 1

Integratore basato su AO rail to rail ($\pm 10\,V$), con $V_{io} = 1.5\,mV$ e $I_B = 100\,nA$. Rete di retroazione con $R_1 = 10\,k\Omega$ e $C = 100\,pF$.

a. Si calcoli il t min dopo il quale, all'accensione, l'uscita dell'AO raggiunge il val. di saturazione ($V_{ic} = 0\,V$ e AO ideale per caratteristiche non specificate)

b. Se in parallelo a C si ha $R_2 = 1\,M\Omega$, quale è il V_o max per effetto di I_B e V_{io}?

a.



Il tempo minimo si ha per effetti concordi sull'uscita di V_{io} e I_B:

$$i_c = I_B + \frac{V_{io}}{R} = C\frac{dv_c}{dt} \qquad [\text{si ha } V_{io} \text{ su } (+)]$$

$$v_o(t) = V_{io} + v_c(t) = V_{io} + \int_0^t \frac{i_c}{C}\,dt + v_c(0)\Big|_{v_c(0)=0} =$$

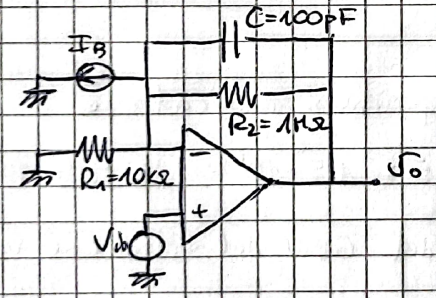
$$= V_{io} + \frac{V_{io}}{RC}t + \frac{I_B}{C}t$$

$$v_o(t_{min}) = 10V \Rightarrow V_{io} + \frac{V_{io}}{RC}t + \frac{I_B}{C}t = 1.5\,mV + \frac{1.5\,mV}{10^{-6}\,s}t_{min} + 10^3\frac{V}{s}t_{min} = 10V$$

$$1.5\times10^{-3} + 1.5\times10^{6}\,t_{min} + 10^3\,t_{min} = 10$$

$$t_{min} = \frac{10 - 1.5\times10^{-3}}{1.5\times10^6 + 10^3} = 6.66\,\mu s$$

b.



Il val. finale a cui tende v_o è

$$v_{o_{MAX}} = \underbrace{V_{io}\left(1 + \frac{R_2}{R_1}\right)}_{\substack{I_B=0,\ v_{o_{MAX}} \\ \text{in continua} \\ (C \text{ è c.a.})}} + \underbrace{I_B R_2}_{\substack{V_{io}=0 \\ I_{R_1}=0 \\ I_B \text{ tutta su } R_2}} =$$

$$= 10^{-3}\cdot 1.5\,(1+100) + 10^{-7}\cdot 10^6 = 251.5\,mV$$

Compito 10/07/2018

Esercizio 1 AO ideale

a. Prog. filtro LP a singolo polo: integratore per $f \geq 50\,kHz$, $R_{in} = 1\,k\Omega$, $A_{DC} = -200$

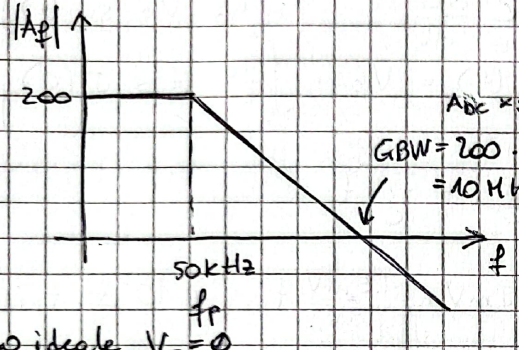
b. Diag. asintotici di Bode

c. Valutare se è possibile realizzare il circuito con un AO ideale o meno del guadagno differenziale ad AA dato da

$$A(f) = \frac{10^5}{1 + j\,f/15}$$

d. Disegnare $v_o(t)$ supponendo alimentazione $\pm 15V$ e ingresso ($v_o(0) = 0$) un impulso di tensione con $V_{min} = 0V$, $V_{max} = 40mV$, durata $= 20\mu s$.

a.

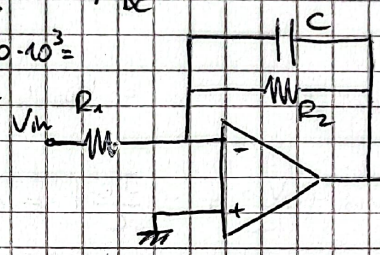


$R_{in} = 1\,k\Omega$

$A_{DC} = 200$

$A_{DC} \times f_p$

$GBW = 200 \cdot 50 \cdot 10^3 = 10\,MHz$



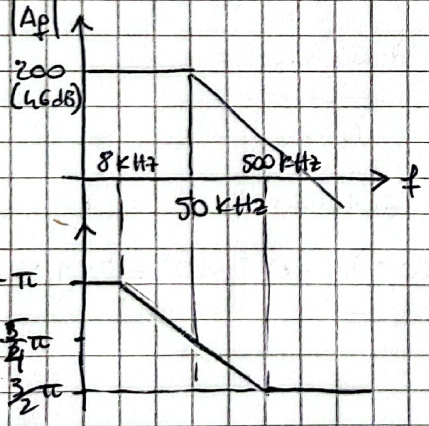
$$\frac{v_o}{v_{in}} = -\frac{\frac{R_2}{1 + j\omega C R_2}}{R_1} = -\frac{R_2}{R_1}\frac{1}{1 + j\omega C R_2} = -\frac{R_2}{R_1}\frac{1}{1 + j\,f/f_p}$$

AO ideale, $V_- = 0$

$R_1 = R_{in} = 1\,k\Omega$; $\quad -\frac{R_2}{R_1} = A_{DC} = -200 \Rightarrow R_2 = 200\,k\Omega$

$f_p = \frac{1}{2\pi R_2 C}$, per $R_2 = 200k\Omega \Rightarrow C = \frac{1}{2\pi f_p R_2} = 15{,}9\,pF$

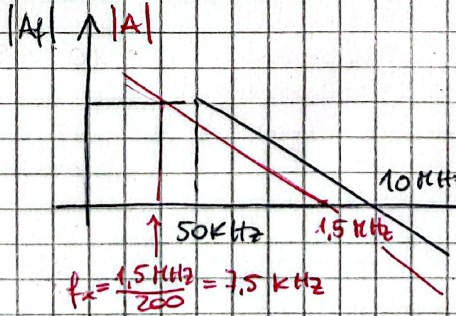
b.



c. Il GBW del dispositivo indicato è

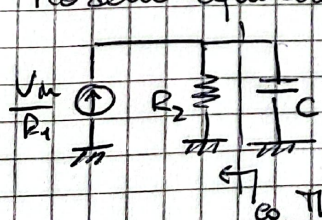
$$GBW_f = 10^5 \times 15 = 1{,}5 \times 10^6 = 1{,}5\,MHz$$

che è minore del GBW del filtro che vogliamo realizzare

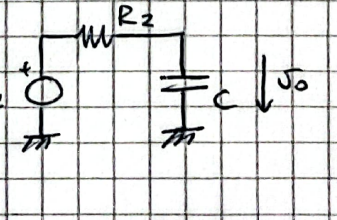


|Af| è 1/β fino al GBW (1/β poi spiana), da f_x in poi il modulo del guad. d'anello è < 1 e l'ampl. retroazionato ha una f.d.t. det. dal guad. d'anello aperto.

d. Modello equivalente



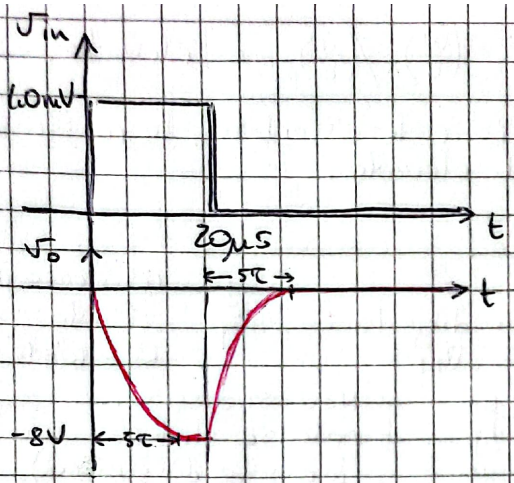
$\Leftrightarrow$



$$\frac{V_{in}}{R_1}R_2\Big|_{V_{in} = 40 \cdot 10^{-3}V} = 8V$$

$\tau = R_2 C = 3.18\,\mu s$

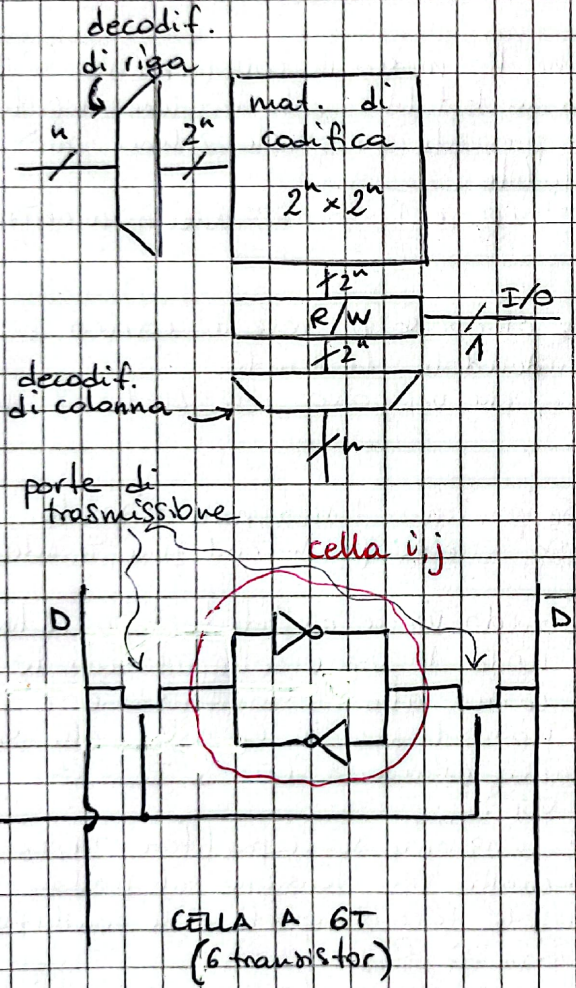
In circa 5τ carica completa $\Rightarrow$ in $20\mu s$ si carica completamente il C



LEZIONE 34R

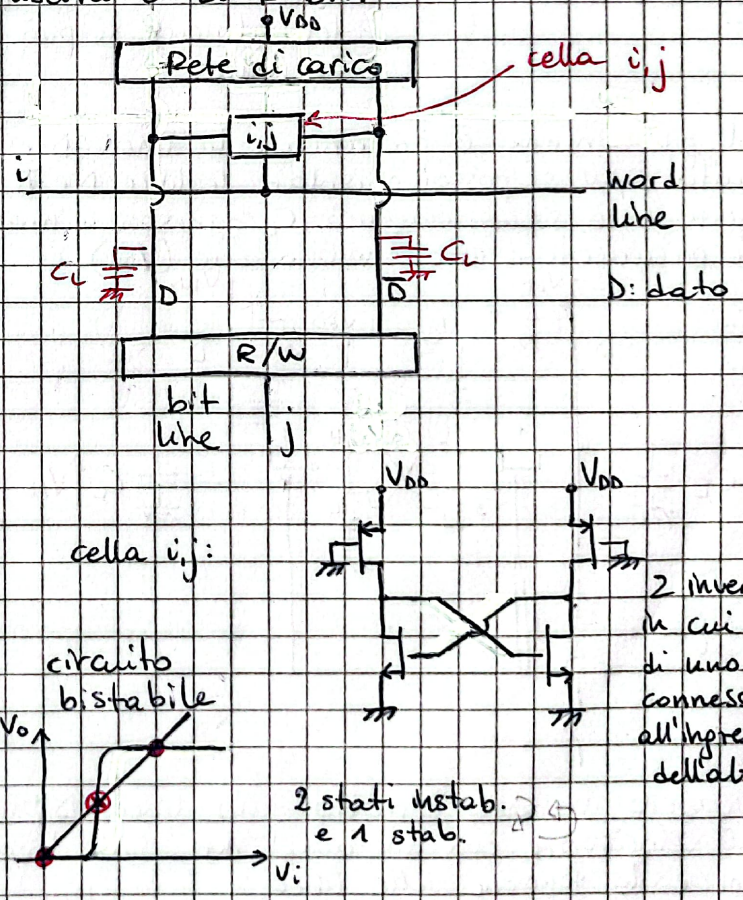
RAM → statiche (l'informazione permane finché l'alimentazione resta attiva)

Come ROM ha struttura matricabile e indirizzamento bidimensionale



Struttura di una RAM con celle ad 1 bit.

Replicandola con k matrici, la parola di uscita è di k bit.



In generale il carico non è realizzato così.

In una RAM la parte preponderante del Si è occupata dalle celle e la potenza dissipata è da imputarsi essenzialmente alla mat. di codifica.

Al crescere della capacità della memoria, i limiti superiori della potenza dissipata dal singolo chip (~W) pongono limiti stringenti sulla pot. dissipata dalla singola cella

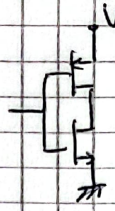
1 Mbit, 1W ⇒ 1μW/cella ⇒ Se $V_{DD} \sim 1V$, corr. assorbita dall'alimentazione minore del μA

La struttura di 2 inverter funziona meglio quanto più $\left(\frac{W}{L}\right)_n / \left(\frac{W}{L}\right)_p$ è elevato.

Per risparmiare area (MOS n a area min), per limitare corrente assorbita, la resistenza del MOS p deve essere suff. elevata ⇒ MOS p con L elevato.

Non è una soluzione che ottimizza l'occupazione d'area.

Carico realizzato con resistenza passiva in polisilicio non drogato: resistenza di strato $R_S \simeq 10^6 \div 10^7\ \Omega/\square$



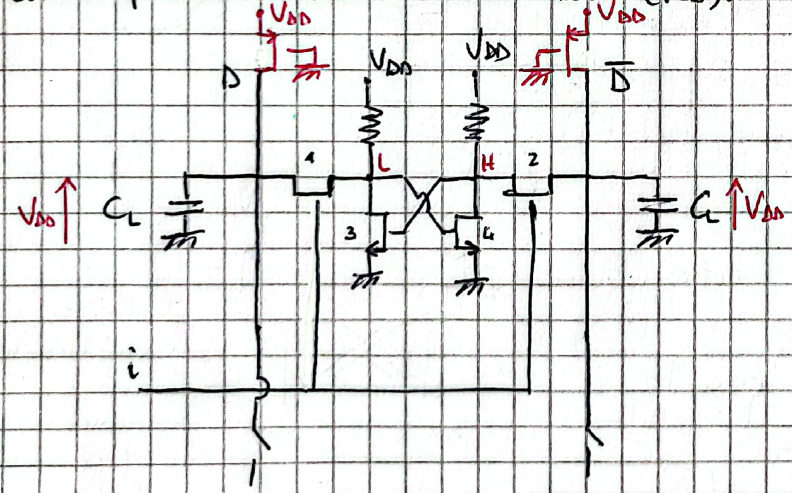
Altrimenti si realizza l'inverter in tecnologia CMOS

Non si dissipa potenza statica (ma solo dinamica), non è sol. ottima per occupazione area minima

Scrittura: forzare il dato D (e $\overline{D}$) sulle 2 linee della bit line, abilitando la word line e aprendo le 2 porte di trasmissione (chiudendo i 2 interruttori) si può incidere direttamente sull'ingresso dei 2 MOS n che costituiscono l'inverter e forzarne lo stato.

Più complicata la lettura: una volta che la word line ha messo in collegamento i 2 ingressi degli inverter con la bit line e la bit line negata, una qualunque tensione presente su queste 2 linee può forzare lo stato del bistabile.
Potenzialmente si può distruggere l'informazione memorizzata nella cella.

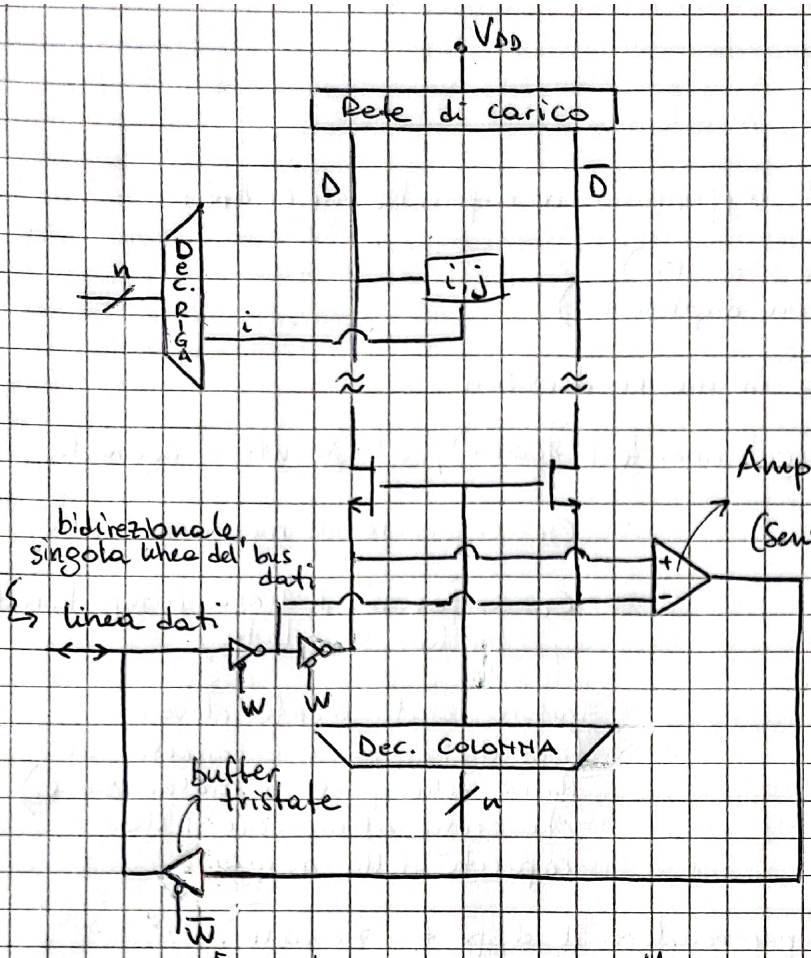
La sol. più comune è precaricare la linea D e $\overline{D}$: attraverso la rete di carico e il circuito R/W si possono isolare le linee D e $\overline{D}$ rendendole flottanti.
A queste linee si associa una C_L connessa a massa, che vengono rese flottanti dopo averle precaricate a una tensione alta (V_{DD}).



Supponiamo l'info memorizzata sia questa (T3 in conduzione, T4 interdetto)

Quando viene abilitata la word line i, il nodo H viene collegato con la C_L carica alla stessa tensione e il nodo L con la C_L a V_{DD}, che si scarica attraverso il T1 e T3 fino a V_{OL}.
Ciò funziona se il partitore T1, T3 non determina una tensione sul nodo centrale tale da non portare in conduzione T4.
$R_{T1} >> R_{T3}$

Per avere il dato corretto sulla linea D, bisogna aspettare che C_L si scarichi.
Si può velocizzare con un ampl. diff. sulle linee che sente gli scostamenti di tensione tra V_{DD} e la tensione della linea



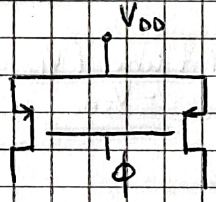
W: comando di scrittura / lettura (se H → scrittura, se L → lettura)

Quando si legge la cella il percorso dall'ampl. al bus dati è attivo, quando si scrive il buffer è interdetto e sono attivati i 2 inverter.

Per scrivere un dato, si forza sulla linea dati il val. corretto, gli inverter portano il valore sulla linea dati (D e $\overline{D}$), quando il selettore di col. abilita i 2 transistor la tensione D e $\overline{D}$ viene applicata a tutta la linea e quando il selettore di riga seleziona la cella i,j il dato viene forzato nel bistabile.

I 2 inverter hanno fatt. di forma elevato per pilotare efficacemente il carico che vedono (non basso)

Rete di carico →

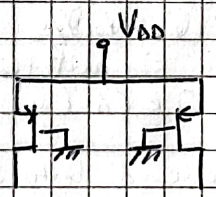


Circuito di precarica.

$\phi = L \Rightarrow$ D e $\overline{D}$ in collegamento con V_{DD}, flottanti nella parte inferiore (ampl. a alta imp e inverter tristate). Le C_L si caricano a V_{DD}.

$\phi = H \Rightarrow$ si aprono i 2 interruttori

→

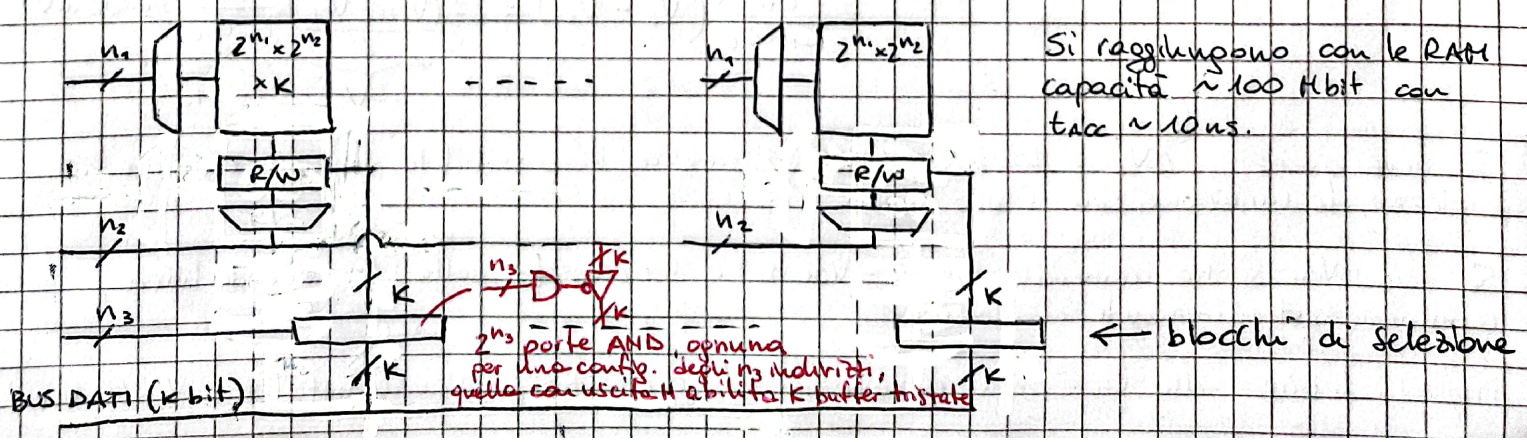


Riferimento a V_{DD}

I 2 transistor devono avere imp. suff. elevata perché nel partitore con i MOS della cella si determini una tensione nell'uscita L del bistabile solo una frazione di V_{DD}.

Per limitare il consumo di potenza, la mat. di codifica può lavorare a tensioni diversi da quelle dell'esterno del circuito.
Il buffer ripristina i valori corretti.

Per realizzare una memoria di $2^{n_1+n_2+n_3} \cdot K$ bit, si usano 2^{n_3} blocchi che forniscono un'uscita K bit selezionati in una mat. di cod. di $2^{n_1+n_2}$



Si raggiungono con le RAM capacità ~100 Mbit con t_{acc} ~10 ns.

LEZIONE 35R

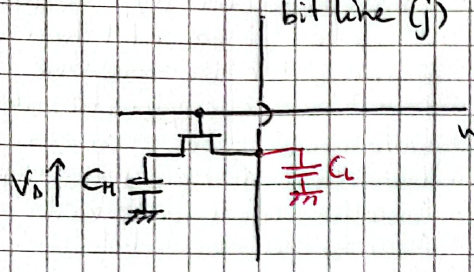
RAM dinamiche

Dispositivi (insieme a FLASH) con cui si raggiungono le capacità maggiori:

* Riduzione # transistor / cella (fino a 1T)
* Semplificazione struttura (bit line non duplicata)

Info non contenuta in un bistabile ma in un condensatore

Svantaggio: info deve essere rinfrescata regolarmente ($\sim$100 Hz), altrimenti si degrada (essendo contenuta nel C)



$V_D = \begin{cases} V_{OH} \\ V_{OL} \end{cases}$

C_H: capacità di memoria

C_L: capacità di linea (comportamento bit line se isolata)

↑ valore relativamente elevato (metallizzazione e C connesse al drain delle porte di trasmissione) che cresce al crescere delle capacità della memoria

Anche C_H deve crescere al crescere di C_L per rendere il disp. funzionale.

Scrittura: si forza il val. in tensione sulla bit line (V_{DD} o 0) e poi abilitando la word line. La C_H si carica a $V_{bit\,line} - V_{TH}$

$$V_{OH} = V_{DD} - V_{TH} \quad , \quad V_{OL} = 0\,V$$

Lettura: può essere distrutta l'info. contenuta nel C_H.
Si precarica la bit line a $V_L = V_R = (V_{OH}+V_{OL})/2$, si sconnette la bit line dall'alimentazione e da massa e poi si abilita la word line.
Si ha una distribuzione di carica tra C_L e C_H (in parallelo) e V_L si porta a metà tra V_R e V_D.
$C_H \ll C_L \Rightarrow V_L \cong V_R \Rightarrow$ operazione di lettura distruttiva.

Dopo aver precaricato C_L, prima di portare alta la word line e abilitare il transistor, in C_H si ha una carica $C_H V_D$ e in C_L una carica $C_L V_R$.
Quando il T va in conduzione (interr. chiuso), dopo un transitorio si ha

$$C_H V_D + C_L V_R = (C_H + C_L) V_R' \quad \Rightarrow \quad V_R' = \frac{C_H V_D}{C_L + C_H} + \frac{C_L V_R}{C_H + C_L} \cong V_R \qquad (C_L \gg C_H)$$

Variazione di tensione bit line $\Delta V_R = V_R' - V_R = \frac{C_H}{C_H + C_L} V_D + V_R\left(\frac{C_L}{C_H + C_L} - 1\right) =$

$$= \frac{C_H}{C_H + C_L}\left(V_D - V_R\right) = \pm \underbrace{\frac{(V_{OH} - V_{OL})}{2}}_{\sim V} \underbrace{\frac{C_H}{C_H + C_L}}_{10^{-1} \div 10^{-2}} \sim \pm 100\,mV$$

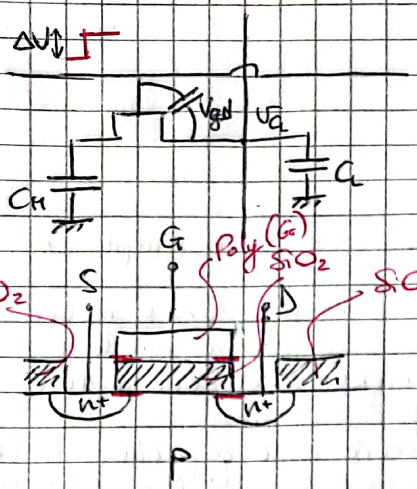
Si deve avere $\Delta V_R > 100\,mV$, che garantisce la possibilità di apprezzare con certezza la variazione con il suo segno.

Se $V_D = V_{OH}$ si ha aumento, se $V_D = V_{OL}$ si ha decremento della tensione di linea, comunque estremamente contenuti.

Dopo la lettura nella C_H è memorizzata un'info che si trova circa a metà tra V_{OH} e V_{OL}.

Va associato un meccanismo che sente il segno di ΔV_R e ripristina il val. corretto di V_D.

Quando si abilita la porta (chiudendo l'interruttore), si produce un disturbo in tensione su V_{CL}.



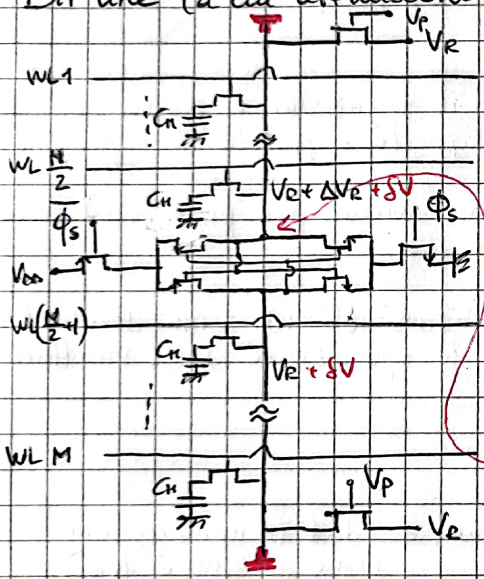
Quando il segnale della word line va a livello H, si ha una variazione di V_{CL}:

$$\delta V = \Delta V \cdot \frac{C_{gd}}{C_{gd} + C_L}$$ tipicamente dello stesso ordine di grandezza di ΔV_R

Diffusioni S e D vengono realizzate con implantazione ionica (di tipo n) in superficie e poi vengono fatti diffondere gli ioni n.
Parziale sovrapposizione tra G e S/D che genera un accoppiamento capacitivo (V_{gs} e V_{gs})

È nec. poter eliminare δV che rende difficile leggere correttamente il segno di ΔV_R

Bit line (a cui afluiscono M word line) divisa in 2 parti:



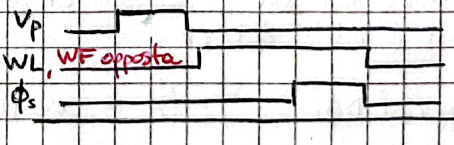
(tristate) Bistabile con 2 inverter CMOS

Φ_S chiude uno dei due interruttori e collega il bistabile con l'alimentazione e la massa.

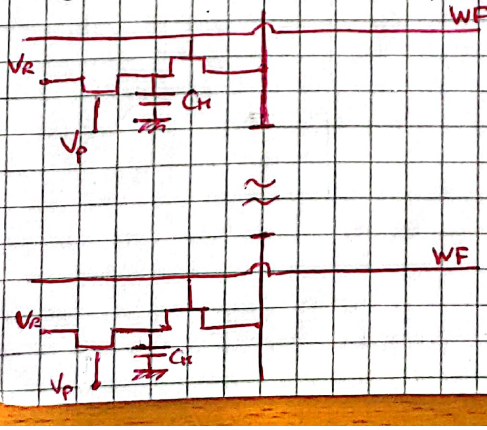
V_P segnale di precarica, che permette di caricare le semi bit line a V_R

Supponiamo assente δV.
lettura: si precaricano le 2 capacità di linea (con $C_L/2$ ciascuna) e si aprono gli interruttori a V_R. Si legge la cella d'interesse e la semi bit line interessata passa a $V_R + \Delta V_R$. Si abilita il bistabile, che ha ingressi sbilanciati e lo stato evolve verso lo stato stabile dettato da ΔV_R e si può ripristinare il val. corretto dell'info. nella cella letta.

Esempio: cella 1 in lettura, se $V_D = H$ si ha $V_R + \Delta V_R$ con $\Delta V_R > 0$ sulla bit line, il bistabile porta l'uscita superiore a livello H, e quindi V_{D1} torna H (solo WL1 con interr. chiuso)

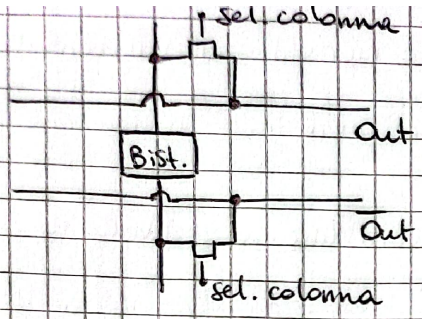


Per tener conto di δV, questo deve essere iniettato su entrambe le semi bit line, così il segnale differenziale complessivo rimanga V_R



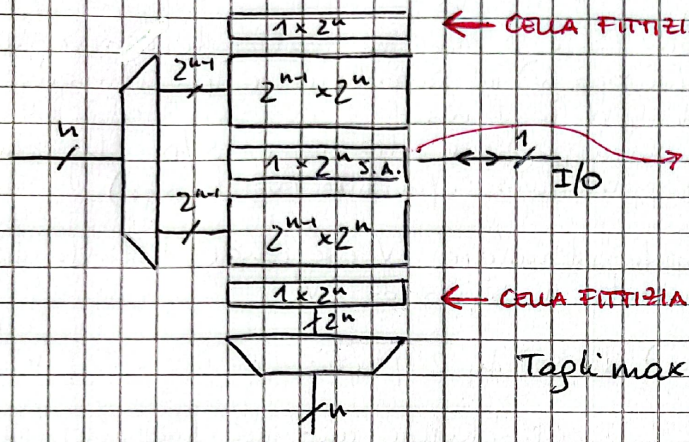
Su entrambe le semi BL si realizza una CELLA FITTIZIA provvista di un collegamento che permette di precaricarla alla tensione V_R (comandata da V_P)

Se leggo la cella 1, quando abilito la WL1, abilito anche la WF dell'altra semi BL (inferiore).
$V_{DF} = V_R$ ⇒ non c'è var. della V_R della semi BL, ma c'è la var. δV dovuta al trasudamento del segnale di comando, che compensa lo stesso effetto che si ha sull'altra semi BL



l'output è preso tramite 1 MOS comandato dal selettore di colonna

Struttura RAM dinamica $2^n \times 2^n \times 1$ bit:



S.A.: sense amplifier

La struttura si replica per creare parole di dimensione $\neq$ 1 bit

Al crescere della capacità, anche in questo caso, c'è l'organizzazione a banchi

Tagli max sono ~16 Gb/chip

Non si usano MOS standard planari, ma ad esempio si usa il transistor a pinna e si va verso uno sviluppo verticale, per incrementare la capacità a parità di superficie.

Anche la tecnologia utilizzata per realizzare C_n è oggetto di studi per preservare area, così come i dielettrici utilizzati.

Le RAM dinamiche sono disp. di tipo SINCRONO: tra gli ingressi c'è un segn. di clock che gestisce una macchina stati che gestisce a sua volta le operazioni della struttura descritta (in maniera trasparente all'utente).

SDRAM: Synchronous Dynamic RAM

Individuate da sigle riferite alla velocità di trasmissione di dati (+ numero che esprime quanto è f_{CK}):

SDR: Single Data Rate

CK ↑ emettono dati sul fronte di salita del CK

DDR: Double Data Rate

CK ↑↓ emettono dati su entrambi i fronti del CK

Freq. tipiche per i DDR: $f_{CK} = 200\ MHz \div 800\ MHz$ (fino a 1600 mln di trasferimenti/sec)

Tra inizio fase di lettura e comparsa sul bus dati delle parole c'è un periodo di latenza, espresso in periodi di CK.

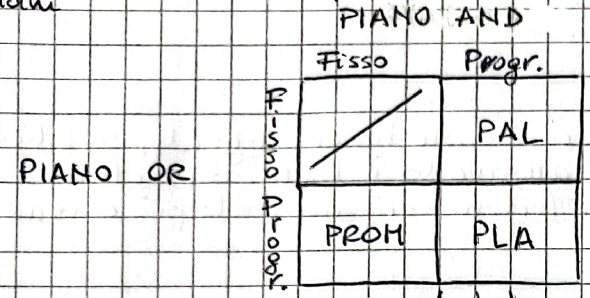
LEZIONE 36R

Dispositivi logici programmabili (PLD)

Permettono di implementare funzioni combinatorie e/o sequenziali in modo programmabile dall'utilizzatore.

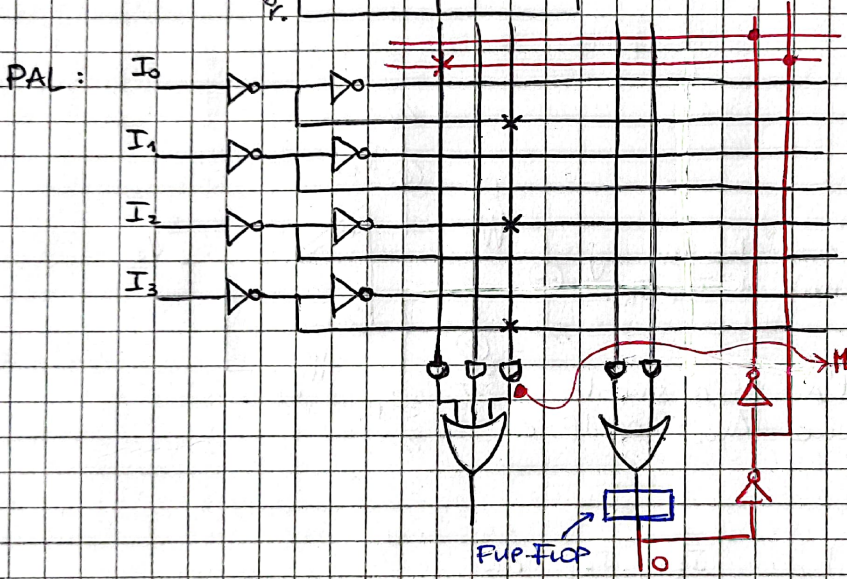
PROM → funzioni combinatorie $f: B^n \to B^m$ implementabili con una struttura a 2 livelli:
PIANO AND (decodifica) + PIANO OR (codifica)

I PLD più semplici hanno questa struttura, ma cambia la programmabilità dei singoli piani



PAL: Programmable Array Logic

PLA: Programmable logic Array



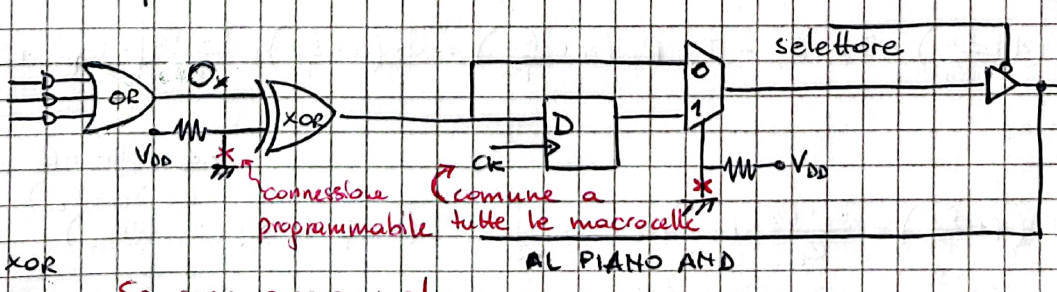
Agli incroci si può abilitare la connessione (attivare MOS)

Arriva un numero limitato di termini di prodotto (tipicamente da 8 a 16) al piano OR

* Se il num. di termini di prodotto all'uscita non è sufficiente si può ricorrere ad una logica a 2 passi: uscita OR riportata in ingresso al piano AND. Il t_p raddoppia

* Si possono realizzare funzioni di tipo sequenziale

All'uscita del piano OR è presente una MACROCELLA configurabile che permette di effettuare le operazioni descritte in rosso o uscire in maniera diretta:



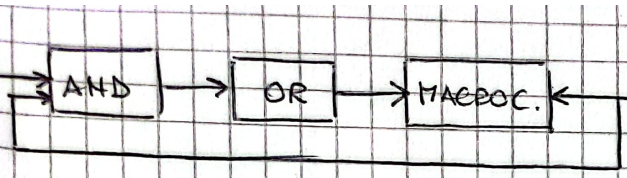
piedino utilizzato come ingresso: buffer tristate blocca il percorso e si accede al piano AND.

Se utilizzato come output il percorso è abilitato

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

Se conn. programmata (1 in è 0), uscita diretta. Se l'ingresso è H, l'uscita è negata.

Nelle PAL con questa struttura si ha un numero di piedini solo I e un numero di piedini utilizzabili come I/O.



Struttura PAL.

Max complessità fino a 1 migliaio di Gate equivalenti (Complessità porta AND a 2I)

Per complessità maggiori si utilizzano CPLD (PLD complesse): insieme di PAL sequenziabili come quelle descritte interconnesse con più livelli gerarchici.

$t_{P_{HL}}$ dipende dal numero di percorsi che il segn. deve fare all'interno della struttura.

La programmazione sfrutta MOS a G flottante.

FPGA: Field Programmable Gate Array

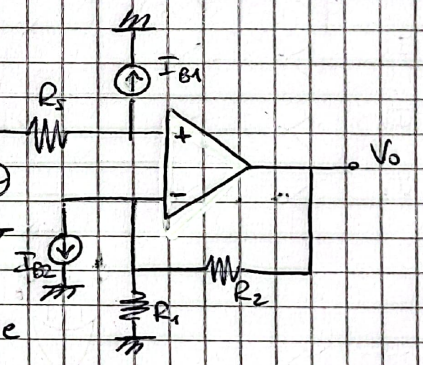
Seguono la filosofia delle ROM: matrici regolari di celle logiche uguali, su silicio, personalizzate realizzando le interconnessioni attraverso i livelli di metal.
Soluzione meno spinta dei circuiti FULL CUSTOM (vel. minori ma costo più contenuto).

LEZIONE 37R

Compito 05/02/2019

Esercizio 1

1. Ampl. non inv. Det. R_1 e R_2 t.c. si ha un guadagno di 40 dB. e effetti nulli di I_{B1} e I_{B2}. (AO ideale e $R_S = 10\,k\Omega$)
2. Diag. di Bode nell'ipotesi che l'AO sia a singolo polo ed abbia guad. in continua $A_{VOL} = 100$ dB e GBW = 1.5 MHz.



1. PSE: $V_O(V_S) = V_S\left(1+\frac{R_2}{R_1}\right)$ $\quad I_{B1}, I_{B2}$ c.a.

$V_O(I_{B1}) = -I_{B1} R_S \left(1+\frac{R_2}{R_1}\right)$ $\quad I_{B2}$ c.a. e V_S c.c.

$V_O(I_{B2}) = +I_{B2} R_2$ $\quad I_{B1}$ c.a. e V_S c.c. $(V_{R_1} = 0)$

$$V_{O\,TOT} = V_S\left(1+\frac{R_2}{R_1}\right) + I_{B2}R_2 - I_{B1}R_S\left(1+\frac{R_2}{R_1}\right) = V_S\left(1+\frac{R_2}{R_1}\right) + \underbrace{\frac{R_1+R_2}{R_1}\left[-I_{B1}R_S + I_{B2}\frac{R_1R_2}{R_1+R_2}\right]}_{\text{se } R_1\|R_2 = R_S \text{ è } = 0 \text{ (se } I_{B1}=I_{B2})} =$$

$R_1 \| R_2 = R_S$

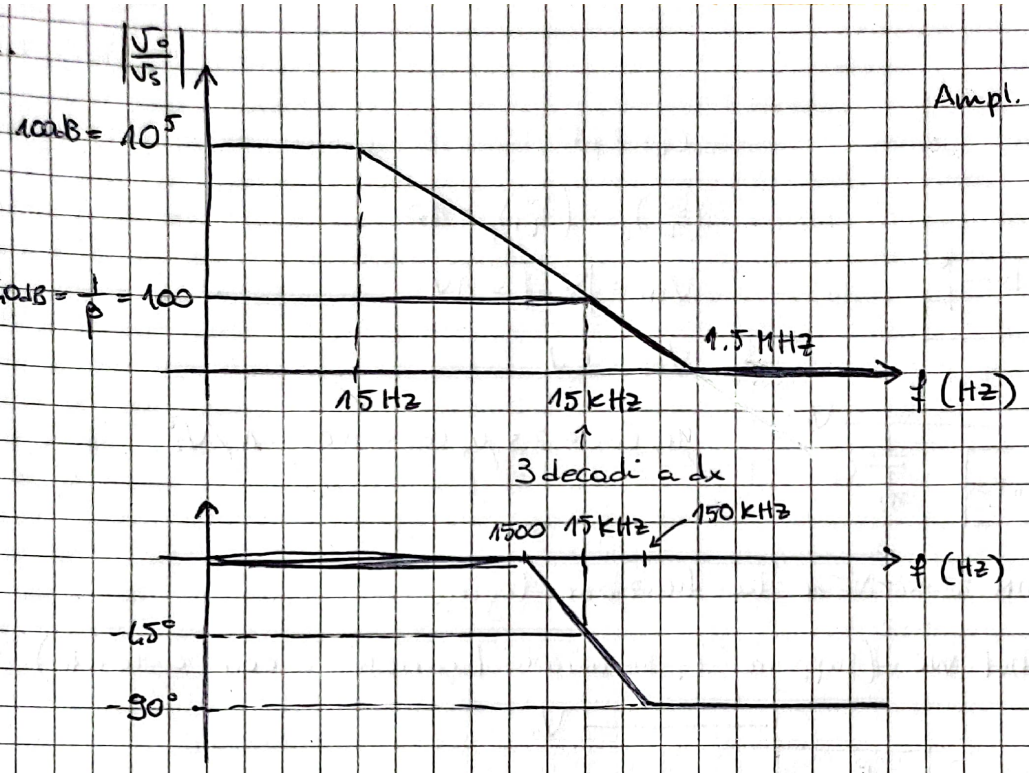
$$= V_S\left(1+\frac{R_2}{R_1}\right) - \frac{R_1+R_2}{R_1}\cdot R_S\left[I_{B1} - I_{B2}\right] = V_S\left(1+\frac{R_2}{R_1}\right) - R_2\left(I_{B1}-I_{B2}\right)$$

$$A_V = 40\,dB = 10^{\frac{40}{20}} = 100 \Rightarrow \begin{cases} 100 = 1+\frac{R_2}{R_1} \\ R_S = R_1\|R_2 = 10^4 \end{cases}$$

$$100 = \frac{R_1+R_2}{R_1}\cdot\frac{R_2}{R_2} = \frac{R_2}{R_S} \Rightarrow R_2 = 100\,R_S = 1\,M\Omega$$

$$R_1 = \frac{R_S}{100-1} \simeq 10.1\,k\Omega$$

2.



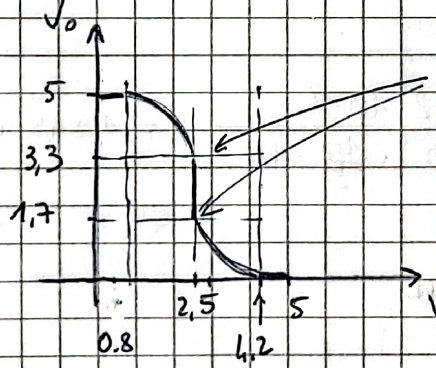
Ampl. ad AA ha $f_T = \frac{GBW}{10^5} = 15$ Hz

Esercizio 2

a) Inverter CMOS, con $\left(\frac{W}{L}\right)_p = 2.5$ $\left(\frac{W}{L}\right)_n = 5\,\mu m / 1\,\mu m$, $V_{TN} = |V_{TP}| = 0.8\,V$, $V_{DD} = 5\,V$, $\frac{1}{2}\mu_p C_{ox} = 30\,\mu A/V^2$, $\frac{1}{2}\mu_n C_{ox} = 75\,\mu A/V^2$. Disegnare la caratteristica di trasferimento (non calcolare coord. dei punti a pendenza -1 e trascurare effetto di modulazione del canale)

b) Calcolare la tensione di soglia logica se l'inverter è realizzato ad area minima.

a) Inverter simmetrico



$V_{GSn} = V_{GSp} = 2{,}5\,V \longrightarrow$

n MOS

$V_{DS} = V_{GS} - V_T$

$V_{DS} = V_o = 2.5 - 0.8 = 1{,}7\,V$

p MOS

$V_{DD} - V_o = 1{,}7\,V$

$\Rightarrow V_o = 5 - 1.7 = 3.3\,V$

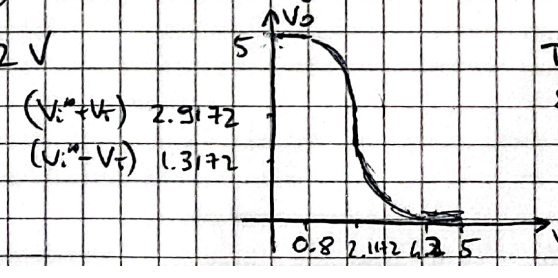
b) Verifichiamo che la tensione di soglia logica si abbia per V_i che porta entrambi i MOS in saturazione.

I 2 MOS sono in SAT. per V_i^* t.c. $\left[\left(\frac{W}{L}\right)_p = \left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_{min} = \left(\frac{W}{L}\right)\right]$

$$2.5 \cdot \frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)(V_i^* - 0.8)^2 = \frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)(V_{DD} - V_i^* - 0.8)^2 \quad \left[\text{corr. SAT. MOS n} = \text{corr. SAT. MOS p}\right]$$

$$2.5\,(V_i^* - 0.8)^2 = (4.2 - V_i^*)^2 \Rightarrow \sqrt{2.5}\,(V_i^* - 0.8) = 4.2 - V_i^*$$

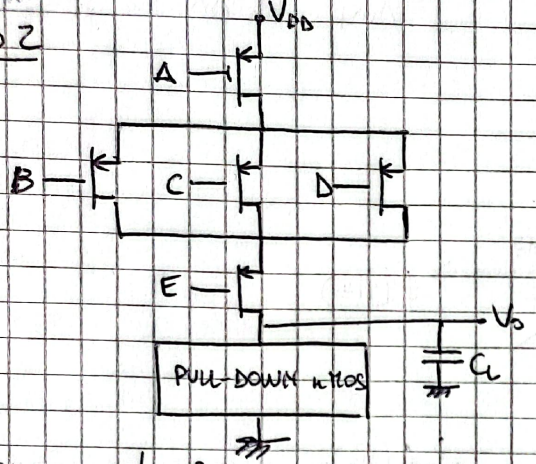
$$V_i^* = \frac{4.2 + \sqrt{2.5}\,0.8}{1 + \sqrt{2.5}} = 2.1172\,V$$



Tensione di soglia logica $\simeq$ 2.1172 V

Compito 10/07/2018

Esercizio 2



$C_L = 2pF$

$\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = 10$

$V_{TH} = |V_{Tp}| = 1V$

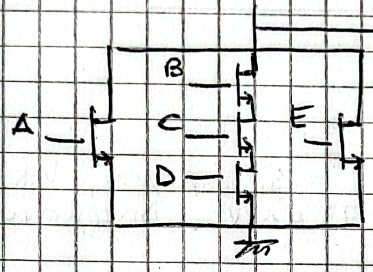
$V_{DD} = 5V$

$\mu_n C_{ox} = 2.5 \mu_p C_{ox} = 100 \mu A/V^2$

a) Disegnare rete PULL-DOWN e scrivere la funzione logica

b) Stimare t_{PLH} e t_{PHL} nel WC (supponendo C_L si carichi/scarichi a corr. costante)

a) Rete pull-down:



$$Y = \overline{A + BCD + E} = \overline{A} \cdot (\overline{B} + \overline{C} + \overline{D}) \cdot \overline{E}$$

b) WC in entrambi i casi (LH e HL) quando si hanno 3 disp. in serie in conduzione e basta

t_{PHL} WC quando B, C, D in cond. e E e A interdetti.

t_{PLH} WC quando E, A e 1 tra B, C e D in cond.

$$t_{PHL} = \frac{\frac{V_{DD}}{2} C_L}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right) \frac{1}{3} (V_{DD} - V_T)^2} = \frac{5 \cdot 2 \cdot 10^{-12}}{100 \cdot 10^{-6} \cdot \frac{10}{3} \cdot 16} s = 1.875 \text{ ns}$$

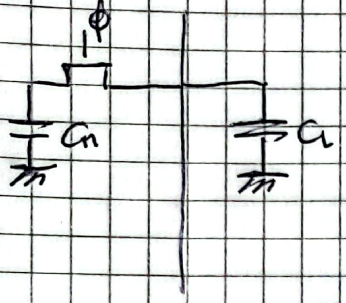
$$t_{PLH} = \frac{\frac{V_{DD}}{2} C_L}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right) \cdot \frac{1}{3} (V_{DD} - V_T)^2} = 2.5 \, t_{PHL}$$

Compito 24/09/2019

Esercizio 2

RAM dinamica 1T, $C_H = 30\,fF$, $C_L = 1\,pF$, $V_{DD} = 5V$, $V_{TH} = 1.5V$ transistor, precarica lettura a $V_{DD}/2$.

Valutare la var. di tensione della bit line per lettura in caso di bit memorizzato a 1 o a 0.



Precarica a $V_{DD}/2$
Scrittura a V_{DD}

$$C_H V_{bit} + C_L \frac{V_{DD}}{2} = V_{FIN}(C_H + C_L)$$

$$V_{FIN} = \frac{C_H V_{bit} + C_L \frac{V_{DD}}{2}}{C_H + C_L}$$

Variazione $V_{FIN} - \frac{V_{DD}}{2} = \frac{C_H}{C_H + C_L} \cdot V_{bit} + \left(\frac{C_L}{C_H + C_L} - 1\right)\frac{V_{DD}}{2} = \frac{C_H}{C_H + C_L} V_{bit} - \frac{C_H}{C_H + C_L}\frac{V_{DD}}{2}$

$$V_{bit} = \begin{cases} V_{DD} - V_{TH} = 3.5\,V & (H) \\ 0\,V & (L) \end{cases}$$

$$\Delta V(H) = \frac{C_H}{C_H + C_L}\left(V_H - \frac{V_{DD}}{2}\right) = 0.0291\,(3.5V - 2.5V) = 29.1\,mV$$

$$\Delta V(L) = 0.0291\,(-2.5) = -72.7\,mV$$

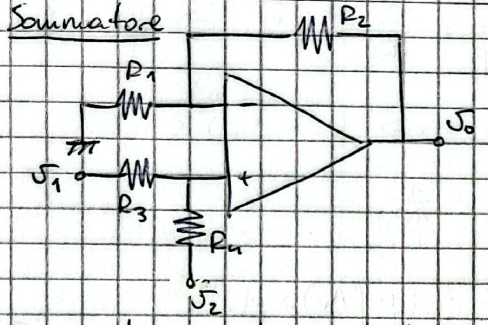
LEZIONE - 09/04/2021

Compito 19/01/2021

1) AO con $I_{MAX} = 20\,mA$, $V_{OMAX} = \pm 10V$, $A_0 = 10^5$, banda pass. a -3dB di 15 MHz

Progettare circuito: $v_0 = 4v_1 + 6v_2$, con v_1, v_2 gen. di ind. di tens. banda passante di almeno 150 KHz

Sommatore



$$\beta = \frac{R_1}{R_1 + R_2}$$

$$A(f) = \frac{A_0}{1 + j\frac{f}{f_H}} = \frac{10^5}{1 + j\frac{f}{150}}$$

In continua, trascurando $\frac{1}{1+\beta A_0}$, si ha

$$v_0 = V_+ \frac{1}{\beta} = \frac{1}{\beta}\left[\frac{R_L}{R_3 + R_L} v_1 + \frac{R_3}{R_3 + R_L} v_2\right] = \frac{1}{\beta}\left[\alpha v_1 + (1-\alpha) v_2\right]$$

con $\frac{1}{\beta}\alpha = 4$ e $\frac{1}{\beta}(1-\alpha) = 6$ $\Rightarrow$ $\frac{1}{\beta} = 10$ e $\alpha = \frac{4}{10}$ $\left(1-\alpha = \frac{6}{10}\right)$

da cui $\frac{R_3}{R_L} = \frac{3}{2}$

$\beta = 10^{-1}$

$$f_{Hf} = 150(1 + \beta A_0) \simeq 150\,10^5\,10^{-1} = 1.5 \cdot 10^6\ Hz \geq 1.5\ MHz$$

$$A_f(f) = \frac{1}{\beta}\,\frac{\beta A_0}{1+\beta A_0}\,\frac{1}{1 + j\frac{f}{f_H(1+\beta A_0)}}$$

Il val. di β corrisponde con il valore minimo che permette di soddisfare $f_{Hf} \geq 150\,KHz$

La cond. sulla corrente di uscita pone un limite su R_2

$V_{OMAX} = 10\,V$, $V_+ = V_- \simeq 1V$ $\Rightarrow$ $I_{R_2} = \frac{10-1}{R_2}$

$\Rightarrow$ $R_2 \geq \frac{9}{I_{OMAX}} = \frac{9}{20 \cdot 10^{-3}}\,\Omega = 450\,\Omega$

Quindi $R_1 = 1K\Omega$, $R_2 = 9K\Omega$, $R_3 = 6K\Omega$, $R_L = 4K\Omega$