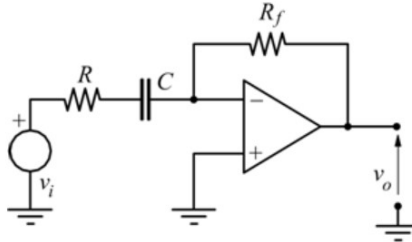


Compito di Elettronica II

20/06/2018

- 1) Si consideri il circuito derivatore in figura



In cui: $v_i = A \sin(2\pi ft)$, con $A = 50 \text{ mV}$ e f compresa nell'intervallo $[10 \text{ Hz} - 100 \text{ kHz}]$, e $R_f = 10 \text{ k}\Omega$.

- Dimensionare R e C perché il circuito si comporti da derivatore nella banda del segnale (considerare un margine di sicurezza di una decade, ovvero che il funzionamento da derivatore si estenda fino a 1 MHz) e fornisca in uscita un segnale di ampiezza massima 1 V .
 - Valutare la massima frequenza del segnale di ingresso perché il segnale di uscita non risulti distorto se lo SR dell'amplificatore operazionale è $0.3 \text{ V}/\mu\text{s}$.
 - Calcolare il valore del prodotto guadagno – larghezza di banda (GBW) dell'amplificatore operazionale necessario per avere il circuito stabile con margine di fase di 45° . A questo scopo si assuma che il guadagno ad anello aperto in continua dell'amplificatore operazionale sia 120 dB .
- 2) Si consideri una porta NAND a tre ingressi, con capacità di carico $C_L = 0.2 \text{ pF}$, realizzata in tecnologia CMOS con NMOS e PMOS caratterizzati rispettivamente da un fattore di forma $(W/L)_N = 2\mu\text{m}/1\mu\text{m}$, e $(W/L)_P = 5\mu\text{m}/1\mu\text{m}$. Si consideri inoltre $V_{TN} = |V_{TP}| = 1 \text{ V}$, $V_{DD} = 5 \text{ V}$, $\mu_N C_{ox} = 2.5 \mu\text{A}/\text{V}^2$, $\mu_P C_{ox} = 150 \mu\text{A}/\text{V}^2$.
- Disegnare lo schema elettrico della porta.
 - Stimare il tempo di propagazione nel caso peggiore (per la stima supporre che la capacità C_L si carichi/scarichi a corrente costante).