

Compito di Elettronica II

29/06/2022

- 1) Disegnare lo schema di un convertitore doppia rampa a 16 bit per segnali a valori positivi nell'intervallo 0 V – 3 V. Dimensionare il circuito perché la tensione V_x all'uscita dello stadio integratore sia in modulo ≤ 4 V e per eliminare il rumore in ingresso a 50 Hz, minimizzando al tempo stesso il tempo di conversione. Riportare l'andamento temporale dell'uscita del blocco integratore nelle varie fasi di funzionamento.

- 2) Disegnare lo schema di un latch SR a porte NAND in tecnologia CMOS. Supponendo che il carico di ciascuna porta sia 0.1 pF, che NMOS e PMOS siano tutti caratterizzati dallo stesso fattore di forma $(W/L)_N = (W/L)_P = 1$, e che $V_{TN} = |V_{TP}| = 1$ V, $V_{DD} = 5$ V, $\mu_N C_{ox} = 2.5$ $\mu_P C_{ox} = 150$ $\mu A/V^2$, stimare il tempo di propagazione del circuito.